

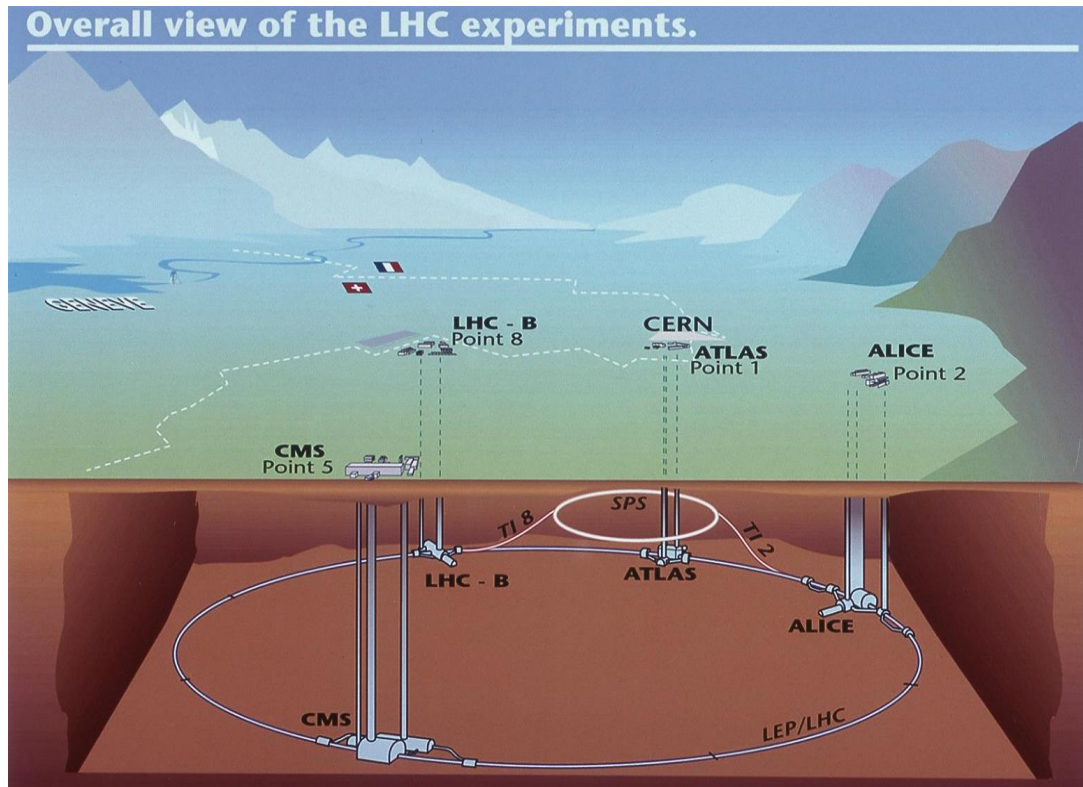
LHC-ATLAS 実験 RUN3 のレベル 1 ミューオントリガー における読み出しモジュールの開発および評価

東京大学大学院理学系研究科物理学専攻
素粒子物理国際研究センター 坂本研究室
渡邊直樹

ICEPP Symposium

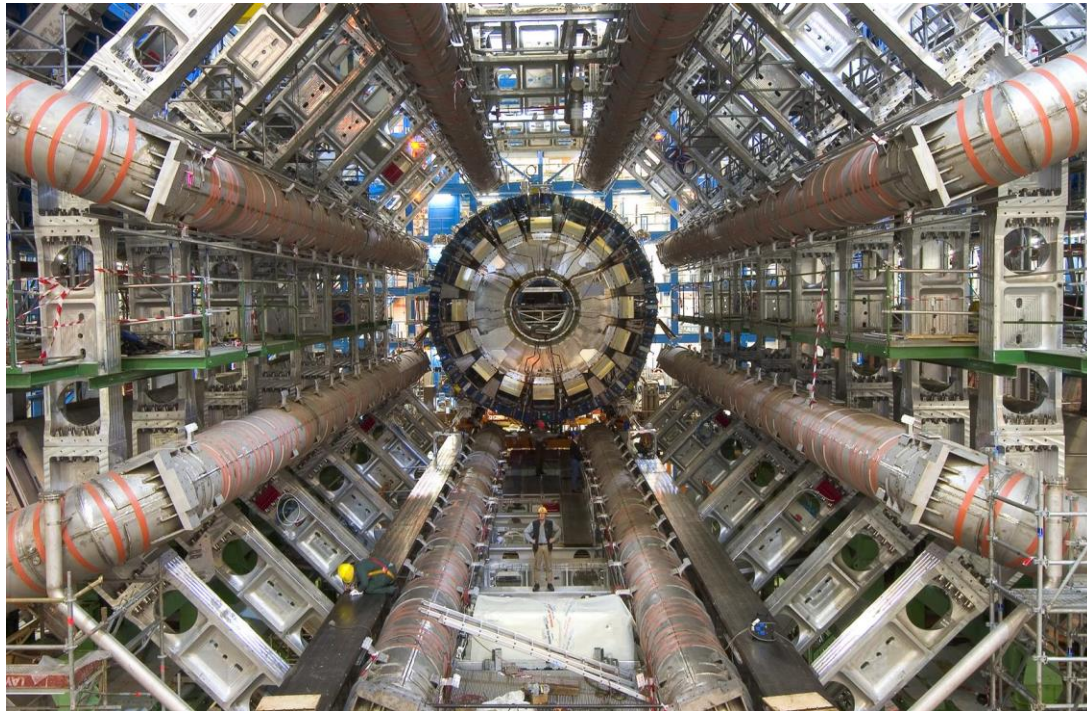
2016年3月1日

大型ハドロン衝突型加速器 (LHC) の紹介



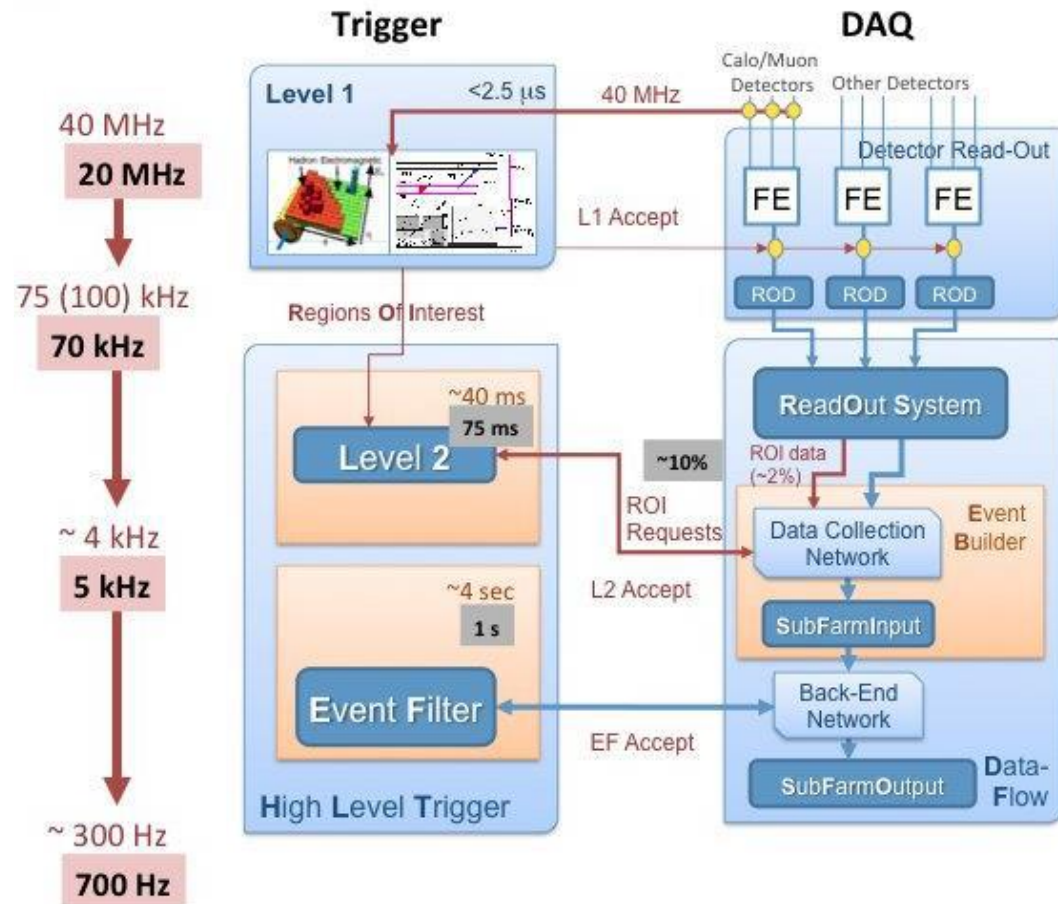
- Large Hadron Collider (LHC)
- スイス-フランス国境をまたぐ地下100mに欧州原子核研究機構 (CERN) が建設
- 陽子-陽子衝突型の加速検出器
- 全周: 26.7 km
- 衝突頻度: 40.079 MHz (7.5m間隔)
- 重心系エネルギー: 14 TeV
- 最大瞬間ルミノシティ: $1.9 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$

LHC-ATLAS実験の紹介



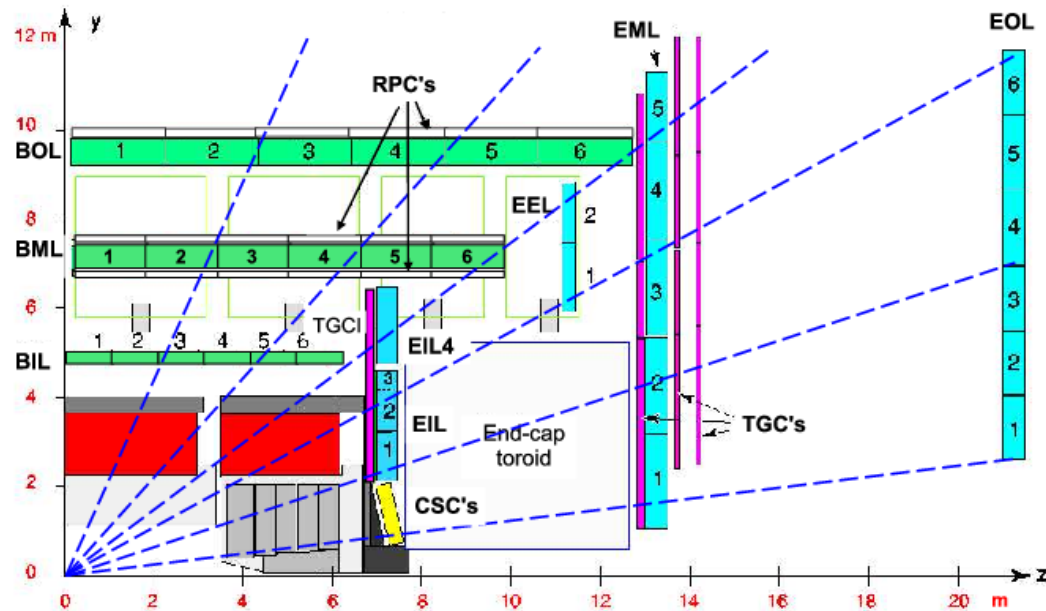
- A Troidal LHC ApparatuS
- LHCを使った実験の一つ
- 目的: HIGGS詳細探索, SUSY 検証など
- 構成
 - 内部飛跡検出器
 - カロリメーター
 - ミューオン検出器

ATLAS トリガーシステム



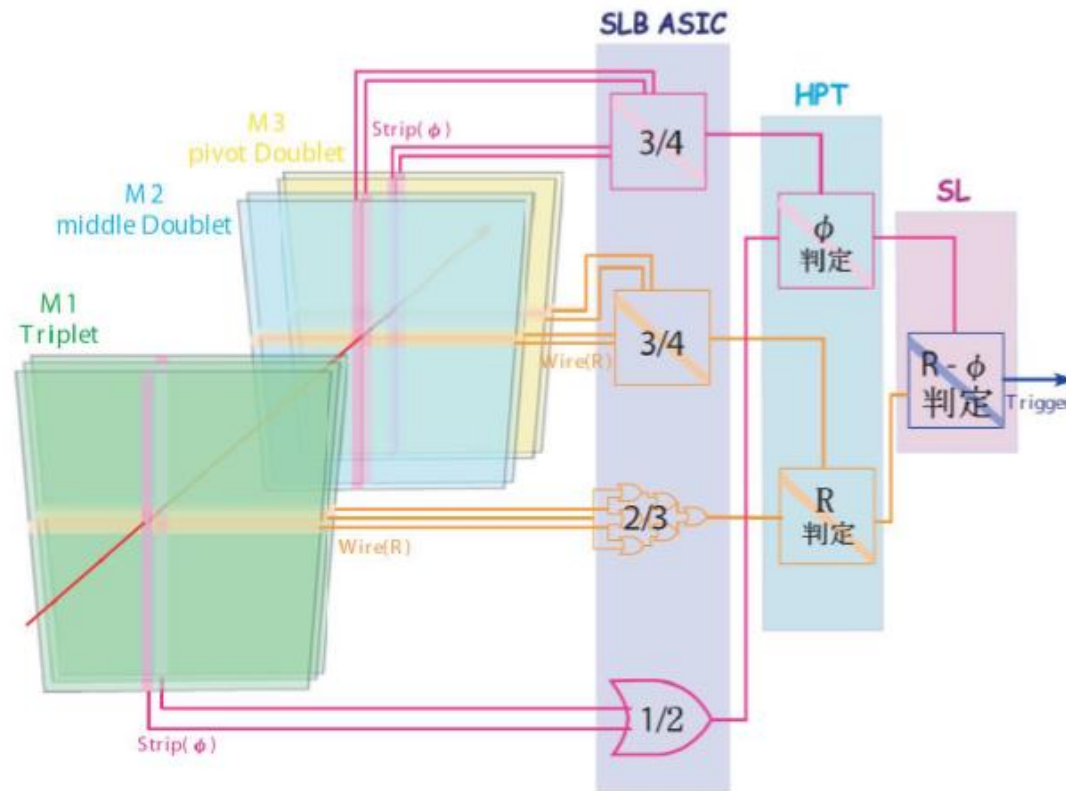
- 40 MHzの衝突データ全てを処理することは不可能. トリガーで不要なデータを落とす
- レベル1トリガー
 - ハードウェア処理
 - 衝突頻度 25 μ sec 以内の処理
 - 最大で100 kHzのトリガー
- 高レベルトリガー
 - ソフトウェア処理
 - 400-1000 Hz

ミューオン検出器



- トロイド磁場でミューオンの軌道を曲げる
- 曲がり具合から運動量を計算。
運動量 大 $\rightarrow$ 曲率 小
- ヒッグス粒子は $H \rightarrow ZZ^* \rightarrow 4l$ の崩壊をするので、ミューオンの観測は重要

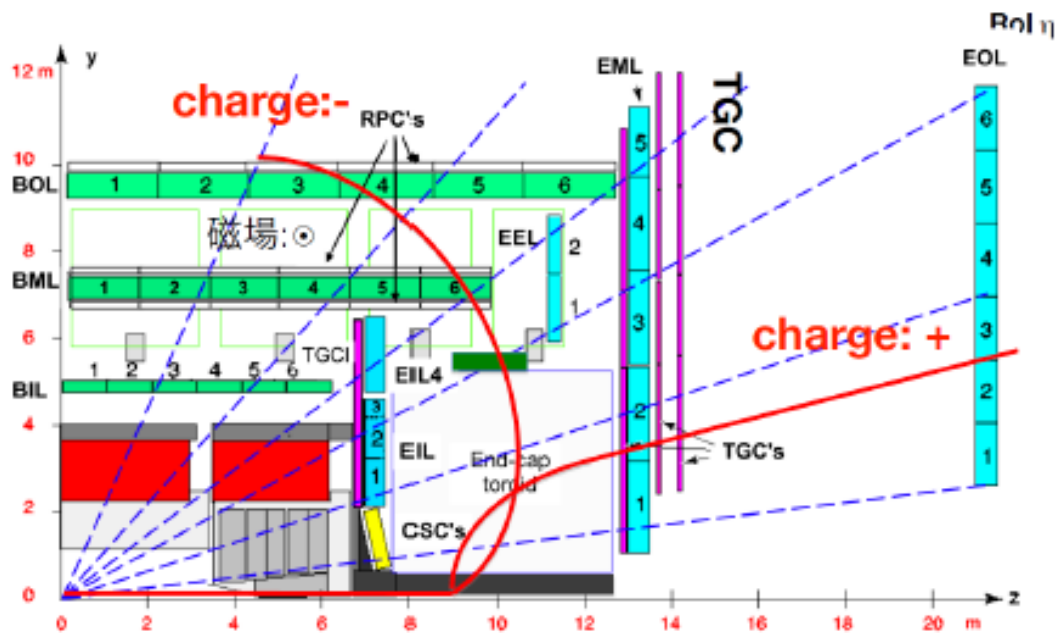
オンライン選別（トリガー）



- Slave Board ASIC
 - M1ステーションを処理
 - M2, M3ステーションを処理
- High PT
 - Wire方向を処理
 - Strip方向を処理
 - (R , ϕ)情報を生成
- セクターロジック (SL)
 - 横運動量 p_T の判定
 - L1ミューオントリガー発行
 - 本研究の主役です！

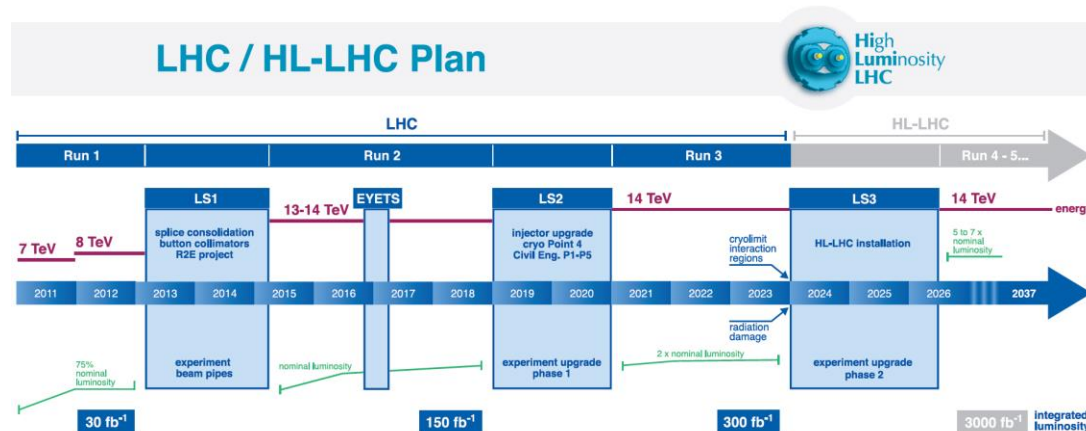
問題点: フェイクミュオン

- ミューオントリガーが必要以上に発行されている
- 衝突点由来ではない荷電粒子を高 p_T ミュオンと誤検出

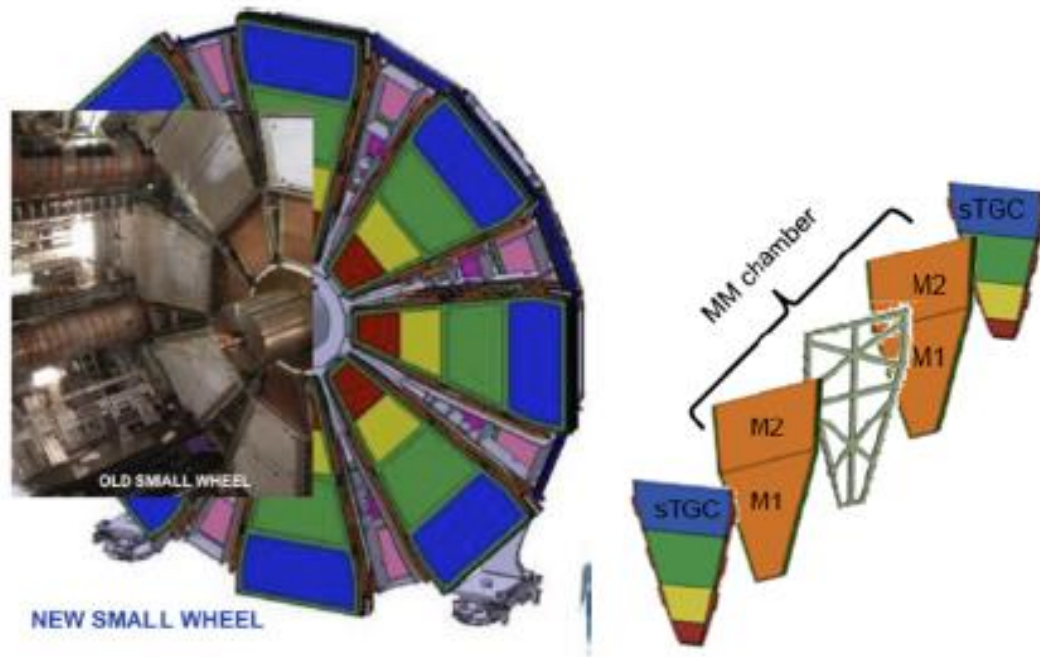


LHCアップグレードでTrigger Rate要削減

- LHCはアップグレード予定
 - 重心系エネルギー 14TeV
 - ルミノシティ $3.0 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$
- L1トリガーレートは100kHz
- L1MuonトリガーはこのままではRUN3で60kHzになる. 20kHz以下に抑えたい.



RUN3以降に新検出器New Small Wheel導入



- ミューオンの無駄なトリガー発行を削減したい
- 閾値を20GeVから40GeVに上げると大事な情報を見落とす
- そのため、閾値を保ち、フェイクミューオンを削減する
- 新たな検出器 New Small Wheel (NSW) を2020年以降の RUN3 に加える

現行のSector Logicを改良する

従来入力BWから202bit。加えて
NSWからの入力を受け取りたい

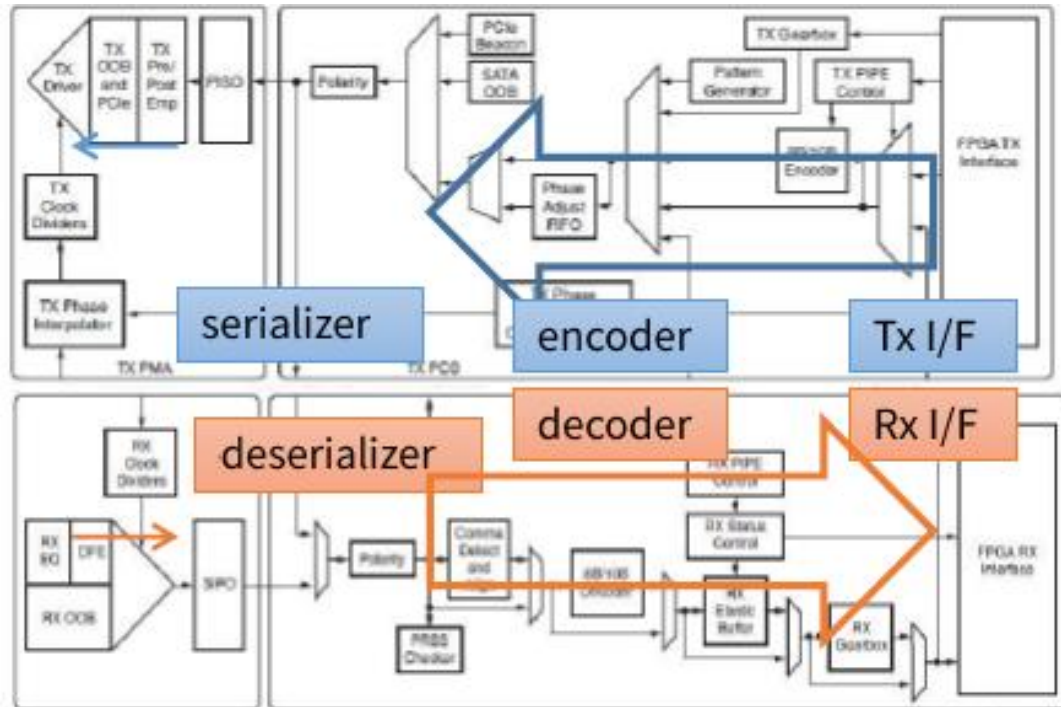


現行のSector Logic の写真

- Sector LogicをNSWのデータを受け取るよう改良する
- 本研究は, 新Sector Logicのプロトタイプを開発し, 読み出し機能の検証を行う

Sector Logicの変更点1: 入力増加に高速シリアル通信GTXで対応

- 従来の入力 202 bit (8 Gbps)
- NSW追加 1536bit (60 Gbps)
- 高速シリアル通信GTX (Xilinx社が開発した) を追加入力に用いる
- (NSWは粒子の位置を細かく測定するのでデータ量多い)



Sector Logicの変更点2: 読み出し回路をFPGAで実装



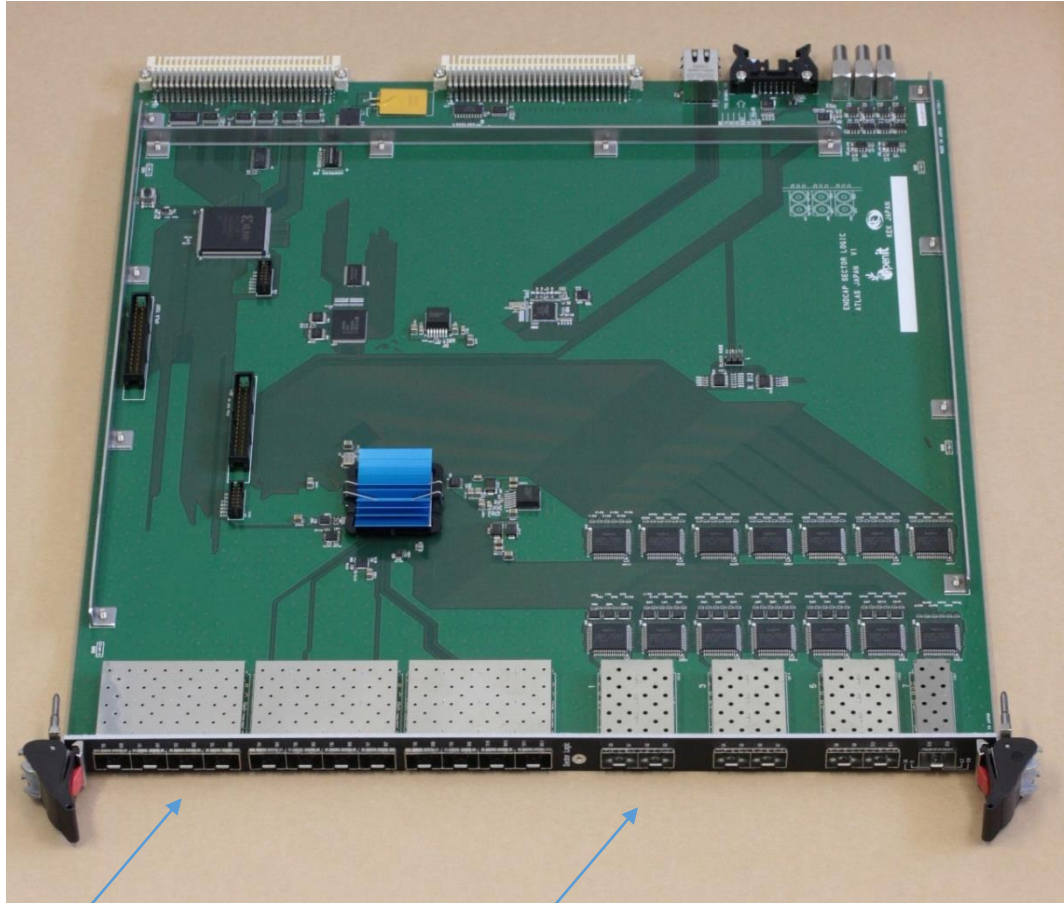
- 読み出しロジックを全てFPGAで処理させる
 - 他モジュールの流用ASIC廃止
 - Star Switchを使った圧縮ロジックを廃止
 - バッファもFPGA内に作成
 - 後段の新Read Out Driver (ROD) 用にデータを整形

Sector Logicの変更点3: TCP通信SiTCPでPCへ読み出し



- 現在, Sector Logicから読み出されたデータは専用ハードウェアの Read Out Driverへ送られる
- Sector LogicのデータをTCP通信 SiTCP (KEKの内田氏が開発)を用いて出力
- 一般的なパソコンで読み取る.

新Sector Logic プロトタイプ作った(昨年10月)

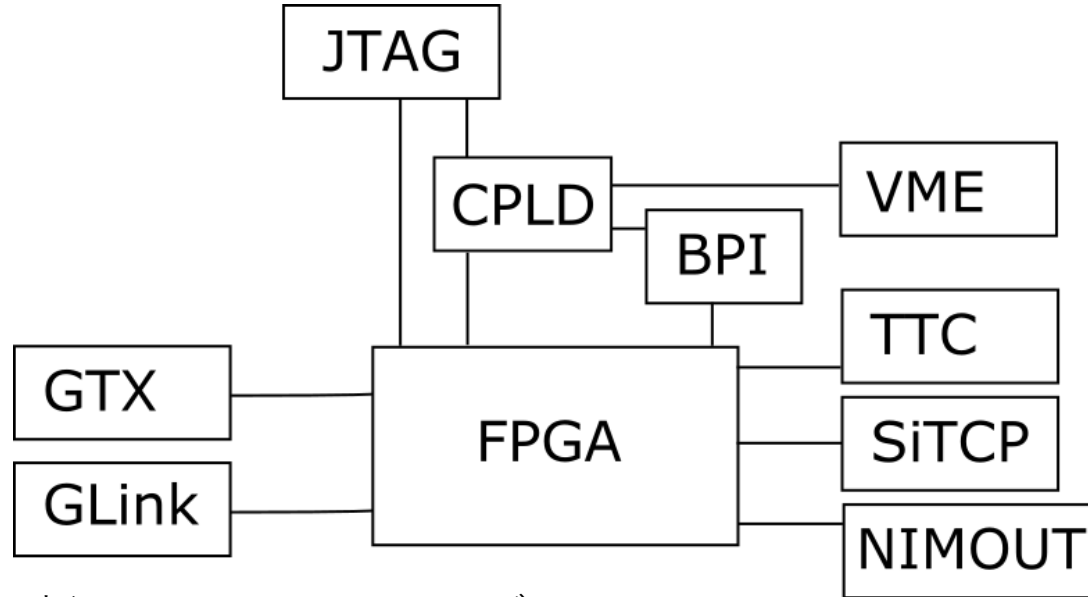


GTX
2016/3/1

G-Link(従来入力)

- Xilinx FPGA Kintex-7 XC325T-2ffg
- GTX 12レーン (それぞれ電気/光変換ポートつき)
- TTC クロック40.079MHz受信
- 読み出しロジックはVerilog-HDLで書かれ, FPGAに書き込まれる
- このプロトタイプに配線ミスや設計ミスがないか試験する。
- ちゃんと動いてくれ……！

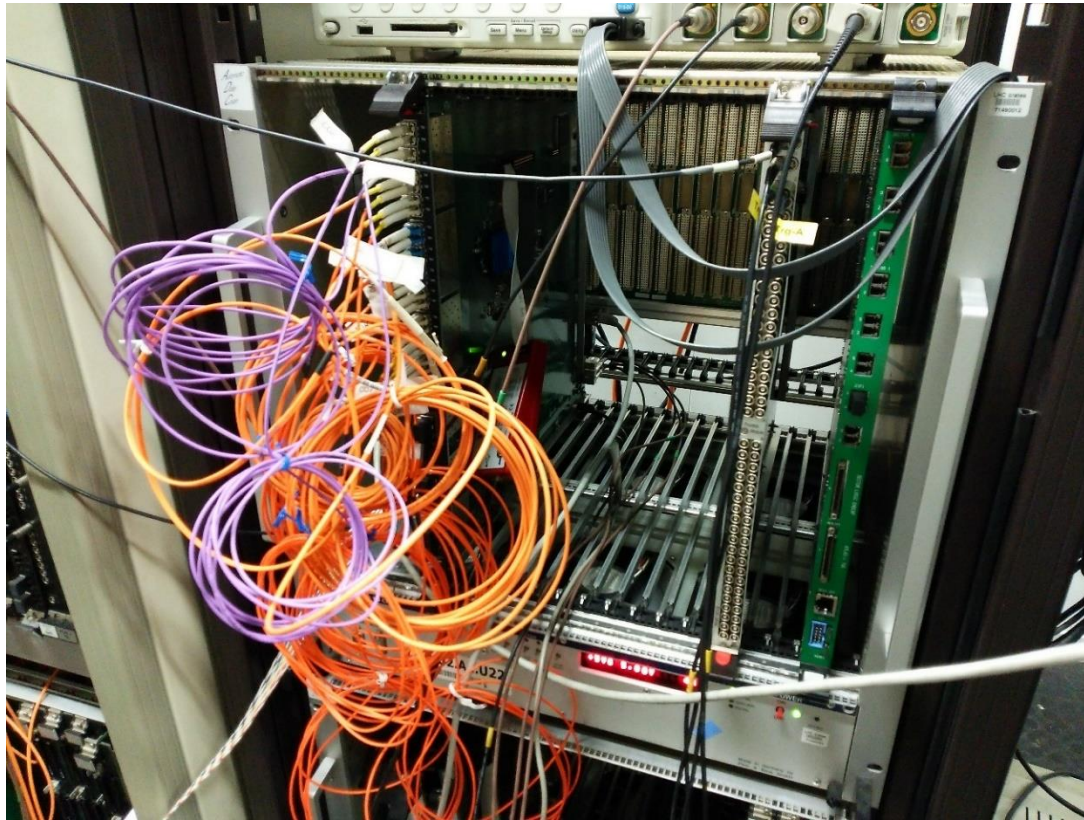
各IOポートの読み出し試験に成功した



新 Sector Logic のモデル図

- JTAGからFPGAへの書き込み
- VMEからCPLDへの書き込み
- FPGAからのNIM出力
- FPGA上のレジスタへVMEで読み書き
- BPIからFPGAへ書き込み
- GTXの送受信(詳細は次頁)
- GLinkの受信
- SiTCP出力

GTXのループバック試験

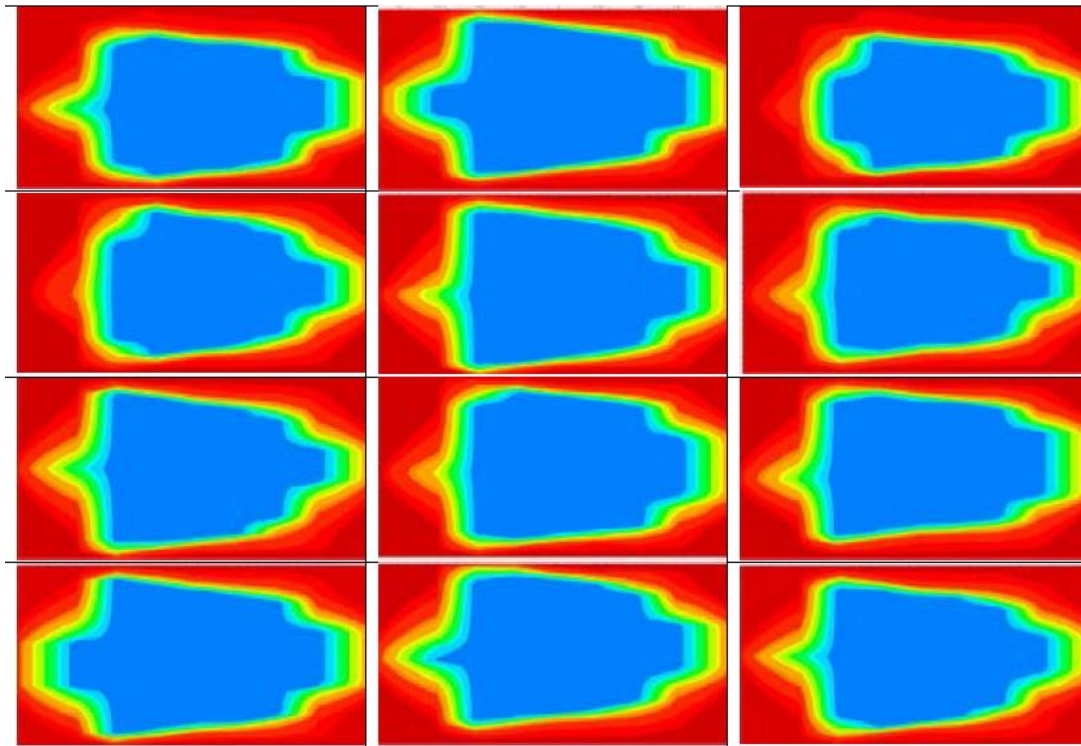


- 光ケーブルを用いて全12レーンそれぞれループバックする.
- 新Sector Logicは2台用意したが, 1台はGTXの参照クロックICに不具合があり, 動かず.
- 回路図に配線ミスがあり、IDEのバージョンによって書き込めないことがあることが判明した。

GTXのエラー率: 正常に送受信

Line	0.8 Gbps	1.6 Gbps	3.2 Gbps	6.8 Gbps	8.0 Gbps	10.24 Gbps
0	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
1	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
2	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
3	1.4×10^{-12}	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
4	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
5	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
6	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
7	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
8	1.0×10^{-12}	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
9	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
10	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$
11	$< 2.5 \times 10^{-12}$	$< 1.0 \times 10^{-12}$	$< 5.1 \times 10^{-13}$	$< 2.5 \times 10^{-13}$	$< 2.3 \times 10^{-13}$	$< 1.6 \times 10^{-13}$

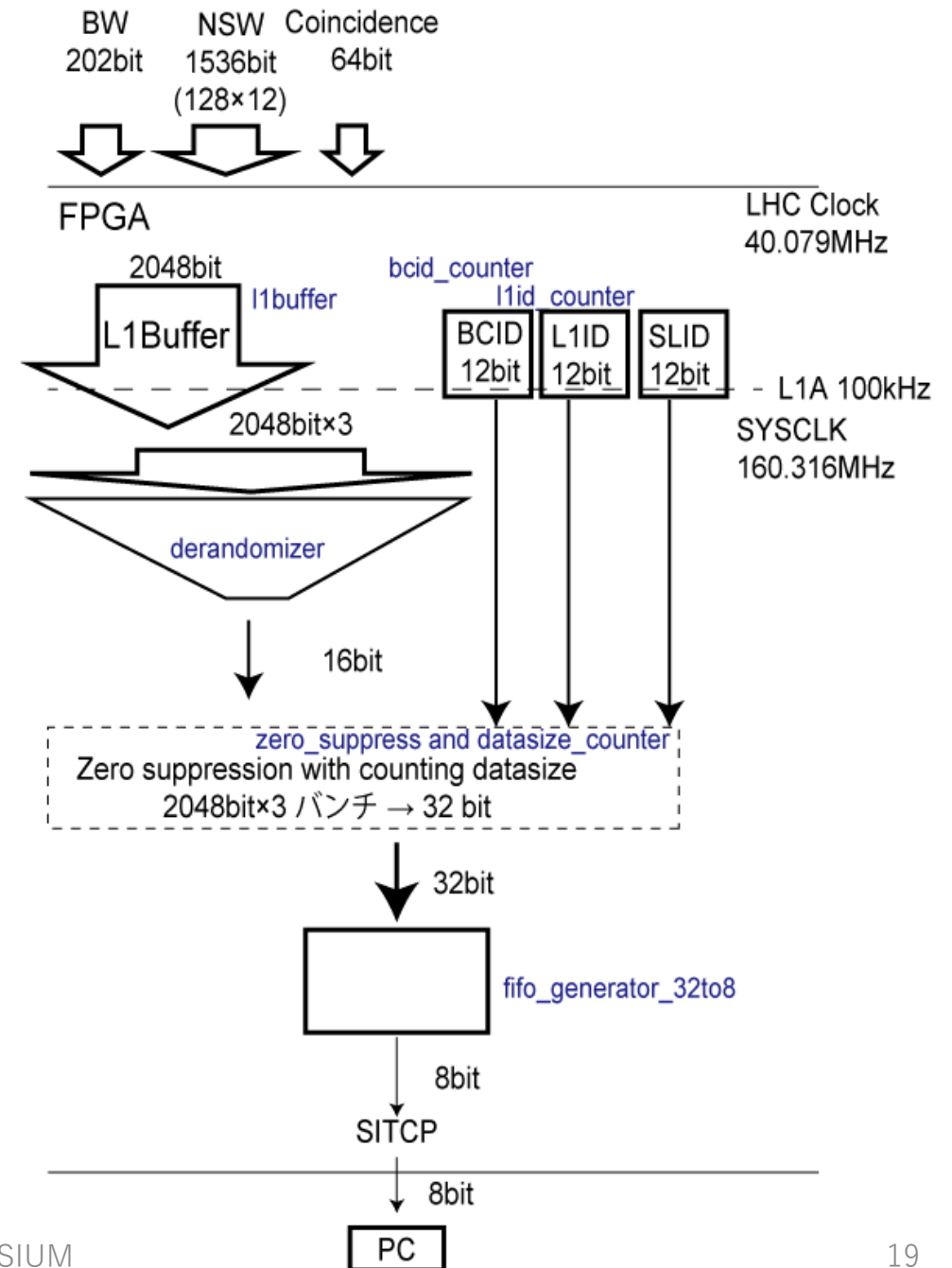
GTXのアイパターン 6.4 Gbps



- 本番は6.4 Gbpsで12本使用する予定だが、この速度ではアイがまだ開いていることが確認できる.

読み出しの仕組み

- FPGAは受け取ったデータを一旦バッファに貯める.
- L1トリガーが発行されたらデランダムマイザにデータをうつす
- データサイズを付加 (新機能)
- データにはゼロが多い. 圧縮する (ゼロサプレス, 次頁).
- SiTCPによりPCに読み出す



データ圧縮機能

- ゼロが多い。16bitごとに区切り, 1がある場合のみ読みだす。
- RUN1のデータで試すと0.3%の圧縮率(徳永考之, 2015)

31	28	24	16	0
1111	tag	Cel address	Cell data	

ゼロサプレスのフォーマット

ヘッダ 0x0B0D 16bit		Datasize 16bit	
0x0000 16bit		0x0 4bit	L1ID 12bit
0x0 4bit	BCID 12bit	0x0 4bit	SLID 12bit
ゼロサプレスされた3パンチ分のデータフォーマット 0xF, tag, cell address, cell data			
0x0000 16bit		フッタ 0x0E0D 16bit	

Read out Driverに送られるデータのフォーマット

Tag:

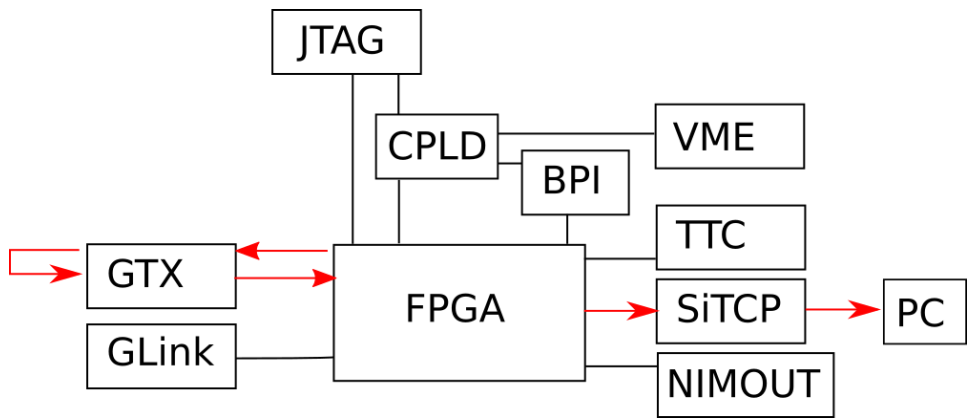
001: Previous

011: Current

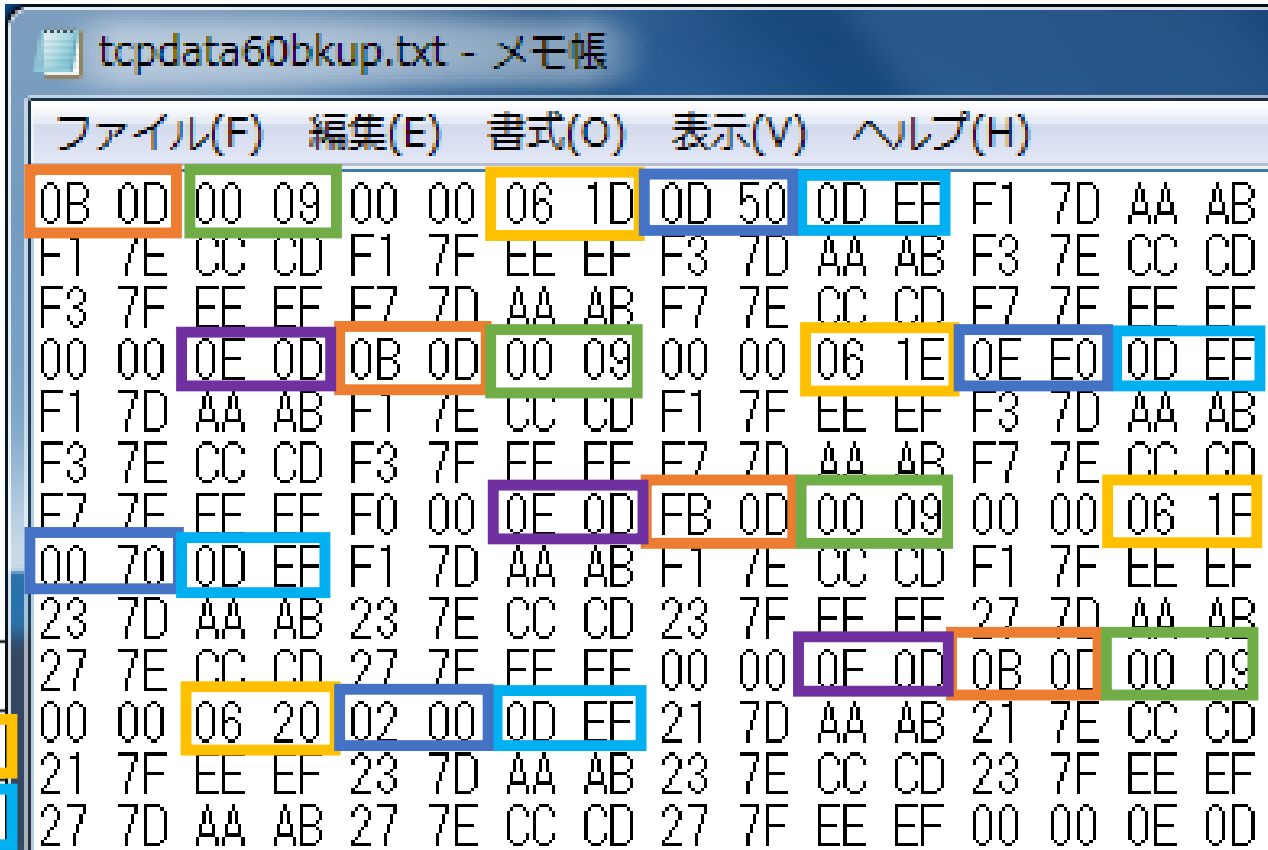
111: Next

RUN1のデータで検証したところ, 0.3%

貫徹試験: PCへの読み出し, 圧縮ともに成功



ヘッダ 0x0B0D 16bit		Datasize 16bit	
0x0000 16bit		0x0 4bit	L1ID 12bit
0x0 4bit	BCID 12bit	0x0 4bit	SLID 12bit
ゼロサプレスされた3パンチ分のデータフォーマット			
0xF, tag, cell address, cell data			
0x0000 16bit		フッタ 0x0E0D 16bit	



まとめと今後の課題

- まとめ

- RUN3で用いる新Sector Logicプロトタイプが正常にデータを読みだすことを確認した.
- GTXの800Mbps以下は動作が安定しないことがわかった.

- 今後

- 設計ミスを修正したバージョンの納入待ち(2016年2月時点).
- Sector Logicのコインシデンス部分をFPGAで開発する.
- 新RODと接続試験する.