

2025 年度 修士論文

高輝度 LHC-ATLAS 実験に向けた  
ミュオントリガーシステムの統合試験  
~タイミングパラメータの精査と  
テストパルス機能を用いたトリガー及び読み出し回路の試運転~  
(Integration test of muon trigger system for High-Luminosity LHC-ATLAS experiment:  
Refinement of timing parameters and commissioning of trigger and readout circuits  
using test pulse)

東京大学大学院理学系研究科  
素粒子物理国際研究センター  
奥村研究室

修士課程 2 年  
学籍番号 35246085

牧 和真



# 概要

LHC-ATLAS 実験は、スイスのジュネーブにある欧州原子核研究機構 (CERN) で行われている高エネルギー加速器実験である。この実験では、Large Hadron Collider (LHC) で加速した陽子同士を衝突させ、生成される粒子を ATLAS 検出器で検出する。これにより、素粒子物理学における標準模型の精密測定や新粒子の探索を行っている。2030 年から開始予定の高輝度 LHC-ATLAS 実験では、瞬間最高ルミノシティを現行の 2～3 倍に増強した高輝度 LHC を用いて、LHC-ATLAS 実験 RUN3 運転までに収集される積分ルミノシティの約 6 倍の大統計データを収集し、LHC-ATLAS 実験を超える精度での標準模型の精密測定や新物理の探索を行う。LHC の高輝度化に伴って ATLAS 検出器の Trigger DAQ システムの仕様は刷新される。この仕様変更に対応するべく、Thin Gap Chamber (TGC) 検出器の信号を使った初段トリガーを行う TGC ミューオントリガーシステムはエレクトロニクスの大部分を刷新する。

これまでの研究により、刷新されるエレクトロニクスの大部分が完成し、エレクトロニクスを組み合わせたシステムレベルの試験が進められてきた。2026 年から新しいエレクトロニクスのインストール、システムのコミッショニングが開始される予定であるため、現時点で本番を見据えた運転パラメータの決定やシステムの洗練を進めることが求められる。特に事前測定が必要な本番運転パラメータは現時点で確定させることが必要となる。この状況を踏まえ、本研究では事前測定が必要であったタイミングパラメータを決定し、さらに本番を模したテストベンチ環境を用いてタイミングの制御されたトリガー及び読み出し回路の試運転を行った。

TGC ミューオントリガーシステムではクロック分配とヒットデータ読み出しにおけるタイミング制御が必要である。

## 1. クロック分配のタイミング制御

前段回路では、後段回路から光通信によって分配されるシリアルデータから再構成される 40.079 MHz の LHC バンチ交差クロックと検出器からの信号を同期し、信号の発生源である陽子バンチ交差番号を各信号へ付与する (BCID)。ヒット信号を取りこぼすことなく BCID を行いつつ、主に低エネルギーの中性子や光子に起因する陽子バンチ交差のタイミングとは同期しないバックグラウンドの寄与を最小限に抑えるためには、全 1,434 枚の前段回路における 40.079 MHz クロックの位相を十分な精度で一致させる必要がある。これを実現するために、前段回路中にクロックに対する可変遅延が用意されている。

## 2. ヒットデータ読み出しのタイミング制御

後段回路はヒットデータのコインシデンスをとってミューオンの飛跡再構成・運動量概算を行うため、同じ陽子バンチ交差に由来するヒットデータが後段回路中のトリガー回路に入力されるタイミングを揃える必要がある。これを実現するために、後段回路中にヒットデータに対する可変遅延が用意されている。

1 で 40.079 MHz クロックは光通信により後段回路から前段回路へ分配されるため、前段回路におけるクロックの位相差はクロック分配に用いる光ファイバーの長さにより決定される。2 でヒットデータは光通信により前段回路から後段回路へ分配されるため、ヒットデータが後段回路中のトリガー回路に入力されるタイミングはヒットデータ転送に用いる光ファイバーの長さにより決定される。そこで、本番運転で全 6,912 本 (クロック分配用 1,392

本・ヒットデータ読み出し用 2,734 本・予備用 2,736 本) のファイバーの長さを測定によって取得することで、TGC ミューオントリガーシステムのタイミング制御に用いる 4,176 個のクロック分配用パラメータと 5,568 個のヒットデータ読み出し用パラメータを全て決定した。

さらに、CERN に本番を模したテストベンチを構築し、1, 2 のタイミング制御を行った上でトリガー及び読み出し回路の試運転を行った。その結果、

- タイミングの制御されたクロック分配及びヒットデータ読み出しができることを確認した。
- トリガー回路から期待される出力を確認した。

本研究で決定したタイミングパラメータは本番運転に用いられる。さらに、構築したテストベンチや開発・整備した試験手法は今後のトリガー及び読み出し回路の動作検証の基盤となる。

# 目次

概要	iii
第 1 章 序論	1
1.1 素粒子物理学における標準模型と課題	1
1.2 LHC-ATLAS 実験の概要	2
1.3 LHC-ATLAS 実験における TGC 検出器の役割	3
1.4 高輝度 LHC-ATLAS 実験とそれに向けたアップグレード計画	6
1.5 本研究の目的と本論文の構成	6
第 2 章 高輝度 LHC-ATLAS 実験における TGC ミューオントリガーシステム	7
2.1 高輝度 LHC-ATLAS 実験における Trigger DAQ システム	7
2.2 TGC ミューオントリガーシステム	8
2.3 Front-End Link eXchange (FELIX)	21
第 3 章 TGC ミューオントリガーシステムのタイミング制御	22
3.1 TTC 信号分配経路	22
3.2 ヒットデータ読み出し経路	27
第 4 章 ファイバー長測定によるタイミングパラメータの決定	32
4.1 TTC 信号分配経路の構造	33
4.2 ファイバー長測定の手法	34
4.3 ファイバー長測定の結果	38
4.4 TTC 信号分配経路中のタイミングパラメータの決定	47
4.5 ヒットデータ読み出し経路中のタイミングパラメータの決定	49
第 5 章 テストパルス機能を用いたトリガー及び読み出し回路の試運転	58
5.1 テストベンチのセットアップ	58
5.2 TTC 信号分配のタイミング制御	60
5.3 ヒットデータ読み出しのタイミング制御	66
5.4 トラックテストパルスを用いたトリガー及び読み出し回路の試運転	71
第 6 章 結論と今後の展望	78
付録	80
A SL と PSB 間のファイバルーティングに関する補足	80

---

B	ファイバー長測定に関する補足 . . . . .	86
C	ファイバー長測定により決定されたタイミングパラメータ一覧 . . . . .	86
D	2024 年度 LHC Year End Technical Stop (YETS) 期間中に ATLAS 実験室で行った PSB TTC 信号位相に関する試験 . . . . .	104
	謝辞	108
	引用文献	109

# 第 1 章

## 序論

### 1.1 素粒子物理学における標準模型と課題

素粒子物理学における標準模型 (以下、標準模型) は、表 1.1 に示す 6 つのクォーク、6 つのレプトンと表 1.2 に示す 4 つのゲージボソンで物質とその間に働く 3 つの相互作用 (強い相互作用、電磁相互作用、弱い相互作用) を記述し、ヒッグス機構によってそれらの素粒子が質量を獲得するメカニズムを説明する理論体系である。2012 年に LHC を使った実験で、標準模型が予言する最後の素粒子であるヒッグス粒子が発見され、標準模型と整合するヒッグス粒子の性質の確認を経て標準模型は完成した。標準模型によって計算された物理量は、これまでに行われたほとんどの素粒子物理実験の結果と非常に高い精度で一致している。一方で、暗黒物質の存在などの標準模型では説明することができない観測結果や実験結果、ヒッグス粒子の質量に関する階層性問題などの未解決問題が存在する。これらの結果を説明するために、超対称性粒子などの様々な仮説が提唱されているが、どれも実験的に正しいことが示されるには至っていない。現在、それらの理論から予想される素粒子を探索する実験や様々な物理量における標準模型からの逸脱を探索する実験が進められている。

表 1.1 標準模型における物質を構成する素粒子

フェルミオン (スピン 1/2)			
クォーク	アップ (u)	チャーム (c)	トップ (t)
	ダウン (d)	ストレンジ (s)	ボトム (b)
レプトン	電子ニュートリノ ( $\nu_e$ )	ミューニュートリノ ( $\nu_\mu$ )	タウニュートリノ ( $\nu_\tau$ )
	電子 (e)	ミューオン ( $\mu$ )	タウオン ( $\tau$ )
	第 1 世代	第 2 世代	第 3 世代

表 1.2 標準模型における相互作用を媒介する素粒子とヒッグス粒子

ボソン	
ベクターボソン (スピン 1)	グルーオン (g) 強い相互作用を媒介する
	ウィークボソン ( $W^\pm, Z^0$ ) 弱い相互作用を媒介する
	光子 ( $\gamma$ ) 電磁相互作用を媒介する
スカラーボソン (スピン 0)	ヒッグス (h)

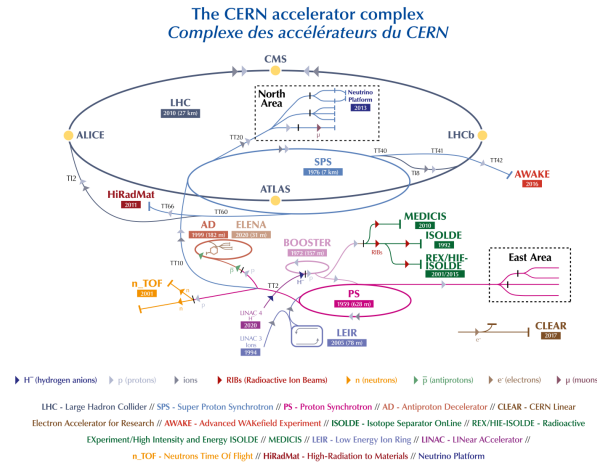


図 1.1 CERN の加速器群の概要図 [1]。LHC-ATLAS 実験で衝突させる陽子は、次の段階を経て LHC 加速器に入射される。まず水素ガスから H<sup>-</sup> イオンを生成し、LINAC4 と呼ばれる線形加速器で 160 MeV まで加速させる。次にカーボン薄膜を通すことで 2 つの電子を剥ぎ取り、Proton Synchrotron Booster (PSB) と呼ばれる 4 階建ての円形加速器に入射して、1.4 GeV まで加速させる。次に Proton Synchrotron と呼ばれる円形加速器で 26 GeV まで加速させる。次に Super Proton Synchrotron と呼ばれる円形加速器で 450 GeV まで加速させる。最後に LHC に入射し、6.8 TeV まで加速させる。

## 1.2 LHC-ATLAS 実験の概要

LHC-ATLAS 実験は、スイスのジュネーブにある欧州原子核研究機構 (CERN) で行われている高エネルギー加速器実験である。この実験では、図 1.1 に示す周長 26.7 km のハドロン衝突型円形加速器 Large Hadron Collider (LHC) で加速した陽子同士を衝突させ、生成される粒子を ATLAS 検出器で検出する。現在行われている RUN3 運転では、重心系衝突エネルギー 13.6 TeV、瞬間最高ルミノシティ  $2.33 \times 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$  が達成されている。LHC-ATLAS 実験では主に、ヒッグス場と素粒子の結合定数やヒッグス場の性質の精密測定、高い重心系衝突エネルギーを生かした重い新粒子の探索を行っている。

LHC には 4 つの衝突点があり、各衝突点に置かれた検出器でデータ取得を行っている。LHC-ATLAS 実験で使用する ATLAS 検出器はその 1 つである。図 1.2(a) に ATLAS 検出器の概要図を示す。ATLAS 検出器は、荷電粒子の飛跡を再構成する内部飛跡検出器、主に電子・光子・ハドロンのエネルギーを測定するカロリメータ、ならびに透過力の高いミュオンを検出するミュオン検出器から構成される。また、内部飛跡検出器およびミュオン検出器における運動量測定のため、それぞれソレノイド超伝導電磁石およびトロイド超伝導電磁石を設置し、磁場を印加している。図 1.2(b) に ATLAS 検出器の座標系を示す。ATLAS 検出器では直交座標系と円筒座標系の 2 種類が主に用いられる。直交座標系では、検出器中心 (Interaction Point, IP) を原点とし、LHC の動径方向に  $x$  軸を、ビーム軸方向に  $z$  軸を取る。なお、LHC の中心の向きが  $x$  軸の正、地上の向きが  $y$  軸となる右手系である。また、 $z$  軸の正の方向は A side、負の方向は C side と呼ばれる。円筒座標系では、ビーム軸に垂直な方向の距離を  $R$ 、方位角を  $\phi$ 、天頂角を  $\theta$  に取る。また、 $\theta$  の代わりに以下の式で定義される Pseudorapidity  $\eta$  も用いられる。

$$\eta = -\log(\tan(\theta/2)) \quad (1.1)$$

ATLAS 検出器を使った粒子の検出方法を図 1.2(c) に示す。最内層にある内部飛跡検出器は、ソレノイドマグネットが作り出す磁場によって曲げられた荷電粒子の飛跡の曲率を観測することで荷電粒子の運動量を再構成する。その外側にあるカロリメータは、電子や光子、ハドロンを検出し、それらのエネルギーを測定する。そして最外層

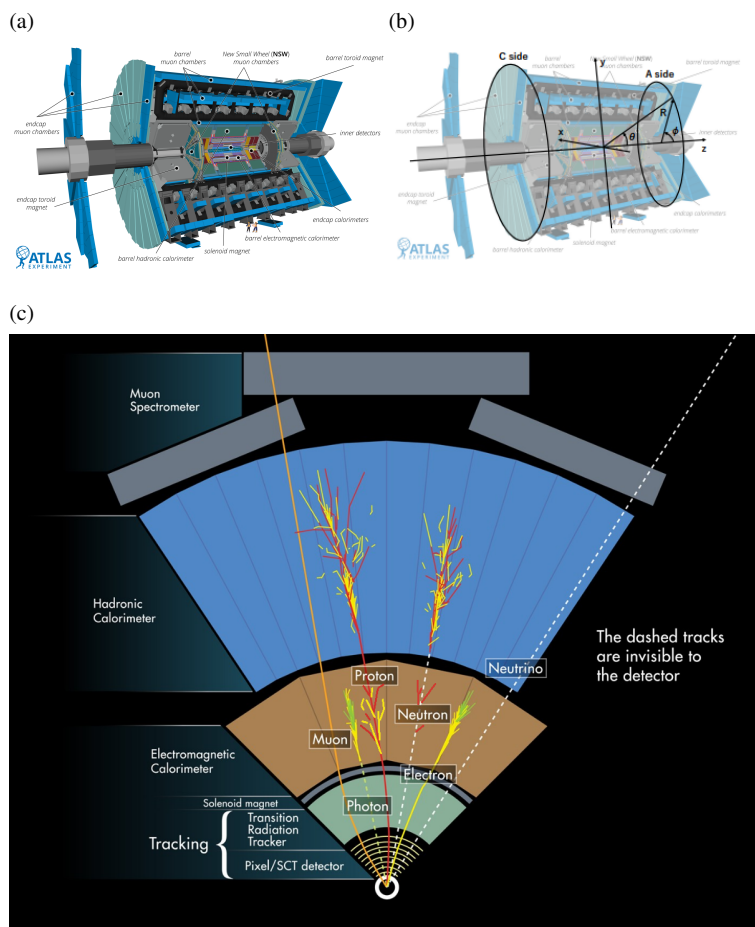


図 1.2 (a) ATLAS 検出器の概要図 [2]。ATLAS 検出器には荷電粒子の運動量を測定するための 2 T のソレノイド磁ネットがあり、その内側に内部飛跡検出器がある。ソレノイド磁ネットの外側には、粒子のエネルギーを測定するための電磁カロリメータ、ハドロンカロリメータがある。ミュオン検出器は  $|\eta| < 1.05$  のバレル部分  $|\eta| > 1.05$  のエンドキャップ部分に分かれる。バレル部分とエンドキャップ部分のそれぞれに対してミュオンの運動量を測定するためのトロイド磁ネットがあり、ミュオン検出器はトロイド磁ネットで飛跡が曲げられたミュオンを検出する。(b) ATLAS 検出器の座標系。検出器中心 (IP) を原点とし、LHC の動径方向を  $x$  軸、ビーム軸方向を  $z$  軸に取った直交座標系を用いる。なお、LHC の中心の向きが  $x$  軸の正、地上の向きが  $y$  軸の正となる右手系である。 $z$  軸の正の方向は A side、負の方向は C side と呼ばれる。(c) ATLAS 検出器における粒子の検出方法の概念図 [3]。荷電粒子の運動量は、その飛跡をソレノイド磁ネットで曲げ、内部飛跡検出器で飛跡を再構成・曲率を計算することで測る。電子、光子、ハドロンのエネルギーはカロリメータで測定する。透過力の高いミュオンは、その飛跡をトロイド磁ネットで曲げ、最外層のミュオン検出器を使って運動量を測定する。

に設置されているミュオン検出器は内側のすべての検出器を透過してきたミュオンを捉え、その運動量の測定を行う。ニュートリノのように物質との反応断面積が極めて小さい粒子は ATLAS 検出器で検出することができないため、損失横エネルギー (Missing Energy Transverse, MET) として再構成される。

### 1.3 LHC-ATLAS 実験における TGC 検出器の役割

Thin Gap Chamber (TGC) 検出器はカロリメータを通過したミュオンを検出するガス検出器である。TGC ミュオントリガーシステムは、TGC 検出器のヒット信号を使って初段トリガーに用いるミュオンの飛跡再構

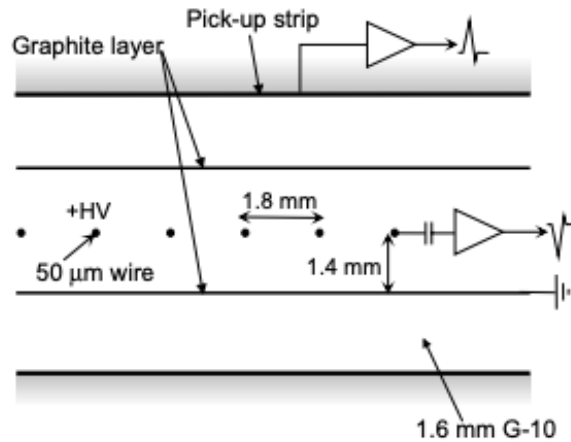


図 1.3 TGC 検出器を構成するガスチェンバーの構造 [4]。n-pentan + CO<sub>2</sub> の混合ガスが封入されたガス層にワイヤーアノード電極があり、カーボングラウンド電極を挟んでストリップ電極が配置される。カーボングラウンド電極とストリップ電極は G-10 基盤の各面に実装される。

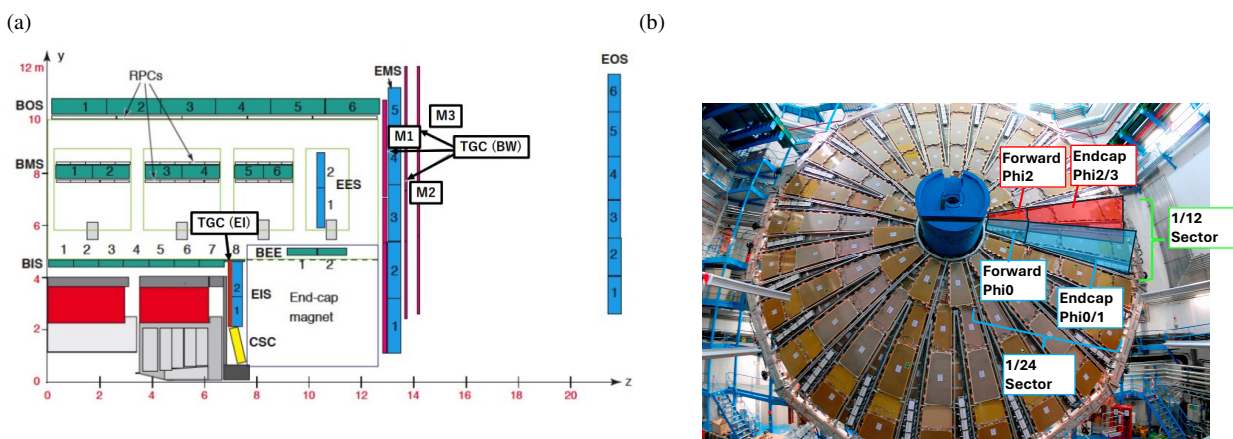


図 1.4 (a) ATLAS 検出器の  $y-z$  平面図 [5]。エンドキャップトロイドマグネットの内側にある TGC 検出器を TGC EI (Endcap Inner)、外側にある TGC 検出器を TGC BW (Big Wheel) と呼ぶ。(b) TGC BW における Trigger Sector の定義 [6]。24 個の対称な Sector (1/24 Sector) 毎にトリガー回路が組まれる。1/24 Sector は  $1.05 < |\eta| < 1.92$  の Endcap、 $1.92 < |\eta| < 2.4$  の Forward に分割され、ミュオン飛跡再構成・運動量概算は Endcap を  $\phi$  方向に 2 等分した Phi0、Phi1 と Forward の 3 部分に分けてそれぞれ独立に行う。

成・運動量概算を行う。この TGC ミュオントリガーシステムが本研究の対象となるため、本節で説明する。

TGC 検出器のミュオン検出部は図 1.3 に示すように、主に n-pentan + CO<sub>2</sub> の混合ガスが封入されたガス層と  $R$  方向の位置測定を行うワイヤー電極、 $\phi$  方向の位置測定を行うストリップ電極、カーボングラウンド電極、G-10 基盤で構成される。ワイヤー電極には高電圧 (典型的には 2.8 kV) がかけられており、ミュオンの通過によってガスが電離すると、電離電子はワイヤー電極に向かってドリフトし、ワイヤー近傍の高電場領域で電子雪崩を形成する。雪崩により生成された陽イオンのドリフト運動により、ワイヤー電極には誘起電流信号が生じる。この信号が  $R(\eta)$  方向の位置測定に用いられる。一方、陽イオンの運動によってカーボングラウンド電極上に形成される時間変化する電荷分布は、絶縁層を介して結合したストリップ電極に変位電流として誘起され、 $\phi$  方向の位置測定に用いられる。TGC 検出器の役割は初段トリガー判定を行うことであるため、ワイヤーの間隔は、電子のドリフト時間の

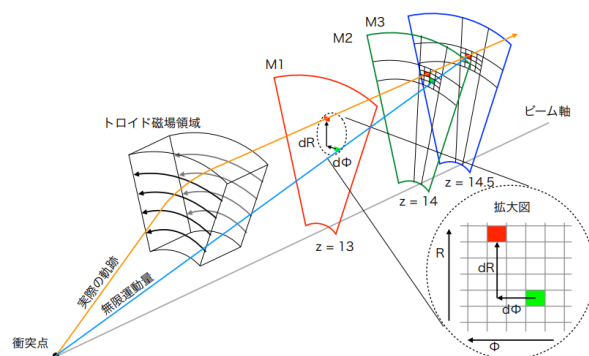


図 1.5 TGC 検出器におけるミュオンの飛跡再構成・運動量概算の概要図 [7]。3 つの Station でミュオンを検出し、それらのヒット点からミュオンの飛跡を再構成する。飛跡の曲がり度合からミュオンの運動量を概算する。

分布を小さくし、検出器の時間分解能が LHC のバンチ交差周期である 25 ns に対して十分な値になるように設計されている。

TGC 検出器は図 1.4(a) に示すように、エンドキャプトロイドマグネットの内側にある TGC EI (Endcap Inner)、外側にある TGC BW (Big Wheel) に分かれる。本研究で特に中心的に取り扱う TGC BW に関してセグメンテーションや読み出しの詳細を記す。TGC BW には M1、M2、M3 と呼ばれる 3 つの Station (図 1.4(a)) があり、M1 は 3 層の検出器ガス層を含むことから Triplet、M2、M3 はそれぞれ 2 層の検出器ガス層を含むことから Doublet と呼ばれる。Triplet には 3 層のワイヤーと 2 層のストリップがあり、Doublet には 2 層のワイヤーと 2 層のストリップがある。図 1.4(b) に示すように、各 Station は 24 個の対称な Sector (1/24 Sector) に分割され、1/24 Sector 単位でトリガー回路が組まれる。1/24 Sector はさらに  $1.05 < |\eta| < 1.92$  の Endcap と  $1.92 < |\eta| < 2.4$  の Forward に分割される。ミュオンの飛跡再構成・運動量概算は、Endcap を  $\phi$  方向に 2 等分した  $\Phi_0$ ,  $\Phi_1$  と Forward の 3 部分に分けてそれぞれ独立に行われる。検出器は Trigger Sector の境界において十分なオーバーラップを持って設置されているため、Trigger Sector を分けても Sector 境界での inefficiency はない。なお、隣接する 2 つの 1/24 Sector ( $\Phi_0/1$  と  $\Phi_2/3$ ) を合わせた 1/12 Sector と呼ばれる単位も存在し、電源供給等のインフラは 1/12 Sector 毎に構築されている。本論で「Sector」と書いた時には、特に断りがない限り 1/24 Sector を指す。また、1/24 Sector の場所は Sector1- $\Phi_0/1$  のように 1/12 Sector 番号 (1 ~ 12) と  $\Phi$  番号 (0/1 か 2/3) で指定する。

図 1.5 に TGC BW を用いたミュオンの飛跡再構成・運動量概算の概要図を示す。飛跡再構成では、まず M1、M2、M3 それぞれで検出層にあったヒットのコインシデンスを取ることで、各 Station におけるミュオンのヒット位置を示す点の R 座標と  $\phi$  座標をそれぞれ求める。その後、M3 の代表点を pivot として Coincidence Window を開き、M2、M1 のヒット点とのコインシデンスを R 座標と  $\phi$  座標それぞれについて独立に取る。これにより、IP から来たミュオンの直線飛跡を再構成する。最後に、再構成した飛跡と、pivot と IP を結ぶ直線 (無限運動量飛跡\*) の R 座標と  $\phi$  座標の差分を計算する。TGC 検出器に飛来するミュオンの飛跡はトロイドマグネットが作る磁場によって曲げられるため、再構成した飛跡がどれくらい曲がったか (無限運動量飛跡との R 座標と  $\phi$  座標の差分) を計算することで運動量の概算を行う。このように、とある一点 (pivot) から伸びる 2 つの直線のなす角度から運動量を概算する手法を Point Angle Measurement と呼ぶ。

\*1 無限大の運動量を持つ粒子は磁場中で曲げられず IP から直線の飛跡をたどる。そのため、pivot と IP を結ぶ直線を無限運動量飛跡と呼ぶ。

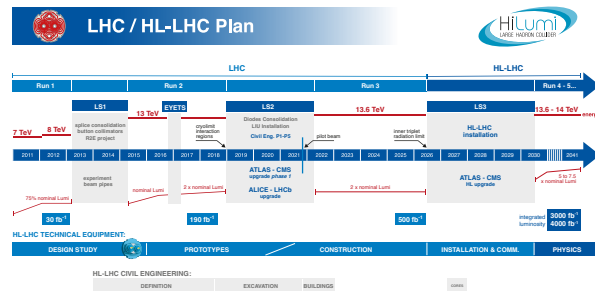


図 1.6 高輝度 LHC-ATLAS 実験に向けた Phase-2 Upgrade の計画 [8]。2026 年から ATLAS 検出器の Upgrade が始まり、2030 年から物理ランが開始される予定。最終的に瞬間ルミノシティで現行の 2～3 倍、積分ルミノシティで LHC-ATLAS 実験 RUN3 運転までに収集されるデータの約 6 倍のデータ取得を目指す。

## 1.4 高輝度 LHC-ATLAS 実験とそれに向けたアップグレード計画

高輝度 LHC-ATLAS 実験は 2030 年に開始が予定されている LHC-ATLAS 実験の後継実験である。この実験では図 1.6 に示すように、LHC のビームルミノシティを段階的にあげていき、最終的に現行の 2～3 倍の瞬間ルミノシティを実現することを目指す。これにより、LHC-ATLAS 実験 RUN3 運転までに収集される積分ルミノシティの約 6 倍の大統計データが収集される予定であり、この大統計データを用いて LHC-ATLAS 実験を超える精度での素粒子とヒッグス場の結合定数などの精密測定や新物理の探索を行う。ルミノシティの向上に伴って、ATLAS 実験のトリガー DAQ の仕様は刷新される。初段トリガーレートは現行の 10 倍の 1 MHz、初段トリガーレイテンシーは現行の 4 倍の  $10 \mu\text{s}$  となる。この仕様の刷新に対応するべく、初段ミュオントリガーを担う TGC ミュオントリガーシステムでは、2 章で述べるように検出器はそのままにエレクトロニクスの大部分を刷新する予定である。

## 1.5 本研究の目的と本論文の構成

本研究では新しい TGC ミュオントリガーシステムの本番運転を見据え、事前測定が必要であったタイミングパラメータを決定し、さらに本番を模したテストベンチ環境を用いてタイミングの制御されたトリガー及び読み出し回路の試運転を行った。

本論文の構成は以下の通りである。まず 2 章で ATLAS 検出器の Trigger DAQ システムの概要と TGC ミュオントリガーシステムの詳細について記述する。3 章では TGC ミュオントリガーシステムに必要なタイミング制御の詳細について説明する。4 章ではタイミングパラメータを決定するために行った測定の手法と結果について説明する。この測定とは、TGC ミュオントリガーシステムの後段回路から前段回路にクロックを分配するファイバーの長さの測定である。5 章では本番を模したテストベンチ環境を用いて行ったタイミングの制御されたトリガー及び読み出し回路の試運転の手法と結果について説明する。

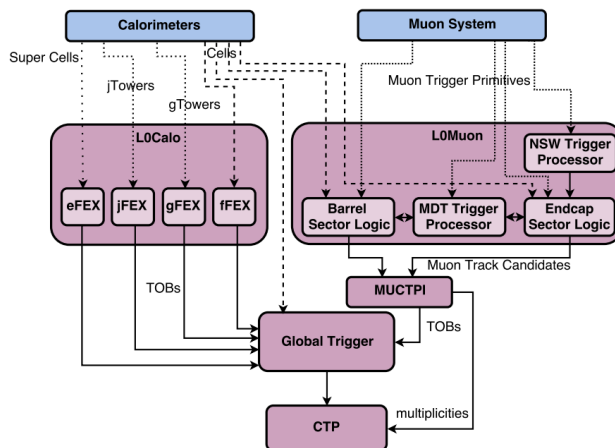
## 第 2 章

# 高輝度 LHC-ATLAS 実験における TGC ミュオントリガーシステム

### 2.1 高輝度 LHC-ATLAS 実験における Trigger DAQ システム

LHC では 25 ns の間隔で陽子バンチ衝突が起こるため、衝突によるすべての信号を記録することは不可能である。また限られたリソースを最大限有効活用するためには、興味のある衝突事象のみを記録する必要がある。ATLAS 実験においてはオンラインで事象選別を行うトリガーシステムを導入している。ATLAS 実験ではトリガーとデータ取得をまとめて Trigger and Data Acquisition (TDAQ) システムと呼ぶ。高輝度 LHC-ATLAS 実験では TDAQ

(a) Level-0 Trigger システム



(b) Event Filter と DAQ システム

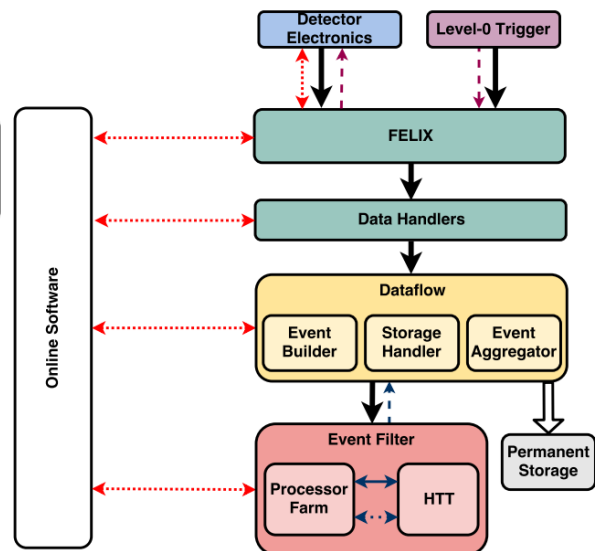


図 2.1 高輝度 LHC-ATLAS 実験における TDAQ システムの概要 [9]。図 2.1(a) に Level-0 Trigger システムの概要を示す。初段のハードウェアトリガーである Level-0 Trigger は、L0Calo と L0Muon に大別され、最終的なトリガー判定が CTP でなされる。ある事象データが後段にわたされるべきであると判定された場合には、LOA 信号が CTP によって発行される。図 2.1(b) に Event Filter と DAQ システムの概要を示す。FELIX 経由で LOA 信号を受けた各システムは、該当する衝突データを FELIX へ送り、FELIX は受け取ったデータを後段トリガーに渡す。後段トリガーでは Event Filter がソフトウェアベースのトリガー判定を行い、最後まで残った衝突データが Permanent Storage に保存される。

システムのエレクトロニクスを一新し、トリガー性能の向上を目指す。高輝度 LHC-ATLAS 実験における TDAQ システムの概要を図 2.1 に示す。TDAQ システムは Level-0 Trigger, Event Filter, DAQ システムから構成される。Level-0 Trigger はハードウェアで構成された初段トリガーである。Level-0 Trigger はカロリメータによる情報を用いてトリガー判定を行う Level-0 カロリメータ (L0Calo) トリガーと、ミューオン検出器 (RPC, MDT, TGC) による情報を用いる Level-0 ミューオン (L0Muon) トリガーに大別される。これらの 2 種類のトリガーで処理された情報は最終的に Central Trigger Processor (CTP) に渡され、Level-0 トリガー判定がなされる (図 2.1(a) 参照)。ある事象データが後段のトリガーに渡されるべきであると判定された場合には、Level-0 Accept (LOA) 信号が CTP によって発行される。Front-End LInk eXchange (FELIX) 経由で LOA 信号を受けた各システムは、該当する衝突データを FELIX へ送り、FELIX は受け取ったデータを後段トリガーに渡す。後段トリガーでは Event Filter がソフトウェアベースのトリガー判定を行う。そして最後まで残った、興味のある物理事象を含む衝突データが Permanent Storage に保存される。現行の TDAQ システムとの主な違いとして、初段トリガーレートや Permanent Storage への記録レート、トリガー判定に使える時間がある。高輝度 LHC-ATLAS 実験ではより多様な物理にアクセプタンスを持つトリガーシステムを実現するために、初段トリガーレートを 100 kHz から 1 MHz に、Permanent Storage への記録レートを 1 kHz から 10 kHz までに拡張する。また、より洗練されたトリガーアルゴリズムの導入を可能にするために、トリガー判定に使える時間を  $2.5 \mu\text{s}$  から  $10 \mu\text{s}$  まで伸ばす。本研究では主に L0Muon トリガーの内、Endcap 部をカバーする TGC 検出器システムについて扱う。2.2 節では TGC 検出器トリガーシステムの詳細について説明する。

## 2.2 TGC ミューオントリガーシステム

TGC ミューオントリガーシステムは、TGC 検出器の信号を受けて 1.3 節で記述した初段トリガー判定に使用するミューオンの飛跡再構成・運動量概算を行うシステムである。このシステムは図 2.2 に示すように以下の 5 つの回路で構成され、検出器中心 (IP) でのバンチ交差に同期した 40.079 MHz のクロック (LHC CLK) に同期してヒット信号の読み出しやトリガー演算、タイミング信号分配が行われる。本論で「25 ns」や「1 BC (Bunch Crossing)」と書いた場合、特に断りがない限りは 40.079 MHz クロックの 1 周期を表す。

- **Amplifier Shaper Discriminator (ASD) Card**

TGC 検出器の出力である電荷信号を処理する。電荷-電圧変換を Preamplifier で行い、Main-Amplifier で増幅してコンパレータでデジタル化する。

- **Primary Processing Board (PSB, PS Board)**

搭載された Patch Panel ASIC (PP ASIC) によってヒット信号がどのバンチ交差に対応するかの識別 (Bunch Crossing Identification, BCID) を行う。これを実現するために各 PSB 上の LHC CLK 位相を揃え、その上で ASD から PP ASIC にヒット信号が到達するタイミング差を吸収するように可変遅延をかける。

- **JTAG AssisTance Hub (JATHub)**

ATLAS 実験室 (UX15) 内に設置される FPGA<sup>\*1</sup> の Static Random Access Memory のプログラム (FPGA コンフィギュレーション)、PSB や JATHub, TAM の QSPI フラッシュメモリへのビットストリーム<sup>\*2</sup>書き込みを行う。また、PSB や JATHub, TAM に放射線損傷が起きた際の回復手続きを行う。さらに PSB が再構成したタイミング信号の位相モニターを行う。

- **Timing Alignment Master (TAM) Module**

TAM 間で LHC CLK を揃えた上で、JATHub に位相測定の基準クロック (位相のゼロ点を決めるクロック

<sup>\*1</sup> Field Programmable Gate Array の略。ユーザーが自由に内部の論理回路を編集できる集積回路である。

<sup>\*2</sup> FPGA の論理回路構成情報を記述したコンフィギュレーションデータ

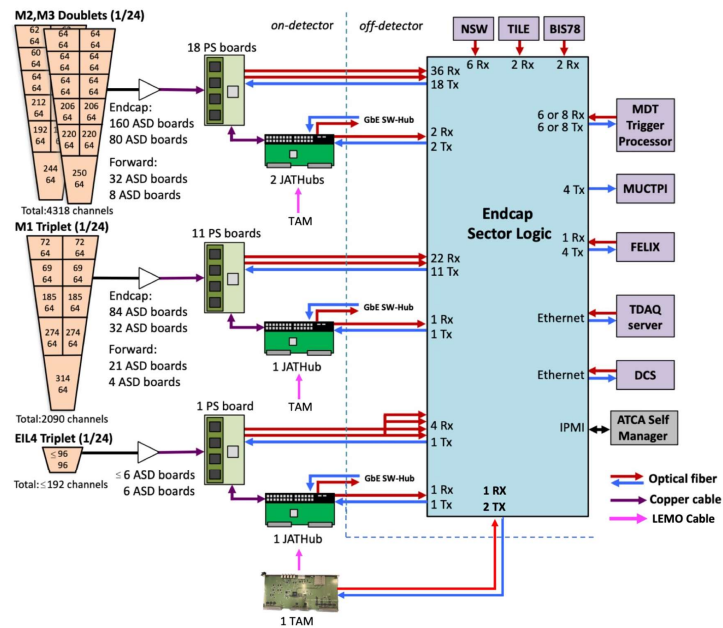


図 2.2 TGC ミューオントリガーシステムを構成するエレクトロニクスの概要図。TGC 検出器のヒット信号は ASD で信号増幅とデジタル信号への変換が行われ、PSB でバンチ交差識別 (BCID) が行われた後に、SL でミューオンの飛跡再構成・運動量概算に用いられる。初段トリガーにより選別されたイベントに関しては、SL にバッファされていたヒットデータが FELIX に読みだされる。JATHub と TAM は PSB で再構成された LHC CLK の位相モニターを行う。また、JATHub は ATLAS 実験室内の回路に搭載された FPGA の放射線損傷に対する回復手続きも行う。

ク)を分配する。また、TAM が VME master、JATHub が VME slave となり VME 通信による TAM から JATHub のコントロールを行う。

#### • Sector Logic (SL)

PSB, TAM のモニター・コントロール・クロック分配を行うと共に PSB から送られてきたヒットデータを使ってミューオンの飛跡再構成・運動量概算を行う。

ASD, PSB, JATHub, TAM は ATLAS 実験室内に設置されるため、フロントエンドエレクトロニクスと呼ばれる。一方、SL は ATLAS 回路室内に設置するため、バックエンドエレクトロニクスと呼ばれる。フロントエンド側からバックエンド側へのデータ送信に使われる線は上り線、バックエンド側からフロントエンド側へのデータ送信に使われる線は下り線と呼ばれる。以下の小節では、各回路の詳しい仕組みについて記述する。

### 2.2.1 Amplifier Shaper Discriminator (ASD) Card

TGC 検出器によるワイヤーとストリップの電流信号はまず TGC 検出器の Chamber に直接取り付けられている Amplifier Shaper Discriminator (ASD) Card にて電圧信号に変換された後に増幅され、閾値電圧との比較によってデジタル化されて LVDS 規格の差動信号として PSB へ出力される。図 2.3 に ASD の概要を示す。1 枚の ASD ボードには 4 枚の ASD チップが載っており、各 ASD チップが 4 チャンネルを担当するため、1 枚の ASD ボードでは 16 チャンネル分の検出器信号を処理する。ASD チップの回路は前段増幅機 (Preamplifier)、メインの差動増

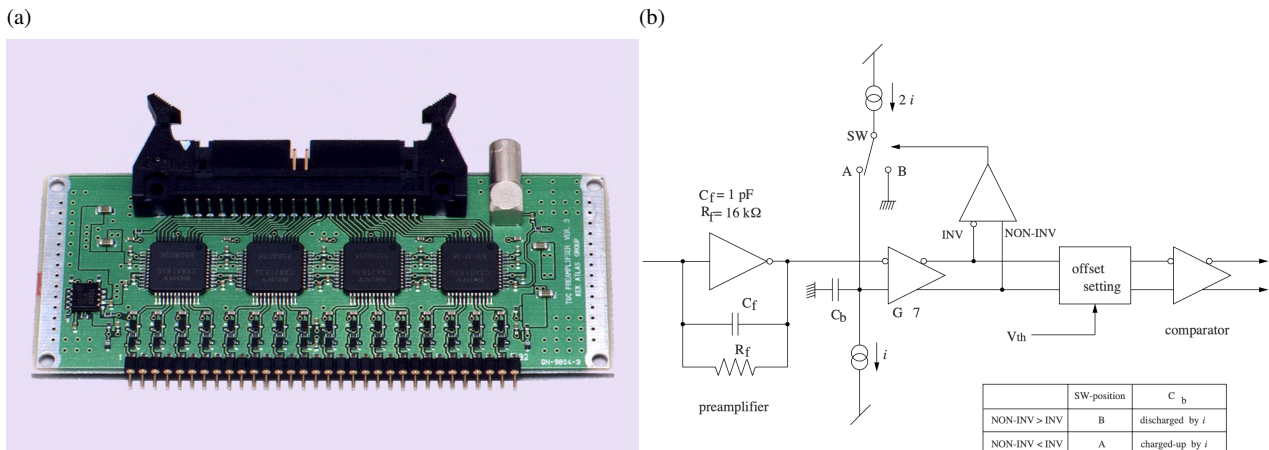


図 2.3 ASD の概要 [10]。 (a) ASD の写真。ASD 1 枚あたり 4 枚の ASD チップが載っており、1 枚の ASD ボードでは 16 チャンネル分の検出器信号を処理する。 (b) ASD チップのブロック図。ASD チップの回路は電流信号を電圧信号に変換する Preamplifier、電圧信号を増幅する Main-Amplifier、そして電圧信号を閾値電圧と比較して LVDS 規格のデジタル信号に変換するコンパレータの 3 段階に大きく分けられる。

幅回路 (Main-Amplifier)、コンパレータの 3 段階に大きく分けられる。Preamplifier では  $0.8 \text{ V/pC}$  のゲインで電流信号を電圧信号に変換する。その電圧信号は Main-Amplifier にて 7 倍に増幅され、コンパレータにて PSB から供給される閾値電圧と比較されることによって LVDS 規格の差動信号として出力される。TGC の全 320,000 チャンネルを処理するため、システム全体では ASD ボードはおよそ 23,000 枚設置される。

## 2.2.2 Primary Processor Board (PSB, PS Board)

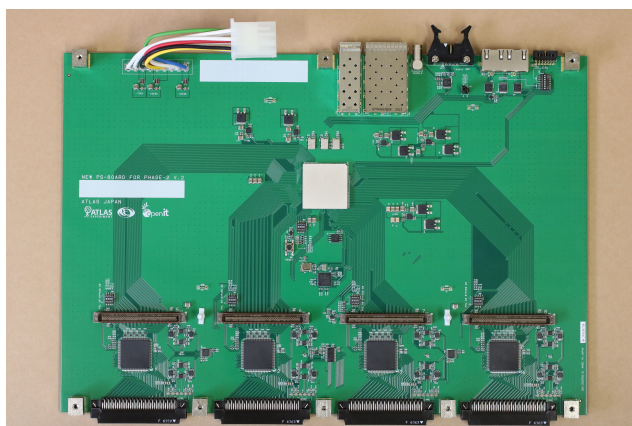
ASD ボードによって LVDS 規格として出力された検出器信号は次に TGC 検出器上に設置されている Primary Processor Board (PSB) に入る。PSB には、ヒット信号読み出しのために Patch-Panel ASIC (PP ASIC) と AMD 社製の Kintex-7 FPGA<sup>\*3</sup> という 2 種類の集積回路が搭載されており、ASD から送られてきた TGC 検出器からの信号に対して BCID を行った後、全チャンネルのヒットの有無を示すヒットビットマップデータを SL へ高速光通信を用いて転送する。図 2.4 に PSB の写真とブロック図を示す。1 枚の PSB には 8 個の PP ASIC (メインボードに 4 個、メザニンボードに 4 個) が搭載されている。以下では PP ASIC、PSB FPGA の役割を紹介し、PSB に必要となる機能を整理する。

### Patch-Panel ASIC (PP ASIC)

ASD ボードからの信号はまず PP ASIC に入る。PP ASIC のブロック図を図 2.5 に示す。1 つの PP ASIC は 2 つの ASD ボードと接続され、合計 32 チャンネルの LVDS 信号を受ける。PP ASIC においてはトリガーとして最も重要な役割の一つである BCID が行われる。つまり TGC 検出器からの信号がどの陽子バンチ交差に由来するのかが判定する必要があり、これを行うために PP ASIC には可変遅延回路と陽子バンチ識別回路が搭載されている。衝突点で生じたミュオンが通過することによって生じる TGC 検出器からの信号は、衝突点からのミュオンの飛行時間の違いや ASD から PP ASIC までのケーブル長の違いにより、各 PP ASIC に到達するタイミングが最大  $52 \text{ ns}$  異なる (図 2.6)。PP ASIC の可変遅延回路と、後述する PSB FPGA のヒット信号遅延により、最も信号の到着時間が遅いチャンネルにすべてのチャンネルの信号のタイミングを合わせることで、このタイミングの違いを吸

\*3 型番: XC7K325T-2FFG900C

(a) PSB の写真



(b) PSB のブロック図

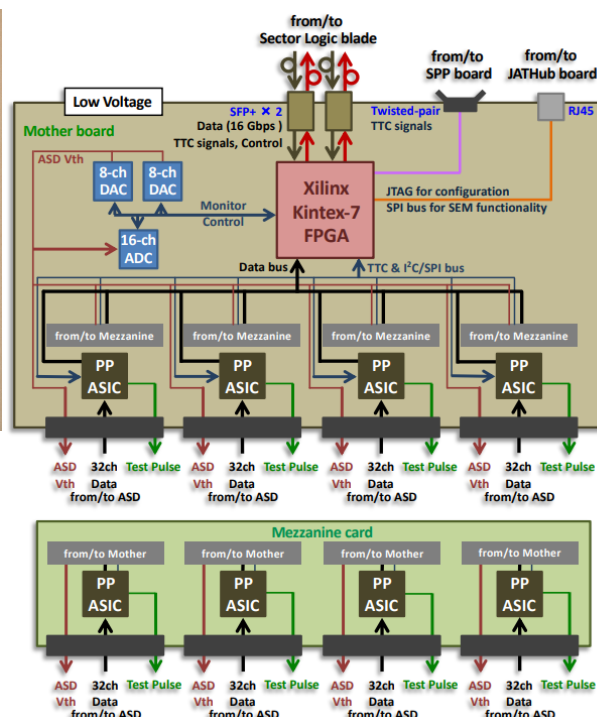


図 2.4 PSB の概要。1 枚の PSB には 8 個の PP ASIC (メインボードに 4 個、メザニンボードに 4 個) が搭載されており、PSB FPGA は 256 チャンネル分の信号を扱う。PP ASIC において BCID がなされた後に、すべての信号をヒットの有無に関わらず高速光通信を用いて SL に転送する。ASD に閾値電圧を供給する DAC、および閾値電圧をモニターする ADC は PSB FPGA によって制御される。

収する。可変遅延回路の刻み幅は 0.74 ns, 0.84 ns, 0.99 ns, 1.19 ns の中から選択できて、ステップ数は最大 48 ステップである。一方、単一のチャンネルからの信号の中でも衝突からの信号の到着時間は有限の分布を持つ。主にミュオンの検出器への入射位置の違い<sup>\*4</sup>による、イベント毎の検出器中の電子のドリフト時間の違いや ASD までの信号の伝播時間の違いに起因して、PP ASIC への信号の到着時間分布は 20 ~ 30 ns 程度の幅を持つ。この時間分布の幅の違いは、 $\eta$  の違いによるチャンネル毎のミュオンの入射角度の違いによるものである (図 2.7)。上記の可変遅延回路でこの到着時間分布の立ち上がりを最も信号の到着時間が遅いチャンネルに揃え、この時間分布幅は次に述べる陽子バンチ識別回路の有効ゲート (BCID ゲート幅) を広く取ることで対応する。

続いて、陽子バンチ識別回路について述べる。陽子バンチ識別回路では、ヒット信号がどのバンチ交差に対応するものかを同定する。図 2.8 に PP ASIC 内の陽子バンチ識別回路のタイミングチャートを示す。陽子バンチ識別回路はヒット信号の立ち上がりを検出する。可変遅延回路で立ち上がりタイミングを揃えられたヒット信号が、陽子バンチ識別回路で LHC CLK と同期され、どの陽子バンチに由来するヒットであるか同定される。同じ BCID を付与する時間幅を BCID ゲート幅と呼ぶ。BCID ゲート幅は、0.74 ns, 0.84 ns, 0.99 ns, 1.19 ns の中から刻み幅を選択でき、ステップ数は最大 48 ステップまで設定できる。その際に、図 2.7 で示した時間分布幅を持つヒット信号に対しても同一の BCID を付与するために、BCID ゲート幅はヒット信号の時間分布を覆うように設定する必要がある。ヒット信号の時間分布が 25 ns を超えるチャンネルに対しても、BCID ゲート幅はこれを覆うように設定する。その場合、図 2.8 中 INPUT2 のように前後の BCID ゲートのオーバーラップ領域にヒット信号が入射した際は、2 つの BCID に渡って陽子バンチ識別回路の出力がなされることになる。2 つの BCID に渡ってヒット信号が

\*4 具体的にはワイヤーから最近接一次電子発生点の違い

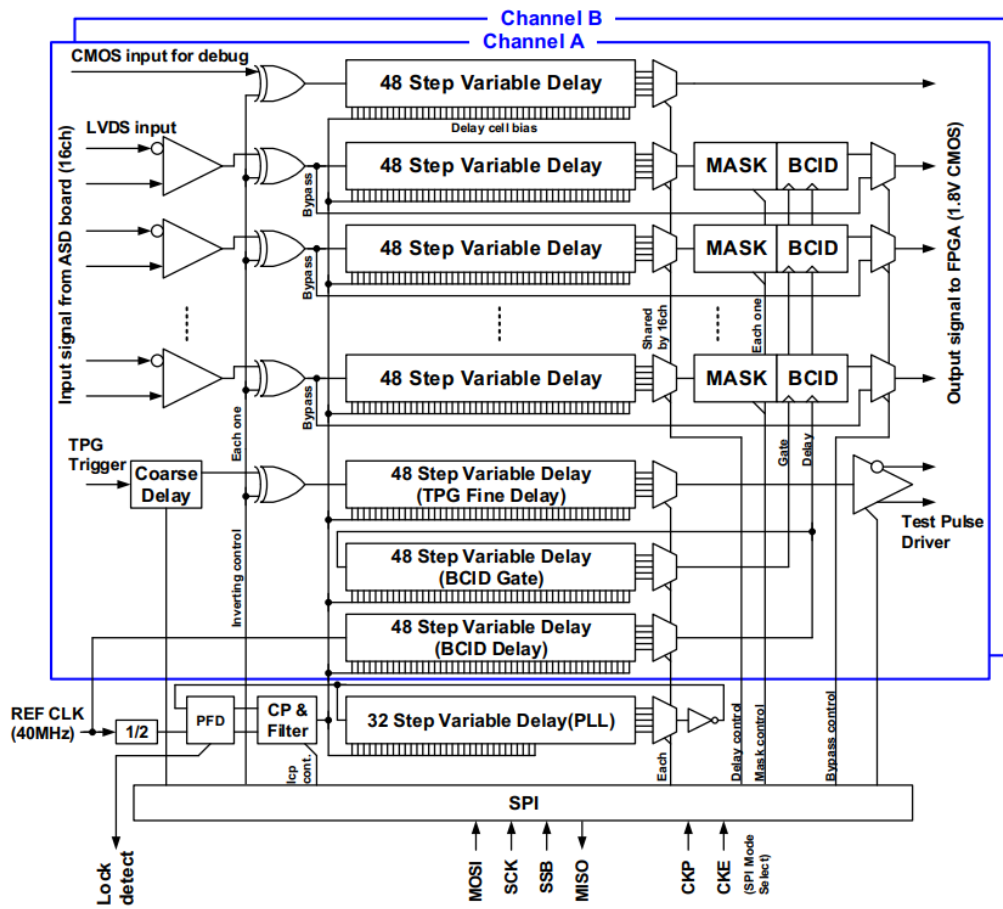


図 2.5 PP ASIC の回路ブロック図。Channel A と Channel B はそれぞれ 1 つの ASD ボードに対応し、1 つの PP ASIC は 32 チャンネルの LVDS 信号を受け取る。PP ASIC には可変遅延回路、陽子バンチ回路が搭載されており、この 2 つの回路を用いて BCID を行う。またチャンネルごとにマスクがかけられるような機能も搭載されている。

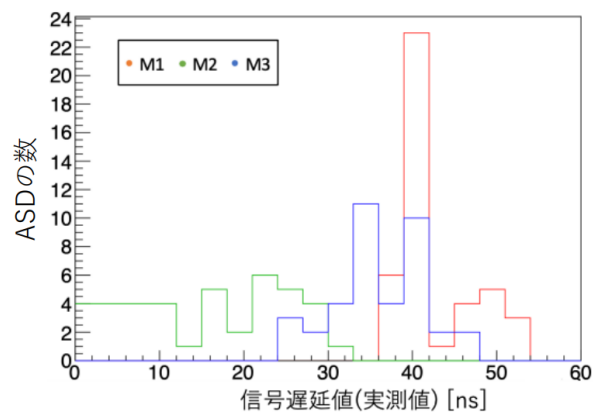


図 2.6 横軸をミュオンの ToF と信号ケーブル配線遅延の合計、縦軸をその遅延時間を有する ASD の数としたヒストグラム [11]

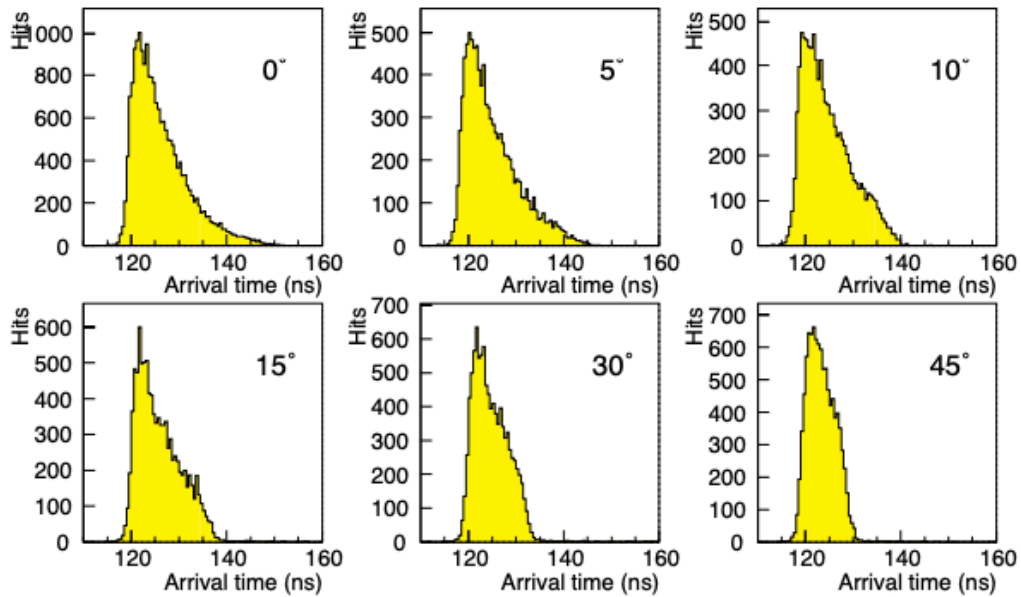


図 2.7 ミューオンが TGC に入射してから、ガスが電離されて生じた電離電子がドリフトしてワイヤー近傍の高電場領域で電子雪崩を形成するまでの時間分布 [4]。時間分布はミューオンが入射する角度に依存して、20 ~ 30 ns 程度の分布を持つ。

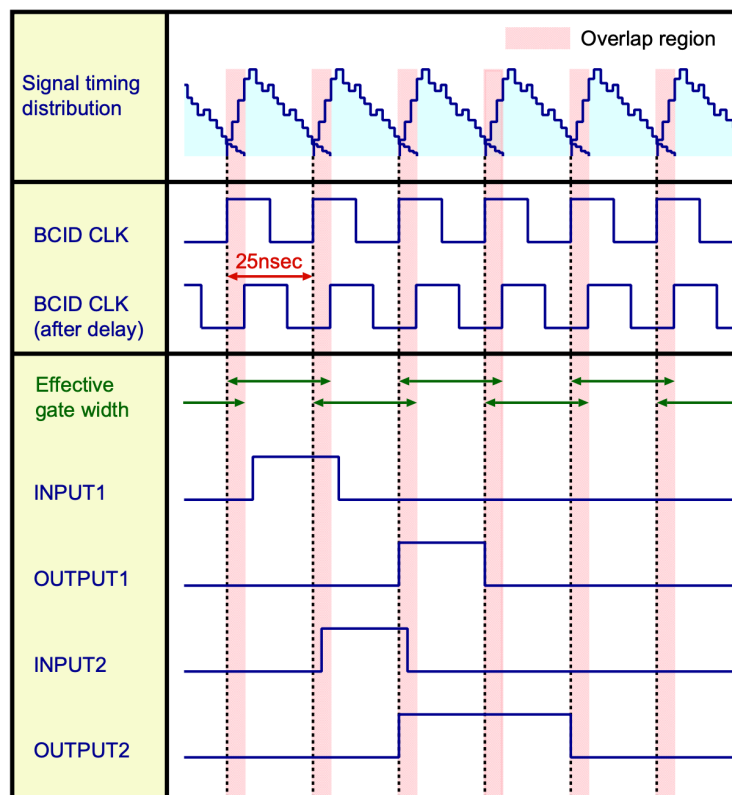


図 2.8 PP ASIC 内の陽子パンチ識別回路のタイミングチャート [12]。INPUT1 は有効ゲートが重ならないタイミングで陽子パンチ識別回路にヒット信号が入射した場合を示しており、OUTPUT1 がこれに対応する出力信号である。INPUT2 は有効ゲートが重なるタイミングで陽子パンチ識別回路にヒット信号が入射した場合を示しており、OUTPUT2 がこれに対する出力信号である。OUTPUT2 は 2 パンチに渡って出力される。

同定されても、TGC 検出器では 7 層のヒットのコインシデンスを取るの、最終的にはどのバンチ交差に由来する信号かを一意に決定することができる。BCID ゲート幅はヒットの到着時間分布覆うように設定しなければならないが、BCID ゲート幅を広げ過ぎてしまうと異なるバンチによる信号を無駄に拾ってしまうだけでなく、陽子バンチ交差のタイミングとは外れた低エネルギーの中性子や光子に起因する信号が混入してしまう。加えてトリガーのバンチ識別能力の低下にもつながる。このため、BCID ゲート幅は必要最小限の幅に狭めておくことが必要となる。

上記で説明した可変遅延回路と陽子バンチ識別回路は、PSB が SL から光リンクを通じて再構成した LHC CLK で駆動される。すべてのチャンネルにおける信号のタイミングを十分に揃え、陽子バンチ識別回路における BCID ゲートを必要最小限の幅に抑えるためには、PSB が再構成する LHC CLK 位相がすべての PSB で十分に一致している必要がある。可変遅延と BCID ゲート調整の最小単位は 0.74 ns であることにも留意し、これより十分に良い精度である数百 ps の精度で LHC CLK 位相を一致させることを目標としている。PSB 間で LHC CLK 位相を十分に一致させる手法の研究と本番運転時のパラメータの決定、及び本番を模したタイミング制御のデモンストレーションが本研究の主題であり、詳細は 3, 4, 5 章で議論する。また PP ASIC には回路系の試験のために ASD に擬似的な検出器信号 (ASD Test Pulse) を供給することができる Test Pulse 回路や、ノイズの多いチャンネルの入力を遮断することができるマスク機能が搭載されている。

### PSB FPGA

PP ASIC において BCID され、LHC CLK に同期した信号は次に PSB 上の Kintex-7 FPGA に入る。PSB には 8 個の PP ASIC が搭載されていて、PSB FPGA は 256 チャンネル分の信号を扱う。PSB は 23,000 枚の ASD からの信号を扱うためにシステム全体で 1,434 枚設置される。PSB FPGA は全チャンネルのヒットの有無を示すヒットビットマップデータを SL へ高速光通信を用いて転送する。Zero Suppression を行わないためヒットの有無に関わらず固定長でのデータ転送になる。データ転送は AMD 社製の FPGA に搭載されている高速シリアル通信対応のトランシーバーの 1 種である 7 シリーズ GTX トランシーバーを用いて行われる。転送レートの要求は 256 チャンネル分のヒット信号とヘッダー (64 bit) を、40 MHz で、8B/10B プロトコルの元で送るので 16 Gbps となる (式 2.1)。PSB では転送レート 8 Gbps の光ファイバー 2 本を用いることでこのデータ転送を実現する。

$$[256 \text{ bit (hit signal)} + 64 \text{ bit (header, control signal read back)}] \times 40 \text{ MHz} \times 10/8 \text{ (8B/10B encoding)} = 16 \text{ Gbps} \quad (2.1)$$

また PSB FPGA は SL からのコントロール信号を 1 本の光ファイバー経由で受け取る。結果として、PSB には合計 3 本の光ファイバーが接続される (2 本は送信用、1 本は受信用)。コントロール信号にはレジスタ制御用の信号や Timing Trigger and Control (TTC) 信号と呼ばれるタイミング信号が含まれる。TTC 信号には LHC CLK や、BCID の際に付与する番号 (BC 番号) のリセットを行う Bunch Counter Reset (BCR)、PSB FPGA で擬似的な検出器信号を生成させる Test Pulse Trigger (TPT)、TPT に同期して入力されるテストヒットパターンの選択を行う Test Pattern Number (TPNUM) 等が含まれる。詳細は 3 章で述べるが、PSB においては TTC 信号のシリアルデータから LHC CLK が再構成され、FPGA 外部に配置されたクロックジッタークリーナー<sup>\*5</sup>でジッター低減処理が施された LHC CLK が FPGA のメインロジック用動作クロック、GTX トランシーバーの参照クロック、ならびに PP ASIC の動作クロックとして分配される。また、PSB が受け取った TPT は PP ASIC を通って PSB が繋がる ASD にも分配され、ASD からも擬似的な検出器信号が返ってくる。PSB FPGA レジスタの操作によって、ASD からの疑似信号と PSB FPGA からの疑似信号のどちらを SL に送るか選択する。本論では PSB FPGA からの疑似信号を SL に送る場合を取り扱う。以降では、TPT と TPNUM をまとめて TP 信号 (Test Pulse 信号) と呼ぶ。

PSB 間で TTC 信号を揃えるためにかける TTC 信号遅延、TGC 検出器から受け取ったヒット信号に対してかけ

\*5 安定した電圧制御発振器を用いてクロック信号からノイズの除去を行う素子

るヒット信号遅延を PSB FPGA が担う。TTC 信号遅延には、PSB の LHC CLK に対する遅延、BCR 信号に対する遅延 (BCR 遅延)、TP 信号にかける遅延 (Test Pulse 遅延、TP 遅延)<sup>\*6\*7</sup>がある。LHC CLK 遅延の 1 ステップの刻み幅は 1/56 ns である。BCR/TP 遅延について、BCR 信号/TP 信号は LHC CLK に載せるため BCR/TP 遅延の調整は 25 ns (LHC CLK 1 周期) 刻みで行えばよく、BCR/TP 遅延の 1 ステップの刻み幅は 25 ns である。ヒット信号遅延の 1 ステップの刻み幅は 25 ns である。

先ほど述べた PP ASIC や ASD に閾値電圧を供給する Digital to Analog Convertor (DAC)、及び閾値電圧をモニターする Analog to Digital Convertor (ADC) 等の PSB 上 IC も PSB FPGA によって制御される。

FPGA 上にデジタル回路を構成するためには、FPGA の Static Random Access Memory (SRAM) を適切にプログラムする (このことを FPGA コンフィギュレーションと呼ぶ) 必要がある。SRAM は揮発性のメモリであり、FPGA の電源を入れ直したり、異なるデジタル回路を構成したりする時には毎回 SRAM をプログラムし直す必要がある。PSB においては FPGA のデジタル回路を記述したビットストリームを、PSB 上の不揮発性メモリである QSPI フラッシュメモリに保存する。FPGA は電源を入れられた時や、再コンフィギュレーションを指示された時には、QSPI フラッシュメモリ内のビットストリームを自動的に読み込みデジタル回路を構成する。FPGA コンフィギュレーションの際には FPGA 上のレジスタ値や SL との光リンクは初期状態に戻るため、上記の遅延パラメータや PSB 上 IC 用パラメータの再設定やリンク確立の手続きが必要である。また、高輝度 LHC-ATLAS 実験では、PSB FPGA に自己修復不可能な放射線損傷が生じた際にその PSB FPGA の再コンフィギュレーションを行うことで対処する (2.2.3 節参照)。そのため、個々の PSB の FPGA を別々のタイミングで再コンフィギュレーションし、自動的に各パラメータの再設定やリンク確立の手続きを行う仕組みが必要である。これを解決するため、各 PSB 上の QSPI フラッシュメモリにビットストリームだけでなく各パラメータを保存しておき、FPGA の再コンフィギュレーション時に自動で読み込み・再設定を行い、リンク確立の手続きも行う機能が実装されている。これを「自律型制御機構」と呼ぶ。

### 2.2.3 JTAG Assistance Hub (JATHub)

JTAG Assistance Hub (JATHub) はデータパスとは独立した、フロントエンドエレクトロニクスのモニター・制御用モジュールである。図 2.9 に JATHub の写真を示す。JATHub には、AMD 社製の Zynq-7000 デバイスが搭載されている。これは FPGA と CPU が一体化した System-on-a-Chip (SoC) であり、FPGA 部分を Programmable Logic (PL)、CPU 部分を Processing System (PS) と呼ぶ。また、フロントエンドエレクトロニクスのモニター・制御、JTAG 通信のための RJ45 ジャック、TAM から基準クロックを受け取るための LEMO コネクタ、TAM との VME 通信のための VME J1 コネクタ、給電及びユーザー定義の SPI 通信を行う VME J3 コネクタ、光イーサネット通信のための SFP+ が搭載されている。加えて、JATHub は放射線環境下に設置されているので、冗長性を持たせたブートのために、QSPI フラッシュメモリ及び 2 枚の SD カードも搭載されている。JATHub は TGC 検出器の外枠に設置された Mini-Rack と呼ばれる 19 インチラック内の VME クレートに設置される。1 台の JATHub に対して、最大 11 台の PSB もしくは TAM を接続し制御することができ、1/12 Sector のフロントエンドエレクトロニクスをカバーするために 6 台の JATHub が 1 つの Mini-Rack に設置される。JATHub とフロントエンドエレクトロニクスは互いの RJ45 ジャックどうしを Category 6 ケーブル (Cat6 ケーブル)<sup>\*8</sup>で接続する。

JATHub の主な機能は、

<sup>\*6</sup> TPT と TPNUM に同じ量の TP 遅延をかける

<sup>\*7</sup> TPT 発行時に ASD からの疑似信号を用いる場合、各 ASD に TPT が到達するタイミングがミューオンの ToF をエミュレートするように TPT に遅延をかける。この時 25 ns 単位の遅延は TP 遅延を用い、それより細かい遅延はヒット信号遅延にも用いられた PP ASIC の可変遅延回路を用いる。

<sup>\*8</sup> 両端に RJ45 コネクタが付いたツイストペアケーブルであり、伝送性能の規格が Category 6 に分類されるものを用いる。

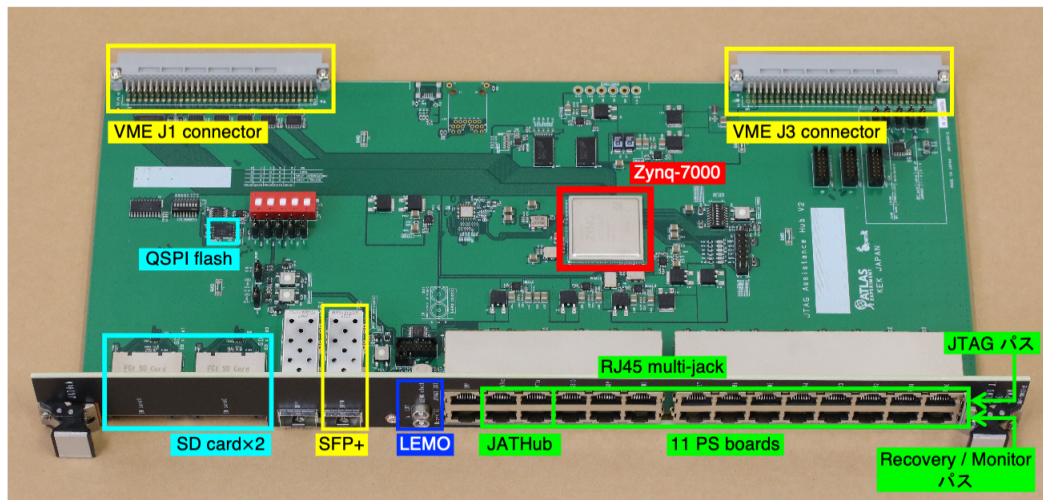


図 2.9 JATHub の写真 [13]。JATHub には FPGA と CPU が一体化した System-on-a-Chip (SoC) デバイスである、Zynq-7000 が搭載されている。JATHub はデータバスとは独立した PSB と TAM の制御用のモジュールであり、FPGA のビットストリームプログラミングや、自己修復不可能な放射線損傷が生じた際に FPGA の再コンフィギュレーションを行う機能、PSB のクロックの位相をモニターする機能を、RJ45 ジャックに接続した Cat6 ケーブルを経由して行う。位相モニターの基準クロックを TAM から LEMO コネクタに接続した LEMO ケーブルを経由して受け取る。冗長性を持たせたブートのために、QSPI フラッシュメモリ及び 2 枚の SD カードも搭載されている。JATHub は TGC 検出器の近くに設置された 19 インチラック内の VME クレーンに設置され、TAM をマスターとする VME 通信が可能である。また光イーサネットのインターフェイスとして SFP+ も搭載されている。

1. フロントエンドエレクトロニクスの QSPI フラッシュメモリへのビットストリームの書き込み、FPGA コンフィギュレーション
2. フロントエンドエレクトロニクスの放射線損傷に対する回復手続き
3. PSB が再構成した TTC 信号の位相モニター

である。

1. について、JATHub による QSPI フラッシュメモリへのビットストリームの書き込み、FPGA コンフィギュレーションは、Cat6 ケーブルを通して JATHub と対象のエレクトロニクスを繋ぐ 4 本の JTAG 線を制御することで行う。4 本の JTAG 線は Zynq-7000 の PL 部分に繋がっており、PS 部分に実装した専用ソフトを使い PL を介して 4 本の JTAG 線を操作することができる。

2. について、PSB, JATHub, TAM のフロントエンドエレクトロニクスは ATLAS 実験室内に設置されるため、放射線損傷を受ける可能性がある。JATHub による FPGA コンフィギュレーションは、Single Event Upset (SEU) と呼ばれる放射線によるビット反転の対策として実装された機能である。フロントエンドエレクトロニクスのビットストリームには、SEU の対策として Soft Error Mitigation (SEM) と呼ばれる AMD 社が提供する IP コアを組み込んでいる。この SEM は FPGA の SRAM をモニターし、放射線損傷が起きた際にそれを修復する機能を持つ。しかし、自己修復ができるのは 1 bit あるいは隣接する 2 bit の SEU のみであり、隣接しない 2 bit や 3 bit 以上の SEU には対処できない。このような自己修復不可能な SEU が生じると、SEM は自身の FPGA の再コンフィギュレーションを要請する信号 (Recovery Request 信号) を JATHub に発行する。JATHub は Recovery Request 信号を受け取ると、放射線損傷を受けた FPGA の再コンフィギュレーションをトリガーする信号 (PROGB 信号) をアサートする。

3. について、2.2.2 節で述べたように、PSB の LHC CLK はすべての PSB 間でサブナノ秒の精度で揃える必要

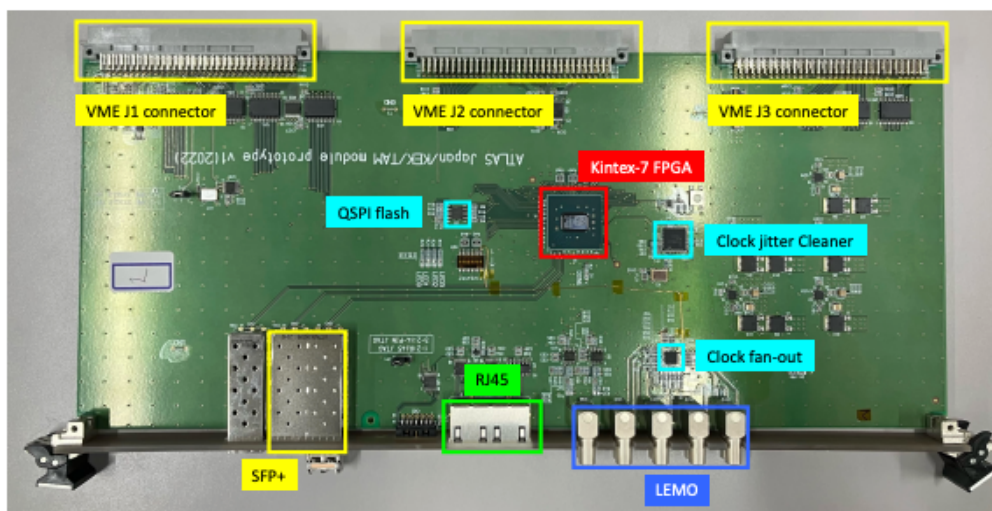


図 2.10 TAM の写真。TAM には AMD 社製の Kintex-7 FPGA が搭載される。SL との光通信のための SFP+ が 2 つ、JATHub から制御を受けるための RJ45 ジャックが 2 つ搭載される。TAM は TGC 検出器の近くの Mini-Rack 内の VME クレートに設置され、VME マスターとして働く。また、再構成したクロックを 6 台の JATHub と隣の TAM、自身に分配するために、合計で 8 つの LEMO OUT と fan-out 素子、クロックジッタークリーナー、位相合わせのための LEMO IN が 2 つ搭載される。ビットストリームを保存するための QSPI フラッシュメモリも搭載される。

がある。その上で、BCR 信号/TP 信号にも遅延をかけて PSB 間でタイミングを揃える。これを実現するため、本研究で PSB の TTC 信号 (LHC CLK, BCR 信号, TP 信号) にかかる遅延パラメータを決定した (3 章)。運転中に PSB TTC 信号位相の揃った状態が保持されているかをモニターする目的のために JATHub と TAM が用いられる。JATHub の役割は、TAM から LEMO コネクタを通じて受信した基準クロックを元にして、自身の RJ45 ジャックに繋がる PSB (最大 11 台) の TTC 信号位相を測定することである。

## 2.2.4 Timing Alignment Master (TAM)

JATHub の位相モニター機能の基準クロック分配と、Mini-Rack 内 VME クレートの VME マスターとして、Timing Alignment Master (TAM) が設置される。図 2.10 に TAM の写真を示す。TAM は 2 つの 1/24 Sector (1/12 Sector) につき 1 つ設置される。

2.2.3 節で述べたように TAM は JATHub が PSB TTC 信号位相をモニターする際の基準クロックを供給する。TAM も PSB と同様に SL から受け取ったシリアルデータから TTC 信号を再構成し、さらにすべての TAM 間で TTC 信号位相を揃えた上でこれに同期した基準クロックを JATHub に供給する。これによりすべての PSB で TTC 信号位相が揃っているかをモニターする。<sup>9)</sup>すべての TAM 間で TTC 信号位相を揃える方法について以下で説明する。

Sector N (1, 2, ..., 12) の TAM について考える。これは Sector N-1 の TAM TTC 信号に同期したクロックを LEMO ケーブルで受け取り、モニターしている (ただし N=1 のときの Sector N-1 は Sector 12 のことを指す)。さらに、自身の TAM TTC 信号に同期したクロックを LEMO ケーブルでループバックし、モニターしている。LEMO ケーブルで受け取った Sector N-1, Sector N (自身) のクロックを Monitor CLK N-1, Monitor CLK N と呼ぶ。一方で Sector N-1, Sector N の TAM 上で TTC 信号に同期したクロック (LEMO ケーブルで送る前のクロック

<sup>9)</sup> ただし、5.2.2 節で見ると各 PSB TTC 信号位相測定系にはケーブルや回路素子の個体差があるため、測定系の校正を行う。

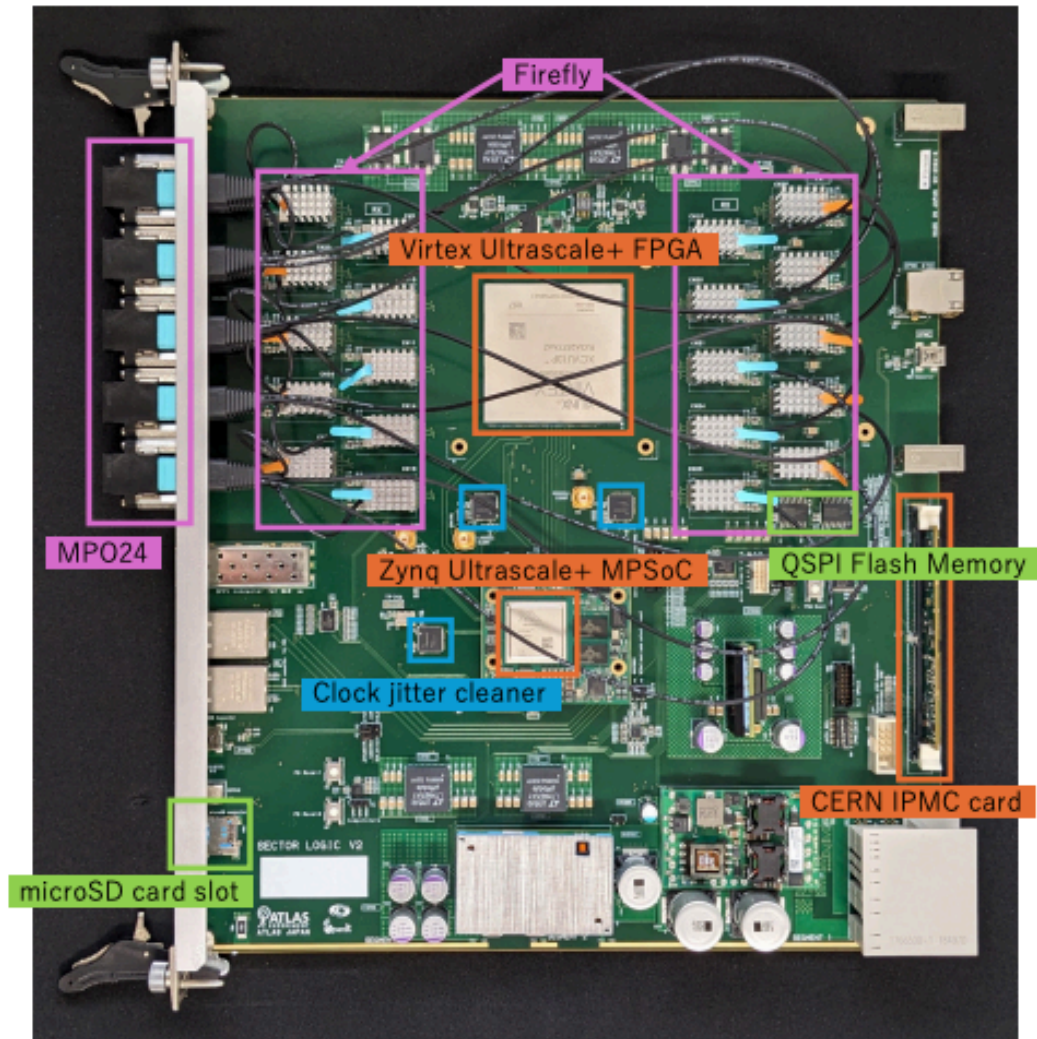


図 2.11 SL の写真。MPSoC を起点として回路上の素子のコントロール・モニターを行う。主要な機能は Virtex Ultrascale+ FPGA にコンフィギュレーションするビットストリームに組み込まれており、MPSoC から Virtex Ultrascale+ FPGA にアクセスすることで、PSB や TAM のコントロール・モニターを行う。

ク) を TAM CLK N-1, TAM CLK N と呼ぶ。ここで用いている LEMO ケーブルは等長であり、Monitor CLK N-1, Monitor CLK N の位相差は TAM CLK N-1, TAM CLK N の位相差に等しい。よって、Monitor CLK N-1 に Monitor CLK N を揃えるような遅延を Sector N の TAM TTC 信号にかけることで、Sector N-1 と Sector N の TAM TTC 信号位相が揃う。これを  $N = 1, 2, \dots, 12$  と順番に行うことで、すべての TAM 間で TTC 信号位相が揃う。

## 2.2.5 Sector Logic (SL)

Sector Logic (SL) は、PSB から送られてくる TGC 検出器のヒット情報を用いたミュオンの飛跡再構成・運動量概算、ヒット及びトリガー情報の後段への読み出し、PSB, TAM のコントロールや TTC 信号の分配をこなう回路である。図 2.11 に SL の写真を示す。上で記した主要な機能は、Virtex Ultrascale+ FPGA にコンフィギュレーションするビットストリームに組み込まれている。また、SL には Zynq Ultrascale+ MPSoC が搭載されており、

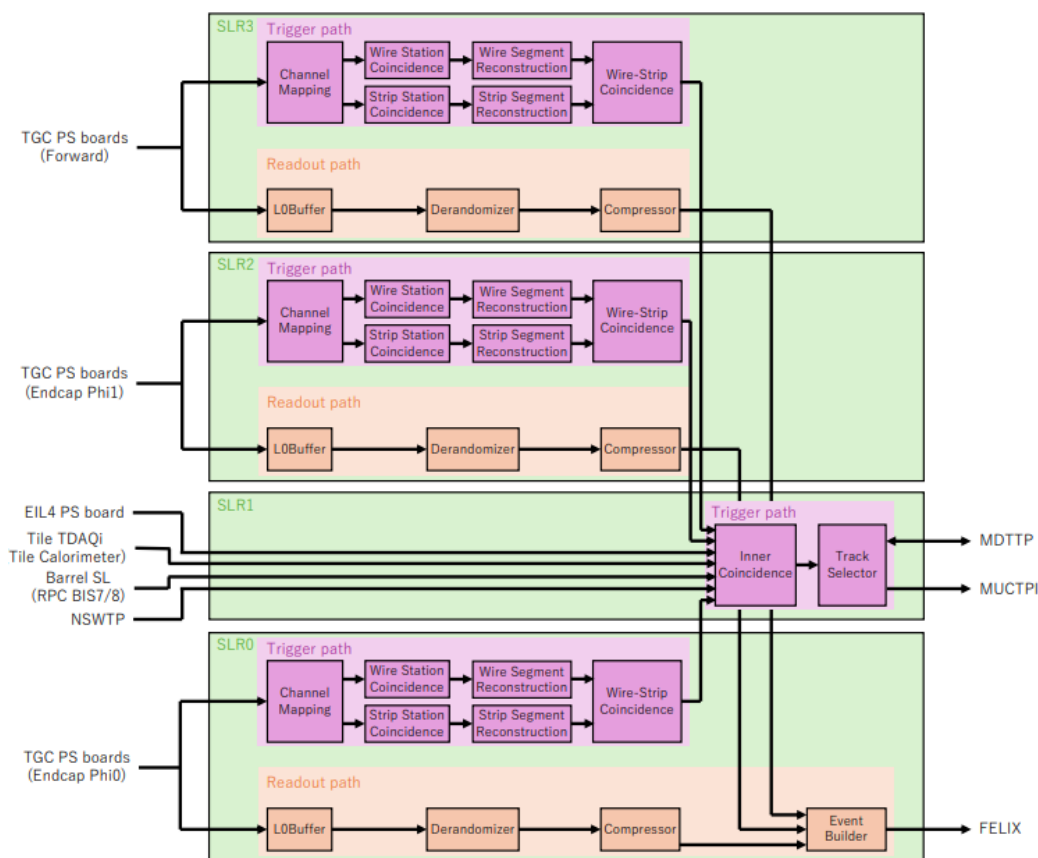


図 2.12 SL におけるトリガー及び読み出し回路の概要図。トリガー回路では、まず Trigger Sector 毎にミュオン の飛跡再構成・運動量概算を行う、その後、磁場内部にある検出器の情報とコインシデンスを取って、MDTTP にミュオン候補の情報を送る。最後に MDTTP から返ってきた情報を合わせて、ミュオン候補の情報を MUCTPI に送る。読み出し信号が発行されると、バッファされていた TGC のヒットデータが FELIX に読み出される。

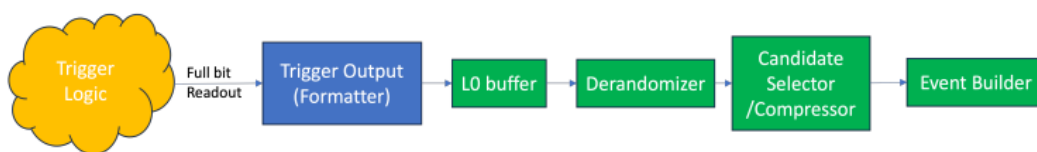


図 2.13 トリガー回路のうちいくつかの段階の応答をトリガーデータとして読み出す回路。各段階の応答に対してこの読み出し回路が用意されている。

MPSoC の PS 部分を介して PL 部分や Virtex Ultrascale+ FPGA にアクセスすることで、SL のコントロールやモニターを行う。このほかに、FPGA にコンフィギュレーションするビットストリームや SL 上の素子のコンフィギュレーションに使用するパラメータを保存する QSPI フラッシュメモリ、MPSoC のブートファイルが保存される micro SD カードを挿入するためのスロット、MPSoC や FPGA に供給する LHC CLK や REFERENCE CLK のジッターを取り除くクロックジッタークリーナー、ATCA shelf manager と通信するための IPMC カードが搭載されている。フロントパネルの MPO24 コネクターには PSB や TAM、磁場内部にある検出器、SL より後段にある回路と通信するための 24 芯の光ファイバーが挿さる。

図 2.12 で SL にヒットデータが送られてからトリガー演算が行われ、読み出されるまでの経路を示す。SL トリ

ガー回路は次に述べるように 1/24 Sector にあったヒットのコインシデンスを取ってミューオンの飛跡再構成・運動量概算を行うため、同じ陽子パンチ交差に由来する 1/24 Sector 分のヒットデータが SL トリガー回路及びヒットデータ読み出し回路に入力されるタイミングは揃っている必要がある。さらに、すべての Sector のヒットデータが各 SL トリガー回路及びヒットデータ読み出し回路に入力されるタイミングも揃える運用が想定されている。これは後段との関連において運用が容易になる<sup>\*10</sup>ためである。Virtex Ultrascale+ FPGA は 4 つの領域 (SLR0, SLR1, SLR2, SLR3) に分割されており、SLR0/2/3 の各領域が 1 つずつ Trigger Sector を担うようにロジックが組まれている。このトリガーロジックは、1.3 節で記述した Point Angle Measurement を実装したものである。

PSB から送られてきたヒットデータはトリガー回路に入力されると同時に、L0 Buffer と呼ばれる Block RAM (BRAM) に一時保存される。BRAM に保存されたヒットデータのうち、トリガー判定で選別されたイベントを含む 4 BC 分<sup>\*11</sup>のヒットデータが後段回路へと読み出される。

トリガーロジックでは、まず初めにヒット情報をチャンネルの座標順に並べ替えたり、検出器のオーバーラップ部分の OR をとったりするなどしてトリガー演算に適したフォーマットへと変換する (Channel Mapping)。次に各 Station で 3 層または 2 層ある検出器ガス層のヒットのコインシデンスを Wire と Strip に対して独立にとり、各 Station における代表点を決める (Station Coincidence)。次に、各 Station の代表点からミューオンの飛跡を再構成し、ミューオンの運動量が無限大の場合の飛跡 (無限運動量飛跡) とのずれ (Wire からは  $\eta$  座標のずれ  $d\eta$ 、Strip からは  $\phi$  座標のずれ  $d\phi$ ) を M3 を pivot として求める (Segment Reconstruction)。その後、 $d\eta$ 、 $d\phi$  からミューオンの横運動量を概算する (Wire Strip Coincidence)。最後に、TGC 検出器のヒット情報を用いて再構成したミューオンの飛跡情報と磁場内部にある検出器 (EIL4, NSW, BIS78, RPC, Tile のカロリメーター) の情報とのコインシデンスをとる (Inner Coincidence)。これにより、フェイクトリガーの削減や横運動量概算の精度向上が期待される、Track Selector は Inner Coincidence の出力から運動量が最も高い飛跡候補を最大 6 つ選び、そのうち最大で 3 つを MDTTP へと送る。MDTTP は MDT 検出器の情報と SL の出力を用いてより高精度の横運動量概算を行い、それらの情報を SL に送り返す。SL は MDTTP に送った飛跡候補と送っていない飛跡候補の両方を MUCTPI に送る。トリガー回路のいくつかの段階における応答はトリガーデータとして図 2.13 のように L0 Buffer に一時保存され、トリガー判定に対しヒットデータと同様に読み出される。<sup>\*12</sup>

MUCTPI, Global Trigger を経て CTP で後段に読み出すべきイベントであると判定されると、CTP, Local Trigger Interface (LTI), Front-End Link eXchange (FELIX) を経て読み出し信号 (L0Acceptance, L0A) が SL に配布され、L0Buffer に保存していた TGC 検出器のヒットデータとトリガーデータが読み出される。読み出されたデータは Derandomizer 内の FIFO において queuing され、Compressor または Candidate Selector から read enable 信号が発行されると読み出される。この FIFO の占有率に対し、高閾値と低閾値の 2 種類の閾値が設けられている。Derandomizer より後段の読み出し回路の挙動は FIFO の占有率が閾値を超えているかによって異なる。占有率が両方の閾値を下回っている場合、FIFO のデータは Compressor または Candidate Selector で圧縮されて EventBuilder へ送られる。<sup>\*13</sup>EventBuilder はヒットデータや選別されたイベントのメタデータ (イベント番号や BC 番号など) を適切なフォーマットに整形し、FELIX に送る。占有率が高閾値を上回っている場合、EventBuilder は FELIX に Busy 信号を送る。Busy 信号は FELIX, LTI を経て CTP に送られ、CTP が L0A の発出を一時的に

<sup>\*10</sup> すべての SL でこれ以降のタイミングパラメータが同一になり、特に MDTTP などとの複雑な通信を行う際の運用が容易になる

<sup>\*11</sup> トリガー判定で選別されたイベントの BC (current)、その 1 つ前の BC (previous)、1 つ後の BC (next)、2 つ後の BC (next-to-next) の計 4 つ

<sup>\*12</sup> 現状、どの段階の応答を読み出すかはビットストリーム作成時にパラメータで指定する仕様となっている。

<sup>\*13</sup> ヒットデータの圧縮は Compressor が行い、ヒットがない ASD のヒットデータは全て取り除かれる (Zero Suppress)。トリガーデータのうち Channel Mapping 及び Station Coincidence 出力の圧縮は Compressor が行い、チャンネル及び代表点を一定長ずつ分割した領域のうちヒットがないもののデータは取り除かれる (Zero Suppress)。トリガーデータのうち Segment Reconstruction 及び Wire Strip Coincidence 出力の圧縮は Candidate Selector が行い、飛跡再構成計算を行う単位領域のうち飛跡がなかった領域からのデータは取り除かれる。

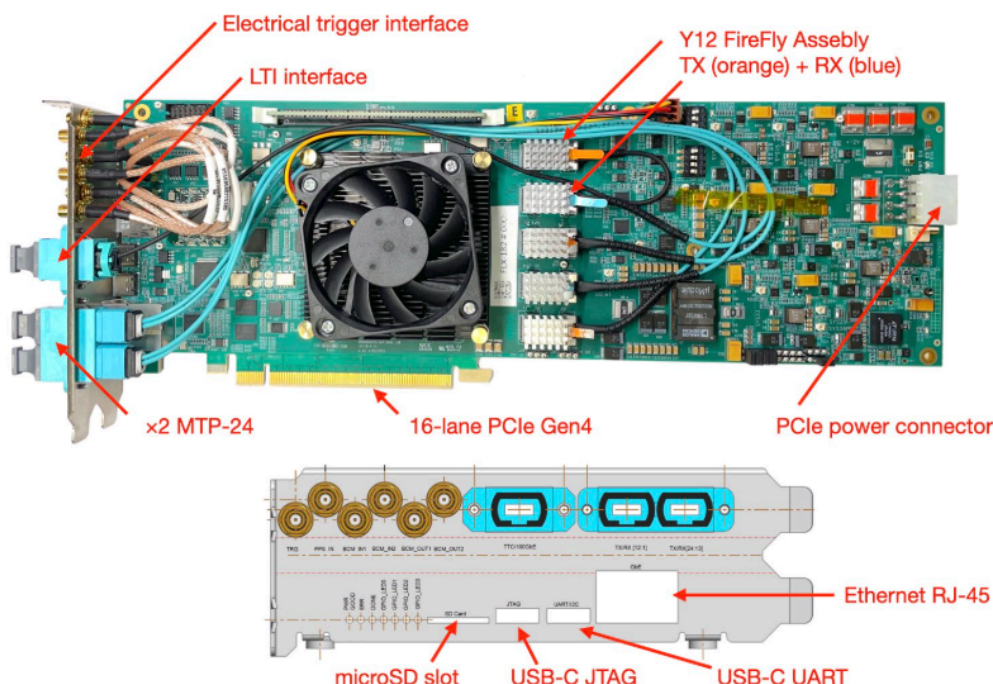


図 2.14 FELIX の写真。高輝度 LHC-ATLAS 実験に向けて試作された FLX-182 という型であり、本研究で用いられた実機と同じ型。AMD 社製 Versal Prime VM1802 SoC を搭載し、PCIe Gen4 x16 インターフェイスで汎用サーバーに接続される。SL や LTI とのシリアル通信に MPO24 コネクタをフロントパネルに備える。

中断する。この間は ATLAS 検出器全体で読み出しが停止し dead time となる。dead time の発生を低減するため、低閾値を設けて、Busy 信号を出す前の段階で読み出し回路の逼迫を解消するように設計されている。占有率が低閾値を上回っている場合、Compressor は閾値を下回るまで全てのデータを破棄し、data loss flag を立てる。Event Builder は data loss flag が立っていないイベントについては閾値を下回っている時と同様に挙動し、data loss flag が立っているイベントについては data loss flag と共にそのイベントのメタデータのみを FELIX に送る。なお、TGC 検出器の目的はトリガー判定に使用するミュオンの運動量概算を行うことであり、MDT や NSW という他のミュオン検出器に比べて位置分解能は高くないため、ヒット情報を破棄しても物理解析への影響は大きくない。

また、SL は FELIX から TTC 信号を受け取り、PSB に分配する役割を持つ。PSB と同様に、SL 自身の LHC CLK は FELIX から受け取った TTC 信号のシリアルデータから再構成される。

## 2.3 Front-End LInk eXchange (FELIX)

FELIX は ATLAS 検出器側の FPGA や ASIC に接続されたカスタムシリアルリンクと、汎用ネットワークを介した後段トリガーのデータ収集・処理コンポーネントを接続するルーターとして機能する。さらに FELIX は CTP から LTI を経て分配された TTC 信号を ATLAS 検出器側のエレクトロニクスへ転送する役割も持っている。FELIX は、汎用サーバーに搭載された FPGA ベースの PCIe I/O カードを用いて構成される。TGC 検出器トリガーシステムでは SL と接続され、Level-0 Accept された衝突データを SL から受け取り、後段トリガーへ渡す。また、CTP から LTI を経て分配される TTC 信号を SL に転送する。1 つの SL とは 4 本の 9.6 Gbps シリアルリンクで通信を行い、2 本を SL からのヒットデータ受信、1 本を SL からのトリガーデータ受信、1 本を TTC 信号送信に使用する。

## 第 3 章

# TGC ミューオントリガーシステムのタイミング制御

TGC ミューオントリガーシステムでは、以下のタイミング制御が必要である。

- **TTC 信号分配のタイミング制御**

PSB が BCID を行うためにすべての PSB 間で PSB LHC CLK をサブナノ秒の精度で揃える (2.2.2 節)。さらに、タイミングの制御されたデータ読み出しを実現するために TTC 信号に含まれる BCR 信号/TP 信号をすべての PSB 間で揃える (詳細は 5 章)。

- **ヒットデータ読み出しのタイミング制御**

SL がミューオンの飛跡再構成・運動量概算を行うために、同じ陽子バンチ交差に由来するすべてのヒットデータが各 SL トリガー回路及びヒットデータ読み出し回路に入力されるタイミングを揃える (2.2.5 節)

TTC 信号やヒットデータの到達タイミングは主に通信に用いられるファイバー長によって決まる。本番運転時には最も長いファイバーと最も短いファイバー間でデータ転送時間に 300 ns 程度の差があるため (付録 A 節 参照)、これらの中でデータの到達タイミングを揃えるために適切な遅延をかける必要がある (図 3.1)。そこで、TTC 信号分配経路とヒットデータ読み出し経路のそれぞれに可変遅延パラメータが用意されている。さらに各経路中のクロックドメインをまたぐ箇所において、データ破損を避けるためのパラメータが用意されている。以下で各経路に用意されたこれらのパラメータについて述べ、TGC ミューオントリガーシステムにおけるタイミング制御の全体像を紹介する。

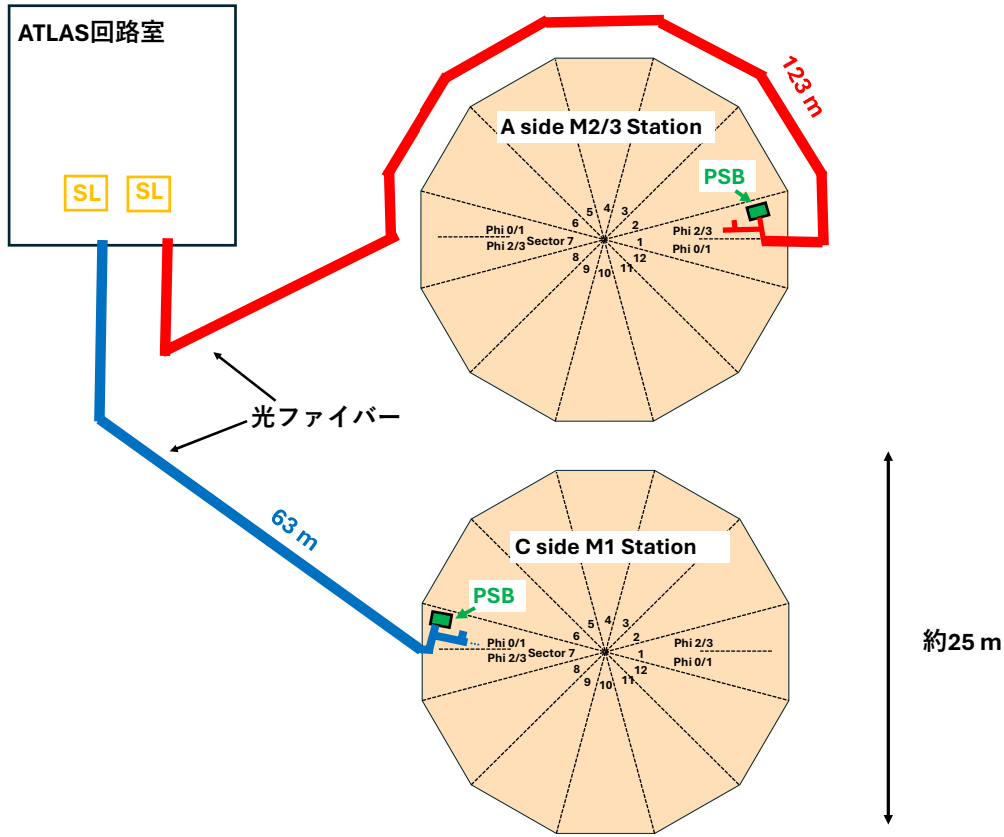
### 3.1 TTC 信号分配経路

図 3.2 は SL から PSB に TTC 信号が分配される経路の概要図である。TTC 信号分配が固定位相 (電源サイクルなどリンクの再確立を伴う動作で位相が変化しない、Fixed latency) で行われる\*1ように、GT トランシーバー (GTX, GTY) と受け取ったデータを解釈するモジュール (RX packet deformer)、データの packets 化を行うモジュール (TX packet former) に特別な実装がされている (詳細は [13] 3 章)。これにより、予め PSB 間で TTC 信号が揃うようにパラメータを設定すれば、セットアップを変えない限り同じパラメータを使い続けることができる。2.2.2 節で述べたように、PSB は SL から受け取ったシリアルデータから TTC 信号を再構成し、この TTC 信号が

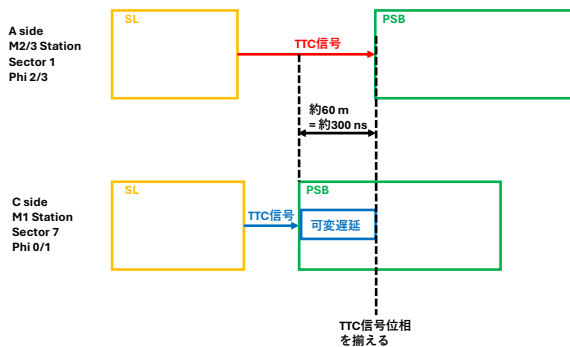
---

\*1 ATLAS トリガーシステム全体が Fixed latency scheme を採用しており、陽子バンチ交差が起こってから各システムに L0A が分配されるまでの時間 (L0 latency) が固定の値になるようにデザインされている。そのために、3.1 節を含む TTC 信号分配経路や、3.2 節を含むヒットデータ読み出し経路が固定位相になるように実装されている。また、SL から TAM への TTC 信号分配も同様に固定位相で行われる。

(a)



(b)



(c)

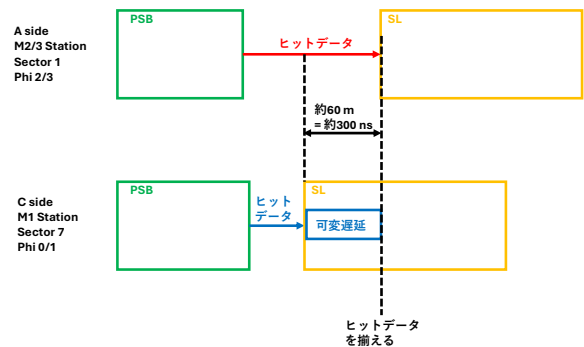


図 3.1 主にファイバー長の違いによって生じるデータ転送時間の差を遅延で吸収する模式図。TGC 検出器トリガーシステムでは TGC 検出器上に置かれる PSB と ATLAS 回路室に置かれる SL の位置関係から PSB と SL 間のファイバー長が決まっており、ファイバー長の差によって TTC 信号またはヒットデータの到達タイミングに差が生じるため、可変遅延によって吸収する必要がある。図中では例として最長のファイバー (A side M2/3 Station Sector1-Phi2/3 用のファイバー) と最短のファイバー (C side M1 Station Sector7-Phi0/1 用のファイバー) で接続される SL と PSB について、TTC 信号またはヒットデータの到達タイミングを揃える様子を図示している。(a) 最長のファイバー (A side M2/3 Station Sector1-Phi2/3 用のファイバー、設計上の長さは 123 m) と最短のファイバー (C side M1 Station Sector7-Phi0/1 用のファイバー、設計上の長さは 63 m) では長さが 60 m 異なる。1 m のファイバー中をデータが転送される時間は 5 ns 程度であり、60 m のファイバー長の違いは 300 ns 程度のデータ転送時間の違いを生じる。(b) TTC 信号の到達タイミングを揃えるために PSB 受信部で可変遅延をかける様子。(c) ヒットデータの到達タイミングを揃えるために SL 受信部で可変遅延をかける様子。

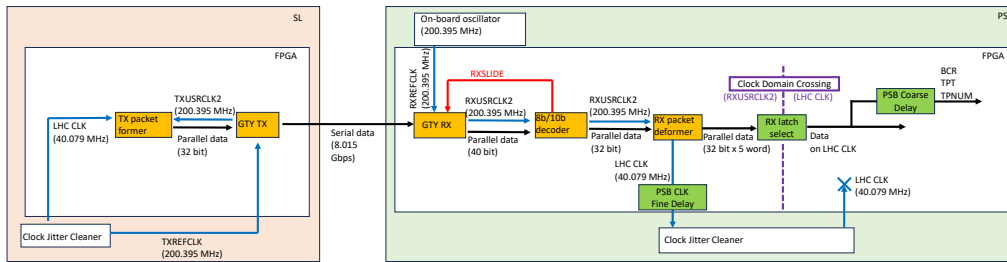


図 3.2 SL から PSB に TTC 信号が分配される経路の概要図。TTC 信号分配が固定位相で行われるように、送受信部に特別な実装がされている (詳細は [13] 3 章)。TTC 信号を含むシリアルデータから再構成された PSB LHC CLK に対し 1/56 ns 刻みの可変遅延 (PSB CLK Fine Delay) がかけられる。PSB CLK Fine Delay はクロックジッタークリーナーに通す前にかかけられ、結果としてクロックジッタークリーナーを通した後の PSB LHC CLK も PSB CLK Fine Delay だけ遅れる。PSB の受信部では最初データは受信データから再構成されたクロック (PSB RXUSRCLK2) に同期している。一方でデータをボード上でプロセスするにあたり、共通の動作クロックである PSB LHC CLK (クロックジッタークリーナーを通された後のもの) にデータを乗せ換える必要がある。この際に Clock Domain Crossing が生じる。PSB の RXUSRCLK2 と LHC CLK の位相関係によってはメタステーブル状態 (3.1.3 節) になるため、これを回避する PSB 受信部ラッチ選択のパラメータが用意されている。さらに、タイミングの制御されたデータ読み出しを実現するために (5 章参照)、TTC 信号中の BCR 信号/TP 信号に 25 ns 刻みの可変遅延 (PSB Coarse Delay) をかけて揃える。

ら LHC CLK 及び BCR 信号/TP 信号を取り出す。これらに対して、以下の可変遅延によるタイミング制御が行われる。

- **PSB CLK Fine Delay**  
PSB LHC CLK に対して 1/56 ns 刻みの可変遅延をかけ、PSB 間で揃える。
- **PSB Coarse Delay**  
BCR 信号/TP 信号に対して 25 ns 刻みの可変遅延をかけ、PSB 間で揃える。

また、PSB 受信部における安定した Clock Domain Crossing のため、以下のパラメータが用意されている。

- **PSB 受信部ラッチ選択**  
受信データを PSB LHC CLK の立ち上がりか立ち下がりどちらのエッジでラッチするか選択し、安定した Clock Domain Crossing を行う。

詳細を以下で説明する。

### 3.1.1 PSB CLK Fine Delay

2.2.2 節で述べたように、すべての PSB 間で LHC CLK をサブナノ秒の精度で揃えるために、1/56 ns 刻みの可変遅延をかける。この可変遅延は PSB CLK Fine Delay と呼ばれ、0 ns ~ 25 ns の値を取る。これには AMD 社から提供されている Clocking Wizard IP コア (図 3.3) の Mixed-Mode Clock Manager (MMCM) における "Dynamic Phase Shift" と呼ばれる機能を用いる。Dynamic Phase Shift において 1 ステップの刻み幅は、MMCM において安定した出力をもたらす電圧制御発振器 (Voltage Controlled Oscillator, VCO) の周波数  $F_{VCO}$  を使って  $1/(56F_{VCO})$  と表せる。 $F_{VCO}$  は入力クロックの周波数から自動的に計算される値であり、入力が 40 MHz、出力が 40 MHz のときは  $F_{VCO} = 1 \text{ GHz}$  となる。したがって 1 ステップの刻み幅は 1/56 ns である。

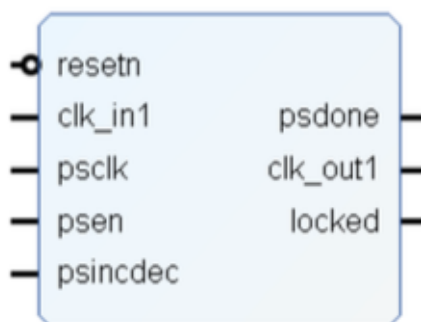


図 3.3 AMD 社から提供されている Clocking Wizard IP コア。図 3.3 の clk\_in1 がクロックの入力ポート、clk\_out1 がクロック出力ポートとなり、locked が clocking wizard がクロックをロックして安定したクロックを出力できているかを示している。psclk は Dynamic Phase Shift に用いられるシステムクロックを入力するためのポート、psincdec はクロックの位相を遅らせるか、早めるかを選択するポート。psen に psclk の 1 tick 以上のパルスを入力すると、Dynamic Phase Shift 機能は psincdec の方向にクロックを 1 ステップ変化させる。完了すると、psdone が high になる。1 ステップの刻み幅は、MMCM において安定した出力をもたらす電圧制御発振器 (Voltage Controlled Oscillator, VCO) の周波数  $F_{VCO}$  を使って  $1/(56F_{VCO})$  と表せる。 $F_{VCO}$  は入力クロックの周波数から自動的に計算される値であり、入力が 40 MHz、出力が 40 MHz のときは  $F_{VCO} = 1 \text{ GHz}$  となる。したがって 1 ステップの刻み幅は 1/56 ns である。

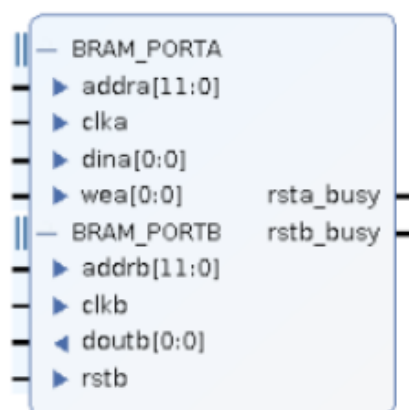


図 3.4 AMD 社の提供する Block RAM (BRAM) IP。dina に入力した信号に対して、addra と addrb の差だけ遅延された信号が doutb から出力される。

### 3.1.2 PSB Coarse Delay

タイミングの制御されたデータ読み出しを実現するため (5 章参照)、25 ns 刻みの可変遅延をかけて TTC 信号中の BCR 信号/TP 信号をすべての PSB 間で揃える。この可変遅延は PSB Coarse Delay と呼ばれ、ファイバー長の差による BCR 信号/TP 信号の到着タイミングの差を吸収するように  $25 \times 0 \text{ ns} \sim 25 \times 12 \text{ ns}$  の値をとる。PSB Coarse Delay には AMD 社の提供する Block RAM (BRAM) IP が用いられる (図 3.4)。

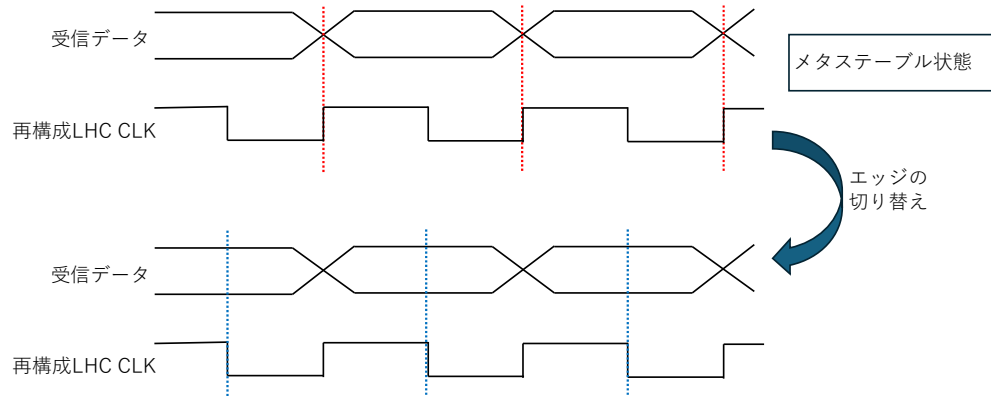


図 3.5 PSB 受信部のラッチ選択の概要図。例として、PSB 受信データの境界が LHC CLK の立ち上がりエッジに一致するときを示す。受信データを LHC CLK の立ち上がりエッジでラッチするとメタステーブル状態になるため、LHC CLK の立ち下がりエッジでラッチする。

### 3.1.3 PSB 受信部ラッチ選択

PSB の受信部では最初データは受信データから再構成されたクロック (PSB RXUSRCLK2) に同期している。一方でデータをボード上でプロセスするにあたり、共通の動作クロックである PSB LHC CLK (クロックジッタークリーナーを通された後のもの) にデータを乗せ換える必要がある。この Clock Domain Crossing において、RXUSRCLK2 に載った受信データの境界と LHC CLK のラッチタイミングが重なる状態 (メタステーブル状態) になると、ラッチ時にデータの破損が起こり得る。特に 3.1.1 節で述べたように PSB LHC CLK には PSB CLK Fine Delay が加えられて RXUSRCLK2 と LHC CLK の位相関係が決まり、その位相関係によってはメタステーブル状態になる可能性がある。これを回避するため、LHC CLK の立ち上がり (Positive Edge) か立ち下がり (Negative Edge) のどちらのエッジで受信データをラッチするかを指定するラッチ選択機構が PSB 受信部に用意されている。図 3.5 のように、LHC CLK の立ち上がりエッジに対してメタステーブル状態になっている場合は、立ち下がりエッジでラッチすることでメタステーブル状態を回避する。

選択したエッジがメタステーブル状態になっているかをモニターする機構も PSB に次のように実装されている。PSB が SL から受け取る受信データに BC 番号が含まれる。これは 25 ns で 1 ずつインクリメントされるものである。PSB は、この BC 番号を LHC CLK でラッチした値と、LHC CLK の Clock Domain で自身がカウントしている BC 番号の差 (BC 番号の相対値) をモニターする。もし正常に受信データを LHC CLK でラッチできていれば BC 番号の相対値は一定である一方で、メタステーブル状態で受信データから BC 番号を正常に取得できなかった場合は BC 番号の相対値が一定の値をとらなくなる。したがって、ある期間内に BC 番号の相対値が一定の値からずれた回数をカウントすることで、メタステーブルによる受信データの破損が起きているかをモニターする。

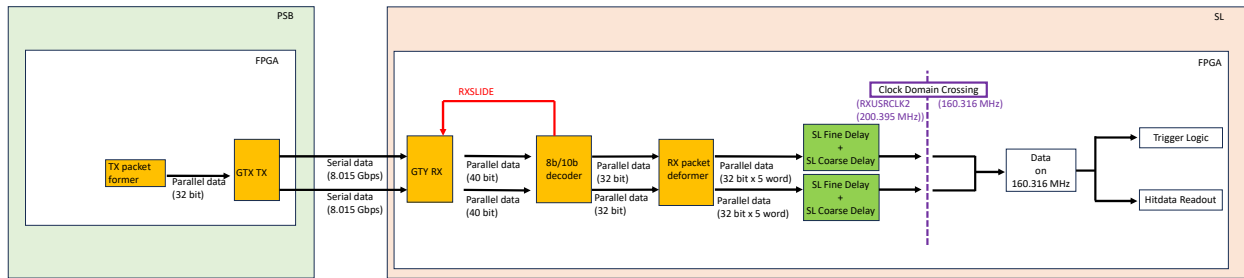


図 3.6 1 台の PSB から 2 本の上り線で送信されたヒットデータが SL で受信され、トリガー回路及びヒットデータ読み出し回路に入力されるまでの図。送受信部は 3.1 節 TTC 信号分配経路と同様に固定位相でのデータ転送になるよう特別な実装がされている。2.2.5 節で述べたように、同じ陽子バンチ交差に由来するすべてのヒットデータが同時に各 SL トリガー回路及びヒットデータ読み出し回路に入力されるようにするため、SL が各上り線で受け取ったヒットデータそれぞれに対し 25 ns 刻みの可変遅延 (SL Coarse Delay) をかける。SL 受信部では、3.1.3 節で見た PSB 受信部と同様に、最初データは受信データから再構成されたクロック (SL RXUSRCLK2) に同期している。一方でデータをボード上でプロセスするにあたり、共通の動作クロックである 160.316 MHz CLK (LHC CLK を MMCM で 4 倍に逡倍することで作られたクロック) にデータを乗せ換える必要がある。SL RXUSRCLK2 と 160.316 MHz CLK の位相関係によってはメタステーブル状態になる可能性があり、これを回避するために RXUSRCLK2 上の受信データに 5 ns (RXUSRCLK2 の 1 周期) 刻みで可変遅延をかける機構が用意されている (SL Fine Delay)。

## 3.2 ヒットデータ読み出し経路

図 3.6 にヒットデータ読み出し経路の概要として、1 台の PSB から 2 本の上り線で送信されたヒットデータが SL で受信され、トリガー回路及びヒットデータ読み出し回路に入力されるまでの図を示す。送受信部は 3.1 節 TTC 信号分配経路と同様に固定位相でのデータ転送になるよう特別な実装がされている。2.2.5 節で述べたように、同じ陽子バンチ交差に由来するすべてのヒットデータが同時に SL トリガー回路及びヒットデータ読み出し回路に入力されるようにするため、以下の可変遅延によってタイミング制御を行う。

- **SL Coarse Delay**

各 SL が上り線\*2から受け取ったヒットデータそれぞれに対し 25 ns 刻みの可変遅延 (SL Coarse Delay) をかけ、これらがトリガー回路及びヒットデータ読み出し回路に入力されるタイミングを揃える。

また、SL 受信部における安定した Clock Domain Crossing のため、以下のパラメータが用意されている。

- **SL Fine Delay**

SL RXUSRCLK2 上の受信データに対し 5 ns (RXUSRCLK2 の 1 周期) 刻みでかける可変遅延

これらの詳細を以下で説明する。関連して、ヒットデータ読み出し回路中のパラメータである L0 Buffer Depth についても以下で説明する。

\*2 合計で SL 48 台 × PSB 29 台 × 2 本 = 2,784 本の上り線

### 3.2.1 SL Coarse Delay

各上り線から受け取ったヒットデータそれぞれに対し 25 ns 刻みの可変遅延をかけ、これらがトリガー回路及びヒットデータ読み出し回路に入力されるタイミングを揃える。この可変遅延を SL Coarse Delay と呼ぶ。特に 1 台の SL が受信するヒットデータの間だけでなく、すべての SL が受信するヒットデータの間で SL トリガー回路及びヒットデータ読み出し回路に入力されるタイミングを揃える (2.2.5 節参照)。SL Coarse Delay は図 3.6 のように SL RXUSRCLK2 Domain でかけられる。

### 3.2.2 SL Fine Delay

SL 受信部では、3.1.3 節で見た PSB 受信部と同様に、最初データは受信データから再構成されたクロック (SL RXUSRCLK2) に同期している。一方でデータをボード上でプロセスするにあたり、共通の動作クロックである 160.316 MHz CLK (LHC CLK を MMCM で 4 倍に通倍することで作られたクロック) にデータを乗せ換える必要がある。SL RXUSRCLK2 と 160.316 MHz CLK の位相関係によってはメタステーブル状態になる可能性があり、これを回避するために RXUSRCLK2 上の受信データに 5 ns (RXUSRCLK2 の 1 周期) 刻みで可変遅延をかける機構を用意した (SL Fine Delay)。これにより以下のようにメタステーブルを回避する。

図 3.7(a) は現状使われている SL 受信部の Clock Domain Crossing 手法である。各上り線を通して SL が受信したデータをそれぞれ 160.316 MHz CLK に載せ替える。SL が受信したデータは RXUSRCLK2 の Clock Domain において 40.079 MHz の頻度で更新されている。この更新タイミングを 160.316 MHz CLK で検知する (Strobe)。Strobe されてから 160.316 MHz CLK  $\times$  2 tick (40.079 MHz の半周期) 待ち\*3、データを 160.316 MHz CLK で Sampling することで 160.316 MHz CLK 上にデータを載せる。各上り線を通して SL が受信したデータはそれぞれがこのように 160.316 MHz CLK に載せられた後、共通のタイミングで 160.316 MHz CLK  $\times$  4 tick (LHC CLK 1 周期) おきに更新されるデータに収集される (Align)。

RXUSRCLK2 上の受信データが 160.316 MHz CLK による Align タイミングに対し図 3.7(b) のような位相関係になっているとき、データの更新タイミングと 160.316 MHz CLK のエッジが重なっているため、Strobe タイミングに 160.316 MHz CLK  $\times$  1 tick 分の不定性が生じる。これにより、Sampling タイミングにも 160.316 MHz CLK  $\times$  1 tick 分の不定性が生じ、Align されるデータに不定性が生じる。このときの状態をメタステーブル状態と呼び、受信データがメタステーブル位相にあると呼ぶ\*4。

これを回避するため、受信データに 5 ns (RXUSRCLK2 の 1 周期) 刻みで可変遅延 (SL Fine Delay) をかけられるようにした。実際の運用ではメタステーブル状態に陥った場合、図 3.7(c) のように 10 ns (RXUSRCLK2 の 2 周期、40.079 MHz の 2/5 周期) の遅延をかけるようにする\*5。

メタステーブルの検知は 3.1.3 節と同様に、PSB から受信して 160.316 MHz CLK に乗せ換えた BC 番号と SL 160.316 MHz CLK Domain でカウントしている BC 番号の差 (BC 番号の相対値) をモニターすることで行う。各 PSB から BC 番号は 2 本の上り線それぞれで送られてくるため、SL は PSB 29 台  $\times$  2 本の上り線すべてで BC 番号の相対値をモニターする。

SL Fine Delay の機構を実装した上で以下を確認した。PSB の LHC CLK 位相を PSB CLK Fine Delay によ

\*3 データの更新タイミング付近を避けてデータを Sampling を行うことでデータの破損を防ぐため

\*4 受信データ位相を Align タイミングに対し変化させていくとき、25 ns に 1 回メタステーブル状態になる

\*5 受信データがメタステーブル位相にある場合、10 ns または 15 ns の SL Fine Delay をかけた時に最も受信データがメタステーブル位相から離れる。実際の運用ではこのうち 10 ns を SL Fine Delay に採用する。

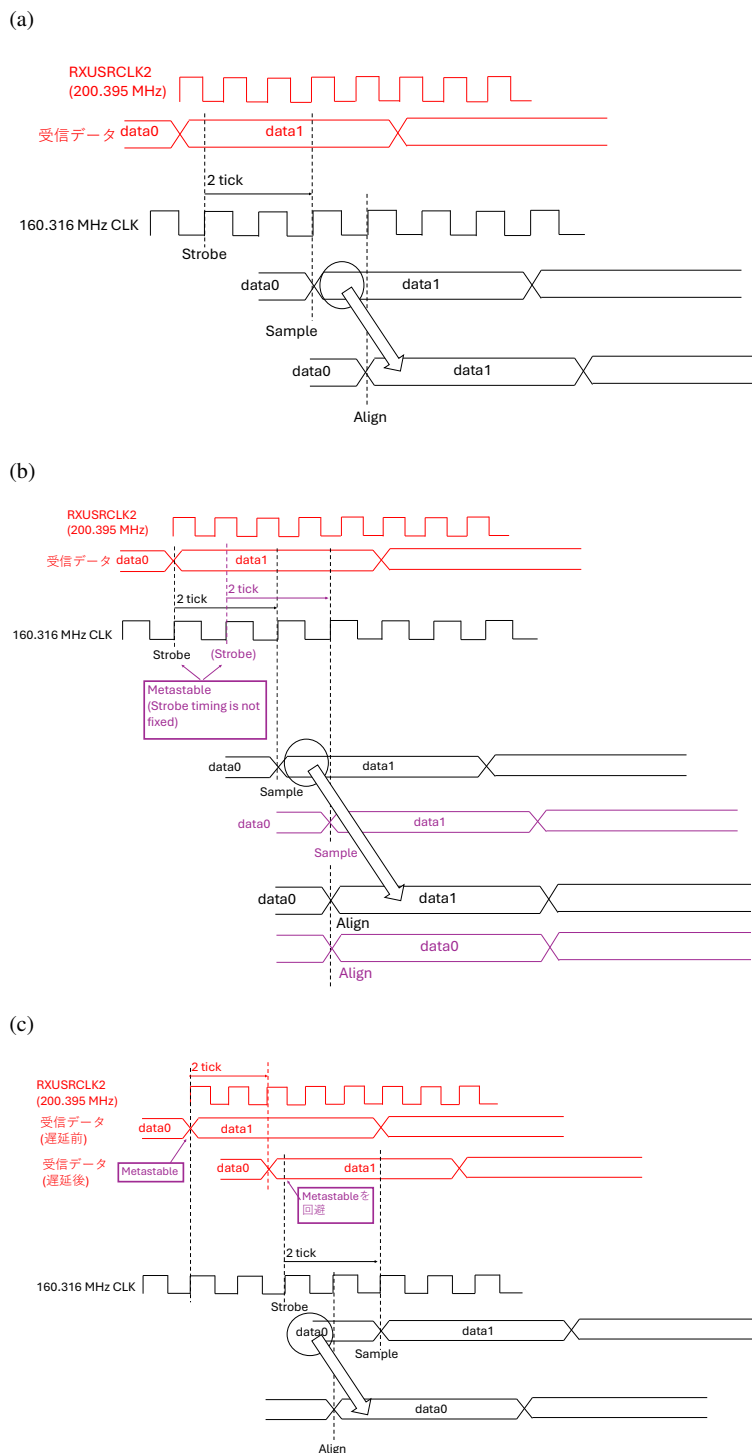


図 3.7 (a) SL 受信部における Clock Domain Crossing 手法。(b) メタステーブルが生じているときの模式図。(c) メタステーブルが生じている場合に受信データに遅延をかけた、メタステーブルを回避する際の模式図。

てシフトさせていくとき、SL が PSB から受け取る受信データ位相もシフトしていく。各 PSB CLK Fine Delay に対して次のことを行う。

1. はじめは SL Fine Delay を 0 ns とする。
2. SL が受信した連続する 65,535 個のデータ<sup>\*6</sup>について先述の BC 番号の相対値をモニターし、BC 番号の相対値が遷移した回数 (CDC Error Count) を取得した。
3. CDC Error Count > 0 のとき、SL Fine Delay を 10 ns にする。
4. 再び CDC Error Count をモニターする。

各 PSB CLK Fine Delay に対して 4. 時点での CDC Error Count と SL Fine Delay [ns] を表示したものが図 3.8 である。ここにはある PSB からデータ受信する 1 本の上り線に対する結果を載せている。これを見ると、PSB CLK Fine Delay が 23 ns 付近の時にメタステーブルを検知して SL Fine Delay がかかり、結果として CDC Error Count = 0 になってメタステーブルが解消されていることがわかる。同様に PSB 29 台からの  $29 \times 2 = 58$  本の上り線に対してこのようにメタステーブルが解消されることを確かめた。

### 3.2.3 L0 Buffer Depth

図 3.9 は SL ヒットデータ読み出し回路の概要図である。2.2.5 節で述べたように、ヒットデータはトリガー回路に入力されると同時にヒットデータ読み出し回路の L0 Buffer という BRAM に入力され、ある latency (L0 Buffer Depth) 後に出力される。L0 Buffer Depth は可変であり、25 ns 刻みで調節できる。あるデータが L0 Buffer から出力されるタイミングで SL が L0A を受け取っていた場合、そのデータは後段回路へと送られ、FELIX へと読み出される。本番運転ではあるデータに対する L0A を受け取るタイミングと、そのデータが L0 Buffer から出力され

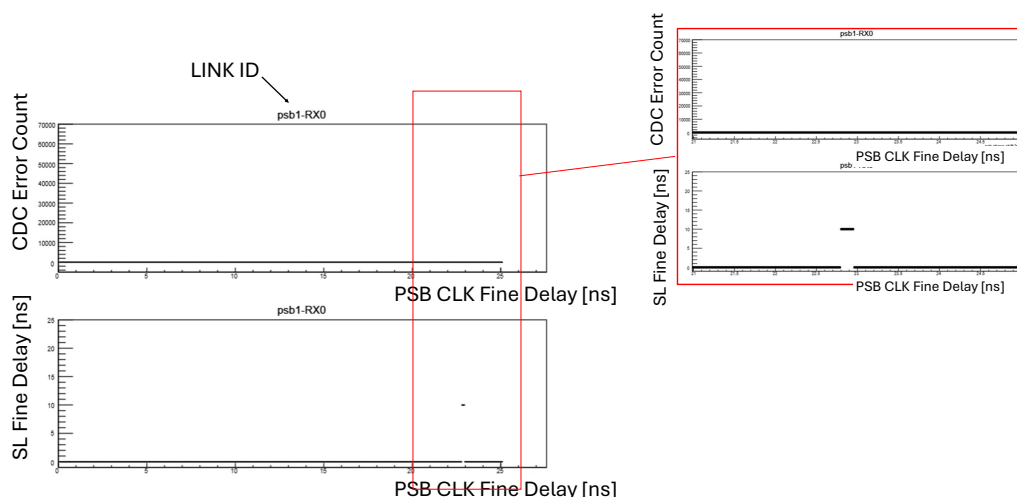


図 3.8 ある PSB に接続される 1 本の上り線について、SL Fine Delay を 0 ns として PSB CLK Fine Delay をシフトさせていき、メタステーブルを検知した場合には SL Fine Delay を 10 ns にした上で CDC Error Count をモニターした。(上) PSB CLK Fine Delay [ns] に対する CDC Error Count。(下) PSB CLK Fine Delay [ns] に対する SL Fine Delay [ns]。PSB CLK Fine Delay が 23 ns 付近の時にメタステーブルを検知して SL Fine Delay がかかり、結果として CDC Error Count = 0 となってメタステーブルが解消されていることがわかる。

<sup>\*6</sup> ここでは十分に大きな数でかつカウンタの実装に不要なリソースがかからない程度の値として 65,535 個の連続するデータをモニターした

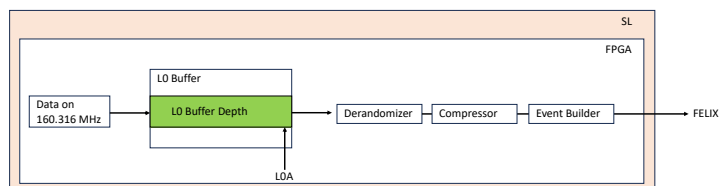


図 3.9 SL ヒットデータ読み出し回路の概要図。2.2.5 節で述べたように、ヒットデータはトリガー回路に入力されると同時にヒットデータ読み出し回路の L0 Buffer という BRAM に入力される。L0 Buffer にデータが入力されてから出力されるまでの latency を L0 Buffer Depth と呼び、25 ns 刻みで調節できる。あるデータが L0 Buffer から出力されるタイミングで SL が LOA を受け取っていた場合、そのデータは後段回路へと送られ、FELIX へと読み出される。本番運転ではあるデータに対する LOA を受け取るタイミングと、そのデータが L0 Buffer から出力されるタイミングが揃うように L0 Buffer Depth が調整される。

るタイミングが揃うように L0 Buffer Depth が調整される。

## 第 4 章

# ファイバー長測定によるタイミングパラメータの決定

3 章で TGC ミューオントリガーシステムのタイミング制御のために用意されたタイミングパラメータについて説明した。本章で詳しく説明するように、SL から PSB へ TTC 信号を分配する各下り線の長さから TTC 信号分配経路中のタイミングパラメータ (PSB CLK Fine Delay・PSB Coarse Delay・PSB 受信部ラッチ選択) が決定される。また、PSB から SL へヒットデータが読み出される各上り線の長さからヒットデータ読み出し経路中のタイミングパラメータ (SL Fine Delay・SL Coarse Delay) が決定される。

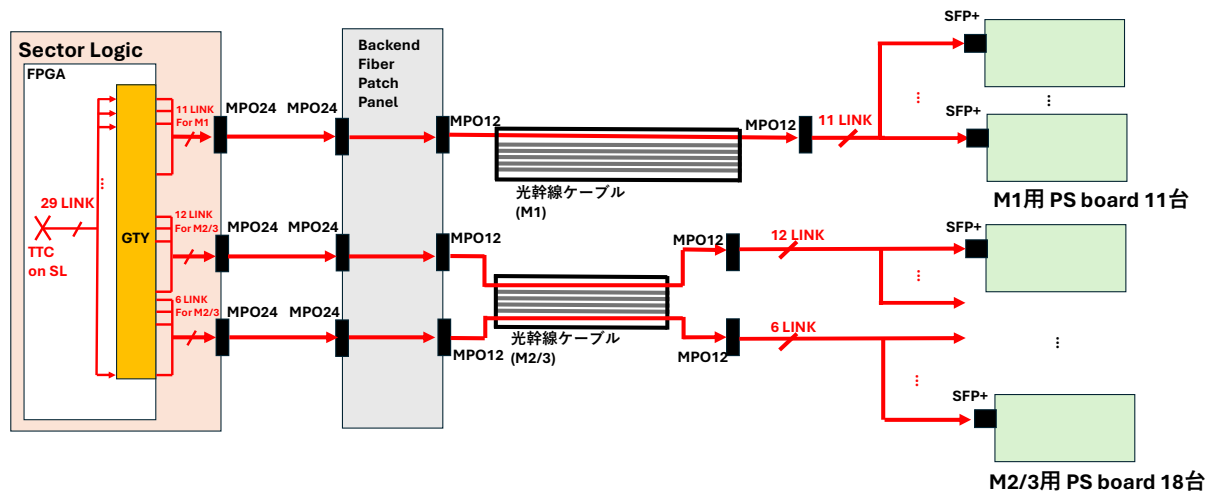
TTC 信号分配では特に PSB 間の LHC CLK をサブナノ秒の精度で揃えるように PSB CLK Fine Delay の値を設定するため、各下り線の長さはサブナノ秒の精度で求める必要がある。一方でヒットデータ読み出しでは SL Coarse Delay により 25 ns の精度で SL トリガー及びヒットデータ読み出し回路に入力されるヒットデータを揃え、さらに 10 ns の精度で SL Fine Delay をかけて安定して SL 受信データを SL 動作クロックに載せ替える位相調整を行うため、各上り線の長さは 10 ns の精度で求める必要がある。これらを踏まえ、本研究では次を行い、要求される精度で下り線・上り線ともに長さを取得し、TTC 信号分配・ヒットデータ読み出しのタイミングパラメータを決定した。

まず各下り線の長さを直接測定した。この測定をファイバー長測定と呼ぶ。4.3 節で述べるようにファイバー長測定によって各下り線の長さが 100 ps 程度の精度で取得された。これは要求されるサブナノ秒の精度に対し十分であり、直接測定した各下り線の長さから TTC 信号分配経路中のタイミングパラメータを決定した (詳細は 4.4 節)。一方で、上り線の長さは直接測定せずとも下り線の長さから数 ns の精度で推定できることがわかっている (詳細は 4.3 節)。これは要求される 10 ns の精度に対し十分であり、下り線の長さから推定される上り線の長さを用いてヒットデータ読み出し経路中のタイミングパラメータを決定した (詳細は 4.5 節)。

結果として下り線 1,392 本のファイバー長が 100 ps 程度の精度で、上り線 2,784 本のファイバー長が数 ns の精度で求められた。また、予備用のデータ線 2,736 本のファイバー長も上り線と同様に数 ns の精度で求められた。この全 6,912 本のファイバー長情報から、TGC ミューオントリガーシステムで TTC 信号分配経路中に 4,176 個・ヒットデータ読み出し経路中に 5,568 個<sup>\*1</sup>含まれるタイミングパラメータを全て決定した。ここで求めたタイミングパラメータを付録 C 節に記載する。

<sup>\*1</sup> TTC 信号分配経路中には各 PSB に 3 種類のタイミングパラメータが用意されており、合計で 1,392 (PSB 台数) × 3 (パラメータの種類) = 4,176 個のタイミングパラメータが含まれる。ヒットデータ読み出し経路中には各上り線から受け取ったヒットデータに対して 2 種類のタイミングパラメータが用意されており、合計で 2,784 (上り線の本数) × 2 (パラメータの種類) = 5,568 個のタイミングパラメータが含まれる。

(a)



(b)

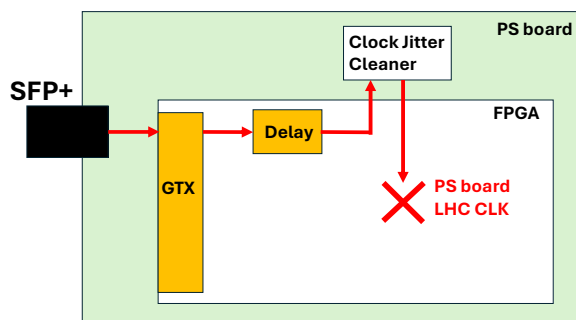


図 4.1 SL から PSB に TTC 信号が分配される経路の構造。(a) TTC 信号が SL から PSB の光/電気トランシーバ (SFP+) に分配されるまでの経路を示す。(b) は PSB の SFP+ から PSB FPGA で再構成されるまでの経路を示す。

## 4.1 TTC 信号分配経路の構造

図 4.1 に SL から PSB に TTC 信号が分配される経路の構造を示し、概要を以下で説明する。PSB と SL 間の詳細なファイバルーティングに関しては付録 A 節で説明する。

### SL 内部の経路

SL FPGA 上の TTC 信号は GTY トランシーバでシリアルデータに変換され、FPGA から出力される。FireFly がこれを受け、電気信号を光信号に変換する。FireFly の光信号側の出力は、出力 12 芯が入力 12 芯とバンドルされて MPO24 コネクタに繋がり、SL フロントパネルに接続される。これ以降は光ファイバーを使って PSB に TTC 信号が届けられる。

### SL から PSB までの経路

まず 24 芯ファイバーで SL と Backend Fiber Patch Panel (Backend FPP) が繋がれ、Backend FPP でフロントエンドでの取り回しがしやすいように配線し直される。Backend FPP フロントエンド側のパネルは MPO12 のコネクタタイプになっている。Backend FPP は ATLAS 回路室におかれ、1 つの Backend FPP は 1/12 Sector (SL 2 つがカバーする領域) を担当する。

次に、Backend FPP から TGC 検出器上の Frontend Fiber Patch Panel (Frontend FPP) まで光幹線ケーブルで接続される。光幹線ケーブルは 12 芯ファイバーケーブルを 6 本束ねた構造を持ち、両端は MPO12 コネクタが 6 つずつ取り付けられている。光幹線ケーブルは各 1/24 Sector で M1 用に 1 本、M2/3 用に 1 本が使われる。

最後に Frontend FPP と PSB の接続には 12 芯ファイバーを 12 本の単芯ファイバーにブレイクアウトするファイバー (ブレイクアウトケーブル) が使われる。ブレイクアウトケーブルは 12 芯側が MPO12 コネクタ、単芯側が LC コネクタになっていて、MPO12 コネクタから各 LC までの長さは規格上同じになっている。この単芯側 LC コネクタを PSB の光/電気トランシーバ (SFP+) に接続する。光幹線ケーブル 1 本に対して、M1 であれば 4 本、M2/3 であれば 5 本のブレイクアウトケーブルが接続される。

ここで述べた SL ~ Backend FPP ~ 光幹線ケーブル ~ ブレイクアウトケーブル ~ PSB のデータ線うち、一部を TTC 信号分配の下り線に使い、一部をヒットデータ送信の上り線に使う\*2。

用いられる光ファイバーについて、設計長\*3は以下の通りである。SL と Backend FPP 間の 24 芯ファイバーは本番運転時に 4 m のものを使用する。ただし、本論のファイバー長測定 (4 章)・テストベンチ (5 章) のセットアップに用いたのは 2 m のものである\*4。Backend FPP 内のファイバー長は 2 m になるように設計されている。Backend FPP から Frontend FPP を結ぶ光幹線ケーブルの長さは Sector ごとに異なり、短いものは約 50 m で、長いものは約 100 m である。PSB に接続されるブレイクアウトケーブルの長さは M1 用が全 Sector で 10 m になっており、M2/3 用が Sector によって 19, 26, 34 m の長さになっている。付録 A 節で光幹線ケーブルとブレイクアウトケーブルの長さに関する詳細を述べる。

## 4.2 ファイバー長測定の手法

ファイバー長測定では、4.1 節で述べた経路を通して TTC 信号が分配される時間を JATHub 位相測定機能を用いて評価する。この節ではファイバー長測定のセットアップと測定手法を説明する。

### 4.2.1 JATHub 位相測定

図 4.2 で、JATHub 位相測定をする際のセットアップを示す。JATHub 位相測定では、TAM から受け取ったクロックを基準クロックとして PSB TTC 信号位相を測定する。JATHub は TAM と LEMO ケーブルで繋がり、TAM から基準クロックを受け取る。一方で、PSB と Cat6 ケーブルで繋がり、PSB からモニタークロックを受け取る。

JATHub 位相測定では、Coarse monitor と Fine monitor の 2 種類の測定を行う。後述の通り最短のファイバー (C side M1 Station Sector7-Phi0/1 に属する) と最長のファイバー (A side M2/3 Station Sector1-Phi2/3 に属する) のファイバー長の差は 308.0 ns である。JATHub 位相測定で求めたファイバー長差のうち 25 ns × (0 以上の整数)

\*2 M1 であれば 11 本が下り線、22 本が上り線に用いられる。M2/3 であれば 18 本が下り線、36 本が上り線に用いられる。

\*3 ファイバーの配線設計 (付録 A 参照) 上必要として設定し、購入時に指定した長さのことを本論では設計長と呼ぶことにする。4.3.1 節で見ると、設計長と実際のファイバー長は一般に異なる。

\*4 特に、ヒットデータ読み出しのタイミングパラメータを決定する際に SL と Backend FPP 間のファイバー長情報を用いるため、本研究のセットアップと本番セットアップとの違いに注意が必要

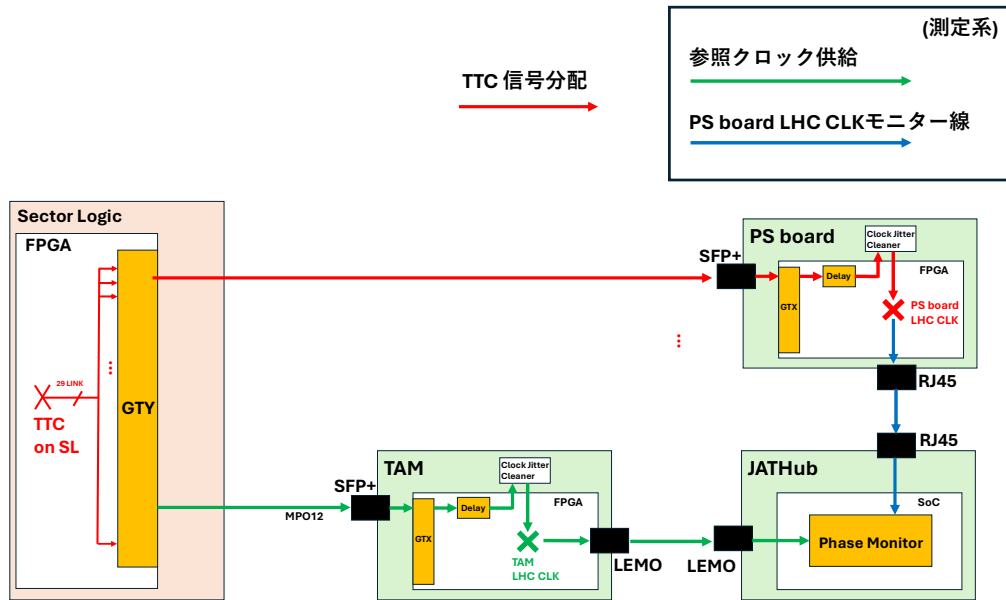


図 4.2 JATHub 位相測定の設定アップ

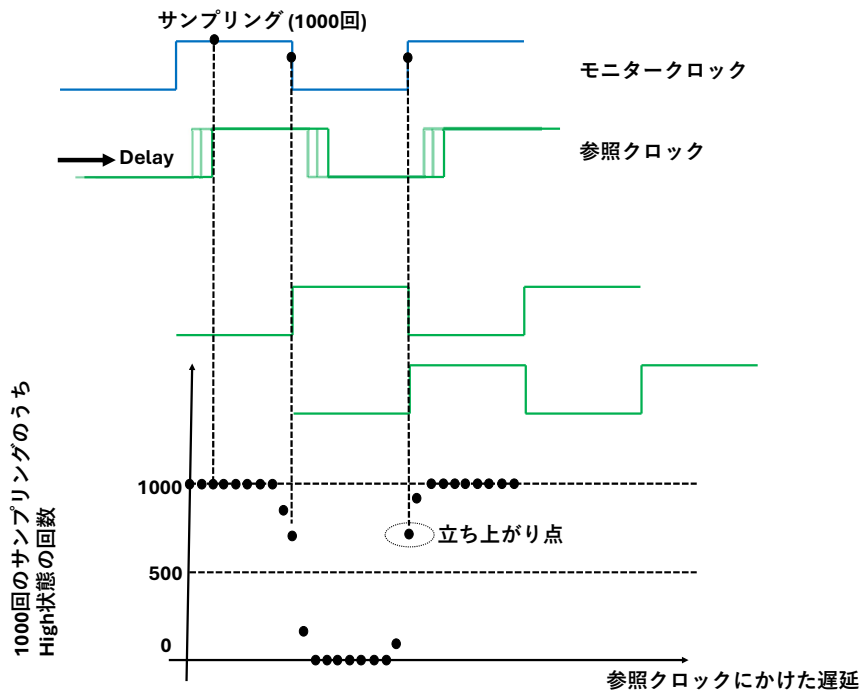


図 4.3 JATHub 位相測定概念図

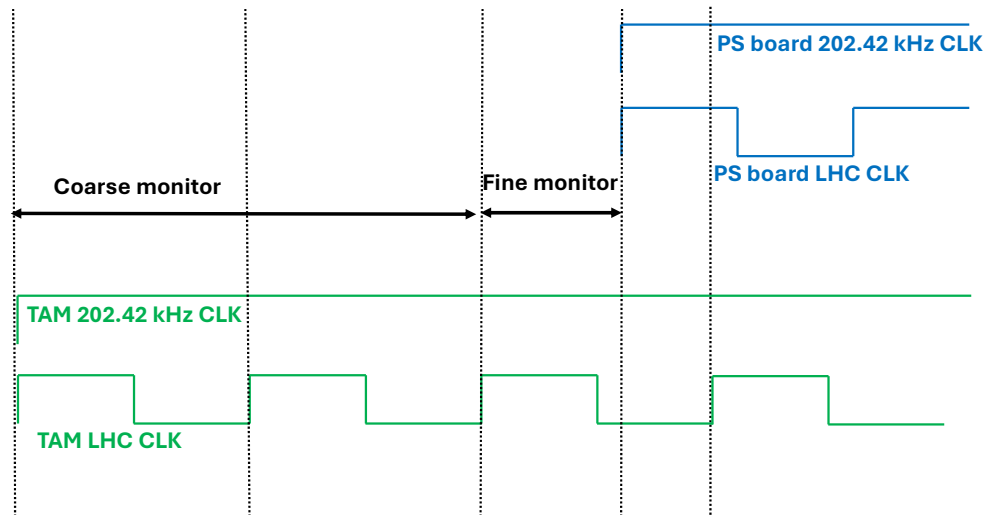


図 4.4 Fine monitor 及び Coarse monitor で得られた結果を合わせた図。

の成分を Coarse 成分と呼び、25 ns 以下の成分 (位相成分) を Fine 成分と呼ぶ。例えば最短のファイバーと最長のファイバー間のファイバー長差のうち Coarse 成分は  $25 \text{ ns} \times 12 = 300 \text{ ns}$  であり、Fine 成分は 8.0 ns である。Coarse monitor は Coarse 成分の測定を行い、Fine monitor は Fine 成分の測定を行う。SL から各 PSB への TTC 信号分配時間差のうち、PSB Fine delay で Fine 成分を吸収し、PSB Coarse delay で Coarse 成分を吸収する。Fine monitor と Coarse monitor のそれぞれについて説明をする。

#### Fine monitor

図 4.3 が JATHub 位相測定概念図である。Fine monitor においては、TAM から TAM LHC CLK を基準クロックとして受け取り、PSB から PSB 再構成 LHC CLK をモニタークロックとして受け取る。そのうえで以下を行う。

まず基準クロックの立ち上がりで、モニタークロックをサンプリングする (このサンプリングは D フリップフロップを用いて行われる)。次に基準クロックの位相を 1/56 ns だけ進める。JATHub 内で基準クロックに対し 1/56 ns の遅延をかける際には、PSB LHC CLK に PSB CLK Fine Delay をかける場合 (3.1.1 節参照) と同じ技法を用いる。この遅延後の基準クロックを用いて再び測定対象のクロックをサンプリングする。この手順を 1,400 回 (=  $25 \text{ ns} / (1/56 \text{ ns})$ ) 繰り返すことで、LHC CLK の位相を  $2\pi$  すべてスキャンする。仮に、モニタークロックに対して、基準クロックの位相が  $\pi/2$  だけ遅れていたとすると、基準クロックでモニタークロックをサンプリングすると必ず high と判定される。また、モニタークロックと基準クロックが一致している、あるいは  $\pi$  だけ位相がずれていたとすると、確率的に high と low の状態がサンプリングされる。本研究では、1,000 回のサンプリングのうち high 状態が 500 回より少ない位相から 500 回以上になる位相をモニタークロックの立ち上がりと定義し、各測定においてモニタークロックの立ち上がりの差を見ることで測定したモニタークロックどうしの位相差を取得する。

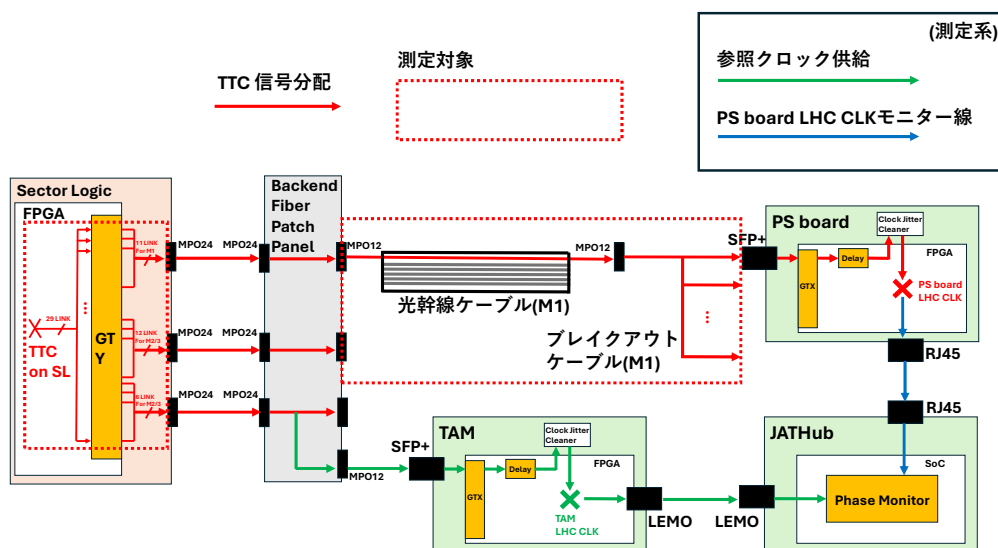


図 4.5 ファイバー長測定セットアップの概要図。例として、測定対象が M1 用の PSB につながる場合を示している。

### Coarse monitor

Coarse monitor の仕組みも、図 4.3 に同じである。Fine monitor と違う点として、Coarse monitor では基準クロックに次に述べる TAM 202.42 kHz CLK を使い、モニタークロックに次に述べる PSB 202.42 kHz CLK を使う。また、基準クロックにかける遅延は 25 ns 刻みであり、3.1.2 節の PSB Coarse delay のように遅延をかける。TAM と PSB ではそれぞれ、BCR の立ち上がりと共に立ち上がり、周期が LHC CLK 198 tick 分になる 202.42 kHz CLK が用意されている。TAM 202.42 kHz CLK は VME Backplane を経由して JATHub に送信する。PSB では Cat6 ケーブル経由で JATHub に LHC CLK を送信するか 202.42 kHz CLK を送信するかをレジスタ操作で選択することができ、Fine monitor を使う場合は LHC CLK、Coarse monitor を使う場合は 202.42 kHz CLK を選択する。SL から PSB への TTC 信号分配時間は最大で 650 ns 程度であり、202.42 kHz CLK を使えば十分に測定可能である。

Fine monitor で取得した Fine 位相と Coarse monitor で取得した Coarse 位相を合わせると、JATHub の受け取った TAM 202.42 kHz CLK から見た PSB 202.42 kHz CLK の位相が得られる<sup>\*5\*</sup> (図 4.4)。PSB 202.42 kHz CLK は TTC 信号中の BCR と同期しているため、これは TAM CLK から見た PSB TTC 信号分配時刻をモニターしていることに他ならない。

### 4.2.2 ファイバー長測定セットアップ

図 4.5 にファイバー長測定セットアップの概要図を示す。ファイバー長測定では、TTC 信号分配パスのうち、光幹線ケーブルとブレイクアウトケーブル、SL 内部パスの組み合わせを測定対象とする。本番運転で光幹線ケーブルとブレイクアウトケーブル、SL 内部パスをどの組み合わせで使うかはすでに決まっており<sup>\*7</sup>、本番運転で使われる

<sup>\*5</sup> ファイバー長測定で (SL から PSB への TTC 信号分配時間) + (PSB から Cat6 を通して JATHub にクロックを分配する時間) - (SL から TAM を経て JATHub に参照クロックを分配する時間) を得ている。

<sup>\*6</sup> ただし、PSB LHC CLK と PSB 202.42 kHz CLK の間に 0 でない位相差があるため、解釈に注意すべき点がある。詳細は付録 B.1 で述べる。

<sup>\*7</sup> 図 4.1 のように 1/24 Sector の TTC 信号分配経路において M1 では 1 本の光幹線ケーブルが 1 本のブレイクアウトケーブルに繋がりと、さらに 11 台の PSB に接続される。そのため 1/24 Sector の M1 における測定対象は 11 本である。一方で M2/3 では 1 本の光幹線ケーブ

各組み合わせに対して 4.2 節で述べた JATHub 位相測定を行う。このとき、測定対象以外のセットアップは各測定で変えない。特に測定に用いるモジュールやケーブルは同じものを使用し、モジュールにプログラムするビットストリームも同じものを使用する。各測定対象に対し得られた JATHub 位相測定結果の差が、各測定対象を通過して TTC 信号が分配される時間差である。

### 4.2.3 ファイバー長測定による、SL から PSB への TTC 信号分配時間差の評価

本番運転時における SL から PSB への TTC 信号分配時間差が PSB TTC 信号位相を揃えるために必要な情報である。4.2.2 節で述べたファイバー長測定では、

1. SL から Backend FPP フロントエンド側パネルまでのファイバー
2. SL FPGA ビットストリーム
3. SL FireFly

が本番運転時と異なる。これらの取り扱いについて議論する。

1. について、これは設計長 6 m であり、SL から PSB への TTC 分配時間に対して 1. が本番運転時と異なることによる影響は十分小さいことが知られているため、無視する。
2. について、4.3.3 節で述べるように、SL FPGA ビットストリームによって TTC 信号分配時間が変わる可能性があるため、ビットストリームによる影響を補正する。
3. について、この影響は今後評価し、もし影響を無視できない場合には補正する。

### 4.2.4 Optical Time Domain Reflectometer (OTDR) 測定

各 1/24 Sector において M1 には 11 本、M2/3 には 18 本の下り線が属しており、これらすべてに対しファイバー長測定を行った。各 1/24 Sector の M1 であれば 11 本の下り線のうち PSB 番号\*8 1 に繋がるもの、M2/3 であれば 18 本の下り線のうち PSB 番号 12 に繋がるものに対して Optical Time Domain Reflectometer (OTDR)\*9 によるファイバー長の測定 (OTDR 測定) を行い、ファイバー長測定結果と比較した。OTDR 測定手法を図 4.6 に示す。反射信号強度のピーク位置を見て、光幹線ケーブル + ブレイクアウトケーブルのファイバー長を求めた。ここで、ピーク位置は反射信号強度が局所的に最大になる点と定めた。OTDR で反射信号のサンプリングはファイバー長に換算して 3 cm おきに行われるので、この手法におけるファイバー長の測定精度は 3 cm と考える。

## 4.3 ファイバー長測定の結果

図 4.7 にファイバー長測定の結果を示す。ここで横軸は各測定対象の ID (Fiber ID) であり、縦軸は 4.2 節で述べたように JATHub 位相測定において TAM 202.42 kHz CLK を基準にしたときの PSB TTC 信号位相 [ns] を表す。Fiber ID と、本番運用でインストールされる場所、接続される PSB 番号の対応を表 4.1 にまとめる。本論では、本番運用でファイバーが接続される PSB 番号のことをファイバーに対する PSB 番号と呼ぶことにする。

4.3.2 節で述べる通りファイバー長測定の測定精度は 100 ps 程度と考えられ、PSB TTC 信号位相をサブナノ秒

ルが 2 本のブレイクアウトケーブルに繋がり、それぞれのブレイクアウトケーブルが 6 台と 12 台の PSB に接続される。そのため 1/24 Sector の M2/3 における測定対象は 18 本である。M1 と M2/3 を合わせて 1/24 Sector には 29 本の測定対象があり、全 Sector では 24 Sector × 29 本 × 2 side = 1392 本の測定対象がある。

\*8 本番の PSB 配置に対し番号が割り振られている。1/24 Sector の M1 であれば 11 台の PSB に 1 ~ 11 の番号が割り振られ、M2/3 であれば 18 台の PSB に 12 ~ 29 の番号が割り振られる。

\*9 Luciol Instruments 製 v-OTDR (Multi Mode 850 nm)

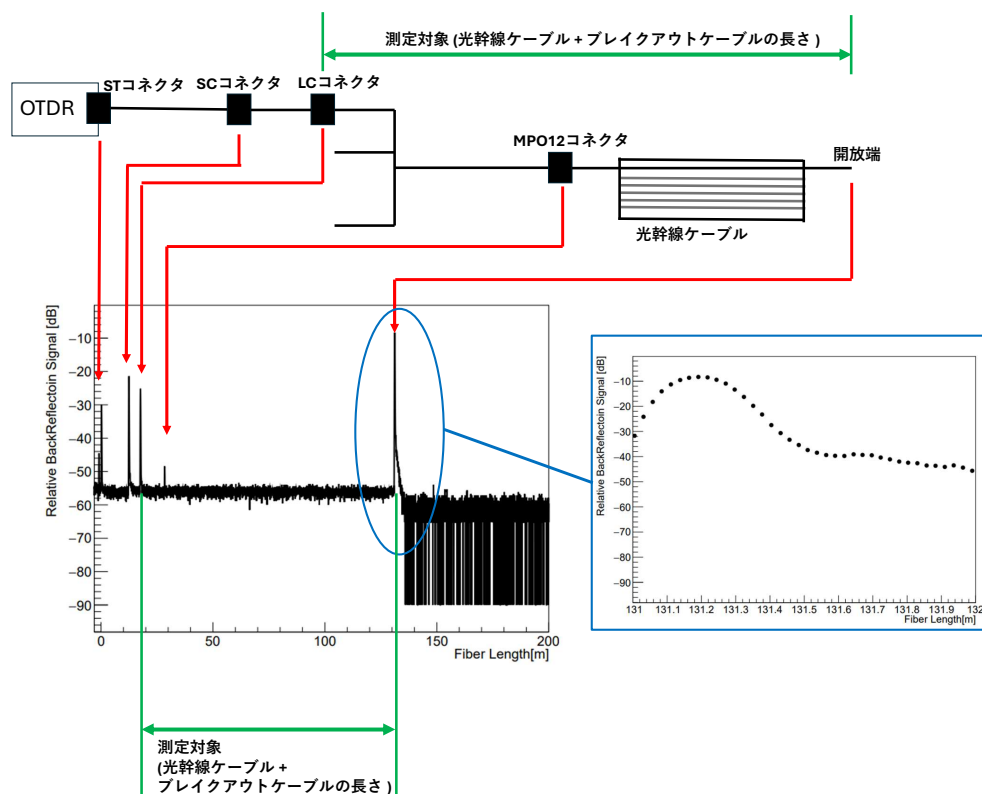


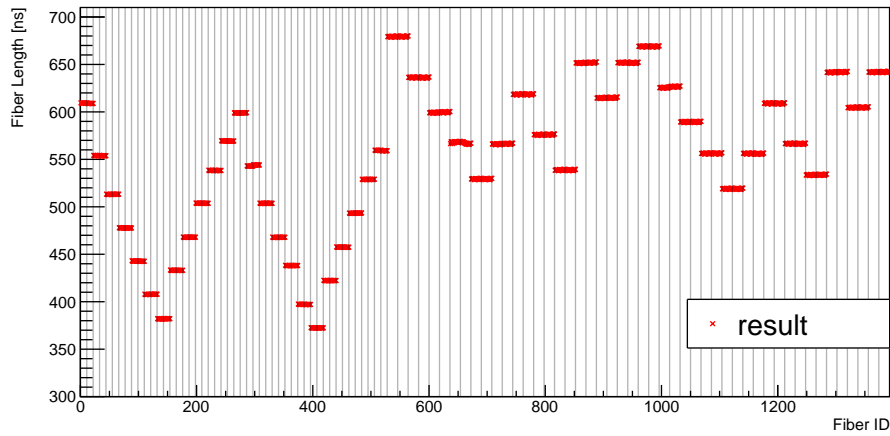
図 4.6 OTDR 測定手法の概要図。OTDR のコネクタタイプは ST コネクタであったので、これを LC コネクタに変換するため 10 m 程度の ST-SC ファイバー、5 m 程度の SC-LC ファイバーを順に接続した。この先端の LC コネクタに光幹線ケーブル + ブレイクアウトケーブルのうちブレイクアウトケーブル側の LC コネクタ端を接続する。OTDR はファイバーに光パルスを発出し、各コネクタと開放端で反射して光パルスが返ってくるまでの時間から、各コネクタと開放端までの距離を測定する。こうして図中の波形のような結果が得られる。各コネクタと開放端の位置で反射信号強度にピークが見られる。この LC コネクタと開放端のピーク間の距離から、光幹線ケーブル + ブレイクアウトケーブルのファイバー長を求める。反射信号のサンプリングはファイバー長に換算して 3 cm おきに行われる。

の精度で揃えるために十分な精度で PSB TTC 信号位相差が決定された。また、同じ設計長の光幹線ケーブル + ブレイクアウトケーブルに属する測定対象どうしであっても、ファイバー長測定結果は典型的に 500 ps 程度ばらつき、最大で 2 ns 程度異なることがわかった。

#### 4.3.1 OTDR 測定との比較

ファイバー長測定結果の妥当性を検証するために、OTDR 測定との比較を行った。その結果を図 4.8 に示す。OTDR 測定結果 [m] に対するファイバー長測定結果 [ns] がおよそ傾き 4.91 [ns/m] の直線に乗っている。特に線形フィットの残差は OTDR 測定精度 3 cm = 0.03 m × 4.91 [ns/m] = 0.15 ns の範囲内におおよそ収まっており、ファイバー長測定の結果は OTDR 測定の結果と矛盾しないことが読み取れる。図 4.9 は OTDR 測定値とファイバーの設計長の比較であり、使用した 60 ~ 123 m の光幹線ケーブル + ブレイクアウトケーブルについて、実際の長さは設計長より典型的に 2 ~ 5 m 程度長いこともわかった。

(a)



(b)

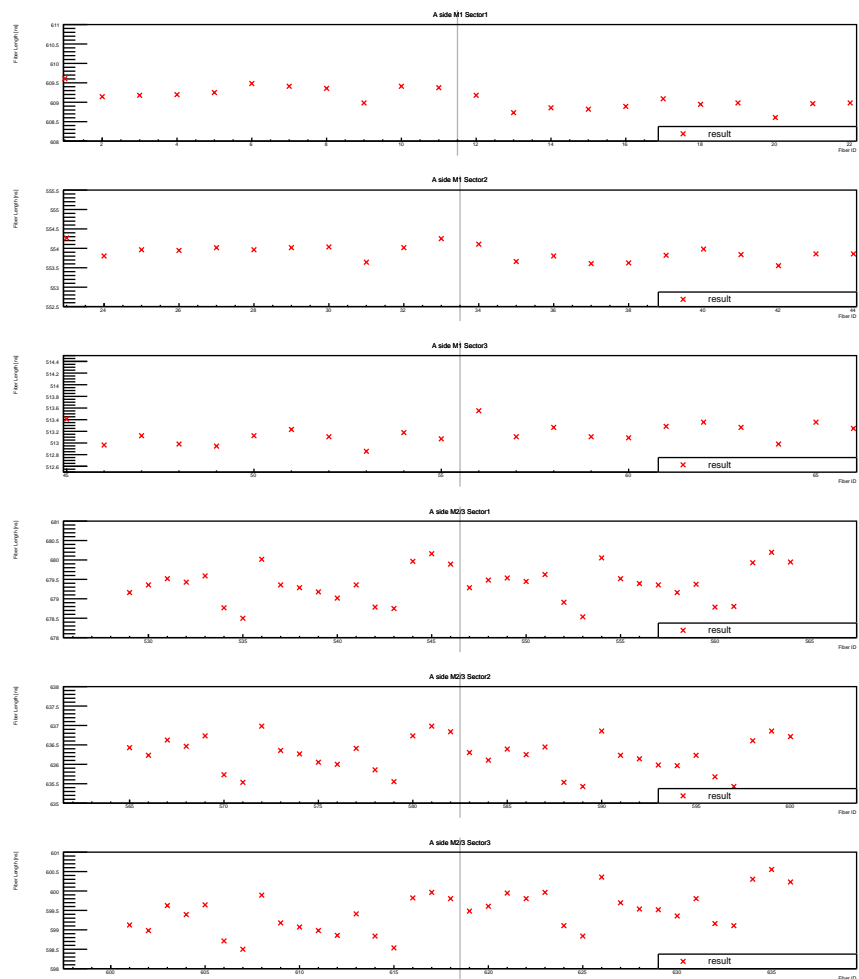


図 4.7 (a) 表 4.1 で定義した Fiber ID の測定対象に対し、ファイバー長測定を行った結果を示す。4.2 節で述べたように、測定結果は JATHub 位相測定において TAM 202.42 kHz CLK を基準にしたときの PSB TTC 信号位相 [ns] を表す。また、各 1/24 Sector を区切る線が表示されている。(b) A side M1 Sector1, 2, 3 と A side M2/3 Sector1, 2, 3 の結果を取り出した図。

Fiber ID	Side	Station	1/12 Sector 番号	Phi	PSB 番号
1-11	A	M1	1	0/1	1-11
12-22	A	M1	1	2/3	1-11
23-33	A	M1	2	0/1	1-11
34-44	A	M1	2	2/3	1-11
...					
243-253	A	M1	12	0/1	1-11
254-264	A	M1	12	2/3	1-11
265-275	C	M1	1	0/1	1-11
276-286	C	M1	1	2/3	1-11
287-297	C	M1	2	0/1	1-11
298-308	C	M1	2	2/3	1-11
...					
507-517	C	M1	12	0/1	1-11
518-528	C	M1	12	2/3	1-11
529-546	A	M2/3	1	0/1	12-29
547-564	A	M2/3	1	2/3	12-29
565-582	A	M2/3	2	0/1	12-29
583-600	A	M2/3	2	2/3	12-29
...					
925-942	A	M2/3	12	0/1	12-29
943-960	A	M2/3	12	2/3	12-29
961-978	C	M2/3	1	0/1	12-29
979-996	C	M2/3	1	2/3	12-29
997-1014	C	M2/3	2	0/1	12-29
1015-1032	C	M2/3	2	2/3	12-29
...					
1357-1374	C	M2/3	12	0/1	12-29
1375-1392	C	M2/3	12	2/3	12-29

表 4.1 ファイバー長測定の各測定対象の ID (Fiber ID) と、本番運用で使用される場所 (本番運用でインストールされる Side, Station, 1/12 Sector 番号, Phi と、接続される PSB 番号) の対応。

#### 4.3.2 ファイバー長測定の再現性と測定精度の評価

測定結果の再現性を保証するため、ある 1/24 Sector (A side Sector1-Phi0/1) に属する測定対象について、ファイバー長測定を期間を空けながら繰り返し行った。その結果を図 4.10(a) に示す。さらに、ある測定対象 (A side Sector1-Phi0/1 PSB 番号 1 に接続される測定対象) について、ファイバー長測定期間中 (2025/10/9 ~ 2025/10/26) に高頻度で繰り返し測定を行った (図 4.10(b))。これらの結果において、ファイバー長測定結果の変化が 100 ps 程度に収まっていることがわかる。特に最初から最後の測定の間、測定に用いる SL、PSB、JATHub、TAM の再起動はそれぞれ数回ずつ行っているが、ファイバー長測定の変化は 100 ps 程度に収まっている。この結果から、ファイバー長測定の測定精度は 100 ps 程度であると推定される。

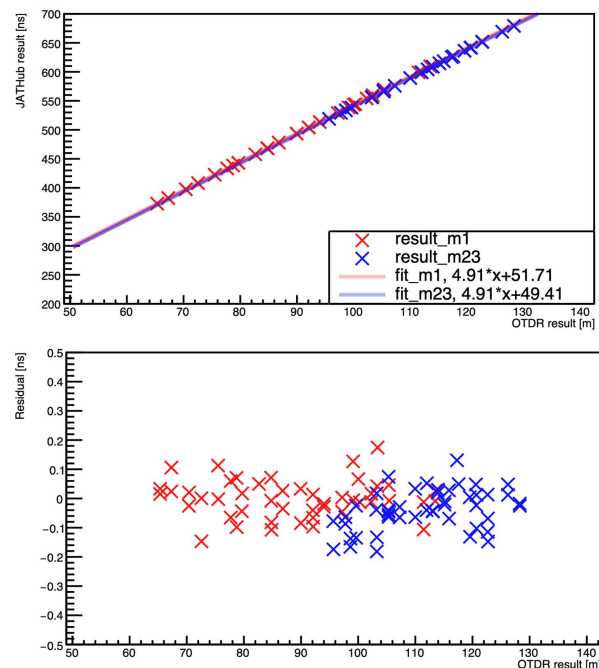


図 4.8 ファイバー長測定と OTDR 測定の比較。(上) 横軸に OTDR 測定結果 [m]、縦軸にファイバー長測定結果 [ns] を表示したもの。M1 用の測定対象から PSB 番号 1 に接続されるもの、M2/3 用の測定対象から PSB 番号 12 に接続されるものを選んで測定し、比較している。OTDR 測定値が 0 m の場合に外挿した縦軸の切片 (M1 の結果では 51.71 ns, M2/3 の結果では 49.41 ns) は、(ファイバー長測定結果) - (TTC 信号が光幹線ケーブル + ブレイクアウトケーブルを通る時間) = (TTC 信号が SL から PSB を経て JATHub へ分配される時間) - (参照クロックが SL から TAM を経て JATHub へ分配される時間) - (TTC 信号が光幹線ケーブル + ブレイクアウトケーブルを通る時間) である。(TTC 信号が SL から PSB を経て JATHub へ分配される時間) - (TTC 信号が光幹線ケーブル + ブレイクアウトケーブルを通る時間) = (TTC 信号が SL 内部パス・SL から Backend FPP フロントエンド側パネルまでのファイバー・PSB 内部パス・CAT6 ケーブルを通る時間) であるから、縦軸の切片は (TTC 信号が SL 内部パス・SL から Backend FPP フロントエンド側パネルまでのファイバー・PSB 内部パス・CAT6 ケーブルを通る時間) - (参照クロックが SL から TAM を経て JATHub へ分配される時間) である。M1 の結果と M2/3 の結果の差はこのうち SL 内部パスの違いに由来すると考えられる。(下) 上図の線形フィットの残差。残差が OTDR 測定の測定精度 3 cm = 0.03 m  $\times$  4.91 [ns/m] = 0.15 ns の範囲内におおよそ収まっており、ファイバー測定結果が妥当であるといえる。

### 4.3.3 SL ビットストリーム依存性の評価

測定対象には SL 内部パスも含まれるため、SL ビットストリームによってファイバー長測定結果がどの程度変化するかを調査した。図 4.11 はロジックの異なる SL ビットストリームをそれぞれコンパイルし、それぞれのビットストリームを用いていくつかの測定対象についてファイバー長測定を行った結果である。これを見ると、SL ビットストリームの違いによって 1 ns 程度ファイバー測定結果が変化していることがわかる。特に、SL GTY のチャンネルのうち、共通の REFERENCE CLOCK を受け取る 4 つのチャンネルのまとめり (GTY bank) ごとに共通の変化をしている。次に、ロジックの同じ SL ビットストリームを 2 回コンパイルし、それぞれのビットストリームを用いてファイバー長測定をおこなった結果を比較した (図 4.12)。同じロジックの SL ビットストリームであっても、コンパイルごとにファイバー長測定結果が変化することがわかった。さらに、一度 SL ビットストリームを異なる

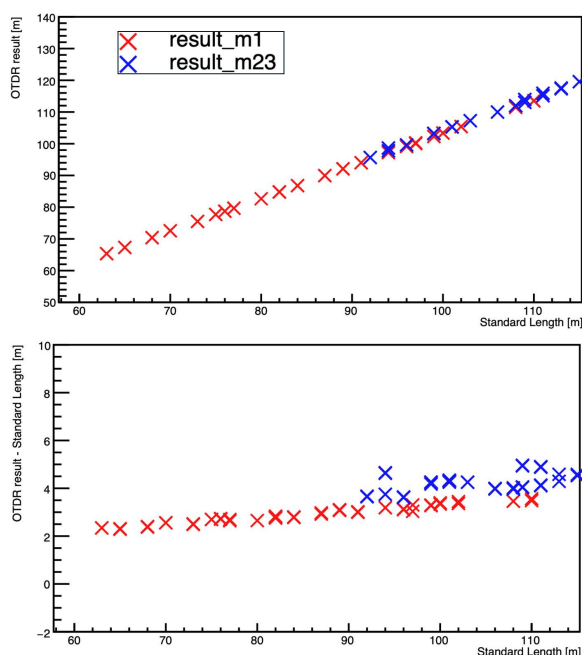


図 4.9 (上) 横軸はファイバーの設計長 [m]、縦軸は OTDR 測定結果 [m]。(下) 横軸はファイバーの設計長 [m]、縦軸は OTDR 測定結果 [m] - ファイバーの設計長 [m]。使用した設計長 63 ~ 123 m の光幹線ケーブル + ブレイクアウトケーブルに対し、実際の長さは典型的に 2 ~ 5 m 程度長い。M1 用と M2/3 用では M2/3 の方が実際の長さ - 設計長 [m] が大きく、ばらつきも大きいことがわかった。

SL ビットストリームに変えた後、再びもとの SL ビットストリームに戻すと、ファイバー長測定結果ももとの戻ることを確かめた。

この結果を踏まえて、本番運転時に使用する SL ビットストリームをコンパイルした後、次のことを行う必要がある。SL の各内部パスにファイバーを接続し、本番用ビットストリームと 4.2.2 節のセットアップのビットストリームを用いてそれぞれファイバー長測定を行う。両者の違いが SL ビットストリームの違いによる影響であるため、これを考慮した補正を本章のファイバー長測定測定結果に加えて本番運転時のパラメータを決定することにする。

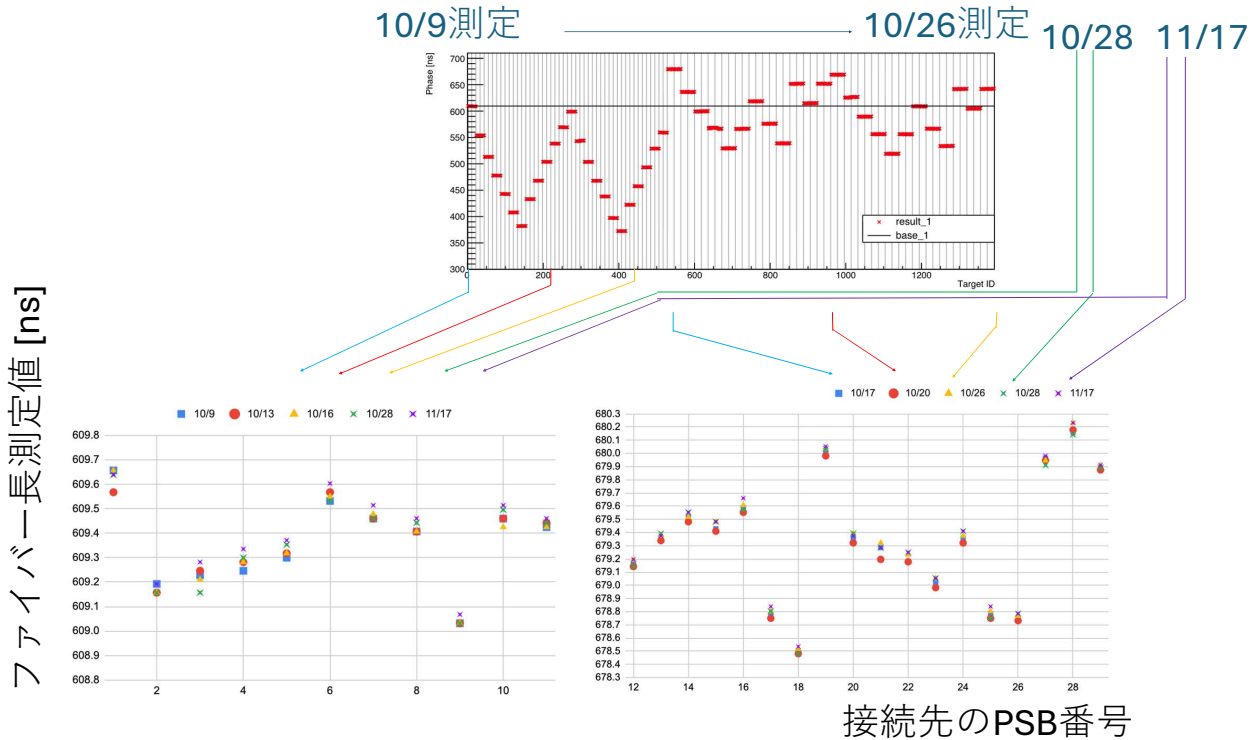
#### 4.3.4 SL FireFly 個体差がファイバー長測定結果に及ぼす影響

4.3.3 節で、SL ビットストリームを変更すると共通の GTY bank につながるチャンネルごとにファイバー長測定結果が変化することを見た。一方で、共通の GTY bank 間につながるチャンネル間においても、ファイバー長測定結果にファイバー個体に関わらず数 100 ps 程度の差が見られている。これは SL ビットストリームによらない例えば SL FireFly 個体差によって生じている可能性も考えられるため、今後調査を行う。もし SL FireFly 個体差の影響が無視できない場合は影響を測定して補正する。

#### 4.3.5 ヒットデータ読み出しのファイバー長の推定

共通の 1/24 Sector において上り線と下り線に用いられる光幹線ケーブル + ブレイクアウトケーブルの設計長はすべて等しい(詳細は A 節)。ここで、4.3 節で述べたように、同じ設計長の光幹線ケーブル + ブレイクアウトケーブルに属する測定対象どうしてファイバー長測定結果は最大で 2 ns 程度異なっていた。先述の通り、下り線の長さ

(a)



(b)

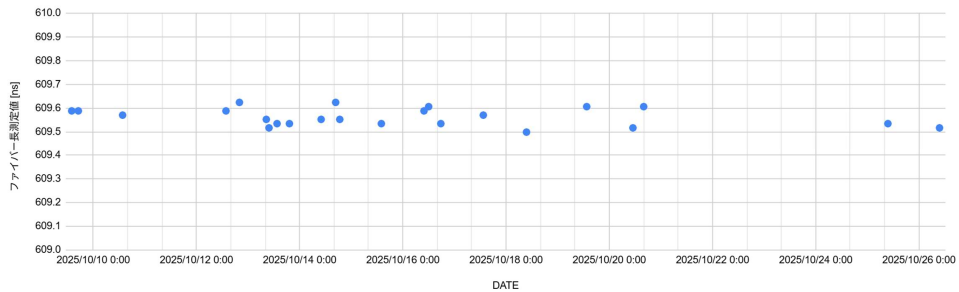
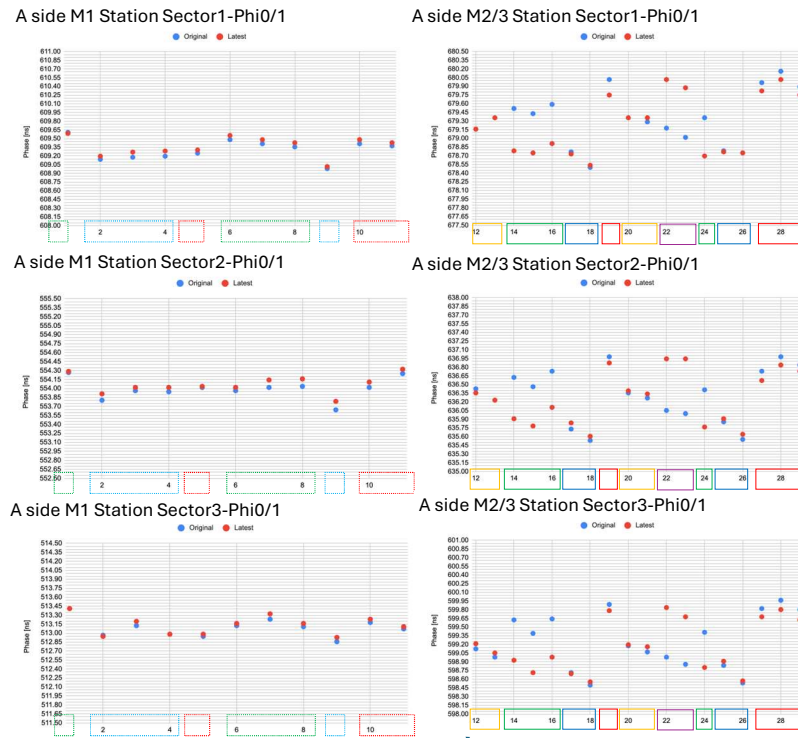


図 4.10 (a) ある 1/24 Sector (A side Sector1-Phi0/1) に属する測定対象について繰り返しファイバー長測定を行った結果。横軸はファイバーに対する PSB 番号、縦軸はファイバー長測定値 [ns]。(b) ある測定対象 (A side Sector1-Phi0/1 PSB 番号 1 に接続される測定対象) について繰り返しファイバー長測定を行った結果。横軸は測定日時、縦軸はファイバー長測定値 [ns]。

はファイバー長の直接測定により 100 ps 程度の精度で取得してあるため、上り線の長さは同じ 1/24 Sector 内に用いられる設計長の等しい下り線の長さから数 ns 程度の精度で決定できる。これは上り線の長さに要求される 10 ns の精度に対し十分な精度である。

(a)

ファイバー長測定値 [ns]



SL GTY Bankごと  
とに  
共通の色&線で  
囲んだ

接続先のPSB番号

(b)

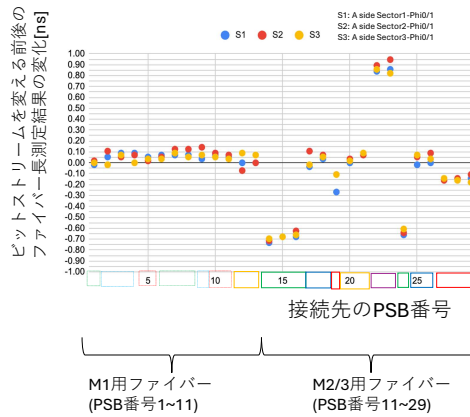


図 4.11 (a) SL ビットストリームを変えた時のファイバー長測定結果の比較。このとき両者のビットストリームでロジックは異なる。3 つの 1/24 Sector (A side Sector1, 2, 3-Phi0/1) に属する測定対象について測定をおこない、比較した。横軸はファイバーに対する PSB 番号、縦軸はファイバー長測定値 [ns]。 (b) SL ビットストリームを変える前後のファイバー長測定結果の変化量。共通の SL GTY bank に接続される測定対象では共通の変化をしている。横軸はファイバーに対する PSB 番号、縦軸はビットストリームを変える前後のファイバー長測定値の変化 [ns]。

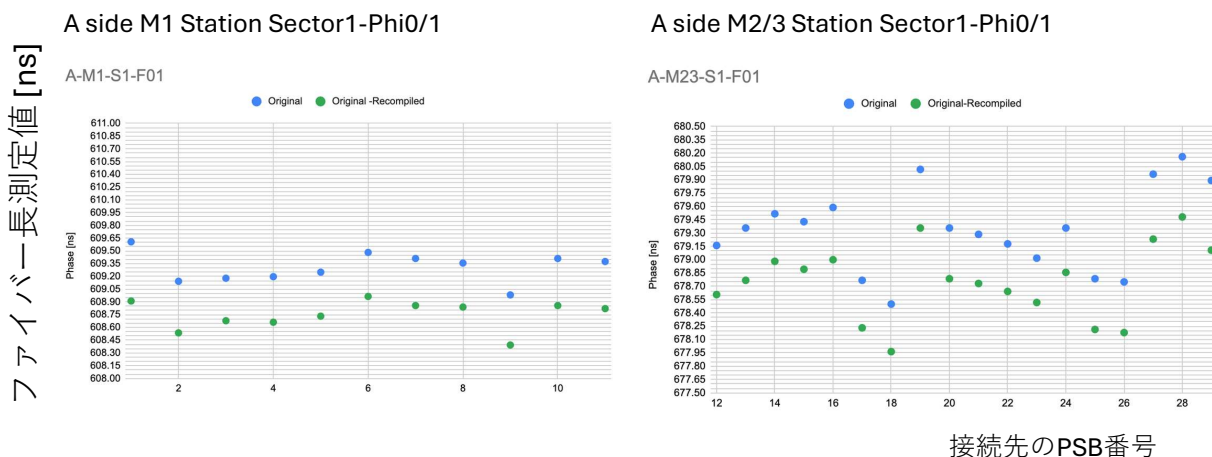


図 4.12 ロジックが同じ SL ビットストリームを AMD 社製ビットストリーム開発ツール vivado で 2 回コンパイルし、それぞれのビットストリームを用いてファイバー長測定をおこなった結果の比較。1 つの 1/24 Sector について測定を行った。全測定対象について共通の変化をしている。これは例えば TAM に JATHub 位相測定の参照クロックを配る SL GTY bank の内部パスのみが変化したとして解釈が可能である。ロジックが同じビットストリームであっても、コンパイルし直すとファイバー長測定結果が変わることがわかった。横軸はファイバーに対する PSB 番号、縦軸はファイバー長測定値 [ns]。

## 4.4 TTC 信号分配経路中のタイミングパラメータの決定

4.3 節で求めた下り線のファイバー長測定結果を用いて、TTC 信号分配経路中にある以下の 3 つのタイミングパラメータを順に決定した\*<sup>10</sup>。

1. PSB CLK Fine Delay
2. PSB 受信部ラッチ選択
3. PSB Coarse Delay

### 4.4.1 PSB CLK Fine Delay

ファイバー長測定の結果、最長の測定対象 (ファイバー長測定結果が最も大きな測定対象) は A side M2/3 Station Sector1-Phi2/3 PSB 番号 28 に接続されるものであることがわかった\*<sup>11</sup>。この PSB の LHC CLK 位相に合わせて、他の PSB LHC CLK に遅延 (PSB CLK Fine Delay) をかける。この PSB CLK Fine Delay の値は

(最長のファイバーのファイバー長測定結果 [ns]) - (接続されるファイバーのファイバー長測定結果 [ns])  
を 25 ns で割った時の余り

として求められる。

### 4.4.2 PSB 受信部のラッチ選択

次に、PSB 受信部のラッチ選択を決定した。3.1.3 節で説明したように、PSB 受信部で受信データの境界と LHC CLK のラッチタイミングが重なることでメタステーブルが生じる。4.4.1 節で決定した遅延を LHC CLK にかけるとき、遅延の値で決まる受信データと LHC CLK の位相関係によってはメタステーブルに陥ってしまう可能性があるが、ラッチ選択を適切に決めることでこれを回避する。

2.2.2 節で説明したように受信データを使って受信データに同期したクロックを作り、それを FPGA 外部のクロックジッタークリーナーに通すことで LHC CLK が作られる。よって LHC CLK は受信データよりクロックジッタークリーナーを通る分である X ns だけ遅れる。このとき LHC CLK に 25 - X ns の遅延をかけると、メタステーブルが生じることになる。

PSB では 3.1.3 節のように受信部のメタステーブルをモニターしている。ラッチ選択を Positive Edge として LHC CLK に PSB CLK Fine Delay をかけていき、メタステーブルが検知されたときの遅延の値 (メタステーブル位相) を測定した (図 4.13)。図 4.14 にその結果を示す。この結果に用いた PSB ではラッチ選択を Positive Edge にして 16.7 ns から 16.9 ns の PSB CLK Fine Delay かけるとメタステーブルになることがわかった。同様に他の 28 台の PSB に対しても測定を行い、メタステーブル位相が数百 ps の範囲で一致することを確認した。さらに異なる PSB ビットストリームを使用したときについて同様に測定を行い、メタステーブル位相が数百 ps の範囲で一致することを確認した。

この結果から、17 ns 付近の Fine Delay をかける場合にはラッチ選択を Negative Edge にする必要があること

\*<sup>10</sup> TTC 信号位相が最も遅い PSB に合わせるように遅延パラメータを決定した。ただし、本論では TTC 信号位相が最も遅い PSB には TTC 信号遅延をかけないものとした。TTC 信号位相が最も遅い PSB にも TTC 信号遅延をかけることができ、これは遅延パラメータを決定する際の自由度となる。ここに 0 でない遅延を書ける場合は、本論で決定した各 PSB の遅延パラメータにその遅延を加える。

\*<sup>11</sup> ファイバー長測定時の SL ビットストリームに対する結果であることに注意。SL ビットストリームを変更した場合、4.3.3 で述べたように SL 内部バスが変わり、最長の測定対象が変わる可能性がある

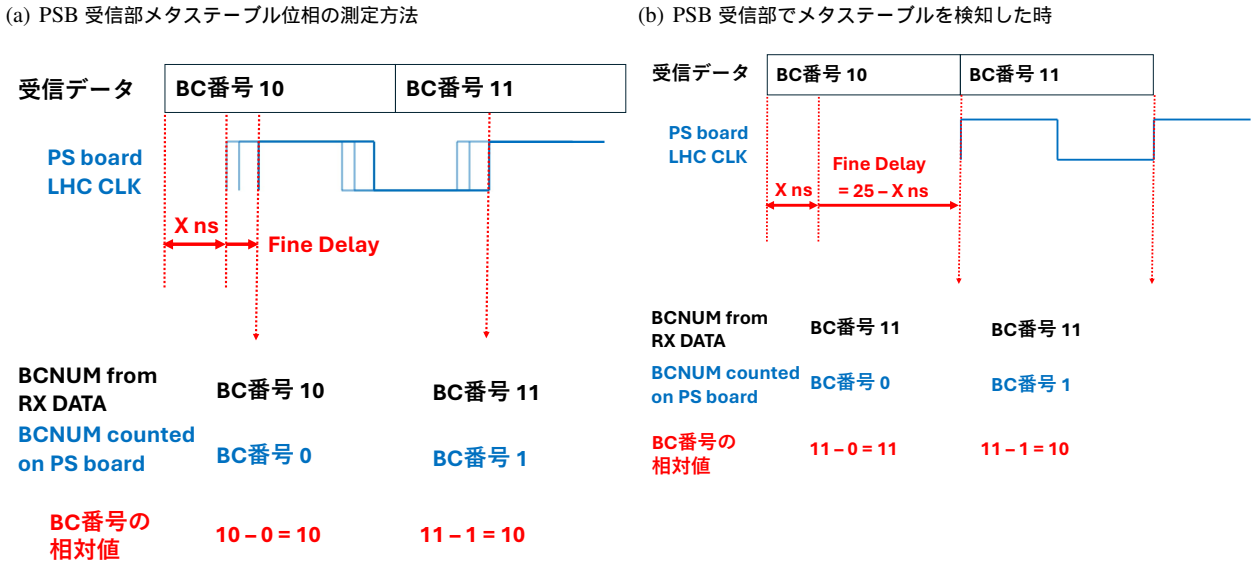


図 4.13 PSB 受信部メタステーブル位相の測定方法。(a) PSB では、SL の受信データに含まれる BC 番号と PSB 自身がカウントしている BC 番号の差 (BC 番号の相対値) をモニターしており、この差が連続した 65,535 回のデータ受信で変化した回数を CDC Error count というレジスタに書き込んでいる。ここでは十分に大きな数でかつカウンタの実装に不要なリソースがかからない程度の値として、65,535 という回数を設定した。もし正常にデータ取得が行われていれば BC 番号の差は変わらず、CDC Error count は常に 0 である。(b) PSB 受信部がメタステーブルになっている場合、連続して同じデータをラッチしたり、あるデータをラッチし損ねたりする。このとき BC 番号の差は一定でなくなり、CDC Error count は 0 より大きな値をとる。PSB LHC CLK に PSB CLK Fine Delay をかけていき、CDC Error count が 0 でなくなる PSB CLK Fine Delay の値を調べることで、メタステーブル位相を測定した。

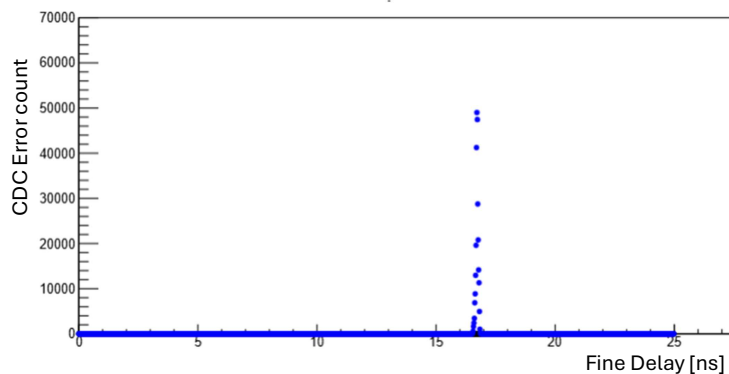


図 4.14 PSB LHC CLK にかけた PSB CLK Fine Delay [ns] に対する CDC Error count の値。このときラッチ選択は Positive Edge で行った。1/56 ns 刻み幅の PSB CLK Fine Delay を 1 ステップずつ 1,400 回かけていて、各ステップで CDC Error count を読み出している。PSB Fine Delay が 17 ns 付近で数百 ps にわたって CDC Error count > 0、つまりメタステーブルになっている。

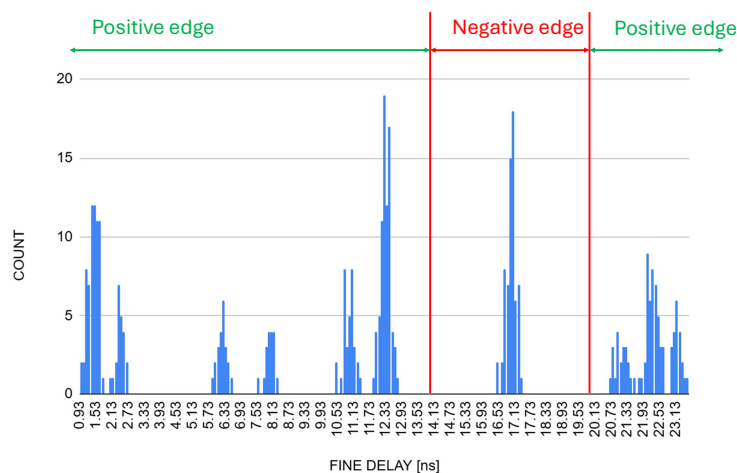


図 4.15 Negative Edge をラッチ選択する Fine Delay の範囲。ファイバー長測定により決定された PSB CLK Fine Delay は図のように分布している。PSB CLK Fine Delay の値が近い PSB どうしでは同じラッチが選択されるようにするため、Fine Delay が 14 ns から 20 ns の間にあるときは Negative Edge、それ以外は Positive Edge でラッチ選択をすると定めた。

がわかった。図 4.15 のように、Fine Delay が 14 ns から 20 ns の間にあるときは Negative Edge、それ以外は Positive Edge でラッチ選択をすると定めた。このラッチ選択の定め方で Fine Delay を図 4.14 のようにかけていったとき、メタステーブルが起らない (CDC Error count が常に 0) であることを確認した。

#### 4.4.3 PSB Coarse Delay

最後に、PSB Coarse Delay (BCR 信号/TP 信号にかける遅延) を定めた。図 4.16 のように、

$$N = (\text{最長のファイバーのファイバー長測定結果 [ns]} - (\text{接続されるファイバーのファイバー長測定結果 [ns]}) / 25 \text{ ns} \quad (4.1)$$

$$\text{TTC 信号にかける遅延} = \begin{cases} N \times 25 \text{ ns} & (\text{PSB CLK Fine Delay} \leq 14 \text{ ns}) \\ (N + 1) \times 25 \text{ ns} & (14 \text{ ns} < \text{PSB CLK Fine Delay}) \end{cases} \quad (4.2)$$

として定めればよい。

### 4.5 ヒットデータ読み出し経路中のタイミングパラメータの決定

4.3 節で求めた上り線のファイバー長測定結果を用いて、ヒットデータ読み出し経路中にある以下の 2 つのタイミングパラメータを順に決定した<sup>\*12</sup>。

- SL Fine Delay
- SL Coarse Delay

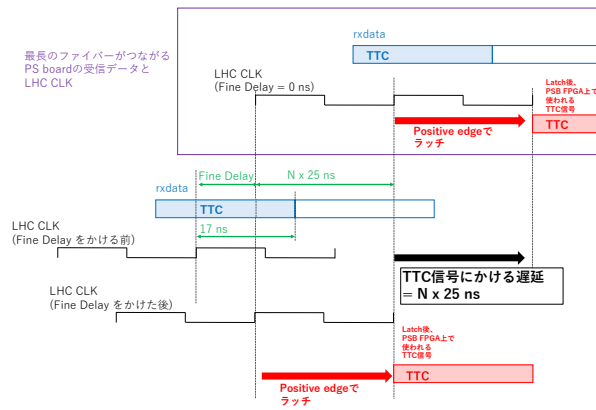
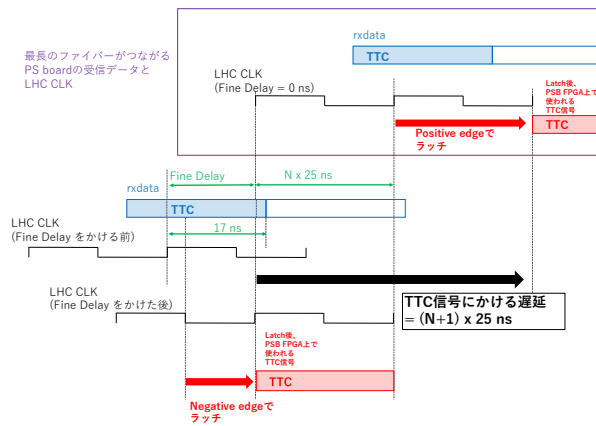
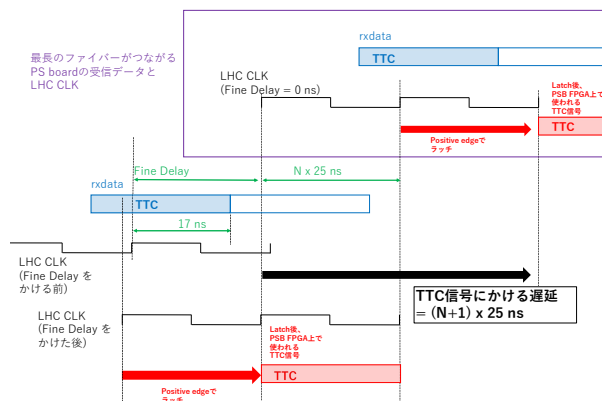
(a) PSB CLK Fine Delay  $\leq 14$  ns(b)  $14$  ns  $<$  PSB CLK Fine Delay  $<$   $20$  ns(c)  $20$  ns  $\leq$  PSB CLK Fine Delay

図 4.16 PSB Coarse Delay の求め方。最長のファイバーに対するファイバー長測定結果の差 [ns] のうち、PSB CLK Fine Delay [ns] を引いた値は  $N \times 25$  ns とかける (簡単のため  $N=1$  の場合を图示している)。最長のファイバーがつながる PSB において、PSB CLK Fine Delay = 0 ns であり、4.4.2 節で決めたように Positive Edge で受信データのラッチを行う。ラッチされた TTC 信号はその後 LHC CLK の Positive Edge で駆動される FPGA ロジックで用いられる。(a) Fine Delay  $\leq 14$  ns のとき、PSB CLK Fine Delay をかける前後でラッチするデータは変わらず、ラッチから 25 ns 後の Positive Edge から FPGA ロジックに用いられる。そのため、PSB Coarse Delay は  $N \times 25$  ns である。(b)  $14$  ns  $<$  PSB CLK Fine Delay  $<$   $20$  ns のとき、受信データを Negative Edge でラッチする。PSB CLK Fine Delay をかける前後でラッチするデータは変わらないが、ラッチから 12.5 ns 後の Positive Edge から FPGA ロジックに用いられることを考慮して、PSB Coarse Delay は  $(N+1) \times 25$  ns になる。(c)  $20$  ns  $\leq$  Fine Delay のとき、PSB CLK Fine Delay をかけた後にラッチするデータはかけるまえと比べて 1 つ後のデータになる。そのため、PSB Coarse Delay は  $(N+1) \times 25$  ns になる。

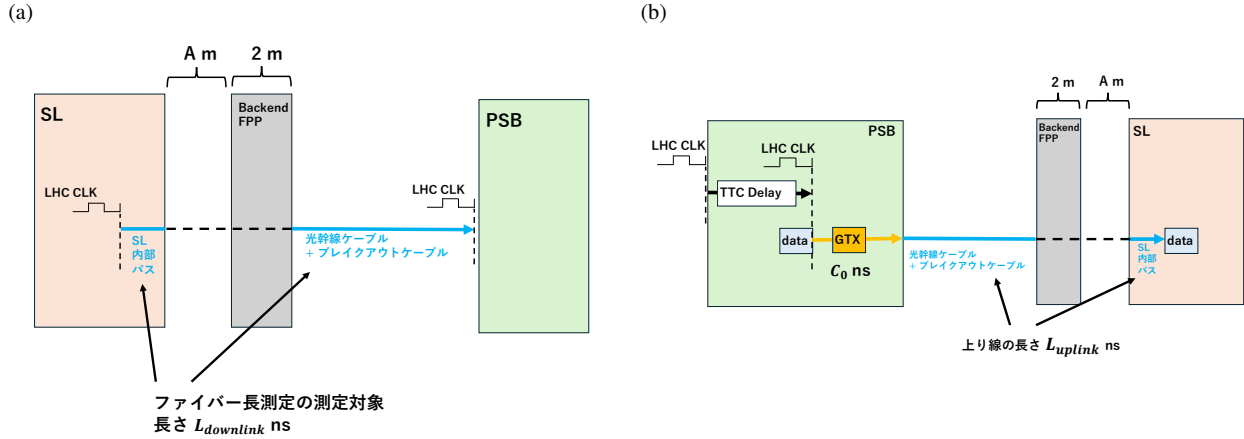


図 4.17 (a) LHC CLK が SL から PSB に分配されるまでの経路。LHC CLK はファイバー長測定の測定対象である SL 内部バス + 光幹線ケーブル + ブレイクアウトケーブル (長さ  $L_{downlink}$  [ns])、SL ~ Backend FPP 間のファイバー (設計長  $A$  [m])、Backend FPP 内のファイバー (設計長  $2$  m) を通る。ここで、 $A$  [m] の設計長は本番運転時には  $4$  m であるが、本研究のセットアップでは  $2$  m であることに注意。(b) PSB LHC CLK に載ったデータが PSB から SL に送信されるまでの経路。まず PSB 内で LHC CLK には TTC 信号に対する可変遅延である TTC Delay = PSB CLK Fine Delay + PSB Coarse Delay がかかる。LHC CLK 上のデータが PSB GTX を通り PSB から出力されるまでの時間を  $C_0$  [ns] とする。 $C_0$  はセットアップによらない定数と考えられる。PSB から出力されたデータは SL 内部バス + 光幹線ケーブル + ブレイクアウトケーブル (長さ  $L_{uplink}$  [ns])、Backend FPP 内のファイバー (設計長  $2$  m)、Backend FPP ~ SL 間のファイバー (設計長  $A$  [m]) を通り SL に受信される。

### 4.5.1 SL Fine Delay

3.2.2 節で述べたように、SL 受信部のメタステーブル状態を回避するように SL Fine Delay を設定する。本節では、まず SL 受信部で各上り線から受信したデータがメタステーブル位相に対してどのような位相にあるかを SL と PSB 間のファイバー長情報から決定する方法を述べる。

図 4.17 より、LHC CLK が SL から PSB に分配され、その PSB LHC CLK に載ったデータが PSB から SL に送信されるまでにかかる時間  $T_{round}$  は数 ns の精度で

$$\begin{aligned}
 & (A + 2) [m] \times 4.91 [ns/m] + L_{downlink} [ns] + \\
 & (\text{PSB CLK Fine Delay} + \text{PSB Coarse Delay}) [ns] + C_0 [ns] + \\
 & L_{uplink} [ns] + (2 + A) [m] \times 4.91 [ns] \\
 & = 2 \times (A + 2) [m] \times 4.91 [ns/m] + L_{downlink,max} [ns] + C_0 [ns] + L_{downlink} [ns]
 \end{aligned} \tag{4.3}$$

とかける。4.3.5 節より  $L_{uplink}$  が  $L_{downlink}$  と数 ns の精度で一致することを用いており、式中の等号は数 ns の精度での一致を意味する。 $(L_{downlink} + \text{PSB CLK Fine Delay} + \text{PSB Coarse Delay} [ns]) = (\text{最長のファイバー長} [ns]) = L_{downlink,max} [ns]$  である。また、本論では SL ~ Backend FPP 間・Backend FPP 内におけるファイバー長の設計長と実際の長さの差が数 ns の精度に対して無視できるほど小さいことを仮定する。この仮定の妥当性は今後実測によって十分に検証する。4.3.1 節 図 4.8 のフィット結果より、実際の長さ  $1$  m のファイバーを通る光通信

\*12 各上り線を通して読み出されるヒットデータに対する遅延パラメータは最も遅いヒットデータ到着タイミングに揃うように決定した。ただし、本論では最も到着の遅いヒットデータに対し遅延を掛けないものとした。最も到着の遅いヒットデータに対しても遅延をかけることができ、これは遅延パラメータを決定する際の自由度となる。ここに  $0$  でない遅延を書ける場合は、本論で決定した各遅延パラメータにその遅延を加える。

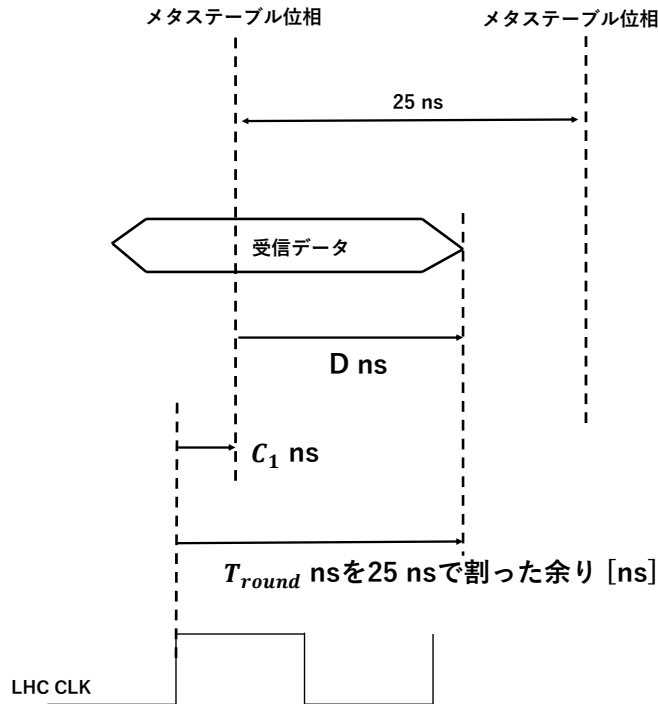


図 4.18  $D$  [ns] は受信データがメタステーブル位相よりどれだけ遅れた位相にあるかを表す。 $C_1$  [ns] はメタステーブル位相が LHC CLK よりどれだけ遅れた位相にあるかを表す。 $C_1$  [ns] はセットアップによらない定数と考える。LHC CLK に対する受信データの位相 [ns] =  $(T_{round}$  [ns] を 25 ns で割った余り [ns]) =  $C_1 + D$  [ns] と書ける。

の時間は 4.91 [ns/m] であることがわかっているため、式 4.3 中で SL ~ Backend FPP 間・Backend FPP 内のファイバーを通る光通信の時間は (設計長 [m])  $\times$  4.91 [ns/m] とした。

$L_{downlink}$  = (下り線のファイバー長測定結果 [ns]) - (ファイバー長測定のオフセット<sup>\*13</sup> [ns]) であり、(ファイバー長測定のオフセット [ns]) は定数である。同様に  $L_{downlink,max}$  = (最長の下り線のファイバー長測定結果 [ns]) - (ファイバー長測定のオフセット [ns]) である。(下り線のファイバー長測定結果 [ns]) は (同じ Sector、Station に属する下り線のファイバー長測定結果の平均値 [ns]) =  $X$  [ns] に置き換え<sup>\*14</sup>、(最長の下り線のファイバー長測定結果 [ns]) =  $X_{max}$  [ns] と書くことにする。

式 4.3 より、

$$T_{round} = 2 \times 4.91 \text{ [ns/m]} \times A \text{ [m]} + X_{max} \text{ [ns]} + X \text{ [ns]} + (\text{定数}) \quad (4.4)$$

という式が数 ns の精度で成立する。

ここで、図 4.18 のように SL の受信データがメタステーブル位相よりどれだけ遅れた位相にあるかを  $D$  [ns] で表す。さらに LHC CLK から見たメタステーブル位相を  $C_1$  [ns] とする。 $T_{round}$  の定義より、LHC CLK から見た受信データの位相は ( $T_{round}$  [ns] を 25 ns で割った余り) と書ける。一方でこれは  $C_1 + D$  [ns] と書ける (図

<sup>\*13</sup> 長さ 0 ns の測定対象に対するファイバー長測定系の応答。ファイバー長測定系 (4.2.2) でモニタークロックを JATHub に分配する Cat6 ケーブルの長さや基準クロックを SL から TAM を通って JATHub に分配する経路の長さによってこのオフセットが決まる。

<sup>\*14</sup> 同じ Sector、Station に属する下り線のファイバー長測定結果は数 ns の精度で等しいため、この置き換えのもとで数 ns の精度で式 4.4 が成立する

4.18)。つまり、

$$(\text{LHC CLK から見た受信データの位相 [ns]}) = (T_{\text{round}} [\text{ns}] \text{ を } 25 \text{ ns} \text{ で割った余り}) = C_1 + D [\text{ns}] \quad (4.5)$$

と書ける。式 4.4, 4.5 より、

$$(2 \times 4.91 \times A + X_{\text{max}} + X + (\text{定数}) [\text{ns}]) \text{ を } 25 \text{ ns} \text{ で割った余り} = C_1 + D [\text{ns}] \quad (4.6)$$

が数 ns の精度で成立する。式 4.6 中の定数項をまとめて、

$$D [\text{ns}] = (2 \times 4.91 \times A + X_{\text{max}} + X [\text{ns}]) \text{ を } 25 \text{ ns} \text{ で割った余り} + (\text{定数}) \quad (4.7)$$

が数 ns の精度で成立する。ここで、 $(X [\text{ns}] \text{ を } 25 \text{ ns} \text{ で割った余り}) := \text{Fine}(X) [\text{ns}]$  と  $D [\text{ns}]$  の関係を次のように実測した。

C side Sector7-Phi0/1 用の光幹線ケーブル + ブレイクアウトケーブルを用いた。この Sector において下り線のファイバー長測定結果の平均値は M1 Station で 372.4 ns、M2/3 Station で 609.1 ns であった。このとき、M1・M2/3 用下り線のファイバー長  $X [\text{ns}]$  に対する  $\text{Fine}(X) [\text{ns}]$  として Sector における平均値を用いると、M1 用ファイバーでは  $\text{Fine}(X) [\text{ns}] = 372.4 \text{ ns}$  を 25 ns で割った余り = 22.4 ns であり、M2/3 用ファイバーでは  $\text{Fine}(X) [\text{ns}] = 609.1 \text{ ns}$  を 25 ns で割った余り = 9.1 ns とかける。また、SL ~ Backend FPP 間には  $A = 2 \text{ m}$  のファイバーを用いた。最長のファイバー長測定結果は  $X_{\text{max}} [\text{ns}] = 680.2 \text{ ns}$  である。

このもとで、各上り線から SL が受信するデータとメタステーブルの位相関係  $D [\text{ns}]$  を次のように測定した。この測定において各上り線から SL が受信するデータにかかる SL Fine Delay は全て 0 ns とした。3.2.2 節のように PSB CLK Fine Delay を 1/56 ns 刻みで増価させることで SL 受信データ位相を遅らせていき、メタステーブル状態になる時の PSB CLK Fine Delay の値から  $D [\text{ns}]$  を取得した。

使用した C side Sector7-Phi0/1 用ファイバーについて、横軸を  $\text{Fine}(X) [\text{ns}]$ 、縦軸を各上り線から SL が受信するデータに対する  $D [\text{ns}]$  としたプロットを図 4.19 に示す。 $\text{Fine}(X) [\text{ns}]$  と  $D [\text{ns}]$  の関係は式 4.7 のように係数 1 の比例関係になることが期待されるが、これに矛盾しない結果になっている。図 4.19 より  $\text{Fine}(X) [\text{ns}]$  と  $D [\text{ns}]$  の関係式として

$$D [\text{ns}] = (\text{Fine}(X) + 12.5 [\text{ns}]) \text{ を } 25 \text{ ns} \text{ で割った余り} \quad (4.8)$$

が数 ns の精度で成立する。式 4.7 と比較して、 $A = 2 \text{ m}$ 、 $X_{\text{max}} = 680.2 \text{ ns}$  であることを踏まえると

$$D [\text{ns}] = (2 \times 4.91 \times A + \text{Fine}(X_{\text{max}}) + \text{Fine}(X) + 12.7 [\text{ns}]) \text{ を } 25 \text{ ns} \text{ で割った余り} \quad (4.9)$$

が数 ns の精度で成立する。

$A = 2 \text{ m}$  かつ  $X_{\text{max}} = 680.2 \text{ ns}$  のとき、 $D = 0 \text{ ns}$  または  $25 \text{ ns}$  となるメタステーブル位相を回避するために、次のように SL Fine Delay を設定する。

$$\text{SL Fine Delay} = \begin{cases} 10 \text{ ns} & (7.5 \text{ ns} \leq \text{Fine}(X) [\text{ns}] < 17.5 \text{ ns}) \\ 0 \text{ ns} & (\text{Fine}(X) [\text{ns}] < 7.5 \text{ ns} \text{ または } 17.5 \text{ ns} \leq \text{Fine}(X) [\text{ns}]) \end{cases} \quad (4.10)$$

とする (図 4.20)。特に、最長の上り線では  $\text{Fine}(X_{\text{max}}) = 680.2 \text{ ns}$  を 25 ns で割った余り = 5.2 ns であり、SL Fine Delay を 0 ns とする。

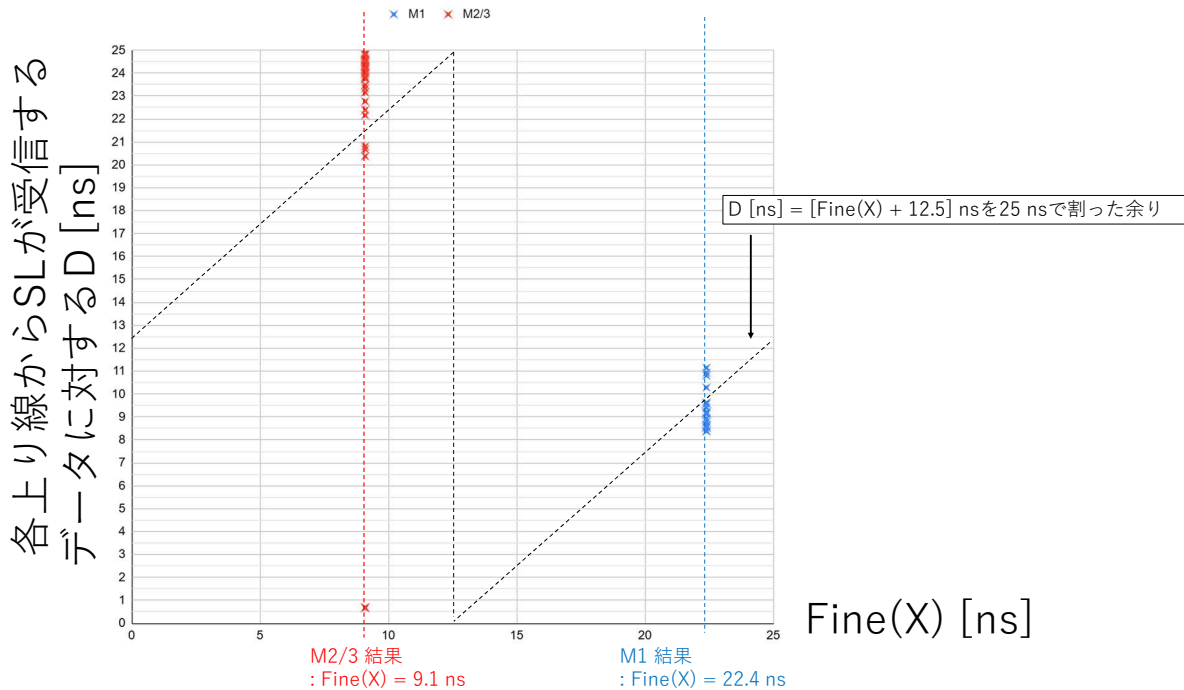


図 4.19 横軸を  $Fine(X)$  [ns]、縦軸を各上り線から SL が受信するデータに対する  $D$  [ns] とした図。  $D$  [ns] は  $A = 2$  m、 $X_{max} = 680.2$  ns のもとで SL Fine Delay = 0 ns として測定した。M1・M2/3 の結果を分けて表示してある。M1 用ファイバーでは  $Fine(X) = 3.7$  ns、M2/3 用ファイバーでは  $Fine(X) = 17.1$  ns である。M1 用上り線から SL が受信したデータに対して  $D$  [ns] は 24 ns 付近に分布している。ただし、 $D = 1$  ns 付近のものもあり、これは  $D = 24$  ns 付近の受信データよりさらに 2 ns 程度遅れて到着した受信データと考えられる。M2/3 用上り線から SL が受信したデータに対して  $D$  [ns] は 10 ns 付近に分布している。図のように M1・M2/3 の結果分布を通るような傾き 1 の直線を引くことができ、これは式 4.7 に矛盾しない。

本番運転では SL ~ Backend FPP 間のファイバー長  $A = 4$  m である。 $X_{max}$  は同様に 680.2 ns として式 4.9 を用いると

$$D \text{ [ns]} = (Fine(X) + 7.2 \text{ [ns]}) \text{ を } 25 \text{ ns} \text{ で割った余り} \quad (4.11)$$

$$(4.12)$$

が数 ns の精度で成立する。

このとき、 $D = 0$  ns または 25 ns となるメタステーブル位相を回避するために、

$$SL \text{ Fine Delay} = \begin{cases} 10 \text{ ns} & (12.8 \text{ ns} \leq Fine(X) \text{ [ns]} < 22.8 \text{ ns}) \\ 0 \text{ ns} & (Fine(X) \text{ [ns]} < 12.8 \text{ ns} \text{ または } 22.8 \text{ ns} \leq Fine(X) \text{ [ns]}) \end{cases} \quad (4.13)$$

と設定する (図 4.21)。

## 4.5.2 SL Coarse Delay

SL Fine Delay を 4.5.1 節のように決定した上で SL Coarse Delay は以下のように決まる。

$A = 2$  m、 $X_{max} = 680.2$  ns の場合を例に、各上り線から SL が受け取るデータに対する SL Coarse Delay の求め方を説明する。対象の上り線と同じ Sector、Station に属する下り線のファイバー長測定値の平均値を  $X$  [ns] とする。また、最長の下り線のファイバー長測定値を  $X_{max}$  [ns] とする。 $X$ 、 $X_{max}$  [ns] は 4.5.1 節中の定義と等し

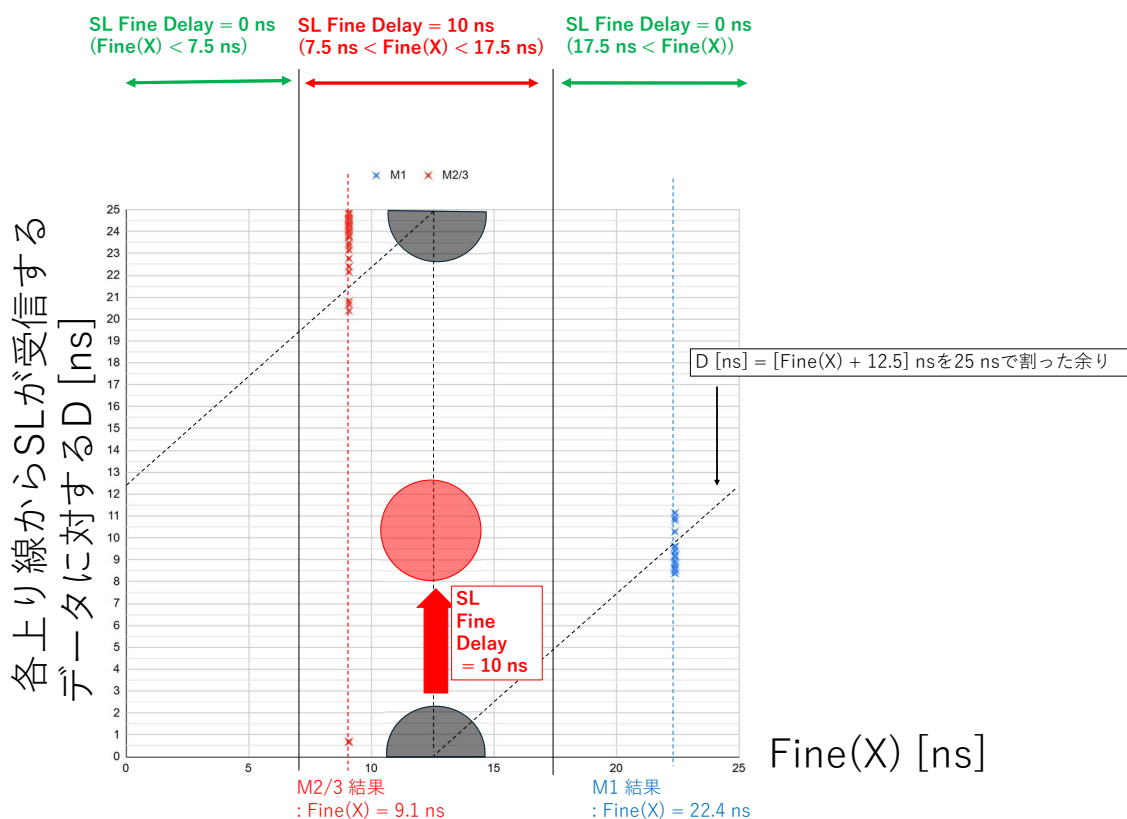


図 4.20  $A = 2$  m かつ  $X_{max} = 680.2$  ns の場合の SL Fine Delay の決め方。  $7.5 \text{ ns} \leq \text{Fine}(X) \text{ [ns]} < 17.5$  ns のとき SL Fine Delay = 10 ns、  $\text{Fine}(X) \text{ [ns]} < 7.5$  ns または  $17.5 \text{ ns} \leq \text{Fine}(X) \text{ [ns]}$  のとき SL Fine Delay = 0 ns とすることで  $D = 0$  ns または 25 ns のメタステーブル位相を回避する。

い。図 4.22 をもとに、各上り線から SL が受け取るデータに対する SL Coarse Delay は次の式で書ける。

$$N = (X_{max} - X \text{ [ns]}) \text{ を } 25 \text{ ns で割った商} \tag{4.14}$$

$$\text{SL Coarse Delay} = \begin{cases} 25 \times N \text{ ns} & (\text{Fine}(X) < \text{Fine}(X_{max}) = 5.2 \text{ ns} \text{ または } 7.5 \text{ ns} \leq \text{Fine}(X)) \\ 25 \times (N + 1) \text{ ns} & (\text{Fine}(X_{max}) = 5.2 \text{ ns} \leq \text{Fine}(X) < 7.5 \text{ ns}) \end{cases} \tag{4.15}$$

$A$  [m] を本番セットアップの値 (4 m) としたときの SL Coarse Delay も同様に決まる。  $X_{max} = 680.2$  ns とし、式 4.13 を用いて次のように書ける。

$$N = (X_{max} - X \text{ [ns]}) \text{ を } 25 \text{ ns で割った商} \tag{4.16}$$

$$\text{SL Coarse Delay} = \begin{cases} 25 \times N \text{ ns} & (\text{Fine}(X) < \text{Fine}(X_{max}) = 5.2 \text{ ns} \text{ または } 12.8 \text{ ns} \leq \text{Fine}(X)) \\ 25 \times (N + 1) \text{ ns} & (\text{Fine}(X_{max}) = 5.2 \text{ ns} \leq \text{Fine}(X) < 12.8 \text{ ns}) \end{cases} \tag{4.17}$$

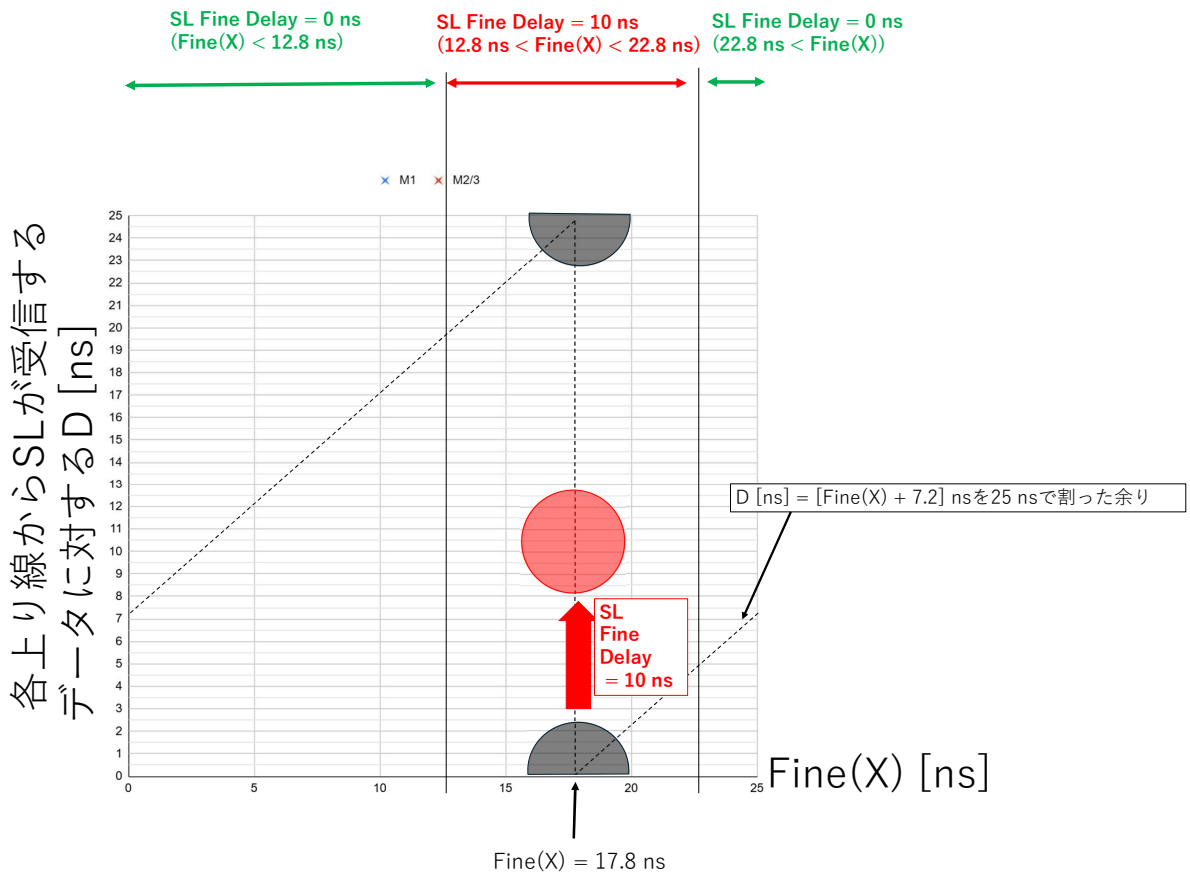
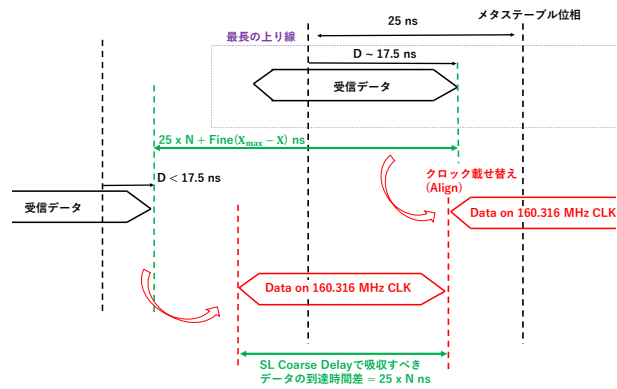
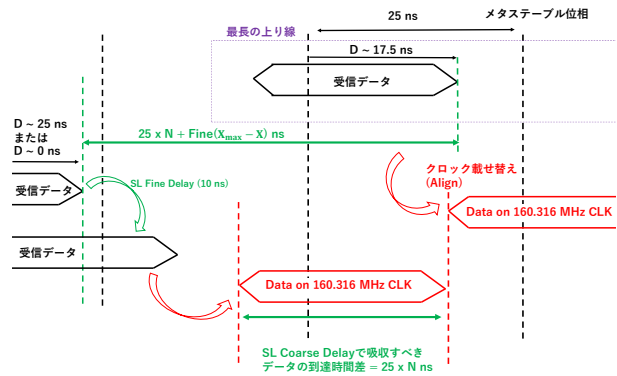


図 4.21 A = 4 m かつ  $X_{max} = 680.2$  ns の場合の SL Fine Delay の決め方。12.8 ns  $\leq$  X [ns] < 22.8 ns のとき SL Fine Delay = 10 ns、X [ns] < 12.8 ns または 22.8 ns  $\leq$  X [ns] のとき SL Fine Delay = 0 ns とすることで D = 0 ns または 25 ns のメタステーブル位相を回避する。

(a)



(b)



(c)

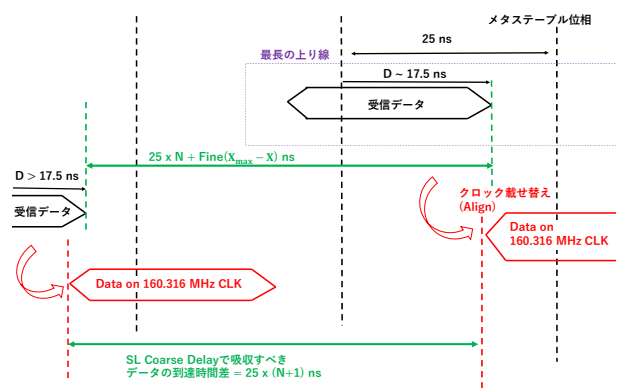


図 4.22 SL Coarse Delay を決定する模式図。160.316 MHz CLK 上に Align されたデータ (3.2.2 節参照) が最長の上り線に揃うように SL Coarse Delay を決める。最長の上り線に対して SL Fine Delay = 0 ns であることに注意する。最長の上り線では  $\text{Fine}(X_{\max}) = 5.2$  ns であり、式 4.8 より  $D$  [ns] は 17.5 ns 程度になっている。図中の  $N$  (式 4.16 中で定義) は 1 の場合を表している。(a)  $\text{Fine}(X) < \text{Fine}(X_{\max})$  または  $17.5 \text{ ns} \leq \text{Fine}(X)$  ns の場合。このとき SL Fine Delay = 0 ns であり、 $D$  は 17.5 ns 程度より小さい。図のように、SL Coarse Delay =  $25 \times N$  ns とすればよい。(b)  $7.5 \text{ ns} \leq \text{Fine}(X) < 17.5 \text{ ns}$  の場合。SL Fine Delay = 0 ns では  $D$  が 0 ns または 25 ns 付近の値になるため、SL Fine Delay = 10 ns とする。図のように SL Coarse Delay =  $25 \times N$  ns とすればよい。(c)  $\text{Fine}(X_{\max}) \leq \text{Fine}(X) < 7.5 \text{ ns}$  の場合。このとき SL Fine Delay = 0 ns であり、 $D$  は 17.5 ns 程度より大きい。図のように SL Coarse Delay =  $25 \times (N + 1)$  ns とすればよい。

## 第 5 章

# テストパルス機能を用いたトリガー及び読み出し回路の試運転

4 章でファイバー長測定により取得したタイミングパラメータを使い、タイミングの制御されたデータ読み出しができることを確かめた。さらに、本番を模した入力に対するトリガー回路の動作検証も行った。これらの試験を実現するため、CERN に本番を模したテストベンチを構築した。本章ではまずテストベンチのセットアップを説明する。次に TTC 信号分配及びヒットデータ読み出しのタイミング制御手法とその結果について述べる。最後にテストパルス機能を用いたトリガー及び読み出し回路の試運転を行った結果を述べる。

### 5.1 テストベンチのセットアップ

CERN に 1/24 Sector をカバーしシステム全体の統合的な試験 (統合試験) を行うテストベンチを作成した。構成する PSB が 1/24 Sector を部分的にカバーするテストベンチは従来の研究で高エネルギー加速器研究機構 (KEK) に設置されていたが、1/24 Sector すべてをカバーするテストベンチを今回初めて構築した。これにより、1 台の SL がカバーする全チャンネルからのデータ読み出し試験及びトリガー動作検証が可能になった。このテストベンチは本試験だけでなく今後の統合試験の拠点となる想定である。以下でテストベンチの構成について詳しく説明する。

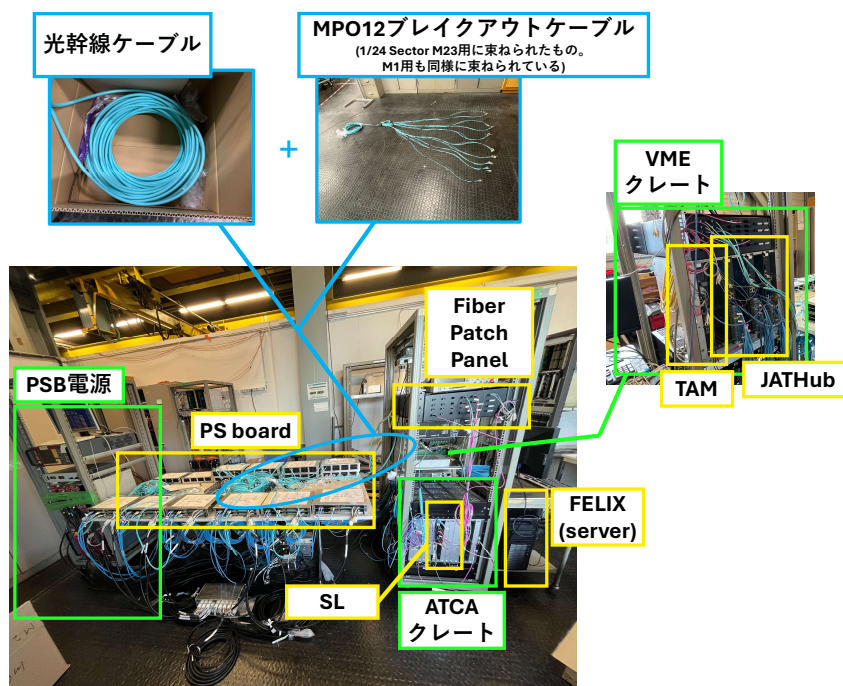
#### テストベンチの構成

図 5.1 にテストベンチのセットアップの概要を示す。これは検出器と ASD を除いて本番の 1/24 Sector と同じセットアップになっている。このテストベンチは 1/24 Sector をカバーし、PSB 29 台、JATHub 3 台、TAM 1 台、SL 1 台、FELIX 1 台から構成される。PSB 11 台が M1、18 台が M2/3 に用いられる。PSB には本番と同様に 1 から 29 までの番号が付けられ、番号 1 ~ 11 が M1、番号 12 ~ 29 が M2/3 に用いられる。SL とフロントエンドの間には Backend FPP を配置した\*1。PSB 電源は本番運転時と同じ仕様にした\*2。このテストベンチに、本番運転で C side Sector7-Phi0/1 に用いる光幹線ケーブル + ブレイクアウトケーブルをインストールし、ファイバー長測定結果を用いたタイミング制御を行った。C side Sector7-Phi0/1 の特に M1 用のファイバーはファイバー測定の結果もっとも短かったもので、最長のファイバーに揃えるためにもっとも Delay を必要とする個体であるため試験のベンチマークとして選んだ。SL にはファイバー長測定時と異なるビットストリームを用いた。これはファイバー長測定時に未実装であった SL Fine Delay (3.2.2 節) 等の機能を追加したためである。したがって 4.3.3 節で述

\*1 Backend FPP 内の配線とファイバーの規格は本番と同じ。ただし用いたファイバー個体は本番と異なる。

\*2 Power Supply に CAEN 製 A3100B, A3050D, A3025D モジュールを使い、Branch Controller に CAEN 製 R6060C モジュールを使った。

(a) 構築したテストベンチの画像



(b) テストベンチの概要図

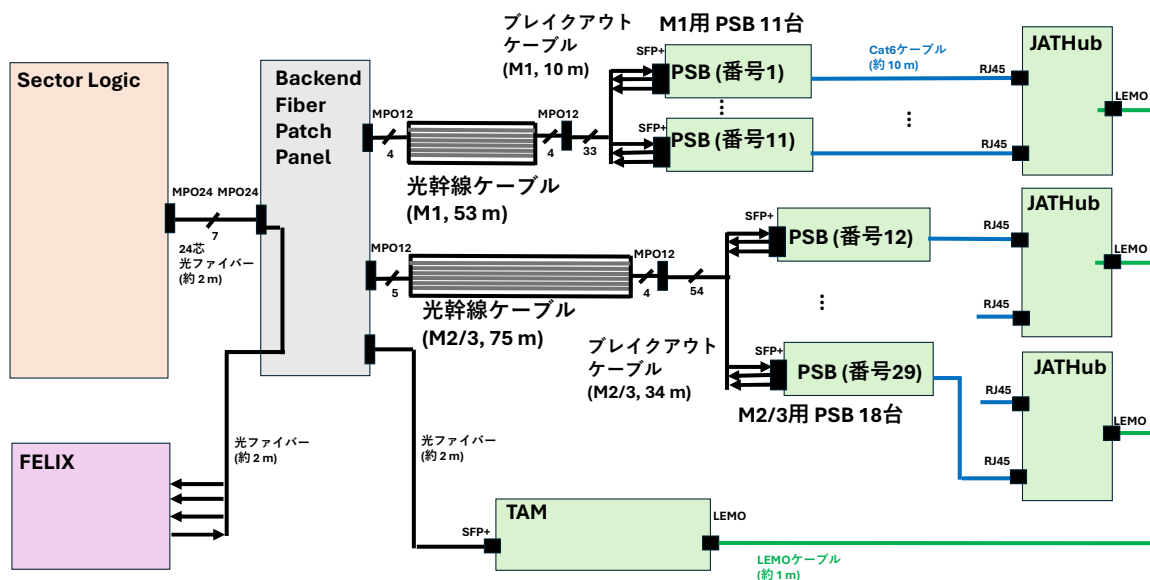


図 5.1 CERN に構築したテストベンチの概要図。これは検出器と ASD を除いて本番の 1/24 Sector と同じセットアップになっている。PSB 29 台、JATHub 3 台、TAM 1 台、SL 1 台、FELIX 1 台から構成される。各 PSB には本番と同様に PSB 番号が割り振られ、M1 には PSB 番号 1 ~ 11、M2/3 には PSB 番号 12 ~ 29 が属する。本試験期間中は C side Sector7-Phi0/1 の光幹線ケーブル + ブレイクアウトケーブルをインストールして試験を行った。この光幹線ケーブルの設計長は M1 用 53 m、M2/3 用 75 m であり、ブレイクアウトケーブルの設計長は M1 用 10 m、M2/3 用 34 m である。

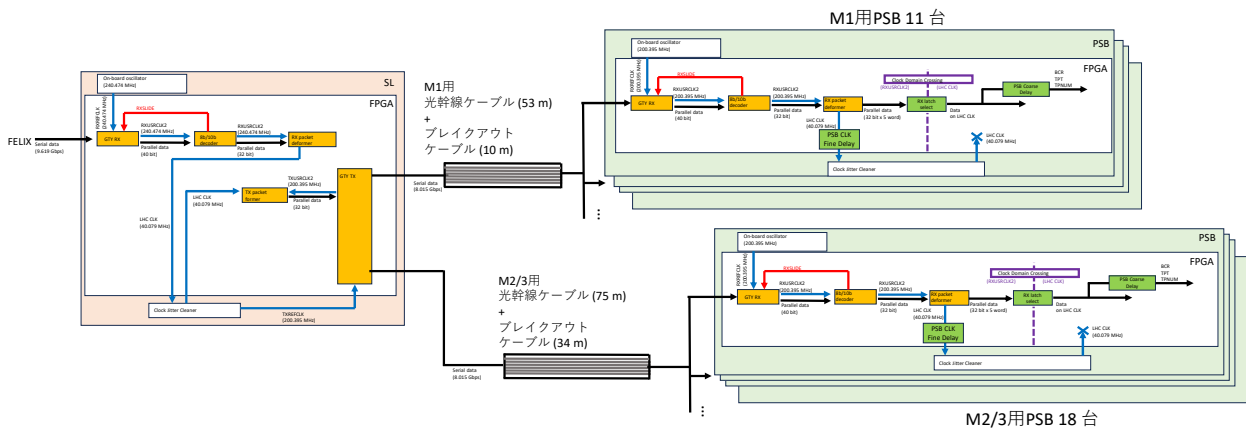


図 5.2 テストベンチの TTC 信号分配経路。

べたようにビットストリームの違いによる SL 内部パスの変化を考慮する必要がある。識別のため、ファイバー長測定時に使用した SL ビットストリームを SL Bitstream A、本試験で用いた SL ビットストリームを SL Bitstream B と呼ぶことにする。

## 5.2 TTC 信号分配のタイミング制御

図 5.2 がテストベンチの TTC 信号分配経路の概要図である\*3。テストベンチにおいて 4 章の方法で決定した TTC 信号分配経路中の可変遅延を PSB TTC 信号にかけ (PSB CLK Fine Delay を LHC CLK、PSB Coarse Delay を BCR 信号/TP 信号にかけ)、これが最長のファイバーに揃う様子をモニターした。ここで、テストベンチで使用した SL ビットストリーム (SL Bitstream B) はファイバー長測定時に使用した SL ビットストリーム (SL Bitstream A) と異なるため、4 章で求めた可変遅延パラメータに対して 4.3.3 節で述べた SL Bitstream の違いに対する補正をかける必要がある。PSB TTC 信号位相のモニターには JATHub 位相測定機能を用いた。さらに JATHub による PSB TTC 信号位相モニターによって SL Bitstream の違いに対する補正値も求めた。以下でその詳細を説明する。

### 5.2.1 JATHub による PSB TTC 信号位相モニター

図 5.3 のように各 PSB と JATHub を接続し、各 PSB の TTC 信号位相を JATHub 位相測定 (4.2.1 節参照) でモニターする。4 章でファイバー長測定にも用いられていた JATHub 位相測定機能であるが、本番運転ではこのようにして各 PSB TTC 信号位相をモニターするのに使う。JATHub 位相測定精度はファイバー長測定時に見たように 100 ps 程度であり (4.3.2 節)、テストベンチで行う JATHub 位相モニターにも同じ技術を用いているため、各測定精度は 100 ps 程度と考える。

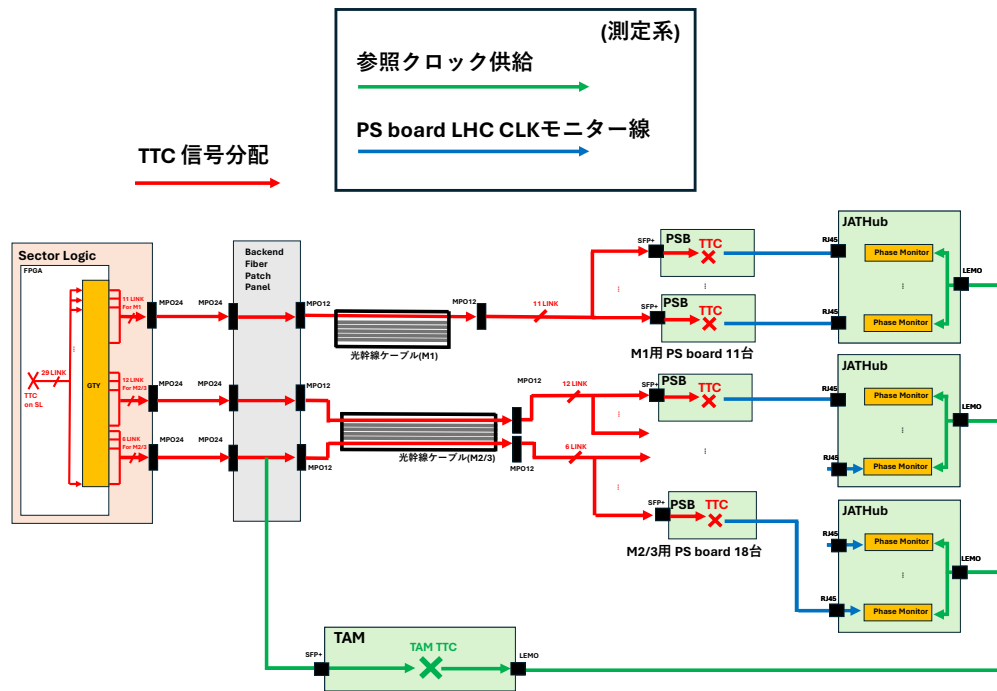


図 5.3 テストベンチの PSB 再構成 TTC 信号位相を JATHub 位相測定機能でモニターするセットアップ。JATHub は LAN ケーブルを通して各 PSB の TTC 信号 (LHC CLK または 202.42 kHz CLK) を取得し、その位相を TAM から LEMO ケーブルで受け取った基準クロックを用いてモニターする。JATHub は 1 台あたり 11 台の PSB を接続でき、本セットアップでは本番と同様に M1 用 PSB 11 台を 1 台目の JATHub、M2/3 用 PSB 18 台のうち 10 台を 2 台目の JATHub、残りの 8 台を 3 台目の JATHub に接続した。4 章でファイバー長測定にも用いられていた JATHub 位相測定機能であるが、本番運転ではこのようにして各 PSB CLK をモニターするのに使う。

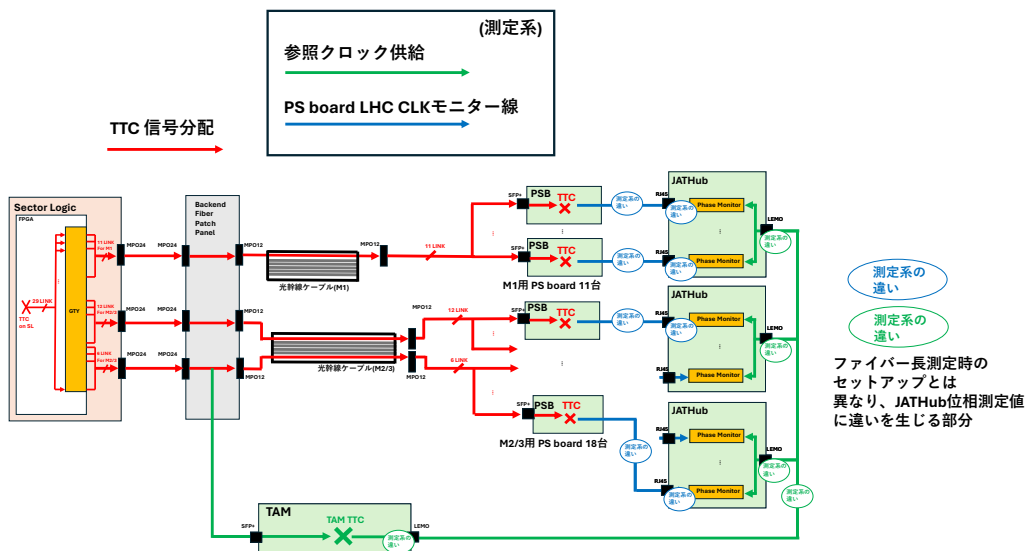
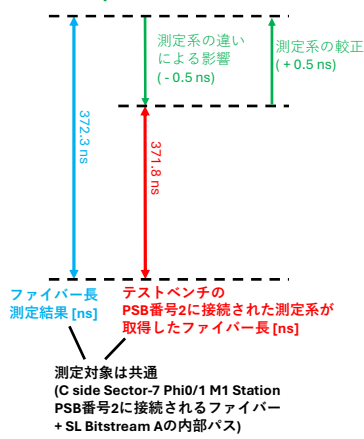
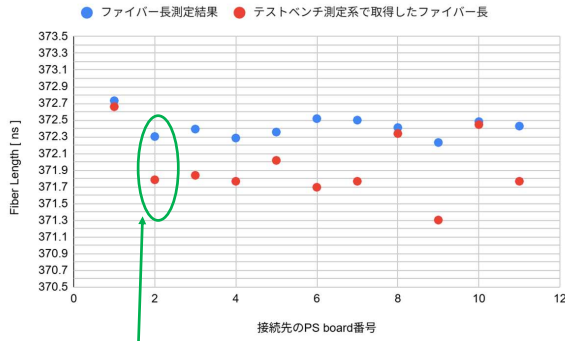


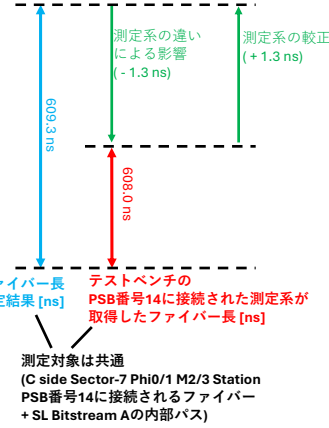
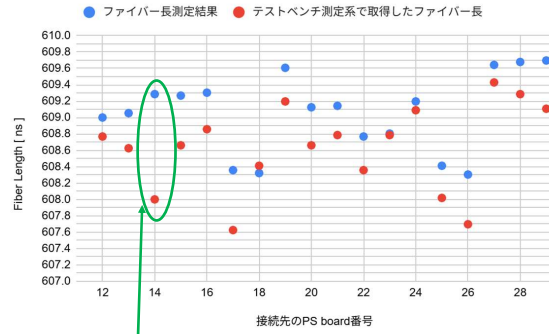
図 5.4 ファイバー長測定系とテストベンチの JATHub 位相測定系の違い。測定系において JATHub、Cat6 ケーブル、LEMO ケーブル、TAM の LEMO Port が異なる。

(a)

C side Sector-7 Phi0/1 M1用ファイバーの測定結果



C side Sector-7 Phi0/1 M2/3用ファイバーの測定結果



(b)

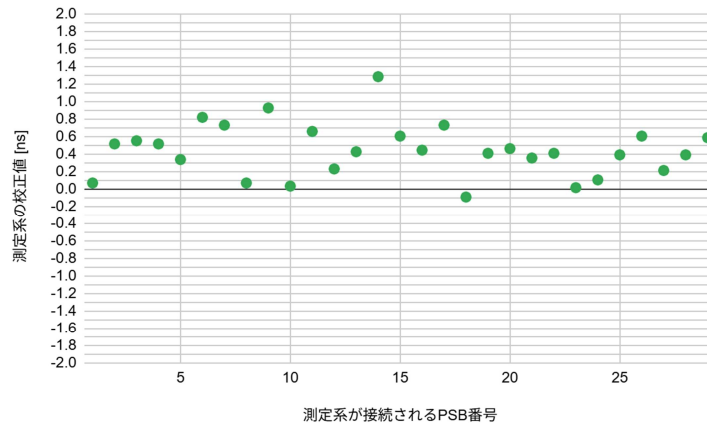


図 5.5 テストベンチの各測定系 (各 PSB につながらる測定系) に対し測定系の校正を行う様子。(a) テストベンチの各 PSB に C side Sector7-Phi0/1 のファイバーをつなぎ、SL には SL Bitstream A を用いた上で JATHub 位相測定を行った結果と、各ファイバーのファイバー長測定結果を比較した。用いている JATHub 位相測定系が異なるため、両者の結果は最大で 1 ns 程度異なる。横軸はファイバーに対する PSB 番号、縦軸は各測定系で取得したファイバー長 [ns]。(b) テストベンチ測定系の測定値をファイバー長測定値に合わせるように両者の差を吸収するようなパラメータ (測定系の校正値) を求めた。テストベンチ測定系で求めた JATHub 測定値に対して測定系の校正を行う際には、この測定系の校正値を測定値に加えればよい。横軸はファイバーに対する PSB 番号、縦軸は測定系の校正値 [ns]

### 5.2.2 測定系の較正

C side Sector7-Phi0/1 のファイバー長について、4 章のファイバー長測定時に JATHub 位相測定で取得した値と、テストベンチの JATHub 位相測定で取得する値は異なる。これは用いている JATHub 位相測定系が異なるからである。特に両者では測定系中の JATHub、Cat6 ケーブル、LEMO ケーブル、TAM の LEMO Port が異なり(図 5.4)<sup>\*4</sup>、これらの個体差によって JATHub 位相測定値に差が生じる。この差を吸収するような補正をかけ、テストベンチの JATHub 位相測定値をファイバー長測定時の JATHub 位相測定値に合わせる操作を測定系の較正と呼ぶ。テストベンチの各測定系(各 PSB TTC 信号位相を測定している測定系) どうしても同様に測定系の違いによる JATHub 位相測定値への影響がある。一方で測定系の較正を行えば、各測定系の測定値を単一の測定系(ファイバー長測定時の測定系)による測定と解釈できるようになり、異なる測定系間でも測定値の比較が可能になる。

図 5.5 でテストベンチの各測定系に対し測定系の較正を行う様子を示す。5.2.1 節のように C side Sector7-Phi0/1 のファイバーをテストベンチの各 PSB につなぎ、SL には SL Bitstream A を用いた上で JATHub 位相測定を行う。同じ測定対象に対して 4 章でファイバー長測定を行っているため、両者の結果を比較することで測定系の違いによる影響がわかる(図 5.5(a))。この違いを吸収するように測定系の較正值を決定した(図 5.5(b))。以降でテストベンチの測定系を較正する際にはこの較正值をテストベンチの測定系における JATHub 位相測定値に加えるものとする。

### 5.2.3 SL Bitstream の違いに対する補正

本試験では SL Bitstream A と異なるもの(SL Bitstream B)を用いたので、ファイバー長測定結果に対して 4.3.3 節のようにビットストリームの違いによる補正をかける必要がある。これは次のように測定した。

SL Bitstream B を用いてテストベンチの JATHub 位相測定系による PSB TTC 信号位相測定を行い、5.2.2 節で求めた測定系の較正を行うことで、SL Bitstream B を使用した際にファイバー長測定系で測定されるファイバー長を推定した(図 5.6)。この測定はテストベンチにインストールした C side Sector7-Phi0/1 用ファイバーに対してのみ行ったが、他 Sector のファイバー長測定結果に対してもここで求めた(SL Bitstream B を使用した際のファイバー長) - (SL Bitstream A を使用した際のファイバー長) を加えることで、SL Bitstream B を使用した際のファイバー長を知ることができる。

### 5.2.4 SL Bitstream B を用いた時の TTC 信号分配経路中のタイミングパラメータ

5.2.3 節で SL Bitstream B を用いた際のファイバー長を取得した。これをもとに 4 章の手法で C side Sector7-Phi0/1 における TTC 信号分配経路中のタイミングパラメータ(PSB CLK Fine Delay, PSB Coarse Delay, PSB 受信部ラッチ選択)を求めた(表 5.1)。特に、SL Bitstream B を用いた時の最長のファイバーは A side M2/3 Sector1-Phi2/3 PSB 22 に接続され、ファイバー長は 679.30 ns という値であったため、これに合わせて可変遅延を決定した。

<sup>\*3</sup> FELIX から受信した TTC 信号から SL LHC CLK を作成する経路について、現状は図 5.2 のようにクロックジッタークリーナーを通して LHC CLK を作成している。一方、将来的にはクロックジッタークリーナーを通さず FELIX からの受信データに同期した受信クロック(240.474 MHz)を分周することで LHC CLK を作成するよう実装を変更する。これは FELIX からの受信クロックと LHC CLK の間で Clock Domain Crossing を行わない簡潔な実装にするためである。

<sup>\*4</sup> Cat6 ケーブルと LEMO ケーブルについて、ファイバー長測定系とテストベンチ測定系で用いられていたものの設計長はそれぞれ同じであった。ただし、用いた個体は異なる。

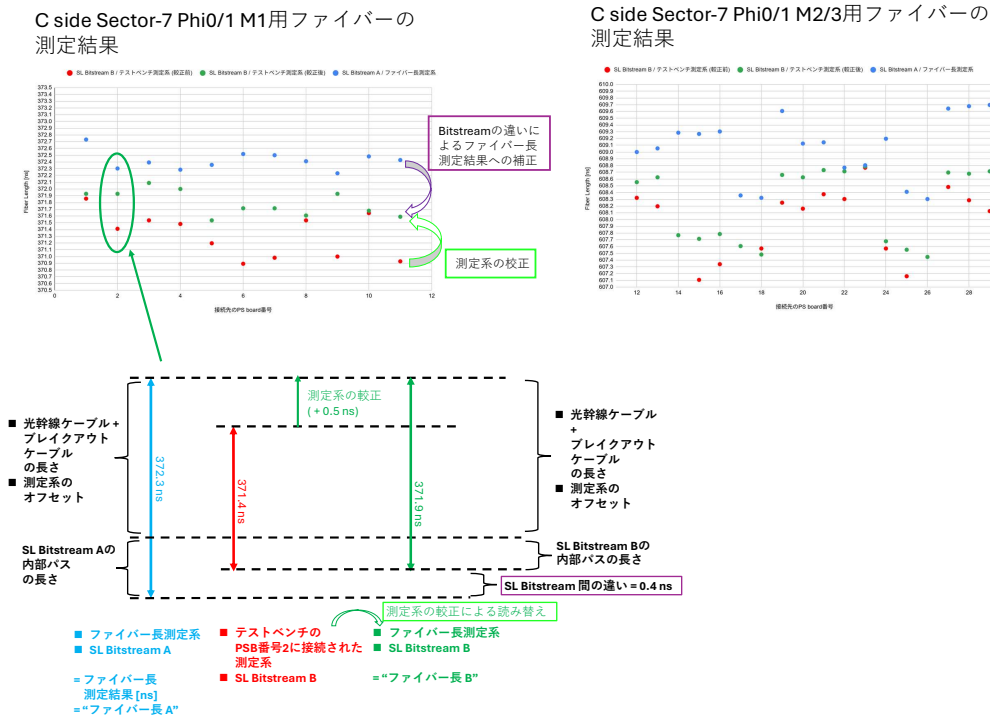


図 5.6 SL Bitstream の違いによるファイバー長測定結果への補正。C side Sector7-Phi0/1 用ファイバーをインストールした上で SL Bitstream B を用いてテストベンチの JATHub による PSB TTC 信号位相測定を行い、5.2.2 節のように測定系の較正を行うことで、SL Bitstream B を用いてファイバー長測定系で測定されると推定される C side Sector7-Phi0/1 のファイバー長を取得した。この値を"ファイバー長 B"と呼ぶ。4 章で求めたファイバー長測定結果は SL Bitstream A を用いてファイバー長測定系で測定した結果であり、この値を"ファイバー長 A"と呼ぶ。"ファイバー長 A"と"ファイバー長 B"の差を各 PSB につながる経路について求めることで、SL Firmware A と SL Firmware B を用いた時に各経路で生じる SL 内部パスの長さの差を求めることができる。4.3.3 節で見たように、SL Bitstream の違いによるファイバー長測定結果の変化量は SL GTY bank ごと共通になっている。図の横軸はファイバーに対する PSB 番号、縦軸は各セットアップで取得したファイバー長 [ns]

### 5.2.5 TTC 信号分配のタイミング制御結果

5.2.4 節で表 5.1 のように求めたパラメータを PSB に設定し、TTC 信号分配のタイミング制御を行った。この前後でテストベンチの JATHub による PSB TTC 信号位相モニターを行った結果が図 5.7 である。ここでは 5.2.2 節の測定系の補正を行った後の結果を表示している。タイミング制御を行う前には M1 用 PSB (PSB 番号 1 ~ 11) と M2/3 用 PSB (PSB 番号 12 ~ 29) で PSB TTC 信号位相に 240 ns 程度の差があり、さらに各 Station 内の PSB 間でも最大で 1 ns 程度 TTC 信号位相のばらつきがある。これに対し、最長のファイバーに対する PSB TTC 信号位相 (679.30 ns) に合わせるようにタイミング制御したところ、全 PSB で TTC 信号位相が 100 ps 程度の範囲で一致した。JATHub 位相測定の精度は 100 ps 程度と考えられるため (5.2.1 節)、測定精度の範囲で TTC 信号位相が揃えられていると言える。

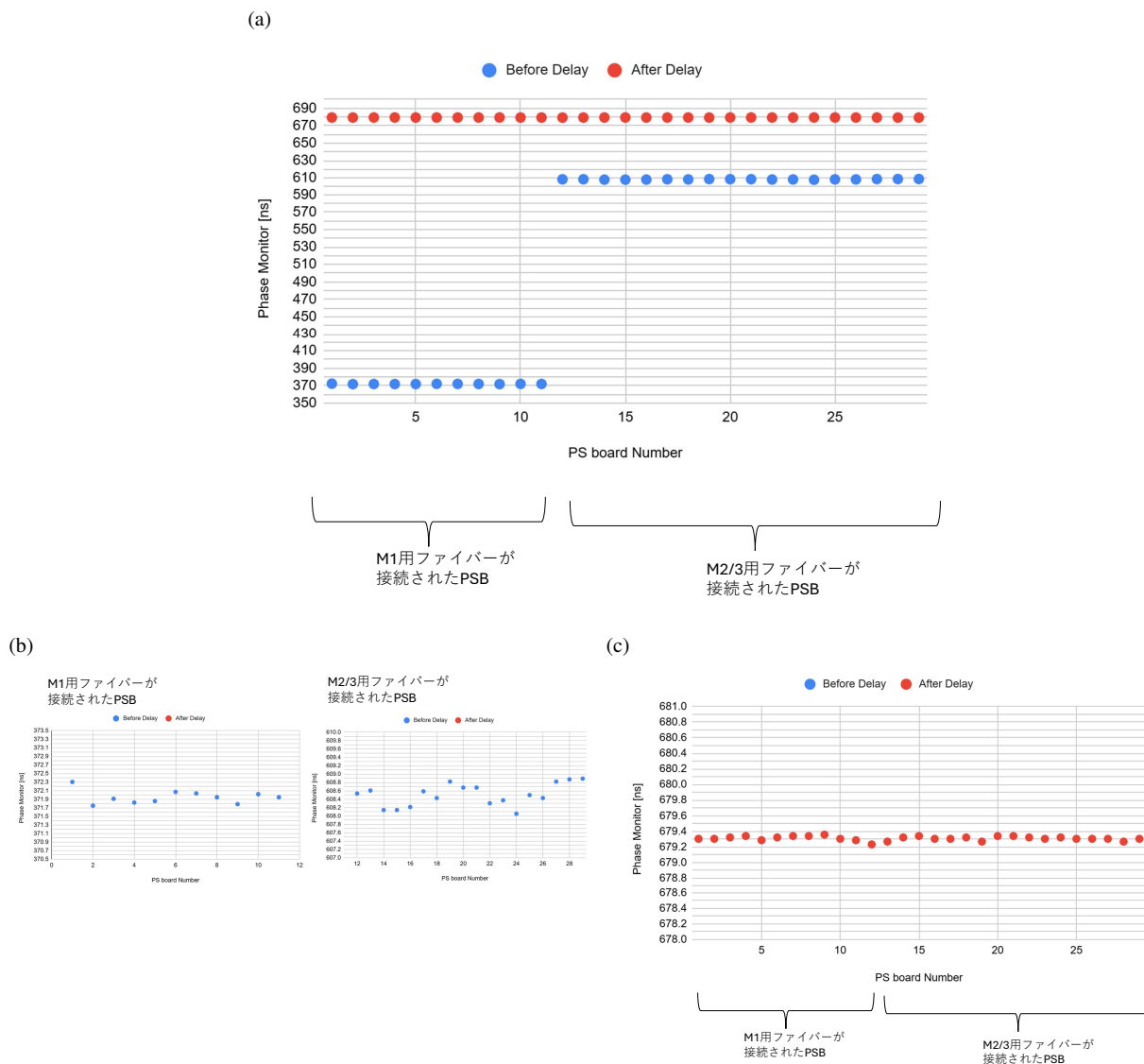


図 5.7 (a) TTC 信号分配のタイミング制御を行う前後の PSB TTC 信号位相測定値。これはテストベンチの JATHub で位相測定した値に測定系の校正 (5.2.2 節) をかけた値である。(b), (c) はそれぞれタイミング制御前と後の結果を拡大したもの。タイミング制御を行う前には M1 用 PSB (PSB 番号 1 ~ 11) と M2/3 用 PSB (PSB 番号 12 ~ 29) で PSB CLK 位相に 240 ns 程度の差があり、さらに各 Station 内の PSB 間でも最大で 1 ns 程度 CLK 位相のばらつきがある。これに対し、最長のファイバーに対する PSB TTC 信号位相 (679.30 ns) に合わせるようにタイミング制御したところ、全 PSB で TTC 信号位相が 100 ps 程度の範囲で一致した。JATHub 位相測定の精度は 100 ps 程度と考えられるため (5.2.1 節)、測定精度の範囲で TTC 信号位相が揃えられていると言える。図の横軸はテストベンチの PSB 番号、縦軸は PSB TTC 信号位相 [ns]

PSB 番号	PSB CLK Fine Delay (step)	PSB Coarse Delay (step)	PSB 受信部ラッチ選択
1	413	12	Positive Edge
2	413	12	Positive Edge
3	403	12	Positive Edge
4	409	12	Positive Edge
5	435	12	Positive Edge
6	424	12	Positive Edge
7	425	12	Positive Edge
8	430	12	Positive Edge
9	413	12	Positive Edge
10	427	12	Positive Edge
11	432	12	Positive Edge
12	1162	3	Positive Edge
13	1158	3	Positive Edge
14	1206	3	Positive Edge
15	1209	3	Positive Edge
16	1204	3	Positive Edge
17	1215	3	Positive Edge
18	1222	3	Positive Edge
19	1155	3	Positive Edge
20	1157	3	Positive Edge
21	1151	3	Positive Edge
22	1152	3	Positive Edge
23	1148	3	Positive Edge
24	1211	3	Positive Edge
25	1218	3	Positive Edge
26	1224	3	Positive Edge
27	1154	3	Positive Edge
28	1155	3	Positive Edge
29	1152	3	Positive Edge

表 5.1 5.2.4 節で決定された TTC 信号分配のタイミングパラメータの値。PSB CLK Fine Delay, PSB Coarse Delay の刻み幅はそれぞれ 1/56 ns, 25 ns である。

### 5.3 ヒットデータ読み出しのタイミング制御

図 5.8 がテストベンチのヒットデータ読み出し経路の概要図である。5.2 節で見たように、テストベンチにおいて TTC 信号分配のタイミング制御を行って PSB 間の TTC 信号位相を揃えた。さらに、4.5 節のように求めたヒットデータ読み出しのタイミングパラメータを設定する。このもとで、トラックテストパルスと呼ばれる試験手法を用い、本番運転を想定したヒットデータ読み出し回路の動作試験を実施した。その結果、タイミングの制御されたヒットデータ読み出しが可能であることを確かめた。

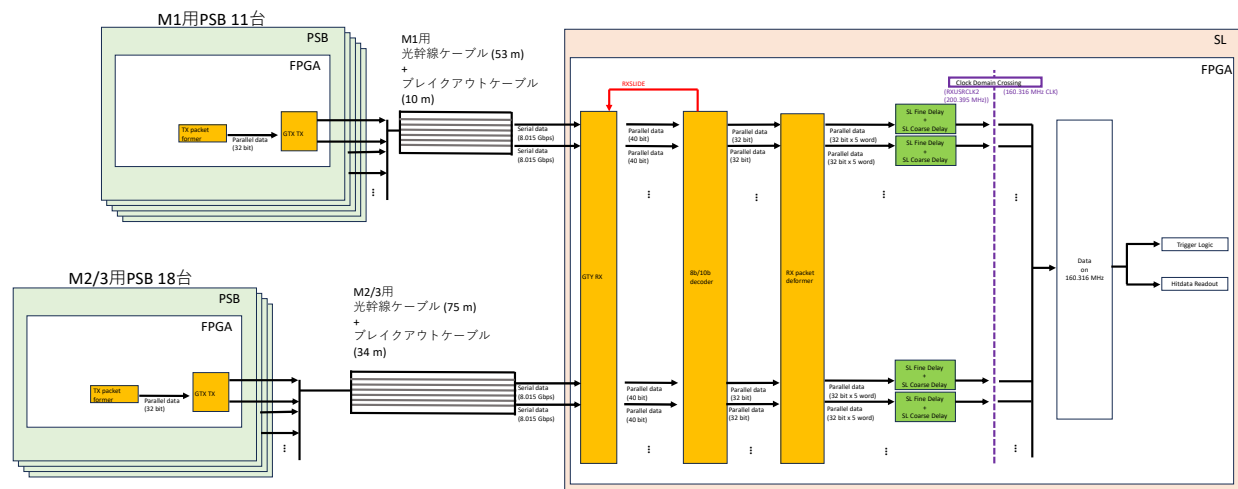


図 5.8 テストベンチのヒットデータ読み出し経路。

次に述べるように、トラックテストパルス試験によって 1/24 Sector の検出器に生じる任意のヒットを PSB から SL に読み出し、トリガー及び読み出し回路の動作試験が可能になる。トラックテストパルス試験は以下の 2 つで構成される。

- **PSB FPGA Test Pulse Generator**  
PSB FPGA から疑似的な検出器信号を生成する機能
- **SL TTC Emulator**  
SL FPGA から TTC 信号を疑似的に生成する機能

これらを用いることで、トラックテストパルス試験では PSB と SL のみという最小の構成でありながら 1/24 Sector のトリガー及び読み出し回路の検証に必要な十分な試験が可能になる。PSB FPGA Test Pulse Generator と SL TTC Emulator について詳細を述べ、トラックテストパルス試験について説明する。

### 5.3.1 PSB FPGA Test Pulse Generator

図 5.9 に示すように、PSB には FPGA Test Pulse Generator と呼ばれる機能があり、TTC 信号に含まれた TPT と TPNUM を受け取ると、FPGA 内の BRAM に格納されたテストヒットパターンのうち TPNUM に対応するものを SL に送ることができる。この機能を用いて、PSB を起点とした任意のヒットデータの読み出し試験を行うことができる。

### 5.3.2 SL TTC Emulator

SL FPGA には TTC 信号を疑似的に生成する SL TTC Emulator と呼ばれる機能が実装されている。SL TTC Emulator から生成される TTC 信号に含まれる各要素について以下で説明する。

- **BCR**  
指定した BCR 周期ごとに BCR 信号が発行される。BCR 周期は 4096 以下の任意の値が指定でき、通常は陽子バンチが LHC を 1 周する周期 (3564 BC) に設定されている。
- **BC 番号**

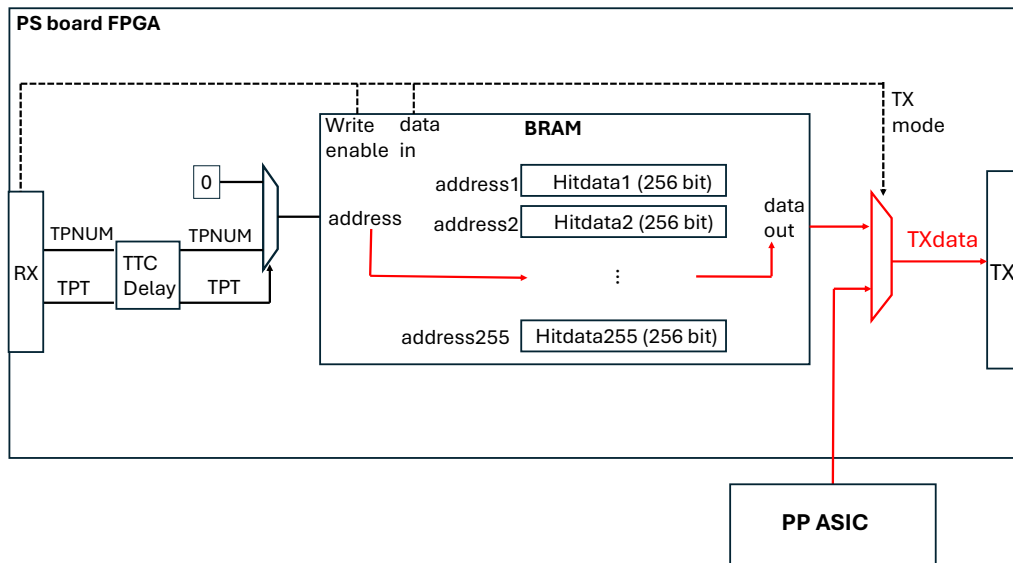


図 5.9 PSB FPGA Test Pulse Generator の概要図。まず PSB FPGA 内の BRAM の各アドレスに 256 bit のテストヒットパターンを格納しておく。SL から PSB に渡す TTC 信号の中に 6 bit の TPNUM と TPT 信号が含まれており、これらが PSB FPGA に到達すると BRAM から TPNUM のアドレスに格納されたテストヒットパターンが読み出される。PSB から SL に読み出す TX data には通常運転時には PP ASIC から受け取ったヒットデータが入るが、FPGA Test Pulse Generator を用いる際には TX data に BRAM から読み出したテストヒットパターンが入るようにスイッチ (TX mode) を切り替える。

BCR 信号と同時に BC 番号が 0 になり、BCR 信号がないときは 1 BC ごとに 1 ずつ増えていく

- **TPT**

shot mode と auto mode がある。shot mode では SL Zynq MPSoC からパルスを打ち込み、そのタイミングで単発の TPT が発行される。auto mode では BCR と同時に周期的に TPT が発行される

- **TPNUM**

constant mode と increment mode がある。constant mode は指定した値が TPT と同時に発行される。increment mode は auto mode の TPT と共に用いられ、TPT が発行されるごとに TPNUM が 1 ずつ増えていく。

また、SL TTC Emulator は TPT から固定時間 (L0 Emulated latency) 後に SL L0 Buffer へ L0A を発行する役割をもつ。L0A を発行するごとに L0ID と呼ばれる値が 1 ずつ足され、SL から FELIX に送られる。

### 5.3.3 トラックテストパルス試験

4 章のようにパラメータを調整して TP 信号が SL から各 PSB へ同時に分配されるようにしておき、そのうえで PSB FPGA Test Pulse Generator と SL TTC Emulator を合わせてトラックテストパルス試験が実現される (図 5.10)。トラックテストパルス試験により、1/24 Sector の検出器に生じる任意のヒットを PSB から疑似的に生成することができるようになり、任意のヒットに対するトリガー及び読み出し回路の動作試験が可能になる。

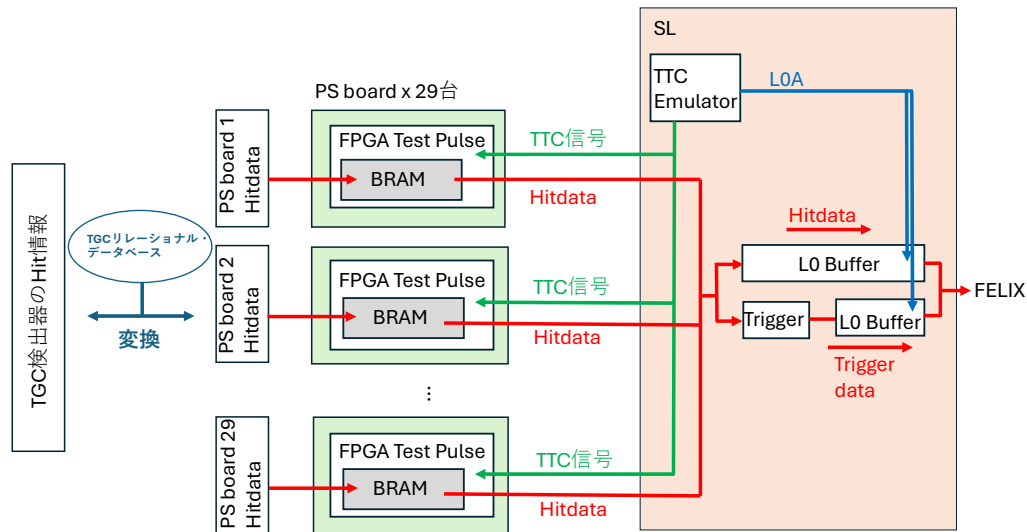


図 5.10 トラックテストパルス試験の概要図。1/24 Sector をカバーする 29 台の PSB と SL を接続し、各 PSB の FPGA Test Pulse Generator 中の BRAM にテストヒットパターンを格納しておき、SL から各 PSB に同時に TPT と TPNUM を分配することで、1/24 Sector の検出器で生じる任意のヒットを PSB から疑似的に生成することができる。検出器チャンネル上のヒットとテストヒットパターンの対応付けには [14] で整備されたリレーショナル・データベースを用いる。

### 5.3.4 SL Fine Delay, SL Coarse Delay の決定

4.5 節で述べた方法を用いて、テストベンチの SL にかけるべき SL Fine Delay と SL Coarse Delay を決定した (表 5.2)。ただし、テストベンチセットアップにおいて SL ~ Backend FPP 間のファイバー長  $A = 2$  m、最長の下り線のファイバー長測定結果  $X_{max} = 679.30$  ns であり\*5、この値を用いて計算した (4.5 節参照)。4.5 節で述べたように、最長の上り線から受け取ったヒットデータが SL トリガー及び読み出し回路に入力されるタイミングに合わせて、各上り線から受け取ったヒットデータに対して SL Coarse Delay をかける。

### 5.3.5 ヒットデータ読み出しタイミングの測定

5.3.3 節のトラックテストパルスを用いて各ヒットがどのタイミングで読み出されるかを調べる手法を説明し、読み出し結果を示す。

#### 手法

まず PSB FPGA BRAM に全チャンネルにヒットがある場合のテストヒットパターンを格納しておく。次に L0 Emulated latency の値を 1 BC ずつ変えながら、SL TTC Emulator から TPT を shot mode で 1 回発行して FELIX に読み出したヒットデータを確認する、という手順を繰り返す (latency scan)。これにより、トラックテストパルス試験セットアップで各チャンネルのヒットが読み出される L0 Emulated latency がわかる。4 章のように PSB TTC 信号位相を揃えておけば、特に TPT を受けて各 PSB FPGA からヒットが出力されるタイミングは同じであるため、各ヒットが読み出される L0 Emulated latency の差は各ヒットが PSB FPGA から出力されてから SL L0 Buffer から出力されるまでの latency の差に対応する。

\*5 SL Bitstream B を用いており、SL ビットストリームの違いによるファイバー長測定結果への影響は補正してある。

PSB 番号	RX 番号	SL Fine Delay [ns]	SL Coarse Delay [BC]
1	0	0	12
1	1	0	12
2	0	0	12
2	1	0	12
3	0	0	12
3	1	0	12
4	0	0	12
4	1	0	12
5	0	0	12
5	1	0	12
6	0	0	12
6	1	0	12
7	0	0	12
7	1	0	12
8	0	0	12
8	1	0	12
9	0	0	12
9	1	0	12
10	0	0	12
10	1	0	12
11	0	0	12
11	1	0	12
12	0	10	2
12	1	10	2
13	0	10	2
13	1	10	2
14	0	10	2
14	1	10	2
15	0	10	2
15	1	10	2
16	0	10	2
16	1	10	2
17	0	10	2
17	1	10	2
18	0	10	2
18	1	10	2
19	0	10	2
19	1	10	2
20	0	10	2
20	1	10	2
21	0	10	2
21	1	10	2
22	0	10	2
22	1	10	2
23	0	10	2
23	1	10	2
24	0	10	2
24	1	10	2
25	0	10	2
25	1	10	2
26	0	10	2
26	1	10	2
27	0	10	2
27	1	10	2
28	0	10	2
28	1	10	2
29	0	10	2
29	1	10	2

表 5.2 テストベンチの各上り線に対する SL Fine Delay と SL Coarse Delay。C side Sector1-Phi0/1 の M1・M2/3 Station に属する下り線のファイバー長測定結果の平均値は M1: 371.8 ns、M2/3: 608.2 ns である。これより M1・M2/3 用上り線のファイバー長を数 ns の精度で推定し、SL Fine Delay・SL Coarse Delay を求めた (4.5 節参照)。

## 結果

1. TTC 信号分配のタイミングパラメータがすべて 0。ヒットデータ読み出しのタイミングパラメータがすべて 0。
2. 表 5.1 のように TTC 信号分配のタイミングパラメータを設定。ヒットデータ読み出しのタイミングパラメータはすべて 0。

3. 表 5.1 のように TTC 信号分配のタイミングパラメータを設定。表 5.2 のようにヒットデータ読み出しのタイミングパラメータを設定。

これらのそれぞれの場合で latency scan を行い、ヒットが読み出される L0 Emulated latency を調べた。ここでは L0 Buffer Depth を常に 327 BC という値に設定している。その結果を図 5.11 に示す。図の左の列が 1. の場合、中央の列が 2. の場合、右の列が 3. の場合である。図では、各 latency において各上り線に属する 128 チャンネルのうちいくつかのチャンネルに current BC tag\*<sup>6</sup>が付与されたヒットがあったかを Efficiency として表示している。図 5.11 の 3. の場合を見ると、5.2.5 節で PSB TTC 信号位相を揃えたうえで 5.3.4 節の手順によって全チャンネルのヒットを同じ latency で読み出すことに成功しているのがわかる。L0 Buffer にヒットデータが入力されてから出力されるまでの latency (L0 Buffer Depth) は指定の値 (327 BC) に固定されているため、特にこの結果はチャンネルのヒットが同じタイミングで L0 Buffer に入力されていることを意味する。L0 Buffer に入力するデータと SL トリガー回路に入力するデータは等しいため、3. のタイミング制御によって全チャンネルのヒットが同時にトリガー及びヒットデータ読み出し回路に入力されていることが確かめられた。

表 5.1, 5.2 のパラメータ値及び図 5.11 の結果から、1., 2., 3. において latency が図 5.12 のように決まっていると推測される。

### 5.3.6 トラックテストパルス auto mode を用いた latency の安定性の確認

5.2.5 節で PSB TTC 信号位相を揃えた上で、5.3.4 節の手順によって共通の latency で全チャンネルのヒットが読み出せることを確認した (5.3.5 節)。ここではこの latency が毎回のデータ読み出しで変わらないことを以下のように確認した。

5.3.5 節と同様に PSB FPGA BRAM に全チャンネルにヒットがある場合のヒットパターンを格納し、PSB と SL のパラメータを 5.3.5 節の 3. の場合と同じ値に設定した。このもとで auto mode を用いて BCR に同期した TPT を発行し、L0 Emulated latency を 400 という値に固定してデータ読み出しを行った。この時は TPNUM を constant mode で指定した。この試験により、連続した 10,000 回のデータ読み出しにおいて共通の latency で全チャンネルからヒットデータが読み出せていることを確認した。結果の一部を図 5.13 に示す。

さらに、SL, PSB を再起動してもこの結果が変わらないことを確認した。

## 5.4 トラックテストパルスを用いたトリガー及び読み出し回路の試運転

本番運転を想定して、トラックテストパルス試験において PSB から出力されるヒットデータに無限運動量飛跡のデータセットを用いた。無限運動量飛跡とは、衝突点から直線的に TGC 検出器に入射する粒子飛跡である。このヒットデータを PSB から受け取ったとき、SL から意図した通りのヒットが制御されたタイミングで読み出せることを確認した。さらに SL トリガー回路の出力も確認し、期待される出力を確認した。

### 5.4.1 無限運動量飛跡の作成

TGC 検出器はスタッガリング構造を取っており、ステーション内のワイヤーは互いに  $\eta$  方向にずらして、ストリップは互いに  $\phi$  方向にずらして設置されている。3 層の各チャンネルが重複してカバーする  $\eta$  領域、 $\phi$  領域を代

\*<sup>6</sup> 2.2.5 節で述べたように、SL があるイベントに対する L0A を受け取った場合、そのイベントの BC(current)・その 1 つ前の BC(previous)・1 つ後の BC(next)・2 つ後の BC(next-to-next) の 4 BC 分のデータが L0 Buffer から後段回路へ読み出される。それぞれのデータに含まれるヒットは current, previous, next, next-to-next を表す BC tag が付与されて FELIX へと読み出される。5.3.5 節の試験では shot mode の TPT を発行するため、FELIX に読み出されるヒットデータは 1 BC 分であり、その他の BC にはヒットがないためデータが Zero Suppress されることが期待される。

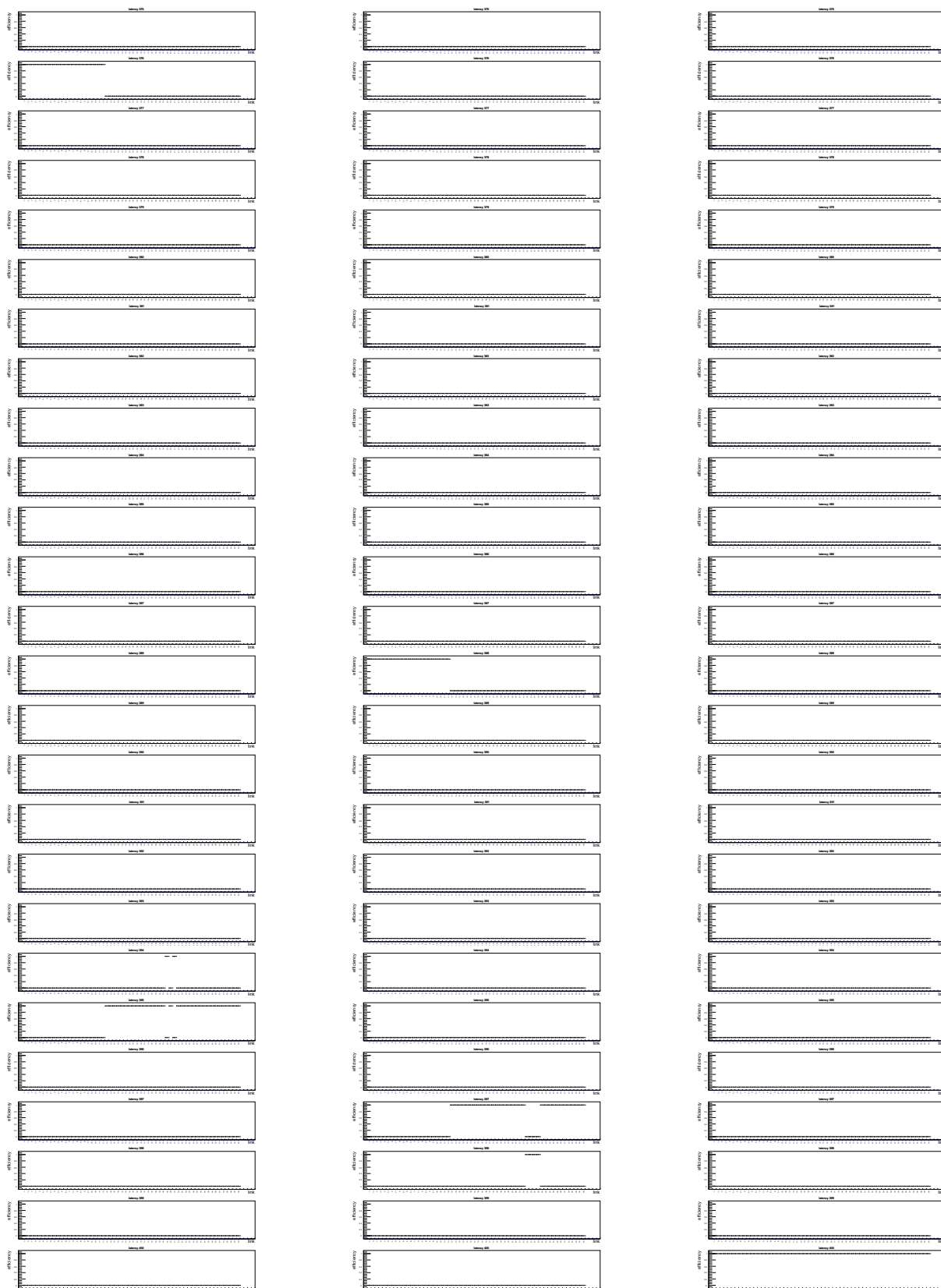
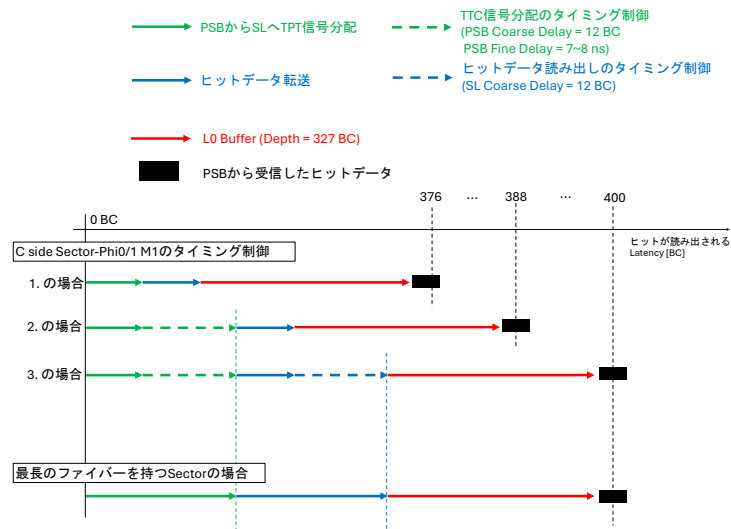


図 5.11 プロットの横軸は各上り線の ID であり、[PSB 番号]-[各 PSB に繋がる 2 本上り線を識別する番号 (1 または 2)] となっている。縦軸は各 latency において各上り線に属する 128 チャンネルのうちいくつかのチャンネルに current BC tag されたヒットがあったかを Efficiency として表示している。(左), (中央), (右) はそれぞれ 1., 2., 3. の場合の latency scan 結果を表しており、上から順に L0 Emulated latency 375 ~ 400 のときのプロットを表示している。(左) 1. の場合の latency scan 結果。M1 のヒットは latency 378 で読み出され、M2/3 のヒットは latency 394 または 395 で読み出されており、合わせて全チャンネルのヒットが読み出されている。(中央) 2. の場合の latency scan 結果。M1 のヒットは latency 388 で読み出され、M2/3 のヒットは latency 397 または 398 で読み出されており、合わせて全チャンネルのヒットが読み出されている。(右) 3. の場合の latency scan 結果。全チャンネルのヒットが latency 400 で読み出されている。

(a) C side Sector7-Phi0/1 M1 Station のタイミング制御



(b) C side Sector7-Phi0/1 M2/3 Station のタイミング制御

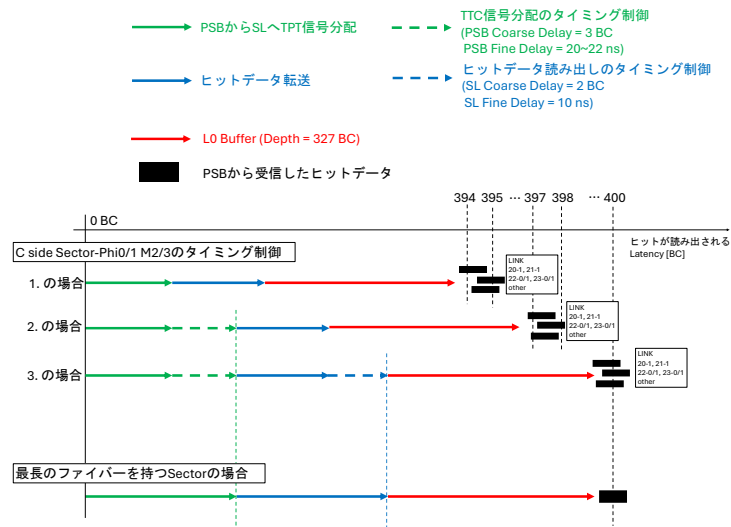


図 5.12 図 5.11 で 1., 2., 3. の場合にヒットの読み出し latency が遷移していく様子を模式的に表した図。(a) では M1 から来たヒット、(b) では M2/3 から来たヒットの読み出しを図示している。設定したパラメータに合わせて読み出し latency が変化しているのがわかる。M2/3 用のヒットに 22 ns 程度の PSB CLK Fine delay をかけているが、このとき 3.1.3 節 図 4.16 のように同じ TTC 信号をラッチするタイミングは PSB CLK Fine delay をかける前と比べて 3 ns 程度早くなる。従って M2/3 PSB からヒットデータを受信するタイミングは 22 ns 程度遅れるのではなく 3 ns 程度早くなることに注意。

表点と呼ぶ(図 5.14)。これにより TGC 検出器は位置分解能向上及びデータ量の削減を実現している。ここで、M3 の各代表点と同じ  $\eta$  に位置する M1、M2 代表点に同じ番号が割り振られるように定義したものを  $\eta$  ID と呼ぶ。 $\eta$  ID は各ステーション内の代表点に通し番号的に降られているわけではなく、M3 の代表点を起点に、その  $\eta$  に一番近い代表点を選ぶようにして値を割り振っている\*7。 $\phi$  方向は各ステーションで同じ  $\phi$  に位置する  $\phi$  代表点に

\*7 TGC 検出器が設置された当初は、各ステーションで  $\eta$  の位置分解能が均一になるようにワイヤーがバンドルされていたため、ステーション内で通し番号的に  $\eta$  ID を割り振ることができるはずであった。しかし、設置の段階で TGC 検出器の設置位置が  $z$  方向にずれたため、これはできなくなった

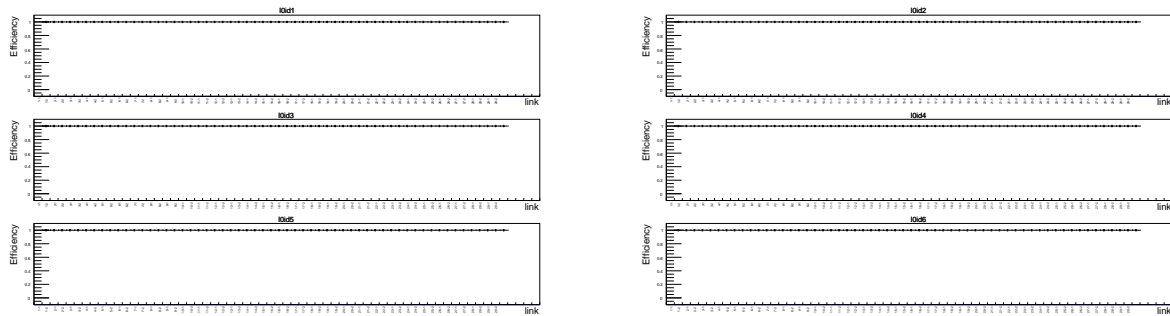


図 5.13 L0 Emulated latency = 400 に固定し、トラックテストパルス auto mode を用いたときに FELIX から読み出されたヒットデータの Efficiency。Ioid 1 ~ 6 が付与されたイベントについて表示して、横軸・縦軸は図 5.11 と同じ。これを見ると、共通の L0 Emulated latency (400) で読み出された Ioid 1 ~ 6 というイベントについて、ヒットデータが毎回全チャンネルに Efficiency = 1 で読み出されていることがわかる。

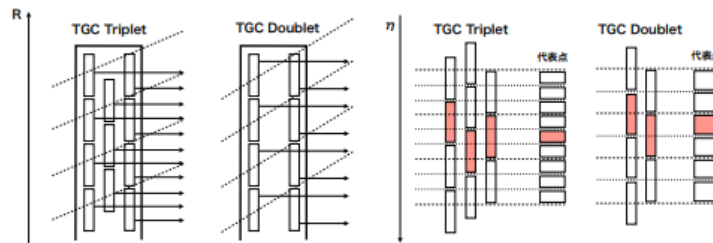


図 5.14 TGC 検出器ではステーション内のワイヤーは  $\eta$  方向に、ストリップは  $\phi$  方向にずらして設置されている。図は  $\eta$  方向のスタッガリング構造を表して、各層のチャンネルが重複してカバーする  $\eta$  領域を代表点と定義する ([15])。

通し番号的に  $\phi$  ID をつける。 $\eta, \phi$  ID は Endcap Phi0, Endcap Phi1, Forward 領域でそれぞれ定義され、 $\eta$  ID は Endcap 領域で (1 ~ 579)、Forward 領域で (1 ~ 243)、 $\phi$  ID は Endcap 領域で (1 ~ 63)、Forward 領域で (1 ~ 63) が定義される。[14] で開発されたテストヒットパターン生成機構では、 $\eta, \phi$  ID を指定すると、検出器全層 (Wire 7 層、Strip 6 層) でその代表点に対応するチャンネルにヒットがある場合のテストヒットパターンが生成される。これにより、任意の 2 次元座標点に入射する無限運動量飛跡のテストヒットパターンを作成できる。この機構は  $\eta, \phi$  ID が各検出器のチャンネル番号と紐づけられたリレーショナルデータベースを参照することで実現されている。

#### 5.4.2 無限運動量飛跡データセットを用いたヒットデータ読み出し

表 5.3 のように  $\eta, \phi$  ID を通る無限運動量飛跡のデータセットを作成し、PSB FPGA の各 Address に格納した\*8。これを用いて以下のトラックテストパルス試験を行い、意図した通りのヒットデータが制御されたタイミングで読み出せることを以下のように確認した。

5.3 節同様、TTC 信号分配とヒットデータ読み出しともにタイミング制御を行った。このもとで L0 Emulated latency を 400 に設定し、auto mode で TPT を発行した。また、このとき TPNUM は increment mode に指定した。この場合 SL TTC Emulator は

1. TPNUM = N で TPT 発行

\*8 Address 19,20,21,34,35,36 に格納したテストヒットパターンは無限運動量飛跡に対応したものになっていなかったことが試験後明らかになったため、本試験の考察対象から除外する。

Address	Section	$\eta$ ID	$\phi$ ID
1	Forward	24	21
2	Forward	24	41
3	Forward	24	61
4	Forward	54	21
5	Forward	54	41
6	Forward	54	61
7	Forward	84	21
8	Forward	84	41
9	Forward	84	61
10	Forward	114	21
11	Forward	114	41
12	Forward	114	61
13	Endcap 0	85	21
14	Endcap 0	85	41
15	Endcap 0	85	61
16	Endcap 0	185	21
17	Endcap 0	185	41
18	Endcap 0	185	61
22	Endcap 0	385	21
23	Endcap 0	385	41
24	Endcap 0	385	61
25	Endcap 0	485	21
26	Endcap 0	485	41
27	Endcap 0	485	61
28	Endcap 1	85	21
29	Endcap 1	85	41
30	Endcap 1	85	61
31	Endcap 1	185	21
32	Endcap 1	185	41
33	Endcap 1	185	61
37	Endcap 1	385	21
38	Endcap 1	385	41
39	Endcap 1	385	61
40	Endcap 1	485	21
41	Endcap 1	485	41
42	Endcap 1	485	61

表 5.3 表中の  $\eta, \phi$  ID を通る無限運動量飛跡に対応するテストヒットパターンを作成した。2. L0 Emulated latency = 400 BC 後に  $l0id = N$  で L0A を発行

を  $N$  が 1, 2, 3,... という順に繰り返す。

このときのヒットデータを FELIX で取得した。読み出されたデータのうち  $l0id = 1$  が付与されたものを例として、ヒットが読み出されたチャンネルを図 5.15 に示す。同様に FELIX で取得した読み出しデータのうち  $l0id = 1 \sim 42$  が付与されたものを確認し、すべて意図したチャンネルにヒットパターンが読み出されていることを確認した。

## 5.4.3 トリガー回路の動作検証

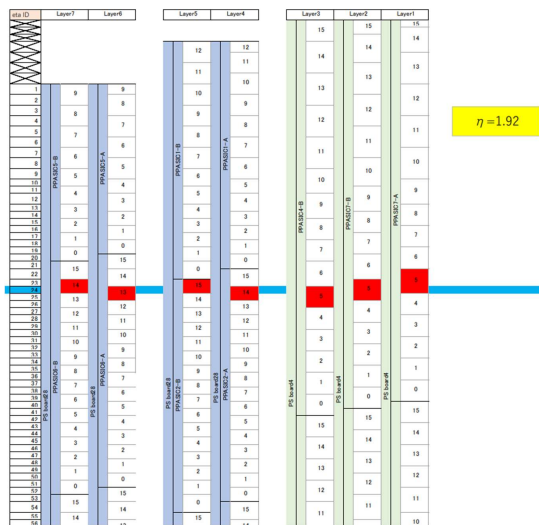
表 5.3 のヒットデータが SL に入力された際のトリガー回路の出力も以下のように調査し、期待される出力を確認した。

2.2.5 節で見たように、SL はトリガーデータ出力のデータ線を使ってトリガー回路中のいくつかの段階における応答を FELIX に出力させることができる ([16] 参照)。この中で、Wire Strip Coincidence の応答を調べた。

Wire Strip Coincidence 応答には、各飛跡候補ごとに表 5.4 のデータが含まれる\*<sup>9</sup>。表 5.1, 5.2 のようにパラメータを調整して、ヒットデータが同時にトリガー回路及びヒットデータ読み出し回路に入力されるようにした上で 5.4.2 節のトラックテストパルス試験を行った。データセットは表 5.3 を用いた。ここで、一般にトリガーデータが L0 Buffer に入力されるタイミングはヒットデータが L0 Buffer に入力されるタイミングよりトリガー処理の分遅くなる。そのためヒットデータ用の L0 Buffer Depth をトリガーデータ用の L0 Buffer Depth より長く設定する

\*<sup>9</sup> 複数の飛跡候補があるときには、Wire Strip Coincidence 中の Block Selector と呼ばれる機能で飛跡候補を選抜する。飛跡の選抜はマッチした層数の多さを基準に行い、マッチした層数も同じ場合は  $\Delta\theta, \Delta\phi$  がより小さいものを選ぶ ([16] 参照)。本試験では 1 BC 分のイベントに飛跡が 1 本だけあるようなヒットデータを用いたので、Wire Strip Coincidence 応答で 1 つの飛跡候補に対するデータが読み出される

(a) l0id=1 でヒットが読み出された Wire Channel



(b) l0id=1 でヒットが読み出された Strip Channel

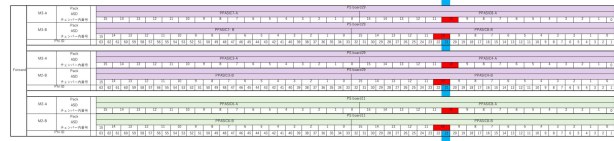


図 5.15 読み出されたデータのうち、l0id = 1 が付与されたもののヒットがあった場所。Wire Channel では  $\eta$  ID = 24, Strip Channel では  $\phi$  ID = 21 に対応する全層のチャンネルからヒットが読み出されており、これは入力として意図した  $\eta, \phi$  ID に等しい。

Number of bits	Name	Explanation
1	Valid flag	Wire Strip Coincidence 入力に Strip segment と Wire segment がそれぞれ 1 つ以上含まれていることを示す flag
4	$p_T$ threshold	Wire Strip Coincidence で Coincidence Window を使って計算されるミュオンの横運動量閾値。現状は 5 GeV、10 GeV、15 GeV、20 GeV の 4 段階の横運動量に対してそれぞれ 1, 2, 3, 4 の $p_T$ threshold 番号が出力される。
7	$\Delta\theta$	無限運動量飛跡と比較したときの $\theta$ 方向のずれ
4	$\Delta\phi$	無限運動量飛跡と比較したときの $\phi$ 方向のずれ

表 5.4 FELIX に出力される Wire Strip Coincidence 応答。Wire Strip Coincidence 入力に Strip segment と Wire segment がそれぞれ 1 つ以上含まれていることを示す valid flag、Wire Strip Coincidence で Coincidence Window を使って計算されるミュオンの横運動量閾値。

必要がある。さらに、トリガー回路中のどの段階の応答を見るかによって、異なる深さの L0 Buffer を用いる。今回は Wire Strip Coincidence の応答を調べたが、この出力データに用いられる L0 Buffer の Depth は 392 という値にビットストリーム内で固定されていたため、可変なヒットデータの L0 Buffer depth を調整してヒットデータと Wire Strip Coincidence 出力が同じ L0A で読み出されるようにした。5.3.5 節のように latency scan をしたところ、L0 Emulated latency = 472 という時に Wire Strip Coincidence 出力があった。そこで、ヒットデータ用の L0 Buffer Depth を 399 という値に設定してヒットデータも L0 Emulated latency = 472 で出力されるようにした。このもとで上記の TPT auto mode、TPNUM increment mode のトラックテストパルス試験を行い、L0 Emulated

latency = 472 の毎回の L0A に対してヒットデータと Wire Strip Coincidence 出力が共に出力されることを確認した。

Wire Strip Coincidence 応答として

- データセット中の全ての入力に対して valid flag = 1、 $p_T$  threshold = 4 が出力される

ことを確認した。無限運動量飛跡のデータセットを用いているため最大の  $p_T$  threshold である 4 という値が期待されるが、この結果はデータセット中の全ての入力に対して期待通りの出力が得られたことを意味する。

## 第 6 章

# 結論と今後の展望

本研究では、2030年に運転開始予定である高輝度 LHC-ATLAS 実験の本番運用に向けて、新しい TGC ミューオントリガーシステムのタイミングパラメータを決定し、さらに本番を模したテストベンチ環境を用いてタイミングの制御されたトリガー及び読み出し回路の試運転を行った。これらに対して以下の結果を得た。

TGC ミューオントリガーシステムは TTC 信号分配・ヒットデータ読み出しのタイミングパラメータを持つ。これらは TTC 信号分配・ヒットデータ読み出し用のファイバー長に依存するパラメータであり、パラメータを決定するためには TTC 信号分配用のファイバー長をサブナノ秒の精度・ヒットデータ読み出し用のファイバー長を 10 ns の精度で求める必要がある。そのために次を行った。TGC ミューオントリガーシステムの後段回路である SL から前段回路への PSB に TTC 信号を分配する全 1,392 本のファイバーの長さを測定した (ファイバー長測定)。ファイバー長測定により、本番運転における各 PSB への PSB TTC 信号分配時間を 100 ps 程度の精度で求めた。さらに直接測定により求めた TTC 信号分配用のファイバーの長さを同 Sector、Station の他のファイバーに外挿することで、PSB から SL へヒットデータを転送する全 2,784 本のファイバーの長さも数 ns の精度で推定した。これにより TTC 信号分配・ヒットデータ読み出しのファイバー長がそれぞれ十分な精度で求まり、全てのタイミングパラメータ (TTC 分配経路中の 4,176 個・ヒットデータ読み出し経路中の 5,568 個) が決定された。

1/24 Sector をカバーする本番を模したテストベンチを CERN に構築し、決定した TTC 信号分配のタイミングパラメータを設定した。このとき JATHub による PSB TTC 信号位相モニターにより、PSB TTC 信号位相が本番で想定されるように揃えられていることを確認した。さらに、決定したヒットデータ読み出しのタイミングパラメータを設定し、タイミングの制御されたヒットデータ読み出しができることを確認した。ヒットデータの読み出しにはトラックテストパルス試験と呼ばれる試験手法を用い、1/24 Sector の検出器に生じる任意のヒットに対するトリガー及び読み出し回路の動作試験が可能になった。TTC 信号分配とヒットデータ読み出しのタイミング制御を行った上で、トラックテストパルス試験により、衝突点からの直線飛跡 (無限運動量飛跡) に対応するヒットがあった場合のトリガー及び読み出し回路の動作試験も行った。その結果、意図したヒットを制御されたタイミングで読み出せることを確認し、期待されるトリガー回路出力を確認した。

2026 年から新しいエレクトロニクスのインストール、システムのコミッショニングが開始されるが、事前測定が必要な運転パラメータであった PSB TTC 信号遅延パラメータを決定し、本番と同じセットアップでその妥当性を示したことが本研究の大きな成果である。

本研究でテストベンチを CERN に構築したが、LHC-ATLAS 実験が行われる CERN オンサイトにシステムレベルの試験拠点が設置されたことは重要なマイルストーンである。これは初めて 1/24 Sector すべてをカバーするテストベンチでもあり、従来の 1/24 Sector M1 Station のみを対象としていたテストベンチと比較して、全検出器層を通る飛跡に対応するヒットを PSB から SL に読み出す試験が可能となった。本研究はこのようなヒットに対してトリガー及びヒットデータ読み出し回路の正常動作を確認した最初の試験であった。このテストベンチは今後のシステムレベルの動作検証における基盤となる。

---

本研究で用いたトラックテストパルス試験手法は LHC や検出器の稼働状況によらず TGC ミューオントリガーシステムの動作検証ができるという点でインストール・コミッショニング時や運転開始後の定期的なシステム診断時に使用されることが想定される。今回の試験で本番と同じセットアップ・本番と同じタイミングパラメータを用いたトラックテストパルス試験によりタイミングの制御されたヒットデータ読み出しを確認でき、試験手法の確立が達成された。今後は、独立に開発が進められてきた本番運転時のシステム制御ソフトウェアのフレームワークに対しトラックテストパルス試験機能を追加するなど、システムの動作試験手法としてさらに洗練させ、TGC ミューオントリガーシステムの安定運転に貢献することが期待される。

# 付録

## A SL と PSB 間のファイバルーティングに関する補足

SL と PSB 間における光幹線ケーブルとブレイクアウトケーブルのルーティングを説明し、これによって決められた設計長を記載する。関連して、Backend Fiber Patch Panel 内のファイバルーティングも記載する。

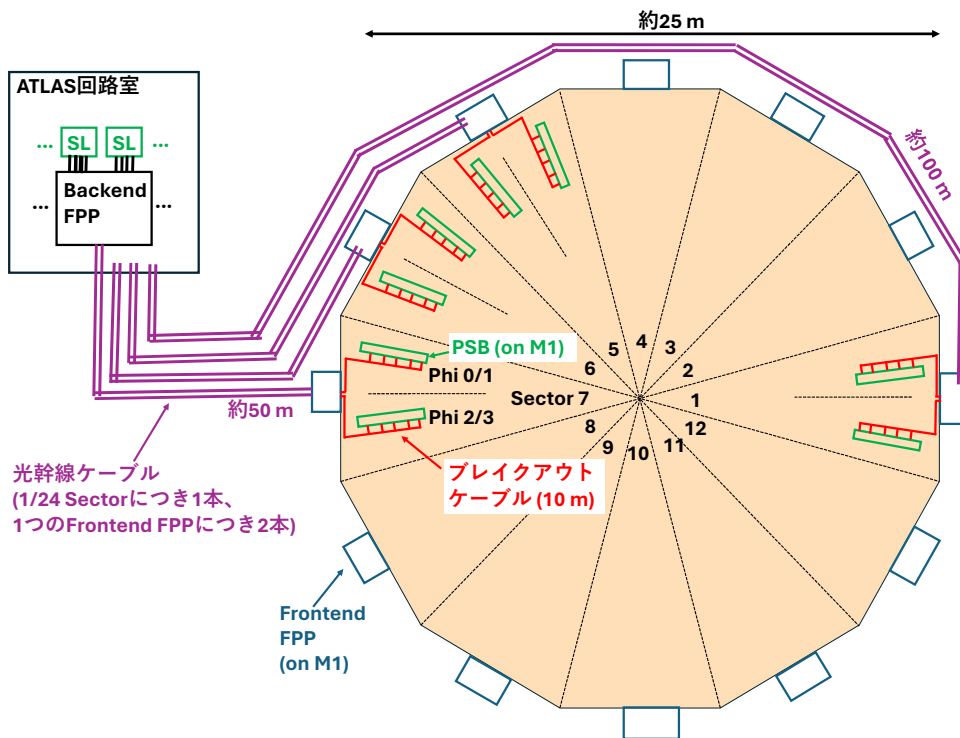


図 A.1 M1 用光幹線ケーブルとブレイクアウトケーブルのルーティング。光幹線ケーブルは一端を ATLAS 回路室の Backend Fiber Patch Panel (Backend FPP) に接続され、もう一端は M1 Station の各 1/12 Sector に配置された Frontend Fiber Patch Panel (Frontend FPP) でブレイクアウトケーブルに接続される。ATLAS 回路室は Sector7 側にあり、ATLAS 回路室から ATLAS 実験室に引き出された光幹線ケーブルは Sector7 付近から M1 Station 側面を添わせて各 Frontend FPP まで配線される。そのため、Sector7 側に用いる光幹線ケーブルは短く、Sector1 側に用いる光幹線ケーブルは長い。Frontend FPP で光幹線ケーブルと接続されたブレイクアウトケーブルは M1 Station 表面に 1/24 Sector ごとに置かれた M1 用 PSB 11 台に分配される。ブレイクアウトケーブルの設計長はどの Sector でも共通で 10 m である。

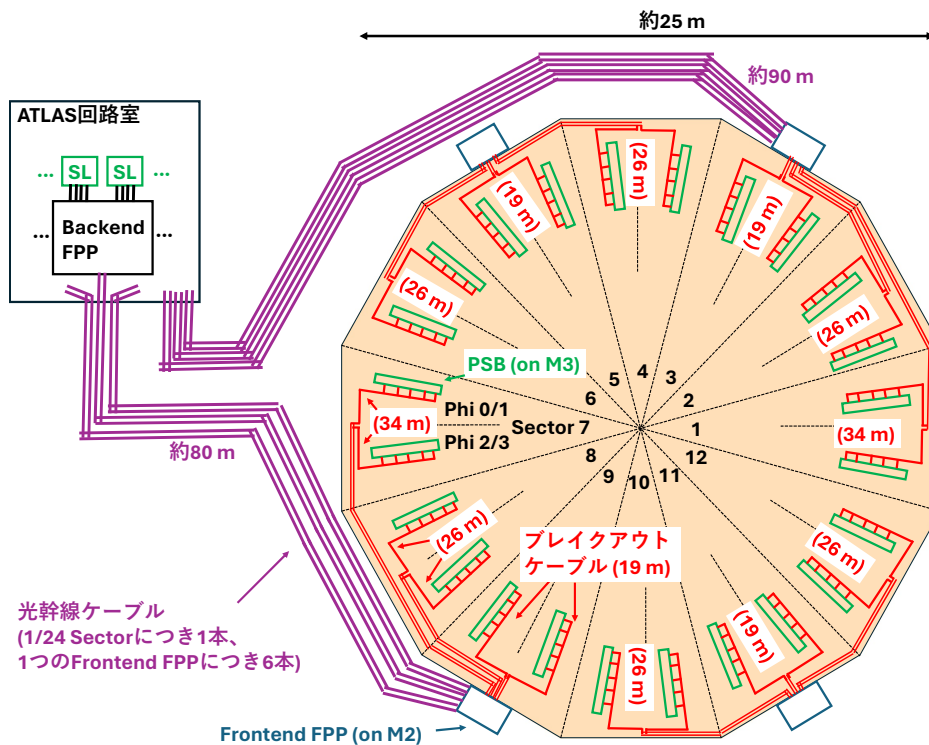


図 A.2 M2/3 用光幹線ケーブルとブレイクアウトケーブルのルーティング。光幹線ケーブルは一端を ATLAS 回路室の Fiber Patch Panel に接続され、もう一端は M2 Station に 4 箇所設置された Frontend FPP のうち 1 箇所所でブレイクアウトケーブルに接続される。各 1/12 Sector の PSB に接続される光幹線ケーブルが、どの Frontend FPP でブレイクアウトケーブルに接続されるかを表したのが表 A.1 である。ATLAS 回路室は Sector7 側にあり、ATLAS 回路室から ATLAS 実験室に引き出された光幹線ケーブルは M1 用光幹線ケーブルと同様に Sector7 付近で M1 Station に乗せられた後、Sector7 付近で M2 Station に移される。M2/3 用光幹線ケーブルはこのように M1 Station から M2 Station に移される分長くなっている。その後 M2 Station 側面を添わせて各 Frontend FPP まで配線される。そのため、Sector5, 9 上の Frontend FPP に接続される光幹線ケーブルは短く、Sector3, 11 上の Frontend FPP に接続される光幹線ケーブルは長い。Frontend FPP で光幹線ケーブルと接続されたブレイクアウトケーブルは M3 Station 表面に 1/24 Sector ごとに置かれた M2/3 用 PSB 18 台に分配される。ブレイクアウトケーブルの設計長は接続先の Frontend FPP と PSB の距離で決まり、Frontend FPP と PSB が同じ 1/12 Sector にある場合は 19 m、1 つ隣の 1/12 Sector にある場合は 26 m、2 つ隣の 1/12 Sector にある場合は 34 m である。

表 A.1 光幹線ケーブルの接続先の PSB が置かれた 1/12 Sector 番号と光幹線ケーブルが向かう Frontend FPP が置かれた 1/12 Sector 番号の対応

光幹線ケーブルの接続先の PSB が置かれた 1/12 Sector 番号	光幹線ケーブルが向かう Frontend FPP が置かれた 1/12 Sector 番号
1, 2, 3	3
4, 5, 6	5
7, 8, 9	9
10, 11, 12	11

Side	Station	1/12 Sector 番号	Phi 番号	光幹線ケーブルの設計長 [m]	ブレイクアウトケーブルの設計長 [m]
A	M1	1	0/1	100	10
A	M1	1	2/3	100	10
A	M1	2	0/1	89	10
A	M1	2	2/3	89	10
A	M1	3	0/1	81	10
A	M1	3	2/3	81	10
A	M1	4	0/1	74	10
A	M1	4	2/3	74	10
A	M1	5	0/1	67	10
A	M1	5	2/3	67	10
A	M1	6	0/1	60	10
A	M1	6	2/3	60	10
A	M1	7	0/1	55	10
A	M1	7	2/3	55	10
A	M1	8	0/1	65	10
A	M1	8	2/3	65	10
A	M1	9	0/1	72	10
A	M1	9	2/3	72	10
A	M1	10	0/1	79	10
A	M1	10	2/3	79	10
A	M1	11	0/1	86	10
A	M1	11	2/3	86	10
A	M1	12	0/1	92	10
A	M1	12	2/3	92	10
C	M1	1	0/1	98	10
C	M1	1	2/3	98	10
C	M1	2	0/1	87	10
C	M1	2	2/3	87	10
C	M1	3	0/1	79	10
C	M1	3	2/3	79	10
C	M1	4	0/1	72	10
C	M1	4	2/3	72	10
C	M1	5	0/1	66	10
C	M1	5	2/3	66	10
C	M1	6	0/1	58	10
C	M1	6	2/3	58	10
C	M1	7	0/1	53	10
C	M1	7	2/3	53	10
C	M1	8	0/1	63	10
C	M1	8	2/3	63	10
C	M1	9	0/1	70	10
C	M1	9	2/3	70	10
C	M1	10	0/1	77	10
C	M1	10	2/3	77	10
C	M1	11	0/1	84	10
C	M1	11	2/3	84	10
C	M1	12	0/1	90	10
C	M1	12	2/3	90	10

表 A.2 M1 用の光幹線ケーブルとブレイクアウトケーブルの設計長。

## A.1 光幹線ケーブルとブレイクアウトケーブルのルーティング

SL と PSB 間をつなぐ光幹線ケーブルとブレイクアウトケーブルについて、図 A.1 で M1 用、図 A.2 で M2/3 用のルーティングを示す。M1 用光幹線ケーブルは図 A.1 のように M1 Station の各 1/12 Sector に配置された Frontend FPP でブレイクアウトケーブルと接続される。その後ブレイクアウトケーブルは M1 Station 表面に 1/24 ごとに配置された M1 用 PSB 11 台に接続される。M2/3 用光幹線ケーブルは図 A.2 のように M2 Station の 4 箇所に配置された Frontend FPP でブレイクアウトケーブルと接続される。その後ブレイクアウトケーブルは M3 Station 表面に 1/24 ごとに配置された M2/3 用 PSB 18 台に接続される。このルーティングを考慮して各光幹線ケーブルとブレイクアウトケーブルの設計長が計算されている。

表 A.2, A.3 にそれぞれ M1 用、M2/3 用の光幹線ケーブルとブレイクアウトケーブルの設計長を示す。

関連して、各 1/12 Sector でブレイクアウトケーブルが各 PSB のどのデータ線に用いられるかを図 A.3 に示す。図 A.3 のように 1/24 Sector において M1 用の 4 本のブレイクアウトケーブルが PSB 11 台に接続され、M2/3 用の 5 本のブレイクアウトケーブルが PSB 18 台に接続される。SL-PSB 間の配線は Phi0/1 と Phi2/3 で等しい。JATHub の Ethernet 通信、SL-TAM 間の通信線のみ Phi0/1 と Phi2/3 で非対称になっている。1/24 Sector で

Side	Station	1/12 Sector 番号	Phi 番号	光幹線ケーブルの設計長 [m]	ブレイクアウトケーブルの設計長 [m]
A	M2/3	1	0/1	89	34
A	M2/3	1	2/3	89	34
A	M2/3	2	0/1	89	26
A	M2/3	2	2/3	89	26
A	M2/3	3	0/1	89	19
A	M2/3	3	2/3	89	19
A	M2/3	4	0/1	75	26
A	M2/3	4	2/3	75	26
A	M2/3	5	0/1	75	19
A	M2/3	5	2/3	75	19
A	M2/3	6	0/1	75	26
A	M2/3	6	2/3	75	26
A	M2/3	7	0/1	77	34
A	M2/3	7	2/3	77	34
A	M2/3	8	0/1	77	26
A	M2/3	8	2/3	77	26
A	M2/3	9	0/1	77	19
A	M2/3	9	2/3	77	19
A	M2/3	10	0/1	92	26
A	M2/3	10	2/3	92	26
A	M2/3	11	0/1	92	19
A	M2/3	11	2/3	92	19
A	M2/3	12	0/1	92	26
A	M2/3	12	2/3	92	26
C	M2/3	1	0/1	87	34
C	M2/3	1	2/3	87	34
C	M2/3	2	0/1	87	26
C	M2/3	2	2/3	87	26
C	M2/3	3	0/1	87	19
C	M2/3	3	2/3	87	19
C	M2/3	4	0/1	73	26
C	M2/3	4	2/3	73	26
C	M2/3	5	0/1	73	19
C	M2/3	5	2/3	73	19
C	M2/3	6	0/1	73	26
C	M2/3	6	2/3	73	26
C	M2/3	7	0/1	75	34
C	M2/3	7	2/3	75	34
C	M2/3	8	0/1	75	26
C	M2/3	8	2/3	75	26
C	M2/3	9	0/1	76	19
C	M2/3	9	2/3	76	19
C	M2/3	10	0/1	90	26
C	M2/3	10	2/3	90	26
C	M2/3	11	0/1	90	19
C	M2/3	11	2/3	90	19
C	M2/3	12	0/1	90	26
C	M2/3	12	2/3	90	26

表 A.3 M2/3 用の光幹線ケーブルとブレイクアウトケーブルの設計長。C side で Sector9 の光幹線ケーブルが接続される Backend FPP は Sector7, 8 と異なるラックに置かれるため、光幹線ケーブルの長さが異なることに注意。

SL-PSB 間の通信に用いるブレイクアウトケーブルは図 A.4 のように M1 用ブレイクアウトケーブル 4 本と M2/3 用ブレイクアウトケーブル 5 本がそれぞれ取り回しのしやすい形に束ねられている。

## A.2 Backend Fiber Patch Panel 内のファイバルーティング

図 A.5 に Backend Fiber Patch Panel (Backend FPP) 内のファイバルーティングを示す。1 つの Backend FPP は 1/12 Sector の配線をカバーしている。フロントパネル側 Phi0/1 用と Phi2/3 用のポートがそれぞれ 1 台の SL と 24 芯ファイバーで接続される。このファイバーは Backend FPP 内でバンドルし直され、リアパネルで光幹線ケーブルに接続される。リアパネルには Phi0/1 M1、Phi0/1 M2/3、Phi2/3 M1、Phi2/3 M2/3 用の 4 本の光幹線ケーブルが接続される。

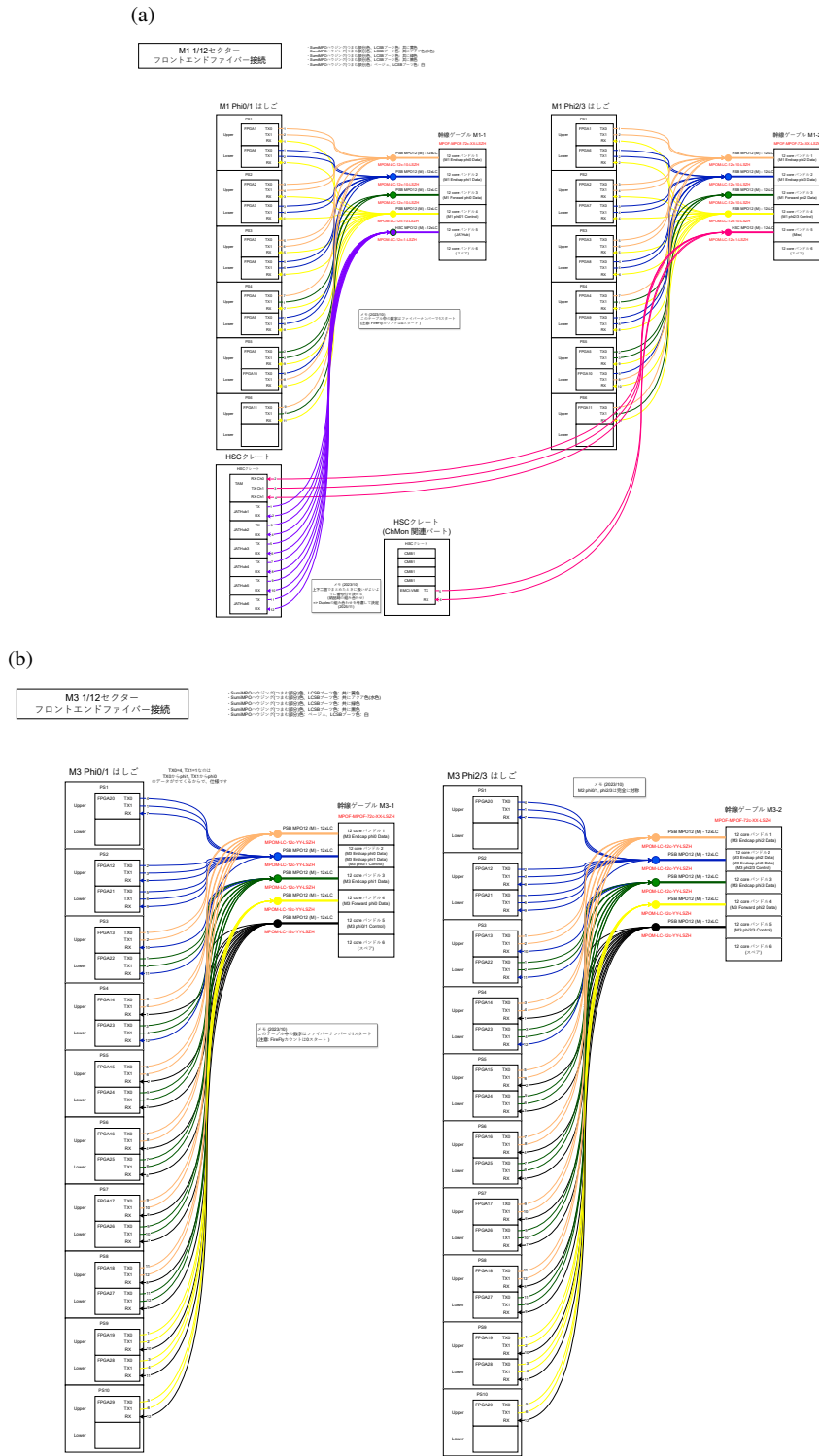


図 A.3 ブレイクアウトケーブルの配線図。1/12 Sector 内でブレイクアウトケーブルが各 PSB のどのデータ線に用いられるかを表示している。図中の FPGA1, FPGA2, ..., 29 という番号が 1/24 Sector の PSB に対して割り振られた PSB 番号 1, 2, ..., 29 を表す。(a) M1 用ブレイクアウトケーブルの配線図。1/24 Sector において SL と M1 用 PSB 11 台の接続には 4 本のブレイクアウトケーブルが用いられ、そのうちの 11 本が下り線、22 本が上り線として用いられる。これらが光幹線ケーブルの 12 芯ケーブル 6 本のうち 4 本に接続される。これら 4 本のブレイクアウトケーブルは図 A.4 のように束ねられている。また、光幹線ケーブルのうち 12 芯ケーブル 1 本は Phi0/1 であれば JATHub の Ethernet 通信、Phi2/3 であれば SL-TAM 間の通信に使われる。JATHub や TAM は PSB から離れた場所に置かれるため、これらに接続されるブレイクアウトケーブルは PSB に接続されるブレイクアウトケーブルとは束ねられない。(b) M2/3 用ブレイクアウトケーブルの配線図。1/24 Sector において SL と M2/3 用 PSB 18 台の接続には 5 本のブレイクアウトケーブルが用いられ、そのうちの 18 本が下り線、36 本が上り線として用いられる。これらが光幹線ケーブルの 12 芯ケーブル 6 本のうち 5 本に接続される。

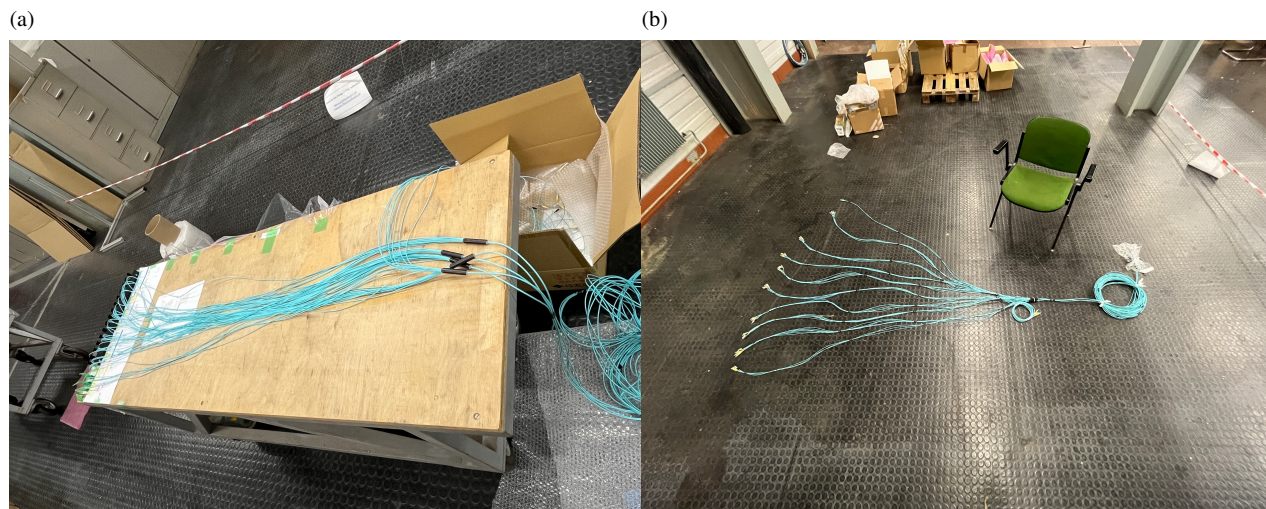


図 A.4 1/24 Sector において SL と PSB を接続するブレイクアウトケーブルを束ねた。(a) 束ねている時の様子。(b) 束ねられたケーブル。画像は M2/3 用のものであり、5 本のブレイクアウトケーブルが束ねられている。さらに分岐後の 1 芯ファイバーも共通の PSB につながる下り線 1 本と上り線 2 本が束ねられている。

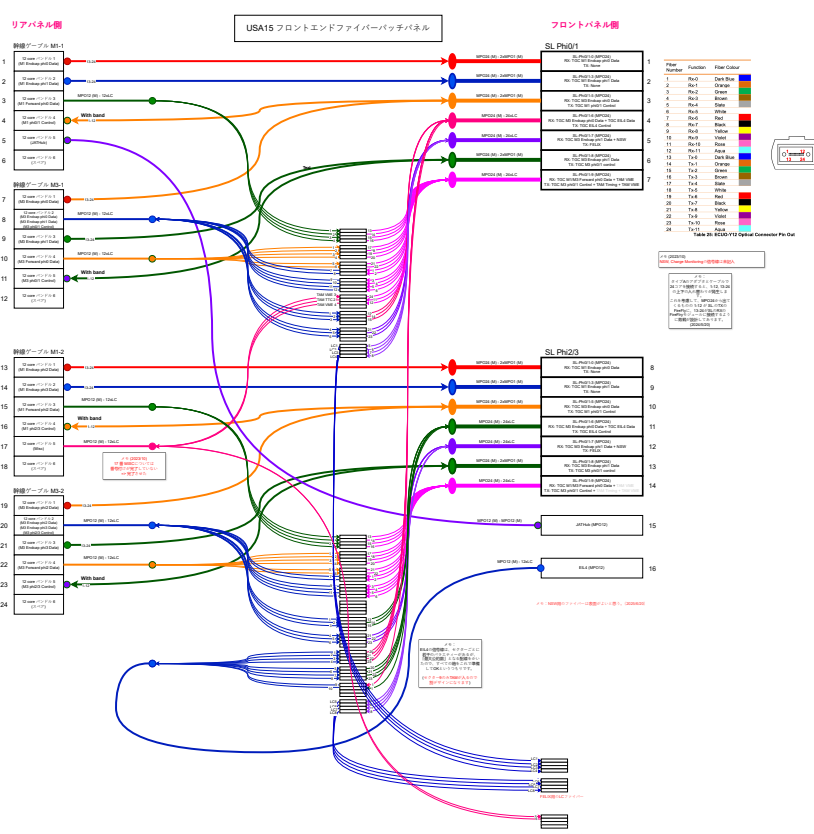


図 A.5 Backend Fiber Patch Panel (Backend FPP) 内のファイバルーティング。1 つの Backend FPP は 1/12 Sector の配線をカバーする。Phi0/1 と Phi2/3 の配線のうち SL-PSB 間の配線は互いに等しい。一方で JATHub, TAM, EIL4, Charge Monitor 用の配線が非対称になっている。フロントパネル側ポートのうち 7 ポートが Phi0/1 用 SL、別の 7 ポートが Phi2/3 用 SL と接続される。接続には両端が MPO24 コネクタの 24 芯ファイバーが使われる。リアパネル側は 5 ポートずつ Phi0/1 M1、Phi0/1 M2/3、Phi2/3 M1、Phi2/3 M2/3 用の光幹線ケーブルが接続される。ポートは MPO12 コネクタになっている。

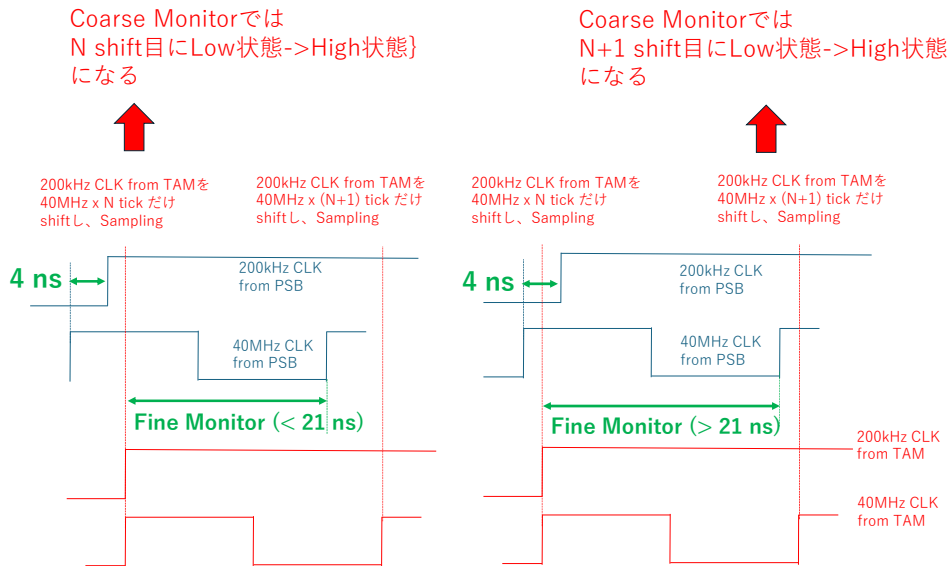


図 B.6 ファイバー長測定時、PSB 202.42 kHz CLK は LHC CLK より立ち上がりが 4 ns だけ遅れていた。一方で TAM 202.42 kHz CLK と LHC CLK は立ち上がりが揃っていた。PSB 202.42 kHz CLK が TAM 202.42 kHz CLK より X ns だけ遅れているとする。

(左図)  $(N-1) \times 25 \text{ ns} < X \text{ ns} < (N-1) \times 25 + 21 \text{ ns}$  の場合、Coarse Monitor では N 回目の shift で立ち上がりが検出される。一方で Fine Monitor は 0 ns 以上 21 ns 未満の値になる。

(右図)  $(N-1) \times 25 \text{ ns} + 21 \text{ ns} < X \text{ ns} < N \times 25 \text{ ns}$  の場合に Coarse Monitor を行くと、N+1 回目の shift で立ち上がりが検出される。一方で Fine Monitor は 21 ns より大きく 25 ns 未満の値になる。

よって、左図の場合に比べて右図の場合が 25 ns だけ大きなファイバー長測定結果になる。

## B ファイバー長測定に関する補足

### B.1 PSB LHC CLK と 202.42 kHz CLK 間に存在する位相差について

ファイバー長測定時に用いていた PSB について、PSB の LHC CLK に対して 202.42 kHz CLK が 4 ns だけ遅れていた。この位相差により、Coarse Monitor 及び Fine Monitor で取得した値と実際の PSB 202.42 kHz 位相にずれが生じるため、適切に補正する必要がある。図 B.6 より、Fine Monitor が 21 ns より大きく 25 ns 未満の値になる場合には、得られた Coarse Monitor と Fine Monitor の和から 25 ns を差し引く補正を行い、これをファイバー長測定結果とした。本論のファイバー長測定の結果はすべてこの補正を行った後のものである。

## C ファイバー長測定により決定されたタイミングパラメーター一覧

ファイバー長測定により決定されたパラメーター一覧を本節で示す。表 C.7 ~ C.22 中では各 Sector, Station, Phi, PSB に接続されるファイバーについて、

- TTC 信号分配に用いられるファイバー (Downlink, 1 本) について、直接測定したファイバー長 (Measured

Length [ns]) と、その値から決定された TTC 信号分配タイミングパラメータ (PSB CLK Fine Delay [step], PSB Coarse Delay [step], PSB Latch Select) を示す。PSB CLK Fine Delay、PSB Coarse Delay の 1 step の刻み幅はそれぞれ 1/56 ns、25 ns。

- ヒットデータ読み出しに用いられるファイバー (Uplink, 2 本) について、同じ Sector、Station に属する Downlink のファイバー長直接測定値の平均値を Uplink のファイバー長の推定値 (Estimated Length) として記載する。その値から決定されたヒットデータ読み出しタイミングパラメータ (SL Fine Delay [step], SL Coarse Delay [step]) を示す。SL Fine Delay、SL Coarse Delay の 1 step の刻み幅はそれぞれ 5 ns、25 ns。ただし、SL ~ Backend FPP 間のファイバー長  $A = 4$  m とし、最長の下り線のファイバー長  $X_{max} = 680.2$  ns を用いて計算した (4.5 節参照)。特に、同じ PSB に接続される 2 本の Uplink は Estimated Length が等しいためその値から決定されたヒットデータ読み出しタイミングパラメータも等しい。

ここで示したタイミングパラメータはファイバー長測定時の SL ビットストリームを用いた場合のパラメータであり、異なる SL ビットストリームを用いる場合は 4.3.3 節で述べたように SL ビットストリームの違いに対する補正をする必要がある。

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length [m]	Downlink (x 1) PSB CLK Fine Course (step)	Downlink (x 1) PSB Course (step)	Downlink (x 1) PSB Latch Select	Uplink (x 2) Estimated Length [m]	Uplink (x 2) SL Fine Course (step)	Uplink (x 2) SL Course (step)
A	M1	1	01	1	609.61	1153	3	Positive	609.31	0	2
A	M1	1	01	2	609.14	1179	3	Positive	609.31	0	2
A	M1	1	01	3	609.38	1177	3	Positive	609.31	0	2
A	M1	1	01	4	609.2	1176	3	Positive	609.31	0	2
A	M1	1	01	5	609.25	1173	3	Positive	609.31	0	2
A	M1	1	01	6	609.48	1160	3	Positive	609.31	0	2
A	M1	1	01	7	609.41	1164	3	Positive	609.31	0	2
A	M1	1	01	8	609.36	1167	3	Positive	609.31	0	2
A	M1	1	01	9	608.98	1188	3	Positive	609.31	0	2
A	M1	1	01	10	609.41	1164	3	Positive	609.31	0	2
A	M1	1	01	11	609.38	1166	3	Positive	609.31	0	2
A	M1	1	219	1	609.18	1177	3	Positive	608.91	0	2
A	M1	1	219	2	608.75	1202	3	Positive	608.91	0	2
A	M1	1	219	3	608.86	1195	3	Positive	608.91	0	2
A	M1	1	219	4	608.82	1197	3	Positive	608.91	0	2
A	M1	1	219	5	608.89	1193	3	Positive	608.91	0	2
A	M1	1	219	6	609.09	1182	3	Positive	608.91	0	2
A	M1	1	219	7	608.95	1190	3	Positive	608.91	0	2
A	M1	1	219	8	608.98	1188	3	Positive	608.91	0	2
A	M1	1	219	9	608.61	1209	3	Positive	608.91	0	2
A	M1	1	219	10	608.96	1189	3	Positive	608.91	0	2
A	M1	1	219	11	608.98	1188	3	Positive	608.91	0	2
A	M1	2	01	1	554.27	52	5	Positive	553.99	0	5
A	M1	2	01	2	553.8	78	5	Positive	553.99	0	5
A	M1	2	01	3	553.96	69	5	Positive	553.99	0	5
A	M1	2	01	4	553.95	70	5	Positive	553.99	0	5
A	M1	2	01	5	554.02	66	5	Positive	553.99	0	5
A	M1	2	01	6	553.96	69	5	Positive	553.99	0	5
A	M1	2	01	7	554.02	66	5	Positive	553.99	0	5
A	M1	2	01	8	554.04	65	5	Positive	553.99	0	5
A	M1	2	01	9	553.64	87	5	Positive	553.99	0	5
A	M1	2	01	10	554.02	66	5	Positive	553.99	0	5
A	M1	2	01	11	554.25	53	5	Positive	553.99	0	5
A	M1	2	219	1	554.11	61	5	Positive	553.79	0	5
A	M1	2	219	2	553.66	86	5	Positive	553.79	0	5
A	M1	2	219	3	553.8	78	5	Positive	553.79	0	5
A	M1	2	219	4	553.61	89	5	Positive	553.79	0	5
A	M1	2	219	5	553.62	88	5	Positive	553.79	0	5
A	M1	2	219	6	553.82	77	5	Positive	553.79	0	5
A	M1	2	219	7	553.98	68	5	Positive	553.79	0	5
A	M1	2	219	8	553.84	76	5	Positive	553.79	0	5
A	M1	2	219	9	553.55	92	5	Positive	553.79	0	5
A	M1	2	219	10	553.86	75	5	Positive	553.79	0	5
A	M1	2	219	11	553.86	75	5	Positive	553.79	0	5
A	M1	3	01	1	513.41	940	7	Negative	513.09	2	6
A	M1	3	01	2	512.96	965	7	Negative	513.09	2	6
A	M1	3	01	3	513.12	956	7	Negative	513.09	2	6
A	M1	3	01	4	512.98	964	7	Negative	513.09	2	6
A	M1	3	01	5	512.95	966	7	Negative	513.09	2	6
A	M1	3	01	6	513.12	956	7	Negative	513.09	2	6
A	M1	3	01	7	513.23	950	7	Negative	513.09	2	6
A	M1	3	01	8	513.11	957	7	Negative	513.09	2	6
A	M1	3	01	9	512.86	971	7	Negative	513.09	2	6
A	M1	3	01	10	513.18	953	7	Negative	513.09	2	6
A	M1	3	01	11	513.07	959	7	Negative	513.09	2	6
A	M1	3	219	1	513.55	932	7	Negative	513.24	2	6
A	M1	3	219	2	513.11	957	7	Negative	513.24	2	6
A	M1	3	219	3	513.27	948	7	Negative	513.24	2	6
A	M1	3	219	4	513.11	957	7	Negative	513.24	2	6
A	M1	3	219	5	513.09	958	7	Negative	513.24	2	6
A	M1	3	219	6	513.29	947	7	Negative	513.24	2	6
A	M1	3	219	7	513.36	943	7	Negative	513.24	2	6
A	M1	3	219	8	513.27	948	7	Negative	513.24	2	6
A	M1	3	219	9	512.98	964	7	Negative	513.24	2	6
A	M1	3	219	10	513.36	943	7	Negative	513.24	2	6
A	M1	3	219	11	513.25	949	7	Negative	513.24	2	6

図 C.7 A side M1 Station Sector 1 ~ 3 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length (m)	Downlink (x 1) PSB CLK Pulse Delay (step)	Downlink (x 1) PSB Coarse Delay (step)	Downlink (x 1) PSB Latch Select	Uplink (x 2) Estimated Length (m)	Uplink (x 2) SL Pulse Delay (step)	Uplink (x 2) SL Coarse Delay (step)
A	M1	4	0/1	1	478.09	118	8	Positive	477.78	0	8
A	M1	4	0/1	2	477.64	143	8	Positive	477.78	0	8
A	M1	4	0/1	3	477.79	135	8	Positive	477.78	0	8
A	M1	4	0/1	4	477.62	144	8	Positive	477.78	0	8
A	M1	4	0/1	5	477.68	141	8	Positive	477.78	0	8
A	M1	4	0/1	6	477.84	132	8	Positive	477.78	0	8
A	M1	4	0/1	7	477.89	129	8	Positive	477.78	0	8
A	M1	4	0/1	8	477.79	135	8	Positive	477.78	0	8
A	M1	4	0/1	9	477.57	147	8	Positive	477.78	0	8
A	M1	4	0/1	10	477.88	130	8	Positive	477.78	0	8
A	M1	4	0/1	11	477.79	135	8	Positive	477.78	0	8
A	M1	4	2/3	1	478.02	122	8	Positive	477.74	0	8
A	M1	4	2/3	2	477.54	149	8	Positive	477.74	0	8
A	M1	4	2/3	3	477.79	135	8	Positive	477.74	0	8
A	M1	4	2/3	4	477.68	141	8	Positive	477.74	0	8
A	M1	4	2/3	5	477.64	143	8	Positive	477.74	0	8
A	M1	4	2/3	6	477.75	137	8	Positive	477.74	0	8
A	M1	4	2/3	7	477.84	132	8	Positive	477.74	0	8
A	M1	4	2/3	8	477.77	136	8	Positive	477.74	0	8
A	M1	4	2/3	9	477.55	148	8	Positive	477.74	0	8
A	M1	4	2/3	10	477.82	133	8	Positive	477.74	0	8
A	M1	4	2/3	11	477.73	138	8	Positive	477.74	0	8
A	M1	5	0/1	1	442.21	671	9	Positive	442.88	2	9
A	M1	5	0/1	2	442.73	688	9	Positive	442.88	2	9
A	M1	5	0/1	3	442.91	688	9	Positive	442.88	2	9
A	M1	5	0/1	4	442.77	696	9	Positive	442.88	2	9
A	M1	5	0/1	5	442.75	697	9	Positive	442.88	2	9
A	M1	5	0/1	6	442.86	691	9	Positive	442.88	2	9
A	M1	5	0/1	7	443.0	683	9	Positive	442.88	2	9
A	M1	5	0/1	8	442.89	689	9	Positive	442.88	2	9
A	M1	5	0/1	9	442.7	700	9	Positive	442.88	2	9
A	M1	5	0/1	10	442.98	694	9	Positive	442.88	2	9
A	M1	5	0/1	11	442.89	689	9	Positive	442.88	2	9
A	M1	5	2/3	1	442.89	689	9	Positive	442.64	2	9
A	M1	5	2/3	2	442.54	709	9	Positive	442.64	2	9
A	M1	5	2/3	3	442.68	701	9	Positive	442.64	2	9
A	M1	5	2/3	4	442.5	711	9	Positive	442.64	2	9
A	M1	5	2/3	5	442.52	710	9	Positive	442.64	2	9
A	M1	5	2/3	6	442.68	701	9	Positive	442.64	2	9
A	M1	5	2/3	7	442.77	696	9	Positive	442.64	2	9
A	M1	5	2/3	8	442.66	702	9	Positive	442.64	2	9
A	M1	5	2/3	9	442.45	714	9	Positive	442.64	2	9
A	M1	5	2/3	10	442.71	699	9	Positive	442.64	2	9
A	M1	5	2/3	11	442.64	703	9	Positive	442.64	2	9
A	M1	6	0/1	1	408.0	1243	11	Positive	407.72	0	10
A	M1	6	0/1	2	407.57	1267	11	Positive	407.72	0	10
A	M1	6	0/1	3	407.68	1261	11	Positive	407.72	0	10
A	M1	6	0/1	4	407.54	1269	11	Positive	407.72	0	10
A	M1	6	0/1	5	407.61	1265	11	Positive	407.72	0	10
A	M1	6	0/1	6	407.77	1256	11	Positive	407.72	0	10
A	M1	6	0/1	7	407.82	1253	11	Positive	407.72	0	10
A	M1	6	0/1	8	407.73	1258	11	Positive	407.72	0	10
A	M1	6	0/1	9	407.48	1272	11	Positive	407.72	0	10
A	M1	6	0/1	10	407.82	1253	11	Positive	407.72	0	10
A	M1	6	0/1	11	407.86	1251	11	Positive	407.72	0	10
A	M1	6	2/3	1	408.14	1235	11	Positive	407.87	0	10
A	M1	6	2/3	2	407.75	1257	11	Positive	407.87	0	10
A	M1	6	2/3	3	407.82	1253	11	Positive	407.87	0	10
A	M1	6	2/3	4	407.73	1258	11	Positive	407.87	0	10
A	M1	6	2/3	5	407.79	1255	11	Positive	407.87	0	10
A	M1	6	2/3	6	407.93	1247	11	Positive	407.87	0	10
A	M1	6	2/3	7	408.02	1242	11	Positive	407.87	0	10
A	M1	6	2/3	8	407.86	1251	11	Positive	407.87	0	10
A	M1	6	2/3	9	407.64	1263	11	Positive	407.87	0	10
A	M1	6	2/3	10	407.96	1245	11	Positive	407.87	0	10
A	M1	6	2/3	11	407.93	1247	11	Positive	407.87	0	10

図 C.8 A side M1 Station Sector 4 ~ 6 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length [m]	Downlink (x 1) PSB CLK Fine [step]	Downlink (x 1) PSB Course [step]	Downlink (x 1) PSB Latch Select	Uplink (x 2) Estimated Length [m]	Uplink (x 2) SL Fine Delay [step]	Uplink (x 2) SL Course [step]
A	M1	7	01	1	382.27	1284	12	Positive	381.93	0	11
A	M1	7	01	2	381.77	1312	12	Positive	381.93	0	11
A	M1	7	01	3	381.89	1305	12	Positive	381.93	0	11
A	M1	7	01	4	381.8	1310	12	Positive	381.93	0	11
A	M1	7	01	5	381.84	1308	12	Positive	381.93	0	11
A	M1	7	01	6	381.98	1300	12	Positive	381.93	0	11
A	M1	7	01	7	382.02	1298	12	Positive	381.93	0	11
A	M1	7	01	8	381.98	1300	12	Positive	381.93	0	11
A	M1	7	01	9	381.75	1313	12	Positive	381.93	0	11
A	M1	7	01	10	382.02	1298	12	Positive	381.93	0	11
A	M1	7	01	11	381.95	1302	12	Positive	381.93	0	11
A	M1	7	219	1	382.48	1272	12	Positive	382.12	0	11
A	M1	7	219	2	381.96	1300	12	Positive	382.12	0	11
A	M1	7	219	3	382.07	1295	12	Positive	382.12	0	11
A	M1	7	219	4	381.95	1302	12	Positive	382.12	0	11
A	M1	7	219	5	382.04	1297	12	Positive	382.12	0	11
A	M1	7	219	6	382.16	1290	12	Positive	382.12	0	11
A	M1	7	219	7	382.27	1284	12	Positive	382.12	0	11
A	M1	7	219	8	382.11	1293	12	Positive	382.12	0	11
A	M1	7	219	9	381.88	1306	12	Positive	382.12	0	11
A	M1	7	219	10	382.23	1286	12	Positive	382.12	0	11
A	M1	7	219	11	382.14	1291	12	Positive	382.12	0	11
A	M1	8	01	1	433.45	1218	10	Positive	433.11	0	9
A	M1	8	01	2	432.96	1245	10	Positive	433.11	0	9
A	M1	8	01	3	433.07	1239	10	Positive	433.11	0	9
A	M1	8	01	4	432.98	1244	10	Positive	433.11	0	9
A	M1	8	01	5	432.98	1244	10	Positive	433.11	0	9
A	M1	8	01	6	433.16	1234	10	Positive	433.11	0	9
A	M1	8	01	7	433.23	1230	10	Positive	433.11	0	9
A	M1	8	01	8	433.11	1237	10	Positive	433.11	0	9
A	M1	8	01	9	432.89	1249	10	Positive	433.11	0	9
A	M1	8	01	10	433.18	1233	10	Positive	433.11	0	9
A	M1	8	01	11	433.14	1235	10	Positive	433.11	0	9
A	M1	8	219	1	433.32	1225	10	Positive	433.05	0	9
A	M1	8	219	2	432.91	1248	10	Positive	433.05	0	9
A	M1	8	219	3	433.04	1241	10	Positive	433.05	0	9
A	M1	8	219	4	432.91	1248	10	Positive	433.05	0	9
A	M1	8	219	5	432.96	1249	10	Positive	433.05	0	9
A	M1	8	219	6	433.11	1237	10	Positive	433.05	0	9
A	M1	8	219	7	433.16	1234	10	Positive	433.05	0	9
A	M1	8	219	8	433.05	1240	10	Positive	433.05	0	9
A	M1	8	219	9	432.84	1252	10	Positive	433.05	0	9
A	M1	8	219	10	433.12	1236	10	Positive	433.05	0	9
A	M1	8	219	11	433.09	1238	10	Positive	433.05	0	9
A	M1	9	01	1	468.23	670	8	Positive	467.9	2	8
A	M1	9	01	2	467.73	698	8	Positive	467.9	2	8
A	M1	9	01	3	467.86	691	8	Positive	467.9	2	8
A	M1	9	01	4	467.73	698	8	Positive	467.9	2	8
A	M1	9	01	5	467.79	695	8	Positive	467.9	2	8
A	M1	9	01	6	467.93	687	8	Positive	467.9	2	8
A	M1	9	01	7	468.11	677	8	Positive	467.9	2	8
A	M1	9	01	8	467.93	687	8	Positive	467.9	2	8
A	M1	9	01	9	467.7	700	8	Positive	467.9	2	8
A	M1	9	01	10	467.98	684	8	Positive	467.9	2	8
A	M1	9	01	11	467.93	687	8	Positive	467.9	2	8
A	M1	9	219	1	468.34	664	8	Positive	467.99	2	8
A	M1	9	219	2	467.86	691	8	Positive	467.99	2	8
A	M1	9	219	3	467.98	684	8	Positive	467.99	2	8
A	M1	9	219	4	467.86	691	8	Positive	467.99	2	8
A	M1	9	219	5	467.86	691	8	Positive	467.99	2	8
A	M1	9	219	6	468.04	683	8	Positive	467.99	2	8
A	M1	9	219	7	468.07	679	8	Positive	467.99	2	8
A	M1	9	219	8	467.98	684	8	Positive	467.99	2	8
A	M1	9	219	9	467.79	695	8	Positive	467.99	2	8
A	M1	9	219	10	468.09	678	8	Positive	467.99	2	8
A	M1	9	219	11	467.98	684	8	Positive	467.99	2	8

図 C.9 A side M1 Station Sector 7 ~ 9 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length (m)	Downlink (x 1) PSB CLK Pulse Delay (step)	Downlink (x 1) PSB Coarse Delay (step)	Downlink (x 1) PSB Latch Select	Uplink (x 2) Estimated Length (m)	Uplink (x 2) SL Pulse Delay (step)	Uplink (x 2) SL Coarse Delay (step)
A	M1	10	001	1	503.05	64	7	Positive	503.78	0	7
A	M1	10	001	2	503.64	67	7	Positive	503.78	0	7
A	M1	10	001	3	503.8	78	7	Positive	503.78	0	7
A	M1	10	001	4	503.61	89	7	Positive	503.78	0	7
A	M1	10	001	5	503.66	86	7	Positive	503.78	0	7
A	M1	10	001	6	503.8	78	7	Positive	503.78	0	7
A	M1	10	001	7	503.91	72	7	Positive	503.78	0	7
A	M1	10	001	8	503.89	73	7	Positive	503.78	0	7
A	M1	10	001	9	503.55	92	7	Positive	503.78	0	7
A	M1	10	001	10	503.88	74	7	Positive	503.78	0	7
A	M1	10	001	11	503.79	79	7	Positive	503.78	0	7
A	M1	10	203	1	504.04	65	7	Positive	503.71	0	7
A	M1	10	203	2	503.48	86	7	Positive	503.71	0	7
A	M1	10	203	3	503.75	81	7	Positive	503.71	0	7
A	M1	10	203	4	503.55	92	7	Positive	503.71	0	7
A	M1	10	203	5	503.57	91	7	Positive	503.71	0	7
A	M1	10	203	6	503.75	81	7	Positive	503.71	0	7
A	M1	10	203	7	503.86	75	7	Positive	503.71	0	7
A	M1	10	203	8	503.77	80	7	Positive	503.71	0	7
A	M1	10	203	9	503.52	94	7	Positive	503.71	0	7
A	M1	10	203	10	503.82	77	7	Positive	503.71	0	7
A	M1	10	203	11	503.73	82	7	Positive	503.71	0	7
A	M1	11	001	1	538.68	925	6	Negative	538.35	2	5
A	M1	11	001	2	538.21	951	6	Negative	538.35	2	5
A	M1	11	001	3	538.36	943	6	Negative	538.35	2	5
A	M1	11	001	4	538.21	951	6	Negative	538.35	2	5
A	M1	11	001	5	538.23	950	6	Negative	538.35	2	5
A	M1	11	001	6	538.38	942	6	Negative	538.35	2	5
A	M1	11	001	7	538.52	934	6	Negative	538.35	2	5
A	M1	11	001	8	538.38	942	6	Negative	538.35	2	5
A	M1	11	001	9	538.11	957	6	Negative	538.35	2	5
A	M1	11	001	10	538.46	937	6	Negative	538.35	2	5
A	M1	11	001	11	538.36	943	6	Negative	538.35	2	5
A	M1	11	203	1	538.68	925	6	Negative	538.27	2	5
A	M1	11	203	2	538.16	954	6	Negative	538.27	2	5
A	M1	11	203	3	538.25	949	6	Negative	538.27	2	5
A	M1	11	203	4	538.09	958	6	Negative	538.27	2	5
A	M1	11	203	5	538.14	955	6	Negative	538.27	2	5
A	M1	11	203	6	538.3	946	6	Negative	538.27	2	5
A	M1	11	203	7	538.39	941	6	Negative	538.27	2	5
A	M1	11	203	8	538.25	949	6	Negative	538.27	2	5
A	M1	11	203	9	538.05	960	6	Negative	538.27	2	5
A	M1	11	203	10	538.38	942	6	Negative	538.27	2	5
A	M1	11	203	11	538.27	948	6	Negative	538.27	2	5
A	M1	12	001	1	569.68	589	4	Positive	569.46	2	4
A	M1	12	001	2	569.38	606	4	Positive	569.46	2	4
A	M1	12	001	3	569.45	602	4	Positive	569.46	2	4
A	M1	12	001	4	569.41	604	4	Positive	569.46	2	4
A	M1	12	001	5	569.29	611	4	Positive	569.46	2	4
A	M1	12	001	6	569.45	602	4	Positive	569.46	2	4
A	M1	12	001	7	569.43	603	4	Positive	569.46	2	4
A	M1	12	001	8	569.45	602	4	Positive	569.46	2	4
A	M1	12	001	9	569.32	609	4	Positive	569.46	2	4
A	M1	12	001	10	569.54	597	4	Positive	569.46	2	4
A	M1	12	001	11	569.68	589	4	Positive	569.46	2	4
A	M1	12	203	1	569.34	608	4	Positive	569.17	2	4
A	M1	12	203	2	569.09	622	4	Positive	569.17	2	4
A	M1	12	203	3	569.14	619	4	Positive	569.17	2	4
A	M1	12	203	4	569.11	621	4	Positive	569.17	2	4
A	M1	12	203	5	568.98	628	4	Positive	569.17	2	4
A	M1	12	203	6	569.18	617	4	Positive	569.17	2	4
A	M1	12	203	7	569.14	619	4	Positive	569.17	2	4
A	M1	12	203	8	569.2	616	4	Positive	569.17	2	4
A	M1	12	203	9	569.0	627	4	Positive	569.17	2	4
A	M1	12	203	10	569.25	613	4	Positive	569.17	2	4
A	M1	12	203	11	569.43	603	4	Positive	569.17	2	4

図 C.10 A side M1 Station Sector 10～12 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length [m]	Downlink (x 1) PSB CLK Fine [10ns (step)]	Downlink (x 1) PSB Course Delay [step]	Downlink (x 1) PSB Latch Select	Estimated Length [m]	Uplink (x 2) SL Fine Delay [step]	Uplink (x 2) SL Course Delay [step]
C	M1	1	01	1	599.14	339	3	Positive	598.92	0	3
C	M1	1	01	2	598.7	364	3	Positive	598.92	0	3
C	M1	1	01	3	598.88	354	3	Positive	598.92	0	3
C	M1	1	01	4	598.86	355	3	Positive	598.92	0	3
C	M1	1	01	5	598.86	355	3	Positive	598.92	0	3
C	M1	1	01	6	598.95	350	3	Positive	598.92	0	3
C	M1	1	01	7	598.95	350	3	Positive	598.92	0	3
C	M1	1	01	8	598.98	348	3	Positive	598.92	0	3
C	M1	1	01	9	598.82	368	3	Positive	598.92	0	3
C	M1	1	01	10	598.93	351	3	Positive	598.92	0	3
C	M1	1	01	11	599.23	334	3	Positive	598.92	0	3
C	M1	1	219	1	599.23	334	3	Positive	599.0	0	3
C	M1	1	219	2	598.79	359	3	Positive	599.0	0	3
C	M1	1	219	3	599.0	347	3	Positive	599.0	0	3
C	M1	1	219	4	598.98	348	3	Positive	599.0	0	3
C	M1	1	219	5	598.89	353	3	Positive	599.0	0	3
C	M1	1	219	6	598.95	350	3	Positive	599.0	0	3
C	M1	1	219	7	599.07	343	3	Positive	599.0	0	3
C	M1	1	219	8	599.07	343	3	Positive	599.0	0	3
C	M1	1	219	9	598.7	364	3	Positive	599.0	0	3
C	M1	1	219	10	599.05	344	3	Positive	599.0	0	3
C	M1	1	219	11	599.3	330	3	Positive	599.0	0	3
C	M1	2	01	1	543.2	672	5	Positive	542.93	2	5
C	M1	2	01	2	542.73	698	5	Positive	542.93	2	5
C	M1	2	01	3	542.88	690	5	Positive	542.93	2	5
C	M1	2	01	4	542.89	689	5	Positive	542.93	2	5
C	M1	2	01	5	542.89	689	5	Positive	542.93	2	5
C	M1	2	01	6	542.95	686	5	Positive	542.93	2	5
C	M1	2	01	7	542.98	684	5	Positive	542.93	2	5
C	M1	2	01	8	543.02	682	5	Positive	542.93	2	5
C	M1	2	01	9	542.61	705	5	Positive	542.93	2	5
C	M1	2	01	10	542.96	685	5	Positive	542.93	2	5
C	M1	2	01	11	543.11	677	5	Positive	542.93	2	5
C	M1	2	219	1	544.43	603	5	Positive	544.09	2	5
C	M1	2	219	2	543.93	611	5	Positive	544.09	2	5
C	M1	2	219	3	544.11	621	5	Positive	544.09	2	5
C	M1	2	219	4	543.98	628	5	Positive	544.09	2	5
C	M1	2	219	5	543.95	630	5	Positive	544.09	2	5
C	M1	2	219	6	544.11	621	5	Positive	544.09	2	5
C	M1	2	219	7	544.23	614	5	Positive	544.09	2	5
C	M1	2	219	8	544.11	621	5	Positive	544.09	2	5
C	M1	2	219	9	543.86	635	5	Positive	544.09	2	5
C	M1	2	219	10	544.18	617	5	Positive	544.09	2	5
C	M1	2	219	11	544.07	623	5	Positive	544.09	2	5
C	M1	3	01	1	503.98	68	7	Positive	503.65	0	7
C	M1	3	01	2	503.5	95	7	Positive	503.65	0	7
C	M1	3	01	3	503.7	84	7	Positive	503.65	0	7
C	M1	3	01	4	503.52	94	7	Positive	503.65	0	7
C	M1	3	01	5	503.54	93	7	Positive	503.65	0	7
C	M1	3	01	6	503.66	86	7	Positive	503.65	0	7
C	M1	3	01	7	503.77	80	7	Positive	503.65	0	7
C	M1	3	01	8	503.66	86	7	Positive	503.65	0	7
C	M1	3	01	9	503.43	99	7	Positive	503.65	0	7
C	M1	3	01	10	503.77	80	7	Positive	503.65	0	7
C	M1	3	01	11	503.68	85	7	Positive	503.65	0	7
C	M1	3	219	1	504.09	62	7	Positive	503.73	0	7
C	M1	3	219	2	503.55	92	7	Positive	503.73	0	7
C	M1	3	219	3	503.77	80	7	Positive	503.73	0	7
C	M1	3	219	4	503.57	91	7	Positive	503.73	0	7
C	M1	3	219	5	503.55	92	7	Positive	503.73	0	7
C	M1	3	219	6	503.75	81	7	Positive	503.73	0	7
C	M1	3	219	7	503.91	72	7	Positive	503.73	0	7
C	M1	3	219	8	503.77	80	7	Positive	503.73	0	7
C	M1	3	219	9	503.5	95	7	Positive	503.73	0	7
C	M1	3	219	10	503.82	77	7	Positive	503.73	0	7
C	M1	3	219	11	503.71	83	7	Positive	503.73	0	7

図 C.11 C side M1 Station Sector 1 ~ 3 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length (m)	Downlink (x 1) PSB CLK Pulse Delay (step)	Downlink (x 1) PSB Carrier Delay (step)	Downlink (x 1) PSB Switch Select	Uplink (x 2) Estimated Length (m)	Uplink (x 2) SL Pulse Delay (step)	Uplink (x 2) SL Carrier Delay (step)
C	M1	4	0/1	1	468.12	676	8	Positive	467.82	2	8
C	M1	4	0/1	2	467.73	698	8	Positive	467.82	2	8
C	M1	4	0/1	3	467.79	695	8	Positive	467.82	2	8
C	M1	4	0/1	4	467.7	700	8	Positive	467.82	2	8
C	M1	4	0/1	5	467.68	701	8	Positive	467.82	2	8
C	M1	4	0/1	6	467.84	692	8	Positive	467.82	2	8
C	M1	4	0/1	7	467.93	687	8	Positive	467.82	2	8
C	M1	4	0/1	8	467.88	690	8	Positive	467.82	2	8
C	M1	4	0/1	9	467.61	705	8	Positive	467.82	2	8
C	M1	4	0/1	10	467.89	689	8	Positive	467.82	2	8
C	M1	4	0/1	11	467.86	691	8	Positive	467.82	2	8
C	M1	4	2/3	1	468.18	673	8	Positive	467.91	2	8
C	M1	4	2/3	2	467.73	698	8	Positive	467.91	2	8
C	M1	4	2/3	3	467.93	687	8	Positive	467.91	2	8
C	M1	4	2/3	4	467.79	695	8	Positive	467.91	2	8
C	M1	4	2/3	5	467.79	695	8	Positive	467.91	2	8
C	M1	4	2/3	6	467.95	686	8	Positive	467.91	2	8
C	M1	4	2/3	7	468.05	680	8	Positive	467.91	2	8
C	M1	4	2/3	8	467.95	686	8	Positive	467.91	2	8
C	M1	4	2/3	9	467.7	700	8	Positive	467.91	2	8
C	M1	4	2/3	10	467.98	684	8	Positive	467.91	2	8
C	M1	4	2/3	11	467.95	686	8	Positive	467.91	2	8
C	M1	5	0/1	1	438.43	939	10	Negative	438.11	2	9
C	M1	5	0/1	2	437.95	946	10	Negative	438.11	2	9
C	M1	5	0/1	3	438.11	937	10	Negative	438.11	2	9
C	M1	5	0/1	4	437.96	945	10	Negative	438.11	2	9
C	M1	5	0/1	5	437.98	944	10	Negative	438.11	2	9
C	M1	5	0/1	6	438.14	935	10	Negative	438.11	2	9
C	M1	5	0/1	7	438.25	949	10	Negative	438.11	2	9
C	M1	5	0/1	8	438.14	935	10	Negative	438.11	2	9
C	M1	5	0/1	9	437.89	949	10	Negative	438.11	2	9
C	M1	5	0/1	10	438.2	952	10	Negative	438.11	2	9
C	M1	5	0/1	11	438.11	937	10	Negative	438.11	2	9
C	M1	5	2/3	1	438.29	941	10	Negative	438.12	2	9
C	M1	5	2/3	2	437.98	944	10	Negative	438.12	2	9
C	M1	5	2/3	3	438.14	935	10	Negative	438.12	2	9
C	M1	5	2/3	4	437.96	945	10	Negative	438.12	2	9
C	M1	5	2/3	5	437.98	944	10	Negative	438.12	2	9
C	M1	5	2/3	6	438.16	934	10	Negative	438.12	2	9
C	M1	5	2/3	7	438.29	947	10	Negative	438.12	2	9
C	M1	5	2/3	8	438.18	933	10	Negative	438.12	2	9
C	M1	5	2/3	9	437.93	947	10	Negative	438.12	2	9
C	M1	5	2/3	10	438.21	931	10	Negative	438.12	2	9
C	M1	5	2/3	11	438.14	935	10	Negative	438.12	2	9
C	M1	6	0/1	1	397.57	427	11	Positive	397.25	2	11
C	M1	6	0/1	2	397.11	453	11	Positive	397.25	2	11
C	M1	6	0/1	3	397.23	446	11	Positive	397.25	2	11
C	M1	6	0/1	4	397.09	454	11	Positive	397.25	2	11
C	M1	6	0/1	5	397.14	451	11	Positive	397.25	2	11
C	M1	6	0/1	6	397.32	441	11	Positive	397.25	2	11
C	M1	6	0/1	7	397.36	439	11	Positive	397.25	2	11
C	M1	6	0/1	8	397.27	444	11	Positive	397.25	2	11
C	M1	6	0/1	9	397.02	458	11	Positive	397.25	2	11
C	M1	6	0/1	10	397.34	440	11	Positive	397.25	2	11
C	M1	6	0/1	11	397.27	444	11	Positive	397.25	2	11
C	M1	6	2/3	1	397.39	437	11	Positive	397.1	2	11
C	M1	6	2/3	2	396.98	460	11	Positive	397.1	2	11
C	M1	6	2/3	3	397.05	456	11	Positive	397.1	2	11
C	M1	6	2/3	4	396.96	461	11	Positive	397.1	2	11
C	M1	6	2/3	5	397.0	459	11	Positive	397.1	2	11
C	M1	6	2/3	6	397.12	452	11	Positive	397.1	2	11
C	M1	6	2/3	7	397.27	444	11	Positive	397.1	2	11
C	M1	6	2/3	8	397.09	454	11	Positive	397.1	2	11
C	M1	6	2/3	9	396.91	464	11	Positive	397.1	2	11
C	M1	6	2/3	10	397.18	449	11	Positive	397.1	2	11
C	M1	6	2/3	11	397.11	453	11	Positive	397.1	2	11

図 C.12 C side M1 Station Sector 4 ~ 6 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length [m]	Downlink (x 1) PSB CLK Fine (step)	Downlink (x 1) PSB Course (step)	Downlink (x 1) PSB Latch Select	Estimated Length [m]	Uplink (x 2) SL Fine (step)	Uplink (x 2) SL Course (step)
C	M1	7	01	1	372.73	418	12	Positive	372.42	2	12
C	M1	7	01	2	372.3	442	12	Positive	372.42	2	12
C	M1	7	01	3	372.99	437	12	Positive	372.42	2	12
C	M1	7	01	4	372.29	443	12	Positive	372.42	2	12
C	M1	7	01	5	372.36	439	12	Positive	372.42	2	12
C	M1	7	01	6	372.52	430	12	Positive	372.42	2	12
C	M1	7	01	7	372.5	431	12	Positive	372.42	2	12
C	M1	7	01	8	372.41	436	12	Positive	372.42	2	12
C	M1	7	01	9	372.23	446	12	Positive	372.42	2	12
C	M1	7	01	10	372.48	432	12	Positive	372.42	2	12
C	M1	7	01	11	372.43	435	12	Positive	372.42	2	12
C	M1	7	219	1	372.71	419	12	Positive	372.42	2	12
C	M1	7	219	2	372.29	443	12	Positive	372.42	2	12
C	M1	7	219	3	372.38	438	12	Positive	372.42	2	12
C	M1	7	219	4	372.3	442	12	Positive	372.42	2	12
C	M1	7	219	5	372.36	439	12	Positive	372.42	2	12
C	M1	7	219	6	372.48	432	12	Positive	372.42	2	12
C	M1	7	219	7	372.52	430	12	Positive	372.42	2	12
C	M1	7	219	8	372.41	436	12	Positive	372.42	2	12
C	M1	7	219	9	372.23	446	12	Positive	372.42	2	12
C	M1	7	219	10	372.48	432	12	Positive	372.42	2	12
C	M1	7	219	11	372.46	433	12	Positive	372.42	2	12
C	M1	8	01	1	422.64	423	10	Positive	422.3	2	10
C	M1	8	01	2	422.25	445	10	Positive	422.3	2	10
C	M1	8	01	3	422.3	442	10	Positive	422.3	2	10
C	M1	8	01	4	422.18	449	10	Positive	422.3	2	10
C	M1	8	01	5	422.16	450	10	Positive	422.3	2	10
C	M1	8	01	6	422.3	442	10	Positive	422.3	2	10
C	M1	8	01	7	422.36	439	10	Positive	422.3	2	10
C	M1	8	01	8	422.29	443	10	Positive	422.3	2	10
C	M1	8	01	9	422.07	455	10	Positive	422.3	2	10
C	M1	8	01	10	422.38	438	10	Positive	422.3	2	10
C	M1	8	01	11	422.32	441	10	Positive	422.3	2	10
C	M1	8	219	1	422.66	422	10	Positive	422.32	2	10
C	M1	8	219	2	422.2	448	10	Positive	422.32	2	10
C	M1	8	219	3	422.3	442	10	Positive	422.32	2	10
C	M1	8	219	4	422.21	447	10	Positive	422.32	2	10
C	M1	8	219	5	422.23	446	10	Positive	422.32	2	10
C	M1	8	219	6	422.36	439	10	Positive	422.32	2	10
C	M1	8	219	7	422.41	436	10	Positive	422.32	2	10
C	M1	8	219	8	422.27	444	10	Positive	422.32	2	10
C	M1	8	219	9	422.11	453	10	Positive	422.32	2	10
C	M1	8	219	10	422.41	436	10	Positive	422.32	2	10
C	M1	8	219	11	422.36	439	10	Positive	422.32	2	10
C	M1	9	01	1	457.84	1252	9	Positive	457.5	0	8
C	M1	9	01	2	457.22	1281	9	Positive	457.5	0	8
C	M1	9	01	3	457.5	1271	9	Positive	457.5	0	8
C	M1	9	01	4	457.38	1278	9	Positive	457.5	0	8
C	M1	9	01	5	457.38	1278	9	Positive	457.5	0	8
C	M1	9	01	6	457.54	1269	9	Positive	457.5	0	8
C	M1	9	01	7	457.62	1264	9	Positive	457.5	0	8
C	M1	9	01	8	457.52	1270	9	Positive	457.5	0	8
C	M1	9	01	9	457.3	1282	9	Positive	457.5	0	8
C	M1	9	01	10	457.61	1265	9	Positive	457.5	0	8
C	M1	9	01	11	457.54	1269	9	Positive	457.5	0	8
C	M1	9	219	1	457.77	1256	9	Positive	457.42	0	8
C	M1	9	219	2	457.25	1285	9	Positive	457.42	0	8
C	M1	9	219	3	457.43	1275	9	Positive	457.42	0	8
C	M1	9	219	4	457.3	1282	9	Positive	457.42	0	8
C	M1	9	219	5	457.29	1283	9	Positive	457.42	0	8
C	M1	9	219	6	457.48	1272	9	Positive	457.42	0	8
C	M1	9	219	7	457.54	1269	9	Positive	457.42	0	8
C	M1	9	219	8	457.45	1274	9	Positive	457.42	0	8
C	M1	9	219	9	457.18	1289	9	Positive	457.42	0	8
C	M1	9	219	10	457.52	1270	9	Positive	457.42	0	8
C	M1	9	219	11	457.43	1275	9	Positive	457.42	0	8

図 C.13 C side M1 Station Sector 7 ~ 9 に接続されるファイバーの長さから決定されたタイミングパラメータ

Side	Station	Sector	Phi	PSB	Downlink (x 1) Measured Length (m)	Downlink (x 1) PSB CLK Pulse Delay (step)	Downlink (x 1) PSB Coarse (step)	Downlink (x 1) PSB Latch Select	Uplink (x 2) Estimated Length (m)	Uplink (x 2) SL Pulse Delay (step)	Uplink (x 2) SL Coarse (step)
C	M1	10	0/1	1	493.46	657	7	Positive	493.23	2	7
C	M1	10	0/1	2	493.04	681	7	Positive	493.23	2	7
C	M1	10	0/1	3	493.16	674	7	Positive	493.23	2	7
C	M1	10	0/1	4	493.16	674	7	Positive	493.23	2	7
C	M1	10	0/1	5	493.27	668	7	Positive	493.23	2	7
C	M1	10	0/1	6	493.23	670	7	Positive	493.23	2	7
C	M1	10	0/1	7	493.29	667	7	Positive	493.23	2	7
C	M1	10	0/1	8	493.29	667	7	Positive	493.23	2	7
C	M1	10	0/1	9	492.93	687	7	Positive	493.23	2	7
C	M1	10	0/1	10	493.27	668	7	Positive	493.23	2	7
C	M1	10	0/1	11	493.45	658	7	Positive	493.23	2	7
C	M1	10	2/3	1	493.61	649	7	Positive	493.39	2	7
C	M1	10	2/3	2	492.21	671	7	Positive	493.39	2	7
C	M1	10	2/3	3	493.36	663	7	Positive	493.39	2	7
C	M1	10	2/3	4	493.36	663	7	Positive	493.39	2	7
C	M1	10	2/3	5	493.38	662	7	Positive	493.39	2	7
C	M1	10	2/3	6	493.38	662	7	Positive	493.39	2	7
C	M1	10	2/3	7	493.43	659	7	Positive	493.39	2	7
C	M1	10	2/3	8	492.46	687	7	Positive	493.39	2	7
C	M1	10	2/3	9	493.11	677	7	Positive	493.39	2	7
C	M1	10	2/3	10	492.45	688	7	Positive	493.39	2	7
C	M1	10	2/3	11	493.61	649	7	Positive	493.39	2	7
C	M1	11	0/1	1	529.09	62	6	Positive	528.86	0	6
C	M1	11	0/1	2	528.64	87	6	Positive	528.86	0	6
C	M1	11	0/1	3	528.8	78	6	Positive	528.86	0	6
C	M1	11	0/1	4	528.82	77	6	Positive	528.86	0	6
C	M1	11	0/1	5	528.8	78	6	Positive	528.86	0	6
C	M1	11	0/1	6	528.86	75	6	Positive	528.86	0	6
C	M1	11	0/1	7	528.91	72	6	Positive	528.86	0	6
C	M1	11	0/1	8	528.98	68	6	Positive	528.86	0	6
C	M1	11	0/1	9	528.54	93	6	Positive	528.86	0	6
C	M1	11	0/1	10	529.91	72	6	Positive	528.86	0	6
C	M1	11	0/1	11	529.09	62	6	Positive	528.86	0	6
C	M1	11	2/3	1	529.14	59	6	Positive	528.87	0	6
C	M1	11	2/3	2	528.64	87	6	Positive	528.87	0	6
C	M1	11	2/3	3	528.8	78	6	Positive	528.87	0	6
C	M1	11	2/3	4	528.8	78	6	Positive	528.87	0	6
C	M1	11	2/3	5	528.82	77	6	Positive	528.87	0	6
C	M1	11	2/3	6	528.86	75	6	Positive	528.87	0	6
C	M1	11	2/3	7	528.89	73	6	Positive	528.87	0	6
C	M1	11	2/3	8	528.96	69	6	Positive	528.87	0	6
C	M1	11	2/3	9	528.55	92	6	Positive	528.87	0	6
C	M1	11	2/3	10	528.96	69	6	Positive	528.87	0	6
C	M1	11	2/3	11	529.12	60	6	Positive	528.87	0	6
C	M1	12	0/1	1	559.79	1143	5	Positive	559.49	0	4
C	M1	12	0/1	2	559.36	1167	5	Positive	559.49	0	4
C	M1	12	0/1	3	559.48	1160	5	Positive	559.49	0	4
C	M1	12	0/1	4	559.43	1163	5	Positive	559.49	0	4
C	M1	12	0/1	5	559.45	1162	5	Positive	559.49	0	4
C	M1	12	0/1	6	559.48	1160	5	Positive	559.49	0	4
C	M1	12	0/1	7	559.48	1160	5	Positive	559.49	0	4
C	M1	12	0/1	8	559.55	1156	5	Positive	559.49	0	4
C	M1	12	0/1	9	559.14	1179	5	Positive	559.49	0	4
C	M1	12	0/1	10	559.48	1160	5	Positive	559.49	0	4
C	M1	12	0/1	11	559.79	1143	5	Positive	559.49	0	4
C	M1	12	2/3	1	559.39	1165	5	Positive	559.09	0	4
C	M1	12	2/3	2	558.91	1192	5	Positive	559.09	0	4
C	M1	12	2/3	3	558.98	1188	5	Positive	559.09	0	4
C	M1	12	2/3	4	558.98	1188	5	Positive	559.09	0	4
C	M1	12	2/3	5	559.05	1184	5	Positive	559.09	0	4
C	M1	12	2/3	6	559.29	1171	5	Positive	559.09	0	4
C	M1	12	2/3	7	559.2	1176	5	Positive	559.09	0	4
C	M1	12	2/3	8	559.14	1179	5	Positive	559.09	0	4
C	M1	12	2/3	9	558.77	1200	5	Positive	559.09	0	4
C	M1	12	2/3	10	559.12	1180	5	Positive	559.09	0	4
C	M1	12	2/3	11	559.11	1181	5	Positive	559.09	0	4

図 C.14 C side M1 Station Sector 10 ~ 12 に接続されるファイバーの長さから決定されたタイミングパラメータ

駅名	区画	区画番号	種別	種別番号	区画の長さ (m)	区画の幅 (m)	区画の面積 (㎡)	区画の容積 (m <sup>3</sup> )	区画の容積率 (%)	区画の用途	区画の用途番号	区画の用途名
A	M2/3	1	区画	1	55	27	1485	47	3.2	住宅	025-24	住宅
A	M2/3	2	区画	2	55	33	1815	57	3.2	住宅	025-24	住宅
A	M2/3	3	区画	3	55	39	2145	67	3.2	住宅	025-24	住宅
A	M2/3	4	区画	4	55	45	2475	77	3.2	住宅	025-24	住宅
A	M2/3	5	区画	5	55	51	2805	87	3.2	住宅	025-24	住宅
A	M2/3	6	区画	6	55	57	3135	97	3.2	住宅	025-24	住宅
A	M2/3	7	区画	7	55	63	3465	107	3.2	住宅	025-24	住宅
A	M2/3	8	区画	8	55	69	3795	117	3.2	住宅	025-24	住宅
A	M2/3	9	区画	9	55	75	4125	127	3.2	住宅	025-24	住宅
A	M2/3	10	区画	10	55	81	4455	137	3.2	住宅	025-24	住宅
A	M2/3	11	区画	11	55	87	4785	147	3.2	住宅	025-24	住宅
A	M2/3	12	区画	12	55	93	5115	157	3.2	住宅	025-24	住宅
A	M2/3	13	区画	13	55	99	5445	167	3.2	住宅	025-24	住宅
A	M2/3	14	区画	14	55	105	5775	177	3.2	住宅	025-24	住宅
A	M2/3	15	区画	15	55	111	6105	187	3.2	住宅	025-24	住宅
A	M2/3	16	区画	16	55	117	6435	197	3.2	住宅	025-24	住宅
A	M2/3	17	区画	17	55	123	6765	207	3.2	住宅	025-24	住宅
A	M2/3	18	区画	18	55	129	7095	217	3.2	住宅	025-24	住宅
A	M2/3	19	区画	19	55	135	7425	227	3.2	住宅	025-24	住宅
A	M2/3	20	区画	20	55	141	7755	237	3.2	住宅	025-24	住宅
A	M2/3	21	区画	21	55	147	8085	247	3.2	住宅	025-24	住宅
A	M2/3	22	区画	22	55	153	8415	257	3.2	住宅	025-24	住宅
A	M2/3	23	区画	23	55	159	8745	267	3.2	住宅	025-24	住宅
A	M2/3	24	区画	24	55	165	9075	277	3.2	住宅	025-24	住宅
A	M2/3	25	区画	25	55	171	9405	287	3.2	住宅	025-24	住宅
A	M2/3	26	区画	26	55	177	9735	297	3.2	住宅	025-24	住宅
A	M2/3	27	区画	27	55	183	10065	307	3.2	住宅	025-24	住宅
A	M2/3	28	区画	28	55	189	10395	317	3.2	住宅	025-24	住宅
A	M2/3	29	区画	29	55	195	10725	327	3.2	住宅	025-24	住宅
A	M2/3	30	区画	30	55	201	11055	337	3.2	住宅	025-24	住宅
A	M2/3	31	区画	31	55	207	11385	347	3.2	住宅	025-24	住宅
A	M2/3	32	区画	32	55	213	11715	357	3.2	住宅	025-24	住宅
A	M2/3	33	区画	33	55	219	12045	367	3.2	住宅	025-24	住宅
A	M2/3	34	区画	34	55	225	12375	377	3.2	住宅	025-24	住宅
A	M2/3	35	区画	35	55	231	12705	387	3.2	住宅	025-24	住宅
A	M2/3	36	区画	36	55	237	13035	397	3.2	住宅	025-24	住宅
A	M2/3	37	区画	37	55	243	13365	407	3.2	住宅	025-24	住宅
A	M2/3	38	区画	38	55	249	13695	417	3.2	住宅	025-24	住宅
A	M2/3	39	区画	39	55	255	14025	427	3.2	住宅	025-24	住宅
A	M2/3	40	区画	40	55	261	14355	437	3.2	住宅	025-24	住宅
A	M2/3	41	区画	41	55	267	14685	447	3.2	住宅	025-24	住宅
A	M2/3	42	区画	42	55	273	15015	457	3.2	住宅	025-24	住宅
A	M2/3	43	区画	43	55	279	15345	467	3.2	住宅	025-24	住宅
A	M2/3	44	区画	44	55	285	15675	477	3.2	住宅	025-24	住宅
A	M2/3	45	区画	45	55	291	16005	487	3.2	住宅	025-24	住宅
A	M2/3	46	区画	46	55	297	16335	497	3.2	住宅	025-24	住宅
A	M2/3	47	区画	47	55	303	16665	507	3.2	住宅	025-24	住宅
A	M2/3	48	区画	48	55	309	16995	517	3.2	住宅	025-24	住宅
A	M2/3	49	区画	49	55	315	17325	527	3.2	住宅	025-24	住宅
A	M2/3	50	区画	50	55	321	17655	537	3.2	住宅	025-24	住宅
A	M2/3	51	区画	51	55	327	17985	547	3.2	住宅	025-24	住宅
A	M2/3	52	区画	52	55	333	18315	557	3.2	住宅	025-24	住宅
A	M2/3	53	区画	53	55	339	18645	567	3.2	住宅	025-24	住宅
A	M2/3	54	区画	54	55	345	18975	577	3.2	住宅	025-24	住宅
A	M2/3	55	区画	55	55	351	19305	587	3.2	住宅	025-24	住宅
A	M2/3	56	区画	56	55	357	19635	597	3.2	住宅	025-24	住宅
A	M2/3	57	区画	57	55	363	19965	607	3.2	住宅	025-24	住宅
A	M2/3	58	区画	58	55	369	20295	617	3.2	住宅	025-24	住宅
A	M2/3	59	区画	59	55	375	20625	627	3.2	住宅	025-24	住宅
A	M2/3	60	区画	60	55	381	20955	637	3.2	住宅	025-24	住宅
A	M2/3	61	区画	61	55	387	21285	647	3.2	住宅	025-24	住宅
A	M2/3	62	区画	62	55	393	21615	657	3.2	住宅	025-24	住宅
A	M2/3	63	区画	63	55	399	21945	667	3.2	住宅	025-24	住宅
A	M2/3	64	区画	64	55	405	22275	677	3.2	住宅	025-24	住宅
A	M2/3	65	区画	65	55	411	22605	687	3.2	住宅	025-24	住宅
A	M2/3	66	区画	66	55	417	22935	697	3.2	住宅	025-24	住宅
A	M2/3	67	区画	67	55	423	23265	707	3.2	住宅	025-24	住宅
A	M2/3	68	区画	68	55	429	23595	717	3.2	住宅	025-24	住宅
A	M2/3	69	区画	69	55	435	23925	727	3.2	住宅	025-24	住宅
A	M2/3	70	区画	70	55	441	24255	737	3.2	住宅	025-24	住宅
A	M2/3	71	区画	71	55	447	24585	747	3.2	住宅	025-24	住宅
A	M2/3	72	区画	72	55	453	24915	757	3.2	住宅	025-24	住宅
A	M2/3	73	区画	73	55	459	25245	767	3.2	住宅	025-24	住宅
A	M2/3	74	区画	74	55	465	25575	777	3.2	住宅	025-24	住宅
A	M2/3	75	区画	75	55	471	25905	787	3.2	住宅	025-24	住宅
A	M2/3	76	区画	76	55	477	26235	797	3.2	住宅	025-24	住宅
A	M2/3	77	区画	77	55	483	26565	807	3.2	住宅	025-24	住宅
A	M2/3	78	区画	78	55	489	26895	817	3.2	住宅	025-24	住宅
A	M2/3	79	区画	79	55	495	27225	827	3.2	住宅	025-24	住宅
A	M2/3	80	区画	80	55	501	27555	837	3.2	住宅	025-24	住宅
A	M2/3	81	区画	81	55	507	27885	847	3.2	住宅	025-24	住宅
A	M2/3	82	区画	82	55	513	28215	857	3.2	住宅	025-24	住宅
A	M2/3	83	区画	83	55	519	28545	867	3.2	住宅	025-24	住宅
A	M2/3	84	区画	84	55	525	28875	877	3.2	住宅	025-24	住宅
A	M2/3	85	区画	85	55	531	29205	887	3.2	住宅	025-24	住宅
A	M2/3	86	区画	86	55	537	29535	897	3.2	住宅	025-24	住宅
A	M2/3	87	区画	87	55	543	29865	907	3.2	住宅	025-24	住宅
A	M2/3	88	区画	88	55	549	30195	917	3.2	住宅	025-24	住宅
A	M2/3	89	区画	89	55	555	30525	927	3.2	住宅	025-24	住宅
A	M2/3	90	区画	90	55	561	30855	937	3.2	住宅	025-24	住宅
A	M2/3	91	区画	91	55	567	31185	947	3.2	住宅	025-24	住宅
A	M2/3	92	区画	92	55	573	31515	957	3.2	住宅	025-24	住宅
A	M2/3	93	区画	93	55	579	31845	967	3.2	住宅	025-24	住宅
A	M2/3	94	区画	94	55	585	32175	977	3.2	住宅	025-24	住宅
A	M2/3	95	区画	95	55	591	32505	987	3.2	住宅	025-24	住宅
A	M2/3	96	区画	96	55	597	32835	997	3.2	住宅	025-24	住宅
A	M2/3	97	区画	97	55	603	33165	1007	3.2	住宅	025-24	住宅
A	M2/3	98	区画	98	55	609	33495	1017	3.2	住宅	025-24	住宅
A	M2/3	99	区画	99	55	615	33825	1027	3.2	住宅	025-24	住宅
A	M2/3	100	区画	100	55	621	34155	1037	3.2	住宅	025-24	住宅

図 C.15 A side M2/3 Station Sector 1 ~ 3 に接続されるファイバーの長さから決定されたタイミングパラメータ



Stn	Station	Sector	Phi	PhiB	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)	Distance to Reference Point (m)
A	M2/3	7	65	37	102.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	38	103.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	39	104.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	40	105.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	41	106.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	42	107.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	43	108.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	44	109.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	45	110.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	46	111.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	47	112.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	48	113.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	49	114.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	50	115.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	51	116.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	52	117.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	53	118.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	54	119.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	55	120.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	56	121.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	57	122.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	58	123.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	59	124.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	60	125.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	61	126.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	62	127.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	63	128.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	64	129.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	65	130.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	66	131.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	67	132.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	68	133.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	69	134.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	70	135.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	71	136.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	72	137.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	73	138.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	74	139.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	75	140.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	76	141.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	77	142.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	78	143.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	79	144.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	80	145.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	81	146.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	82	147.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	83	148.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	84	149.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	85	150.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	86	151.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	87	152.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	88	153.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	89	154.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	90	155.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	91	156.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	92	157.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	93	158.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	94	159.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	95	160.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	96	161.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	97	162.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	98	163.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	99	164.0	100	1	Positive	0.00	0	0	
A	M2/3	7	65	100	165.0	100	1	Positive	0.00	0	0	

図 C.17 A side M2/3 Station Sector 7 ~ 9 に接続されるファイバーの長さから決定されたタイミングパラメータ

Site	Station	Sector	PR	PRB	Resource Group	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type
A	M2/3	10	8.1	12	025.02	101	101	1	Resource	025.02	A	1								
A	M2/3	10	8.1	13	025.04	104	104	1	Resource	025.04	A	1								
A	M2/3	10	8.1	14	025.06	107	107	1	Resource	025.06	A	1								
A	M2/3	10	8.1	15	025.08	110	110	1	Resource	025.08	A	1								
A	M2/3	10	8.1	16	025.10	113	113	1	Resource	025.10	A	1								
A	M2/3	10	8.1	17	025.12	116	116	1	Resource	025.12	A	1								
A	M2/3	10	8.1	18	025.14	119	119	1	Resource	025.14	A	1								
A	M2/3	10	8.1	19	025.16	122	122	1	Resource	025.16	A	1								
A	M2/3	10	8.1	20	025.18	125	125	1	Resource	025.18	A	1								
A	M2/3	10	8.1	21	025.20	128	128	1	Resource	025.20	A	1								
A	M2/3	10	8.1	22	025.22	131	131	1	Resource	025.22	A	1								
A	M2/3	10	8.1	23	025.24	134	134	1	Resource	025.24	A	1								
A	M2/3	10	8.1	24	025.26	137	137	1	Resource	025.26	A	1								
A	M2/3	10	8.1	25	025.28	140	140	1	Resource	025.28	A	1								
A	M2/3	10	8.1	26	025.30	143	143	1	Resource	025.30	A	1								
A	M2/3	10	8.1	27	025.32	146	146	1	Resource	025.32	A	1								
A	M2/3	10	8.1	28	025.34	149	149	1	Resource	025.34	A	1								
A	M2/3	10	8.1	29	025.36	152	152	1	Resource	025.36	A	1								
A	M2/3	10	8.1	30	025.38	155	155	1	Resource	025.38	A	1								
A	M2/3	10	8.1	31	025.40	158	158	1	Resource	025.40	A	1								
A	M2/3	10	8.1	32	025.42	161	161	1	Resource	025.42	A	1								
A	M2/3	10	8.1	33	025.44	164	164	1	Resource	025.44	A	1								
A	M2/3	10	8.1	34	025.46	167	167	1	Resource	025.46	A	1								
A	M2/3	10	8.1	35	025.48	170	170	1	Resource	025.48	A	1								
A	M2/3	10	8.1	36	025.50	173	173	1	Resource	025.50	A	1								
A	M2/3	10	8.1	37	025.52	176	176	1	Resource	025.52	A	1								
A	M2/3	10	8.1	38	025.54	179	179	1	Resource	025.54	A	1								
A	M2/3	10	8.1	39	025.56	182	182	1	Resource	025.56	A	1								
A	M2/3	10	8.1	40	025.58	185	185	1	Resource	025.58	A	1								
A	M2/3	10	8.1	41	025.60	188	188	1	Resource	025.60	A	1								
A	M2/3	10	8.1	42	025.62	191	191	1	Resource	025.62	A	1								
A	M2/3	10	8.1	43	025.64	194	194	1	Resource	025.64	A	1								
A	M2/3	10	8.1	44	025.66	197	197	1	Resource	025.66	A	1								
A	M2/3	10	8.1	45	025.68	200	200	1	Resource	025.68	A	1								
A	M2/3	10	8.1	46	025.70	203	203	1	Resource	025.70	A	1								
A	M2/3	10	8.1	47	025.72	206	206	1	Resource	025.72	A	1								
A	M2/3	10	8.1	48	025.74	209	209	1	Resource	025.74	A	1								
A	M2/3	10	8.1	49	025.76	212	212	1	Resource	025.76	A	1								
A	M2/3	10	8.1	50	025.78	215	215	1	Resource	025.78	A	1								
A	M2/3	10	8.1	51	025.80	218	218	1	Resource	025.80	A	1								
A	M2/3	10	8.1	52	025.82	221	221	1	Resource	025.82	A	1								
A	M2/3	10	8.1	53	025.84	224	224	1	Resource	025.84	A	1								
A	M2/3	10	8.1	54	025.86	227	227	1	Resource	025.86	A	1								
A	M2/3	10	8.1	55	025.88	230	230	1	Resource	025.88	A	1								
A	M2/3	10	8.1	56	025.90	233	233	1	Resource	025.90	A	1								
A	M2/3	10	8.1	57	025.92	236	236	1	Resource	025.92	A	1								
A	M2/3	10	8.1	58	025.94	239	239	1	Resource	025.94	A	1								
A	M2/3	10	8.1	59	025.96	242	242	1	Resource	025.96	A	1								
A	M2/3	10	8.1	60	025.98	245	245	1	Resource	025.98	A	1								
A	M2/3	10	8.1	61	026.00	248	248	1	Resource	026.00	A	1								
A	M2/3	10	8.1	62	026.02	251	251	1	Resource	026.02	A	1								
A	M2/3	10	8.1	63	026.04	254	254	1	Resource	026.04	A	1								
A	M2/3	10	8.1	64	026.06	257	257	1	Resource	026.06	A	1								
A	M2/3	10	8.1	65	026.08	260	260	1	Resource	026.08	A	1								
A	M2/3	10	8.1	66	026.10	263	263	1	Resource	026.10	A	1								
A	M2/3	10	8.1	67	026.12	266	266	1	Resource	026.12	A	1								
A	M2/3	10	8.1	68	026.14	269	269	1	Resource	026.14	A	1								
A	M2/3	10	8.1	69	026.16	272	272	1	Resource	026.16	A	1								
A	M2/3	10	8.1	70	026.18	275	275	1	Resource	026.18	A	1								
A	M2/3	10	8.1	71	026.20	278	278	1	Resource	026.20	A	1								
A	M2/3	10	8.1	72	026.22	281	281	1	Resource	026.22	A	1								
A	M2/3	10	8.1	73	026.24	284	284	1	Resource	026.24	A	1								
A	M2/3	10	8.1	74	026.26	287	287	1	Resource	026.26	A	1								
A	M2/3	10	8.1	75	026.28	290	290	1	Resource	026.28	A	1								
A	M2/3	10	8.1	76	026.30	293	293	1	Resource	026.30	A	1								
A	M2/3	10	8.1	77	026.32	296	296	1	Resource	026.32	A	1								
A	M2/3	10	8.1	78	026.34	299	299	1	Resource	026.34	A	1								
A	M2/3	10	8.1	79	026.36	302	302	1	Resource	026.36	A	1								
A	M2/3	10	8.1	80	026.38	305	305	1	Resource	026.38	A	1								
A	M2/3	10	8.1	81	026.40	308	308	1	Resource	026.40	A	1								
A	M2/3	10	8.1	82	026.42	311	311	1	Resource	026.42	A	1								
A	M2/3	10	8.1	83	026.44	314	314	1	Resource	026.44	A	1								
A	M2/3	10	8.1	84	026.46	317	317	1	Resource	026.46	A	1								
A	M2/3	10	8.1	85	026.48	320	320	1	Resource	026.48	A	1								
A	M2/3	10	8.1	86	026.50	323	323	1	Resource	026.50	A	1								
A	M2/3	10	8.1	87	026.52	326	326	1	Resource	026.52	A	1								
A	M2/3	10	8.1	88	026.54	329	329	1	Resource	026.54	A	1								
A	M2/3	10	8.1	89	026.56	332	332	1	Resource	026.56	A	1								
A	M2/3	10	8.1	90	026.58	335	335	1	Resource	026.58	A	1								
A	M2/3	10	8.1	91	026.60	338	338	1	Resource	026.60	A	1								
A	M2/3	10	8.1	92	026.62	341	341	1	Resource	026.62	A	1								
A	M2/3	10	8.1	93	026.64	344	344	1	Resource	026.64	A	1								
A	M2/3	10	8.1	94	026.66	347	347	1	Resource	026.66	A	1								
A	M2/3	10	8.1	95	026.68	350	350	1	Resource	026.68	A	1								
A	M2/3	10	8.1	96	026.70	353	353	1	Resource	026.70	A	1								
A	M2/3	10	8.1	97	026.72	356	356	1	Resource	026.72	A	1								
A	M2/3	10	8.1	98	026.74	359	359	1	Resource	026.74	A	1								
A	M2/3	10	8.1	99	026.76	362	362	1	Resource	026.76	A	1								
A	M2/3	10	8.1	100	026.78	365	365	1	Resource	026.78	A	1								

図 C.18 A side M2/3 Station Sector 10 ~ 12 に接続されるファイバーの長さから決定されたタイミングパラメータ







Site	Station	Sector	PR	PRB	Resource Group	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type	Resource ID	Resource Name	Resource Type
C	M2/3	10	8.5	12	44237	194	1	Resource	44232	2	1						
C	M2/3	10	8.5	13	44238	194	2	Resource	44232	2	1						
C	M2/3	10	8.5	14	44240	194	3	Resource	44232	2	1						
C	M2/3	10	8.5	15	44241	194	4	Resource	44232	2	1						
C	M2/3	10	8.5	16	44242	194	5	Resource	44232	2	1						
C	M2/3	10	8.5	17	44243	194	6	Resource	44232	2	1						
C	M2/3	10	8.5	18	44244	194	7	Resource	44232	2	1						
C	M2/3	10	8.5	19	44245	194	8	Resource	44232	2	1						
C	M2/3	10	8.5	20	44246	194	9	Resource	44232	2	1						
C	M2/3	10	8.5	21	44247	194	10	Resource	44232	2	1						
C	M2/3	10	8.5	22	44248	194	11	Resource	44232	2	1						
C	M2/3	10	8.5	23	44249	194	12	Resource	44232	2	1						
C	M2/3	10	8.5	24	44250	194	13	Resource	44232	2	1						
C	M2/3	10	8.5	25	44251	194	14	Resource	44232	2	1						
C	M2/3	10	8.5	26	44252	194	15	Resource	44232	2	1						
C	M2/3	10	8.5	27	44253	194	16	Resource	44232	2	1						
C	M2/3	10	8.5	28	44254	194	17	Resource	44232	2	1						
C	M2/3	10	8.5	29	44255	194	18	Resource	44232	2	1						
C	M2/3	10	8.5	30	44256	194	19	Resource	44232	2	1						
C	M2/3	10	8.5	31	44257	194	20	Resource	44232	2	1						
C	M2/3	10	8.5	32	44258	194	21	Resource	44232	2	1						
C	M2/3	10	8.5	33	44259	194	22	Resource	44232	2	1						
C	M2/3	10	8.5	34	44260	194	23	Resource	44232	2	1						
C	M2/3	10	8.5	35	44261	194	24	Resource	44232	2	1						
C	M2/3	10	8.5	36	44262	194	25	Resource	44232	2	1						
C	M2/3	10	8.5	37	44263	194	26	Resource	44232	2	1						
C	M2/3	10	8.5	38	44264	194	27	Resource	44232	2	1						
C	M2/3	10	8.5	39	44265	194	28	Resource	44232	2	1						
C	M2/3	10	8.5	40	44266	194	29	Resource	44232	2	1						
C	M2/3	10	8.5	41	44267	194	30	Resource	44232	2	1						
C	M2/3	10	8.5	42	44268	194	31	Resource	44232	2	1						
C	M2/3	10	8.5	43	44269	194	32	Resource	44232	2	1						
C	M2/3	10	8.5	44	44270	194	33	Resource	44232	2	1						
C	M2/3	10	8.5	45	44271	194	34	Resource	44232	2	1						
C	M2/3	10	8.5	46	44272	194	35	Resource	44232	2	1						
C	M2/3	10	8.5	47	44273	194	36	Resource	44232	2	1						
C	M2/3	10	8.5	48	44274	194	37	Resource	44232	2	1						
C	M2/3	10	8.5	49	44275	194	38	Resource	44232	2	1						
C	M2/3	10	8.5	50	44276	194	39	Resource	44232	2	1						
C	M2/3	10	8.5	51	44277	194	40	Resource	44232	2	1						
C	M2/3	10	8.5	52	44278	194	41	Resource	44232	2	1						
C	M2/3	10	8.5	53	44279	194	42	Resource	44232	2	1						
C	M2/3	10	8.5	54	44280	194	43	Resource	44232	2	1						
C	M2/3	10	8.5	55	44281	194	44	Resource	44232	2	1						
C	M2/3	10	8.5	56	44282	194	45	Resource	44232	2	1						
C	M2/3	10	8.5	57	44283	194	46	Resource	44232	2	1						
C	M2/3	10	8.5	58	44284	194	47	Resource	44232	2	1						
C	M2/3	10	8.5	59	44285	194	48	Resource	44232	2	1						
C	M2/3	10	8.5	60	44286	194	49	Resource	44232	2	1						
C	M2/3	10	8.5	61	44287	194	50	Resource	44232	2	1						
C	M2/3	10	8.5	62	44288	194	51	Resource	44232	2	1						
C	M2/3	10	8.5	63	44289	194	52	Resource	44232	2	1						
C	M2/3	10	8.5	64	44290	194	53	Resource	44232	2	1						
C	M2/3	10	8.5	65	44291	194	54	Resource	44232	2	1						
C	M2/3	10	8.5	66	44292	194	55	Resource	44232	2	1						
C	M2/3	10	8.5	67	44293	194	56	Resource	44232	2	1						
C	M2/3	10	8.5	68	44294	194	57	Resource	44232	2	1						
C	M2/3	10	8.5	69	44295	194	58	Resource	44232	2	1						
C	M2/3	10	8.5	70	44296	194	59	Resource	44232	2	1						
C	M2/3	10	8.5	71	44297	194	60	Resource	44232	2	1						
C	M2/3	10	8.5	72	44298	194	61	Resource	44232	2	1						
C	M2/3	10	8.5	73	44299	194	62	Resource	44232	2	1						
C	M2/3	10	8.5	74	44300	194	63	Resource	44232	2	1						
C	M2/3	10	8.5	75	44301	194	64	Resource	44232	2	1						
C	M2/3	10	8.5	76	44302	194	65	Resource	44232	2	1						
C	M2/3	10	8.5	77	44303	194	66	Resource	44232	2	1						
C	M2/3	10	8.5	78	44304	194	67	Resource	44232	2	1						
C	M2/3	10	8.5	79	44305	194	68	Resource	44232	2	1						
C	M2/3	10	8.5	80	44306	194	69	Resource	44232	2	1						
C	M2/3	10	8.5	81	44307	194	70	Resource	44232	2	1						
C	M2/3	10	8.5	82	44308	194	71	Resource	44232	2	1						
C	M2/3	10	8.5	83	44309	194	72	Resource	44232	2	1						
C	M2/3	10	8.5	84	44310	194	73	Resource	44232	2	1						
C	M2/3	10	8.5	85	44311	194	74	Resource	44232	2	1						
C	M2/3	10	8.5	86	44312	194	75	Resource	44232	2	1						
C	M2/3	10	8.5	87	44313	194	76	Resource	44232	2	1						
C	M2/3	10	8.5	88	44314	194	77	Resource	44232	2	1						
C	M2/3	10	8.5	89	44315	194	78	Resource	44232	2	1						
C	M2/3	10	8.5	90	44316	194	79	Resource	44232	2	1						
C	M2/3	10	8.5	91	44317	194	80	Resource	44232	2	1						
C	M2/3	10	8.5	92	44318	194	81	Resource	44232	2	1						
C	M2/3	10	8.5	93	44319	194	82	Resource	44232	2	1						
C	M2/3	10	8.5	94	44320	194	83	Resource	44232	2	1						
C	M2/3	10	8.5	95	44321	194	84	Resource	44232	2	1						
C	M2/3	10	8.5	96	44322	194	85	Resource	44232	2	1						
C	M2/3	10	8.5	97	44323	194	86	Resource	44232	2	1						
C	M2/3	10	8.5	98	44324	194	87	Resource	44232	2	1						
C	M2/3	10	8.5	99	44325	194	88	Resource	44232	2	1						
C	M2/3	10	8.5	100	44326	194	89	Resource	44232	2	1						
C	M2/3	10	8.5	101	44327	194	90	Resource	44232	2	1						
C	M2/3	10	8.5	102	44328	194	91	Resource	44232	2	1						
C	M2/3	10	8.5	103	44329	194	92	Resource	44232	2	1						
C	M2/3	10	8.5	104	44330	194	93	Resource	44232	2	1						
C	M2/3	10	8.5	105	44331	194	94	Resource	44232	2	1						
C	M2/3	10	8.5	106	44332	194	95	Resource	44232	2	1						
C	M2/3	10	8.5	107	44333	194	96	Resource	44232	2	1						
C	M2/3	10	8.5	108	44334	194	97	Resource	44232	2	1						
C	M2/3	10	8.5	109	44335	194	98	Resource	44232	2	1						
C	M2/3	10	8.5	110	44336	194	99	Resource	44232	2	1						
C	M2/3	10	8.5	111	44337	194	100	Resource	44232	2	1						

図 C.22 C side M2/3 Station Sector 10 ~ 12 に接続されるファイバーの長さから決定されたタイミングパラメータ

## D 2024 年度 LHC Year End Technical Stop (YETS) 期間中に ATLAS 実験室で行った PSB TTC 信号位相に関する試験

2024 年度 LHC year End Technical stop (YETS) 期間中に ATLAS 実験室に 1/24 Sector M1 Station のセットアップを持ち込み、本番環境で TGC ミューオントリガーシステムの動作試験を行った ([17])。この際に本番環境で JATHub 位相測定機能を使い、PSB TTC 信号位相に関する知見を蓄積した。1 ヶ月程度の間隔をあけて数回試験を行うことで、本番環境において以下が長期的な再現性を持って確かめられた。ここで各 JATHub 位相測定系の間に存在するケーブルや回路素子の個体差による違いのことを測定系の Skew と呼ぶ。JATHub 位相測定値に対し測定系の Skew の影響を打ち消すように値を補正することを測定系の Skew 補正と呼ぶ。

- SL から PSB への TTC 信号分配時間の変化が 300 ps 程度に収まっている
- JATHub でモニターする PSB TTC 信号位相に対し測定系の Skew 補正をすると、ファイバー長測定により求めた実際の PSB TTC 信号位相に 300 ps 程度の精度で一致する

ことがわかった。一方で、期間を空けた再測定の間で

- 測定系の Skew が 1 ns 程度変化する

様子が見られた。試験の概要を説明する。詳細は [18] で説明されている。

### D.1 セットアップ

TGC 検出器 C side M1 Station Sector5-Phi2/3 に M1 1/24 Sector をカバーするフロントエンド回路を設置し、SL や PC 等で構成された試験ステーションと約 100 m の光ファイバーで接続した。PSB と JATHub は約 10 m の LAN ケーブルで接続した (図 D.23)。

### D.2 SL から PSB への TTC 信号分配時間の安定性

まず、図 D.24 のようにして SL から PSB への TTC 信号分配時間差を測定した。これはファイバー長測定であり、PSB TTC 信号位相差を求めていることになる。2024 年 12 月、2025 年 1 月、2025 年 2 月の各時期にこの測定を行った結果が図 D.25 である。これにより、本番環境において TTC 信号分配時間差の変化は 300 ps 程度に収まっていることが長期的な再現性をもって確かめられた。

### D.3 測定系の Skew 補正の妥当性

図 D.26 のように測定系の Skew を求め、JATHub 位相モニター結果に対し各測定系の Skew を打ち消すような補正を行うと、300 ps 程度の精度で図 D.2 で求めた実際の PSB TTC 信号位相に一致することがわかる (図 6.27(a) : 2025 年 1 月結果、図 6.27(b) : 2025 年 2 月結果)。ただし、2025 年 1 月と 2 月の結果で、測定系の Skew が 1 ns 程度変化していた (図 D.28)。

このような挙動は YETS 中の試験以外で確認されておらず、原因も明らかになっていない。特にファイバー長測定時には 4.3.2 節のように同じファイバーに対して共通の測定系で測定し、100 ps 程度の精度で同じ測定結果を得られていたため、測定系の不定性は 100 ps 程度に収まっていた。今後も図 D.28 のような JATHub 位相測定系の不定性には注意し、もし不定性が見られた場合には原因の究明をする。

TGC検出器上に設置したJATHubによるPS Board LHCクロック位相測定セットアップ

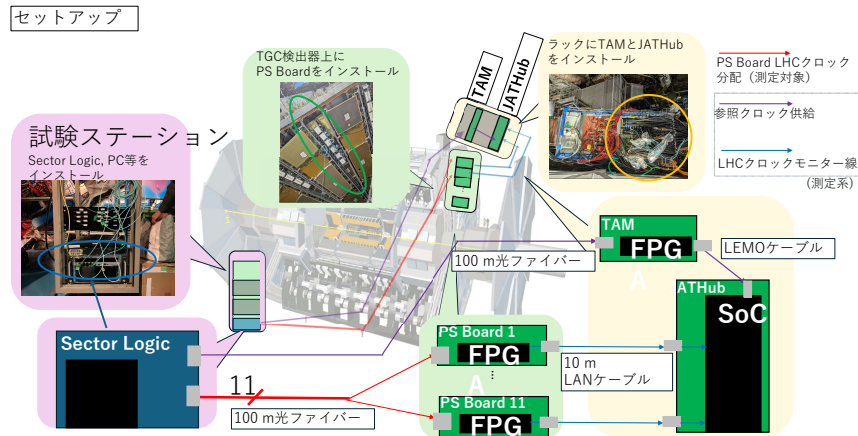


図 D.23 YETS 期間中に ATLAS 実験室に設置したセットアップ。TGC 検出器 C side M1 Station Sector5-Phi2/3 Sector に M1 1/24 Sector をカバーする PSB 11 台を設置し、mini-rack に JATHub, TAM をインストールした。これらの回路は A side 側に構築した試験ステーションの SL や PC に約 100 m の光ファイバーを介してつながっている。

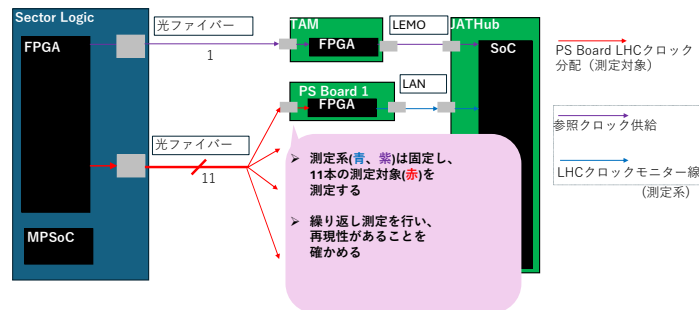


図 D.24 SL から PSB への TTC 信号分配時間差の測定方法の概要図。測定系を固定し、測定対象のファイバーを変えながら JATHub 位相測定を行った。SL と各 PSB をつなぐファイバーの設計長は同じであり、TTC 信号時間差は 25 ns 以内であるため、このときは Fine Monitor のみ行った。

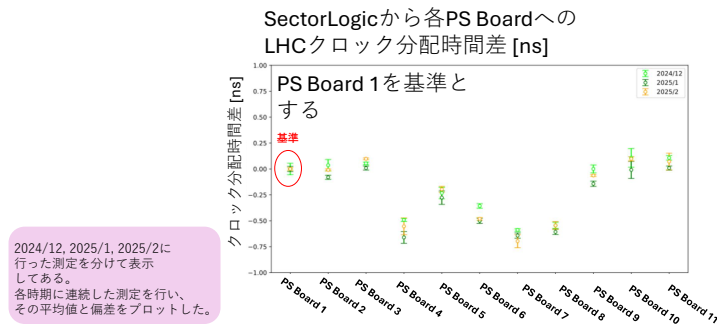


図 D.25 図 D.24 の測定を繰り返し行った結果。特に 2024 年 12 月、2025 年 1 月、2025 年 2 月の各時期で測定を行い、これらの結果を分けて表示してある。各時期に連続した測定を複数回を行い、その平均値と偏差を表示した。PSB 番号 1 を基準にしたときの TTC 信号分配時間差を表示してある。

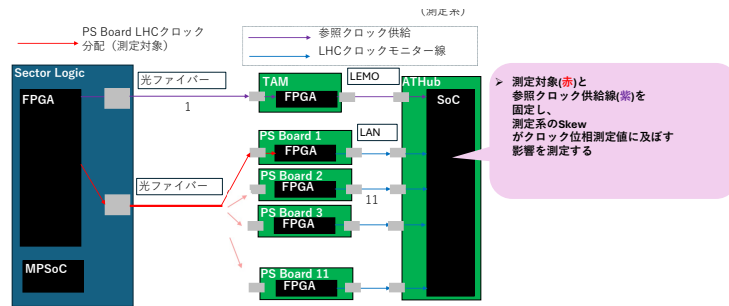


図 D.26 測定系の Skew の取得方法。測定対象を固定し、異なる測定系で測定した時の結果を比較する。結果の差が測定系の Skew である。

(a)

(b)

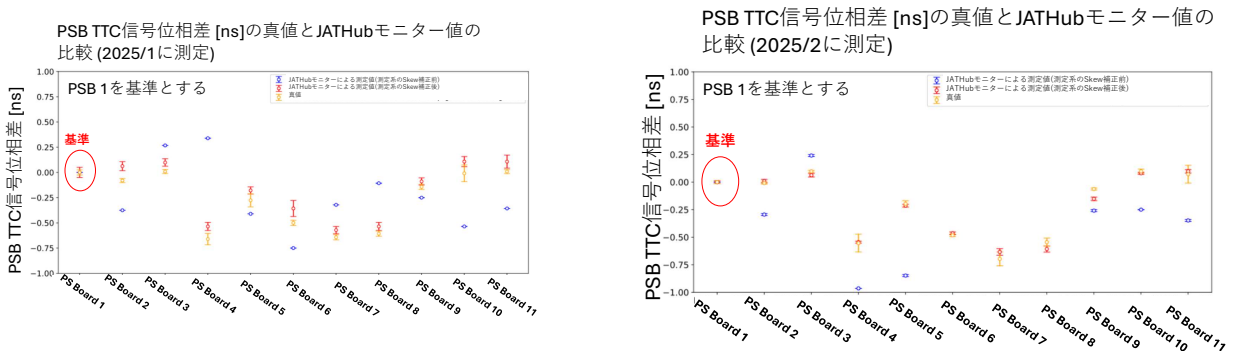


図 D.27 (a) 2025 年 1 月の結果。(b) 2025 年 2 月の結果。各時期の測定で次のことがわかった。JATHub 位相モニター結果に対し図 D.26 のように求めた測定系の Skew を補正した。その結果と、D.2 で求めた実際の PSB TTC 信号位相を比較したところ、両者が 300 ps 程度の精度で一致することがわかった。一方で、2025 年 1 月と 2 月の結果で測定系の Skew が 1 ns 程度変化していた。

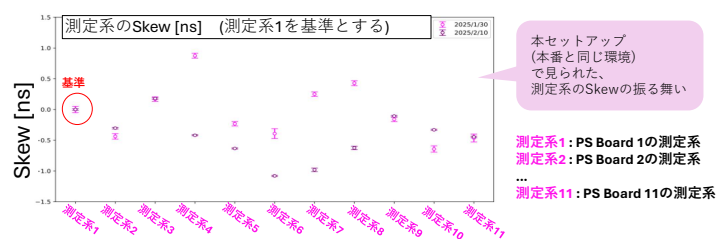


図 D.28 2025年1月と2月に取得した測定系のSkewの変化。値が最大で1.5 ns程度変化していた。

## 謝辞

本研究を行うにあたり、多くの方々にお世話になりました。まず指導教員である奥村恭幸准教授には研究を進める上で多くの助言をいただき、とてもお世話になりました。長期間 CERN へ出張する機会をいただくなど、本研究をはじめ様々な学びの場を用意して下さり、大変感謝しております。石野雅也教授にも研究計画や発表資料等について度々助言をいただき、とてもお世話になりました。

ICEPP のスタッフの方々も常に気にかけて下さりありがとうございました。特に斎藤智之助教には CERN 滞在中の研究環境を整えていただいたおかげで、本研究をスムーズに進められました。重ねてお礼申し上げます。秘書の皆様も CERN へのお出張手続きなど様々な面で支えていただきありがとうございました。

ATLAS TGC 日本グループのスタッフの方々にもお世話になりました。KEK の山口洋平助教には CERN に構築したテストベンチの物品購入手続き等で大変お世話になりました。KEK の須江祐貴氏、Chaowaroj Wanotayaroj 氏、名古屋大学の泉山将大助教にはエレクトロニクスのファームウェア開発において様々な助言をいただき、ありがたかったです。KEK の青木雅人氏にはテストベンチへの PSB 電源のインストールをはじめ、ハードウェアのセットアップにおいて度々お世話になりました。KEK 秘書の鮎川由佳さんには KEK 出張手続き等で何度もお世話になりました。他にも数多くの方々に支えていただきました。改めてお礼申し上げます。

高輝度 LHC-ATLAS 実験に向けたアップグレードの研究に携わる学生の皆様にもここでお礼申し上げます。まず研究室の先輩である近藤さんには TGC ミューオントリガーシステムの全体像から各エレクトロニクスのファームウェア開発方法・ソフトウェアによる操作方法に至るまで様々なことを教えていただきました。同じく研究室の先輩である長坂さん、成川さん、牧田さんにもファームウェア開発に関する様々な助言をいただきました。研究室の同期である大坪さん、田上さん、水落さんとも多くの開発・試験を共同で行い、議論を交わして研究を深めることができました。研究室の後輩である橋爪さんにはテストベンチの構築など本研究の多くの段階でご協力いただきました。本研究の準備段階で行った光ファイバーを束ねる作業においても、橋爪さんと神戸大学の同期である田中亮祐さんをはじめ数多くの方々にご協力いただきました。皆様に感謝いたします。

研究を応援して下さった家族にも感謝いたします。

## 引用文献

- [1] Ewa, L. (2022) “The CERN accelerator complex, layout in 2022. Complexe des accélérateurs du CERN en janvier 2022,” *General Photo*, URL:<https://cds.cern.ch/record/2800984>.
- [2] Maria, B. R. (2022) “ATLAS experiment schematic or layout illustration,” *General Photo*, URL:<https://cds.cern.ch/record/2837191>.
- [3] Sascha, M. (2021) “ATLAS detector slice (and particle visualisation),” *General Photo*, URL:<https://cds.cern.ch/record/2770815>.
- [4] The ATLAS Collaboration, “ATLAS Muon Spectrometer Technical Design Report,” *CERN-LHCC-97-022*.
- [5] CERN, Geneva, (2017) “Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer,” *Technical report*, URL:<https://cds.cern.ch/record/2285580>.
- [6] Claudia, M. (2006) “Installation of the first of the big wheels of the ATLAS muon spectrometer, a thin gap chamber (TGC) wheel. Installation de la première des grandes roues du ATLAS spectromètre à muons, une roue TGC),” URL:<https://cds.cern.ch/record/2285580>.
- [7] 赤塚駿一, 「LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良」, 『京都大学 修士論文』.
- [8] CERN, “The LH-LHC project,” URL:<https://hilumilhc.web.cern.ch/content/hl-lhc-project>.
- [9] The ATLAS Collaboration, (15 June 2018) “Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System,” *CERN-LHCC-2017-020*.
- [10] ATLAS TGC Collaboration, (1999) “Amplifier-Shaper-Discriminator ICs and ASD Boards.”
- [11] 須部実咲, (2024) 「高輝度 LHC-ATLAS 実験における TGC 検出器前段回路コンフィギュレーションパラメータの設定手法の構築」, 『2024 年春季日本物理学』.
- [12] 竹本享史, 「ATLAS 実験ミュオントリガーシステム用 LSI の開発と統合評価テスト」, 『東京大学 修士論文』.
- [13] 青木匠, 「大規模エレクトロニクスシステムにおける次世代型オペレーションモデルの研究」, 『東京大学 修士論文』.
- [14] 山下恵理香, 「高輝度 LHC-ATLAS 実験に向けた初段ミュオントリガーの開発と検証」, 『東京大学 修士論文』.
- [15] 三野裕哉, (2020) 「高輝度 LHC-ATLAS 実験に向けた初段ミュオントリガーアルゴリズムの開発およびハードウェアへの実装」, 『京都大学 修士論文』.
- [16] 成川佳史, 「高輝度 LHC-ATLAS 実験に向けたミュオントリガー論理回路の実装及び性能評価-トリガー系の統合と試験システムの構築-」, 『東京大学 修士論文』.
- [17] 近藤翔太, (2025) 「高輝度 LHC-ATLAS 実験に向けたミュオントリガーシステムの運用方法の確率と実機を使った統合試験」, 『東京大学 修士論文』.
- [18] 牧和真, (2025) 「高輝度 LHC-ATLAS 実験に向けた TGC ミュオントリガーシステムにおける信号読み出しボード間のクロック位相調整精度の評価」, 『2025 年春季日本物理学』, 第 20pT2-6 巻.