

2024 年度 修士論文

高輝度 LHC-ATLAS 実験に向けた
ミュオントリガーシステムの運用方法の確立と
実機を使った統合試験

(Establishment of operation method of muon trigger system and integration on-site testing
using actual experimental equipment for High-Luminosity LHC-ATLAS experiment.)

東京大学大学院理学系研究科
素粒子物理国際研究センター
奥村研究室

博士前期課程 2 年
学籍番号 35-236040

近藤 翔太

2025 年 1 月 24 日

概要

LHC-ATLAS 実験は、スイスのジュネーブにある欧州原子核研究機構で行われている高エネルギー加速器実験である。この実験では、Large Hadron Collider (LHC) で加速した陽子同士を衝突させ、生成される粒子を ATLAS 検出器で検出する。これにより、素粒子物理学における標準模型の精密測定や新粒子の探索を行っている。2030 年から開始予定の高輝度 LHC-ATLAS 実験では、瞬間最高ルミノシティを現行の 2 ~ 3 倍に増強した高輝度 LHC を用いて、LHC-ATLAS 実験 RUN3 運転までに収集される積分ルミノシティの約 6 倍の大統計データを収集し、LHC-ATLAS 実験を超える精度での標準模型の精密測定や新物理の探索を行う。LHC の高輝度化に伴って ATLAS 検出器の Trigger DAQ システムの仕様は刷新される。この仕様変更に対応するべく、Thin Gap Chamber (TGC) 検出器の信号を使った初段トリガーを行う TGC ミューオントリガーシステムはエレクトロニクスの大部分を刷新する。

これまでに行われてきた研究・開発により刷新されるエレクトロニクスの大部分が完成している。また、それらのエレクトロニクスを組み合わせたテストベンチが構築され、システムレベルの試験が始まっている。2026 年からは新しいエレクトロニクスのインストール、システムのコミッショニングが開始される予定であるため、これからは本番運用を見据えたエレクトロニクスの洗練、運用方法の確立、全システムの動作試験を進めていくことが求められる。本研究では、システムのパフォーマンス向上、安定的な動作の実現を目的とし、具体的なシステムの運用方法の確立、および、それに伴って必要となった新しい機能の実装を行うと共に、テストベンチを使って実装した機能の動作検証を行なった。さらに、刷新したエレクトロニクスを ATLAS 実験室に持ち込んで本番運用とほぼ同じセットアップを構築し、初めて本番運用と同じ環境での全システムの動作試験を行った。システムのパフォーマンス向上、安定的な動作の実現を目的に行なった研究は多くあるが、本論ではそのうち主要な 4 つの研究について記述する。

1 つ目は高精度でバンチ交差識別を行うためのヒット信号に対する遅延の最適化である。TGC ミューオントリガー回路ではヒット信号がどのバンチ交差に由来するか識別した上でトリガー演算を行うために、バンチ交差が起きてからヒット信号がバンチ交差識別を行う回路に到達するまでの時間の場所毎の違いを信号遅延により吸収する。この信号遅延は 0.74 ~ 12.5 ns 単位で行える仕様だが、これまでのフロントエンド回路の設計では、1.19 ns より粗い単位でなければ必要な信号遅延のレンジを確保できなかった。本研究では 25 ns 単位で信号遅延を行う機構をフロントエンド回路に実装することで、信号遅延の精度を粗くすることなく必要なレンジを確保し、より高い精度でバンチ交差識別をできるようにした。

2 つ目は安定的な光通信を行うための Clock Domain Crossing の手法の確立である。TGC ミューオントリガー回路は、バンチ交差が起きてからトリガー演算を行なって読み出し信号を发出するまでの時間を固定するために、ボード間の通信が固定時間で行われるような特殊な実装がされている。この実装では送信クロックと受信クロックの位相関係がメタステーブルになり受信データが破損することがある。本研究では受信データの破損が起きているかモニターし、起きていた際にはデータ受信のタイミングをずらすことでメタステーブルを回避できるようにした。

3 つ目はフロントエンド回路の configuration 方法の最適化である。本番運用においては、物理解析に使用するデータの収集 (Physics RUN) や検出器システムの較正に使用するデータの収集など様々な目的のデータ収集があり、それぞれの目的に最適なパラメーターを各ボードに設定する必要がある。TGC ミューオントリガー回路では、ファームウェアだけでなくパラメーターも QSPI Flash Memory に保存することで、パラメーターの設定を最速で行えるように設計しているが、複数種のパラメーターを保存しておき目的毎に使い分けるような設計ではない。本研究では、QSPI Flash Memory を介さずに直接回路上の素子にパラメーターを設定する手法を開発することで、QSPI Flash Memory には Physics RUN で使用するパラメーターのみを保存し、それ以外のデータ収集で使用するパラメーターは QSPI Flash Memory を介さずに設定するという運用方法を確立した。この運用方法では基本的に QSPI Flash Memory の書き換えを行わないため、Physics RUN で使用するパラメーターとそれ以外のデータ収集

で使用するパラメーターが干渉しないことが担保される。

4つ目はヒット信号の遅延やパンチ交差識別を行う PP-ASIC と呼ばれる素子の configuration 方法の最適化である。PP-ASIC はフロントエンド回路に搭載されており、内部の PLL 回路の制御電圧を調節することで、信号遅延時間が温度等で変わらないようにしている。しかし、量産した 1,000 台以上のフロントエンド回路の品質試験を行う中で、PLL 回路の位相制御がなかなか完了せず、ボードが DAQ を行える状態になるまでに長い時間を要するという想定外の現象が頻発した。本研究では、この現象の原因を調査・解明した上で、PP-ASIC の configuration 方法を最適化することで、PLL 回路の位相制御が安定的に完了するようにした。

全システムの動作試験は、2024 年末のテクニカルストップ期間に、刷新したエレクトロニクスを ATLAS 実験室に持ち込んで本番運用とほぼ同じセットアップを構築して行なった。セットアップの構築は、2026 年開始予定であるフロントエンド回路のインストールのデモンストレーションを兼ねて行なった。このインストール作業では、約半年という限られた時間で 1,434 台のフロントエンド回路をインストールし、各回路に配線を行う。また、この作業と並行して、配線が正しく行われたことを確認するための配線試験を行う。今回は TGC 検出器の 1 セクターを使ってフロントエンド回路のインストール・配線を行うと共に、配線試験の起点となる試験ステーションを構築して配線試験を行い成功させた。今回構築した試験システムは実際のインストール作業でそのまま使われる。セットアップを構築した後、全システムの configuration を行った。特にフロントエンド回路に供給する電圧の設定に関して、回路の設計から予想されていた通りの電圧降下を確認すると共に、適切に昇圧を行うことで運用可能な状態にできることを本番運用の前に示した価値は大きい。全システムの動作試験では、本番運用で行われるテスト（テストパルスを用いた DAQ、ヒット信号の伝搬遅延時間測定、ボード間での動作クロックの位相合わせ）のデモンストレーションを行い、概ね期待通りの結果が得られた。これらのテストには、システムのモニター・コントロールやヒット信号の読み出し等、トリガー演算を除く本番運用時に行うべきことの全てが含まれており、この試験を通して各回路への機能実装が設計通り行われていることを示した。今回行った試験は、2026 年以降に行われるシステムのコミッショニングや本番運用のプロトタイプとなる。

目次

第 1 章	序論	1
1.1	素粒子物理学における標準模型と課題	1
1.2	LHC-ATLAS 実験の概要	2
1.3	LHC-ATLAS 実験における TGC 検出器の役割	4
1.4	高輝度 LHC-ATLAS 実験とそれに向けたアップグレード計画	6
1.5	本研究の目的と本論文の構成	6
第 2 章	高輝度 LHC-ATLAS 実験における TGC ミューオントリガーシステム	9
2.1	Trigger DAQ システムの概要	10
2.2	TGC ミューオントリガー回路	10
2.2.1	Amplifier Shaper Discriminator (ASD) Card	11
2.2.2	Primary Processing (PS) Board	12
2.2.3	JTAG Assistance Hub (JATHub)	15
2.2.4	Timing Alignment Master (TAM) Module	18
2.2.5	Sector Logic (SL)	19
第 3 章	本番運用を見据えた TGC ミューオントリガーシステムの運用方法の確立	23
3.1	高い精度でバンチ交差識別をするための信号遅延の最適化	23
3.2	安定した Clock Domain Crossing の手法の確立	25
3.3	PS board の configuration の手法の最適化	29
3.4	PP-ASIC の configuration 方法の最適化	30
第 4 章	ATLAS 実験室における実機を使った TGC ミューオントリガーシステムの動作試験	33
4.1	セットアップの概要と ATLAS 実験室におけるシステムの構築	34
4.2	PS board に印加する電圧の調整	36
4.3	本試験で使用したパラメーター	38
4.4	テストパルスを用いた信号ケーブルの伝搬遅延時間の測定	39
4.5	テストパルスを用いた DAQ システムの動作試験	43
4.6	本試験の成果のまとめ	45
第 5 章	結論と今後の展望	47
付録		49
A	FPGA へのエラー挿入機構を使った SEU のエミュレーション	49
B	PS board のパラメーターの決定方法	51

B.1	PP-ASIC	55
B.2	データ受信部におけるエッジ選択パラメーター	56
B.3	TTC 信号の遅延パラメーター	56
B.4	LHC cklock の位相アライメントのパラメーター	56
B.5	DAC のパラメーター	57
B.6	ヒットデータの出力フォーマット	57
B.7	ヒット信号受信部におけるエッジ選択パラメーター	57
C	SL のパラメーターの決定方法	59
C.1	データ受信部におけるエッジ選択パラメーター	65
C.2	可変長シフトレジスタのパラメーター	66
C.3	データ受信部における rx slide の回数の偶奇を選択するパラメーター	66
D	PS board に接続したケーブルの配線チェックの方法	67
	謝辞	71
	参考文献	73

目次

1.1	CERN における加速器群の概要図	2
1.2	ATLAS 検出器の概要図と粒子の検出方法の概念図	3
1.3	TGC 検出器の概要図とトリガーセクターの定義	4
1.4	TGC 検出器を構成するガスチェンバーの構造	5
1.5	TGC 検出器におけるミュオンの飛跡再構成、運動量概算の概要図	5
1.6	高輝度 LHC-ATLAS 実験に向けた Phase-2 Upgrade の概要図	7
2.1	高輝度 LHC-ATLAS 実験における TDAQ システムの概要図	9
2.2	TGC ミューオントリガーシステムを構成するエレクトロニクスの概要図	10
2.3	ASD の Block Diagram	11
2.4	ASD の信号入力部分の Block Diagram	12
2.5	PS board の概要図	12
2.6	PP-ASIC の遅延回路の概要図	13
2.7	BCID 回路の Block Diagram	14
2.8	BCID のタイミングチャート	15
2.9	JATHub の概要図	15
2.10	JATHub による放射線損傷に対する回復手続きの概要図	16
2.11	JATHub による位相測定の概要図	17
2.12	TAM の概要図	18
2.13	TAM による 1/12 セクター間の基準クロックの位相合わせの概要図	19
2.14	SL の概要図	20
2.15	SL における Trigger path, Readout path の概要図	21
3.1	ミュオンの ToF と信号ケーブルの配線遅延の分布	23
3.2	coarse delay 機構に使用した BRAM	24
3.3	coarse delay 機構の validation の結果	24
3.4	メタステーブルの時の送信クロックと受信クロックの位相関係	25
3.5	データの破損が起きているかモニターする機構の概要図	26
3.6	モニター機構を使ったデータ受信におけるエラーレートの測定方法	26
3.7	モニター機構を使ったデータ受信におけるエラーレートの測定結果	27
3.8	エッジ選択機構の概要図	28
3.9	エッジ選択をした時のエラーレートの測定結果	28
3.10	自立型制御機構の概要図	29
3.11	直接回路上の素子を configuration するパスの概要図	30

3.12	PP-ASIC の configuration 方法を最適化する前後の PLL LOCK の成功率	31
4.1	TGC ミューオントリガーシステムの動作試験のセットアップ	33
4.2	試験ステーションのセットアップ	34
4.3	TGC 上のミニラックのセットアップ	35
4.4	TGC 上の PS board のセットアップ	36
4.5	電源周りののセットアップ	38
4.6	LHC clock を各回路に分配する SL の回路特性、および、光ファイバーの長さの違いの測定結果	39
4.7	timing calibration の概要図	40
4.8	テストパルスを用いた timing calibration の結果	42
4.9	PS10 PP7A/8A の Delayscan の結果	43
4.10	テストパルスを用いた DAQ システムの動作試験の結果	43
4.11	ヒット信号の遅延量を増やした後の結果	44
A.1	SEM へのエラー挿入の例	49
A.2	SEM のエラー挿入機構の validation の結果	50
B.3	PP-ASIC のパラメーター一覧	55
B.4	PS board から SL にヒットデータを送る時のデータフォーマット	57
D.5	上り線の光ファイバーの配線確認の結果	67
D.6	下り線の光ファイバーの配線確認の結果	68
D.7	JTAG 線の配線確認の結果	68
D.8	Recovery 線の配線確認の結果	69

表目次

1.1	標準模型における物質を構成する素粒子	1
1.2	標準模型における相互作用を媒介する素粒子とヒッグス粒子	1
4.1	セットアップを構築した直後に測定した PS board の印加電圧	37
4.2	昇圧後に測定した PS board の印加電圧	37
B.1	PS board のパラメーターリスト	51
C.2	SL のパラメーターリスト	59

第 1 章

序論

1.1 素粒子物理学における標準模型と課題

表 1.1 標準模型における物質を構成する素粒子

フェルミオン (スピン 1/2)			
クォーク	アップ (u)	チャーム (c)	トップ (t)
	ダウン (d)	ストレンジ (s)	ボトム (b)
レプトン	電子ニュートリノ (ν_e)	ミューニュートリノ (ν_μ)	タウニュートリノ (ν_τ)
	電子 (e)	ミューオン (μ)	タウオン (τ)
	第 1 世代	第 2 世代	第 3 世代

表 1.2 標準模型における相互作用を媒介する素粒子とヒッグス粒子

ボソン	
ベクターボソン (スピン 1)	グルーオン (g) 強い相互作用を媒介する
	ウィークボソン (W^\pm, Z^0) 弱い相互作用を媒介する
	光子 (γ) 電磁相互作用を媒介する
スカラーボソン (スピン 0)	ヒッグス (h)

素粒子物理学における標準模型（以下、標準模型）は、表 1.1 に示す 6 つのクォーク、6 つのレプトンと表 1.2 に示す 4 つのゲージボソンで物質とその間に働く 3 つの相互作用（強い相互作用、電磁相互作用、弱い相互作用）を記述し、ヒッグス機構によってそれらの素粒子が質量を獲得するメカニズムを説明する理論体系である。2012 年に LHC を使った実験で、標準模型が予言する最後の素粒子であるヒッグス粒子が発見され、標準模型と整合するヒッグス粒子の性質の確認を経て標準模型は完成した。

標準模型によって計算された物理量は、これまでに行われたほとんどの素粒子物理実験の結果と非常に高い精度で一致している。一方で、暗黒物質の存在などの標準模型では説明することができない観測結果や実験結果、ヒッグス粒子の質量に関する階層性問題などの未解決問題が存在する。これらの結果を説明するために、超対称性理論などの様々な仮説が提唱されているが、どれも実験的に正しいことが示されるには至っていない。現在、それらの

理論から予想される新粒子を探索する実験や様々な物理量における標準模型からの逸脱を探索する実験が進められている。

1.2 LHC-ATLAS 実験の概要

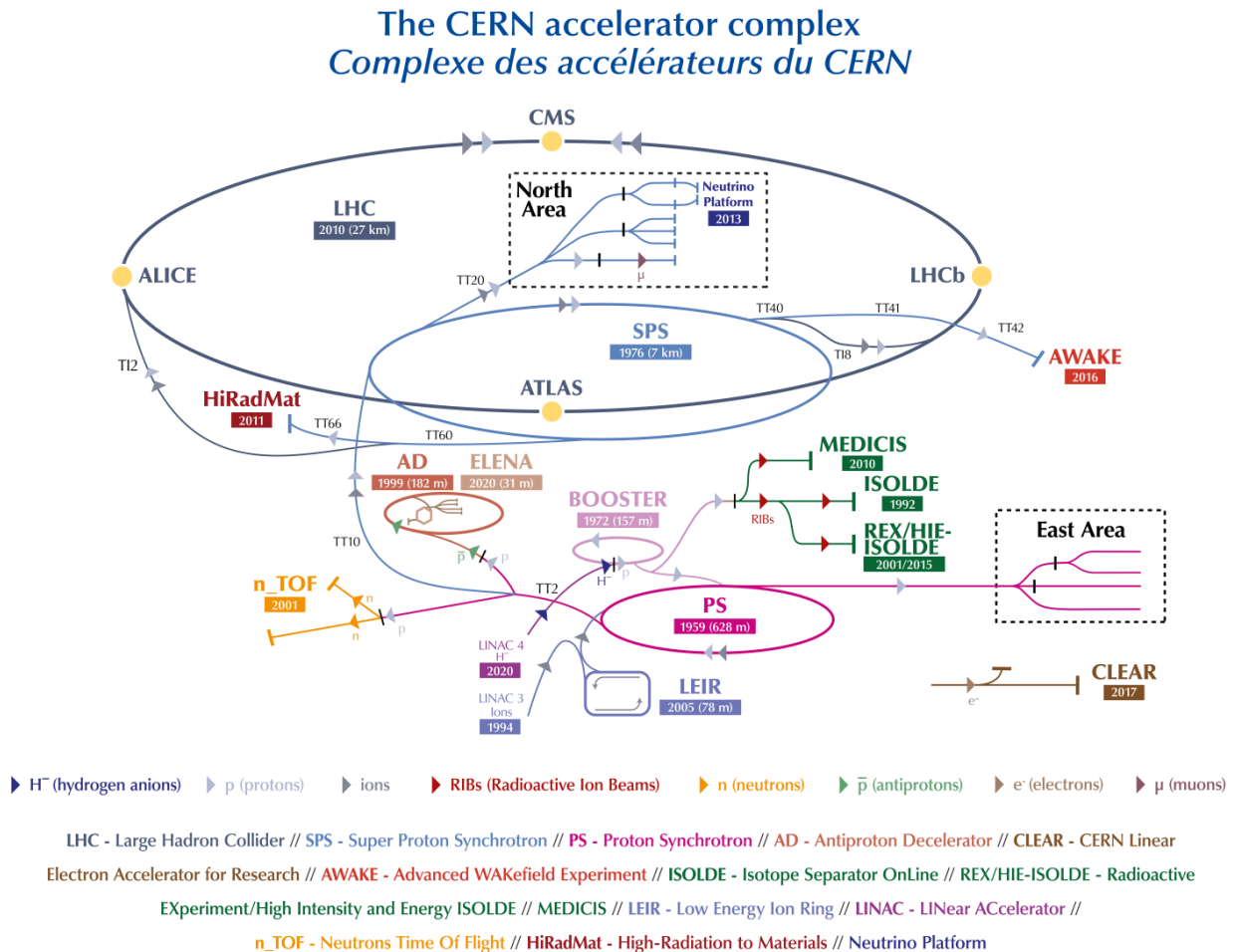


図 1.1 CERN の加速器群の概要図 [1]。LHC-ATLAS 実験で衝突させる陽子は、次の段階を経て LHC 加速器に入射される。まず水素ガスから H^- イオンを生成し、LINAC4 と呼ばれる線型加速器で 160 MeV まで加速させる。次にカーボン薄膜を通すことで 2 つの電子を剥ぎ取り、Proton Synchrotron Booster (PSB) と呼ばれる 4 階建ての円形加速器に入射して、1.4 GeV まで加速させる。次に Proton Synchrotron と呼ばれる円形加速器で 26 GeV まで加速させる。次に Super Proton Synchrotron と呼ばれる円形加速器で 450 GeV まで加速させる。最後に LHC に入射し、6.8 TeV まで加速させる。

LHC-ATLAS 実験は、スイスのジュネーブにある欧州原子核研究機構（CERN）で行われている高エネルギー加速器実験である。この実験では、図 1.1 に示す周長 26.7 km のハドロン衝突型円形加速器 Large Hadron Collider (LHC) で加速した陽子同士を衝突させ、生成される粒子を ATLAS 検出器で検出する。現在行われている RUN3 運転では、重心系衝突エネルギー 13.6 TeV、瞬間最高ルミノシティ $2.33 \times 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$ が達成されている。LHC-ATLAS 実験では主に、ヒッグス場と素粒子の結合定数やヒッグス場の性質の精密測定、高い重心系衝突エネルギーを生かした重い新粒子の探索を行なっている。

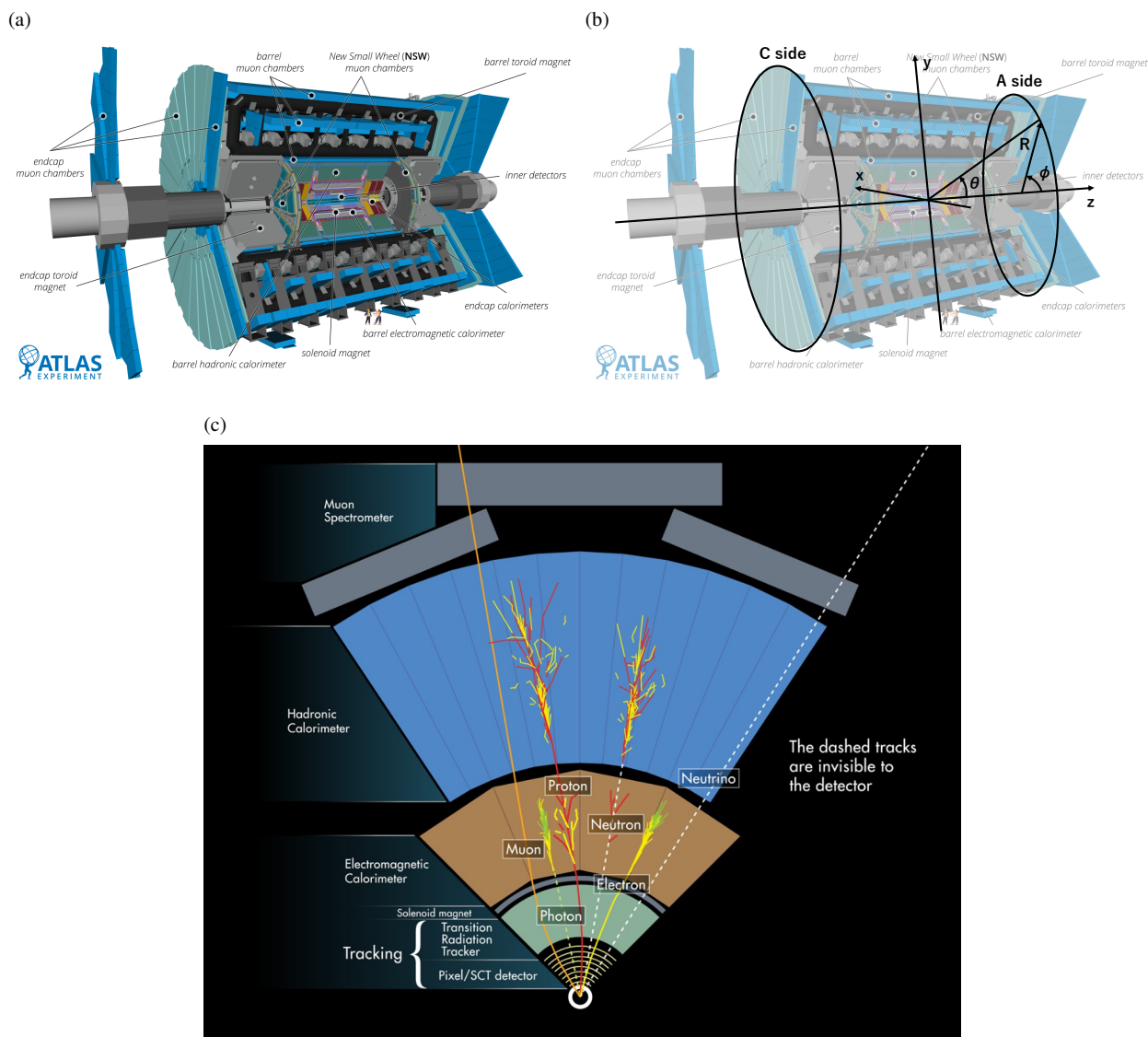


図 1.2 (a) ATLAS 検出器の概要図 [2]。ATLAS 検出器には荷電粒子の運動量を測定するための 2 T のソレノイドマグネットがあり、その内側に内部飛跡検出器がある。ソレノイドマグネットの外側には、粒子のエネルギーを測定するための電磁カロリメーター、ハドロンカロリメーターがある。ミュオン検出器は $|\eta| < 1.05$ のバレル部分と $|\eta| > 1.05$ のエンドキャップ部分に分かれる。バレル部分とエンドキャップ部分のそれぞれに対してミュオンの運動量を測定するためのトロイドマグネットがあり、ミュオン検出器はトロイドマグネットで飛跡が曲げられたミュオンを検出する。(b) ATLAS 検出器の座標系。検出器中心 (IP) を原点とし、LHC の動径方向を x 軸、ビーム軸方向を z 軸に取った直交座標系を用いる。なお、LHC の中心の向きが x 軸の正、地上の向きが y 軸の正となる右手系である。 z 軸の正の方向は A side、負の方向は C side と呼ばれる。(c) ATLAS 検出器における粒子の検出方法の概念図 [3]。荷電粒子の運動量は、その飛跡をソレノイドマグネットで曲げ、内部飛跡検出器で飛跡を再構成・曲率を計算することで測る。電子、光子、ハドロンのエネルギーはカロリメーターで測定する。透過力の高いミュオンは、その飛跡をトロイドマグネットで曲げ、最外層のミュオン検出器を使って運動量を測定する。

LHC には 4 つの衝突点があり、各衝突点に置かれた検出器でデータ取得を行っている。LHC-ATLAS 実験で使用する ATLAS 検出器はその 1 つである。図 1.2(a) に ATLAS 検出器の概要図を示す。ATLAS 検出器は、荷電粒子の運動量を測定するための超伝導磁石、内部飛跡検出器、粒子のエネルギーを測定するためのカロリメーター、透過力の高いミュオンの運動量を測定するためのミュオンスペクトロメーターで構成される。図 1.2(b)

に ATLAS 検出器の座標系を示す。ATLAS 検出器では直交座標系と円筒座標系の 2 種類が用いられる。直交座標系では、検出器中心 (Interaction Point, IP) を原点とし、LHC の動径方向を x 軸、ビーム軸方向を z 軸に取る。なお、LHC の中心の向きが x 軸の正、地上の向きが y 軸の正となる右手系である。また、 z 軸の正の方向は A side、負の方向は C side と呼ばれる。円筒座標系では、ビーム軸に垂直な方向の距離を R 、方位角を ϕ 、天頂角を θ に取る。ATLAS 検出器は円筒形であるため、トリガー演算や解析においては円筒座標系がよく用いられる。また、 θ の代わりに以下の式で定義される Pseudorapidity η も用いられる。

$$\eta = -\log(\tan(\theta/2)) \quad (1.1)$$

ATLAS 検出器を使った粒子の検出方法を図 1.2(c) に示す。電子やミュオン、陽子のように電荷を持つ粒子は、ソレノイドマグネットの作る磁場によって曲げられながら内部飛跡検出器にヒット信号を残す。よって、ヒット点から飛跡を再構成し、その曲率を計算することで運動量を再構成する。また、電子、光子、ハドロンのように透過力の低い粒子はカロリメーターでその全エネルギーを落とすので、カロリメーターの信号からエネルギーを再構成する。ミュオンは透過力が高いため、その飛跡をトロイドマグネットで曲げた上で、ATLAS 検出器最外層のミュオン検出器で検出し運動量を再構成する。ニュートリノのように物質との反応断面積が極めて小さい粒子は ATLAS 検出器で検出することができないため、損失横エネルギー (Missing Energy Transverse, MET) として再構成される。

1.3 LHC-ATLAS 実験における TGC 検出器の役割

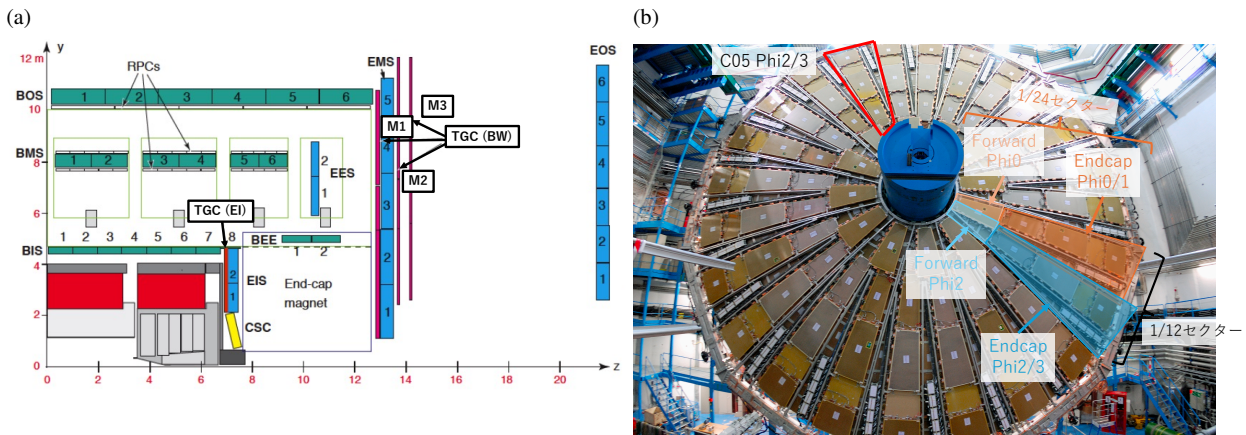


図 1.3 (a) ATLAS 検出器の $y-z$ 平面図 [4]。エンドキャップトロイドマグネットの内側にある TGC 検出器を TGC EI (Endcap Inner)、外側にある TGC 検出器を TGC BW (Big Wheel) と呼ぶ。(b) TGC BW におけるトリガーセクターの定義 [5]。24 個の対称なセクター (1/24 セクター) 毎にトリガー回路が組まれる。1/24 セクターは $1.05 < |\eta| < 1.92$ の Endcap、 $1.92 < |\eta| < 2.4$ の Forward に分割され、ミュオンの飛跡再構成・運動量概算は Endcap を ϕ 方向に二等分した Phi0, Phi1 と Forward の 3 部分に分けてそれぞれ独立に行う。

Thin Gap Chamber (TGC) 検出器はカロリメーターを通過したミュオンを検出するガス検出器である。TGC ミュオントリガー回路は、TGC 検出器のヒット信号を使って初段トリガーに用いるミュオンの飛跡再構成・運動量概算を行う。TGC 検出器は図 1.3(a) に示すように、エンドキャップトロイドマグネットの内側にある TGC EI (Endcap Inner)、外側にある TGC BW (Big Wheel) に分かれる。本研究では TGC BW を扱う。TGC BW には M1, M2, M3 と呼ばれる 3 つの station (図 1.3(a)) があり、M1 にある 3 層、M2 にある 2 層、M3 にある 2 層の検出器ガス層で衝突点から来たミュオンを検出する。図 1.3(b) に示すように、各 station は 24 個の対称なセクター (1/24 セクター) に分割され、1/24 セクター単位でトリガー回路が組まれる。1/24 セクターはさらに

$1.05 < |\eta| < 1.92$ の Endcap と $1.92 < |\eta| < 2.4$ の Forward に分割される。ミュオンの飛跡再構成・運動量概算は、Endcap を ϕ 方向に二等分した Phi0, Phi1 と Forward の 3 部分に分けてそれぞれ独立に行われる。検出器はトリガーセクターの境界において十分なオーバーラップを持って設置されているため、トリガーセクターを分けてもセクター境界での inefficiency はない。なお、隣接する 2 つの 1/24 セクター (Phi0/1 と Phi2/3) を合わせた 1/12 セクターと呼ばれる単位も存在し、電源供給等のインフラは 1/12 セクター毎に構築されている。本論で「セクター」と書いた時には、特に断りがない限り 1/24 セクターを指す。

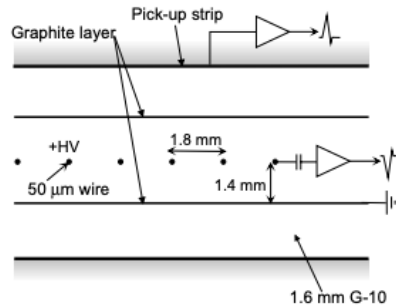


図 1.4 TGC 検出器を構成するガスチェンバーの構造 [6]。ミュオンを検出する部分は主に n-pentan + CO² の混合ガスが封入されたガス層とストリップ電極、ワイヤー電極で構成される。

TGC 検出器のミュオンを検出する部分は図 1.4 に示すように、主に n-pentan + CO² の混合ガスが封入されたガス層と ϕ 方向の位置測定を行うストリップ電極、R 方向の位置測定を行うワイヤー電極で構成される。ワイヤー電極には高電圧 (典型的には 2.8 kV) がかけられており、ミュオンの通過によってガスが電離すると、電離電子がワイヤーへと引き寄せられ、ワイヤー近傍の高電場領域で電子雪崩を起こす。その時に生じた陽イオンのドリフト運動で発生する電流がワイヤーで検出され、陽イオンの鏡像電荷がストリップ電極で検出される。TGC 検出器の役割は初段トリガー判定を行うことであるため、ワイヤーの間隔は、電子のドリフト時間の分布を小さくし、検出器の時間分解能が LHC のバンチ交差周期である 25 ns に対して十分な値になるように設計されている。

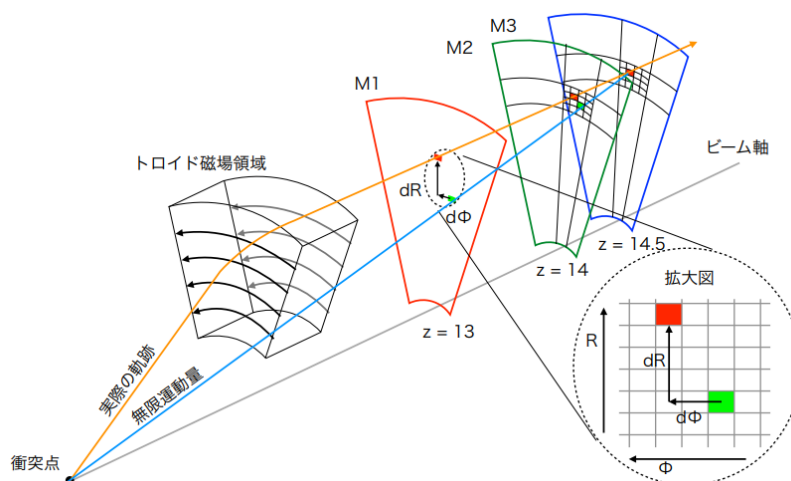


図 1.5 TGC 検出器におけるミュオンの飛跡再構成、運動量概算の概要図 [7]。3 つの station でミュオンを検出し、それらのヒット点からミュオンの飛跡を再構成する。飛跡の曲がり度合いからミュオンの運動量を概算する。

図 1.5 に TGC BW を用いたミュオンの飛跡再構成・運動量概算の概要図を示す。飛跡再構成では、まず M1 の

3 層、M2 の 2 層、M3 の 2 層それぞれで coincidence を取ることで、各 station におけるミュオンヒット位置を示す「代表点」の R 座標と ϕ 座標をそれぞれ求める。その後、M3 の代表点を pivot として coincidence window を開き、M2, M1 の代表点との coincidence を R 座標と ϕ 座標それぞれについて独立に取る。これにより、IP から来たミュオンの直線飛跡を再構成する。最後に、再構成した飛跡と、pivot と IP を結ぶ直線（無限運動量飛跡）の R 座標と ϕ 座標の差分を計算する。TGC 検出器に飛来するミュオンの飛跡はトロイドマグネットが作る磁場によって曲げられるため、再構成した飛跡がどれくらい曲がったか（無限運動量飛跡との R 座標と ϕ 座標の差分）を計算することで運動量の概算を行う。このように、とある一点（pivot）から伸びる 2 つの直線の成す角度から運動量を概算する手法を point angle measurement と呼ぶ。

1.4 高輝度 LHC-ATLAS 実験とそれに向けたアップグレード計画

高輝度 LHC-ATLAS 実験は 2030 年に開始が予定されている LHC-ATLAS 実験の後継実験である。この実験では図 1.6(b) に示すように、LHC のビームルミノシティを段階的に上げていき、最終的に現行の 2～3 倍の瞬間ルミノシティを実現することを目指す。これにより、LHC-ATLAS 実験 RUN3 運転までに収集される積分ルミノシティの約 6 倍の大統計データが収集される予定であり、この大統計データを用いて LHC-ATLAS 実験を超える精度での素粒子とヒッグス場の結合定数などの精密測定や新物理の探索を行う。

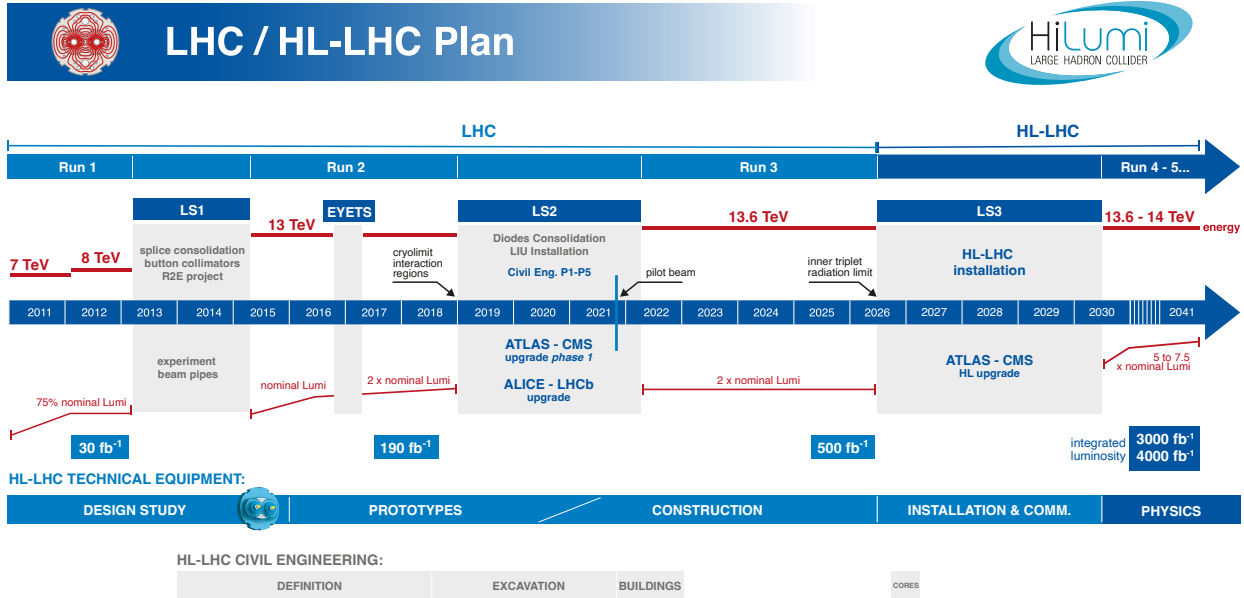
ルミノシティの向上に伴って、ATLAS 実験のトリガー DAQ の仕様は刷新される。初段トリガーレートは現行の 10 倍の 1 MHz、初段トリガーレイテンシーは現行の 4 倍の 10 μ s となる。この仕様の刷新に対応するべく、初段ミュオントリガーを担う TGC ミュオントリガーシステムでは、検出器はそのままにエレクトロニクスの大部分を刷新する予定である。

1.5 本研究の目的と本論文の構成

本研究では、新しい TGC ミュオントリガーシステムのパフォーマンス向上、安定的な動作の実現を目的に、具体的なシステムの運用方法の確立、および、それに伴って必要となった新しい機能の実装を行うと共に、テストベンチを使って実装した機能の動作検証を行なった。本研究で開発・検証した機能のうち特に重要なものを具体的に挙げると、高精度でバンチ交差識別を行うための信号遅延手法の最適化、安定的な光通信を行うための Clock Domain Crossing の手法の確立、フロントエンド回路の configuration 方法の最適化、フロントエンド回路に搭載された ASIC の configuration 方法の最適化である。さらに、2024 年の LHC 運転終了後のテクニカルストップの期間に、新しい TGC ミュオントリガーシステムの M1 の 1 セクターを構成する全てのエレクトロニクスを ATLAS 実験室に持ち込んで本番運用とほぼ同じセットアップを構築し、初めて本番運用と同じ環境での全システムの動作試験を行った。

本論文の構成は以下の通りである。まず、第 2 章で ATLAS 検出器の Trigger DAQ システムの概要と TGC ミュオントリガー回路の詳細について記述する。第 3 章では、新しい TGC ミュオントリガーシステムのパフォーマンス向上、安定的な動作の実現を目的に行った運用方法の確立、および、それに伴って必要となった機能の実装と動作検証について記述する。本章で取り扱わない細かな内容については、付録 A,B,C にまとめている。第 4 章では、新しい TGC ミュオントリガー回路を構成するエレクトロニクスを ATLAS 実験室に持ち込み、本番運用とほぼ同じセットアップを構築して行った全システムの動作試験について記述する。

(a)



(b)

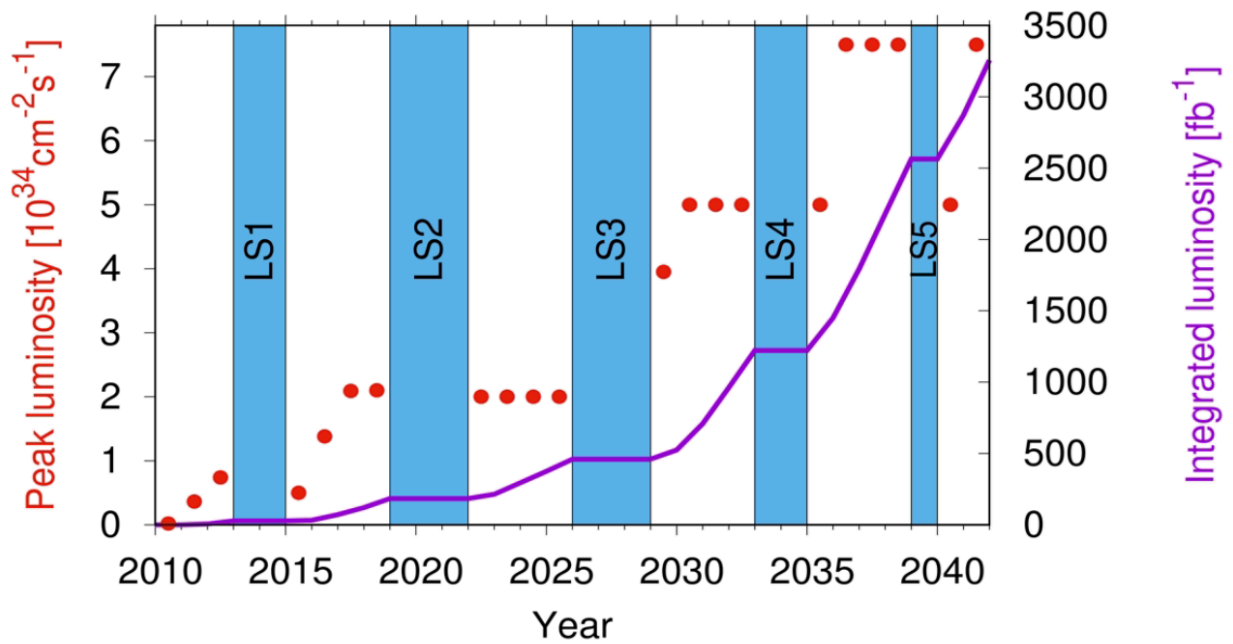


図 1.6 (a) 高輝度 LHC-ATLAS 実験に向けた Phase-2 Upgrade の計画 [8]。2026 年から ATLAS 検出器の Upgrade が始まり、2030 年から物理ランが開始される予定。(b) 高輝度 LHC-ATLAS 実験で予想されるルミノシティ [9]。段階的にルミノシティを上げていき、最終的に瞬間ルミノシティで現行の 2 ~ 3 倍、積分ルミノシティで LHC-ATLAS 実験 RUN3 運転までに収集されるデータの約 6 倍のデータ取得を目指す。なお、図の予定は古いもので、最新の予定は LS3 の開始が 2026 年半ば、終わりが 2030 年半ばとなり、2033 年の LS4 はなくなる。

第2章

高輝度 LHC-ATLAS 実験における TGC ミュオントリガーシステム

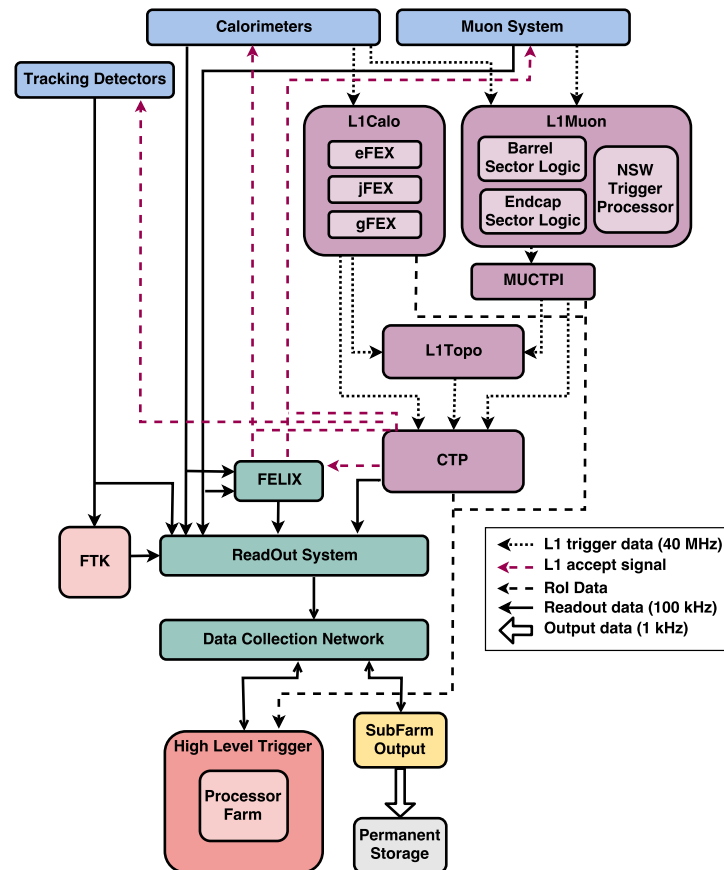


図 2.1 高輝度 LHC-ATLAS 実験における TDAQ システムの概要図 [10]。ハードウェアベースの Level0 トリガーとソフトウェアベースの Event Filter の 2 段階でトリガー判定を行い、選別されたイベントの生データが CERN の permanent storage に保存される。

本章では、高輝度 LHC-ATLAS 実験における Trigger DAQ システムの概要と TGC ミュオントリガーシステムを構成するエレクトロニクスについて記述する。

2.1 Trigger DAQ システムの概要

図 2.1 に高輝度 LHC-ATLAS 実験における Trigger DAQ (TDAQ) システムの概要図を示す。高輝度 LHC-ATLAS 実験では、Level0 (L0) トリガーというハードウェアベースの初段トリガーと Event Filter (EF) というソフトウェアベースの後段トリガーの 2 段階でイベント選別を行う。L0 トリガーでは、ミュオンスペクトロメーターとカロリメーターの情報を用いて、LHC のバンチ交差に同期した初段トリガー判定を行う。ミュオンスペクトロメーターの情報は L0Muon システムで処理され、カロリメーターの情報は L0Calo システムで処理される。両者の出力結果を基に Central Trigger Processing (CTP) が最終的な初段トリガー判定を行う。ここで初段トリガーにより選別されたイベントに関しては、各検出器システムでバッファされていたデータが読み出され、EF へと送られる。EF では、全検出器の情報を用いて該当イベントを詳細に解析し、トリガー判定を行う。ここで選別されたイベントに関しては、各検出器システムの生データが CERN の permanent storage に保存される。

2.2 TGC ミューオントリガー回路

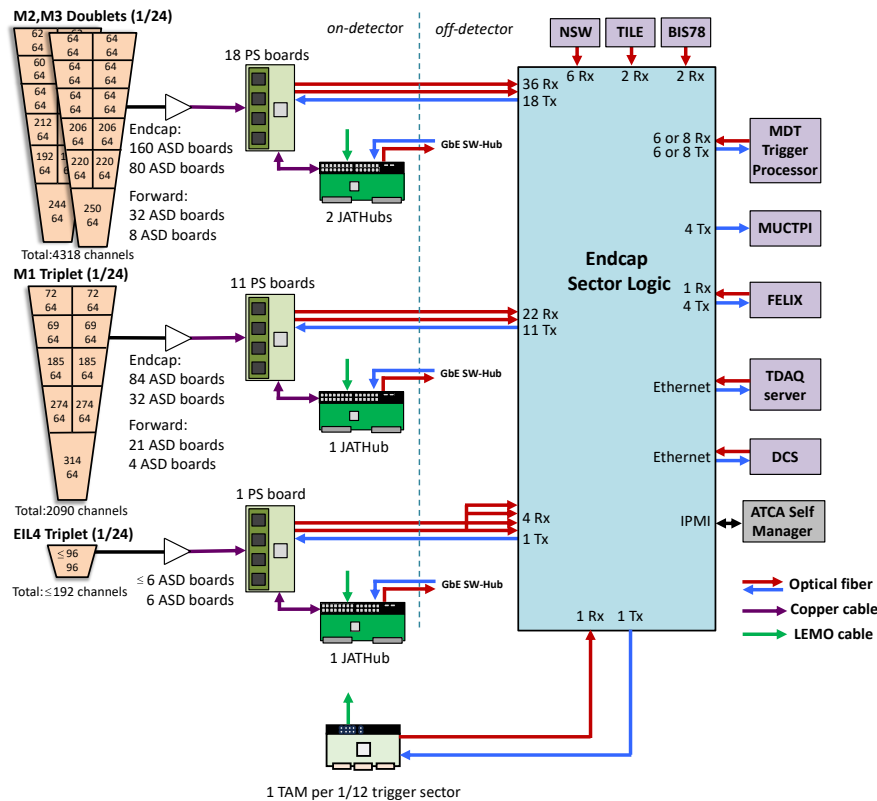


図 2.2 TGC ミューオントリガーシステムを構成するエレクトロニクスの概要図。TGC 検出器のヒット信号は ASD で信号増幅とデジタル信号への変換が行われ、PS board でバンチ交差識別 (BCID) が行われた後に、SL でミュオンの飛跡再構成・運動量概算に用いられる。初段トリガーにより選別されたイベントに関しては、SL にバッファされていたヒットデータが FELIX に読み出される。JATHub と TAM は PS board で再構成された LHC clock の位相アライメントを行う。また、JATHub は ATLAS 実験室内の回路に搭載された FPGA の放射線損傷に対する回復手続きも行う。

TGC ミューオントリガーシステムは、TGC 検出器の信号を受けて 1.3 節で記述した初段トリガー判定に使用する

るミュオン飛跡再構成・運動量概算を行うシステムである。このシステムは図 2.2 に示すように以下の 5 つの回路で構成され、検出器中心 (IP) でのバンチ交差に同期した 40.079 MHz のクロック (LHC clock) に同期してヒット信号の読み出しやトリガー演算、タイミング信号分配が行われる。

- **Amplifier Shaper Discriminator (ASD) Card**

TGC 検出器から送られてくるアナログ信号を増幅しデジタル化する。

- **Primary Processing (PS) Board**

ASD の出力を LHC のバンチ交差に同期させ、ヒット信号がどのバンチ交差に対応するかの識別 (Bunch Crossing IDentification, BCID) を行う。

- **JTAG AssisTance Hub (JATHub)**

ATLAS 実験室 (UX15) 内に設置される PS board や JATHub, TAM の FPGA の configuration や PS board が再構成した LHC clock の位相測定を行う。

- **Timing Alignment Master (TAM) Module**

1/12 セクター間で TAM が再構成した LHC clock の位相を合わせ、それを JATHub が行う位相測定の基準クロック (位相のゼロ点を決めるクロック) として分配する。また、JATHub のコントロールを行う。

- **Sector Logic (SL)**

PS board, TAM のモニター・コントロール・クロック分配を行うと共に PS board から送られてきたヒットデータを使ってミュオン飛跡再構成・初段トリガー判定を行う。

以下の小節では、各回路の詳しい仕組みについて記述する。

2.2.1 Amplifier Shaper Discriminator (ASD) Card

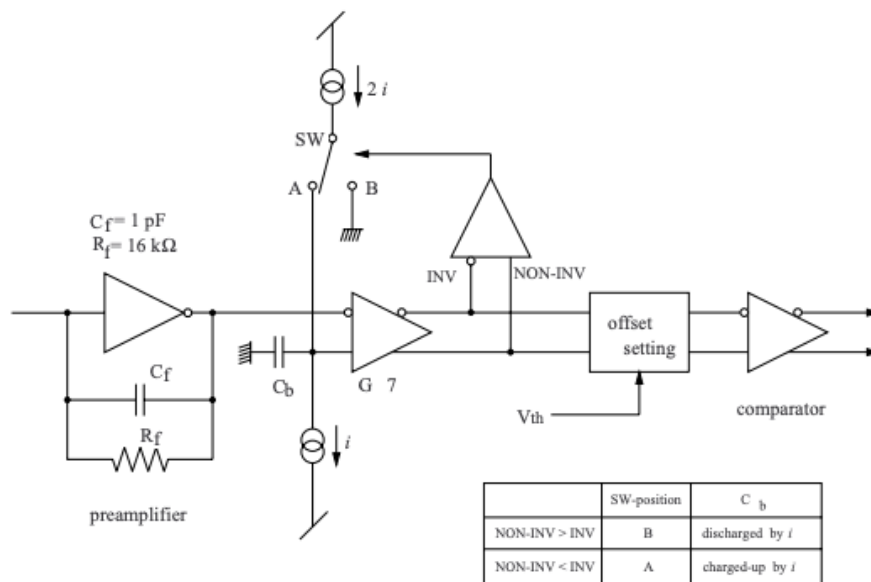


図 2.3 信号増幅、信号のデジタル化を行う回路の Block Diagram[11]。

ASD は TGC 検出器から送られてくるアナログ信号を増幅しデジタル化する回路である。図 2.3 の Block Diagram に示すように、TGC 検出器から来た電流信号は変換効率が 0.8 V/pC のチャージアンプで電圧信号に変換される。チャージアンプから出力された電圧信号は、利得 7 倍の増幅回路で信号増幅された後に、コンパレータ

で閾値電圧と比較され、信号の電圧が閾値電圧を超えた時間の間だけ LVDS 信号が出力される。

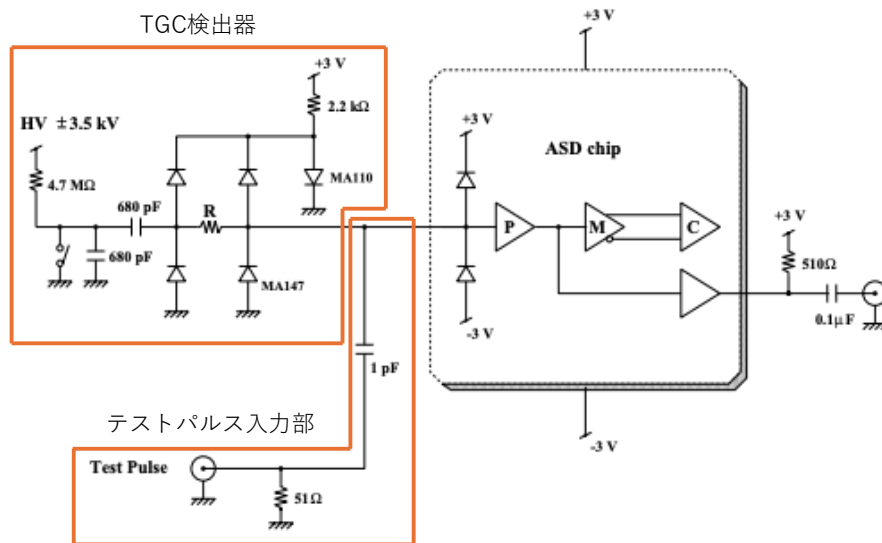


図 2.4 ASD の信号入力部分の Block Diagram。 [11]。

ASD にはテストパルスを受けて TGC 検出器の信号をエミュレートする仕組みがある。図 2.4 に ASD のテストパルス入力部分の Block Diagram を示す。ASD に入ってきたテストパルスは、ハイパスフィルターによって低周波成分が取り除かれ、高周波成分が TGC 検出器の出力を模した擬似信号として図 2.3 の増幅回路に入力される。

2.2.2 Primary Processing (PS) Board

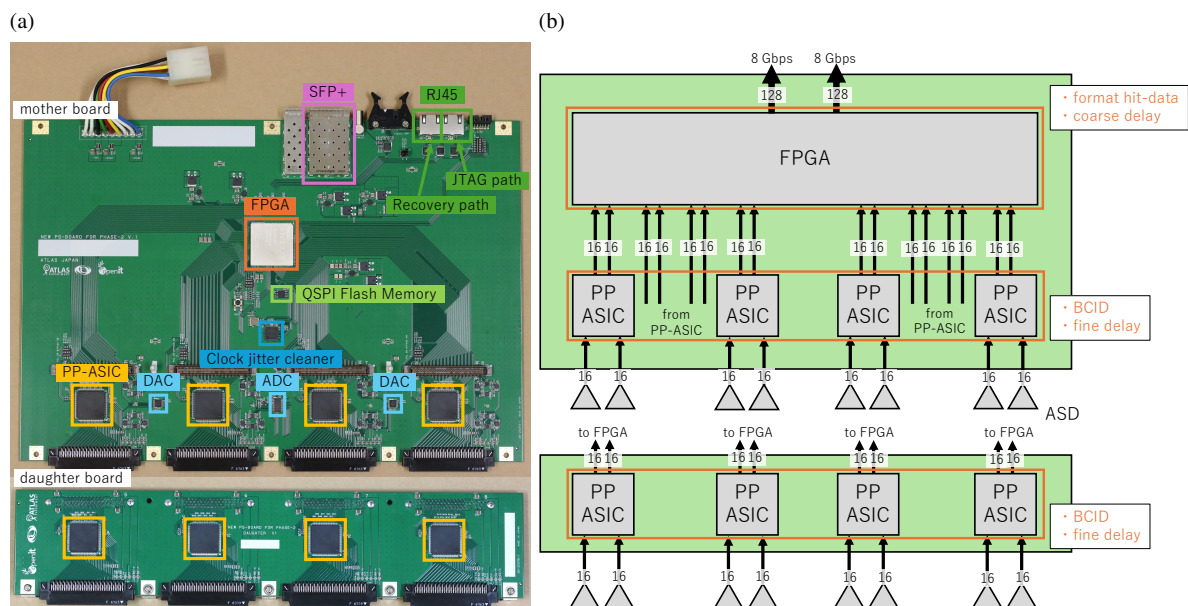


図 2.5 PS board の概要図。(a) Kintex-7 FPGA を起点に回路上の素子のコントロール・モニターを行う。Kintex-7 FPGA には、SL から光通信でアクセスすることができる。(b) PP-ASIC で 2 つの ASD の出力を受け、信号遅延・パンチ交差識別 (BCID) を行う。その後、Kintex-7 FPGA がパンチ交差識別されたヒット信号を受け、光通信で SL にヒットデータを送る。矢印の上の数字はチャンネル数を表す。

PS board は、SL とのシリアル通信、SL から配られる LHC clock の再構成、ASD への閾値電圧の供給、テストパルスの生成、ASD から来たヒット信号や ASD に出力するテストパルスに対する遅延、ヒット信号のバンチ交差識別 (BCID) を行う回路である。図 2.5(a) に PS board の概要図を示す。PS board の主要な機能は Kintex-7 FPGA と Patch-Panel ASIC (PP-ASIC) が担う。FPGA は Setor Logic との通信や PS board 上の素子のコントロール・モニター等を行い、PP-ASIC はテストパルスやヒット信号の遅延、ヒット信号の BCID を行う。これ以外にも、FPGA に configuration するファームウェアや PS board 上の素子の configuration に使用するパラメータを保存する QSPI Flash Memory、ASD に供給する閾値電圧を出力する Digital Analog Converter (DAC)、DAC の出力電圧をモニターする Analog Digital Converter (ADC)、FPGA と PP-ASIC に供給する LHC clock や FPGA の GTX Transceiver に供給する reference clock の jitter を取り除く Clock jitter cleaner (Si5395) が搭載されている。図 2.5(a) の上部にある RJ45 コネクタには JATHub と通信するための Cat6 ケーブルが、SFP+ トランシーバーには SL と通信するための光ファイバーが挿さる。

テストパルスやヒット信号の遅延

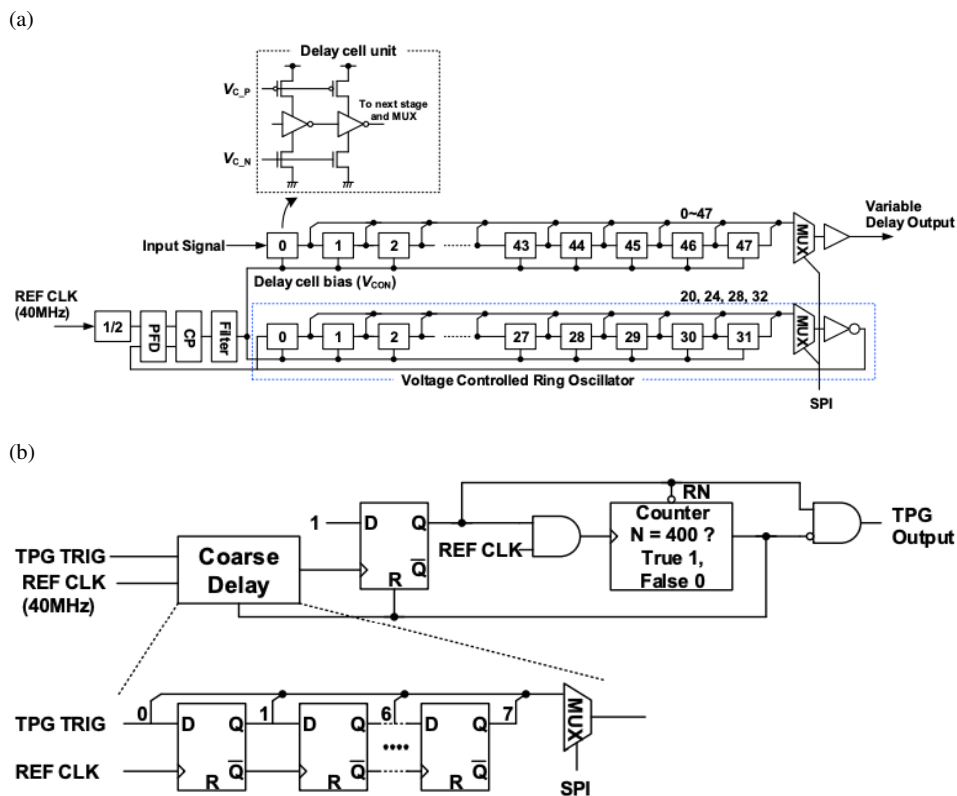


図 2.6 (a) PP-ASIC の fine delay を行う回路の Block Diagram[12]。 (b) PP-ASIC の Test Pulse に対する coarse delay を行う回路の Block Diagram[12]。

PS board の主たる機能に、ヒット信号に対する遅延とテストパルスに対する遅延がある。ヒット信号に対する遅延は、チェンバーや PS board の設置場所毎に異なるミューオンの Time of Flight (ToF) や信号ケーブル (ASD が出力したヒット信号を PS board に送るためのケーブル) の配線遅延を吸収するために行う。ToF と配線遅延を合わせると最大で 52 ns の違いがあるため、ヒット信号に対する遅延のダイナミックレンジはこれをカバーするように設定する必要がある。テストパルスに対する遅延は ToF をエミュレートするために行う。テストパルスは信号ケーブルを介して PS board から ASD に送られるため、テストパルスに対する遅延の幅は ToF から信号ケーブル

の配線遅延を引いた値となる。

これらの遅延には、約 1 ns 単位の遅延を行う fine delay と 25 ns 単位の遅延を行う coarse delay があり、いずれの遅延も LHC clock に同期しながら行う。fine delay は図 2.6(a) に示すように、LHC clock を input とする Phase Locked Loop (PLL) 回路の制御電圧 (Delay cell bias, VCON) を使って Ring Oscillator のインバータを駆動することで、LHC clock と同期しながら行う。遅延の単位は Ring Oscillator で使用するインバータの段数を変えることにより、最大 32 段階で調節が可能である。典型的には 0.74 ns, 0.84 ns, 0.99 ns, 1.19 ns の 4 種類が用いられる。この遅延の単位の調節を行うことで、52 ns のレンジを確保する。遅延の幅は、遅延回路のインバータの段数を変えることで調節が可能で、1 ~ 48 段が選択できる。coarse delay は、テストパルスの場合は図 2.6(b) に示す Flip Flop (FF) を使って行い、ヒット信号の場合は PS board のファームウェアに組み込まれたシフトレジスタを使って行う。後者については 3.1 節で詳しく記述する。遅延の幅は、FF やシフトレジスタの段数を変えることで調節が可能で、両者共に 0 ~ 7 段 (0 ~ 175 ns) が選択できる。

ヒット信号の BCID

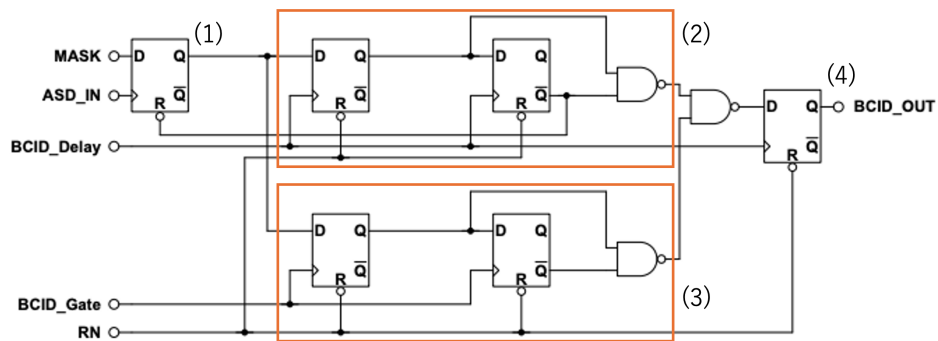


Figure 15 Block diagram of the BCID circuit.

図 2.7 PP-ASIC の BCID を行う回路の Block Diagram[12]。

PS board の主たる機能には、バンチ交差識別 (BCID) もある。図 2.7 にヒット信号の BCID を行う回路の Block Diagram を示す。この回路は、ヒット信号の立ち上がりを検知して、LHC clock の立ち上がり同期させた上で矩形波として出力する回路である。出力される矩形波の幅は、BCID のゲート幅とヒット信号の到着タイミングで決まる。TGC 検出器にミューオンが入射してからヒット信号が BCID 回路で処理されるまでの時間は、同一のチャンネルにおいても 25 ns より大きい分布を持つ。そのため、BCID のゲート幅はそれを吸収できるような大きさに設定される。一方で、ゲート幅を大きくしすぎると検出器のノイズを拾ってしまう。これを防ぐために、約 1 ns の精度で信号遅延を行い、可能な限りゲート幅を小さくするようにしている。

図 2.8 に BCID 回路の動作に関するタイミングチャートを示す。ヒット信号が来ると、図 2.7 の (1) から high 信号が出力される。この信号は、LHC clock に同期して駆動する立ち上がり検知回路 (図 2.7 の (2)) と LHC clock に対して X ns だけ位相をずらしたクロックに同期して駆動する立ち上がり検知回路 (図 2.7 の (3)) に入力される。後者のクロックの位相のずれの大きさが BCID のゲート幅 (25+X ns) に対応する。その後、2 つの立ち上がり検知回路の出力の OR が取られ、LHC clock に同期して駆動する FF (図 2.7 の (4)) に入力される。この FF の出力が BCID 回路の出力となる。従って、LHC clock の立ち上がりから X ns 以内 (図 2.8 の Overlap region) にヒット信号の立ち上がりがあると、図 2.8 の OUTPUT2 のように連続する 2 つの BC にヒットがアサインされる。図 2.5(b) に示すように、BCID が完了すると PS board が受ける全 256 チャンネルのヒット信号が FPGA に送られる。これを FPGA において 1BC あたり 256bit の Hit bitmap に整形した後に SL に送信する。なお、この Hit

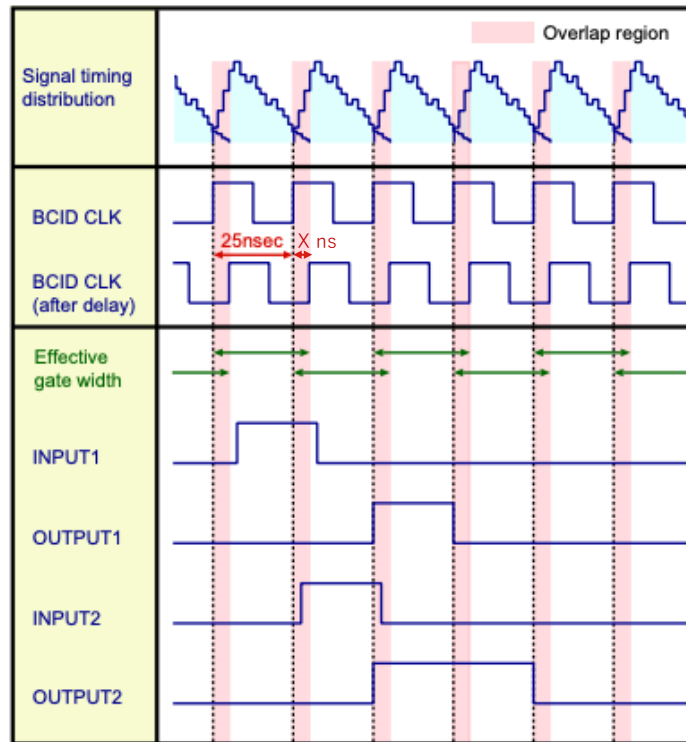


図 2.8 PP-ASIC における BCID の Timing Chart[13]。

bitmap のフォーマットはほとんどの PS board で同じだが、一部の PS board で例外的に異なる。(詳しくは付録 B.6)

2.2.3 JTAG Assistance Hub (JATHub)

JATHub は、ATLAS 実験室内に設置される PS board や JATHub、TAM の FPGA の configuration や QSPI Flash Memory へのファームウェアの書き込み、FPGA に自己修復不可能な放射線損傷が生じた際の FPGA の再起動、PS board が再構成した LHC clock の位相測定を行う回路である。

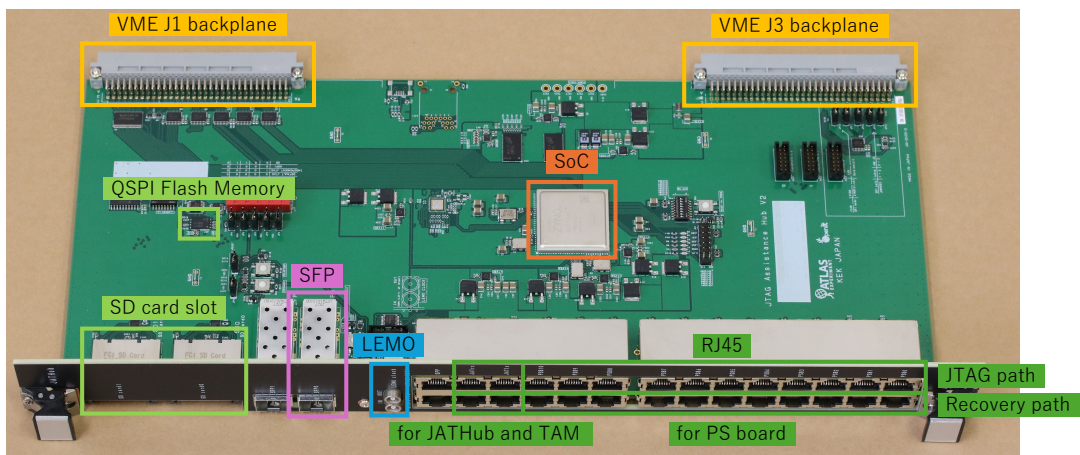


図 2.9 JATHub の概要図。Zynq 7000 SoC の PS を介して PL を操作することで他の回路のモニター・コントロールを行う。Zynq 7000 SoC にはイーサネットでアクセスすることができる。

図 2.9 に JATHub の写真を示す。JATHub は FPGA と CPU が一体化した System on a Chip (SoC) の Zynq 7000 を搭載しており、Processing System (PS) と呼ばれる CPU 部分を介して Programmable Logic (PL) と呼ばれる FPGA 部分を操作するという形で機能が実装されている。Zynq 7000 SoC にはイーサネット通信でアクセスする。この他に、Zynq 7000 の起動時に PS が最初に読み込むファイルを保存する QSPI Flash Memory、Zynq 7000 が PS の configuration 後に読み込むファイルが保存される SD カードを挿し込むためのスロットを搭載している。フロントパネルの RJ45 コネクタには PS board や TAM、別の JATHub と通信するための Cat6 ケーブルが、LEMO コネクタには TAM から後述する基準クロックを受け取るための LEMO ケーブルが、SFP トランシーバーには光イーサネット通信用の光ファイバーが挿さる。

JATHub による回路の FPGA の configuration や QSPI Flash Memory へのファームウェアの書き込みは、JATHub と対象の回路を繋ぐ 4 本の JTAG 線を bitbanging^{*1}的に操作することで行う。4 本の JTAG 線は Zynq 7000 の PL 部分に繋がっており、PS 部分に実装した専用ソフトを使って PL を介して 4 本の JTAG 線を操作することができる。

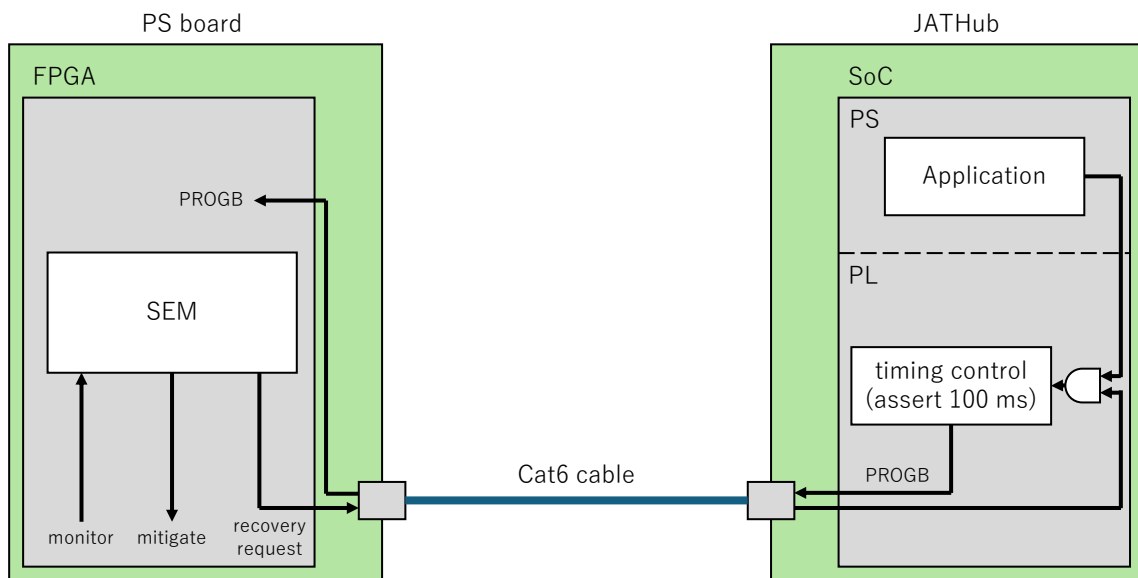


図 2.10 JATHub による放射線損傷に対する回復手続きの概要図。各回路のファームウェアに組み込まれた SEM が放射線損傷をモニターし、自身で回復手続きが行えない場合、JATHub による FPGA の再起動を要請する (Recovery Request)。

PS board, JATHub, TAM は ATLAS 実験室内に設置されるため、放射線損傷を受ける可能性がある。JATHub による FPGA の再起動は、Single Event Upset (SEU) と呼ばれるビット反転を起こす放射線損傷の対策として実装された機能である。FPGA に自己修復不可能な放射線損傷が生じた際の JATHub による FPGA の再起動の概要図を図 2.10 に示す。ATLAS 実験室内に設置される回路のファームウェアには、SEU の対策として Soft Error Mitigation (SEM) と呼ばれる Xilinx 社が提供する IP コアを組み込んでいる。この SEM は FPGA の Static Random Access Memory (SRAM) をモニターし、放射線損傷が起きた際にそれを修復する機能を持つ。しかし、自己修復ができるのは 1bit あるいは隣接する 2bit の SEU のみであり、隣接しない 2bit や 3bit 以上の SEU には対処できない。このような自己修復不可能な SEU が生じると、SEM は自身の FPGA の再起動を要請する信号 (Recovery Request 信号) を JATHub に発出する。JATHub は Recovery Request 信号を受け取ると、放射線損傷を受けた FPGA の再起動をトリガーする信号 (PROGB 信号) をアサートする。これにより FPGA のブートシー

*1 ソフトウェアで GPIO ピンを直接操作して通信する手法

クエンスがトリガーされ、ファームウェアのプログラム、各素子へのパラメーターの分配、通信リンクの確立が全て自動で行われる。この処理は約 5.44 秒という短時間で完了するため、自己修復不可能な SEU に伴うデータロス是非常に小さい。(詳しくは [14] の 5 章 5 節)

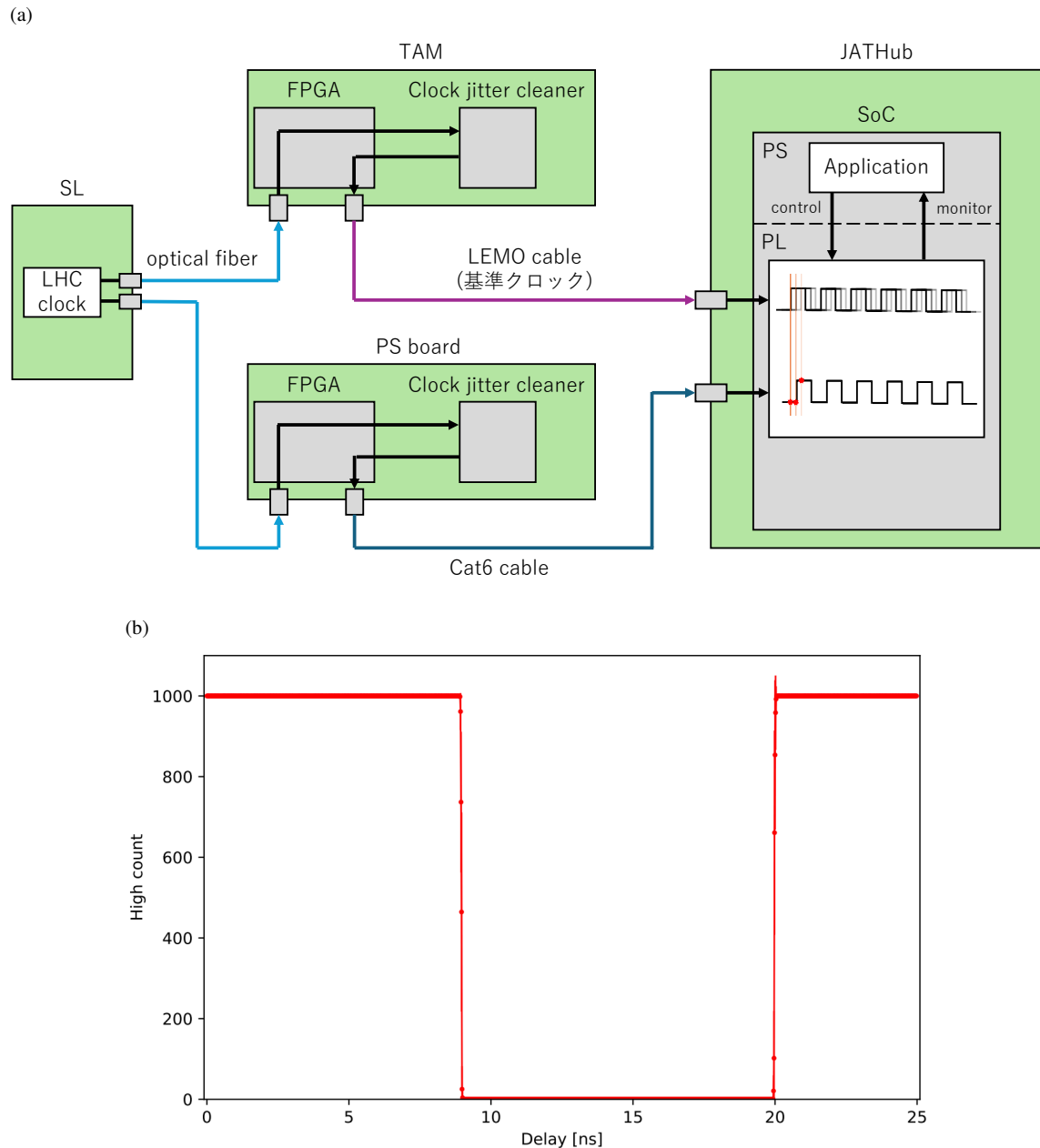


図 2.11 (a) JATHub による位相測定機構の概要図。TAM が供給する基準クロック (1/12 セクター間で位相を揃えた LHC clock) の位相を $1/56 \text{ ns}$ ずつずらしながら、各位相で PS board が再構成した LHC clock をラッチすることで、PS board が再構成した LHC clock の波形を測定する。基準クロックの位相は全部で 25 ns ずらされるため、 $25 \times 56 = 1400$ 点で測定が行われる。波形の立ち上がりや立ち下りの位相から、PS board 間の相対位相がわかる。(b) JATHub による位相測定の結果の例。横軸はずらした基準クロックの位相の大きさ、縦軸はラッチした値が 1 だった回数を表す。

2.2.2 節で記述したように、PS board では約 1 ns 単位でテストパルスやヒット信号の遅延を行う。従って、遅延回路の PLL 回路の入力である LHC clock の位相は、PS board 間で 1 ns より十分良い精度で揃っている必要があ

る。これを達成するために、TGC ミューオントリガーシステムには、全 1,434 台の PS board で再構成された LHC clock の位相を測定し、 $O(100)$ ps の精度で位相を合わせる位相アライメントのシステムが実装されている。このうち、JATHub は PS board で再構成された LHC clock の位相を測定する部分を担う。図 2.11(a) に位相測定の概要図を示す。JATHub には 11 台の PS board と 1 台の TAM それぞれが再構成した LHC clock が送られてくる。位相測定では、基準クロックと呼ばれる TAM が再構成したクロックで PS board が再構成したクロックを 1,000 回ラッチし、high だった回数をカウントする。これを Multi Mode Clocking Manager (MMCM)^{*2}を使って基準クロックの位相を 1/56 ns ずつずらしながら各位相で 1,000 回ずつ行い、横軸に基準クロックの位相、縦軸に high カウントの平均値と統計エラーをとったプロットを描くと、図 2.11(b) のように PS board が再構成したクロックの立ち上がり/立ち下りの位相がわかる。

2.2.4 Timing Alignment Master (TAM) Module

TAM は SL とのシリアル通信、SL から配られる LHC clock の再構成、JATHub による位相測定の基準クロックの供給や VME バックプレーンの制御による JATHub のコントロールを行う回路である。

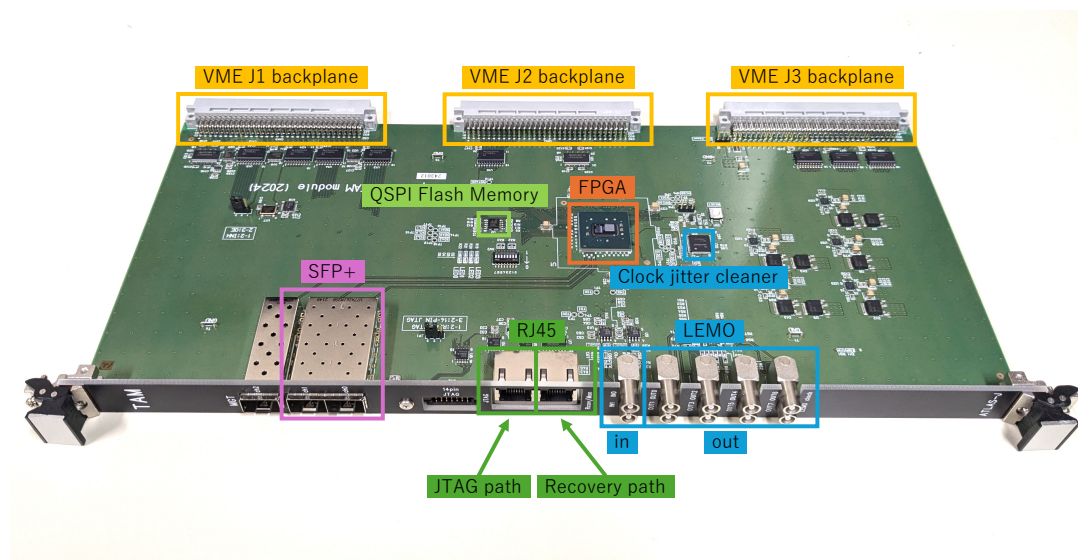


図 2.12 TAM の概要図。Kintex-7 FPGA を起点として、回路上の素子のコントロール・モニター、および、VME 通信による JATHub のコントロールを行う。Kintex-7 FPGA には、SL から光通信でアクセスすることができる。

図 2.12 に TAM の写真を示す。TAM の主要な機能は Kintex-7 FPGA が担う。FPGA は Setor Logic との通信や TAM 上の素子のコントロール・モニター、1/12 セクター間での LHC clock の位相合わせ、VME バックプレーンの制御による JATHub のコントロールを行う。これ以外にも、FPGA に configuration するファームウェアや TAM 上の素子の configuration に使用するパラメーターを保存する QSPI Flash Memory、FPGA に供給する LHC clock や reference clock の jitter を取り除く Clock jitter cleaner (Si5395) が搭載されている。フロントパネルの RJ45 コネクタには JATHub と通信するための Cat6 ケーブルが、SFP+ トランシーバーには SL と通信するための光ファイバーが、LEMO コネクタには JATHub に基準クロックを送ったり、隣の 1/12 セクターの TAM および自身が再構成した LHC clock を受けたりするための LEMO ケーブルが挿さる。TAM は 2 つの 1/24 セクター

^{*2} 入力クロックを通倍、分周することで任意の周波数のクロックを出力する FPGA の機能。分数の通倍比、分周比を設定できたり、出力クロックの位相制御が行える点で PLL より高機能である。

(1/12 セクター) につき 1 つ設置される。

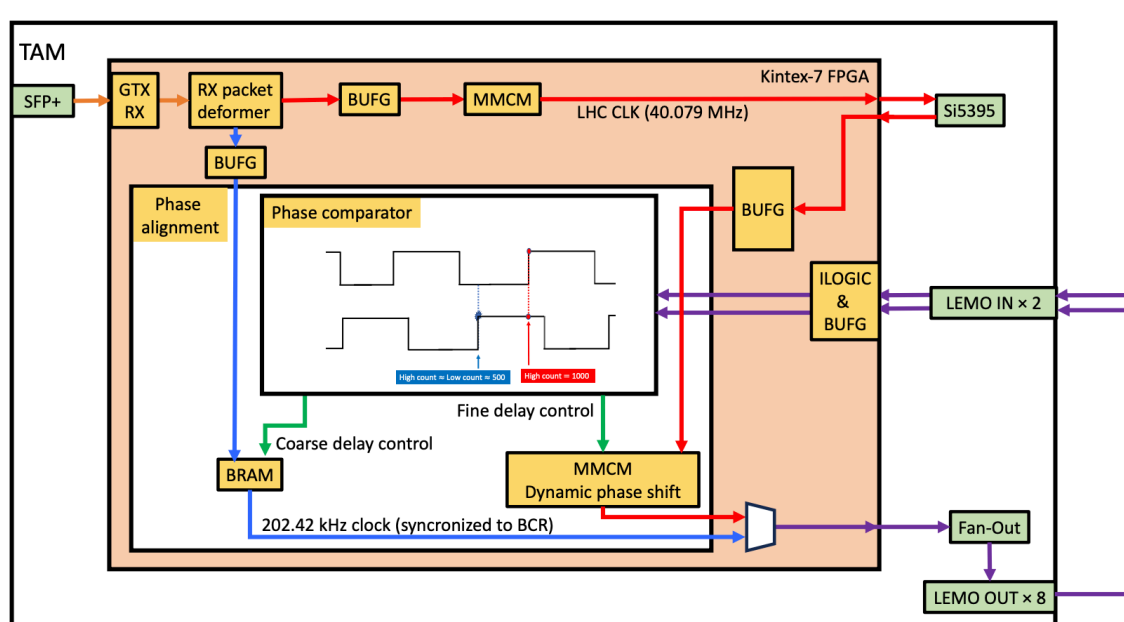


図 2.13 TAM による 1/12 セクター間の基準クロックの位相合わせの概要図 [14]。隣の TAM が再構成した LHC clock の位相に自身が再構成した LHC clock の位相を合わせることで、1/12 セクター間で基準クロックの位相を合わせる。

図 2.13 に TAM による 1/12 セクター間の LHC clock の位相合わせの概要図を示す。TAM には同じ 1/12 セクターの SL と隣の 1/12 セクターの TAM から LHC clock が送られてくる。位相合わせは、SL から送られてくる LHC clock を再構成し、その位相を隣の TAM のクロックの位相と比較、隣に合わせるように補正することで行う。この時、隣の 1/12 セクターの TAM と自身を繋ぐ LEMO ケーブルの配線遅延を相殺するために、等長の LEMO ケーブルを使って自身が再構成した LHC clock を一度外に出してから位相の比較を行う。これにより JATHub に配られる基準クロックの位相は 1/12 セクター間で完全に揃うため、2.2.3 節で記述した JATHub を使った位相測定により各 1/12 セクター内で PS board が再構成する LHC clock の位相合わせを行うことで、全 1,434 台の PS board のクロックの位相が揃う。

2.2.5 Sector Logic (SL)

Sector Logic (SL) は、PS board から送られてくる TGC 検出器のヒット情報を用いたミューオンの飛跡再構成・運動量概算、ヒット情報の後段への読み出し、PS board, TAM のコントロールや LHC clock の分配を行う回路である。図 2.14 に SL の写真を示す。上で記した主要な機能は、Virtex Ultrascale+ FPGA に configuration するファームウェアに組み込まれている。また、SL には Zynq Ultrascale+ MPSoC が搭載されており、MPSoC の PS 部分を介して PL 部分や Virtex Ultrascale+ FPGA にアクセスすることで、SL のコントロールやモニターを行う。この他に、FPGA に configuration するファームウェアや SL 上の素子の configuration に使用するパラメータを保存する QSPI Flash Memory、MPSoC のブートファイルが保存される micro SD カードを挿入するためのスロット、MPSoC や FPGA に供給する LHC clock や reference clock の jitter を取り除く Clock jitter cleaner (Si5395)、ATCA shelf manager と通信するための IPMC カードが搭載されている。フロントパネルの MPO24 コネクターには PS board や TAM、磁場内部にある検出器、SL より後段にある回路と通信するための 24 芯の光ファイバーが挿さる。

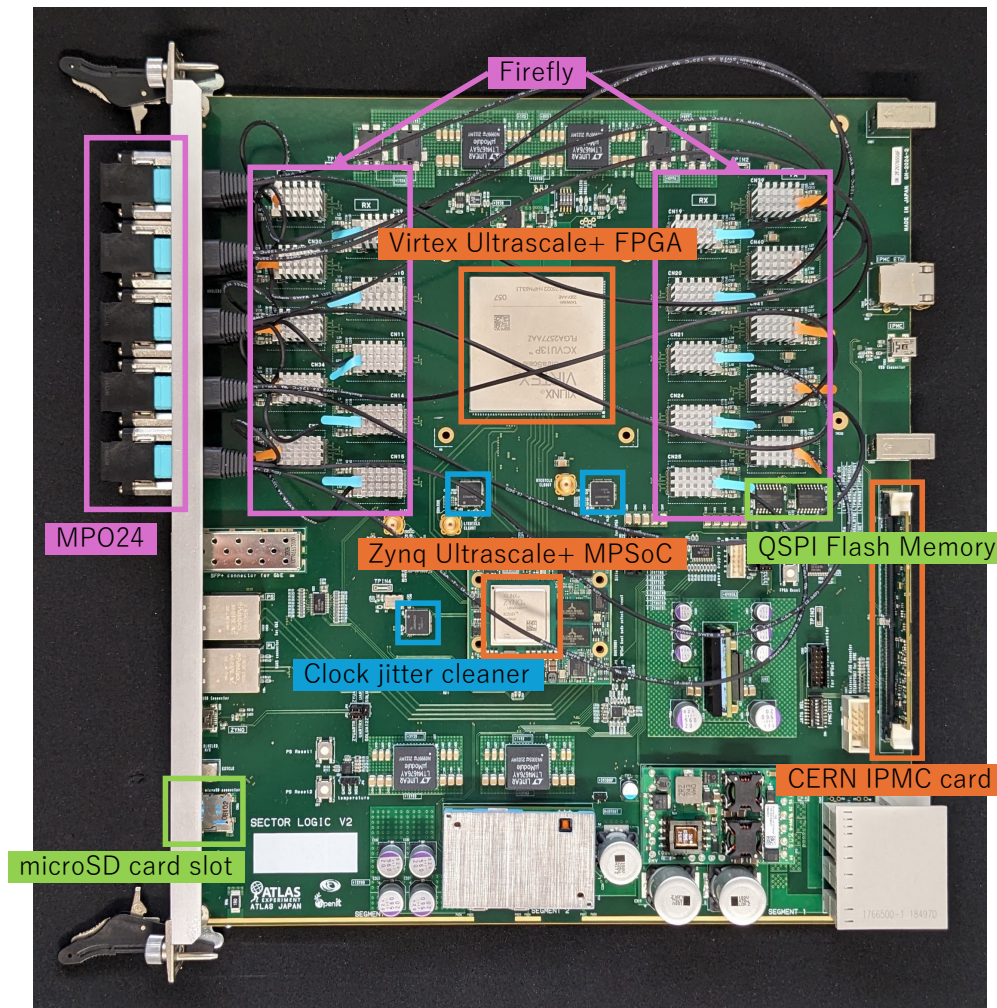


図 2.14 SL の概要図。MPSoC を起点として回路上の素子のコントロール・モニターを行う。主要な機能は Virtex Ultrascale+ FPGA に configuration するファームウェアに組み込まれており、MPSoC から Virtex Ultrascale+ FPGA にアクセスすることで、PS board や TAM のコントロール・モニターを行う。

図 2.15 に SL にヒットデータが送られてからトリガー演算が行われ、読み出されるまでのパスを示す。Virtex Ultrascale+ FPGA は 4 つの領域 (SLR0, SLR1, SLR2, SLR3) に分割されており、各領域が 1 つのトリガーセクターを担うようにロジックが組まれている。このトリガーロジックは、1.3 節で記述した point angle measurement を実装したものである。

PS board から送られてきた Hit bitmap はトリガーロジックに入力されると同時に、L0Buffer と呼ばれる Block RAM (BRAM) に一時保存される。BRAM に保存された Hit bitmap のうち、トリガー判定で選別されたイベントを含む 4 BC 分^{*3}の Hit bitmap が後段回路へと読み出される。トリガーロジックでは、まず初めにヒット情報をチャンネルの座標順に並べ替えたり、検出器のオーバーラップ部分の OR を取ったりするなどしてトリガー演算に適したフォーマットへと変換する (Channel Mapping)。次に各 station で 3 層または 2 層ある検出器ガス層のヒットの coincidence を wire と strip に対して独立に取り、各 station における代表点を決める (Station Coincidence)。次に、各 station の代表点からミューオンの飛跡を再構成し、ミューオンの運動量が無限大の場合の飛跡 (無限運

*3 トリガー判定で選別されたイベントの BC (current)、その 1 つ前の BC (previous)、1 つ後の BC (next)、2 つ後の BC (next-to-next) の計 4 つ。

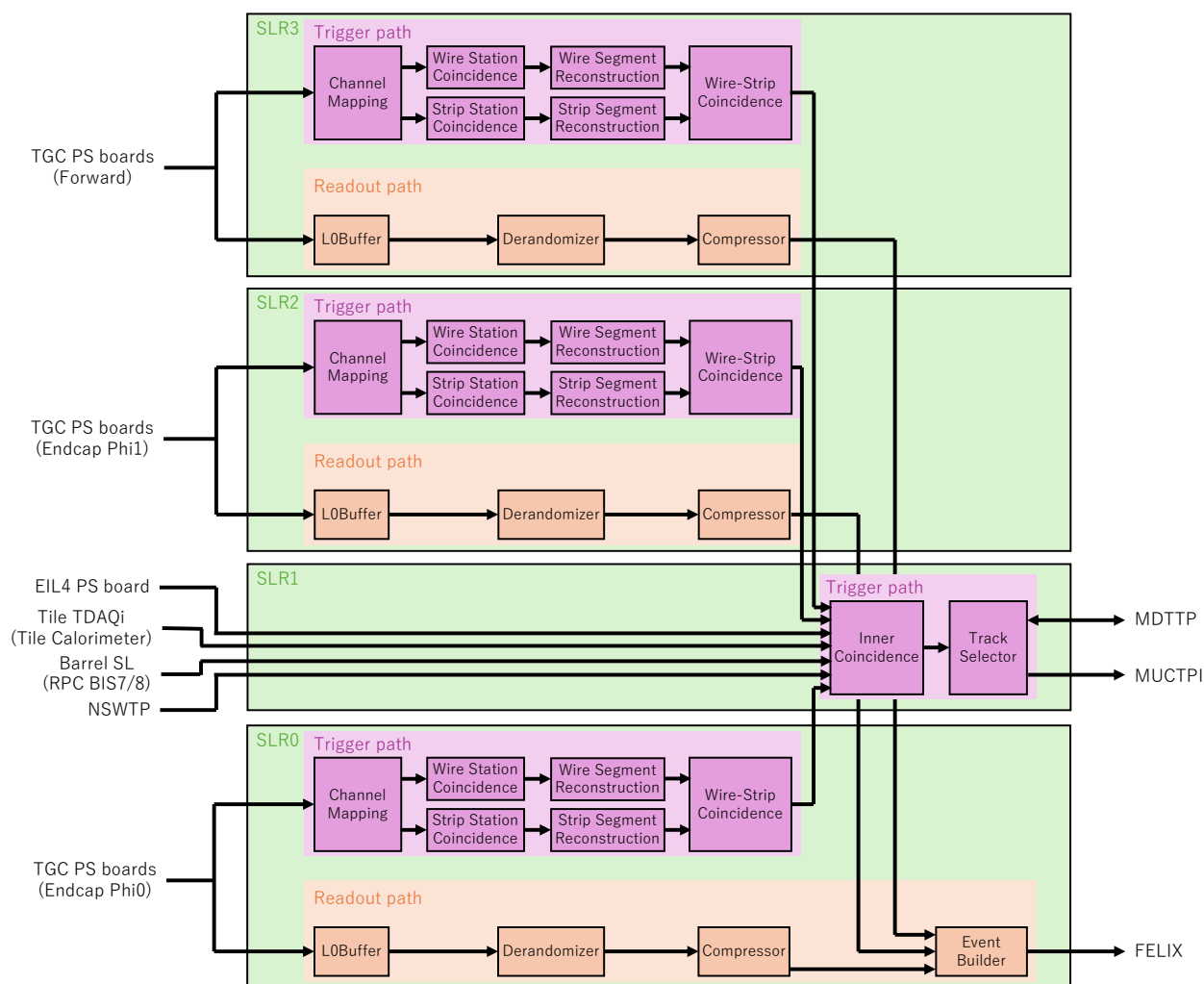


図 2.15 SL における Trigger path, Readout path の概要図。Trigger path では、まずトリガーセクター毎にミュオンの飛跡再構成・運動量概算を行う。その後、磁場内部にある検出器の情報と Coincidence を取って、MDTTP にミュオン候補の情報を送る。最後に、MDTTP から返ってきた情報を合わせて、ミュオン候補の情報を MUCTPI に送る。読み出し信号が発行されると、バッファされていた TGC のヒットデータが FELIX に読み出される。

動量飛跡) とのずれ (wire からは η 座標のずれ $d\eta$, strip からは ϕ 座標のずれ $d\phi$) を M3 を pivot として求める (Segment Reconstruction)。その後、 $d\eta$, $d\phi$ からミュオンの横運動量を概算する (Wire-Strip Coincidence)。最後に、TGC 検出器のヒット情報を用いて再構成したミュオンの飛跡情報と磁場内部にある検出器 (EIL4, NSW, BIS78, RPC, Tile カロリメーター) の情報との Coincidence を取る (Inner Coincidence)。これにより、フェイクトリガーの削減や横運動量概算の精度向上が期待される。Track Selector は Inner Coincidence の出力から運動量が最も高い飛跡候補を最大 6 つ選び、そのうち最大で 3 つを MDTTP へと送る。MDTTP は MDT 検出器の情報と SL の出力を用いてより高精度の横運動量概算を行い、それらの情報を SL に送り返す。SL は MDTTP に送った飛跡候補と送っていない飛跡候補の両方を MUCTPI に送る。

MUCTPI, Global Trigger を経て CTP で後段に読み出すべきイベントであると判定されると、CTP, Local Trigger Interface (LTI), Front-End Link eXchange (FELIX) を経て読み出し信号 (L0Acceptance, L0A) が SL に配布され、L0Buffer に保存していた TGC 検出器の Hit bitmap が読み出される。読み出された Hit bitmap は Derandomizer 内の FIFO において queuing され、Compressor から read enable 信号が出されると読み出される。この FIFO の

占有率には高い方と低い方の2つの閾値があり、Derandomizer より後段の読み出し回路の挙動は FIFO の占有率が閾値を超えているかによって異なる。占有率が両方の閾値を下回っている場合、Compressor はヒットがない ASD の Hit bitmap を全て取り除き、ヒットがあった ASD の Hit bitmap のみを EventBuilder へと送る (Zero Suppress)。EventBuilder は Hit bitmap や選別されたイベントのメタデータ (イベント番号や BCID など) を適切なフォーマットに整形し、FELIX または MPSoC に送る。ただし、MPSoC に送るのは図 2.2 の TGC ミューオントリガー回路に閉じた試験を行う時のみで、通常は FELIX に送られる。占有率が高い方の閾値を上回っている場合、EventBuilder は FELIX または MPSoC に Busy 信号を送る。Busy 信号は FELIX、LTI を経て CTP に送られ、CTP が LOA の発出を一時的に中断する。この間は ATLAS 検出器全体で読み出しが停止し dead time となる。このような事態をできるだけ回避するために、低い方の閾値を設けて、Busy 信号を出す前の段階で読み出し回路の逼迫を解消するように設計されている。占有率が低い方の閾値を上回っている場合、Compressor は閾値を下回るまで全ての Hit bitmap を廃棄し、data loss flag を立てる。EventBuilder は data loss flag が立っていないイベントについては閾値を下回っている時と同様に挙動し、data loss flag が立っているイベントについては data loss flag と共にそのイベントのメタデータのみを FELIX または MPSoC に送る。なお、TGC 検出器の目的はトリガー判定に使用するミュオンの運動量概算を行うことであり、MDT や NSW という他のミュオン検出器と比べて位置分解能は高くないため、ヒット情報を破棄しても物理解析への影響は大きくない。

第 3 章

本番運用を見据えた TGC ミューオントリガーシステムの運用方法の確立

これまでに行われてきた研究・開発により刷新されるエレクトロニクスの大部分が完成している。また、それらのエレクトロニクスを組み合わせたテストベンチが構築され、システムレベルの試験が始まっている。2026 年からは新しいエレクトロニクスのインストール、システムのコミッショニングが開始される予定であるため、これからは本番運用を見据えたエレクトロニクスの洗練、運用方法の確立、全システムの動作試験を進めていくことが求められる。本研究では、システムのパフォーマンス向上、安定的な動作の実現を目的とし、具体的なシステムの運用方法の確立、および、それに伴って必要となった新しい機能の実装を行うと共に、テストベンチを使って実装した機能の動作検証を行なった。本章では、本研究で開発・実装した機能のうち主要な 4 つを取り上げる。本章で取り扱わないものについては付録 A,B,C にまとめている。

3.1 高い精度でバンチ交差識別をするための信号遅延の最適化

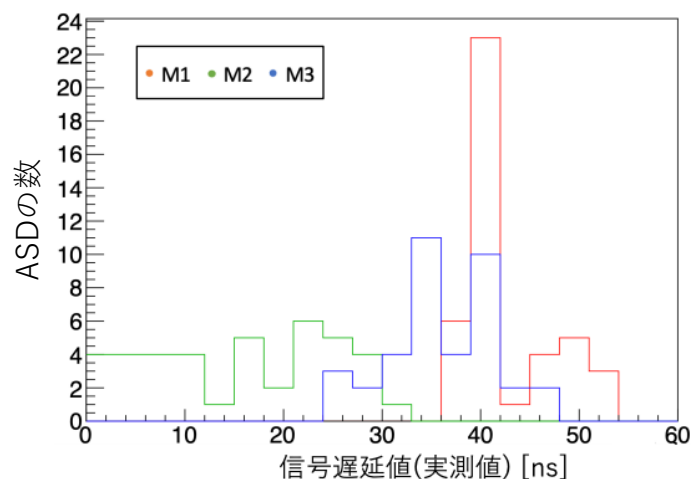


図 3.1 ミューオンの ToF と信号ケーブルの配線遅延の分布 [15]。横軸はミューオンの ToF と信号ケーブルの配線遅延の和、縦軸はその遅延時間を有する ASD の数を表す。

2.2.2 節で記述したように、PS board ではミューオンの ToF と信号ケーブルの配線遅延の違いを吸収するための信号遅延を行う。図 3.1 に示すように、ミューオンの ToF と信号ケーブルの配線遅延には最大で 52 ns の違いがあるため、信号遅延のレンジはこれより大きくなければならない。PP-ASIC における fine delay のレンジは、遅延

の単位が典型的に用いられる 0.74 ns, 0.84 ns, 0.99 ns, 1.19 ns である場合、それぞれ 34.78 ns, 37.6 ns, 46.53 ns, 55.93 ns なので、遅延の単位が 1.19 ns の時のみこれを満たす。一方で、より高い精度でバンチ交差識別 (BCID) を行うためには遅延の単位を小さくする必要がある。そこで、テストパルスと同様に 25 ns 単位でヒット信号の遅延を行う coarse delay 機構を PS board のファームウェアに組み込んだ。

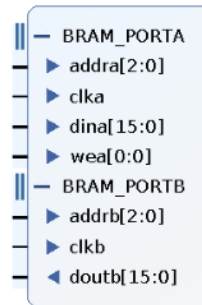


図 3.2 coarse delay 機構に使用した BRAM と呼ばれる IP コア。

coarse delay 機構は図 3.2 に示す Block RAM (BRAM) を用いて実装した。BRAM は Xilinx 社が提供する IP コアモジュールで、addr_a に入力したアドレスに dina に入力したデータを書き込み、addr_b に入力したアドレスに書かれているデータを dout_b から読み出すことができる。BRAM の書き込み、読み出しはそれぞれ clka, clkb に入力するクロックに同期して行われる。coarse delay 機構では、clka, clkb に LHC clock を、dina に PP-ASIC から送られてきたヒット信号を入力し、書き込みアドレス (addr_a の input) と読み出しアドレス (addr_b の input) の差を遅延パラメーターで調整できるようにした。アドレスは 3bit で与えられるように実装したので、0 ~ 7 段階 (0 ~ 175 ns) のレンジを持つ 25 ns 単位の遅延が可能である。これにより、最も精度の高い 0.74 ns 単位の fine delay を用いた場合でも、要求される信号遅延のレンジを満たすようになった。加えて、ヒット信号が入出力される dina, dinb のビット幅を ASD のチャンネル数と揃えることで、PP-ASIC において遅延を行うチャンネルのユニットと揃うようにした。

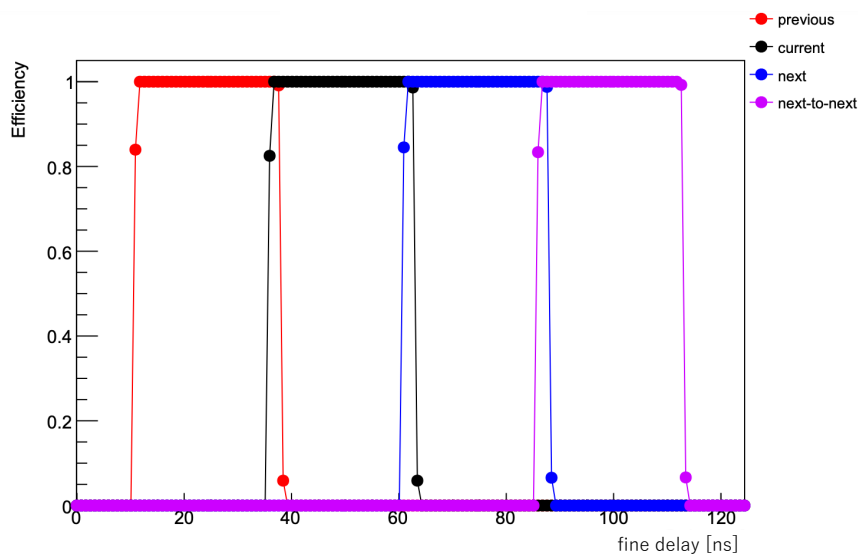


図 3.3 coarse delay 機構の validation の結果。横軸は fine delay の大きさ、縦軸は打ち込んだテストパルスの数に対する返ってきたヒットの数の割合 (efficiency) を表す。横軸で 25 ns が経過する毎に coarse delay のパラメーターを 1 つインクリメントしている。

coarse delay 機構の validation は、coarse delay のパラメーターを 1 つずつインクリメントしながら、各パラメーターにおいて Delay Scan をすることで行った。ここで Delay Scan とは、fine delay のパラメーターを 1 つずつインクリメントしながら、各パラメーターにおいてテストパルスを打ち、efficiency (打ち込んだテストパルスの数に対する返ってきたヒットの数の割合) とヒットが返ってくるタイミングの変化を見るという試験を指す。図 3.3 に coarse delay 機構の validation の結果を示す。縦軸は efficiency、横軸は fine delay の大きさを表し、横軸が 25 ns 経過する毎に coarse delay のパラメーターを 1 つインクリメントしている。ここでは各 fine delay において 100 発のテストパルスを打ち込んだ。線の色はヒットが返ってきたタイミング (BCtag) を表し、赤色はトリガーで選別されたバンチ交差の 1 つ前のバンチ交差のイベント (previous)、黒色はトリガーで選別されたバンチ交差のイベント (current)、青色はトリガーで選別されたバンチ交差の 1 つ後のバンチ交差のイベント (next)、紫色はトリガーで選別されたバンチ交差の 2 つ後のバンチ交差のイベント (next-to-next) を示す。各プロットを見ると、fine delay による信号遅延が大きくなるにつれて、ヒットが返ってくるタイミングが遅れていることがわかる。また 0 ~ 25 ns, 25 ~ 50 ns, 50 ~ 75 ns, 75 ~ 100 ns, 100 ~ 125 ns のプロットを見比べると、coarse delay のパラメーターを 1 つ増やすることで、バンチ交差 1 つ分、すなわち、25 ns だけヒットが返ってくるタイミングが遅くなっていることが確かめられた。

3.2 安定した Clock Domain Crossing の手法の確立

高輝度 LHC-ATLAS 実験における ATLAS 検出器の初段トリガーは、バンチ交差が起きてから 10 μ s 以内にトリガー判定を行い、10 μ s が経過した後に読み出し信号 (LOA) を発行するように設計されている。これにより、LOA が発行される 10 μ s 前のイベント、すなわち、トリガーで選別されたイベントの情報を正確に読み出すことができる。バンチ交差が起きてから LOA が発行されるまでの時間が固定されているため、初段ミュオントリガーを担う TGC ミュオントリガー回路においては、ヒット信号や BCID に関わるデータを扱う PS board や、JATHub の位相測定における基準クロックを生成する TAM と SL の間の通信を固定時間 (fixed latency) で行うように実装しなければならない。TGC ミュオントリガー回路では、データ送信側が FPGA の光通信モジュール (GTX/GTY Transceiver) で使用するクロック (送信クロック) と、データ受信側が GTX/GTY Transceiver で使用するクロック (受信クロック) の位相関係が、回路の電源再投入や FPGA のリセット等に対して変わらないように特殊な実装を行うことで、fixed latency での通信を実現している (詳しくは [16] の 3 章)。

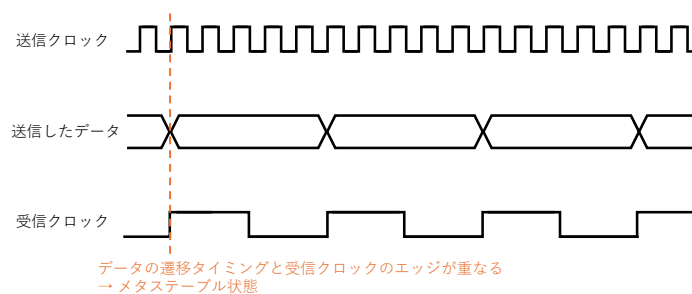


図 3.4 メタステーブルの時の送信クロックと受信クロックの位相関係。2 つのクロックの立ち上がり一致していると、送信データのある bit が 0→1, 1→0 と遷移する際に、その bit を受信クロックでラッチした値が確率的に決まるようになってしまう。

この実装では、送信クロックと受信クロックの Clock Domain Crossing (CDC) において一般的に用いられる FIFO を使用せず、送信クロックに同期したデータを受信クロックでラッチすることで CDC を行なっている。これは FIFO における 2 つのクロックの位相差の吸収の仕方に任意性があり、fixed latency で通信できないことが先行研究で明らかになっているためである。一方で、この実装においては図 3.4 のように 2 つのクロックのエッジが重

なるようなメタステーブルな位相関係になることがあり、このときデータ受信の際にデータの破損が起り得る。そこで、パンチ交差識別子 (BCID) が LHC clock に同期して 1 つずつインクリメントされているかモニターすることで、受信データの破損が起きているか確認する機構を開発した。また、このモニター機構を用いて、メタステーブルを回避し安定した Clock Domain Crossing (CDC) を行う機構を開発した。

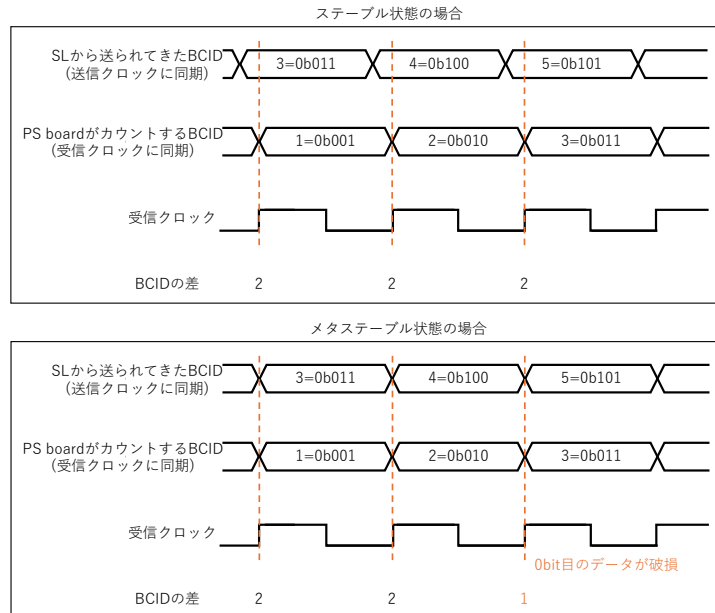


図 3.5 データの破損が起きているかモニターする機構の概要図。メタステーブル状態では、SL から送られてきた BCID を受信クロックでラッチした値は一意に定まらない。よって、BCID の差は一定の値ではなくなる。

BCID を用いてデータの破損が起きているかモニターする機構の概要図を図 3.5 に示す。ここでは SL が送信したデータを PS board で受信する場合を例に説明するが、その他の場合も全く同様である。モニター機構では、SL から送られてくる BCID とそれとは独立に PS board の中でカウントアップされる BCID の差をモニターする。どちらの BCID も LHC clock に同期しており 25 ns 毎に 1 つずつインクリメントされるため、その差は常に一定のはずである。しかし、受信データの破損が起きている場合、SL から送られてくる BCID が不規則に変化するため、2 つの BCID の差が一定の値を取らなくなる。従って、一定時間 BCID の差をモニターし、その差が一定の値からずれた回数をカウントすることで受信データの破損が起きているか確認することができる。

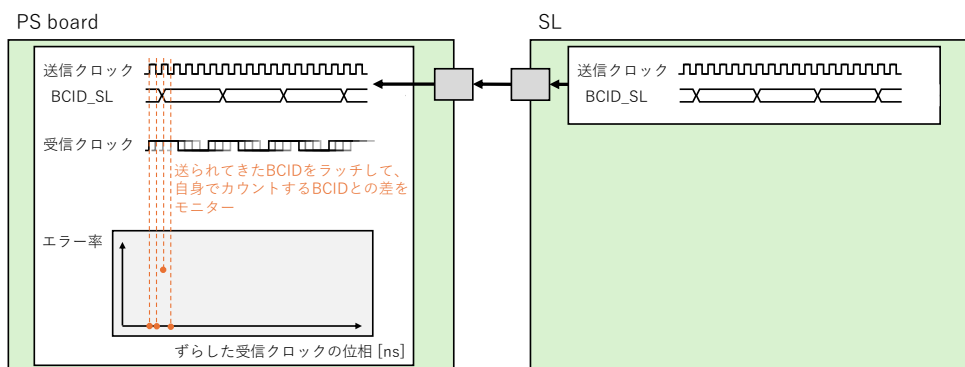


図 3.6 モニター機構を使ったデータ受信におけるエラーレートの測定のセットアップ。送信クロックの位相を固定した状態で、PS board の位相アライメント機構を使って受信クロックの位相をずらしながら、BCID の差が一定値からずれた回数をモニターした。

このモニター機構を用いて受信データの破損が確認できるかを検証した。図 3.6 にこの検証のセットアップを示す。送信側のクロック（SL における LHC clock）の位相を固定した状態で、受信側のクロック（PS board が再構成した LHC clock）の位相を $1/56$ ns ずつずらしたときの各位相における BCID の差をモニターした。なお、位相制御には 2.2.3 節で記述した PS board における位相アライメント機構を用いた。

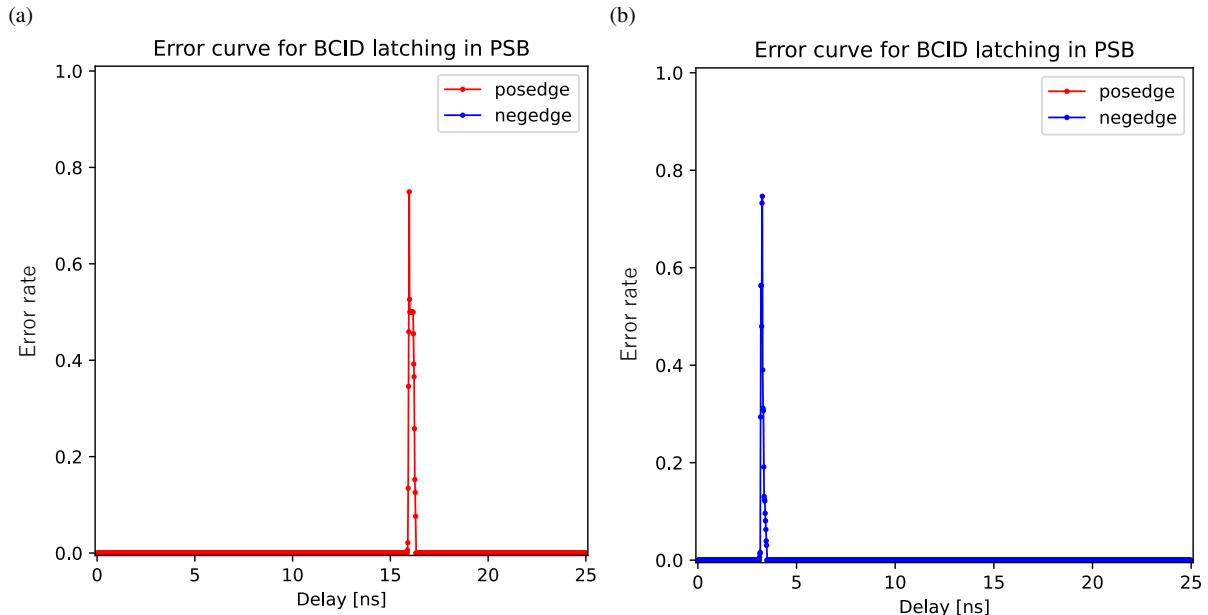


図 3.7 モニター機構を使ったデータ受信におけるエラーレートの測定結果。横軸はずらした受信クロックの位相の大きさ、縦軸は BCID の差が一定値からずれた回数の割合を表す。(a) は受信クロックの立ち上がりでラッチした場合、(b) は立ち下がりでラッチした場合の結果を示す。

図 3.7(a), 3.7(b) に結果を示す。縦軸は PS board 側のクロックの位相を $1/56$ ns ずつずらし、各位相で 1.64 ms の間 BCID の差をモニターした時に、BCID の差が一定の値からずれた回数の割合（エラーレート）、横軸はずらした受信クロックの位相の大きさを表す。サンプリングしたデータ点の数は $25 \times 56 = 1,400$ 点である。受信クロックの立ち上がりで受信データのラッチを行なった時は 16 ns だけ受信側のクロックの位相をずらした時にエラーレートが増加し、立ち下がりで受信データのラッチを行なった時は 3.25 ns だけ受信クロックの位相をずらした時にエラーレートが増加していることがわかる。その位相差は立ち上がりと立ち下がりでの位相差である 12.5 ns と等しいことから、エラーレートが増加する位相において、送信クロックと受信クロックがメタステーブルな位相関係になり、受信データの破損が起きていることが確かめられた。また、メタステーブルな位相関係となるのは 1 周期のうち $25 \div 1,400 \approx 1.8\%$ と小さく、後述する受信データのラッチに用いるエッジの選択により安定したデータ受信が担保できることが実証できた。

TGC ミューオントリガー回路では、メタステーブルを回避し安定した CDC を行うために、図 3.8 のように立ち上がりと立ち下りの両方で受信データをラッチし、どちらのエッジでラッチしたデータを後段のロジックに送るか選択できるようになっている。この選択はレジスタの値を操作することで行い、1 の時は LHC clock の立ち上がりでラッチしたデータが後段のロジックに送られ、0 の時は立ち下がりでのラッチしたデータが後段のロジックに送られる。先述したように、メタステーブルな位相関係となるのは 1 周期のうち非常に小さい割合であるため、立ち上がり/立ち下がりにおいてメタステーブルな位相関係になっていても、立ち下がり/立ち上がりにおいてはメタステーブルな位相関係になっていない。よって、データ受信に用いるエッジを適切に選ぶことで、安定したデータ受信を担保できるはずである。

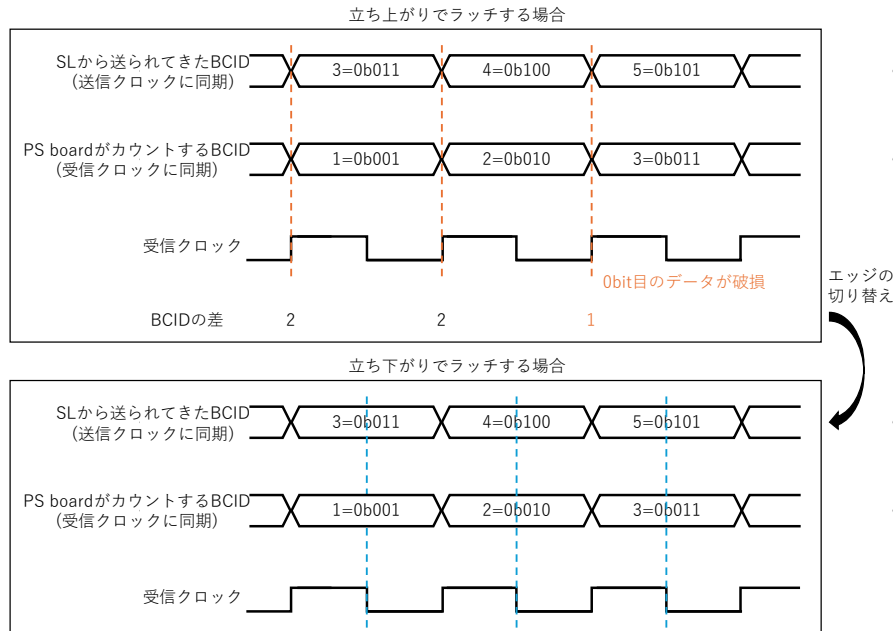


図 3.8 エッジ選択機構の概要図。モニター機構で BCID の差が一定値からずれたことが検知された場合、データ受信に用いるエッジを切り替えることでメタステーブル状態を解消する。

このエッジ選択機構を用いることで安定したデータ受信を担保できるかを図 3.6 と同じセットアップで検証した。ただし、この検証では受信データの破損を検知したときに、そのときに選んでいるエッジと別のエッジを選ぶようにした。図 3.9(a), 3.9(b) にその結果を示す。ここで、図 3.9(a) はエッジ選択をする前のエッジを立ち上がりで固定した場合、図 3.9(b) はエッジ選択をする前のエッジを立ち下がりで固定した場合を示す。また、赤色は立ち上りをエッジに選んでいる時、青色は立ち下がりを選んでいるときのエラー頻度を表す。図 3.7(a), 図 3.7(b) と比較すると、エッジを切り替えることでメタステーブルを回避し、受信データの破損を防げていることがわかる。

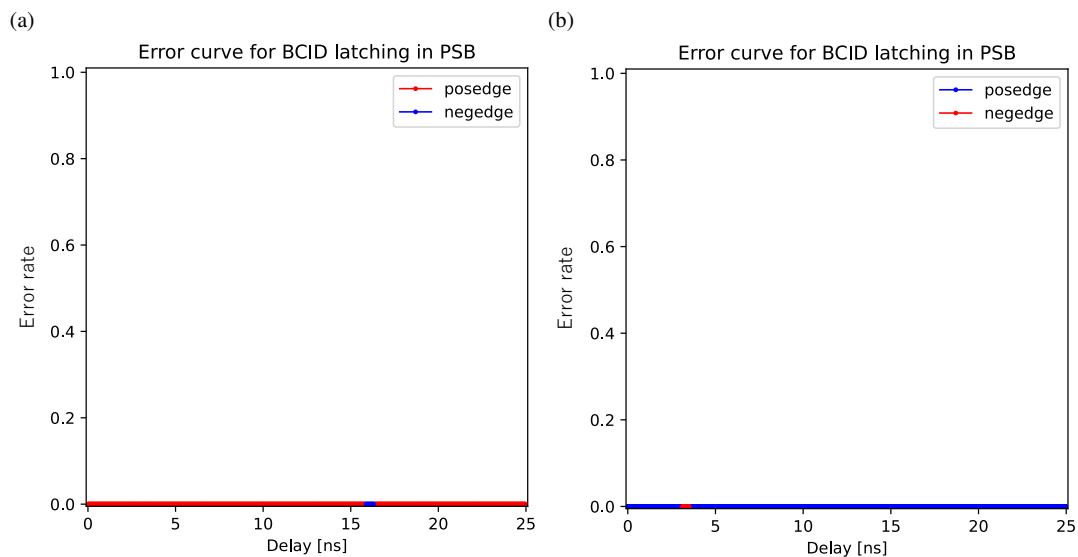


図 3.9 エッジ選択をした時のエラーレートの測定結果。横軸と縦軸が示す量は図 3.7(a), 3.7(b) と同じ。赤線は立ち上がりでラッチしている時、青線は立ち下がりラッチしている時を表す。(a) はデフォルトの設定を立ち上がりとした場合、(b) は立ち下がりとした場合を示す。

なお、このエッジの切り替えは測定したエラーレートを元にマニュアルで行う仕様になっているため、ユーザーが意図せず勝手にエッジが切り替わることはない。

3.3 PS board の configuration の手法の最適化

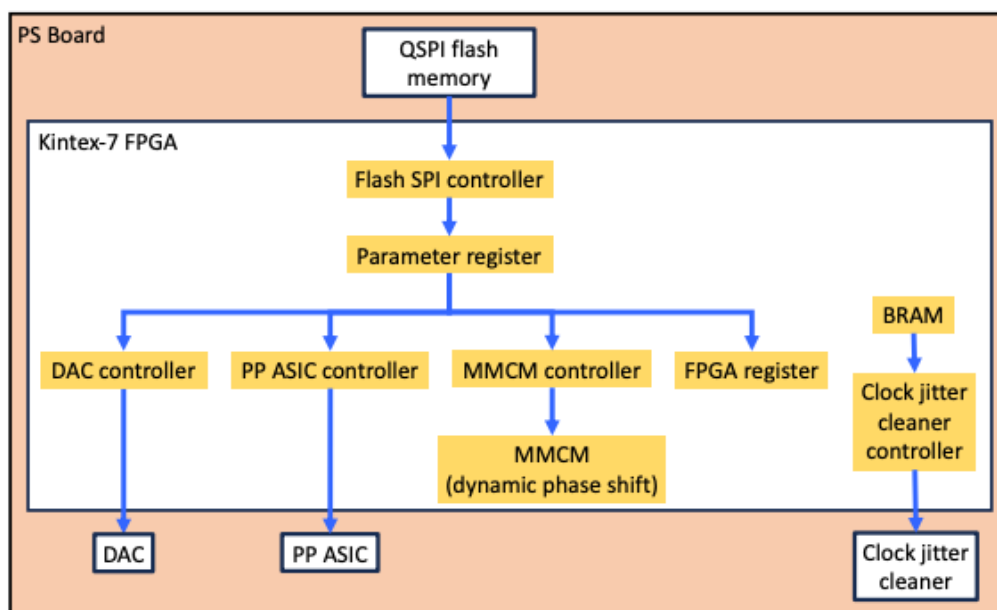


図 3.10 自立型制御機構の概要図 [14]。FPGA が起動するとステートマシンが走り出し、QSPI Flash Memory からパラメータを読み出す。読み出したパラメータが回路上の素子に分配される。

TGC ミューオントリガー回路では、2.2.2 節で記述した信号遅延、2.2.3 節で記述した位相アライメント、3.2 節で記述したエッジ選択など個々のボードに対する最適なパラメータの設定が必要である。このパラメータの設定を最速で行うために、TGC ミューオントリガー回路は FPGA のファームウェアだけでなく、パラメータも回路に搭載された QSPI Flash Memory に保存しておき、回路が起動した時に自動でパラメータの読み込み・ボード上の素子への設定が行われるように設計されている。これを「自立型制御機構」と呼ぶ。図 3.10 に PS board における自立型制御機構の概要図を示す。まず、bitbanging で QSPI Flash Memory にパラメータを書き込む。回路に電源が投入され FPGA の configuration が完了すると、FPGA 内に実装したステートマシンが QSPI Flash Memory と通信を行い、パラメータを読み出す。その後、読み出されたパラメータが回路上の各素子に分配される。

本番運用においては、物理解析に使用するデータの収集 (Physics RUN) や検出器システムの較正に使用するデータの収集 (Calibration RUN) など様々な目的のデータ収集があり、それぞれの場面で異なるパラメータを用いる。そこで、以下の最適なオペレーションモデルを考案し、その実装として QSPI Flash Memory を介さずに直接回路上の素子の configuration を上書きする機構を準備した。

- Physics RUN の始めに、Physics RUN 用のパラメータを QSPI Flash Memory に書き込み、以降 QSPI Flash Memory のパラメータの書き換えは行わない。
- Physics RUN 以外のデータ収集において、Physics RUN のときと異なる設定が必要な場合には、回路上の素子の configuration を直接上書きしてデータ収集を開始する。

これにより、Physics RUN で使用するパラメータとそれ以外のデータ収集で使用するパラメータが干渉しないことが担保される。

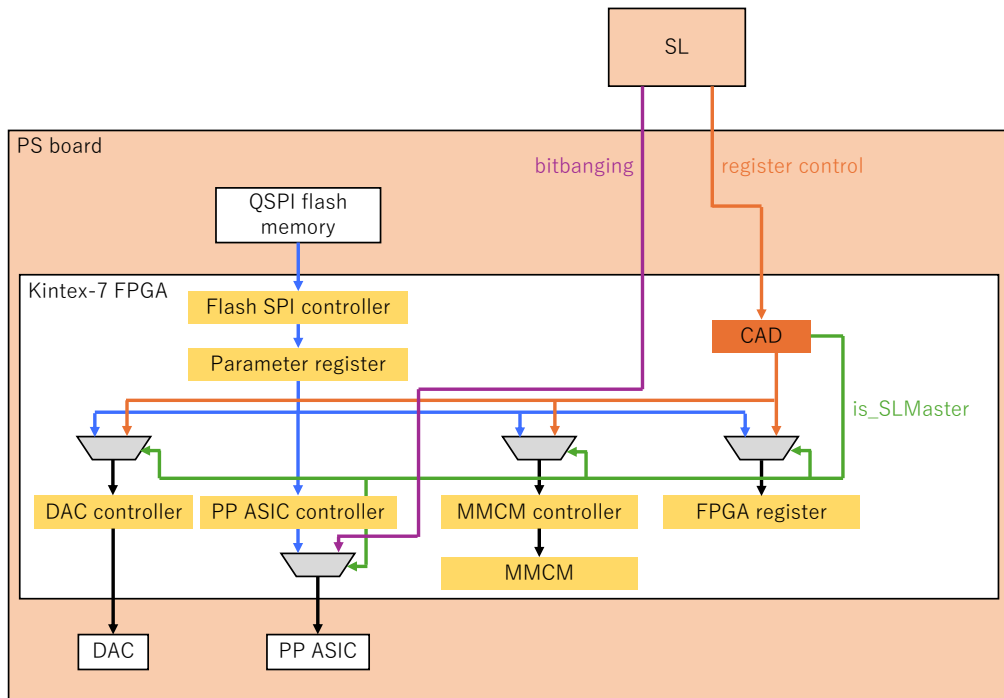


図 3.11 直接回路上の素子を configuration するパスの概要図。SL を起点とする bitbanging またはレジスタ操作で、回路上の素子に書き込むパラメーターを変更する。自立型制御機構と SL を起点とする configuration の切り替えは is_SLMaster という信号線を操作することで行う。PP-ASIC については SL からの bitbanging で SPI 線を操作して configuration を行う。それ以外の素子については、SL から操作できるレジスタをまとめている CAD モジュール内のレジスタの値を書き換えることで configuration を行う。

図 3.11 に新しい configuration パスの概要図を示す。回路上の素子と FPGA を繋ぐ 1 本の configuration パスに対して、QSPI から読み出したパラメーターを入力するパスと直接パラメーターを入力するパスがあり、それを is_SLMaster という信号線の値を変えることで切り替えるという形で実装した。レジスタ操作でパラメーターを変更するパスは過去の開発で実装されたものであり、問題なく動作することがよく確かめられている。本研究では、SL からの bitbanging で SPI 線を操作して PP-ASIC を configuration するためのパスとソフトウェアを開発した。開発した configuration パスとソフトウェアの validation は以下のように行なった。読み出しの validation は、PP-ASIC のパラメーターを初期化した状態でパラメーターを読み出し、それが仕様書に記載されている初期値と一致するか確かめることで行った。書き込みの validation は、PP-ASIC に適当なパラメーターを書き込み、それを読み出して、書き込んだ値と読み出した値が一致しているか確かめることで行った。PP-ASIC は書き込みと読み出しを別々に行うことができない仕様だが、読み出しの validation は済んでいるので、これによって書き込みが正しく行われているか確かめることができた。また、図 3.3 を作成する時には bitbanging で PP-ASIC の信号遅延のパラメーターを書き換えており、パラメーターの書き換えによってヒットの到着タイミングが遅れていることから開発した configuration パスとソフトウェアが問題なく動作していることが確認できる。

3.4 PP-ASIC の configuration 方法の最適化

図 2.6(a) に示すように PLL 回路の Delay cell unit は VCON の制御電圧で駆動するため、電源投入前や PP-ASIC のロジックリセット (RESETb) がアサートされている時など Charge Pump (CP) が OFF になっているとき、Delay cell unit の出力は High-z である。電源投入や RESETb のデアサートにより CP が ON になり Delay cell

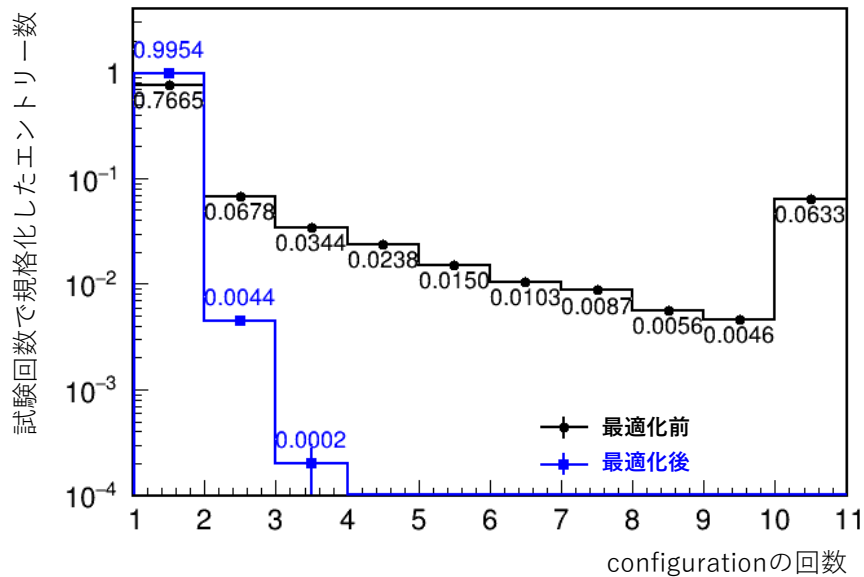


図 3.12 PP-ASIC の configuration 方法を最適化する前後の PLL LOCK の成功率。横軸は PLL LOCK が成功するまでに繰り返した configuration の回数、縦軸は横軸の回数の configuration で PLL LOCK に成功した回数を試験回数で規格化した量を表す。

unit の出力が決まるとき、32 個の Delay cell unit の出力が 0000111100001110000...001110000 のように 0 と 1 の境界が複数個ある状態になることがある。すると、Ring Oscillator の出力の周波数が見かけ上高くなったように見えたり、duty cycle がパルス毎に変化したように見える。このような状態になると、CP に適切なフィードバックがかからないため、いつまでも PLL 回路の位相制御が完了 (LOCK) しない。このような現象は当初想定していなかったが、量産した 1,000 台以上の PS board の品質検査において PP-ASIC が LOCK しないことが多くあり、本番運用に影響を与え得ることが判明した。そこで、以下のように PP-ASIC の configuration 方法を最適化することで、PP-ASIC の PLL 回路における VCON の制御が安定して行われるようにした。この configuration 方法の特徴は、最初に PLL 回路の Delay cell unit の段数を 1 にするパラメーターを書き込む点である。最初に PLL 回路の Delay cell unit の段数を 1 にするパラメーターを書き込むことで Delay cell unit の出力を統一し、CP に適切なフィードバックがかかる状態にする。

1. RESETb のアサート (CP の動作を停止する)
2. PLL 回路の Delay cell unit の段数を 1 にするパラメーターの書き込み
3. RESETb のデアサート (CP の動作を開始し、Delay cell unit の出力を統一する)
4. 任意のパラメーターの書き込み

configuration 方法の最適化によって PLL 回路の LOCK がしやすくなったことを確かめるために、18 台の PS board で自立型制御機構を 1000 回走らせ、LOCK ができた回数をカウントした。なお、自立型制御機構は PLL 回路の LOCK が達成できなかった場合に 10 回まで PP-ASIC の configuration を繰り返す。図 3.12 にその結果を示す。横軸は自立型制御機構を 1 回走らせたときに、PLL 回路の LOCK が達成できるまでに必要だった PP-ASIC の configuration の回数、縦軸は各ピンのエントリ数を試験回数 (1,000 回) で規格化した量を示す。黒線は PLL 回路の Delay cell unit の段数を 1 にするパラメーターを書き込むプロセスを追加する前、青線は後の結果を表す。追加する前は複数回 configuration を繰り返す必要があったが、このプロセスを追加したことで高々 3 回の configuration で確実に LOCK ができるようになった。

第 4 章

ATLAS 実験室における実機を使った TGC ミューオントリガーシステムの動作試験

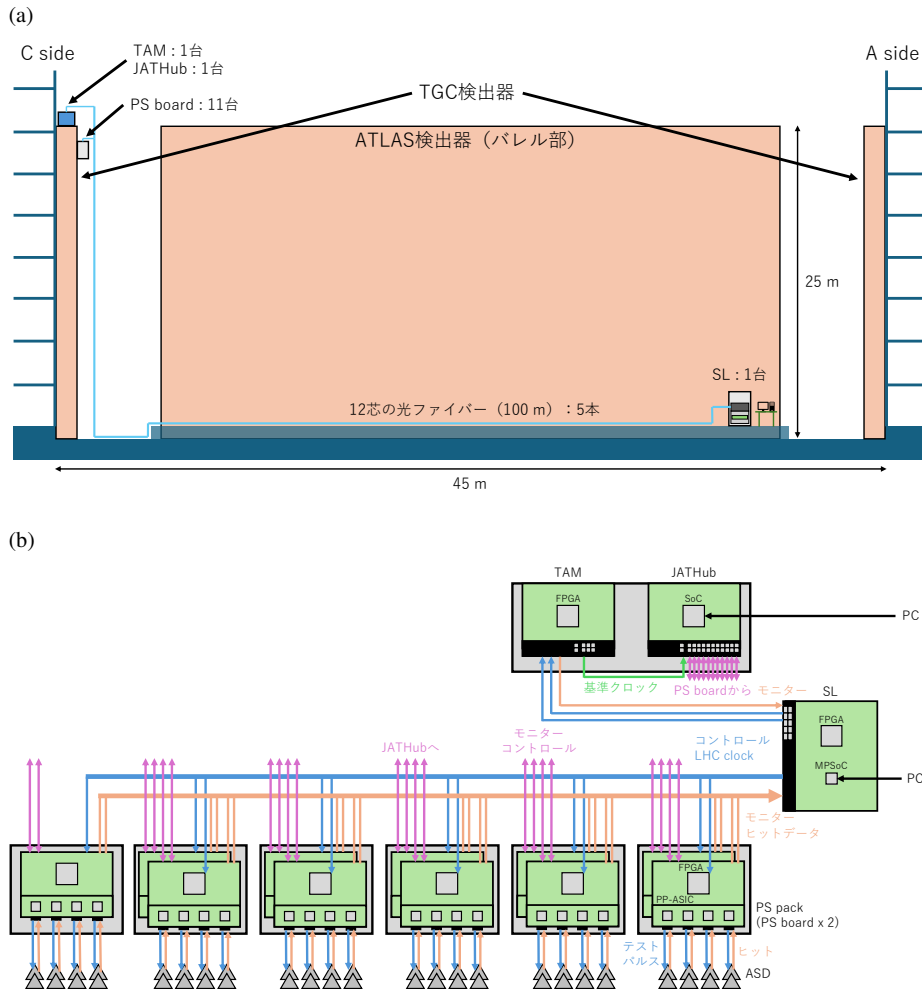


図 4.1 TGC ミューオントリガーシステムの動作試験のセットアップ。ATLAS 検出器の C side にある M1 の TGC 検出器上に PS board を 11 台、JATHub と TAM を 1 台ずつ設置し、A side に構築した試験ステーションからシステムのモニター・コントロールを行う。通常 TGC の M1 はバレル部にほぼ接する $z = 13$ m のあたりにあるが、テクニカルストップ期間中に行う作業のために $z = 22$ m のあたり (parking position) に移動しており、M1 の検出器中心 (IP) 側にアクセスできる状態であった。

本章では、PS board, JATHub, TAM, SL, 約 100 m の光ファイバーを ATLAS 実験室に持ち込んで M1 の 1 セクター分のセットアップを構築し、初めて本番運転と同じ環境で行ったシステムの動作試験について記述する。試験では、現行システムの運転時に行われているテストパルスを用いた DAQ や JATHub による位相測定を行うことで、刷新された TGC ミューオントリガーシステムが設計通り動作することを確認した。

4.1 セットアップの概要と ATLAS 実験室におけるシステムの構築

図 4.1(a) に動作試験のセットアップの概要図を示す。本試験では、C side にある M1 の TGC 検出器の Sector C05 Phi2/3 と呼ばれるトリガーセクター (図 1.3(b) の赤枠で囲った部分) に PS board を 11 台、JATHub と TAM を 1 台ずつ設置した。これらの回路は、約 100 m の光ファイバーで A side 側に構築した試験ステーションの SL や PC に繋がっている。図 4.1(b) に示すように、SL からこの約 100 m の光ファイバーを介して、PS board, TAM への LHC clock の分配やモニター・コントロール、ヒットデータの読み出しを行う。また、PC から約 100 m の光ファイバーを介して JATHub の SoC に接続することで、PS board が再構成した LHC clock の位相測定を行う。なお、A side 側に構築した試験ステーションはネットワークに接続されているため、リモートでこれらの操作を行うことが可能である。このようにフロントエンドの回路から離れたところに試験ステーションを設置し、両者を約 100 m の光ファイバーで繋ぐというセットアップにしているのは、2026 年から始まる 1,434 台の PS board のインストール時に行う配線試験のデモンストレーションを行うためである。この配線試験は A side の試験ステーションを起点にセクター毎に行うもので、約 100 m の光ファイバーを各セクターに付け替えていながら進める。

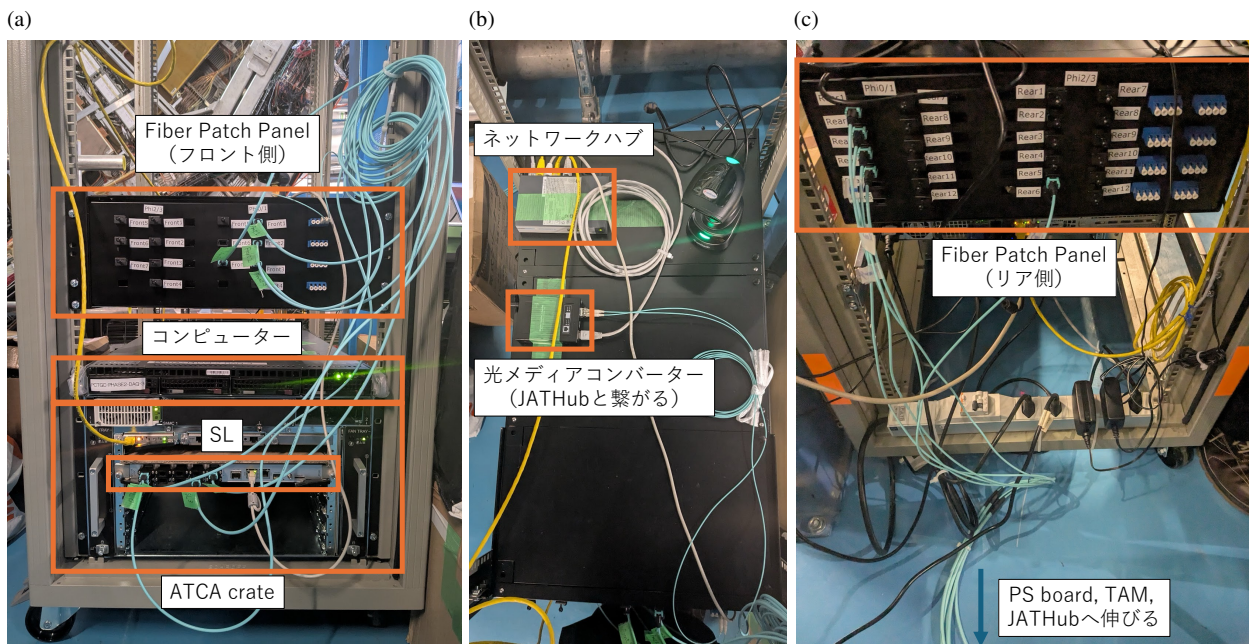


図 4.2 試験ステーションのセットアップ。19 インチラックに Fiber Patch Panel、コンピューター、ATCA crate、SL、ネットワークハブ、光メディアコンバーターを設置した。コンピューターはネットワークハブを介して LAN ケーブルで ATCA crate、SL、光メディアコンバーターと繋がっている。Fiber Patch Panel は光ファイバーで SL と光メディアコンバーターに繋がっている。(a) フロント側から撮った写真 (b) 上から取った写真 (c) リア側から撮った写真

図 4.2 に試験ステーションのセットアップを示す。試験ステーションに設置された 19 インチラックには、システムのモニター・コントロールを行うコンピューター、SL が入った ATCA crate、Fiber Patch Panel (FPP)、ネット

ワークハブ、光メディアコンバーターが設置されている。ここで FPP とは、SL から伸びる 24 芯の光ファイバーと PS board, TAM から伸びる 12 芯の光ファイバーの接続、光メディアコンバーターから伸びる 2 本の光ファイバーと JATHub から伸びる 12 芯の光ファイバーの接続を行うためのものである。FPP のフロント側に 24 芯の光ファイバーを接続する MPO24 コネクタが、リア側に 12 芯の光ファイバーを接続する MPO12 コネクタが取り付けられており、箱の中で両側から伸びる光ファイバーの接続を行なっている。JATHub から伸びる 12 芯の光ファイバーは箱の中で 12 本の光ファイバーに分かれた後、箱の外にある光メディアコンバーターに繋がる。SL や光メディアコンバーターはネットワークハブを介して LAN ケーブルでコンピューターに接続されているため、外部ネットワークからコンピューターに ssh 接続し、さらにコンピューターからローカルエリアネットワーク内の SL や JATHub に ssh することで、システムのモニター・コントロールをリモートで行うことができる。

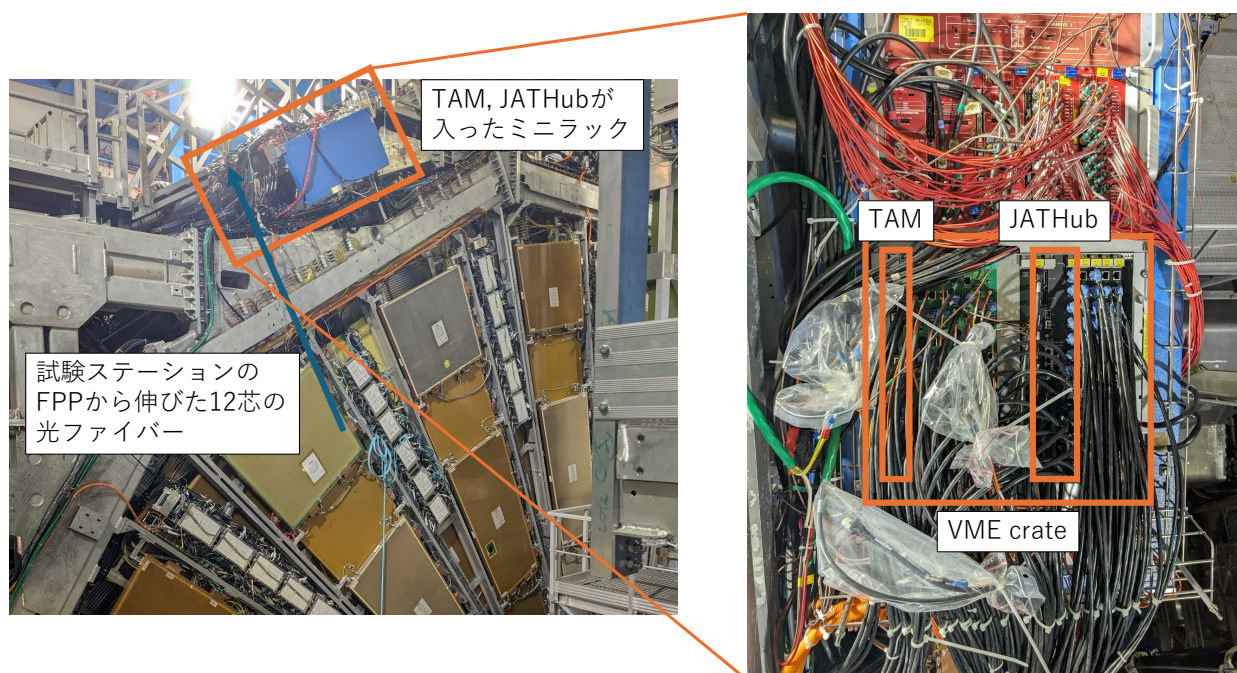


図 4.3 TGC 上のミニラックのセットアップ。C side にある M1 の TGC 検出器の Sector C05 Phi2/3 と呼ばれるトリガーセクターのミニラックに TAM と JATHub を 1 台ずつ設置した。TAM と JATHub は 1 本の LEMO ケーブルで接続されている。

TAM と JATHub は図 4.3 に示す Sector C05 のミニラックの VME crate に設置した。TAM と JATHub は LEMO ケーブルで接続されており、TAM は JATHub で位相測定をするときに使用する基準クロックをこの LEMO ケーブルを介して JATHub に送る。また、JATHub には 11 台の PS board のモニター・コントロールを行うための Cat6 ケーブルが 22 本接続されている。

PS board は図 4.4 に示すアルミケース (PS pack) に 2 台ずつ入れられた上で、TGC 検出器上に設置されている。PS pack の蓋には PS board への配線方法を示すシールが貼られており、光ファイバー、Cat6 ケーブル、信号ケーブルの配線時はこのシールを見ながら行った。セットアップを構築した後に、PS board に繋がる光ファイバー、Cat6 ケーブルの配線が正しく行われたかを確認した (詳しくは付録 D)。この配線試験は 2026 年から始まる 1,434 台の PS board のインストール時にも行われるもので、短時間で配線ミスを実際に発見できるように設計されている。

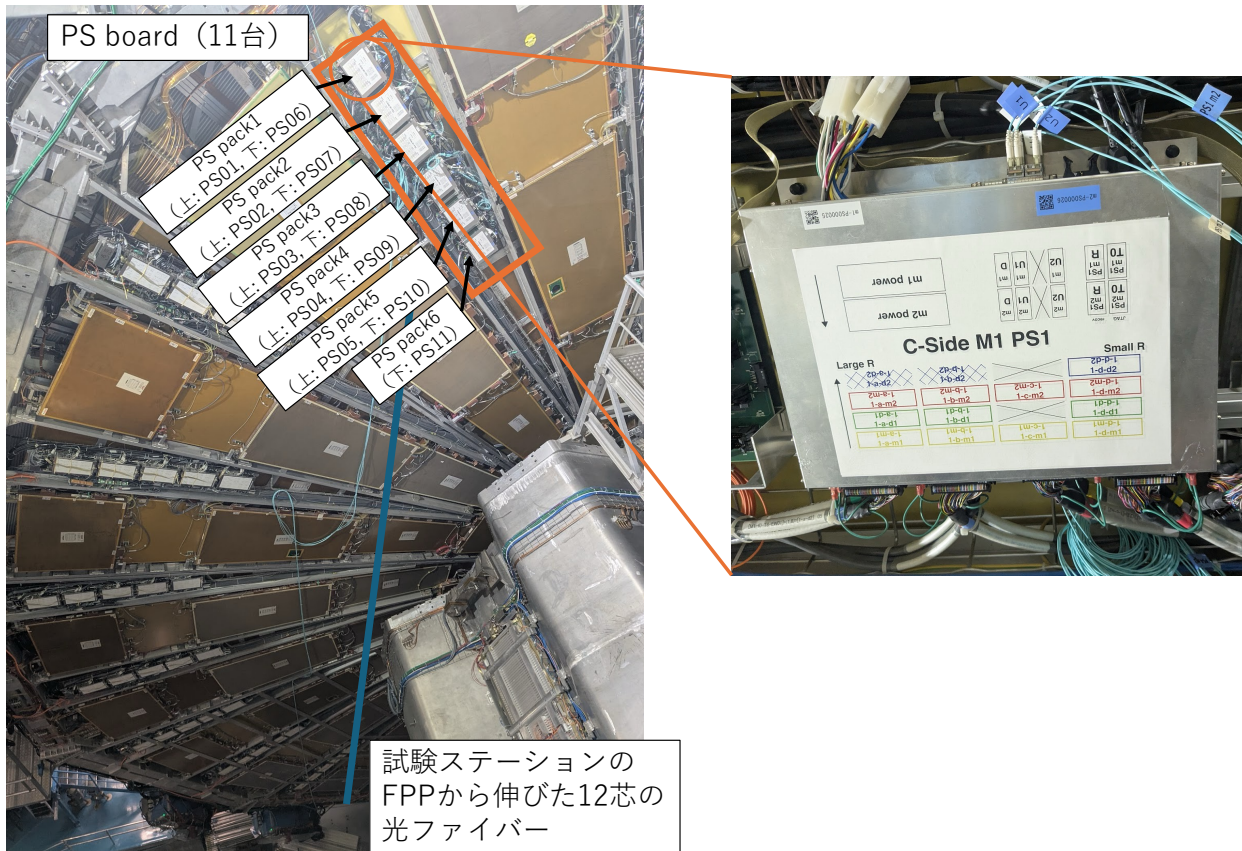


図 4.4 TGC 上の PS board のセットアップ。C side にある M1 の TGC 検出器の Sector C05 Phi2/3 と呼ばれるトリガーセクターに 6 つの PS pack を設置した。各 PS pack には 2 台の PS board が上段と下段に分けて入っており、試験には PS pack1 から PS pack5 に入った 10 台の PS board と PS pack6 の下段に入った PS board を使用した。なお、本番は PS pack6 の上段にだけ PS board が設置される。各 PS board には SL と繋がる光ファイバー 3 本、JATHub と繋がる Cat6 ケーブル 2 本、ASD と繋がる信号ケーブル 8 本が接続される。

4.2 PS board に印加する電圧の調整

表 4.1 にセットアップを構築した直後に測定した PS board の電源電圧を示す。括弧内は PS board のファームウェアに組み込んだ xADC^{*1}で測定した値、括弧外はマルチメーターで測定した値を示し、- は測定していないところを表す。PS board 上のデジタル回路に印加する電圧である 3V3D が定格電圧に達していなかったため、定格電圧に達するように 3V3D の昇圧を行なった。表 4.2 に昇圧後の PS board の電源電圧を示す。昇圧によって定格電圧に達したことが確認できる。また、PS01 から PS05、PS06 から PS11 にかけて電圧降下が大きくなっている。これは図 4.4 からわかるように PS05 や PS11 は電源モジュールのあるミニラックから遠く電源ケーブルが長いことと整合する。以降の試験は全て定格電圧に達した状態で行なった。

現行システムの設定電圧で定格電圧に達しなかった原因は、PS board に流れる電流量の増加に伴う電圧降下の増加と考えられる。C05 Phi0/1 にある現行システムの PS board と Phi2/3 に設置した新しい PS board の電流量を測定すると、現行システムの PS board に流れる電流量は 1 台あたり 1 A、新しい PS board に流れる電流量は 1 台あたり 2.45 A と 1.45 A の増加が確認された。このように増加するのは新しい PS board に搭載されている FPGA の

*1 FPGA に搭載された Analog Disital Converter

表 4.1 セットアップを構築した直後に測定した PS board の印加電圧。括弧内は PS board のファームウェアに組み込んだ xADC で測定した値、括弧外はマルチメーターで測定した値を示す。- は測定していないところを表す。

測定場所	3V3D [V]	3VA [V]	-3VA [V]
PS01	2.94 (2.87)	3.26 (3.17)	-3.17 (-3.18)
PS02	2.92 (2.89)	3.28 (3.18)	-3.18 (-3.18)
PS03	2.93 (2.86)	3.26 (3.17)	-3.18 (-3.18)
PS04	- (2.88)	- (3.20)	- (-3.19)
PS05	- (2.88)	- (3.14)	- (-3.16)
PS06	2.91 (2.88)	3.25 (3.19)	-3.17 (-3.19)
PS07	2.91 (2.87)	3.27 (3.17)	-3.18 (-3.18)
PS08	2.90 (2.91)	3.25 (3.17)	-3.18 (-3.19)
PS09	- (2.85)	- (3.16)	- (-3.17)
PS10	- (2.86)	- (3.12)	- (-3.17)
PS11	2.92 (2.85)	3.23 (3.15)	-3.17 (-3.20)
CAEN モジュールの出力	3.3	-	-
電源分配箱の入力	3.07	-	-

表 4.2 昇圧後に測定した PS board の印加電圧。数字が表す量は表 4.1 と同じ。

測定場所	3V3D [V]	3VA [V]	-3VA [V]
PS01	3.274 (3.17)	- (3.21)	- (-3.19)
PS02	3.275 (3.18)	- (3.21)	- (-3.20)
PS03	3.273 (3.19)	- (3.23)	- (-3.19)
PS04	3.258 (3.17)	- (3.23)	- (-3.20)
PS05	3.234 (3.15)	- (3.21)	- (-3.19)
PS06	3.3 (3.21)	- (3.18)	- (-3.17)
PS07	3.282 (3.21)	- (3.20)	- (-3.19)
PS08	3.266 (3.17)	- (3.16)	- (-3.16)
PS09	3.265 (3.18)	- (3.20)	- (-3.19)
PS10	3.245 (3.17)	- (3.15)	- (-3.18)
PS11	3.231 (3.14)	- (3.18)	- (-3.20)
CAEN モジュールの出力	3.500	-	-
電源分配箱の入力	3.438	-	-

消費電力が大きいため、ファームウェアの設計から想定された通りの値である。今回、電源モジュールと電源分配箱に伸びる電源ケーブルの接触抵抗の改善により電圧降下が改善されたため、フロントエンド回路のインストール時には接触抵抗が十分小さいことを確認しつつ昇圧を行っていく。

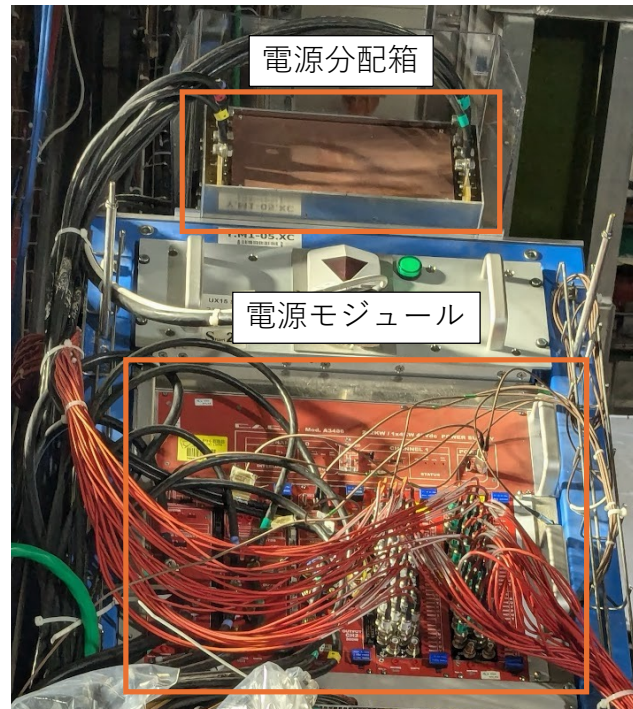


図 4.5 電源周りのセットアップ。電源モジュールの出力を電源分配箱に入力し、電源分配箱から 11 台の PS board に分配する。

4.3 本試験で使用したパラメーター

本節では、本試験で使用した PS board のパラメーターについてまとめる。

PP-ASIC

ヒット信号およびテストパルスに対する遅延のパラメーターは本番で使用するものと同じ値を用いた。一方、テストパルスの極性については全 ASD で一様に正に設定しており、Wire と Strip の区別は行なっていない。今後、Wire と Strip の区別をした上で試験を行う予定である。また、テストパルスは 25 ns より大きい時間分布を持たないため、BCID のゲート幅は最小に設定した。

ASD に出力する閾値電圧の極性

テストパルスの極性が全 ASD で一様に正に設定してあるため、ASD に出力する閾値電圧の極性も全チャンネルで一様に負に設定した。今後、Wire と Strip の区別をした上で試験を行う予定である。

ASD に出力する閾値電圧

本来は ASD 毎に閾値電圧を決めるべきだが、本試験では全 ASD で一様に 70 mV に設定した。今後、現行システムで使用されている閾値電圧を設定した上で試験を行う予定である。

ヒットデータの出力フォーマット

M1 の中では、図 4.4 の PS pack6 に入った PS board だけ例外的なデータフォーマットに従うが、本試験では

誤って他の PS board と同じデータフォーマットを設定していた。修正した上で、改めて試験を行う予定である。

LHC clock の位相アライメント

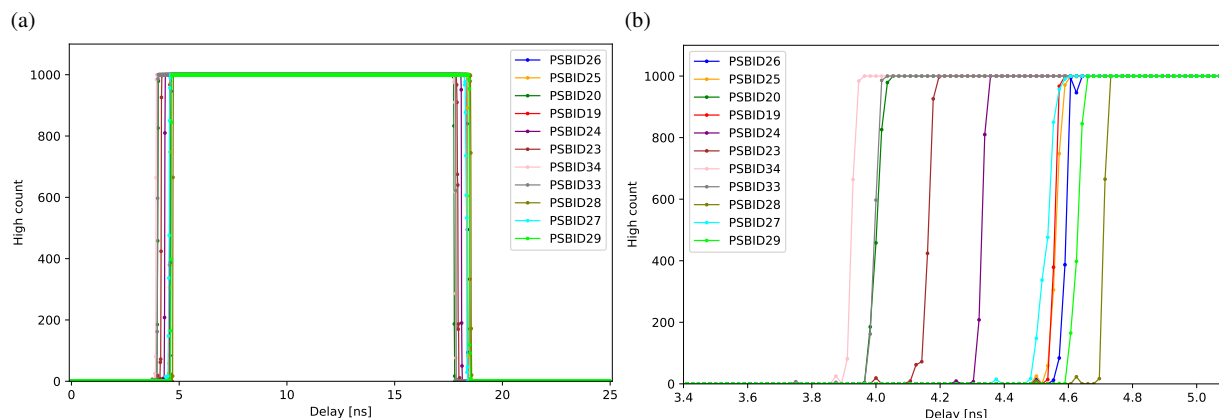


図 4.6 (a) LHC clock を各回路に分配する SL の回路特性、および、光ファイバーの長さの違いの測定結果。縦軸と横軸が表す量は図 2.11(b) と同じである。線の色は光ファイバーがささる PS board の個体識別番号を表す。(b) クロックの立ち上がり部分を拡大した図。クロックの位相差は LHC clock を各回路に分配する SL の回路特性、および、光ファイバーの長さの違いに対応し、1 ns 程度の分布に収まった。

PS board が再構成した LHC clock の位相差は、LHC clock を各回路に分配する SL の回路特性、各 PS board にささる光ファイバーの長さの違い、各 PS board の回路特性で決まる。本来は付録 B.4 に示す方法でこの位相差を測定しパラメーターを決定すべきだが、今回は事前に測定しておくべき位相測定系に存在する素子の clock skew を全て測ることができなかったため、本試験のセットアップで測定が可能である LHC clock を各回路に分配する SL の回路特性、および、光ファイバーの長さの違いからパラメーターを決定した。この 2 つの量は、光ファイバーをさす PS board を固定した状態で、各 PS board に使用する 3 本の光ファイバーをさしていき、2.2.3 で記述した JATHub の位相測定機構を用いて、各ファイバーを通して送られてきた LHC clock の位相測定を行うことで測定した。その結果を図 4.6 に示す。パラメーターは最も位相が遅れていた光ファイバーがささる PSBID34 (図 4.4 の PS04) に合わせるように決めた。今後、位相測定系に存在する素子の clock skew を全て測定した上で、付録 B.4 に示す方法でパラメーターを決定し位相アライメントを行う予定である。

4.4 テストパルスを用いた信号ケーブルの伝搬遅延時間の測定

新しい TGC ミューオントリガー回路では、現行システムで使用されている信号ケーブルと ASD をそのまま使用する。よって、2.2.2 節で記述したミュオン ToF と信号ケーブルの伝搬遅延時間の違いを吸収するために行う信号遅延の大きさには、現行システムと全く同じ値が使えるはずである。そこで、テストパルスを用いた DAQ で信号ケーブルの伝搬遅延時間の違いを測定する試験 (timing calibration) を行い、その結果を RUN3 運転で使用されている最新の信号遅延パラメーターと比較することで、現行システムのパラメーターがそのまま使えることを確かめた。図 4.7 に timing calibration の概要図を示す。PP-ASIC で行うテストパルスに対する遅延の大きさを少しずつ増やしながら、各遅延値において 100 発のテストパルスを打つことで Delay scan を行った。その後、Delay scan の結果からヒット信号の立ち上がりの遅延値を求めた。ここで、ヒット信号の立ち上がりは BCTag が previous の時の efficiency (赤線) が初めて 50% を超える直前、直後の遅延値の平均値で定義した。最後に、最も短い信号ケーブルの遅延値を基準とし、各ケーブルの伝搬遅延時間の相対値を計算した。

図 4.8 に timing calibration の結果を示す。横軸は信号ケーブルのラベル、縦軸は伝搬遅延時間の相対値を表す。

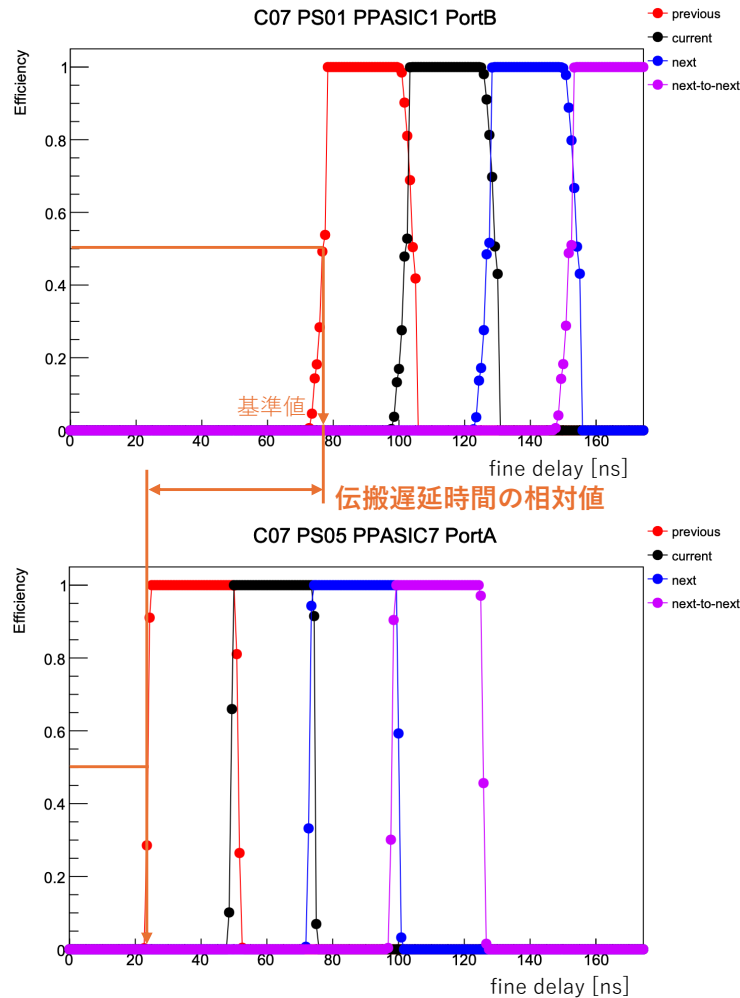


図 4.7 timing calibration の概要図。PP-ASIC で行うテストパルスに対する遅延の大きさを少しずつ増やしながらか Delay scan を行い、ヒット信号の立ち上がりの遅延値を求めた。その後、最も短い信号ケーブルの遅延値を基準とする各ケーブルの遅延値、すなわち、伝搬遅延時間の相対値を求めた。

なお、伝搬遅延時間の基準には最もケーブル長が短い信号ケーブルの遅延値の平均値を取った。青色の点は RUN3 運転で使用されている最新の信号遅延パラメーターから計算した伝搬遅延時間を表す。赤色の点は今回の試験で測定した値を表し、誤差は本試験の系統誤差であるテストパルスに対する遅延の単位 (0.84 ns) を表す。PS10 PP7A と PS10 PP8A で大きな違いが見えているのは、図 4.9 に示す Delay scan の結果からわかるように、previous の波形が歪んでいるためにヒット信号の立ち上がりの遅延量が遅く見えたためである。このように波形が歪んだ原因はわかっていない。本試験には 3.4 節で示した PP-ASIC の configuration 方法の最適化を反映できておらず、かつ、previous でのみ波形が歪んでいることから、波形が歪んでいる時の DAQ において PP-ASIC の位相制御が完了していなかった可能性が考えられる。今後、3.4 節で示した PP-ASIC の configuration の方法の最適化を反映した上で再試験を試みる。この 2 つを除けば、赤点と青点の違いは高々 2.18 ns 以内に収まっており、現行システムの信号遅延パラメーターと新しい TGC ミューオントリガー回路で測定した信号ケーブルの伝搬遅延時間はよく一致していると言える。今後、現行システムにおける信号遅延パラメーターの変更の経緯の精査や timing calibration の繰り返しにより、システムの系統誤差・統計誤差の理解を進め、必要に応じて本番運転で使用する信号遅延パラメーターの調整を行う。

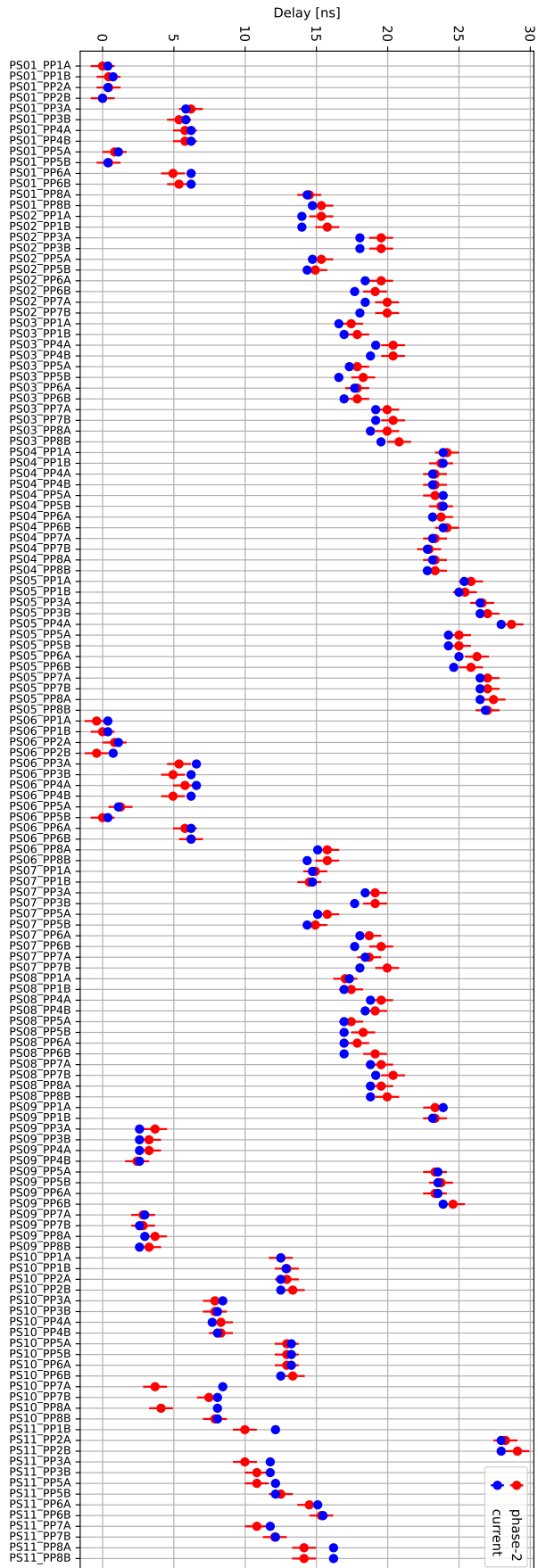


図 4.8 テストパルスを用いた timing calibration の結果。横軸は信号ケーブルのラベル、縦軸は信号ケーブルの伝搬遅延時間の相対値を表す。青色の点は RUN3 運転で使用されている最新の信号遅延パラメータから計算した値、赤色の点は今回の試験で測定した値を表し、赤色の点のエラーバーは本試験の系統誤差であるテストパルスに対する遅延の単位 (0.84 ns) を表す。

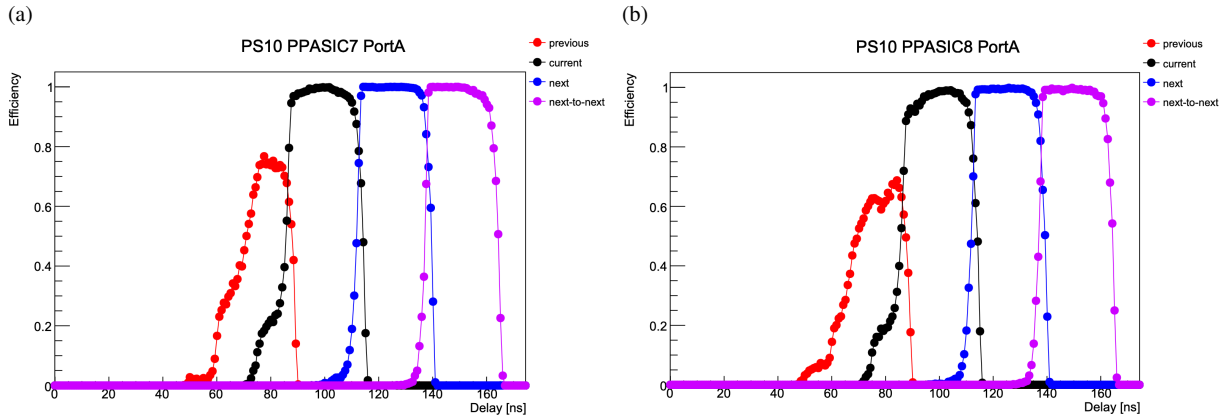


図 4.9 PS10 PP7A/8A の Delay scan の結果。縦軸と横軸が表す量は図 3.3 と同じ。(a) PS10 PP7A (b) PS10 PP8A

4.5 テストパルスを用いた DAQ システムの動作試験

DAQ システムの動作試験では、本番運用で用いる信号遅延パラメータを PS board に configuration し、1000 発のテストパルスを打って DAQ を行った。ここで、ミュオンの ToF はテストパルスに適切な遅延をかけることでエミュレートした。これにより、ミュオンの ToF や信号ケーブルの伝搬遅延時間の違いを信号遅延で吸収できていること、ヒットデータを読み出しの途中で失ったりすることなく DAQ が行えていることを確かめた。この試験ではヒット信号の BCTag が current になるタイミングで L0A が発行されるようにレイテンシー (L0latency) 設定したため、ToF や信号ケーブルの伝搬遅延時間の違いを吸収するための信号遅延、読み出し等の DAQ システムが期待通り動作していれば、全チャンネルでヒットの BCTag が current、かつ、efficiency (打ち込んだテストパルスの数に対する返ってきたヒットの数の割合) は 1 になるはずである。

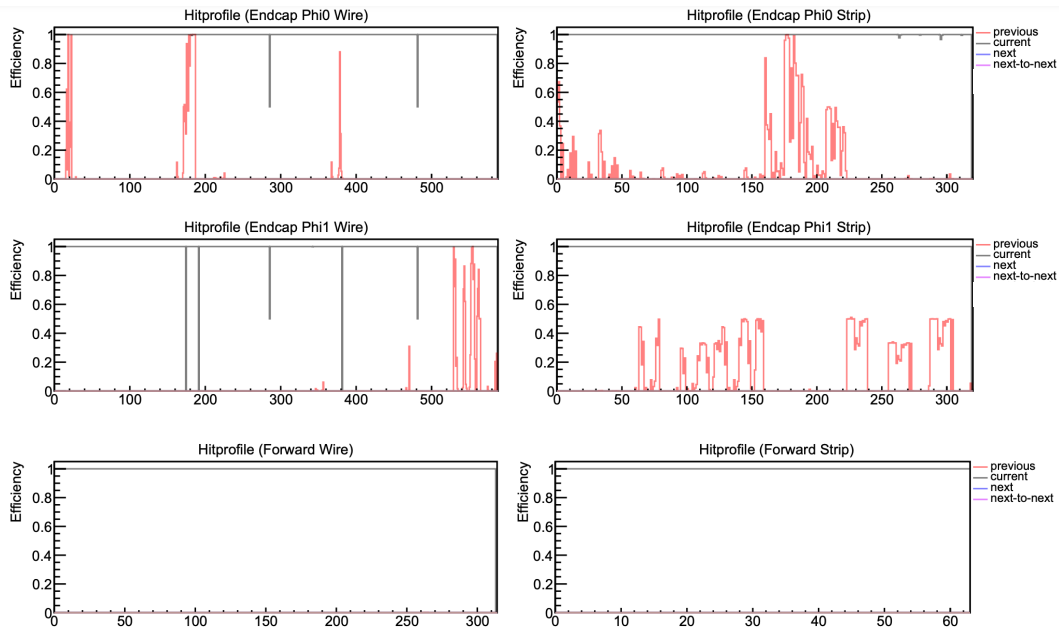


図 4.10 テストパルスを用いた DAQ システムの動作試験の結果。縦軸は efficiency (打ち込んだテストパルスの数に対する返ってきたヒットの数の割合)、横軸はチャンネル番号を表す。

図 4.10 にその結果を示す。横軸はチャンネル番号、縦軸は各チャンネルにおける efficiency を表す。多くのチャンネルで BCTag が current、かつ、efficiency が 1 という期待通りの結果が得られた。一方で、BCTag が previous のヒットも見られた。これは図 2.8 の overlap region のタイミングで BCID 回路にきたヒット信号を取っているためである。PP-ASIC は BCID ゲートの設定値が最小であっても 25 ns より大きいゲート幅を持つ仕様であるため、overlap region のタイミングでヒット信号が来たことで previous と current の両方にヒットが見られたと考えられる。実際、previous のヒット信号が見えた ASD について、4.4 節の timing calibration 試験で行った Delay scan の結果を元に、overlap region にヒット信号が来ないようにヒット信号の遅延量を増やすと、図 4.11 のように previous のヒットはなくなった。いくつかのチャンネルで previous のヒットがあるが、これは該当のチャンネルのヒットデータの送信フォーマットを正しく設定していなかったり、previous のヒット数が少なく目視で確認できなかったりしたために、適切にヒット信号の遅延量を増やせていなかったためである。前者に関して、該当のチャンネルは 4.3 節で記述した図 4.4 の PS pack6 に入った PS board に属するチャンネルであり、この PS board は図 B.4 の β のフォーマットに従う。しかし、この試験では誤って α のフォーマットを設定してしまっていたため、PP2 と PP3、PP6 と PP7 の Delay scan の結果が入れ替わってしまい、適切にヒット信号の遅延量を増やせていなかった。今後、ヒットデータの送信フォーマットを正しく設定し、ヒット信号の遅延量を適切に増やした上で、再度試験を行う予定である。

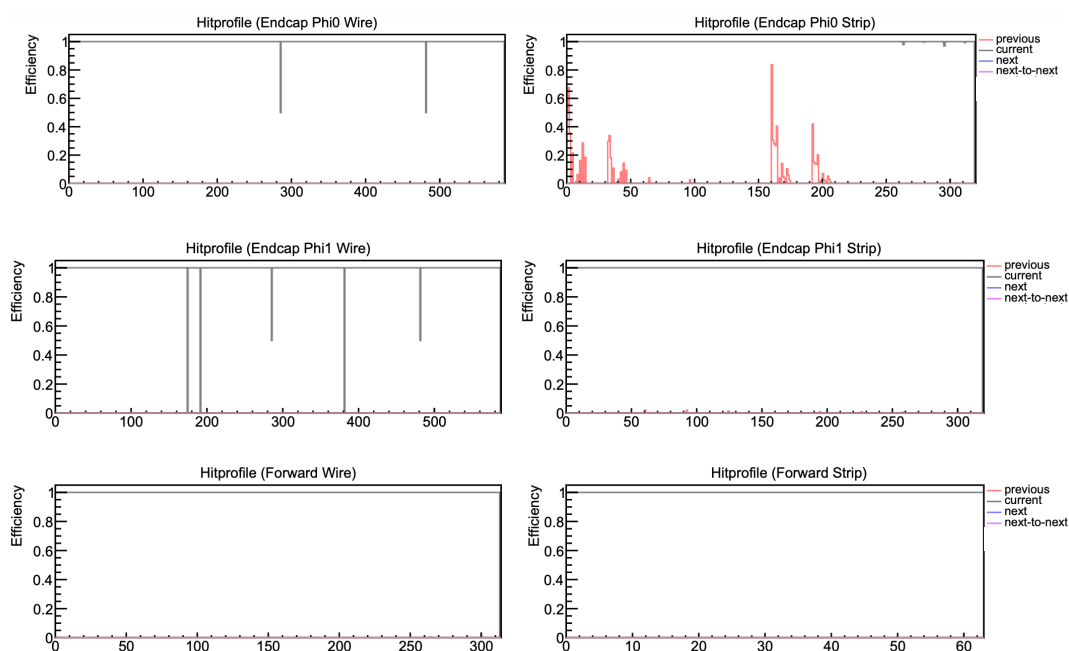


図 4.11 ヒット信号の遅延量を増やした後の結果。縦軸と横軸が表す量は図 4.10 と同じである。

また、いくつかのチャンネルで efficiency が 1 未満になっているが、その原因はまだわかっていない。現行システムで行われたテストパルス試験では該当のチャンネルに inefficiency は見えていないため、ASD や信号ケーブルの不良が原因ではないと考えられる。また、事前に KEK のテストベンチで行った同様の試験では inefficiency は見えていないため、ファームウェアやソフトウェアが原因ではないと考えられる。今後、該当のチャンネルを含む信号ケーブルの接続等を確認していく。

4.6 本試験の成果のまとめ

本章の最後に、今回の動作試験の成果をまとめる。今回の動作試験では、高輝度 LHC-ATLAS 実験で使用する TGC ミューオントリガー回路のエレクトロニクスを ATLAS 検出器にインストールし、初めて本番運転と同じ環境でシステムの動作試験を行った。この試験を通して、以下の成果が得られた。

- **2026 年開始予定である 1,434 台の PS board のインストールのデモンストレーション**

2026 年開始予定である 1,434 台の PS board のインストールと同じ手順で PS board のインストールを行い、配線試験を行った。特に配線試験に関しては、短時間で正しく配線されているかを確認するという設計思想通り数分で試験を終え、正しく配線されていることを確認できた。

- **PS board に印加する電圧に関する知見の獲得**

ファームウェアの設計から想定されていた通りの電圧降下の増加、それによる現行の設定値での電圧の不足を確認した。また、適切に昇圧を行い、定格電圧に達すること、その時の電圧降下の分布が電源ケーブルの長さから予想されるものと一致することを確認した。適切な昇圧により運用可能な状態にできることを本番運用の前に示せたのは価値の高い成果である。

- **設計通りに全システムが動作していることの確認**

本番運転で行われるテスト（テストパルスを用いた DAQ、信号ケーブルの伝搬遅延時間測定、JATHub を用いた位相測定）を行い、概ね期待通りの結果が得られた。これらのテストには、SL を介した PS board へのパラメータ書き込み・読み出し、モニター・コントロール、ヒット信号の読み出し等、トリガー演算を除く本番運転時に行うべきことの全てが含まれており、今回の試験を通して各エレクトロニクスへの機能実装が設計通り行われていることを示した。

- **本番運転時の Commissioning・Calibration RUN のデモンストレーションの成功**

今回行った試験（テストパルスを用いた DAQ、信号ケーブルの伝搬遅延時間測定、JATHub を用いた位相測定）は、2026 年以降に行われるシステムのコミッショニングや本番運用のプロトタイプとなる。そのデモンストレーションを行い成功させたのは価値の高い成果である。

今回は年末のテクニカルストップという非常に限られた時間の中でセットアップの構築から動作試験まで行ったが、テストベンチで事前に入念な準備を行ったことでそれらを成功させ、このように多くの成果を生むことができた。

第5章

結論と今後の展望

本研究では、2030年に運転開始予定である高輝度 LHC-ATLAS 実験の本番運用に向けて、新しい TGC ミューオントリガーシステムのパフォーマンス向上、安定的な動作の実現を目的とし、具体的なシステムの運用方法の確立、および、それに伴って必要となった新しい機能の実装を行うと共に、テストベンチを使って実装した機能の動作検証を行なった。さらに、刷新したエレクトロニクスを ATLAS 実験室に持ち込んで本番運用とほぼ同じセットアップを構築し、初めて本番運用と同じ環境での全システムの動作試験を行った。

システムのパフォーマンス向上、安定的な動作の実現を目的に行なった研究として、主に4つのことを行なった。1つ目は高精度でバンチ交差識別を行うための TGC 検出器のヒット信号に対する遅延の最適化である。これまで fine delay の精度を粗くすることで必要な信号遅延のレンジを確保していたが、25 ns 単位で信号遅延を行う機構を新たに実装することで、信号遅延の精度を細かくしつつ必要なレンジを確保できるようにした。これにより、より高い精度でバンチ交差識別をできるようにした。2つ目は安定的な光通信を行うための Clock Domain Crossing の手法の確立である。Fixed latency でイベント選別をするために、TGC ミューオントリガーシステムを構成するボード間の通信は固定時間で行われるような特殊な実装がされている。この実装では送信クロックと受信クロックの位相関係がメタステーブルになることがあり、このとき受信データの破損が起り得る。そこで、受信データの破損が起きているかをモニターし、破損が起きている際にはデータ受信のタイミングをずらすことによってメタステーブルを回避できるようにした。3つ目は TGC ミューオントリガーシステムを構成するボードの configuration 方法の最適化である。本研究では、QSPI Flash Memory を介さずに直接素子の configuration を行う手法を開発することで、QSPI Flash Memory には Physics RUN で使用するパラメーターのみを保存し、それ以外のデータ収集で使用するパラメーターは QSPI Flash Memory を介さずに設定するという運用方法を確立した。これにより、Physics RUN で使用するパラメーターとそれ以外のデータ収集で使用するパラメーターが干渉しないことが担保される。4つ目は PP-ASIC の configuration 方法の最適化である。PP-ASIC 内にある PLL 回路の Delay cell unit の出力を統一し、Charge Pump に適切なフィードバックがかかる状態にすることで、PLL 回路が安定して LOCK するようにした。本研究で上記4つを含む多くの機能実装を行なったことで、TGC ミューオントリガー回路を本番運用に耐え得る状態に昇華させると共に、具体的な運用方法の確立まで示したのは本研究の大きな成果である。

全システムの動作試験は、2024年末のテクニカルストップ期間を活用し、刷新したエレクトロニクスを ATLAS 実験室に持ち込んで本番運用とほぼ同じセットアップで行なった。セットアップの構築は、2026年開始予定である PS board のインストールのデモンストレーションを兼ねて行なった。本番と同じ手順でインストールを行った後に配線試験を行ない、設計思想通り短時間で配線が正しく行われていることを確認できた。今回構築した試験システムは実際のインストール作業でそのまま使われる。セットアップを構築した後、全システムの configuration を行った。特に PS board に供給する電圧の設定に関して、回路の設計から予想されていた通りの電圧降下を確認すると共に、適切に昇圧を行うことで運用可能な状態にできることを本番運用の前に示すことができた価値は大きい。全システムの動作試験では、本番運用で行われるテスト（テストパルスを用いた DAQ、ヒット信号の伝搬遅延時間測

定、ボード間での動作クロックの位相合わせ) のデモンストレーションを行い、概ね期待通りの結果が得られた。これらのテストには、システムのモニター・コントロールやヒット信号の読み出し等、トリガー演算を除く本番運用時に行うべきことの全てが含まれており、この試験を通して各回路への機能実装が設計通り行われていることを示した。今回行った試験は、2026年以降に行われるシステムのコミッショニングや本番運用のプロトタイプとなる。今回は年末のテクニカルストップという非常に限られた時間の中でセットアップの構築から動作試験まで行ったが、テストベンチで事前に入念な準備を行ったことでそれらを成功させ、このように多くの成果を生むことができた。

今後は本論で示した ATLAS 実験室での実機試験の追加調査に加え、以下3つのことを行なっていく。1つ目は SL のファームウェアの完成と動作試験である。現在のファームウェアはトリガーロジックの一部や TGC ミューオントリガーエレクトロニクス以外のボードと通信するためのインターフェースが未完成であると共に、モニター・コントロールを行うためのレジスタの整備が不十分である。これらの課題を解決し、SL のファームウェアを完成させる。また、TGC ミューオントリガーエレクトロニクス以外のボードとの通信試験やテストパルスを使ったヒットパターンを入力を行い、ファームウェアが期待通り動作することの確認を行う。2つ目は本番を見据えた TDAQ システムの構築である。現在はシステムのモニター・コントロールに必要なソフトを SL の MPSoC に組み込み、MPSoC に ssh 接続してソフトを実行している。本番運用を見据え、システムのモニター・コントロールを行うソフトウェアとそれを実行する中央制御システムの分離を進める。また、検出器の生データをデコードするソフトの開発や既存のソフトウェアの洗練化も行っていく。3つ目は 30 台の PS-board を使ったシステムの動作試験である。これまでは 11 台の PS board を使った M1 の試験のみを行っていたが、30 台の PS-board を使って、本番と同様に 1/24 セクター全体での動作試験を行う。

付録

A FPGA へのエラー挿入機構を使った SEU のエミュレーション

2.2.3 節で記述した SEM には、SEU を模したエラーを FPGA の SRAM に発生させることで、SEM の validation をする機能（エラー挿入機構）が備わっている。ここでは、エラー挿入機構の使用方法和これを用いた SEM の validation について記述する。

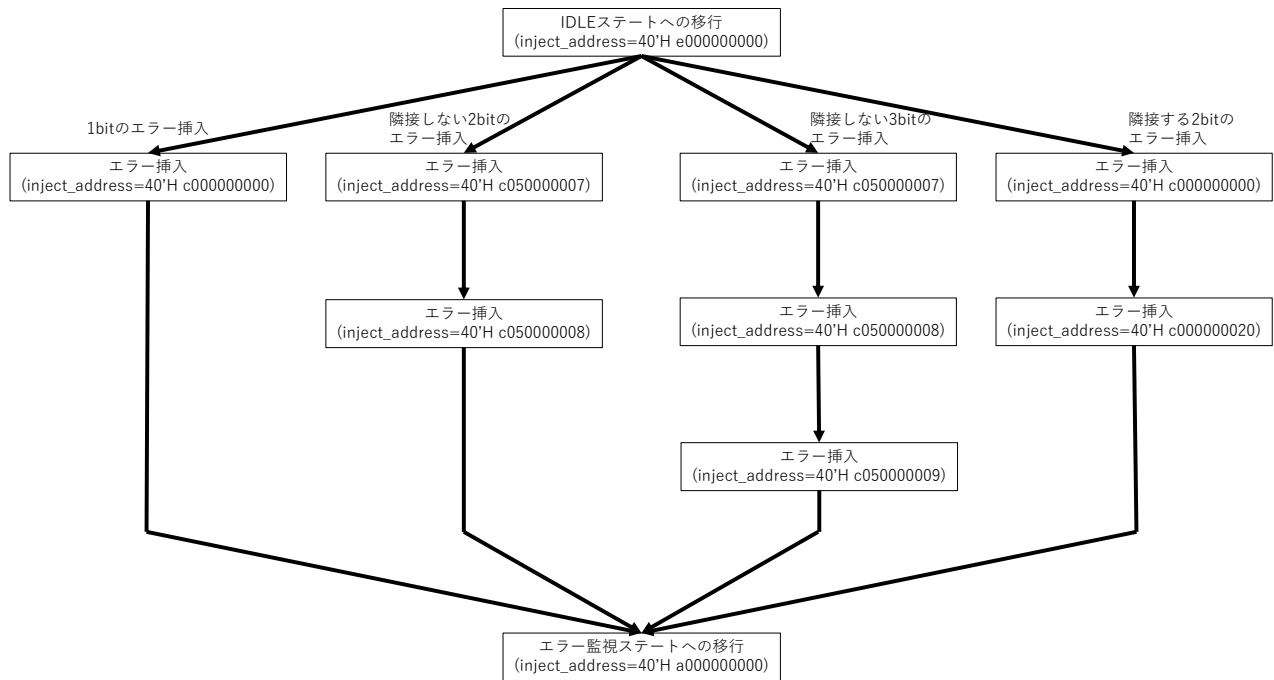


図 A.1 SEM へのエラー挿入の例。図中では省略しているが、inject_address を入力した後に毎回 SEM の動作クロックに同期した 1 クロック分だけ inject_strobe を high にしている。

SEM のエラー挿入機構は、inject_address[39:0] と inject_strobe という 2 つの入力を使って操作する。inject_address は、SEM にコマンドを送るときに使う入力である。inject_strobe は inject_address の内容を SEM に読み込ませるための入力で、SEM の動作クロックに同期した 1 クロック分のパルスを入力すると SEM が inject_address の内容を読み込む。図 A.1 にエラー挿入時の操作例を示す。SEM にエラー挿入を行うときには、SEM を IDLE ステートにする必要がある。よって、最初に IDLE ステートに移行するためのコマンドを打つ。その後、エラー挿入を行いたい SRAM にエラー挿入を行い、最後に SEM を監視ステートに移行させる。すると、SEM は挿入したエラーを検知し、エラーの入り方に応じて対処する。1bit のエラー挿入、隣接しない 2bit のエラー挿入の場合には SEM 自身でエラーを修復し、前者の場合は Single Bit Error (SBE) のカウンター、後者の場合は Multi Bit Error (MBE) のカウンターをそれぞれインクリメントする。3bit 以上のエラー挿入、隣接する

2bit のエラー挿入の場合には JATHub に Recovery request 信号を発出する。

PS board には、SL から SEM のエラー挿入機構を操作するために以下のレジスタを用意しており、このレジスタに適切な値を書き込むことでエラー挿入を行うことができる。

- address = 0x153 : inject_address[39:36]
- address = 0x154 : inject_address[31:16]
- address = 0x155 : inject_address[15: 0]
- address = 0x156 : inject_strobe

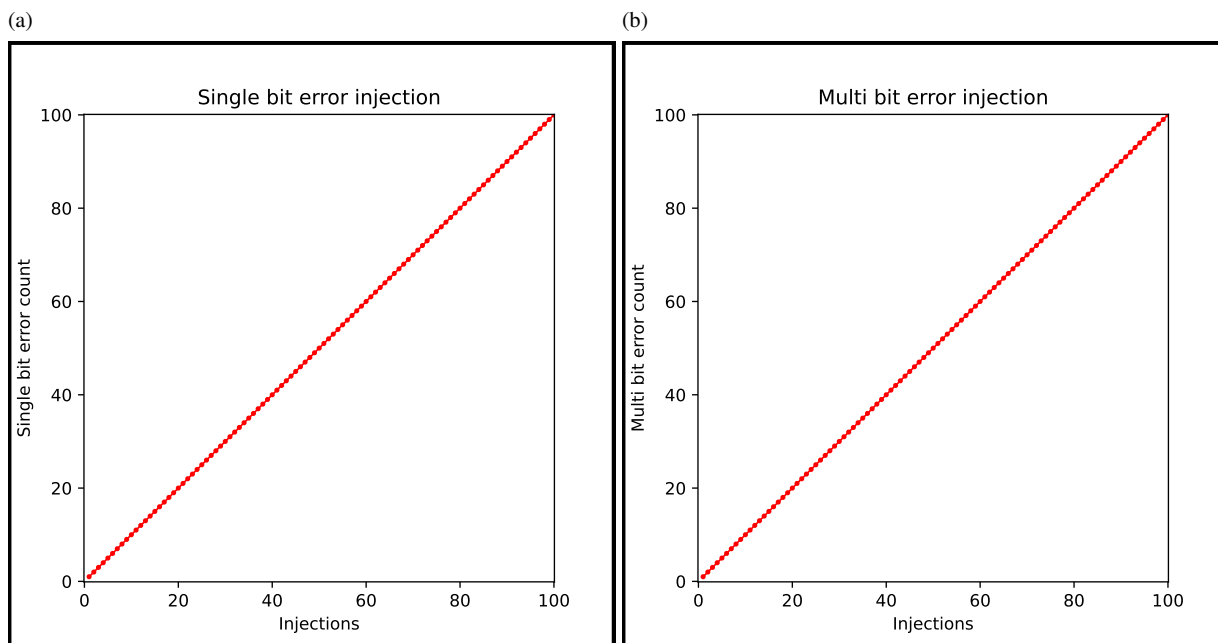


図 A.2 SEM のエラー挿入機構の validation の結果。(a) 1bit のエラーを 100 回挿入した時の SEM の SBE のカウンターの変化。(b) 隣接しない 2bit のエラーを 100 回挿入した時の SEM の MBE のカウンターの変化。

図 5.2(a), 5.2(b) に SEM のエラー挿入機構の validation の結果を示す。横軸は上記の手法で挿入したエラーの数、縦軸は SEM のエラーカウントを示す。挿入したエラーの数と SEM のエラーカウントが一致していることから、SEM が期待通り動作していることがわかる。また、3bit 以上のエラー挿入、隣接する 2bit のエラー挿入をした場合に Recovery request 信号が発出され、JATHub により FPGA の reprogramming がトリガーされることも確認できた。

B PS board のパラメーターの決定方法

表 B.1: PS board のパラメーターリスト。QSPI Falsh Memory のアドレスは上から 1 セット目、2 セット目、3 セット目のパラメーターのアドレスを表す。

QSPI Flash Memory のアドレス	CAD モジュールのアドレス	パラメーターの種類	bit 幅
0xA00000 0xA0011F 0xA0023E	0x011e	パラメーターのバージョン	[7:0]
0xA00001 0xA00120 0xA0023F	0x0210	PSB の ID (個体識別番号)	[10:0]
0xA00002-0xA0001E 0xA00121-0xA0013D 0xA00240-0xA0025C		PPASIC1 のパラメーター	[223:0]
0xA0001F-0xA0003A 0xA0013E-0xA00159 0xA0025D-0xA00278		PPASIC2 のパラメーター	[223:0]
0xA0003B-0xA00056 0xA00160-0xA00175 0xA00279-0xA00294		PPASIC3 のパラメーター	[223:0]
0xA00057-0xA00072 0xA00176-0xA00191 0xA00295-0xA002B0		PPASIC4 のパラメーター	[223:0]
0xA00073-0xA0008E 0xA00177-0xA001AD 0xA002B1-0xA002CC		PPASIC5 のパラメーター	[223:0]
0xA0008F-0xA000AA 0xA001AE-0xA001C9 0xA002CD-0xA002E8		PPASIC6 のパラメーター	[223:0]
0xA000AB-0xA000C6 0xA001CA-0xA001E5 0xA002E9-0xA00304		PPASIC7 のパラメーター	[223:0]
0xA000C7-0xA000E2 0xA001E6-0xA00201 0xA00305-0xA00320		PPASIC8 のパラメーター	[223:0]
0xA000E3 0xA00202 0xA00321	0x0080	データ受信部でラッチに使用するエッジ (0: 立ち下がり, 1: 立ち上がり)	[0:0]

QSPI Flash Memory のアドレス	CAD モジュールのアドレス	パラメーターの種類	bit 幅
0xA000E4-0xA000E5 0xA00203-0xA00204 0xA00322-0xA00323	0x00c0	Bunch Counter Reset (BCR) 信号の 遅延量 (25 ns 単位)	[11:0]
0xA000E6-0xA000E7 0xA00205-0xA00206 0xA00324-0xA00325	0x00c1	Test Pulse Trigger (TPT) の遅延量 (25 ns 単位)	[11:0]
0xA000E8-0xA000E9 0xA00207-0xA00208 0xA00326-0xA00327		位相アライメントのパラメーター (1/56 ns 単位)	[11:0]
0xA000EA-0xA000EB 0xA00209-0xA0020A 0xA00328-0xA00329	0x0020	DAC の各チャンネルの出力電圧の極 性 (0 : 正, 1 : 負)	[15:0]
0xA000EC-0xA000ED 0xA0020B-0xA0020C 0xA0032A-0xA0032B	0x0000	DAC1Ach の出力電圧の絶対値	[11:0]
0xA000EE-0xA000EF 0xA0020D-0xA0020E 0xA0032C-0xA0032D	0x0001	DAC1Bch の出力電圧の絶対値	[11:0]
0xA000F0-0xA000F1 0xA0020F-0xA00210 0xA0032E-0xA0032F	0x0002	DAC1Cch の出力電圧の絶対値	[11:0]
0xA000F2-0xA000F3 0xA00211-0xA00212 0xA00330-0xA00331	0x0003	DAC1Dch の出力電圧の絶対値	[11:0]
0xA000F4-0xA000F5 0xA00213-0xA00214 0xA00332-0xA00333	0x0004	DAC1Ech の出力電圧の絶対値	[11:0]
0xA000F6-0xA000F7 0xA00215-0xA00216 0xA00334-0xA00335	0x0005	DAC1Fch の出力電圧の絶対値	[11:0]
0xA000F8-0xA000F9 0xA00217-0xA00218 0xA00336-0xA00337	0x0006	DAC1Gch の出力電圧の絶対値	[11:0]
0xA000FA-0xA000FB 0xA00219-0xA0021A 0xA00338-0xA00339	0x0007	DAC1Hch の出力電圧の絶対値	[11:0]
0xA000FC-0xA000FD 0xA0021B-0xA0021C 0xA0033A-0xA0033B	0x0008	DAC2Ach の出力電圧の絶対値	[11:0]

QSPI Flash Memory のアドレス	CAD モジュールのアドレス	パラメーターの種類	bit 幅
0xA000FE-0xA000FF 0xA0021D-0xA0021E 0xA0033C-0xA0033D	0x0009	DAC2Bch の出力電圧の絶対値	[11:0]
0xA00100-0xA00101 0xA0021F-0xA00220 0xA0033E-0xA0033F	0x000a	DAC2Cch の出力電圧の絶対値	[11:0]
0xA00102-0xA00103 0xA00221-0xA00222 0xA00340-0xA00341	0x000b	DAC2Dch の出力電圧の絶対値	[11:0]
0xA00104-0xA00105 0xA00223-0xA00224 0xA00342-0xA00343	0x000c	DAC2Ech の出力電圧の絶対値	[11:0]
0xA00106-0xA00107 0xA00225-0xA00226 0xA00344-0xA00345	0x000d	DAC2Fch の出力電圧の絶対値	[11:0]
0xA00108-0xA00109 0xA00227-0xA00228 0xA00346-0xA00347	0x000e	DAC2Gch の出力電圧の絶対値	[11:0]
0xA0010A-0xA0010B 0xA00229-0xA0022A 0xA00348-0xA00349	0x000f	DAC2Hch の出力電圧の絶対値	[11:0]
0xA0010C 0xA0022B 0xA0034A	0x00e0	ヒットデータの出力フォーマット (0 : α , 1 : β , 2 : γ)	[1:0]
0xA0010D-0xA0010E 0xA0022C-0xA0022D 0xA0034B-0xA0034C	0x015f	各 PPASIC の各ポートから来たヒット信号のラッチに用いるエッジ (0 : 立ち下がり, 1 : 立ち上がり)	[15:0]
0xA0010F 0xA0022E 0xA0034D	0x0160	PPASIC1 PortA から来たヒット信号に対する coarse delay の大きさ	[2:0]
0xA00110 0xA0022F 0xA0034E	0x0161	PPASIC1 PortB から来たヒット信号に対する coarse delay の大きさ	[2:0]
0xA00111 0xA00230 0xA0034F	0x0162	PPASIC2 PortA から来たヒット信号に対する coarse delay の大きさ	[2:0]
0xA00112 0xA00231 0xA00350	0x0163	PPASIC2 PortB から来たヒット信号に対する coarse delay の大きさ	[2:0]

QSPI Flash Memory のアドレス	CAD モジュールのアドレス	パラメーターの種類	bit 幅
0xA00113 0xA00232 0xA00351	0x0164	PPASIC3 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00114 0xA00233 0xA00352	0x0165	PPASIC3 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00115 0xA00234 0xA00353	0x0166	PPASIC4 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00116 0xA00235 0xA00354	0x0167	PPASIC4 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00117 0xA00236 0xA00355	0x0168	PPASIC5 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00118 0xA00237 0xA00356	0x0169	PPASIC5 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA00119 0xA00238 0xA00357	0x016a	PPASIC6 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA0011A 0xA00239 0xA00358	0x016b	PPASIC6 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA0011B 0xA0023A 0xA00359	0x016c	PPASIC7 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA0011C 0xA0023B 0xA0035A	0x016d	PPASIC7 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA0011D 0xA0023C 0xA0035B	0x016e	PPASIC8 PortA から来たヒット信号 に対する coarse delay の大きさ	[2:0]
0xA0011E 0xA0023D 0xA0035C	0x016f	PPASIC8 PortB から来たヒット信号 に対する coarse delay の大きさ	[2:0]

表 B.1 に PS board のパラメーター一覧を示す。QSPI Falsh Memory のアドレスが 3 つ書かれているのは、放射線損傷によるビット反転が起きても各素子に正しくパラメーターを分配できるように同じパラメーターを 3 セット書き込むためである。自立型制御機構は読み出した 3 セットのパラメーターの間で多数決を取ってから各素子にパ

ラメーターを分配する。これにより、3セットのうち1セットのパラメーターにビット反転が起きても、残りの2セットが無事であれば各素子に正しくパラメーターを分配できる。ここでは、これらの PS board のパラメーターのうち、その値が自明に決まらないものの決定方法についてまとめる。

B.1 PP-ASIC

(a)

Name	# of bit	Initial condition	Function	Remarks	Address
DL_POL	16	ALL 0	Delay line polarity control 0:non-inverted, 1:inverted	External control pin can be used. Default:External	<15:0>
DL_BYPASS	16	ALL 1	Delay line bypass control 0:non-bypass, 1:bypass	External control pin can be used. Default:External	<31:16>
DL_MASK	16	ALL 1	Delay line mask control 0:masked, 1:non-masked		<47:32>
DL_DLY_CONT	6	101111	Delay line delay control 000000 (m in)-101111 (m ax)	Ins step (PLL dependent)	<53:48>
TEST_POL	1	0	Test input polarity control 0:non-inverted, 1:inverted	External control pin can be used. Default:External	<54>
TEST_DLY_CONT	6	101111	Test input delay control 000000 (m in)-101111 (m ax)	Ins step (PLL dependent)	<60:55>
TPG_POL_N	1	0	TPG TRG edge control 0:rising edge, 1:falling edge		<61>
TPG_POL_OUT	1	0	TPG output polarity control 0:positive, 1:negative		<62>
TPG_DLY_CONT_C	3	111	TPG coarse delay control 000 (m in)-111 (m ax)	1 CLK step (25ns)	<65:63>
TPG_DLY_CONT_F	6	101111	TPG fine delay control 000000 (m in)-101111 (m ax)	Ins step (PLL dependent)	<71:66>
TPG_PW_CONT	12	000110010000	TPG pulse width control ALL 0 (m in)-ALL 1 (m ax)	1 CLK step (25ns) Initial:10us	<83:72>
BCD_DLY_CONT	6	000000	BCD delay control 000000 (m in)-101111 (m ax)	Ins step (PLL dependent)	<89:84>
BCD_GATE_CONT	6	000000	BCD gate control 000000 (m in)-101111 (m ax)	Ins step (PLL dependent)	<95:90>

(b)

Name	# of bit	Initial condition	Function	Remarks	Address
PLL_DLY_CONT	5	11111	PLL delay line control 00000 (m in)-11111 (m ax)	11111 (32), 11011 (28) 10111 (24), 10011 (20)	<4:0>
PLL_CP_CONT	2	01	CP bias current control 00 (m in)-11 (m ax)		<6:5>
PLL_CP_ON	1	1	CP Enable 1:Enable, 0:Disable	In case of 0, VCON is floating.	<7>

(c)

Name	# of bit	Initial condition	Function	Remarks	Address
PLL_DLY_SEL	1	1	PLL delay line control code EXT (1)/INT (0) select		<0>
DL_POL_SEL	1	1	Delay line polarity control EXT (1)/INT (0) select		<1>
DL_BYPASS_SEL	1	1	Delay line polarity control EXT (1)/INT (0) select		<2>
TPG_DRV_CONT_A	4	0000	TPG_A Drivability control 0000 (m in)-1111 (m ax)	0000:TPG Driver is disabled	<6:3>
TPG_DRV_CONT_B	4	0000	TPG_B Drivability control 0000 (m in)-1111 (m ax)	0000:TPG Driver is disabled	<10:7>
TPG_BIAS_CONT	2	00	TPG Bias current control 00 (m in)-11 (m ax)	0.5, 0.75, 1.0, 2.0	<12:11>
TPG_BIAS_ENB	1	0	TPG Bias Enable 0: Bias Enable 1: Disable		<13>
RX_BIAS_CONT	2	10	LVDS (Rx) Bias current control 00 (m in)-11 (m ax)	0.5, 0.75, 1.0, 2.0	<15:14>
CMOS_OUT_CONT	2	01	CMOS Drivability control 00 (m in)-11 (m ax)	0.5, 1.0, 1.5, 2.0	<17:16>
NC	6	000000	Non-connect	reserve	<23:18>

図 B.3 PP-ASIC のパラメーター一覧 [12]。Channel B, Channel A, PLL, Common の順に、それぞれ MSB からパラメーターを書き込む。

PP-ASIC のパラメーターを図 B.3 に示す。これらのパラメーターのうち、設定値に注意が必要なのは"CMOS_OUT_CONT"と"TPG_DRV_CONT_A/B"である。"CMOS_OUT_CONT"は PP-ASIC のヒット信号を出力する CMOS ゲートのドライブ電流の大きさを制御するパラメーターである。このパラメーターは 0 ~ 3 までの 4 段階で調節できるが、1 以上に設定した状態で PP-ASIC の全チャンネルにテストパルスを入力すると勝手に RSPI がアサートされ、PP-ASIC のパラメーターが初期化されてしまう現象が観測されている。"TPG_DRV_CONT_A/B"はテストパルスの波高を制御するパラメーターで、0 ~ 15 までの 16 段階^{*1}で調節できるが、最大値を設定すると"CMOS_OUT_CONT"と同様にパラメーターが初期化されてしまう現象が観測されている。従って、"CMOS_OUT_CONT"は最低値、"TPG_DRV_CONT_A/B"は最大値未満で運用することが推奨される。

B.2 データ受信部におけるエッジ選択パラメーター

このパラメーターは 3.2 節で記述したデータ受信に用いるエッジを決めるパラメーターであり、3.2 節で記述したモニター機構を用いて決定する。モニター機構がエラーを検知した場合はそのときに設定していたエッジと逆のエッジを選ぶパラメーターに変える必要があるが、エラーを検知していないならばパラメーターを変える必要はない。

B.3 TTC 信号の遅延パラメーター

このパラメーターは PS board 毎に異なる SL から PS board までのデータの配線遅延を吸収するためのパラメーターである。これは PS board から SL に送られた BCID と SL が自身でカウントしている BCID の差を使って決定する。この BCID の差は、SL から PS board に BCR 信号を送る時の配線遅延と PS board から SL に BCID を送る時の配線遅延の和、すなわち、往復の配線遅延に対応する。従って、この BCID の差の半分の値が TTC 信号の遅延パラメーターとなる。

B.4 LHC cklock の位相アライメントのパラメーター

このパラメーターは PS board が再構成した LHC clock の位相を全 PS board 間で揃える際に使用する位相アライメントのパラメーターである。このパラメーターは、2.2.3 節で記述した JATHub の位相測定機構の測定結果を用いて決定する。まず、基準となる PS board を 1 つ決める。次に、JATHub の位相測定機構の測定結果に対して、以下の式に従って位相測定に使用する素子の clock skew の補正をかける。

$$\begin{aligned} \text{Phase}_{\text{corrected}} = & \text{Phase}_{\text{measured}} - \text{Skew}_{\text{TAM-LEMOout}} - \text{Skew}_{\text{JATHub-LEMOin}} \\ & - \text{Skew}_{\text{PSBoard-RJ45out}} - \text{Skew}_{\text{JATHub-RJ45in}} - \text{Skew}_{\text{Cat6}} \end{aligned} \quad (\text{B.1})$$

次に、基準となる PS board に対する相対位相を求める。位相アライメントのパラメーターはこの相対位相を消すように決める。例えば、とある PS board の相対位相が +1.2 ns の場合、位相アライメントの精度は 1/56 ns なので、

$$1.2 \div (1/56) = 67.2 \simeq 67 \quad (\text{B.2})$$

がパラメーターとなる。一方、相対位相が -1.2 ns の場合は

$$(25 - 1.2) \div (1/56) = 1332.8 \simeq 1333 \quad (\text{B.3})$$

となる。25 - 1.2 としているのは、デフォルトの設定では位相を遅らせる方向に位相アライメントを行うようになっているからである。

^{*1} 1 段階あたりの波高は"TPG_BIAS_CONT"の値に依る。詳しくは [12] の Figure20。

B.5 DAC のパラメーター

このパラメーターは ASD に供給する閾値電圧のパラメーターであり、以下の変換式で求める。

$$V_{\text{threshold}} = \text{Parameter} \times 1250 \div 4096 \quad (\text{B.4})$$

B.6 ヒットデータの出力フォーマット

Format : α

TX0	[31:16]	[15:0]	TX1	[31:16]	[15:0]
Word0	Header		Word0	Header	
Word1	PPASIC1 PortA	PPASIC1 PortB	Word1	PPASIC3 PortA	PPASIC3 PortB
Word2	PPASIC2 PortA	PPASIC2 PortB	Word2	PPASIC4 PortA	PPASIC4 PortB
Word3	PPASIC5 PortA	PPASIC5 PortB	Word3	PPASIC7 PortA	PPASIC7 PortB
Word4	PPASIC6 PortA	PPASIC6 PortB	Word4	PPASIC8 PortA	PPASIC8 PortB

Format : β

TX0	[31:16]	[15:0]	TX1	[31:16]	[15:0]
Word0	Header		Word0	Header	
Word1	PPASIC1 PortA	PPASIC1 PortB	Word1	PPASIC2 PortA	PPASIC2 PortB
Word2	PPASIC3 PortA	PPASIC3 PortB	Word2	PPASIC4 PortA	PPASIC4 PortB
Word3	PPASIC5 PortA	PPASIC5 PortB	Word3	PPASIC6 PortA	PPASIC6 PortB
Word4	PPASIC7 PortA	PPASIC7 PortB	Word4	PPASIC8 PortA	PPASIC8 PortB

Format : γ

TX0	[31:16]	[15:0]	TX1	[31:16]	[15:0]
Word0	Header		Word0	Header	
Word1	PPASIC1 PortA	PPASIC1 PortB	Word1	PPASIC5 PortA	PPASIC5 PortB
Word2	PPASIC2 PortA	PPASIC2 PortB	Word2	PPASIC6 PortA	PPASIC6 PortB
Word3	PPASIC3 PortA	PPASIC3 PortB	Word3	PPASIC7 PortA	PPASIC7 PortB
Word4	PPASIC4 PortA	PPASIC4 PortB	Word4	PPASIC8 PortA	PPASIC8 PortB

図 B.4 PS board から SL にヒットデータを送る時のデータフォーマット。

このパラメーターは PS board から SL にヒットデータを送る時のデータフォーマットを選択するためのパラメーターである。M1 の TGC の外縁部から数えて 6 番目の PS pack に入っている PS board (通し番号 11) は図 B.4 の β のフォーマット、M3 の TGC の外縁部から数えて 1 番目の PS pack に入っている PS board (通し番号 20) は γ のフォーマット、それ以外は α のフォーマットに従う。このように 3 つのデータフォーマットが存在するのは、2 つのトリガーセクターからヒット信号を受け取る PS board が 4 つ^{*2}あり、それぞれ PPASIC とそれに繋がるトリガーセクターが異なるためである。2.2.5 節で記述したように、SL の各 SLR は 1 つのトリガーセクターだけを担当するため、各 SLR に繋がる光ファイバーには同じトリガーセクターから来たヒット信号のみが送られるべきである。よって、同じトリガーセクターからのヒット信号を受け取る PPASIC の出力を同じ光ファイバーに当てがおうとすると、3 つの送信フォーマットが必要になる。

B.7 ヒット信号受信部におけるエッジ選択パラメーター

このパラメーターは、PP-ASIC から送られてきたヒット信号を PS board の FPGA で受け取る際に用いるエッジを選択するパラメーターである。PP-ASIC と FPGA 内でヒット信号を扱うロジックは共に LHC clock で駆動す

^{*2} 具体的には、M1 の TGC の外縁部から数えて 4 番目の PS pack の上段 (通し番号 4)、5 番目の PS pack の下段 (通し番号 10)、M1 の TGC の外縁部から数えて 6 番目の PS pack の上段 (通し番号 11)、M3 の TGC の外縁部から数えて 1 番目の PS pack の上段 (通し番号 20)

るが、PP-ASIC と FPGA 間の配線遅延や PP-ASIC における BCID のタイミングの遅延 (BCID Delay) があるため、両者は異なるクロックドメインに属する。従って、両者の位相関係によっては PP-ASIC から送られてきたヒット信号を受け取る部分でメタステーブルが生じる。これを回避するために、PP-ASIC から送られてきたヒット信号を受け取る部分には 3.2 節で記述したエッジ選択機構が実装されている。このエッジ選択機構には Xilinx 社が提供する IDDR というプリミティブを用いている。IDDR は入力クロックの立ち上がりと立ち下りの両方でラッチを行い、一方だけを選択して出力するプリミティブである。また、IDDR は FPGA の入力ピンに最も近い場所に配置されるため、ヒット信号が FPGA に入力されてからラッチされるまでの配線遅延のチャンネル間の違いを最小限に抑えることができる。なお、TGC ミューオントリガーエレクトロニクスでは基本的に BCID Delay を 0 に設定するため、この時にメタステーブルとなっていなければどちらのエッジを選んでも良い。

C SLのパラメーターの決定方法

表 C.2: SLのパラメーターリスト。QSPI Falsh Memory のアドレスは上から1セット目、2セット目、3セット目のパラメーターのアドレスを表す。

QSPI Flash Memory のアドレス	パラメーターの種類	bit 幅
0x4000000 0x400007C 0x40000F8	パラメーターのバージョン	[7:0]
0x4000001 0x400007D 0x40000F9	SL の ID (個体識別番号)	[7:0]
0x4000002-0x4000005 0x400007E-0x4000081 0x40000FA-0x40000FD	SL から送信するデータのマスク (0: マスクする, 1: マスクしない)	[35:0]
0x4000006-0x4000008 0x4000082-0x4000084 0x40000FE-0x4000100	SLR0 に入ったヒットデータのマスク (0: マスクする, 1: マスクしない)	[23:0]
0x4000009-0x400000C 0x4000085-0x4000088 0x4000101-0x4000004	SLR2 に入ったヒットデータのマスク (0: マスクする, 1: マスクしない)	[27:0]
0x400000D-0x400000E 0x4000089-0x400008A 0x4000105-0x4000106	SLR3 に入ったヒットデータのマスク (0: マスクする, 1: マスクしない)	[9:0]
0x400000F-0x4000011 0x400008B-0x400008D 0x4000107-0x4000109	SLR0 のデータ受信部でラッチに使用するエッジ (0: 立ち下がり, 1: 立ち上がり)	[23:0]
0x4000012-0x4000015 0x400008E-0x4000091 0x400010A-0x400010C	SLR2 のデータ受信部でラッチに使用するエッジ (0: 立ち下がり, 1: 立ち上がり)	[27:0]
0x4000016-0x4000017 0x4000092-0x4000093 0x400010D-0x400010F	SLR3 のデータ受信部でラッチに使用するエッジ (0: 立ち下がり, 1: 立ち上がり)	[9:0]
0x4000018 0x4000094 0x4000110	BANK120 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000019 0x4000095 0x4000111	BANK120 Ch3 の可変長シフトレジスタの長さ	[4:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x400001A 0x4000096 0x4000112	BANK121 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400001B 0x4000097 0x4000113	BANK121 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400001C 0x4000098 0x4000114	BANK121 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x400001D 0x4000099 0x4000115	BANK122 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400001E 0x400009A 0x4000116	BANK122 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400001F 0x400009B 0x4000117	BANK122 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000020 0x400009C 0x4000118	BANK122 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000021 0x400009D 0x4000119	BANK220 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000022 0x400009E 0x400011A	BANK220 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000023 0x400009F 0x400011B	BANK220 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000024 0x4000A0 0x400011C	BANK220 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000025 0x4000A1 0x400011D	BANK221 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000026 0x4000A2 0x400011E	BANK221 Ch1 の可変長シフトレジスタの長さ	[4:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x4000027 0x40000A3 0x400011F	BANK221 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000028 0x40000A4 0x4000120	BANK221 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000029 0x40000A5 0x4000121	BANK222 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400002A 0x40000A6 0x4000122	BANK222 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400002B 0x40000A7 0x4000123	BANK222 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400002C 0x40000A8 0x4000124	BANK222 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x400002D 0x40000A9 0x4000125	BANK223 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400002E 0x40000AA 0x4000126	BANK223 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400002F 0x40000AB 0x4000127	BANK223 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000030 0x40000AC 0x4000128	BANK129 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000031 0x40000AD 0x4000129	BANK129 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000032 0x40000AE 0x400012A	BANK129 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000033 0x40000AF 0x400012B	BANK129 Ch3 の可変長シフトレジスタの長さ	[4:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x4000034 0x40000B0 0x400012C	BANK130 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000035 0x40000B1 0x400012D	BANK130 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000036 0x40000B2 0x400012E	BANK130 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000037 0x40000B3 0x400012F	BANK130 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000038 0x40000B4 0x4000130	BANK131 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000039 0x40000B5 0x4000131	BANK131 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400003A 0x40000B6 0x4000132	BANK131 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400003B 0x40000B7 0x4000133	BANK131 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x400003C 0x40000B8 0x4000134	BANK228 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400003D 0x40000B9 0x4000135	BANK228 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400003E 0x40000BA 0x4000136	BANK228 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400003F 0x40000BB 0x4000137	BANK228 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000040 0x40000BC 0x4000138	BANK229 Ch0 の可変長シフトレジスタの長さ	[4:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x4000041 0x40000BD 0x4000139	BANK229 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000042 0x40000BE 0x400013A	BANK229 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000043 0x40000BF 0x400013B	BANK229 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000044 0x40000C0 0x400013C	BANK230 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000045 0x40000C1 0x400013D	BANK230 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000046 0x40000C2 0x400013E	BANK230 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000047 0x40000C3 0x400013F	BANK230 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000048 0x40000C4 0x4000140	BANK231 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000049 0x40000C5 0x4000141	BANK231 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x400004A 0x40000C6 0x4000142	BANK231 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400004B 0x40000C7 0x4000143	BANK231 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x400004C 0x40000C8 0x4000144	BANK232 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x400004D 0x40000C9 0x4000145	BANK232 Ch1 の可変長シフトレジスタの長さ	[4:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x400004E 0x40000CA 0x4000146	BANK232 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x400004F 0x40000CB 0x4000147	BANK232 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000050 0x40000CC 0x4000148	BANK233 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000051 0x40000CD 0x4000149	BANK233 Ch1 の可変長シフトレジスタの長さ	[4:0]
0x4000052 0x40000CE 0x400014A	BANK233 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000053 0x40000CF 0x400014B	BANK233 Ch3 の可変長シフトレジスタの長さ	[4:0]
0x4000054 0x40000D0 0x400014C	BANK234 Ch0 の可変長シフトレジスタの長さ	[4:0]
0x4000055 0x40000D1 0x400014D	BANK234 Ch2 の可変長シフトレジスタの長さ	[4:0]
0x4000056-0x4000057 0x40000D2-0x40000D3 0x400014E-0x400014F	L0Acceptance 信号に対する遅延量	[11:0]
0x4000058-0x4000059 0x40000D4-0x40000C5 0x4000150-0x4000151	BCR 信号に対する遅延量	[11:0]
0x400005A-0x400005B 0x40000D6-0x40000C7 0x4000152-0x4000153	Event Counter Reset (ECR) 信号に対する遅延量	[11:0]
0x400005C-0x400005D 0x40000D8-0x40000D9 0x4000154-0x4000155	TTC Reset 信号に対する遅延量	[11:0]
0x400005E-0x400005F 0x40000DA-0x40000DB 0x4000156-0x4000157	TPT 信号に対する遅延量	[11:0]

QSPI Flash Memory 上のアドレス	パラメーターの種類	bit 幅
0x4000060-0x4000061 0x40000DC-0x40000DD 0x4000158-0x4000159	MMCM の遅延量	[11:0]
0x4000062-0x4000063 0x40000DE-0x40000DF 0x400015A-0x400015B	LOBuffer の深さ	[15:0]
0x4000064-0x4000067 0x40000E0-0x40000E3 0x400015C-0x400015F	SLR0 の GTY RX における rxslide の回数の偶奇 (0 : 奇数, 1 : 偶数)	[31:0]
0x4000068-0x400006B 0x40000E4-0x40000E7 0x4000160-0x4000163	SLR1 の GTY RX における rxslide の回数の偶奇 (0 : 奇数, 1 : 偶数)	[31:0]
0x400006C-0x400006F 0x40000E8-0x40000EB 0x4000164-0x4000167	SLR2 の GTY RX における rxslide の回数の偶奇 (0 : 奇数, 1 : 偶数)	[31:0]
0x4000070-0x4000073 0x40000EC-0x40000EF 0x4000168-0x400016B	SLR3 の GTY RX における rxslide の回数の偶奇 (0 : 奇数, 1 : 偶数)	[31:0]
0x4000074-0x4000077 0x40000F0-0x40000F3 0x400016C-0x400016F	EventBuilder の出力フォーマットのバージョン	[31:0]
0x4000078 0x40000F4 0x4000170	RUN の種類	[7:0]
0x4000079-0x400007B 0x40000F5-0x40000F7 0x4000171-0x4000173	RUN 番号	[23:0]

表 C.2 に SL のパラメーター一覧を示す。SL は放射線環境下に置けられないが、冗長性を持たせるために PS board の場合と同様に同じパラメーターを 3 セット書き込んでいる。これらのパラメーターはまだ検討段階であり、これから変わる可能性がある。ここでは、今後残る可能性があるものの中から、パラメーターの決定にあたり注意が必要なものについて記述する。

C.1 データ受信部におけるエッジ選択パラメーター

このパラメーターは 3.2 節で記述したデータ受信に用いるエッジを決めるパラメーターである。パラメーターの決定方法は付録 B.2 と同じである。

C.2 可変長シフトレジスタのパラメーター

このパラメーターは PS board 毎に異なる PS board から SL にデータを送る際の配線遅延を吸収するためのパラメーターである。パラメーターの決定方法は付録 B.3 と同じである。

C.3 データ受信部における rx slide の回数の偶奇を選択するパラメーター

このパラメーターはデータ受信部にある rx_comma_detection というモジュールが発する rxslide (詳しくは [16] の 3 章) の回数の偶奇を決めるパラメーターである。PS board と SL 間の通信のように、GTX/GTY の reference clock が共通である場合、fixed latency でデータ受信をするために行う rxslide の回数の偶奇は一意に定まることが知られている。このパラメーターは、設定されている rxslide の回数の偶奇が一意に定まるものと異なる場合、つまり、rx_comma_detection モジュールが位相が fixed になったことを示す LOCK 信号を出していない場合に、rxslide の回数の偶奇を切り替えるためのものである。

D PS board に接続したケーブルの配線チェックの方法

```

===== Start RX check =====
PSB position | LINK || PSBID match | ref ID | read ID || LINKID match | ref ID | read ID
-----
PS01-m2 | RX0 || MATCH | 26 | 26 || MATCH | 0 | 0
          | RX1 || MATCH | 26 | 26 || MATCH | 1 | 1
-----
PS01-m1 | RX0 || MATCH | 25 | 25 || MATCH | 0 | 0
          | RX1 || MATCH | 25 | 25 || MATCH | 1 | 1
-----
PS02-m2 | RX0 || MATCH | 20 | 20 || MATCH | 0 | 0
          | RX1 || MATCH | 20 | 20 || MATCH | 1 | 1
-----
PS02-m1 | RX0 || MATCH | 19 | 19 || MATCH | 0 | 0
          | RX1 || MATCH | 19 | 19 || MATCH | 1 | 1
-----
PS03-m2 | RX0 || MATCH | 24 | 24 || MATCH | 0 | 0
          | RX1 || MATCH | 24 | 24 || MATCH | 1 | 1
-----
PS03-m1 | RX0 || MATCH | 23 | 23 || MATCH | 0 | 0
          | RX1 || MATCH | 23 | 23 || MATCH | 1 | 1
-----
PS04-m2 | RX0 || MATCH | 34 | 34 || MATCH | 0 | 0
          | RX1 || MATCH | 34 | 34 || MATCH | 1 | 1
-----
PS04-m1 | RX0 || MATCH | 33 | 33 || MATCH | 0 | 0
          | RX1 || MATCH | 33 | 33 || MATCH | 1 | 1
-----
PS05-m2 | RX0 || MATCH | 28 | 28 || MATCH | 0 | 0
          | RX1 || MATCH | 28 | 28 || MATCH | 1 | 1
-----
PS05-m1 | RX0 || MATCH | 27 | 27 || MATCH | 0 | 0
          | RX1 || MATCH | 27 | 27 || MATCH | 1 | 1
-----
PS06-m2 | RX0 || MATCH | 30 | 30 || MATCH | 0 | 0
          | RX1 || MATCH | 30 | 30 || MATCH | 1 | 1
-----
===== RX check done. =====

```

図 D.5 上り線の光ファイバーの配線確認の結果。ref ID はスキャナで読んだ PSB ID や 2 本のファイバーの LINK ID を表し、read ID は PS board から送られてきた PSB ID や LINK ID を表す。

光ファイバーの配線確認では、まず PS board から SL にデータを送るパス（上り線）の確認を行なった。このパスには 2 本の光ファイバーがあるため、① 正しい個体に配線されているか、② 2 本の光ファイバーが正しい場所に配線されているかを確認する必要がある。

①正しい個体に配線されているか

PS board には個体識別番号（PSB ID）が付与されており、QSPI Flash Memory にパラメーターの 1 つとして書き込まれている。PS board が起動すると、QSPI Flash Memory に書き込まれた PSB ID が読み出されて自動的に SL に送られてくる。よって、SL に送られてきた PSB ID と PS board を設置する際に記録した PSB ID が一致するか確認することで、正しい個体に配線されたか確かめることができる。なお、PS board を設置する際に記録する PSB ID は PS pack に貼られた QR コードをスキャンして読み込めるようになっており、実際のインストール時に 1,434 台の PS board の配線試験を効率的に行えるように設計してある。

②正しい個体に配線されているか

各光ファイバーに流されるデータにはファイバー識別番号（LINK ID）が付与されており、TX0 には 0、TX1 には 1 が付与されている。よって、SL に送られてきた LINK ID が TX0 で 0 であるか、TX1 で 1 であるかを確認することで、正しい場所に配線されているか確かめることができる。

図 D.5 に配線試験の結果を示す。上り線の全ての光ファイバーで PSB ID と LINK ID の一致を確かめられた。

次に SL から PS board にデータを送るパス（下り線）の確認を行なった。PS board のテストレジスタに PS board を設置する際に記録した PSB ID を書き込み、それを読み出して、書き込んだ値と読み出した値が一致するかを確認した。上り線の配線が正しいことを先に確認しているため、下り線が正しく配線されていれば両者は一致す

```

===== Start TX check =====
PSB position || PSBID match | ref ID | read ID
-----
PS01-m2 || MATCH | 26 | 26
PS01-m1 || MATCH | 25 | 25
PS02-m2 || MATCH | 20 | 20
PS02-m1 || MATCH | 19 | 19
PS03-m2 || MATCH | 24 | 24
PS03-m1 || MATCH | 23 | 23
PS04-m2 || MATCH | 34 | 34
PS04-m1 || MATCH | 33 | 33
PS05-m2 || MATCH | 28 | 28
PS05-m1 || MATCH | 27 | 27
PS06-m2 || MATCH | 30 | 30
-----
===== TX check done. =====

```

図 D.6 下り線の光ファイバーの配線確認の結果。ref ID はスキャナで読んだ PSB ID を表し、read ID は PS board のテストレジスタから読み出した PSB ID を表す。

るはずである。図 D.6 に配線試験の結果を示す。下り線の全ての光ファイバーで PSB ID の一致が確かめられた。

```

1 Xilinx Virtual Cable 192.168.0.150:2542
2 xc7k325t (idcode 43651093 irlen 6 fpga)
3 Xilinx Virtual Cable 192.168.0.150:3542
4 xc7k325t (idcode 43651093 irlen 6 fpga)
5 Xilinx Virtual Cable 192.168.0.150:4542
6 xc7k325t (idcode 43651093 irlen 6 fpga)
7 Xilinx Virtual Cable 192.168.0.150:5542
8 xc7k325t (idcode 43651093 irlen 6 fpga)
9 Xilinx Virtual Cable 192.168.0.150:6542
10 xc7k325t (idcode 43651093 irlen 6 fpga)
11 Xilinx Virtual Cable 192.168.0.150:7542
12 xc7k325t (idcode 43651093 irlen 6 fpga)
13 Xilinx Virtual Cable 192.168.0.150:8542
14 xc7k325t (idcode 43651093 irlen 6 fpga)
15 Xilinx Virtual Cable 192.168.0.150:9542
16 xc7k325t (idcode 43651093 irlen 6 fpga)
17 Xilinx Virtual Cable 192.168.0.150:2742
18 xc7k325t (idcode 43651093 irlen 6 fpga)
19 Xilinx Virtual Cable 192.168.0.150:3742
20 xc7k325t (idcode 43651093 irlen 6 fpga)
21 Xilinx Virtual Cable 192.168.0.150:4742
22 xc7k325t (idcode 43651093 irlen 6 fpga)

```

図 D.7 JTAG 線の配線確認の結果。

次に JTAG 線の配線確認を行なった。JTAG 線の配線確認には Xilinx Virtual Cable (XVC、詳しくは [17] の 4 章 3 節) のコマンドの 1 つである jtag targets コマンドを用いた。jtag targets コマンドは、XVC で接続している JATHub の IP アドレスとポート番号、および、PS board の FPGA の型番 (xc7k325t) を表示する。よって、PS board と繋がる JATHub の IP アドレスの 11 個のポートで xc7k325t が認識されているかを確認することで、

JTAG 線の Cat6 が正しく配線されていることを確かめることができる。図 D.7 に示すように、全ての JTAG 線で PS board の FPGA を認識されているのを確かめられた。

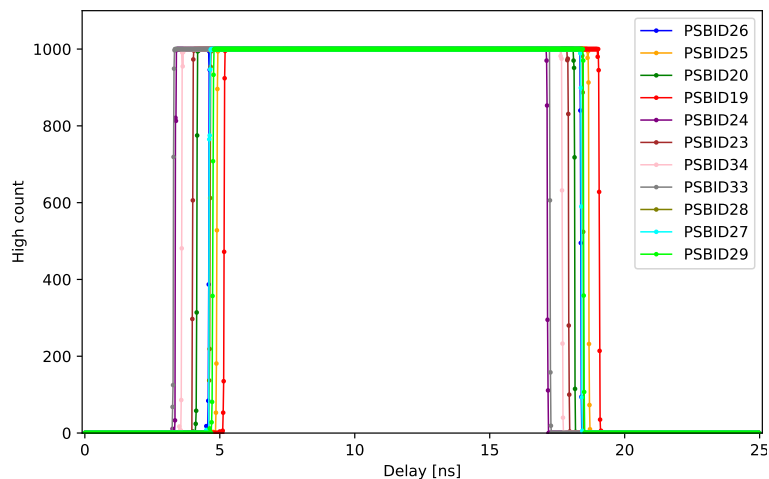


図 D.8 Recovery 線の配線確認の結果。11 台の PS board が再構成したクロックの波形を色ごとに分けて表示している。

Recovery 線の配線確認では、2.2.3 節で記述した位相測定を行なった。位相測定では PS board から送られてくる 40.079 MHz の LHC clock の 1 周期分の波形が得られるため、クロックの立ち上がり立ち下がりが 1 回ずつ現れるかを確認することで、Recovery 線の Cat6 が正しく配線されていることを確かめることができる。図 D.8 に示すように、全ての Recovery 線でクロックの立ち上がり立ち下がりを 1 回ずつ確認することができた。

信号ケーブルの配線確認は、4.5 節で記述したのと同様の試験を行い、全チャンネルで efficiency が 1 であり、かつ、BCTag が揃っていることによって確認する。

これらの配線確認の手順は、2026 年から行われる 1,434 台の PS board インストール時に行うことを想定して設計している。この手順に従って配線確認を行うことにより、配線ミスを迅速に発見し、効率的かつ正確にインストール時の配線作業を終えることができる。

謝辞

本研究を進めていくにあたり多くの方々にお世話になりました。まず指導教員である奥村恭幸准教授には大変お世話になりました。ATLAS 実験・TGC 検出器の基礎から丁寧に指導していただいたおかげで、自分の研究が実験全体の中でどういう位置付けなのかを理解して研究を進めることができました。また、研究を進めるにあたり的確な助言をしていただいたおかげで、スムーズに研究を進めることができました。石野雅也教授にも大変お世話になりました。研究室の会合等で鋭い質問や助言をいただいたおかげで、上手く研究方針を修正することができました。心から感謝申し上げます。

また、著者が所属する東京大学 素粒子物理国際研究センターのスタッフの方々にも心から感謝申し上げます。齋藤智之助教には CERN でのセクターテストの際に大変お世話になりました。大阪大学の増淵達也准教授には PS board の品質検査試験の立ち上げで大変お世話になりました。他の ICEPP の先生方、スタッフの方々にも ICEPP のポスター発表会等で質問やコメントをいただき、研究を深めることができました。また、秘書の皆様には出張申請の際などに大変お世話になりました。皆様のお力添えのおかげでスムーズかつ楽しく研究を進めることができました。ありがとうございました。

ATLAS TGC 日本グループの皆様にも大変お世話になりました。名古屋大学の堀井泰之准教授には PS board のファームウェア開発で様々な助言をいただき、大変助かりました。KEK の戸本誠教授、佐々木修氏には KEK での実機試験で助言をいただきました。KEK の山口洋平助教授には PS board の品質検査試験を牽引していただき、大変お世話になりました。KEK の青木雅人氏には CERN でのセクターテストの際に大変お世話になりました。神戸大学の前田順平准教授、名古屋大学の泉山将大特任助教、KEK の須江祐貴氏、Chaowaroj Wanotayaroj 氏には ATLAS TGC 日本グループの会合等で研究に関する様々なアドバイスをいただき、研究を進めるにあたり大変参考になりました。また、名古屋大学の橋本さん、和田さん、神戸大学の森本さんには PS board の品質検査試験や SFP+ の放射線耐性試験の際にお世話になりました。皆様に心から感謝申し上げます。

研究室の先輩方にも大変お世話になりました。長坂さん、成川さんにはファームウェア開発や実機試験のやり方を丁寧に教えていただくと共に、研究で行き詰まった時に多くの助言をいただきました。田中さんや青木さんにも研究で行き詰まった時にボード・ファームウェアの開発者の視点からたくさんの助言をいただきました。また、杉崎さん、林さん、山下さんには研究室の会合等で TGC トリガーシステムに関する助言をたくさんいただきました。皆様ありがとうございました。同じ研究室の同期の牧田や総研大の須部さんとは多くの議論を交わし、互いに切磋琢磨しながら研究を進めてきました。また、神戸大学の水引や京都大学の中川とは学会などで研究に関する議論を交わすことができました。ありがとうございました。後輩の牧、大坪、水落、田上、神戸大学の山口くんには統合試験や CERN でのセクターテストの準備で力を貸してもらいました。ありがとうございました。

以上の方々の他にも研究を進めるにあたり大変お世話になりました。皆様に心から感謝申し上げます。最後にこれまで様々な面で自分を支えてくれた家族に感謝します。

参考文献

- [1] Lopienska, E. (2022) “The CERN accelerator complex, layout in 2022. Complexe des accélérateurs du CERN en janvier 2022,” URL: <https://cds.cern.ch/record/2800984>, General Photo.
- [2] Bianchi, R. M. and Collaboration, A. (2022) “ATLAS experiment schematic or layout illustration,” URL: <https://cds.cern.ch/record/2837191>, General Photo.
- [3] Mehlhase, S. (2021) “ATLAS detector slice (and particle visualisations),” URL: <https://cds.cern.ch/record/2770815>.
- [4] (2017) “Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer,” Technical report, CERN, Geneva, URL: <https://cds.cern.ch/record/2285580>.
- [5] Marcelloni, C. (2006) “Installation of the first of the big wheels of the ATLAS muon spectrometer, a thin gap chamber (TGC) wheel. Installation de la première des grandes roues du ATLAS spectromètre à muons, une roue TGC,” URL: <https://cds.cern.ch/record/986163>.
- [6] (1997) *ATLAS muon spectrometer: Technical Design Report*, Technical design report. ATLAS, Geneva: CERN, URL: <https://cds.cern.ch/record/331068>.
- [7] 赤塚駿一 (2017) 「LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良」, 修士論文, 京都大学.
- [8] industry, H.-L. (2024) “Project Schedule,” URL: <https://hilumilhc.web.cern.ch/content/hl-lhc-project>.
- [9] Maria, R. D. and Tomás, R. (2023) “HL-LHC Status and operational scenarios,” in *41st International Conference on High Energy physics - ICHEP2022*.
- [10] (2017) “Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System,” Technical report, CERN, Geneva, DOI: [10.17181/CERN.2LBB.4IAL](https://doi.org/10.17181/CERN.2LBB.4IAL).
- [11] Collaboration, A. T. (1999) “Amplifier-Shaper-Discriminator ICs and ASD Boards,” Technical report, CERN.
- [12] Miyahara, M., Sasaki, O. et al. (2024) “TGC Patch-Panel ASIC Design Report for Production Readiness Review,” Technical report.
- [13] 竹本享史 (2003) 「ATLAS 実験ミュオントリガーシステム用 LSI の開発と統合評価テスト」, 修士論文, 東京大学.
- [14] 長坂錬 (2024) 「高輝度 LHC-ATLAS 実験に向けた L0 ミュオントリガー大規模エレクトロニクスの統合試験とコミッションングシステムの開発 - クロック・制御・読み出し系の開発と統合 -」, 修士論文, 東京大学.
- [15] 須部実咲 (2024) 「高輝度 LHC-ATLAS 実験における TGC 検出器前段回路コンフィギュレーションパラメータの設定手法の構築」, 『日本物理学会 2024 年度春季大会』.
- [16] 青木匠 (2022) 「大規模エレクトロニクスシステムにおける次世代型オペレーションモデルの研究 - 自律型ステートマシンの導入及び SoC による遠隔型制御の実現 -」, 修士論文, 東京大学.
- [17] 田中碧人 (2021) 「System-on-a-Chip を用いたエレクトロニクス制御回路の開発 - 高放射線環境での大規模システムへの応用」, 修士論文, 東京大学.