# 修士学位論文

大規模エレクトロニクスシステムにおける 次世代型オペレーションモデルの研究

> - 自律型ステートマシーンの導入 及び SoC による遠隔型制御の実現 -

Study on Next-Generation Operation Models for Large-Scale Electronics Systems - Introduction of autonomous state machine

- Introduction of autonomous state machine and realization of remote control by SoC -

> 東京大学大学院 理学系研究科 物理学専攻 石野研究室 青木 匠

> > 2022年1月27日

概要

近年エレクトロニクスの進歩は目覚ましく、特に高速通信によるデータ送受信の技術を用いた大規模エ レクトロニクスシステムは高度化、大型化、及び複雑化を続けている。これらの大規模エレクトロニクス システムにおいては、非常に多数の回路が複雑に接続されていることから、クロックの分配や同期、及び それぞれの回路に適したパラメータの設定を行うことに困難が伴うことが多い。回路が直接アクセスでき ない場所に設置される場合、これらのことを完全に遠隔で行う必要がある。また、高放射線環境下での運 用が求められる場合、放射線損傷に対しても堅牢であるシステムが要求される。本研究では LHC 加速器 に設置された ATLAS 検出器のエレクトロニクスの刷新に着目し、固定位相でのクロック分配、遠隔での クロック位相制御及び位相測定、不揮発性メモリを利用した自律型ステートマシーンの開発を行い、これ らの機能が ATLAS 実験などの高エネルギー物理学実験のみに留まらず、様々な大規模エレクトロニクス システムにおいて非常に有用な技術であり、次世代型オペレーションモデルのリモート化、スマート化を 大幅に促進させるものであることを立証した。

2027 年から始まる高輝度 LHC-ATLAS 実験では、標準模型の精密測定及び新物理の探索感度向上の ため、瞬間最高ルミノシティーを 7.5 × 10<sup>34</sup> cm<sup>-2</sup>s<sup>-1</sup> まで増強し運転を行う。ATLAS 検出器のエン ドキャップ部分に位置し、陽子バンチ衝突点から飛来するミューオンを捉える Thin Gap Chamber 検 出器の読み出し・トリガーエレクトロニクスも加速器の高輝度化に対応するべく一新される。主な変更 点は検出器からのすべての信号をヒットの有無に関わらず、前段回路が高速シリアル通信を用いて後 段回路へ転送する点にあり、より柔軟かつ包括的なトリガー判定を可能にしている。これを実現するた めに各前段回路には FPGA を導入し、さらに前段回路の制御回路として、CPU と FPGA を統合した System-on-a-Chip (SoC) デバイスが搭載された専用回路を新設する。

前段回路では、後段回路から分配される 40 MHz の LHC バンチ交差クロックと検出器からの信号を同 期し、信号の発生起源である陽子バンチ交差番号を各信号へ付与する (BCID)。ヒット信号を取りこぼ すことなく BCID を行いつつ、主に低エネルギーの中性子や光子に起因する陽子バンチ交差のタイミン グとは同期しないバックグラウンドの寄与を最小限に抑えるためには、全 1,434 枚の前段回路における 40 MHz クロックの位相を十分な精度で一致させる必要がある。また適切な BCID のためには、前段回路 における 40 MHz クロックと陽子バンチ衝突のタイミングを合わせる必要があるため、前段回路における クロックの位相制御機能が必須となる。本研究ではまず、後段回路や前段回路のリセットや再コンフィ ギュレーションに伴って、前段回路におけるクロックの位相が変化しない固定位相でのクロック分配を実 現した。また 40 MHz クロックの位相を 18 ps の精度で遠隔制御する機能を実装し、SoC デバイスによる 前段回路上のクロック位相測定機能の考案及び開発を行なった。 全 1,434 枚の前段回路上の FPGA や素子には、それぞれ異なるパラメータを設定する必要がある。現 行の Thin Gap Chamber 回路系では後段回路からの制御パスを用いて、それぞれの前段回路にパラメー タを書き込んでいるが、その実行に約 4 分という比較的長い時間を要する上、前段回路を再コンフィ ギュレーションする度に後段から書き込まなければならないという設計になっている。本研究では、通常 FPGA のファームウェアを収めるために設置されている不揮発性メモリを利用する新たな発想の元に、 自動的にパラメータを設定する自律型制御機構の FPGA への実装を行なった。この自律型制御機構は、 自らが置かれている状況を自分で認識し、外からの命令がなくとも必要な手続きを必要な順番で実行する ものである。

これらの固定位相でのクロック分配、クロック位相制御・位相測定、及び自律型制御機構の実証試験を 行う統合試験のためのテストベンチを立ち上げた。この統合試験において、固定位相でのクロック分配が 30 ps の精度で実現できていること、クロックの位相制御・位相測定が 18 ps の精度で実現できてること、 自律型制御機構によってエレクトロニクスが準備に必要とする時間が現行システムに比べて 1/60 倍に抑 えられること、及び読み出しシステムがすべて正しく働くことを実証した。さらにこれらの技術を用いた 高輝度 LHC-ATLAS 実験における Thin Gap Chamber 回路系のオペレーションモデルに対する考察を 行なった。

# 目次

概要		<b>2</b>
第1章	序論	10
1.1	素粒子物理学における標準模型	10
1.2	LHC-ATLAS 実験	11
1.3	高輝度 LHC-ATLAS 実験に向けたアップグレード計画 ............	14
1.4	LHC-ATLAS 実験における TGC 検出器	15
1.5	本論文の目的・内容と構成....................................	18
第2章	高輝度 LHC-ATLAS 実験に向けた TGC 検出器システムのアップグレード	19
2.1	高輝度 LHC-ATLAS 実験における TDAQ システム ............	19
2.2	TGC 検出器トリガーシステム	20
第3章	FPGA 間の固定位相でのクロック分配・固定時間でのデータ転送	38
3.1	TGC 検出器システムにおけるクロック分配及びデータ転送	38
3.2	GT トランシーバーを用いたクロック分配・データ送受信 ...........	39
3.3	GT トランシーバー RX におけるクロックの再構成	43
3.4	固定位相でのクロック分配・固定時間でのデータ転送の実現.........	44
3.5	LHC バンチ交差と同期したデータ転送	48
第4章	遠隔でのクロック位相制御及び JATHub によるクロック位相測定	50
4.1	TGC 検出器システムにおけるクロック位相制御及びクロック位相測定	50
4.2	遠隔でのクロック位相制御...................................	51
4.3	JATHub による遠隔でのクロック位相測定 ...........................	52
4.4	全 PS board におけるクロックの位相合わせの戦略	56
第5章	不揮発性メモリを用いた自律型制御機構の実現	58
5.1	TGC 検出器システムにおけるエレクトロニクスの制御............	58
5.2	不揮発性メモリを利用した自律型制御機構の開発......................	59
第6章	高輝度 LHC-ATLAS 実験に向けた TGC 検出器エレクトロニクスシステムの統合試験	65

6.1	TGC 検出器エレクトロニクスシステムの統合試験の概要	65
6.2	固定位相でのクロック分配の JATHub による性能評価.............	66
6.3	PS board 間のクロックの位相合わせのデモンストレーション	67
6.4	<b>PS board における自律型制御機構の性能評価</b>	69
6.5	読み出しシステムのデモンストレーション	71
第7章	高輝度 LHC-ATLAS 実験における TGC 検出器システムのオペレーションモデル	75
7.1	TGC 検出器エレクトロニクスの機能整理	75
7.2	システム全体のブートや回復のシークエンス	81
第8章	結論と今後の展望	85
謝辞		87
付録 A	TAM モジュールの設計	89
付録 B	PS board から SL へのデータフォーマットの詳細	100

# 図目次

1.1	LHC 加速器の概観	11
1.2	LHC 加速器のレイアウト	12
1.3	ATLAS 検出器の全体像	13
1.4	ATLAS 検出器の座標系	13
1.5	LHC と高輝度 LHC の運転予定	14
1.6	代表的な物理事象におけるレプトンの横運動量閾値とアクセプタンスの関係.....	15
1.7	高輝度 LHC-ATLAS 実験でのミューオンスペクトロメータの R-z 平面断面図 .....	16
1.8	TGC のチェンバーとステーションの構造	16
1.9	TGC 検出器の正面写真 (M1) と 1/12 セクター	17
9.1	京編府 I UC ATT AS 実験にわける TDAO シフテノ	10
2.1	同陣及 LIIO-ATLAS 天厥におりる TDAQ ノヘノム	19 91
2.2	現行 IGC BW のドリカーのコンピノド	21 22
2.0	現行 $IGC \to \chi$ テレビおける F T C システムの概要	22
2.4	成门 $100 > A > A = 0 = 100 > A > A = 0 = 0 = 0 = 0 = 0 = 0 = 0 = 0 = 0 =$	20 24
2.0	同陣及 $\Pi U$ -AILAS 天厥におりる $I G U                                 $	24 95
2.0	ASD の	20 26
2.1	15 DOald の機安	20
2.0	「「ASICの回面ノロック因	21 28
2.9	マエースラル 160 に八分してから狭山船から店与か山力されるよての時間方伸	20
2.10	BS hoard と IATHub の設置予定位置	29 31
2.11		30
2.12	SI の脚更	34
2.13	SL の税安	35
2.14	3日 (43) (31) (37) (37) (37) (37) (37) (37) (37) (37	36
2.10	SI における Coincidence Window の標準	36
2.10		30
3.1	高輝度 LHC-ATLAS 実験におけるクロック分配系の概要 ...........	39
3.2	GT トランシーバーの概念図	40
3.3	GT トランシーバーのデータ送信部分 (TX) のブロック図	41

3.4	GT トランシーバーのデータ受信部分 (RX) のブロック図	42
3.5	CDR におけるクロック再構成の概要図	44
3.6	TX におけるクロックパスのブロック図	45
3.7	RX におけるクロックパスのブロック図	47
3.8	PS board におけるクロックパス	49
4.1	Clocking Wizard IP コアのブロック図	51
4.2	Clocking Wizard IP コアによるクロックの位相制御	52
4.3	JATHub におけるクロック位相測定のコンセプト	53
4.4	JATHub によるクロック位相測定結果の例	53
4.5	JATHub によるクロック位相測定の再現性	54
4.6	JATHub における 11 個の入力クロックの測定結果の比較 ...........	55
4.7	ILOGIC を導入した時の JATHub における 11 個の入力クロックの測定結果の比較	56
4.8	全 PS board におけるクロックの位相合わせの全体像	57
5.1	QSPI フラッシュメモリに収める情報	59
5.2	PS board における自律型制御機構のパラメータ設定部分の概要	61
5.3	自律型制御機構の全体的な手順 (PS board FPGA が電源を入れられた時、再コンフィ	
	ギュレーションされた時、SL からソフトリセットを命令された時)	62
5.4	自律型制御機構の全体的な手順 (JATHub による GTX トランシーバーのリセット信号	
	を受け取った時)	63
6.1	TGC 検出器エレクトロニクスシステムの統合試験の概要	66
6.2	PS board の再コンフィギュレーションに伴う再構成クロックの位相の変化	67
6.3	位相調整前のクロックの位相測定結果................................	68
6.4	位相調整後のクロックの位相測定結果................................	68
6.5	PS board の GTX トランシーバーのリセットに伴うリンク切れ時間分布	69
6.6	GTX トランシーバーのリセットの際に自律型制御機構の各手順に必要となる時間	70
6.7	PS board FPGA の再コンフィギュレーションに伴うリンク切れ時間分布......	71
6.8	SL から PS board へのデータフォマットの概要	72
6.9	PS board から SL へのデータフォマットの概要	73
6.10	読み出しシステムのデモンストレーションの概要..............	73
6.11	Delay Curve の例	74
7.1	TGC 検出器エレクトロニクスの接続の概要	76
7.2	TGC 検出器システムにおけるブートのシークエンスの概要 ...........	82
7.3	TGC 検出器システムにおける回復のシークエンスの概要	83
A.1	TAM モジュールの接続の概要....................................	90

7

A.2	TAM モジュール第 1 試作機の回路図 TOP	91
A.3	TAM モジュール第 1 試作機の回路図 BANK 0	91
A.4	TAM モジュール第 1 試作機の回路図 BANK 13, 14	92
A.5	TAM モジュール第 1 試作機の回路図 BANK 15, 16	92
A.6	TAM モジュール第 1 試作機の回路図 BANK 33, 34	93
A.7	TAM モジュール第 1 試作機の回路図 BANK 115	93
A.8	TAM モジュール第1試作機の回路図 BANK GND, POWER	94
A.9	TAM モジュール第1試作機の回路図 BOARD INTERFACE	94
A.10	TAM モジュール第1試作機の回路図 SFP+	95
A.11	TAM モジュール第 1 試作機の回路図 LEMO IN	95
A.12	TAM モジュール第1試作機の回路図 LEMO OUT	96
A.13	TAM モジュール第1試作機の回路図 JITTER CLEANER	96
A.14	TAM モジュール第1試作機の回路図 VME J1, J2 CONNECTOR	97
A.15	TAM モジュール第1試作機の回路図 VME J3 CONNECTOR	97
A.16	TAM モジュール第1試作機の回路図 VME ADDRESS BUFFER	98
A.17	TAM モジュール第1試作機の回路図 VME DATA BUFFER	98
A.18	TAM モジュール第1試作機の回路図 VME J3 BUFFER	99
A.19	TAM モジュール第1試作機の回路図 電源	99
B.1	PS board から SL へのデータフォーマット (ワード 0 の詳細)	100
B.2	SLR 構造の概要	101
B.3	SLR 構造を考慮した飛跡再構成	102
B.4	PP ASIC の番号付け	102
B.5	2つのトリガーセクターからの入力がある PS board ..............	103
B.6	PS board から SL へのデータフォーマット (ワード 1 からワード 4 の詳細)	104

# 表目次

1.1	標準模型におけるフェルミオンとその性質	10
1.2	標準模型におけるボソンとその性質..............................	11

# 第1章

# 序論

## 1.1 素粒子物理学における標準模型

素粒子物理学における標準模型は物質を構成する、6 つのクォーク、6 つのレプトン、およびその間に 働く電磁相互作用、強い相互作用、弱い相互作用の振る舞いを定式化した理論体系である。標準模型は特 殊相対性理論と矛盾がない量子論 (場の量子論) で記述されており、電磁相互作用と弱い相互作用はヒッ グス機構を導入した電弱統一理論と呼ばれる SU(2)<sub>L</sub> × U(1)<sub>Y</sub> ゲージ理論によって、強い相互作用は量 子色力学と呼ばれる SU(3)<sub>c</sub> ゲージ理論によって表される。

表 1.1 に標準模型におけるフェルミオンとその性質をまとめる。標準模型のフェルミオンは強い相互作 用をしないレプトンと、強い相互作用をするクォークに大きく分けられる。クォークとレプトンは共に 3 つの世代から構成されており、それぞれの世代間は質量のみが異なり、すべての基本的相互作用および量 子数は同一である。

		名称	表記	質量	電荷	スピン
	笠1世代	アップ	u	$2.2 { m MeV}$	+2/3	1/2
	- 第 I 巴代	ダウン	d	$4.7~{\rm MeV}$	-1/3	1/2
クィーク	笛り世代	チャーム	c	$1.3~{\rm GeV}$	+2/3	1/2
<i>y</i> <b>x</b> - <i>y</i>	₩ 2 ETC	ストレンジ	s	$93 { m MeV}$	-1/3	1/2
	<b>第3</b> 世代	トップ	t	$173~{\rm GeV}$	+2/3	1/2
		ボトム	b	$4.2 \mathrm{GeV}$	-1/3	1/2
	<b>第1</b> 冊代	電子ニュートリノ	$\nu_e$	$< 2\mathrm{eV}$	0	1/2
	第1世代	電子	e	$511 \ \mathrm{keV}$	-1	1/2
レプトン	ン 第2世代	ミューニュートリノ	$ u_{\mu}$	$< 0.19{\rm MeV}$	0	1/2
		ミューオン	$\mu$	$106~{\rm MeV}$	-1	1/2
	空り世代	タウニュートリノ	$\nu_{ au}$	$< 18.2{\rm MeV}$	0	1/2
	かり ETC	タウ	au	$1.78~{\rm GeV}$	-1	1/2

表 1.1 標準模型におけるフェルミオンとその性質 [1]。ニュートリノの質量は上限値を記した。

次に、表 1.2 に標準模型のボソンとその性質をまとめる。ゲージボソンには強い相互作用を媒介するグ ルーオン、弱い相互作用を媒介する W ボソンと Z ボゾン、電磁相互作用を媒介する光子がある。また ヒッグスボソンは、ヒッグス二重項として導入される 4 つの自由度のうち、 $SU(2)_L \times U(1)_Y$  ゲージ対称 性の自発的破れの後に残る唯一の自由度に対応する。

	名称	表記	質量	電荷	スピン
	グルーオン	g	0	0	1
ベクトルギソン	W ボソン	$W^{\pm}$	$80.4{\rm GeV}$	$\pm 1$	1
ベクトルホクラ	Z ボソン	$Z^0$	$91.2{ m GeV}$	0	1
	光子	$\gamma$	0	0	1
スカラーボソン	ヒッグス	h	$125{ m GeV}$	0	0

表 1.2 標準模型におけるボソンとその性質 [1]。

標準理論は現在まで多くの実験によって高い精度で検証されているものの、暗黒物質の正体やヒッグス ボソンの質量に対する階層性問題、フェルミオンの世代構造等の多くの問題点を内包している。これらの 問題を解決する標準模型を超えた新物理として、超対称性理論や余剰次元理論等があるが、現時点では新 物理の理論を決定する実験的な証拠は存在しない。加速器を用いた高エネルギー粒子の衝突は、一般的に 大きな質量を持つとされている新物理の粒子を直接生成する唯一の方法だと考えられているため、新物理 を探索する上では特に重要な方法である。

### 1.2 LHC-ATLAS 実験

スイスのジュネーブ郊外にある欧州原子核研究機構 (CERN) で行われている LHC-ATLAS 実験で は、高エネルギー・高統計の素粒子実験を実現している。Large Hadron Collider (LHC) 加速器は周長



図 1.1 LHC 加速器の概観 [2]。周長 26.7 km の円形加速器がスイスとフランスの国境を跨いで地下 100 m の位置に設置されている。

26.7 km の円形加速器であり、図 1.1 に示すようにスイスとフランスの国境を跨いで地下 100 m の位置 に設置されている。LHC は図 1.2 のように、8 つの Arc (曲線部分) と 8 つの Straight-section (直線部 分)から構成されており、Straight-section はそれぞれ Point 1 から Point 8 と呼ばれている。そのうち 4 箇所では陽子衝突が起こるような設計になっており、Point 1 では ATLAS 実験、Point 2 では ALICE 実験、Point 5 では CMS 実験、そして Point 8 では LHCb 実験が行われている。陽子は 10<sup>11</sup> 個程度 が束になってビームバンチを構成し、それぞれの陽子が約 7 TeV のエネルギーを持って衝突点において 40.079 MHz の頻度で衝突を起こす。



図 1.2 LHC 加速器のレイアウト [3]。LHC は 8 つの Arc (曲線部分) と 8 つの Straight-section (直線部分) から構成されている。図における LSS1 から LSS8 が Straight-section であり、それぞれ Point 1 から Point 8 と呼ばれる。

Point 1 に設置されている ATLAS (A Toroidal LHC ApparatuS) 検出器は大型の汎用型検出器であ る。図 1.3 に全体像を示す。最内層にある内部飛跡検出器は、solenoid magnet が作り出す磁場によって 曲げられた荷電粒子の飛跡の曲率を観測することで、荷電粒子の運動量を再構成する。その外側にあるカ ロリメータは、電子や光子、ハドロンを検出し、それらのエネルギーを測定する。そして最外層に設置さ れているミューオンスペクトロメータは内側のすべての検出器を透過してきたミューオンを捉え、その運 動量の測定を行う。ミューオンスペクトロメータの詳細については 1.4 節で説明する。

ATLAS 実験では位置や角度を記述するために、検出器中央部から LHC の中心への向きを正とした x軸、上向きを正とした y軸、ビーム軸に沿った z軸からなる直交座標系 (右手系)(x, y, z)を採用している (図 1.4 参照)。z > 0は A-side、z < 0は C-side と呼ばれている。円筒座標系では、ビーム軸からの動径



図 1.3 ATLAS 検出器の全体像 [4]。長さ 44 m、直径 25 m の円筒型検出器であり、内側から順に内 部飛跡検出器、カロリメータ、ミューオンスペクトロメータの 3 つの部分に大きく分けられる。

を R、方位角を  $\phi$  と定義する。また天頂角  $\theta$  を用いて、擬ラピディティ (Pseudorapidity)  $\eta$  を

$$\eta = -\ln\left(\tan\frac{\theta}{2}\right)$$

と定義する。 $\eta$  は各検出器が覆う領域を記述する際に使われる。特に本研究で扱うミューオンシステムで は、 $|\eta| < 1.05$ の円筒の側面に対応する領域をバレル (Barrel) 部、 $|\eta| > 1.05$ の円筒の底面に対応する部 分をエンドキャップ (Endcap) 部と呼ぶ。



図 1.4 ATLAS 検出器の座標系。x 軸は LHC の中心方向を指し、y 軸は地上方向を指すような右手 座標系を採用している。z > 0 を A-side、z < 0 を C-side と呼ぶ。 $\eta$  は各検出器が覆う領域を記述す る際に使われる。

LHC-ATLAS 実験のビームバンチの衝突頻度は 40 MHz と極めて高く、衝突によるすべての信号を記 録することは不可能である。またほとんどの衝突事象は物理解析を行う上で興味が薄い、陽子同士の非 弾性散乱であり、膨大な背景事象から興味がある事象のみを選び出して記録をする必要がある。そこで ATLAS 実験においては、オンラインで事象選別を行うトリガーシステムを導入している。ATLAS のト リガーシステムは、高速で信号処理を行う初段のハードウェアトリガーと、より時間を掛けて精密なトリ ガー判定を行う後段のソフトウェアトリガーから構成されている。

## 1.3 高輝度 LHC-ATLAS 実験に向けたアップグレード計画

2027 年には、標準模型の精密測定や新物理探索を目的として、ビーム輝度をこれまでの約3倍に向上 させた高輝度 LHC が運転開始予定である (図 1.5 参照)。重心衝突エネルギーを 14 TeV まで、瞬間最高 ルミノシティーを 5 ~ 7.5 ×  $10^{34}$  cm<sup>-2</sup>s<sup>-1</sup> まで向上させ、10 年の運転で 3,000 ~ 4,000 fb<sup>-1</sup> の積分ル ミノシティーに到達する予定である。



図 1.5 LHC 加速器の運転とアップグレード計画 [5]。高輝度 LHC の装置実装は 2025 年から、高輝 度 LHC の運転は 2027 年からを予定している。

高輝度 LHC-ATLAS 実験の物理としての主なターゲットとしては、ヒッグスポテンシャルの形の直接 測定に対応するヒッグスボソン対生成事象や、暗黒物質の残存密度から好まれる縮退した超対称性模型等 がある。LHC 加速器の高輝度化によって統計量が増大し、これらの物理に対してより精密な測定を行う ことが可能となる。しかし陽子陽子衝突回数の増加に伴う背景事象の増加に対応し、効率的なデータ収集 を行うためには、検出器自体の大幅なアップグレードも必須となる。具体的に ATLAS 検出器では、内部 飛跡検出器がすべてシリコン検出器に置き換わる他、各検出器のエレクトロニクスの多くが刷新される。



図 1.6 高輝度 LHC-ATLAS 実験の主なターゲットとなる事象における、レプトンの p<sub>T</sub> 閾値とア クセプタンスの関係 [6]。ATLAS 検出器のアップグレードによって横運動量閾値を 50 GeV(アップグ レードが行われないとしたときの予測横運動量閾値) から 20 GeV まで下げることが可能となり、興味 のある事象に対するアクセプタンスの大幅な上昇が見込める。

本研究で扱うミューオントリガーシステムにおいても、一部を除いたすべてのエレクトロニクスの刷新 を行う。このアップグレードにより、背景事象と興味がある事象との判別能力が大幅に上昇する。現行の トリガーシステムのまま LHC 加速器の高輝度化が行われると、現行システムのミューオンの運動量分解 能及び読み出し能力の限界からレプトンの横運動量 (*p*<sub>T</sub>) 閾値を 50 GeV に上げなくてはならないが、ト リガーシステムのアップグレードによって運動量分解能を向上し、読み出し能力を増強することによって *p*<sub>T</sub> 閾値を 20 GeV まで低く抑えられる。このようにトリガー閾値を低く抑えることによって図 1.6 に示 すように、ヒッグス対生成事象や縮退した超対称性模型等の興味のある物理事象に対するアクセプタンス が上昇し、より効率的なデータ収集が可能となる。

### 1.4 LHC-ATLAS 実験における TGC 検出器

ATLAS の検出器群の最も外側に位置するミューオンスペクトロメータは、カロリメータを透過して きたミューオンを捉え、その運動量を測定するための検出器である。Run 2 まで使われていたミューオ ンスペクトロメータには Monitored Drift Tube (MDT), Cathode Strip Chamber (CSC), Resistive Plate Chamber (RPC), 及び Thin Gap Chamber (TGC) の 4 つの検出器が含まれていた。MDT と CSC は位置分解能に優れ、運動量の精密測定の役割を果たす。一方、RPC と TGC は時間分解能に優 れ、事象選別を行うためのトリガー検出器としての役割を果たす。またハドロンカロリメータ (Tile カロ リメータと呼ばれる) の最外層は到達する粒子がほとんどミューオンであるため、ミューオンのトリガー 判定に用いられる。

Run 3 以降では CSC と一部の MDT が、より位置分解能が高い New Small Wheel (NSW) に置き



(a) Large Sector でのミューオン検出器の配置図

(b) Small Sector でのミューオン検出器の配置図

図 1.7 高輝度 LHC-ATLAS 実験でのミューオンスペクトロメータの R-z 平面断面図 [7]。黒文字の 検出器は Run 2 以前から設置されていたもの、緑文字は Run 3 に向けて新設された検出器、赤文字は 高輝度 LHC-ATLAS 実験に向けて新設される検出器である。TGC BW 以外のミューオンスペクト ロメータの各検出器は、Toroid Magnet や支持機構と干渉しないよう、 $\phi$ 方向に Large Sector, Small Sector という 2 種類のセクターに分かれている。TGC BW については Large Sector, Small Sector の区別なく、 $\phi$ 方向に 48 回もしくは 24 回対称になるようにチェンバーが設置されている。TGC BW は 3 つのステーションから構成されており、衝突点に近い側から順に M1, M2, M3 と呼ぶ。

換わる他、RPC BIS78 等の新たな検出器が設置される。また高輝度 LHC-ATLAS 実験に向けては BI RPC 等の新たな検出器が更に設置される。また MDT の情報もトリガーに用いることとなる。

図 1.7 に高輝度 LHC-ATLAS 実験におけるミューオンスペクトロメータの各検出器の配置を示す。 TGC は 1.05 <  $|\eta|$  < 2.4 のエンドキャップ領域をカバーする円盤型の検出器である。TGC は Endcap Toroid Magnet より内側に位置する Endcap Inner (EI) と外側に位置する Big Wheel (BW) に大別さ れる。TGC BW 以外のミューオンスペクトロメータの各検出器は、Toroid Magnet や支持機構と干渉し ないよう、 $\phi$  方向では Large Sector, Small Sector という 2 種類のセクターに分かれている。TGC BW については Large Sector, Small Sector の区別なく、 $\phi$  方向に 48 回もしくは 24 回対称になるようにチェ



図 1.8 TGC のチェンバーとステーションの構造 [4]。図 1.8(a) は TGC チェンバーの断面図であ り、ワイヤーとストリップが直交していることがわかる。図 1.8(b) は Triplet と Doublet ステーショ ンの断面図である。図の左側が Triplet, 右側が Doublet。



図 1.9 TGC 検出器の正面写真 (M1) と 1/12 セクター。赤枠で囲っている部分が 1/12 セクターで ある。1/12 セクターは 4 つのエンドキャップ領域のトリガーセクター、2 つのフォワード領域のトリ ガーセクターから構成される。

ンバーが設置されている。TGC BW は 3 つのステーションから構成されており、衝突点に近い側から 順に M1, M2, M3 と呼ぶ。TGC チェンバーの構造を図 1.8 に示す。TGC はアノードワイヤー間隔が 1.8 mm、ワイヤー直径 50  $\mu$ m、アノードワイヤーとカソードストリップの距離が 1.4 mm である MWPC である。ワイヤーとストリップは直交しており、R 方向 (ワイヤー) と  $\phi$  方向 (ストリップ) の 2 次元読み 出しを行う。ワイヤーには約 2.8 kV の電圧をかけており、ガス層を混合比 55:45 の CO<sub>2</sub>/*n*-C<sub>5</sub>H<sub>12</sub> で満 たしている。TGC のステーションは 3 層あるいは 2 層のガス層を含んでおり、3 層のものを Triplet、2 層のものを Doublet と呼ぶ。BW においては M1 のみが Triplet であり、M2, M3 は Doublet である。 図 1.8(b) に示すように、Triplet には 3 層のワイヤーと 2 層のストリップがあり、Doublet には 2 層のワ イヤーと 2 層のストリップがある。

ガス層を荷電粒子が通過すると荷電粒子のエネルギーの一部がガス分子に与えられ、ガス分子の電離を 起こす。電離した電子は、アノード・カソード間の印加電圧による電場によってアノードワイヤーの方向 に移動し、アノードワイヤー近傍の強い電場によって電子雪崩を発生させる。アノードワイヤーでは電子 雪崩の時に発生した正イオンのドリフトによる電流が、カソードストリップではそれらの鏡像電荷による 電流が検出される。

TGC はトリガー用の検出器であり、検出した粒子がどの陽子バンチ衝突に由来するのかの識別 (Bunch Crossing IDentification; BCID) を行う必要がある。ワイヤーの短いピッチにより電子雪崩が起きるま での時間が短く抑えられ、TGC は BCID を行うために 25 ns のバンチ間隔に対して十分な時間分解能を 持つ。一方 TGC には位置分解能の観点ではそれほどの高い精度は求められていないため、チャンネル 数の調整のためにワイヤー電極を 4 ~ 20 本まとめてから読み出しを行う。TGC は結果としてワイヤー、 ストリップの合計 32 万チャンネルを持つ。

TGC の全 32 万チャンネルを扱い、ヒット情報を読み出すためには多数のトリガー・読み出しエレクト ロノクスが必要となる。具体的には高輝度 LHC-ATLAS 実験における TGC 検出器システム全体では、4 種類のエレクトロニクスを合わせて約 2 万 5000 枚設置する。

BW の外側 (1.05 <  $|\eta|$  < 1.92) はエンドキャップ領域、円盤の内側 (1.92 <  $|\eta|$  < 2.4) はフォワード 領域と呼ばれる。エンドキャップ領域では  $\phi$  方向に 48 回対称になるように、フォワード領域では  $\phi$  方向 に 24 回対称になるようにチェンバーが設置されている。エンドキャップ領域の 1/48、フォワード領域 の 1/24 はトリガー回路的に独立しており、それぞれが"トリガーセクター"と呼ばれる。また電源供給、 ガス供給、電気回路制御、読み出しの観点から BW は  $\phi$  方向に 12 個のセクターに分割される (図 1.9 参 照)。各"1/12 セクター"には x 軸の正の方向から y 軸の正の方向に向かって順に、A-side では A01 か ら A12、C-side では C01 から C12 までの名前が付いている。

### 1.5 本論文の目的・内容と構成

本研究は高輝度 LHC-ATLAS 実験に向けた TGC 検出器エレクトロニクスシステムの刷新を通して、 大規模エレクトロニクスシステムの次世代型オペレーションモデルの研究を行なったものである。TGC 検出器エレクトロニクスシステム (2.2.2 節で詳細は説明する) のような、非常に多数の回路が複雑に接続 されている大規模エレクトロニクスシステムにおいては、クロックの分配や同期、及びそれぞれの回路に 適したパラメータの設定を行うことに困難が伴う。これらの問題を解決し、次世代型オペレーションモデ ルの確立を大幅に進めたという観点から、本研究の重要度は非常に高いと言える。

本論文の構成は以下の通りである。第2章では、高輝度 LHC-ATLAS 実験に向けた TGC 検出器シス テムのアップグレードについて説明し、各エレクトロニクスの役割を紹介する。第3章では、多数の回路 へのクロックの固定位相での分配手法について述べる。第4章では、遠隔でのクロック位相制御方法やク ロック位相測定方法について説明する。第5章では、エレクトロニクスの制御として必要となるすべての 手続きを自動で、かつ高速に行う自律型制御機構について述べる。次に第6章は、高輝度 LHC-ATLAS 実験に向けた TGC 検出器エレクトロニクスシステムの統合試験についてである。第7章では、高輝度 LHC-ATLAS 実験における TGC 検出器エレクトロニクスシステムのオペレーションモデルについて議 論する。最後に第8章での本研究の結論と今後の展望についてまとめる。

# 第2章

# 高輝度 LHC-ATLAS 実験に向けた TGC 検出器システムのアップグレード

## 2.1 高輝度 LHC-ATLAS 実験における TDAQ システム

1.2 節でも述べたように LHC では 25 ns の間隔で陽子バンチ衝突が起こるため、衝突によるすべての 信号を記録することは不可能である。また限られたリソースを最大限有効活用するためには、興味のあ る衝突事象のみを記録する必要がある。ATLAS 実験においてはオンラインで事象選別を行うトリガーシ



<sup>(</sup>a) Level-0 Trigger システムの概要

図 2.1 高輝度 LHC-ATLAS 実験における TDAQ システムの概要 [6]。図 2.1(a) に Level-0 Trigger システムの概要を示す。初段のハードウェアトリガーである Level-0 Trigger は、L0Calo と L0Muon に大別され、最終的なトリガー判定が CTP でなされる。ある事象データが後段に渡されるべきである と判定された場合には、L0A 信号が CTP によって発行される。図 2.1(b) に Event Filter と DAQ シ ステムの概要を示す。FELIX 経由で L0A 信号を受けた各システムは、該当する衝突データを FELIX へ送り、FELIX は受け取ったデータを後段トリガーに渡す。後段トリガーでは Event Filter がソフ トウェアベースのトリガー判定を行い、最後まで残った衝突データが CERN の Permanet Storage に保存される。

<sup>(</sup>b) Event Filter と DAQ システムの概要

ステムを導入しており、正しい物理データを取得するためには、トリガーシステムとデータ取得 (Data AcQuisition; DAQ) システムが連動して機能する必要がある。ATLAS 実験ではトリガーとデータ取得 をまとめて Trigger and Data AcQuisition (TDAQ) システムと呼ぶ。

高輝度 LHC-ATLAS 実験では TDAQ システムのエレクトロニクスを一新し、トリガー性能の向上を 目指す。高輝度 LHC-ATLAS 実験における TDAQ システムの概要を図 2.1 に示す。TDAQ システムは Level-0 Trigger、Event Filter、DAQ システムから構成される。

Level-0 Trigger はハードウェアで構成された初段トリガーである。Level-0 Trigger はカロリメータ による情報を用いてトリガー判定を行う Level-0 カロリメータ (LoCalo) トリガーと、ミューオン検出 器 (RPC, MDT, TGC) による情報を用いる Level-0 ミューオン (LoMuon) トリガーに大別される。こ れらの 2 種類のトリガーで処理された情報は最終的に Central Trigger Processor (CTP) に渡され、 Level-0 トリガー判定がなされる (図 2.1(a) 参照)。ある事象データが後段のトリガーに渡されるべきであ ると判定された場合には、Level-0 Accept (L0A) 信号が CTP によって発行される。Front-End LInk eXchange (FELIX) 経由で L0A 信号を受けた各システムは、該当する衝突データを FELIX へ送り、 FELIX は受け取ったデータを後段トリガーに渡す。後段トリガーでは Event Filter がソフトウェアベー スのトリガー判定を行う。そして最後まで残った、興味のある物理事象を含む衝突データが CERN の Permanet Storage に保存される。

現行の TDAQ システムとの主な違いとして、初段トリガーレートや Permanet Storage への記録レート、トリガー判定に使える時間がある。高輝度 LHC-ATLAS 実験ではより多様な物理にアクセプタンスを持つトリガーシステムを実現するために、初段トリガーレートを 100 kHz から 1 MHz に、Permanet Storage への記録レートを 1 kHz から 10 kHz までに拡張する。また、より洗練されたトリガーアルゴリズムの導入を可能にするために、トリガー判定に使える時間を 2.5 µs から 10 µs まで伸ばす。

本研究では主に L0Muon トリガーの内、Endcap 部をカバーする TGC 検出器システムについて扱う。 2.2 節では TGC 検出器トリガーシステムの詳細について説明する。

### 2.2 TGC 検出器トリガーシステム

本節では、TGC 検出器のエレクトロニクスシステムについて説明する。前節で述べた高輝度 LHC-ATLAS 実験におけるトリガー・読み出し性能の要求を満たすため、TGC 検出器のエレクトロニクスも 高輝度 LHC-ATLAS 実験に向けて一新される。2.2.1 節で現行のトリガーシステムとその限界、2.2.2 節 で高輝度 LHC-ATLAS 実験でのトリガーシステムとその特徴について述べる。

### 2.2.1 現行 (Run 3)のTGC トリガーシステム

現行 (Run 3) の TGC 検出器のトリガーのコンセプトを図 2.2 に示す。1.05 < |η| < 2.4 の領域に対し て TGC は、7 層のコインシデンスによってミューオン候補を検出し、さらにミューオンのヒット点の位 置の情報を用いてその運動量の概算を行い、トリガー判定の入力とする。衝突点で生成されたミューオン が Endcap Toroid Magnet による磁場によって曲げられ、TGC の 3 つのステーションを通過すること によって、各ステーションにおける (*R*, *φ*) の 2 次元の位置情報が得られる。M1, M2 におけるヒット位



図 2.2 現行の TGC BW のトリガーのコンセプト [9]。ミューオンが実際に残したヒット点と、無限 運動量飛跡の M1 及び M2 の交点との位置の差分 (d $R_{13}$ , d $\phi_{13}$ ) 及び (d $R_{23}$ , d $\phi_{23}$ ) を利用してミュー オンの  $p_{\rm T}$  を概算する。

置は、M3 におけるヒット点と衝突点を結んだ無限運動量飛跡と比較される。このように無限運動量飛跡 との比較を行うことによって運動量を概算することが可能である。具体的には M3 でのヒット点を pivot として、ミューオンが実際に残したヒット点と、無限運動量飛跡の M1 及び M2 の交点との位置の差分  $(dR_{13}, d\phi_{13})$ 及び  $(dR_{23}, d\phi_{23})$ を利用してミューオンの  $p_T$ を概算する。この  $p_T$  に対して閾値を設け、 それ以上の  $p_T$ を持つミューオンがある衝突事象を選別する。

図 2.3 に上記のコンセプトを実現する現行 TGC システムにおけるトリガー・読み出し回路系のブ ロック図を示す。信号の流れはトリガーパス (赤線) と読み出しパス (青線) に大別される。ミューオンが TGC に入射すると 1.4 節で述べたように、アナログの電流信号が発生する。アナログ信号は Amplifier-Shaper-Discriminator (ASD) での増幅、整形、波高弁別を経てデジタル信号となり、後段の "PS board" と呼ばれるボードへ送られる。詳細は 2.2.2 節で述べるが、PS board ではミューオンの飛行時間の違い や ASD から PS board に至るケーブルの長さの違いに起因する、チャンネル毎のタイミングの差を ASD 単位で吸収し、信号の発生起源である陽子バンチ交差を同定する (BCID)。この後から信号はトリガーパ スと読み出しパスに分かれる。

トリガーパスは PS board から High- $p_{\rm T}$  (HPT) ボード、Sector Logic (SL) というパスを辿る。PS board によってまずワイヤー (R) とストリップ ( $\phi$ )、それぞれでステーション内コインシデンスが取ら れる。また M2, M3 の間のコインシデンスが取られ (d $R_{23}$ , d $\phi_{23}$ ) が計算される。その後 HPT によっ て M1, M3 間のワイヤーとストリップ、それぞれのコインシデンスが取られ、(d $R_{13}$ , d $\phi_{13}$ ) が計算さ れる。M3 におけるヒット位置及び (d $R_{13}$ , d $\phi_{13}$ ) の情報を受け取った SL ボードによってワイヤー・ス トリップ間コインシデンス、及び Endcap Toroid Magnet より内側の検出器とのコインシデンスが取 られる。SL はミューオンの入射位置、(d $R_{13}$ , d $\phi_{13}$ )を用いて  $p_{\rm T}$ を概算する。入射位置と  $p_{\rm T}$  情報は



図 2.3 現行 TGC システムにおけるトリガー (赤線)・読み出し (青線) 回路系のブロック図 [4]。 TGC 検出器からの信号は ASD によってデジタル信号に変換されてから、ATLAS 実験室内に設置さ れている PS board によって BCID をなされた後、ワイヤー (*R*) とストリップ ( $\phi$ )、それぞれでステー ション内コインシデンスが取られる。また M2, M3 間のコインシデンスも行われる。その後 HPT ボードによって M1, M3 間のワイヤーとストリップ、それぞれのコインシデンスが取られたのち、 ATLAS 回路室内に設置されている SL ボードによってワイヤー・ストリップ間コインシデンス、及 び Endcap Toroid Magnet より内側の検出器とのコインシデンスが取られる。CTP へは MUCTPI を通してミューオンの *p*<sub>T</sub> 情報が渡される。CTP によるトリガー判定を待っている間、衝突データは PS board においてバッファーされ、L1A 信号が発行された場合には SSW, ROD を通して後段へ読 み出しが行われる。

**MU**on-to-**C**entral **T**rigger **P**rocessor **I**nterface (MUCTPI) に送られ、CTP  $\land p_T$  情報が渡される。 CTP によって後段トリガーへ送られるべき事象であると判定された場合には Level-1 Accept (L1A) 信 号が発行される。

読み出しパスは PS board から **S**tar **SW**itch (SSW) ボード、**R**ead**O**ut **D**river (ROD) というパスを 辿る。PS board はトリガー判定を待っている間、バッファーに最大 128 バンチ分のデータを保持する。 L1A を PS board が受け取った時には、そのバンチと前後のバンチによるデータを SSW へ送る。データ は SSW, ROD によってまとめられ (event build と呼ぶ)、さらに後段の **R**ead**O**ut **S**ystem (ROS) へ送 られる。

PS board が L1A を受け取った時には、正しくその L1A に対応するデータの読み出しを行わなくては ならない。このことを可能にするためにトリガーシステムは Fixed Latency scheme を採用している。つ まり、バンチ交差が起こってから PS board に L1A が届くまでの時間 (L1 latency と呼ぶ) が、トリガー ソースとなるサブシステムやイベント中の粒子数などに依存せず、固定の値になるようにデザインされて



図 2.4 現行 TGC システムにおける TTC システムの概要。USA15 は ATLAS 回路室、UX15 は ATLAS 実験室である。TTC 信号は TTC 専用モジュール及び TTC 専用線を用いて、PS board (PSB), HPT, SSW, SL まで伝播される。

いる。この機構により PS board は L1A を受け取った時には、L1 latency だけ前のデータを読み出すこ とで、正しく L1A に対応するデータの読み出しを行うことができる。

ASD, PS board, HPT, SSW は ATLAS 実験室内に設置されており、SL, ROD 以降は ATLAS 回路 室内に設置されている。ATLAS 実験室と ATLAS 回路室は 100 m 程度離れており、HPT から SL 及び SSW から ROD へは ATLAS 実験室と ATLAS 回路室間の限られた帯域幅を用いて、データ送信を行わ なくてはならない。

TGC 検出器システムのトリガーパスについては、Fixed Latency scheme の実現のために LHC と同 期して動作しなければならない。各検出器を LHC と同期させるために用意されたシステムを、Timing, Trigger and Control (TTC) システムと呼び、そのために配布される信号を TTC 信号と呼ぶ。ATLAS では CTP がすべてのサブシステムに TTC 信号を配布する。TTC 信号には 40.079 MHz の LHC バンチ 交差クロックや L1A 信号等が含まれている。図 2.4 に現行 TGC システムでの TTC システムの概要を示 す。CTP はまず各サブシステムにおいて TTC 信号を司る Local Trigger Processor (LTP) モジュール へ TTC 信号を分配する。その後、TTC 信号は TTCvi, TTCex、TTXrx と呼ばれる TTC 専用モジュー ル及び TTC 専用線を用いて PS board, HPT, SSW, SL へ分配される。

現行 TGC システムのままでは高輝度 LHC-ATLAS 実験におけるトリガー・読み出し性能の要求を満 たすことができない。限界は主に PS board 上に設置されているバッファーの大きさ、及び ATLAS 実験 室と ATLAS 回路室間の帯域幅から来ている。現行 PS board 上に設置されているバッファーは最大 128 バンチ分のデータしか保持できないため、高輝度 LHC-ATLAS 実験においてトリガー判定時間として 用意されている 10 µs (400 バンチ)の間データを保持することができない。また 1 MHz の初段トリガー レートに対応して読み出しを行うには、現行システムでの ATLAS 実験室と ATLAS 回路室間の帯域幅は 不十分であり、さらに発展的なトリガーレスでの SL への 40 MHz でのデータ転送を行うには圧倒的に帯 域幅が足りない。

### 2.2.2 高輝度 LHC-ATLAS 実験での TGC トリガーシステム

前節で述べた現行システムの限界を克服するため、高輝度 LHC-ATLAS 実験では TGC 検出器エレク トロニクスシステムのデザインを大きく変更する。高輝度 LHC-ATLAS 実験に向けたアップグレードの コンセプトは、PS board で受け取った TGC 検出器からの信号をヒットの有無にかかわらず (コインシ デンスを取ることなく) 全て SL へ転送する点にある。これは ATLAS 実験室と ATLAS 回路室間の帯域



図 2.5 高輝度 LHC-ATLAS 実験における TGC 検出器システムの概要 [7]。この図では Endcap 片 側の 1/24 分の領域を示している。TGC 検出器からの信号は ASD によってデジタル信号に変換され てから、ATLAS 実験室内に設置されている PS board によって BCID が行われた後、信号の有無に 関わらずすべて SL に転送される。SL 1 枚は Endcap 片側の 1/24 分の領域を担当し、TGC BW, TGC EI, NSW, RPC BIS78, Tile カロリメータの情報を用いてパターンマッチングによりミュー オンの  $p_{\rm T}$  の概算を行う。その後 SL は MDT Trigger Processor ヘミューオン飛跡の情報を送るこ とで、より良い  $p_{\rm T}$  分解能を得る。CTP へは MUCTPI を通してミューオンの入射位置や  $p_{\rm T}$  情報 が渡される。CTP によるトリガー判定を待っている間、衝突データは SL においてバッファーされ、LOA が発行された場合には FELIX を通して後段への読み出しが行われる。TTC 信号は CTP から FELIX を通して各 SL に分配され、PS board へのコントロール信号に乗せられ各 PS board に分配 される。JATHub はデータパスとは独立しており、PS board 上の FPGA のコンフィギュレーション、回復不可能な SEU エラーへの対処、及び PS board 上の LHC バンチ交差クロックの位相のモニ ター等を行う。

幅の大幅な拡張によって可能となったものであり、Run 1 に向けた現行 TGC エレクトロニクスの設計時 には技術的に不可能であったことである。この変更により、CTP が LOA を発行するまで衝突データを 保持しておく LO バッファーは PS board 上ではなく、SL 上に設置されることとなる。また SL は TGC BW 7 層すべてのヒット情報を用いてトリガー判定を行うことができるようになるため、より柔軟かつ包 括的なトリガーアルゴリズムを導入することが可能となる。例として現行システムではトリガーの各ス テップにおいて、出力することができるミューオン候補の数の上限がハードウェアの設計によって固定さ れてしまっているが、高輝度 LHC-ATLAS 実験ではすべてのヒット情報を SL に送るため、情報が削減 されることなく、より包括的に飛跡再構成を行うことができる。具体的には現行システムの PS board の M1 ワイヤー (ストリップ) に対するトリガーロジックでは 1 枚の PS board から最大 3 つ (4 つ) の M1 のヒット点しか、M2, M3 に対するに対するトリガーロジックでは 1 枚の PS board から最大 2 つの M3 のヒット点しか出力できない。さらに、1 枚の HPT からは最大 2 つのミューオン候補しか出力すること ができないといった制限があるが、これらのハードウェアの設計に起因する現行システムの制限は高輝度 LHC-ATLAS 実験における TGC 検出器システムにおいては存在しない。

図 2.5 に高輝度 LHC-ATLAS 実験での TGC 検出器のエレクトロニクスシステムの概要 (Endcap 片 側の 1/24 分の領域) を示す。TGC BW における ASD は現行システムのものをそのまま用いる。一方 Primary ProceSsor board (PS board)、JTAG AssisTance Hub (JATHub), Endcap Sector Logic (SL), 及び EI の ASD はすべて新しく設置されるエレクトロニクスである。以下ではそれぞれのエレク トロニクスとその役割について説明していく。

#### Amplifier-Shaper-Discriminator (ASD) $\vec{\pi} - \vec{F}$

TGC 検出器によるワイヤーとストリップの電流信号はまず TGC のチャンバーに直接取り付けられて







図 2.6 ASD の概要 [10]。図 2.6(a) は ASD ボードの写真。ASD ボード 1 枚あたり 4 枚の ASD チップが載っており、1 枚の ASD ボードでは 16 チャンネル分の検出器信号を処理する。図 2.6(b) は ASD チップの回路ブロック図。ASD チップの回路は電流信号を電圧信号に変換する Preamplifier, 電圧信号を増幅する Main-Amplifier、そして電圧信号を閾値電圧と比較して LVDS 規格のデジタル 信号に変換するコンパレータの 3 段階に大きく分けられる。 いる Amplifier-Shaper-Discriminator (ASD) ボードにて電圧信号に変換された後に増幅され、最終的 には LVDS 規格の差動信号として PS board へ出力される。図 2.6 に ASD の概要を示す。1 枚の ASD ボードには 4 枚の ASD チップが載っており、各 ASD チップが 4 チャンネルを担当するため、1 枚の ASD ボードでは 16 チャンネル分の検出器信号を処理する。ASD チップの回路は前段増幅機 (Preamplifier)、 メインの差動増幅回路 (Main-Amplifier)、コンパレータの 3 段階に大きく分けられる。Preamplifier で は 0.8 V/pC のゲインで電流信号を電圧信号に変換する。その電圧信号は Main-Amplifier にて 7 倍に増 幅され、コンパレータにて PS board から供給される閾値電圧と比較されることによって LVDS 規格の 差動信号として出力される。TGC の全 32 万チャンネルを処理するため、システム全体では ASD ボード はおおよそ 2 万 3000 枚設置される。

### Primary Processor board (PS board)

ASD ボードによって LVDS 規格として出力された検出器信号は次に TGC 検出器上に設置されている、 PS board に入る。PS board には、**P**atch-**P**anel ASIC (PP ASIC) と Xilinx 社製の Kintex-7 FPGA<sup>1</sup>



(a) PS board 最終試作機の写真

(b) PS board のブロック図

図 2.7 PS board の概要。1 枚の PS board には 8 個の PP ASIC (メインボードに 4 個、メザニン ボードに 4 個)が搭載されており、PS board FPGA は 256 チャンネル分の信号を扱う。PP ASIC に おいて BCID がなされた後に、すべての信号をヒットの有無に関わらず高速光通信を用いて SL に転 送する。ASD に閾値電圧を供給する DAC、及び閾値電圧をモニターする ADC は PS board FPGA によって制御される。

<sup>&</sup>lt;sup>1</sup> Field Programmable Gate Array の略。ユーザーがファームウェアを編集することで、自由に内部のデジタル回路を編集 できる集積回路である。

という2種類の集積回路が搭載されており、ASD から送られてきた TGC 検出器からの信号に対して BCID を行なった後、すべての信号をヒットの有無に関わらず SL へ高速光通信を用いて転送する。図 2.7 に PS board 最終試作機の写真とブロック図を示す。1 枚の PS board には 8 個の PP ASIC (メイン ボードに 4 個、メザニンボードに 4 個) が搭載されている。以下では PP ASIC、PS board FPGA の役 割を紹介し、PS board に必要となる機能を整理する。

#### Patch-Panel ASIC (PP ASIC)

ASD ボードからの信号はまず PP ASIC に入る。PP ASIC のブロック図を図 2.8 に示す。1 つの PP ASIC は 2 つの ASD ボードと接続され、合計 32 チャンネルの LVDS 信号を受ける。PP ASIC におい てはトリガーとして最も重要な役割の一つである BCID が行われる。つまり TGC からの信号がどの陽 子バンチ交差に由来するのかを判定する必要があり、これを行うために PP ASIC には可変遅延回路と陽 子バンチ識別回路が搭載されている。

衝突点で生じたミューオンが通過することによる生じる TGC からの信号は、衝突点からのミューオンの飛行時間の違い (45 ~ 64 ns) や、ASD から PP ASIC までのケーブル長の違い (1.8 ~ 12.5 m) により、各 PP ASIC に入ってくるタイミングが最大 26 ns 異なる。この時間のばらつきを調整し、最も信号



図 2.8 PP ASIC の回路ブロック図。Channel A と Channel B はそれぞれ 1 つの ASD ボードに 対応し、1 つの PP ASIC は 32 チャンネルの LVDS 信号を受け取る。PP ASIC には可変遅延回路、 陽子バンチ識別回路が搭載されており、この 2 つの回路を用いて BCID を行う。またチャンネル毎に マスクがかけられるような機能も搭載されている。



図 2.9 ミューオンが TGC に入射してから、検出器から信号が出力されるまでの時間分布 [8]。時間 分布はミューオンが入射する角度に依存して、20 ~ 30 ns 程度の幅を持つ。

の到着時間が遅いチャンネルにすべてのチャンネルの信号のタイミングを合わせるのが可変遅延回路であ る。可変遅延回路では 1 ns 以下の刻み幅で、信号に対して最大 45 ns の遅延をかけることが可能である。 PP ASIC では ASD ボード単位で異なる遅延パラメータを設定することができる。

一方、単一チャンネルの中でも衝突からの信号の到着時間は有限の分布を持つ。主にミューオンの検出 器への入射位置の違い<sup>2</sup>による、イベント毎の検出器中の電子のドリフト時間の違いや ASD までの信号 の伝搬時間の違いに起因して、PP ASIC への信号の到着時間分布は 20 ~ 30 ns 程度の幅を持つ。この時 間分布の幅の違いは、η の違いによるチャンネル毎のミューオンの入射角度の違いに起因するものである (図 2.9 参照)。上記の可変遅延回路では、この到着時間分布の立ち上がりが、最も信号の到着時間が遅い チャンネルの到着時間分布の立ち上がりに一致するように ASD ボード単位で遅延をかける。

可変遅延回路によりタイミングが揃えられた信号は、次に陽子バンチ識別回路に入る。陽子バンチ識別 回路で信号は 40.079 MHz の LHC バンチ交差クロックに同期され、どの陽子バンチ交差由来の信号であ るのかが同定される。陽子バンチ識別回路は検出器からの信号の立ち上がりを検出する。図 2.9 で示し たように信号には到着時間分布の幅があるが、その時間分布幅に入る信号には同じ BCID を付与しなく てはならない。同じ BCID を付与する時間幅を有効ゲート幅と呼び、陽子バンチ識別回路では対象チャ ンネルの信号の到着時間分布幅が 25 ns を超える場合に対応するため、有効ゲート幅は 25 ns を超えて設 定することができる。25 ns を超える到着時間分布幅を持つのは主にストリップによる信号である。有効 ゲート幅が 25 ns を超えるチャンネルにおいて、2 つの有効ゲートが重なる時間に信号が入ってきた場合 には、陽子バンチ識別回路は LHC バンチ交差クロックに同期した 2 バンチ分 (50 ns) の信号を出力し、 それ以外のタイミングの信号に対しては 1 バンチ分 (25 ns) の信号を出力する (図 2.10 参照)。2 バンチ分 の信号が出力されたとしても、7 層コインシデンスをする中で正しい BCID を選択することができるため

<sup>2</sup> 具体的にはワイヤーから最近接一次電子発生点の距離の違い



図 2.10 陽子バンチ識別回路のタイミングチャート [12]。INPUT1 は、有効ゲートが重ならないタ イミングで陽子バンチ識別回路に入力した信号を示し、OUTPUT1 は、INPUT 1 に対応する陽子バ ンチ識別回路の出力信号を示す。INPUT2 は、有効ゲートが重なるタイミングで陽子バンチ識別回路 に入力した信号を示し、OUTPUT2 は、INPUT2 に対応する陽子バンチ識別回路の出力信号を示す。

問題は生じない。

有効ゲート幅は到着時間分布幅を覆うように広げなければならないが、有効ゲート幅を広げすぎてしま うと異なるバンチによる信号を無駄に拾ってしまうだけではなく、陽子バンチ交差のタイミングとは外れ た低エネルギーの中性子や光子に起因する信号が混入してしまう。加えてトリガーのバンチ識別能力の低 下にもつながる。このため、有効ゲート幅は必要最小限の幅に狭めておくことが必要となる。

上記で説明した可変遅延回路と陽子バンチ識別回路は、PS board における LHC バンチ交差クロック によって駆動される。すべてのチャンネルにおける信号のタイミングをできるだけ揃え、陽子バンチ識別 回路における有効ゲートを必要最小限の幅に抑えるためには、すべての PS board における LHC バンチ 交差クロックの位相が十分な精度で一致している必要がある。PS board への LHC バンチ交差クロック 分配、及びクロックの位相測定と位相制御は本研究の主な内容の一つであり、詳細はそれぞれ第3章及び 第4章で議論する。

また PP ASIC には回路系の試験のために ASD に擬似的な検出器信号 (ASD テストパルス) を供給す ることができるテストパルス回路や、ノイズの多いチャンネルの入力を遮断することができるマスク機能 が搭載されている。

#### **PS** board **FPGA**

PP ASIC において BCID され、LHC バンチ交差クロックに同期した信号は次に PS board 上の Kintex-7 FPGA<sup>3</sup>に入る。PS board には 8 個の PP ASIC が搭載されているため、PS board FPGA は 256 チャンネル分の信号を扱う。PS board は 2 万 3000 枚の ASD からの信号を扱うためにシステム全 体で 1,434 枚設置される。PS board FPGA はすべての信号をヒットの有無に関わらず (コインシデンス を取ることなく) すべて SL へ転送する。データ転送は Xilinx 社製の FPGA に搭載されている高速シリ アル通信対応のトランシーバーの 1 種である 7 シリーズ GTX トランシーバーを用いて行われる。転送 レートの要求は 256 チャンネル分のヒット信号とヘッダー (64 bit) を、40 MHz で、8B/10B プロトコル の元で送るので 16 Gbps となる (式 (2.1) 参照)。PS board ではこの転送レートを、それぞれ 8 Gbps で 動く 2 本の光ファイバーを用いることで実現する。

$$\{256 \text{ bit (hit signal)} + 64 \text{ bit (header, control signal read back)}\} \times 40 \text{ MHz} \times 10/8 \text{ (8B/10B encoding)} = 16 \text{ Gbps}$$

$$(2.1)$$

また PS board FPGA は SL からのコントロール信号を 1 本の光ファイバー経由で受け取る。結果と して PS board には合計で 3 本の光ファイバーが接続される (2 本は送信用、1 本は受信用)。コントロー ル信号にはレジスタ制御用の信号等が含まれるが、TTC 信号もこのコントロール信号に乗せられて PS board に分配される。詳細は 3.3 節で述べるが、PS board においてはこのシリアルデータから LHC バ ンチ交差クロックを再構成する必要がある。高輝度 LHC-ATLAS 実験における TGC 検出器システムで は、コントロール信号に乗せて TTC 信号を分配するため、TTC 専用モジュールや TTC 専用線を用い る必要が無くなり、エレクトロニクスシステムの大幅な単純化が実現される。PS board において再構成 された LHC バンチ交差クロックは適切な遅延をかけられてから、FPGA 外のジッタークリーナー<sup>4</sup>を通 り、FPGA や GTX トランシーバー、PP ASIC に供給される。

ASD に閾値電圧を供給する **D**igital to **A**nalog **C**onvertor (DAC)、及び閾値電圧をモニターする **A**nalog to **D**igital **C**onvertor (ADC) も PS board FPGA によって制御される。

FPGA 上にデジタル回路を構成するためには、FPGA の Static Random Access Memory (SRAM) を適切にプログラムする (このことを FPGA のコンフィギュレーションと呼ぶ) 必要がある。SRAM は 揮発性のメモリであり、FPGA の電源を入れ直したり、異なるデジタル回路を構成したりする時には毎回 SRAM をプログラムし直す必要がある。PS board においては FPGA のデジタル回路を記述したファー ムウェアを、PS board 上の不揮発性メモリである QSPI フラッシュメモリに保存する。FPGA は電源を 入れられた時や、再コンフィギュレーションを指示された時には、QSPI フラッシュメモリ内のファーム ウェアを自動的に読み込みデジタル回路を構成する。この時に FPGA 内のレジスタの値や SL との通信 上下線は初期状態に戻る。しかし、それぞれの PS board には LHC バンチ交差クロックに対する遅延パ ラメータ等の、ボード毎に異なるパラメータが多数存在する。またクロックの再構成や通信上下線の再確 立等もボード毎に行う必要がある。この点について、本研究ではエレクトロニクスの制御として必要とな るすべての手続きを自動で、かつ高速に行う自律型制御機構の開発に取り組んでおり、詳細を第5章で議

<sup>&</sup>lt;sup>3</sup>型番:XC7K325T-2FFG900C

<sup>4</sup> 安定した電圧制御発振器を用いてクロック信号からノイズの除去を行う素子



図 2.11 PS board と JATHub の設置予定位置。PS board は TGC 検出器上に設置されている PS-pack の中に、JATHub は TGC 検出器の端に設置されている Mini-Rack 内の VME クレートに 置かれる予定である。1/12 セクターにつき、4 つの PS-pack (M1 からの信号を扱う PS board 用が 2 つと、M2, M3 からの信号を扱う PS board 用が 2 つ) と 1 つの Mini-Rack が設置されている。

論する。

PS board は検出器上の PS-pack 内に収められる (図 2.11 参照)。TGC は ATLAS 検出器の最外層に 設置されている上、PS-pack はビーム軸からは離れて設置されているため、PS board が受ける放射線 損傷はそれほど大きくない<sup>5</sup>。しかし FPGA や素子が受ける放射線損傷の中にはデータ収集上、致命的 なエラーを引き起こすものがある。放射線損傷には半永久的損傷を起こしうる、電離作用による Total Ionizing Dose Effect (TID) や、Non Ionizing Energy Loss (NIEL) による弾き出し損傷効果、及びソ フトエラーである、メモリのビットが反転してしまう Single Event Upset (SEU) の3 種類が考えられ る。PS board 上の素子は、TID と NIEL に対しては高輝度 LHC-ATLAS 実験における放射線環境に耐 える素子の選定及び試験を行っている。一方、SEU には修復可能なものと修復不可能なものが存在する。 FPGA の SRAM に SEU が生じた場合、FPGA が設計通りに動かなくなる (具体的には SL とのリンク が切れてしまうこと等) 可能性があるため、FPGA における SEU の対処を行う必要がある。PS board FPGA には修復可能な SEU (1 ビットエラーおよび隣接する 2 ビットエラー) を自動的に修復する Soft Error Mitigation Controller (SEM) が実装される。また修復不可能な SEU (隣接しない 2 ビットエラー 及び 3 ビット以上のエラー) に対しては FPGA の再コンフィギュレーションを行う必要があり、自動的 な再コンフィギュレーションを実現する機能を有する、次に述べる JATHub が新設される。

<sup>&</sup>lt;sup>5</sup> 積分ルミノシティー 4000 fb<sup>-1</sup> で TID は 6 Gy、NIEL は 1 MeV neutron equivalent flux に換算して 1.5 × 10<sup>11</sup> n/cm<sup>2</sup> が予想されている [7]

### JTAG Assistace Hub (JATHub)

JATHub はデータパスとは独立した、PS board 用の制御回路である。概要を図 2.12 に示す。PS board FPGA に修復不可能な SEU が発生した場合に救難要請の信号を PS board から受け取り、再コンフィギュレーション信号を PS board に送る役割を果たす他、PS board 上の LHC バンチ交差クロックの位相の測定や、PS board QSPI フラッシュメモリへのファームウェアの書き込み、PS board FPGA のデバッグを行う。JATHub は CPU と FPGA を統合した System-on-a-Chip (SoC) デバイスである Xilinx 社製の Zynq-7000<sup>6</sup>を搭載しており、SFP+<sup>7</sup>経由で ATLAS 回路室とのイーサネット通信を行う。また図 2.11 に示すように、JATHub は TGC 検出器の端に設置されている Mini-Rack 内の VME クレートに設置されるため、VME マスターからの VME 通信が可能になっている。

JATHub 1 枚は最大 11 枚の PS board と、RJ45 multi-jack に接続したそれぞれ 2 本の Cat 6 ケーブ ルによって接続される。1 本の Cat 6 ケーブルは PS board QSPI フラッシュメモリへのファームウェ アの書き込みや PS board FPGA のデバッグを行う JTAG パスである。もう 1 本は PS board FPGA に修復不可能な SEU が発生した場合に再コンフィギュレーション信号を PS board に送るパスや、PS



図 2.12 JATHub の概要。JATHub には CPU と FPGA を統合した SoC デバイスである Zynq-7000 が搭載されている。JATHub は PS board 用の制御回路であり、PS board の再コンフィギュ レーション信号を送る他、PS board 上の LHC バンチ交差クロックの位相の測定や、PS board FPGA のデバッグを RJ45 multi-jack に接続した Cat 6 ケーブル経由で行う。JATHub における修復不可能な SEU に対応するために、隣接する JATHub とも Cat 6 ケーブルで接続される。また冗長性を持たせたブートのために、QSPI フラッシュメモリ及び 2 枚の SD カードにブートファイルを納めてお く。JATHub は TGC 検出器の端に設置されている Mini-Rack 内の VME クレートに設置されるた め、VME マスターからの VME 通信が可能になっている。ATLAS 回路室とのイーサネット通信を行うための SFP+ も搭載されている。

<sup>&</sup>lt;sup>6</sup> 型番: XC7Z045-2FFG900I

<sup>7</sup> 電気信号と光信号を相互に変換する光モジュールの一種

board の GTX トランシーバーヘリセット信号を送るパス、PS board 上の LHC バンチ交差クロックを JATHub へ送るパスとして使われるため Recovery / Monitor パスと呼ばれる。

JATHub も ATLAS 実験室内に設置されるため、放射線損傷に対する対策が必要となる。PS board と 同様に、TID と NIEL に対しては高輝度 LHC-ATLAS 実験における放射線環境に耐える素子の選定及び 試験を行っており、FPGA 内の修復可能な SEU に対しては SEM で対処する。一方、修復不可能な SEU に対しては、隣の JATHub に救難要請の信号を送り、隣の JATHub から再コンフィギュレーション信号 を受信することによって回復する。

これまで説明してきた ASD、PS board、JATHub は ATLAS 実験室内に設置されるため、フロントエ ンドエレクトロニクスと呼ばれる。一方、これから説明する SL は ATLAS 回路室内に設置されるため、 バックエンドエレクトロニクスと呼ばれる。



(a) SL 第一試作機の写真



(b) Zynq MPSoC が SL 上にマウントされている様子

図 2.13 SL の概要。SL は ATCA 規格のボードである。SL 1 枚は Endcap 片側の 1/24 の領域を 担当し、TGC, NSW, RPC BIS78, Tile カロリメータからの情報を用いて飛跡再構成、 $p_{\rm T}$  の計算を 行う。SL には制御用に Zynq MPSoC メザニンが、ATCA shelf manager とのやり取りやボードの モニター用に CERN IPMC がマウントされる。

### Sector Logic (SL)

SL は PS board からくる TGC のヒット情報と、磁場領域よりも内側の検出器である NSW, RPC BIS78, Tile カロリメータから受信した情報を用いる飛跡再構成、 $p_{\rm T}$  の概算、及び飛跡情報の読み出し を行う役割を担っている。SL 1 枚は Endcap 片側の 1/24 の領域からの信号をすべて受け取るため、シ ステム全体で SL は 48 枚設置される。SL の概要を図 2.13 に示す。SL 1 枚は、TGC からは 31 枚の PS



図 2.14 SL におけるトリガーロジックの概要 [13]。1 枚の SL はエンドキャップ領域のトリガーセ クター 2 つ、フォワード領域のトリガーセクター 1 つの計 3 つのトリガーセクターから TGC BW のヒット情報を受け取る。TGC BW から受信した全 7 層のヒットデータを用いて、ワイヤー、スト リップでそれぞれ独立にパターンマッチングによって飛跡再構成が行われ、飛跡の位置 ( $\eta$ ,  $\phi$ ) と角度 情報 ( $\Delta \theta$ ,  $\Delta \phi$ ) が計算される。飛跡の位置・角度情報はその後、ワイヤー・ストリップコインシデン スに送られ、飛跡の角度情報 ( $\Delta \theta$ ,  $\Delta \phi$ ) を用いた Coincidence Window によって飛跡の  $p_{\rm T}$  が概算さ れる。パターンマッチングとワイヤー・ストリップコインシデンスで得られた飛跡の情報は、磁場領 域より内側の検出器で測定した精密な位置・角度情報と組み合わされることによって、より詳細な  $p_{\rm T}$ の計算が行われる

board (29枚はBW、2枚はEI)を経て約6,500チャンネル分の信号を受け取る。

SL におけるトリガーロジックの概要を図 2.14 に示す。TGC BW から受信した全 7 層のヒットデー タを用いて、ワイヤー、ストリップでそれぞれ独立にパターンマッチングによって飛跡再構成が行われ、 飛跡の位置 ( $\eta$ ,  $\phi$ ) と角度情報 ( $\Delta \theta$ ,  $\Delta \phi$ ) が計算される (図 2.15 参照)。パターンマッチングアルゴリズム では TGC BW のヒット情報と飛跡情報を対応させたパターンリスト (Look-Up-Table と呼ばれる) を予 め作成することで、複雑な計算を必要とせずに高速な飛跡再構成を行うことができる。飛跡の位置・角 度情報はその後、ワイヤー・ストリップコインシデンスに送られ、飛跡の角度情報 ( $\Delta \theta$ ,  $\Delta \phi$ ) を用いた Coincidence Window によって飛跡の  $p_{\rm T}$  が概算される (図 2.16 参照)。パターンマッチングとワイヤー・ ストリップコインシデンスで得られた飛跡の情報は、磁場領域より内側の検出器で測定した精密な位置・



図 2.15 パターンとして保持する飛跡の情報 [14]。赤い線はパターンマッチングアルゴリズムによっ て再構成される飛跡を示している。黒い点線は衝突点と M3 における飛跡の位置を結ぶ直線を表して いる。位置情報として再構成した飛跡と M3 の交点、及び角度情報として再構成した飛跡の黒い点線 からの角度を保存する。

角度情報と組み合わされることによって、より詳細な  $p_{\rm T}$ の計算が行われる。磁場内部の検出器に対して ヒットを要求することによって衝突点由来ではない、主にビームパイプ由来の荷電ハドロンによる偽のト リガー信号を削減することができる。さらに SL は、精密に飛跡を再構成することができる MDT からの 情報を扱う **MDT T**rigger **P**rocessor (MDT TP) ヘミューオンの飛跡候補を送り、位置分解能に優れた MDT からの情報による、より精密な  $p_{\rm T}$  を受け取ることで、より高い  $p_{\rm T}$  分解能でミューオン候補の判 定を行う。最終的に計算された飛跡情報は **MU**on-to-**C**entral **T**rigger **P**rocessor Interface (MUCTPI) 経由で CTP に送られ、トリガー判定がなされる。トリガー判定を待っている間、ヒット情報は SL 上の



図 2.16 SL における Coincidence Window の概要 [14]。パターンマッチングによって求められた 飛跡の角度情報 ( $\Delta \theta$ ,  $\Delta \phi$ ) を用いた Coincidence Window によって飛跡の  $p_{\rm T}$  が概算される。
L0 バッファーに保持され、SL が FELIX 経由で L0A を受け取った場合には、FELIX 経由で後段に渡される。

SL には上記のトリガー処理を行うための、Xilinx 社製の大規模 FPGA である Virtex UltraScale+ FPGA<sup>8</sup> (メイン FPGA と呼ぶ) が搭載されている。各検出器への/からのデータ送受信は Xilinx 社製 の FPGA に搭載されている高速シリアル通信対応のトランシーバーの 1 種である UltraScale+ GTY トランシーバーを用いて行われる。また、メイン FPGA や各素子の制御のための Enclustra 社製メザ ニンカード (Mercury XU5) がマウントされる (図 2.13(b) 参照)。メザニンカードには Xilinx 社製の Zynq UltraScale+ MultiProcessor System-on-a-Chip<sup>9</sup> (MPSoC) が搭載されている。さらに、SL は Advanced Telecommunications Computing Architecture (ATCA) 規格のボードであり、ATCA shelf manager とのやり取りやボードのモニター用に、CERN が開発した Intelligent Platform Management Controller (IPMC) がマウントされる。

SL は CTP から FELIX 経由で TTC 信号を受け取り、各 PS board に TTC 信号を分配する。また、 PS board のレジスタ制御等のコントロールも担当する。

このように高輝度 LHC-ATLAS 実験の TGC 検出器システムにおいては、非常に多数のエレクトロニ クスが用いられており、エレクトロニクス毎の試験だけではシステム全体の動作試験にはならない。本研 究では ASD, PS board, JATHub, SL を用いた TGC 検出器エレクトロニクスの統合試験に取り組んで おり第6章で説明する。また、それぞれのエレクトロニクスにもたらす機能や、システム全体のブートや 回復のシークエンスのデザインについて第7章で詳細を議論する。

# 第3章

# FPGA 間の固定位相でのクロック分配・ 固定時間でのデータ転送

# 3.1 TGC 検出器システムにおけるクロック分配及びデータ転送

2.2.2 節で述べたように、高輝度 LHC-ATLAS 実験における TGC 検出器エレクトロニクスシステム においては、1 枚の SL から 31 枚の PS board ヘ光リンク経由でコントロール信号に乗せて、TTC 信号 の一種である 40.079 MHz の LHC バンチ交差クロックを分配する。また、ただ単にクロックを分配する のではなく、PS board における BCID の観点から"固定位相でのクロック分配"を実現する必要がある。 固定位相でのクロック分配とは、SL や PS board のリセットや再コンフィギュレーションに伴って、PS board において再構成されるクロックの位相が変化しない分配の仕方を意味する。図 2.10 に示したよう に、PP ASIC へ分配された LHC バンチ交差クロックの位相と、TGC からのヒットを PP ASIC で受 けるタイミングの関係が割り振られる BCID を決定する。このため、SL や PS board のリセットや再 コンフィギュレーションに伴って PS board におけるクロックの位相が変化するクロック分配を行うと、 クロックの位相とヒットのタイミングの関係がリセットや再コンフィギュレーション毎に変化し、適切 な BCID が実行できない。またこの観点から、クロック分配系の上流に対応する CTP, LTI<sup>10</sup>間や、LTI, FELIX 間、及び FELIX, SL 間 (図 3.1 参照) も固定位相でのクロック分配がなされなければならない。 この章では特に SL, PS board 間のクロック分配について説明していくが、この技術は任意の FPGA を 搭載したボード間のクロック分配に応用できるものとなっている。

また、データの転送に関しても特殊な対処が必要となる。2.2.1 節で述べたのと同様に、L0 Trigger シ ステムは Fixed Latency scheme を採用している。Fixed Latency scheme の実現のためには、各エレク トロニクス内での信号処理の時間が一定であることのみならず、エレクトロニクス間のデータ転送も固 定の時間で行わなければならない。この章では特に PS board, SL 間の固定時間でのデータ転送について 説明していくが、この技術は任意の FPGA を搭載したボード間のデータ転送に応用できるものとなって いる。

SL はデータの送受信に UltraScale+ GTY トランシーバーを、PS board はデータの送受信に 7 シリー

<sup>&</sup>lt;sup>10</sup> Local Trigger Interface の略。CTP, FELIX 間のインターフェースを提供すると共に、各サブシステム単独の試験を行う 時にはクロックのマスターとなる。





図 3.1 高輝度 LHC-ATLAS 実験におけるクロック分配系の概要。CTP は LHC 加速器からバン チ交差に同期したクロックを受け、最大 8 枚の LTI に分配する。LTI は最大 256 枚の FELIX I/O card にクロックを分配し、FELIX I/O card は最大 48 枚の検出器エレクトロニクスにクロックを分 配する。

ズ GTX トランシーバーを用いているが、GTY/GTX トランシーバーの主な違いは最大ラインレート<sup>11</sup> のみであり、クロック分配・データ転送に対して技術的な違いは存在しない。今後、この 2 つのトラン シーバーをまとめて GT トランシーバーと呼ぶ。

# 3.2 GT トランシーバーを用いたクロック分配・データ送受信

TGC 検出器システムで採用する 8B/10B プロトコルでは、データにクロック信号を乗せてクロックを 分配するため、クロック分配とデータの送受信は切り離せない関係にある。8B/10B 符号化は IBM 社が 開発した高速シリアル通信で用いられるデータ転送方法である [15]。入力されたパラレルデータは 8 bit ごとに分解され、8B/10B 変換表を用いて 10 bit に変換される。このビット変換には決まった法則がな く、あらかじめ決められた変換表に基づいた変換が行われる。8B/10B 符号化により "0" と "1" が 5 ビッ ト以上続かないように変換され、レシーバ側におけるクロックの再構成が容易になる。クロックの再構成 については 3.3 節において詳しく述べる。

GT トランシーバーの概念図について図 3.2 に示す。GT トランシーバーは Phase Locked Loop (PLL)を用いて基準クロック (REFCLK)から周波数の高いクロック (TX 側では TX PLLCLK、RX 側 では RX PLLCLK と呼ぶ)を生成し、生成したクロックを用いてシリアル通信を行う。以下でトランス ミッター (TX)部分とレシーバ (RX)部分でのクロック・データの処理について説明する。この節では、 固定位相でのクロック分配・固定時間でのデータ転送の実現のためには使用しないブロックについても説 明する。

<sup>&</sup>lt;sup>11</sup> Virtex UltraScale+上の GTY トランシーバーは最大 32.75 Gbps、Kintex-7上の GTX トランシーバーは最大 12.5 Gbps



図 3.2 GT トランシーバーの概念図。GT トランシーバーは PLL を用いて基準クロック (TX 側で は TX REFCLK、RX 側では RX REFCLK) から周波数の高いクロック (TX 側では TX PLLCLK、 RX 側では RX PLLCLK) を生成し、生成したクロックを用いてシリアル通信を行う。TX 内でパラ レルデータをシリアルデータに変換することで送信し、RX 内で受信したシリアルデータをパラレル データに変換する。また RX からは再構成されたクロック (RXOUTCLK) が出力される。

#### GT transceiver TX

図 3.3 に GT トランシーバーのデータ送信部分 (TX) のブロック図を示す。以下ではまず GT トラン シーバー TX におけるクロックドメインを説明した後に、それぞれのクロックドメインに属する各ブロッ クについて説明する。

TX 側には 4 つのクロックドメインが定義されている (以下のクロック名は図 3.3 及び参考文献 [16] に 倣っている)。ユーザーロジック内でパラレルデータを扱うための FPGA TX Parallel Clock (TXUS-RCLK2)、トランシーバー内でパラレルデータを扱うための TX PCS Parallel Clock (TXUSRCLK)、 パラレルデータをシリアルデータに変換するブロックにデータを入力するための TX PMA Parallel Clock (TX XCLK)、シリアルデータの送信に用いられる TX シリアルクロックの 4 つである。一般的 に TXUSRCLK2 と TXUSRCLK は同一のクロックから生成されるものであり、位相関係は変化しな い。このため、TXUSRCLK2 と TXUSRCLK の境界部分に対しては特別な対処は必要なく、以下では TXUSRCLK2 と TXUSRCLK の境界部分については述べない。

- TXUSRCLK2 によって動作するブロック
  - FPGA TX interface
    - この部分では送信したいデータをパラレルデータのまま TX interface に渡す。TX interface への入力データ幅は、8B/10B 変換を用いる場合、16 bit, 32 bit, 64 bit の中か ら選択することができる。必要な転送レートから、FPGA の性能に合わせた入力データ 幅と TXUSRCLK2 の周波数設定を行う。
- TXUSRCLK によって動作するブロック



図 3.3 GT トランシーバーのデータ送信部分 (TX) のブロック図 [16]。TX には 8B/10B Encoder、 Phase Adjust FIFO、PISO 等のデータ送信に必要となる機能が揃っている。赤線が PS board, SL の TX 部分に実装されたデータの送信パスである。

- 8B/10B Encoder

入力されたパラレルデータは 8 bit ごとに分解され、8B/10B 変換表を用いて 10 bit に 変換される (例えばデータ幅が 32 bit ならば 40 bit に変換される)。8B/10B Encoder は TX Physical Coding Sublayer (TX PCS) というデータの符号化を行う部分で働く。

- TXUSRCLK と TX XCLK の境界
  - Phase Adjust FIFO<sup>12</sup>

データのシリアル化を行う際には、シリアルデータを送信するために用いられるシ リアルクロックと位相の調整が行なわれているクロックを用いる必要がある。そこ で TXUSRCLK と同じ周波数の TX XCLK というクロックを用いる。TX XCLK と TXUSRCLK の 2 つのクロックの位相の関係は何もしなければ定まっていない。通常の 場合、2 つのクロック間での位相・周波数の関係が一定でなければ、FIFO 構造を用いて データの受け渡しを行う必要がある。そのために Phase Adjust FIFO を用いる。本研究 の実装における TXUSRCLK と TX XCLK の関係については 3.4 節で述べる。

- TX XCLK と TX シリアルクロックの境界
  - Parallel In Serial Out (PISO)

Parallel In Serial Out (PISO) はパラレルで入力されたデータをシリアルに変換して データを送信するブロックである。TX XCLK に同期して入力されたパラレルデータ は、TX シリアルクロックに乗せられて送信される。PISO は TX Physical Medium

<sup>&</sup>lt;sup>12</sup> First In, First Out の略。先に入ってきたものを順に出力するための機構であり、出入りの順序は保存される

Attachment (TX PMA) というデータのパラレル・シリアル変換を行う部分で働く。

#### GT transceiver RX

図 3.4 に GT トランシーバーのデータ受信部分 (RX) のブロック図を示す。以下ではまず GT トラン シーバー RX におけるクロックドメインを説明した後に、それぞれのクロックドメインに属する各ブロッ クについて説明する。

RX 側には 4 つのクロックドメインが定義されている (以下のクロック名は図 3.4 及び参考文献 [16] に 倣っている)。シリアルデータの受信に用いられる RX シリアルクロック、シリアルデータをパラレルデー タに変換する RX PMA Parallel Clock (RX XCLK)、トランシーバー内でパラレルデータを扱うため の RX PCS Parallel Clock (RXUSRCLK)、ユーザーロジック内でパラレルデータを扱うための FPGA RX Parallel Clock (RXUSRCLK2) の 4 つである。一般的に RXUSRCLK と RXUSRCLK2 は同一の クロックから生成されるものであり、位相関係は変化しない。このため、RXUSRCLK と RXUSRCLK2 の境界部分に対しては特別な対処は必要なく、以下では RXUSRCLK と RXUSRCLK2 の境界部分につ いては述べない。

- RX シリアルクロックによって動作するブロック
  - RX Clock Data Recovery (RX CDR)

RX Clock Data Recovery (RX CDR) では受信したデータから、クロックを抽出する。 受信したデータを、RX PLLCLK を基準としてデータサンプリング・エッジサンプリン グをすることで TX で用いていたシリアルクロックを RX シリアルクロックとして再構 成する。RX CDR はデータの復号化を行う RX PMA 部分で働く。



図 3.4 GT トランシーバーのデータ受信部分 (RX) のブロック図 [16]。RX には CDR, SIPO, Comma Detect and Align, 8B/10B Decoder, RX Elastic Buffer 等のデータ受信に必要となる機能 が揃っている。赤線が PS board, SL の RX 部分に実装されたデータの受信パスである (なお Comma Align 機能は無効にしている)。また Comma の手動でのアラインのための機能として RXSLIDE と 呼ばれる信号が備わっている。

- RX シリアルクロックと RX XCLK の境界
  - Serial In Parallel Out (SIPO)

Serial In Parallel Out (SIPO) では RX シリアルクロックと RX XCLK を用いて、シリ アルで入力されたデータをパラレルに変換する。SIPO は RX PMA 部分で働く。本研究 の実装における RX シリアルクロックと RX XCLK の関係について 3.4 節で述べる。

• RX XCLK によって動作されるブロック

– Comma Detect and Align

Comma Detect ロジックは受信したパラレルデータの中から Comma という特別なデー タパターン (10 bit) を探す。この Comma がどのようなパターンであるのかは、TX と RX で同じ認識を持つ必要がある。Comma を見つけると、SIPO から出力されるパラレ ルデータの下位 10 bit に Comma が来るように Comma Align ロジックによってデータ がシフトされる。Comma Detect and Align ロジックは RX PCA 部分で働く。

- 8B/10B Decoder

Comma Detect and Align ブロックによって正しくアラインされたデータは、8B/10B Encoder と同じ対応表を逆に用いて、10 bit のデータを 8 bit に戻す。この部分では PCS パラレルクロック (RXUSRCLK) を用いる。8B/10B Decoder ブロックは RX PCA 部 分で働く。

- RX XCLK と RXUSRCLK の境界
  - RX Elastic Buffer

このバッファーは 8B/10B Decoder までで用いられた RX XCLK と後段で用いられる RXUSRCLK の位相差を吸収する部分である。TX 部分の Phase Adjust FIFO と同じ役 割を果たす。本研究の実装における RX XCLK と RXUSRCLK の関係について 3.4 節で 述べる。

- RXUSRCLK2 によって動作されるブロック
  - FPGA RX interface

RX パラレルデータをユーザーロジック内で扱うために、データは RXUSRCLK2 という クロックに乗せられる。これによりデータの送受信が完了する。

# 3.3 GT トランシーバー RX におけるクロックの再構成

この節では RX CDR におけるクロックの再構成について詳しく説明する。RX CDR においては、RX REFCLK を PLL で逓倍することで生成した RX PLLCLK を基準として、入ってくるシリアルデータ と同期する RX シリアルクロックを構成する。RX PLLCLK は、周波数がラインレートの半分 (ライン レートが 8 Gbps の時、RX PLLCLK の周波数が 4 GHz) となるように生成される。図 3.5 に CDR に おけるクロックの再構成の概要図を示す。RX CDR の中のエッジサンプリングにおいて、RX シリアル データ中の "0" から "1"、もしくは "1" から "0" と変化する時間 (エッジ) を検出する。そして RX CDR 中のデータサンプリングにおいて、エッジの検出位置から求めたデータビットの中心の位置 (図 3.5 にお



図 3.5 CDR におけるクロック再構成の概要図 [16]。RX CDR の中のエッジサンプリングにおい て、RX シリアルデータ中のエッジを検出する。そして RX CDR 中のデータサンプリングにおいて、 エッジの検出位置から求めたデータビットの中心の位置 (D<sub>0</sub>, D<sub>1</sub>) に立ち上がり、もしくは立ち下がり が同期されるように、RX PLLCLK の位相及び周波数が微調整され、シリアルデータと同期する RX シリアルクロックが構成される。この時に、どのように RX シリアルクロックが生成されるかに依存 して、1 UI だけ位相が異なる 2 種類のクロックが再構成されうる (Clock 1, Clock 2)。

ける D<sub>0</sub>, D<sub>1</sub>) に立ち上がり、もしくは立ち下がりが同期されるように、RX PLLCLK の位相及び周波数 が微調整され、シリアルデータと同期する RX シリアルクロックが構成される。この時に、どのように RX シリアルクロックが生成されるかに依存して、1 UI<sup>13</sup>だけ位相が異なる 2 種類のクロックが再構成さ れうる (図 3.5 における Clock 1, Clock 2)。クロックが安定して再構成されるためには、エッジサンプリ ングにおいて高い頻度でエッジが検出されなければならない。8B/10B 符号化は、高頻度でのエッジの出 現を保証するためにデータに対して行われる変換である。この再構成で生成されるクロックの位相は (上 で説明した 1 UI の違いを除いて)、TX と RX 間の物理的な伝播遅延 (e.g. ファイバー長) のみによって 決まり、不定性を持たず一意に決まる。そのためトランシーバーのリセットや、パワーサイクルに対して 再現性を持った位相で RX シリアルクロックは再構成される。

### 3.4 固定位相でのクロック分配・固定時間でのデータ転送の実現

TGC 検出器システムにおいて重要となるのは、40 MHz の LHC バンチ交差クロックの分配であり、 SL と PS board 間に対する"固定位相でのクロック分配"とは SL における 40 MHz クロックの位相と PS board において再構成される 40 MHz クロックの位相が固定された関係にあることを意味する。以下 では各クロックの周波数は SL、PS board 間の通信に必要となるものとして記述するが、任意の (GT ト ランシーバーが対応した) 周波数に応用可能である。

SL と PS board 間の 1 本のファイバーのラインレートは 2.2.2 節で説明したように 8 Gbps で

<sup>&</sup>lt;sup>13</sup> Unit Interval の略、シリアル通信におけるデータ1ビットの幅 (ラインレートが 8 Gbps の時、1 UI=125 ps)

ある。以下では 1 本のファイバーに注目して説明を行う。FPGA 内部ではパラレルデータとして 32 bit データ (この単位をワードと呼ぶ) を用いる。40 MHz の頻度で 5 ワード (160 bit) を送信する (32 bit × 5 × 40 MHz × (10/8) = 8 Gbps) ことが可能となるように、32 bit のパラレルデータが同 期されている TXUSRCLK2, RXUSRCLK2 は 200 MHz の周波数となる。TXUSRCLK, TX XCLK, RXUSRCLK, RX XCLK も 200 MHz の周波数を持つ。一方、TX PLLCLK、TX シリアルクロック、 RX PLLCLK、RX シリアルクロックはラインレートから 4 GHz の周波数となる。

固定位相でのクロック分配・固定時間でのデータ転送を実現するためには、3.3 節で述べた GT トラン シーバーの TX, RX の両方に対して工夫を施す必要がある。まず TX 側に必要となる対処を説明する。

TX におけるクロックパスを図 3.6 に示す。図 3.6 において色をつけた矢印が、PS board, SL にお いて実装した TX 側のクロックパスである。赤線が 4 GHz、青線が 200 MHz のクロックに対応する。 TX では送るパラレルデータをシリアルデータに変換するために TXREFCLK を PLL で逓倍した TX PLLCLK を用いるが、図 3.6 における QPLLCLK がこれに対応する。一方、図 3.6 中の QPLLREFCLK が TXREFCLK に対応する。TXREFCLK はそのまま GT トランシーバー TX から TXOUTCLK とし



図 3.6 TX におけるクロックパスのブロック図 [16]。色をつけた矢印が、PS board, SL におい て実装したクロックパスである。赤線が 4 GHz、青線が 200 MHz のクロックに対応する。図中の QPLLCLK が文中の TX PLLCLK に、図中の QPLLREFCLK が文中の TXREFCLK に対応す る。TXREFCLK はそのまま GT トランシーバー TX から TXOUTCLK として出力される。TX PLLCLK は TX シリアルクロックとして、TXREFCLK は TX パラレルクロックとして PISO に供 給される。

て出力される。

図 3.3 に示したように TX 側には、TX XCLK, TXUSRCLK という位相関係が一定ではない 2 つのク ロックドメインがあり、TX XCLK, TXUSRCLK の位相差を吸収するために Phase Adjust FIFO が備 わっている。クロックの位相関係が変化した時には、Phase Adjustment FIFO によるデータの受け渡し にかかる時間は変化するため、まず前提として TX XCLK と TXUSRCLK の位相関係を固定させる必 要がある。しかし、TX XCLK と TXUSRCLK の位相関係が固定されていたとしても、Phase Adjust FIFO による位相吸収の仕方には任意性があるため、さらに Phase Adjustment FIFO をバイパスするこ とが必要となる。そこで、TX XCLK を TXOUTCLK から生成し、TXUSRCLK, TXUSRCLK2 とし て TXOUTCLK をそのまま用いることで、TXCLK, TXUSRCLK の位相関係を固定し、Phase Adjust FIFO をバイパスするという実装を行うことで固定時間でのデータ送信を実現した。

次に RX 側に必要となる対処を説明する。RX におけるクロックパスを図 3.7 に示す。図 3.7 において 色をつけた矢印が、PS board, SL において実装した RX 側のクロックパスである。赤線が 4 GHz、緑 線が 800 MHz、青線が 200 MHz のクロックに対応する。QPLLCLK と図中に書かれているものが RX PLLCLK である。RX PLLCLK を基準として、RX シリアルデータに同期した RX シリアルクロック が RX CDR によって生成され出力される。RX シリアルクロックは SIPO に供給されるとともに、1/20 倍に分周され 200 MHz の RX パラレルクロックを作る。RX パラレルクロックは SIPO に供給されると ともに、RXOUTCLK として出力される。

RX シリアルクロックは 3.3 節で述べたように1 UI だけ異なる 2 種類の位相を持って再構成されうる。 また 1/20 倍に分周されていく中で 200 MHz の RX パラレルクロックは合計で 40 種類の位相を持って再 構成されうる。固定位相でのクロック分配を実現するためには、この 40 種類のクロックの位相が再構成 されうる中で、特定の 1 つの位相を常に再構成する必要がある。RX シリアルクロックの RX シリアル データへの同期、及び RX パラレルクロックへの 1/20 倍の分周の仕方はユーザーロジック側から指定す ることはできない。よって固定位相でのクロック再構成のためには、200 MHz の RX パラレルクロック が 40 個の候補からとある位相で再構成された後に、後述の要領でパラレルデータ中に現れる Comma の 位置を確認することでクロックの位相の妥当性を試験し、もし想定どおりの位相でないとわかったら次の クロック位相の候補に移り同様の試験を行う、ということを繰り返すことで 40 個の候補から想定どおり の位相を見つけるという手法を取らなければならない。

RX パラレルクロックの位相を調整することを可能にするためには、RX のデータ受信部分に適切な設 定をする必要がある。3.2 節で述べた GT トランシーバー RX の中の Comma Align 機能は RX パラレ ルクロックの位相を固定したまま、RX シリアルデータをシフトすることで Comma を適切な位置に動 かす。このため Comma Align 機能を有効にすると、RX パラレルクロックの位相の調整はユーザーロ ジック側から行えなくなる。つまり固定位相でのクロック再構成のためには Comma Align 機能を無効 にする必要がある。この場合、Comma がアラインされないまま後段に渡されるため、データを適切な 位置で 10 bit ごとに分けることが必要となる 8B/10B Decoder を用いることができない。従ってユー ザーロジック側で Comma のアラインに基づく RX パラレルクロックの位相の調整の制御、及び 8B/10B Decode を行う必要がある。

Comma の手動でのアライン及び RX パラレルクロックの位相の調整のための機能として、GT トランシーバー RX には RXSLIDE と呼ばれる信号が備わっている。RXSLIDE パルスを打つたび、パラレ



図 3.7 RX におけるクロックパスのブロック図 [16]。色をつけた矢印が、PS board, SL において実 装したクロックパスである。赤線が4GHz、緑線が800MHz、青線が200MHzのクロックに対応す る。図中の QPLLCLK が文中の RX PLLCLK に対応する。RX PLLCLK を基準として、RX シリ アルデータに同期した RX シリアルクロックが RX CDR によって生成され出力される。RX シリア ルクロックは SIPO に供給されるとともに、1/20 倍に分周され 200 MHz の RX パラレルクロックを 作る。RX パラレルクロックは SIPO に供給されるとともに、RXOUTCLK として出力される。

ルデータは1ビット右にシフトする。また RX パラレルクロックは2回の RXSLIDE パルス毎に2 UI 分だけ位相が進む (これが RX シリアルクロックの分周の仕方を変更することに対応する)。つまりユー ザーロジック側では Comma がパラレルデータの下位 10 bit に対応するようになるまで、RXSLIDE パ ルスを打つ必要がある。しかし、このように Comma を手動でアラインしたとしても 200 MHz のパラレ ルクロックの位相は1種類に決まらず、2種類の位相を取りうる。これは3.3節で説明したように4GHz のRX シリアルクロックを構成するときに1 UI だけ異なる位相を持ちうる (図 3.5 参照) ことが原因であ り、RXSLIDE による 2 UI 単位でのクロックの位相調整では 1 UI だけ異なる位相を吸収することがで きない。この 2 種類の位相は Comma をアラインするまでに必要となる RXSLIDE の回数の偶奇で判別 することができる。本研究の実装では RXSLIDE の回数が奇数となる位相を持った 200 MHz クロックを 再構成するとした。また、1 UI の位相の違いはどのような GT トランシーバー RX 中の機構を使っても

吸収することができないため、Comma の Align に必要となる RXSLIDE の回数が奇数となるまで、GT トランシーバー RX のリセットを繰り返すという実装を行なった。

上記の対処を行うことで 200 MHz のパラレルクロックは、固定位相で再構成することができる。一方、 固定時間でのデータ受信にはさらなる GT トランシーバー RX に対する工夫が必要となる。図 3.4 に示 したように RX 側には、RX XCLK, RXUSRCLK という位相関係が一定ではない 2 つのクロックドメイ ンがあり、RX XCLK, RXUSRCLK の位相差を吸収するために RX Elastic Buffer が備わっている。ク ロックの位相関係が変化した時には、RX Elastic Buffer によるデータの受け渡しにかかる時間は変化す るため、まず前提として RX XCLK と RXUSRCLK の位相関係を固定させる必要がある。しかし、RX XCLK と RXUSRCLK の位相関係が固定されていたとしても、RX Elastic Buffer による位相吸収の仕 方には任意性があるため、さらに RX Elastic Buffer をバイパスすることが必要となる。そこで、RX XCLK を RXOUTCLK から生成し、RXUSRCLK, RXUSRCLK2 として RXOUTCLK をそのまま用 いることで、RXCLK, RXUSRCLK の位相関係を固定し、RX Elastic Buffer をバイパスするという実 装を行うことで固定時間でのデータ受信を実現した。

ここまで説明したことは 200 MHz のパラレルクロックの固定位相での再構成を実現するために必要な 対処であり、40 MHz の LHC バンチ交差クロックの固定位相での再構成を実現するためにはまだ不十分 である。RX において 200 MHz の RX パラレルクロックから、40 MHz に分周するときには 5 つの異な る位相を取りうる。この分周には FPGA 内の Mixed Mode Clock Manager (MMCM)を用いる。固 定の位相で 40 MHz のクロックを生成するために受信するデータの種類を用いる。データフォーマットの 詳細については 6.5 節で述べるが、SL から送るデータ、PS board から送るデータ共に、40 MHz の頻度 で送る 5 ワードの 1 ワード目にヘッダーと呼ばれる Comma を含むデータがある。TX 側ではヘッダー が送られるタイミングが 40 MHz クロックに対して一定となるように、40 MHz クロックの立ち上がりの 次の 200 MHz のパラレルクロックにおいて FPGA TX interface からヘッダーを出力する (TX における 40 MHz の LHC バンチ交差クロックと 200 MHz の TX パラレルクロックは同じクロックから生成され ており、位相関係は固定されている)。また、RX 側では MMCM によって生成した 40 MHz クロックの 立ち上がりのタイミングで、FPGA RX interface で受信するデータがヘッダーとなるまで、MMCM の リセットを繰り返すという実装を行なった。このようにして SL における 40 MHz クロックの位相と PS board において再構成される 40 MHz クロックの位相が固定された関係にある"固定位相でのクロック分 配"及び PS board から SL への固定時間でのデータ転送を実現した。

PS board の実機を用いた固定位相でのクロック分配の試験や、どの精度で位相が固定できているのかの JATHub を用いた測定については 6.2 節で述べる。

# 3.5 LHC バンチ交差と同期したデータ転送

L0 Trigger システムは Fixed Latency scheme を採用しており、LHC バンチ交差クロックと同期した データ読み出しを行わなくてはならない。このため 3.4 節で述べた TX の基準クロックとして LHC バン チ交差クロックを 200 MHz に逓倍したものを用いる必要がある。図 3.8 に PS board におけるクロック パスを示す。PS board の TX, RX は両方 SL に繋がる。

RX REFCLK は逓倍された時に TX シリアルクロックと十分に近い周波数を持つことが安定した



図 3.8 PS board におけるクロックパス。RX REFCLK は 160.316 MHz のクロックを出力する水 晶発振器 (Crystal) から供給する。GT トランシーバー RX からは 200 MHz の再構成されたクロッ クが RXOUTCLK として出力され、1/5 倍に分周を行う MMCM (/5 divider) によって固定位相の 40 MHz クロックが生成される。40 MHz クロックを、クロックのジッターを除去するクロックジッ タークリーナーに通し、ノイズが小さい 200 MHz クロックを TX REFCLK として GT トランシー バー TX に供給する。またクロックジッタークリーナーはノイズが小さい 40 MHz クロックを LHC バンチ交差クロック (LHC BC clock) として FPGA 及び PP ASIC に供給する。PS board 間の LHC バンチ交差クロックの位相合わせのための遅延機構 (Delay) については 4.2 節で詳細を述べる。

CDR の条件となるため、RX REFCLK の周波数は 40.079 MHz の整数倍かつ PLL によって 4 GHz ま で逓倍できるものでなければらない。PS board では 160.316 MHz のクロックを出力する水晶発振器か ら RX REFCLK を供給する。GT トランシーバー RX からは 3.4 節で述べたように、200 MHz の再構 成されたクロックが RXOUTCLK として出力され、1/5 倍に分周を行う MMCM によって固定位相の 40 MHz クロックが生成される。この RXOUTCLK は、そのまま TX REFCLK として用いるにはジッ ターが大きすぎる。このため 40 MHz クロックを、クロックのジッターを除去するクロックジッターク リーナーに通し、ノイズが小さい 200 MHz クロックを TX REFCLK として GT トランシーバー TX に 供給する。またクロックジッタークリーナーはノイズが小さい 40 MHz クロックを LHC バンチ交差ク ロックとして FPGA 及び PP ASIC に供給する。上記と同様のクロックパスを FELIX からクロックか ら受ける SL においても実装する必要がある。

# 第4章

# 遠隔でのクロック位相制御及び JATHub によるクロック位相測定

# 4.1 TGC 検出器システムにおけるクロック位相制御及びクロック位 相測定

2.2.2 節で述べたように、高輝度 LHC-ATLAS 実験における TGC 検出器エレクトロニクスシステム においては、PS board における適切な BCID を行うために全 1,434 枚の PS board における 40 MHz の LHC バンチ交差クロックの位相が十分な精度で一致している必要がある。PS board におけるクロック は、*O*(100 ps) の精度で一致していれば適切な BCID を行えることが分かっている。この精度でクロック の位相を揃えることによって、PP ASIC の可変遅延回路で十分に信号のタイミングを揃えることが可能 となり、陽子バンチ交差のタイミングと外れた低エネルギーの中性子や光子に起因する信号が混入しな いように、PP ASIC の陽子バンチ識別回路における有効ゲート幅を必要最小限の幅に狭めることができ る。第 3 章で述べた、固定位相でのクロック分配はこのクロック位相合わせを行うための必要条件であ る。その一方で、SL と PS board の間の光ファイバーの長さはすべて同じではないため、クロックの位 相合わせを行うためには PS board においてクロックの位相を調整することが必須となる。この章では、 PS board におけるクロックの位相合わせを可能にするための、クロック位相制御及びクロック位相測定 について述べる。

PS board は図 2.11 に示したように、TGC 検出器上に設置されるため加速器が稼働している間はもち ろん、加速器が稼働していない間も容易にアクセスすることができない。このためクロック位相合わせの ための位相制御及び位相測定は遠隔で行う必要がある。遠隔でのクロック位相制御については 4.2 節で、 JATHub を用いた遠隔でのクロック位相測定については 4.3 節で説明する。



図 4.1 Clocking Wizard IP コアのブロック図 [17]。clk\_in1 ポートがクロック入力ポート、clk\_out1 ポートがクロック出力ポートである。また psclk, psen, psincdec, psdone ポートは Dynamic Phase Shift 機能のためのポートであり、locked ポートが安定したクロックを出力できていることを示すポー ト、resetn ポートが MMCM のリセットをするためのポートである。

### 4.2 遠隔でのクロック位相制御

FPGA におけるクロック位相制御のために、Xilinx 社から提供されている Clocking Wizard IP コ  $7^{14}$ [17] における、"Dynamic Phase Shift" と呼ばれる機能を用いる。Clocking Wizard IP コアは MMCM や PLL のクロック生成機能を使うための IP コアであり、Dynamic Phase Shift 機能は MMCM にのみ搭載されている機能である。Dynamic Phase Shift 機能を使うための Clocking Wizard IP コア のブロック図を図 4.1 に示す。ブロック図における clk\_in1 ポートがクロック入力ポート、clk\_out1 ポー トがクロック出力ポートである。また psclk, psen, psincdec, psdone ポートは Dynamic Phase Shift 機 能のためのポートであり、locked ポートが安定したクロックを出力できていることを示すポート、resetn ポートが MMCM のリセットをするためのポートである。PS board においては固定位相で再構成した 40 MHz クロックを入力 (clk\_in1 ポートに入る) として、位相がシフトした 40 MHz クロックを出力す る (clk\_out1 ポートから出てくる)。PP ASIC に供給するクロックの位相を制御する必要があるため、 Clocking Wizard IP コアは図 3.8 における Delay の位置に挿入する。

MMCM において安定した出力をもたらす電圧制御発振器 (Voltage Controlled Oscillator; VCO) の 周波数 ( $F_{VCO}$ ) は、Clocking Wizard IP コアによって自動的に計算される。入力を 40 MHz、出力を 40 MHz として設定した時には  $F_{VCO} = 1$  GHz となる。Dynamic Phase Shift 機能においては、psen ポートにパルスを入れることによって 1/(56 $F_{VCO}$ ) ずつ出力クロックの位相をシフトすることができる。 つまり、PS board においては 1/56 ns ( $\simeq$  18 ps) ずつ出力クロックの位相をシフトすることが Clocking Wizard IP コアによって可能となる。また psincdec ポートが "1" の場合には出力クロックの位相が進 み、"0" の場合には出力クロックの位相が遅れる。

図 4.2 に実際に Clocking Wizard IP コアを用いた時の、Dynamic Phase Shift 機能によるクロック位 相制御の様子を示す。PS board における実装と同様に、入力を 40 MHz、出力を 40 MHz のクロックと

<sup>&</sup>lt;sup>14</sup> Intellectual Property Core の略、機能ごとにまとめられた、既に開発・検証をされており再利用可能である回路コンポーネントの設計情報



(a) シフト前のクロック波形



(b) シフト後のクロック波形

図 4.2 Clocking Wizard IP コアによるクロックの位相制御。横軸は 10 ns/div であり、図 4.2(a) と図 4.2(b) は同じ時間原点を持つ。入力を 40 MHz、出力を 40 MHz のクロックとしている。図 4.2(a) にシフト前のクロックの波形を、図 4.2(b) にシフト後のクロックの波形を示す。この場合には psincdec が "0" であり、psen に 350 回パルスを打ち込んでいる。つまり 40 MHz クロックの位相を 6.25 ns (= 1/56 ns × 350) だけ遅らせている。

している。図 4.2(a) にシフト前のクロックの波形を、図 4.2(b) にシフト後のクロックの波形を示す。こ の場合には psincdec が "0" であり、psen に 350 回パルスを打ち込んでいる。つまり 40 MHz クロックの 位相を 6.25 ns (= 1/56 ns × 350) だけ遅らせている。

このようにして Clocking Wizard IP コアの psen ポートにパルスを打ち込むことによって 18 ps の精 度で LHC バンチ交差クロックの位相を制御することができる。つまり、SL から PS board FPGA 内の Clocking Wizard IP コアの psen ポートに繋がるレジスタを制御することによって遠隔でのクロック位 相制御を行うことが可能となる。

### 4.3 JATHub による遠隔でのクロック位相測定

PS board 上の LHC バンチ交差クロックの位相を合わせるためには、それぞれの PS board 上のクロッ クの位相測定を行う必要がある。この位相測定の役割を JATHub が果たす。JATHub は 2.2.2 節で述べ たように、最大 11 枚の PS board と Cat 6 ケーブルによって接続される。PS board はクロックジッター クリーナーから FPGA に入る LHC バンチ交差クロック (図 3.8 参照)を JATHub へ送る。JATHub は LHC バンチ交差クロックと同じ周波数を持ち、LEMO コネクターから入るクロック位相測定のための 基準クロック (LEMOCLK と呼ぶ)を参照してクロック位相測定を行う。この位相測定は JATHub 上の Zynq SoC の FPGA 部分で行われ、CPU 部分へ測定結果が渡される。これによって測定結果がイーサ ネット経由で遠隔から取得可能となる。



図 4.3 JATHub におけるクロック位相測定のコンセプト。クロック位相測定の基準クロックである LEMOCLK の立ち上がりで、PS board から送られるクロックをサンプリングし、クロック位相制御 機構を用いて PS board における LHC バンチ交差クロックの位相を 18 ps だけ進めることを繰り返 すことでクロックの位相を 2π すべてスキャンすることができる。図中のクロック②はクロック①の 位相をある程度進めたクロックを示している。

JATHub におけるクロック位相測定のコンセプトを図 4.3 に示す。まずクロック位相測定の基準ク ロックである LEMOCLK の立ち上がりで、PS board から送られるクロックをサンプリングする (この サンプリングは D フリップフロップ<sup>15</sup>を用いて行われる)。次に 4.2 節で述べたクロック位相制御機構 を用いて、PS board における LHC バンチ交差クロックの位相を 18 ps だけ進める。そしてこの位相の PS board からのクロックを再び LEMOCLK の立ち上がりでサンプリングする。この手順を 1400 回



図 4.4 JATHub によるクロック位相測定結果の例。図 4.4(a) が 25 ns 全体の測定結果を、図 4.4(b) が立ち上がり部分を拡大した結果を示している。横軸は PS board FPGA 上のクロック位相制御機構 によるクロックのシフト時間を表しているため、クロックの位相と等しい。縦軸は 1000 回のサンプル のうち "1"と判定された回数であり、誤差棒は 1000 回のサンプリングを 1000 回繰り返した時のデー タが 68.3 % だけ入る範囲を示している。

15 クロックの立ち上がりエッジでの入力の値が出力として保持されるようなフリップフロップ



図 4.5 JATHub によるクロック位相測定の再現性。黒点が 1 回目の測定、赤点が 2 回目の測定、緑 点が JATHub を再コンフィギュレーションした後に測定を行なった結果である。

(= 25 ns/(1/56 ns))繰り返すことで、40 MHz クロックの位相を  $2\pi$  すべてスキャンすることができる。

クロックの立ち上がりや立ち下がりの部分では、クロックの電圧は High と Low<sup>16</sup>の間の値をとる。こ のため、この部分をサンプリングした結果は、ある確率で"1"もしくは"0"が出力される(High に近けれ ば近いほど"1"が出力される確率が高まり、Low に近ければ近いほど"0"が出力される確率が高まる)。 つまり、JATHub におけるサンプリングは複数回行う必要があり、本研究における実装では 1 つの位相 に対して 1000 回サンプリングすることを 1000 回繰り返し、"1"と判定された回数を保存する、という 実装を行なった。JATHub によるクロック位相測定の結果の例を図 4.4 に示す。図 4.4(a) が 25 ns 全体 の測定結果を、図 4.4(b) が立ち上がり部分を拡大した結果を示している。横軸は PS board FPGA 上の クロック位相制御機構によるクロックのシフト時間を表しているため、クロックの位相と等しい。縦軸は 1000 回のサンプルのうち"1"と判定された回数であり、誤差棒は 1000 回のサンプリングを 1000 回繰り 返した測定結果のうち 68.3% が含まれる範囲を示している。

JATHub による測定の再現性は、同じクロックを同じ RJ45 ジャックに入れ、そのクロックの位相を3 回測定することで確かめた (図 4.5 参照)。図 4.5 における黒点が1回目の測定、赤点が2回目の測定、緑 点が JATHub を再コンフィギュレーションした後に測定を行なった結果である。十分に良い測定の再現 性が確認された。

JATHub は最大 11 枚の PS board からクロックを受けるが、様々な要素によって同じ位相のクロッ クが入力されていたとしても測定結果が異なる。図 4.6 に、1 つの JATHub に備えられた 11 個の RJ45 ジャックに同じ位相のクロックを入れた時の、それぞれのクロックの測定結果を示す。どの色がどの RJ45 ジャックに入力したクロックの測定結果であるかはここでは重要ではないため明記しない。図 4.6(b) から分かるように同じ位相のクロックが入力されているのにも関わらず、測定結果には最大 700 ps 程度の違いがある。この測定結果の違いを引き起こす要因として考えられるのは、

<sup>&</sup>lt;sup>16</sup> PS board から出力されるクロックは High = 3.3 V, Low = 0 V



図 4.6 JATHub における 11 個の入力クロックに対する測定結果の比較。図 4.6(b) から分かるよう に同じ位相のクロックが入力されているのにも関わらず、測定結果には最大 700 ps 程度の違いがある。

- LVDS レシーバ<sup>17</sup>の出力スキュー<sup>18</sup>
- JATHub 基板上の配線長 (LVDS レシーバの出口から FPGA の I/O ピンまで) の違い
- FPGA 内の配線長 (FPGA の I/O ピンからサンプリングされる D フリップフロップまで)の違い

が挙げられる。この中で LVDS レシーバの出力スキューと JATHub 基板上の配線長の違いはハードウェ アに起因するものであり、基板の設計によって測定結果に違いが出る部分である。LVDS レシーバの出力 スキューは最大 1 ns [18]、JATHub 基板上の配線長の違いは最大 75 ps である。一方、FPGA 内の配線 長の違いはファームウェアの工夫で削減することができる部分になっている。FPGA 内の配線でクロッ ク位相測定結果の違いに寄与するのは、FPGA の I/O ピンから、基準クロックによってサンプリングさ れる D フリップフロップまでの配線である。この配線の長さを、11 個の入力に対して統一することに よって FPGA 内の配線長の違いによる測定結果の違いへの寄与を最小化することができる。本研究では ILOGIC [19] と呼ばれる、FPGA のそれぞれの I/O ピンのすぐ横に位置するフリップフロップを用いる ことによって、I/O ピンから D フリップフロップまでの配線長の違いを最小化した。ILOGIC を用いた 時の JATHub によるそれぞれのクロックの測定結果を図 4.7 に示す。図 4.7(b) から分かるように同じ位 相のクロックを入力すると、測定結果には最大 300 ps 程度の違いがある。ILOGIC の導入により FPGA 内の配線長の違いが最小化され、ILOGIC を導入していない図 4.6 と比較して、測定結果の違いが小さく なっていることが分かる。この測定結果の違いは主に LVDS レシーバの出力スキューに起因するもので あり同一ボードに対する再現性は確認された。一方で、異なる JATHub (異なる LVDS レシーバ個体) で 試験を行なった時には、11 個の入力に対する測定結果の位相関係は図 4.7 とは異なることが確認できた。

*O*(100 ps) の精度でのクロック位相合わせを行うためにはここで議論した、同じ位相のクロックを入れ た時の 11 個の入力に対する測定結果の違いをオフセットとして考慮することが必要となる。

<sup>&</sup>lt;sup>17</sup> PS board からのクロック信号は LVDS 規格の差動信号として出力されるため、JATHub において LVDS 信号をシングル エンド信号に戻す必要がある

<sup>18</sup> 入力から出力までの遅延時間の素子間の時間差 (パーツの個体差に対応する)



図 4.7 ILOGIC を導入した時の JATHub における 11 個の入力クロックの測定結果の比較。図 4.7(b) から分かるように同じ位相のクロックが入力されている時には、測定結果には最大 300 ps 程度の違いがある。

# 4.4 全 PS board におけるクロックの位相合わせの戦略

4.2 節、4.3 節で述べたクロック位相制御機構、クロック位相測定機能を用いることで PS board にお ける LHC バンチ交差クロックの位相合わせを行うことができる。2 枚の PS board を用いたクロック の位相合わせのデモンストレーションについては 6.3 節で詳しく説明する。この節では全 1,434 枚の PS board におけるクロックの位相合わせの戦略について議論する。

SL と PS board 間の光ファイバーの長さは同サイド、同 1/12 セクター、同ステーションに属する PS board については等しいため、TGC BW においては 48 種類 (= 2 × 12 × 2) の長さの SL, PS board 間 のファイバーが存在する。しかし同じ長さであるとはいえ独立なファイバーである上、光レシーバ等の個 体差は再構成されるクロックの位相に影響を及ぼすため、それぞれの PS board において独立にクロック の位相合わせを行う必要がある。

図 4.8 に全 PS board におけるクロックの位相合わせの全体像を示す。JATHub と PS board は等しい 長さの Cat 6 ケーブル (図 4.8 水色線) で繋がれるため、同じ JATHub に接続されている PS board につ いては 4.2 節、4.3 節で述べたクロック位相制御機構、クロック位相測定機能を用いることで LHC バン チ交差クロックの位相合わせを行うことができる。また 4.3 節で述べたように JATHub におけるクロッ ク位相合わせには基準クロックを用いるため、異なる JATHub につながっている PS board 間の位相合 わせを行うためには、それぞれの JATHub に同じ位相の基準クロックを分配する必要がある。同じ 1/12 セクターの中では、この基準クロックの分配は Mini-Rack 内の VME クレートに設置される Timing Alignment Master (TAM) モジュール<sup>19</sup>から、JATHub へ等長配線で行われる (図 4.8 緑線)。TAM モ ジュールは PS board と同様に SL から光ファイバー経由で LHC バンチ交差クロックを受ける (図 4.8 ピ

<sup>&</sup>lt;sup>19</sup> TAM モジュールは Mini-Rack 内の VME クレートの VME マスター、及び JATHub の QSPI フラッシュメモリへの ブートファイルの書き込みの役割も果たす。TAM モジュールの設計については付録 A で補足する。



図 4.8 全 PS board におけるクロックの位相合わせの全体像。SL から PS board に伸びる青色、赤 色の線が SL から PS board ヘクロックを分配する光ファイバーを示しており、同じ色は同じ長さの 光ファイバーを意味する。同じ JATHub に接続されている PS board については 4.2 節、4.3 節で述 べたクロック位相制御機構、クロック位相測定機能を用いることでクロックの位相合わせを行う (水色 線)。また、同じ 1/12 セクター内の異なる JATHub につながっている PS board 間の位相合わせを 行うために、TAM モジュールから基準クロックを同じ 1/12 セクター内の JATHub へ等長配線で分 配する (緑線)。TAM モジュールは PS board と同様に SL から光ファイバー経由で LHC バンチ交差 クロックを受ける (ピンク線)。異なる 1/12 セクター間での PS board の位相合わせを行うために隣 接するセクターの TAM モジュールは接続される。A-side/C-side 間については、地下の作業で両サ イドから基準クロックを引っ張り、オシロスコープを見ながら位相を合わせることになる。

ンク線)。一方、異なる 1/12 セクター間での PS board の位相合わせを行うためには、異なる 1/12 セク ターでの TAM モジュールから分配する基準クロックの位相が一致している必要がある。1/12 セクター 間での位相合わせを行うために、隣接する 1/12 セクターの TAM モジュールは接続される。TAM モ ジュールは隣の 1/12 セクターの TAM モジュールから基準クロックを受け、その基準クロックに自分の 基準クロックの位相を一致させる。このことによって同じサイド内の PS board の位相合わせを行うこと ができる。最後に A-side/C-side 間については、地下の作業で両サイドから基準クロックを引っ張り、オ シロスコープを見ながら位相を合わせることになる。

# 第5章

# 不揮発性メモリを用いた自律型制御機構 の実現

# 5.1 TGC 検出器システムにおけるエレクトロニクスの制御

2.2.2 節で述べたように、TGC 検出器システムにおける PS board では、適切な BCID を行うために PP ASIC における可変遅延回路や陽子バンチ識別回路の適切な設定を行う必要がある。また、3.1 節で述 べた PS board における LHC バンチ交差クロックの位相を合わせるためには、クロックの遅延パラメー タを指定しなければならない。これらのパラメータは PS board 毎に異なるが、それに対応するためにそ れぞれの PS board に必要となるパラメータを組み込んだ別々のファームウェアを準備する (最大 1,434 種類のファームウェア) のではなく、1 種類のファームウェアを準備し、FPGA をコンフィギュレーショ ンした後にパラメータを設定するという方法を取る。また、固定位相でのクロック再構成や SL とのデー タ通信用シリアルリンクの確立もそれぞれのエレクトロニクス毎で行う必要がある。

現行の TGC 検出器システムでは、それぞれの PS board に必要となるパラメータの設定及び PS board の動作モードを制御するために、ATLAS 回路室から SSW を経由する制御パスを利用する。この制御パ スは JTAG プロトコルを使用しており、それぞれの PS board に逐次的にアクセスする。現行システム においては、すべての PS board にパラメータを書き込むのに、4 分という比較的長い時間を要しており、 システムに電源を入れる度に後段からパラメータを書き込むという設計になっている。

高輝度 LHC-ATLAS 実験における TGC 検出器システムでは、PS board は SL から制御する。SL か らそれぞれの PS board へは別々に光ファイバーが繋がるため、すべての PS board へ並列にパラメータ の設定や制御を行うことが可能である。しかしこの SL からの制御パスを用いたとしても、システムに 電源を入れる度、あるいは PS board を再コンフィギュレーションする<sup>20</sup>度に後段からパラメータを書 き込まなければならない。本研究ではこの点に関して、不揮発性メモリを利用して必要となる情報を PS board 自らが保存するという新たな発想の元で、エレクトロニクスの制御として必要となるパラメータの 設定やクロックの再構成、通信上下線の再確立についてすべて自律的、自動的かつ高速に行う自律型制御 機構の開発に取り組んだ。この自律型制御機構はファームウェアとして実装されており、自らが置かれて

<sup>&</sup>lt;sup>20</sup> 現行システムでは PS board には FPGA ではなく ASIC を用いているため、現行システムにおいて "PS board をコン フィギュレーションする" という事象は起きない

いる状況を自分で認識し、外からの命令がなくとも必要な手続きを必要な順番で実行するものである。次 節に自律型制御機構の詳細について説明する。

#### 5.2 不揮発性メモリを利用した自律型制御機構の開発

FPGA を搭載したボードには QSPI フラッシュメモリが (ほとんどの場合) 搭載されている。QSPI フ ラッシュメモリは不揮発性メモリであり、ボードの電源を落としたとしても中の情報は保持される。こ の QSPI フラッシュメモリは通常の場合 FPGA のファームウェアを収めるために設置されているが、" 不揮発性"という性質を用いることによってさらなる使い道を見いだすことができる。本研究ではそれぞ れのエレクトロニクスに必要となるパラメータを、ファームウェアが収められている領域とは別の QSPI フラッシュメモリの領域に保存し、その情報を FPGA から読み取ることでシステムに電源を入れる度、 あるいは FPGA を再コンフィギュレーションする度に行う必要があった後段からのパラメータの書き込 みを不要とした。以下では PS board における自律型制御機構について説明するが、この機構は任意の FPGA 及び QSPI フラッシュメモリを搭載したボードに応用できるものとなっている。

QSPI フラッシュメモリに書き込む必要がある情報のうち、各 PS board 毎に異なるパラメータには以下のものがある。

- 8 個の PP ASIC に設定するパラメータ (224 bit × 8)
- LHC バンチ交差クロックに対する遅延パラメータ (12 bit)
- 1,434 枚の PS board を識別するための ID (11 bit)

が挙げられる。これらの情報は PS board が所定の動作をするために必須となる情報であり、QSPI フ ラッシュメモリへの放射線損傷によって QSPI フラッシュメモリ内のビットが反転すると致命的な動作 不良をもたらす。このため本研究ではこれらの情報を 3 重化して QSPI フラッシュメモリ内に保存し、 FPGA 内で多数決を取るという実装を行なった。つまり QSPI フラッシュメモリに納める必要がある 情報は 700 Byte 程度である。PS board のファームウェアの大きさは 10 MByte 程度である一方、PS



図 5.1 QSPI フラッシュメモリに収める情報。PS board のファームウェアは 10 MByte 以下の大 きさ、パラメータ情報は 700 Byte 程度の大きさを持つため、PS board に搭載されている 16 MByte (量産の際には 32 MByte に変更の可能性あり)の QSPI フラッシュメモリに十分にファームウェア及 びパラメータの情報を収めることができる。

board の搭載されている QSPI フラッシュメモリの容量は 16 MByte (量産の際には 32 MByte に変更の 可能性あり) であるため、残りのメモリ空間に PS board の動作を規定するパラメータを問題なく保存す ることができる (図 5.1 参照)。

PS board のファームウェアは、JATHub からの JTAG パスを用いて QSPI に書き込まれる。この書 き込みは JATHub 上の Xilinx Virtual Cable (XVC) と呼ばれる、遠隔で FPGA のコンフィギュレー ションやデバッグを行うことができる機能を用いて実行する。XVC は Kintex-7 FPGA に繋がれてい る QSPI フラッシュメモリへの、アドレスのオフセットを持たせた書き込みは実行できない<sup>21</sup>ため、オ フセットを持たせる必要があるボード毎に異なるパラメータについては SL からの制御パスを利用して、 QSPI フラッシュメモリに繋がる SPI 線を SPI プロトコルに則って SL から操作することで書き込みを 行う。現行システムの方法をそのまま使うと、システムに電源を入れる度、あるいは PS board を再コン フィギュレーションする度に後段から PS board FPGA へのパラメータの書き込みを行う必要があるが、 QSPI フラッシュメモリに必要なパラメータを収めるという手法を取ることで、パラメータの書き込みは 1 回実行するだけで十分となる。

PS board における自律型制御機構は、PS board 上に設置されている水晶発振器からの 200 MHz のク ロックを FPGA 内の MMCM (4.2 節で述べた Dynamic Phase Shift を行う MMCM とは異なることに 注意) で 50 MHz まで分周したクロックによって駆動される。このため自律型制御機構は、再構成される 40 MHz の LHC バンチ交差クロックとは独立して働く。この分周を行う MMCM が安定したクロックを 出力していることを示すロック信号 (図 4.1 における locked ポートから出力される)の立ち上がりを見る ことで、自律型制御機構は電源が入れられたことや再コンフィギュレーションされたことを自動的に感知 し、パラメータの設定やクロックの固定位相での再構成、通信上下線の再確立を開始する。まずパラメー タの設定の部分について説明する。

図 5.2 に PS board における自律型制御機構のパラメータ設定部分の概要を示す。まず QSPI フラッシュメモリには、それぞれのボード毎に異なるパラメータが 3 重化して保存されている。自律型制御機構の中の Flash SPI Controller は、QSPI フラッシュメモリにつながっている SPI 線を SPI プロトコルに 則って操作し、3 重化された内容を読み出す。放射線損傷によるビット反転に対する堅牢性を持たせるために、この 3 重化されたパラメータは 1 ビットずつ多数決が取られる。3 つの入力を *A*, *B*, *C*、多数決を 取った結果を *V* とすると多数決ロジックは式 (5.1) のように表される。

$$V = (A \land B) \lor (B \land C) \lor (C \land A) \tag{5.1}$$

多数決を取られたパラメータは次に、パラメータを FPGA 内で保持する Parameter Register に入る。 Parameter Register における情報の保持時間は実質的に長いため、SEU 対策のためにパラメータは 3 重 化される。PP ASIC 用のパラメータは PP ASIC controller によって Parameter Register から読み取 られ、8 個の PP ASIC それぞれに適切なパラメータが書き込まれる。また LHC バンチ交差クロックに 対する遅延パラメータは MMCM controller が読み取り、Dynamic Phase Shift を行う MMCM の psen ポート (図 4.1 参照) に遅延パラメータの回数だけパルスを打ち込むことにより、PS board 間のクロック

<sup>&</sup>lt;sup>21</sup> XVC はファームウェアを書き込むための機能であるため、Kintex-7 FPGA のファームウェアが収められるオフセット 0 の位置以外への書き込みを実行することはできない



図 5.2 PS board における自律型制御機構のパラメータ設定部分の概要。自律型制御機構は電源が入 れられたことや再コンフィギュレーションされたことを自動的に感知しパラメータの設定を開始する。 QSPI フラッシュメモリには、それぞれのボード毎に異なるパラメータが 3 重化して保存されている。 自律型制御機構の中の Flash SPI Controller は、QSPI フラッシュメモリにつながっている SPI 線を SPI プロトコルに則って操作し、3 重化された内容を読み出した後にビット毎に多数決を取る (図中 の Flash SPI Controller の中の記号は多数決を取ることを表している)。多数決を取られたパラメー タは次に、パラメータを FPGA 内で保持する Parameter Register に入る。Parameter Register に おいて情報を保持するときにも、SEU 対策のためにパラメータは 3 重化される (図中の Parameter Register の中の記号はこの 3 重化を表している)。PP ASIC 用のパラメータは PP ASIC controller によって Parameter Register から読み取られ、8 個の PP ASIC それぞれに適切なパラメータが書 き込まれる。LHC バンチ交差クロックに対する遅延パラメータは MMCM controller が読み取り、 Dynamic Phase Shift を行う MMCM を操作することによって、PS board 間のクロックの位相合わ せに必要となる遅延を LHC バンチ交差クロックにかける。PS board を識別するための ID は SL へ 送るデータフォーマットの一部に組み込まれる。

の位相合わせに必要となる遅延を LHC バンチ交差クロックにかける。最後に PS board を識別するための ID は SL へ送るデータフォーマットの一部に組み込まれる (図 B.1(c) 参照)。

上で説明した自律型制御機構による自動的なパラメータの設定は、PS board に電源が入れられた時や 再コンフィギュレーションされた時のみならず、SL からソフトリセットを指示された時にも行われる。 また、QSPI フラッシュメモリの中に保存されているパラメータ情報に放射線損傷によるビット反転が 生じていないかを監視するために、Flash SPI Controller は一定の時間間隔で QSPI フラッシュメモリ からのパラメータの読み出しを行う (この時に Parameter Register へのパラメータの書き込みは行わな い)。Flash SPI Controller が多数決を取る中でビット反転を感知した時には、PS board は SL へのデー タフォーマット中のエラービットを立てる (図 6.9 参照) ことで、SL ヘビット反転が起きたことを知らせ、 SL は再び QSPI フラッシュメモリへのパラメータの書き込みを行うことでビット反転は解消される。

次に自律型制御機構の全体的な手順について説明する。その中でクロックの固定位相での再構成、SL



図 5.3 自律型制御機構の全体的な手順 (PS board FPGA が電源を入れられた時、再コンフィギュ レーションされた時、SL からソフトリセットを命令された時)。パラメータ設定の部分については、 QSPI フラッシュメモリからパラメータを読み取ってから Parameter Register にそのパラメータを書 き込む。PP ASIC へのパラメータ設定は、LHC バンチ交差クロックに対して Dynamic Phase Shift を行い、クロックジッタークリーナーから安定したクロックが供給された後に行う。一方、Dynamic Phase Shift を行う前に安定した LHC バンチ交差クロックが再構成されている必要があるため、GTX トランシーバーの RX 側のリセットのアサート/ディアサートをまず最初に行い、40 MHz の LHC バ ンチ交差クロックを固定位相で再構成する。TX 側のリセットのディアサートは、Dynamic Phase Shift を行い、クロックジッタークリーナーから安定したクロックが供給された後に行う。また、TX 側のリセットのアサートは手順の最初に行い、データ送信は TX 側のリセット後にのみ行うように設 計をした。

との通信上下線の再確立についても述べる。まず、PS board FPGA が電源を入れられた時や再コン フィギュレーションされた時、SL からソフトリセットを命令された時の手順を図 5.3 に示す。パラメー タ設定の部分については上で述べたように、QSPI フラッシュメモリからパラメータを読み取ってから Parameter Register にそのパラメータを書き込む。また PP ASIC には適切な位相の LHC バンチ交差 クロックが供給される必要があるため、LHC バンチ交差クロックに対して Dynamic Phase Shift を行 い、クロックジッタークリーナーから安定したクロックが供給された (図 3.8 参照) 後に、PP ASIC へ のパラメータ書き込みを行う。また、GTX トランシーバーの RX 側のリセットのアサート/ディアサー ト<sup>22</sup>はまず最初に行われ、3.4 節で述べた機構を用いて 40 MHz の LHC バンチ交差クロックを固定位相 で再構成する。Dynamic Phase Shift 機構は、再構成クロックの確立、及び Paramter Register への書き 込みの両方が完了した時に働く。TX 側には 3.5 節で述べたように LHC バンチ交差クロックを逓倍した 200 MHz の TX REFCLK をクロックジッタークリーナーから供給する必要があるため、TX 側のリセッ トのディアサートは、Dynamic Phase Shift を行い、クロックジッタークリーナーから安定したクロック が供給された後に行う必要がある。また、TX 側のリセットのアサートは手順の最初に行い、データ送信 は TX 側のリセット後にのみ行うように設計をした。

上で説明したように、GT トランシーバーのリセットを行うためには適切な手順を踏む必要がある。こ



図 5.4 自律型制御機構の全体的な手順 (JATHub による GTX トランシーバーのリセット信号を受け取った時)。GTX トランシーバーの RX 側のリセットのアサート/ディアサート、TX 側のリセット のアサートは最初に行う。GTX トランシーバー RX において、固定位相での 40 MHz クロックの再 構成を行なった後に Dynamic Phase Shift を行う。その後にクロックジッタークリーナーから安定し たクロックが出力されてから、PP ASIC へのパラメータ設定、及び TX 側のリセットのディアサー トを行う。

<sup>&</sup>lt;sup>22</sup> アサートは信号を "0" から "1" にすること、ディアサートは "1" から "0" にすることを意味する。GT トランシーバーに おいてはリセット信号をアサートするとデータの送受信を停止し、ディアサートすると実際のトランシーバーのリセットが 始まる。

のため、2.2.2 節で説明した JATHub による GTX トランシーバーのリセット信号を PS board が受信 した時にも自律型制御機構が働く必要がある。JATHub による GTX トランシーバーのリセット信号を 受け取った時の手順を図 5.4 に示す。この場合にも GTX トランシーバーの RX 側のリセットのアサー ト/ディアサート、TX 側のリセットのアサートは最初に行う。またパラメータ情報はすでに Parameter Register に収められているため、QSPI フラッシュメモリからのパラメータの読み取りを再び行う必要 はない。GTX トランシーバー RX において、固定位相での 40 MHz クロックの再構成を行なった後に Dynamic Phase Shift を行う。その後、クロックジッタークリーナーから安定したクロックが出力されて から、PP ASIC へのパラメータ設定、及び TX 側のリセットのディアサートを行う。

PS board, JATHub, SL を用いた、PS board における自律型制御機構の性能評価については 6.4 節で 述べる。

# 第6章

# 高輝度 LHC-ATLAS 実験に向けた TGC 検出器エレクトロニクスシステム の統合試験

# 6.1 TGC 検出器エレクトロニクスシステムの統合試験の概要

第3章で述べた固定位相でのクロック分配・固定時間でのデータ転送、第4章で述べた PS board 上の クロックの位相合わせ、第5章で述べた自律型制御機構の試験を行うためには、それぞれのボード単体で の試験だけではなく、PS board, JATHub, SL を接続した統合試験を行う必要がある。また最も重要な 機能の一つである読み出しシステムの試験のためにも、ASD, PS board, SL を接続して、システム全体 を統合したテストベンチを構築する必要がある。

高輝度 LHC-ATLAS 実験において用いる SL は 2021 年 10 月に第一試作機の製作が完了した段階で あり、本研究で行なった統合試験では、高輝度 LHC-ATLAS 実験において用いる SL ではなく、試験用 の SL<sup>23</sup>を用いた。ASD, PS board, JATHub, SL を用いた統合試験を行うために、KEK にテストベン チを構築した (図 6.1 参照)。PS board には 8 つの ASD が接続され、PS board と SL は 2 本の光ファ イバーによって接続されている。また JATHub と PS board は 2 本の Cat 6 ケーブルで接続されてい る。SL は VME マスターによって制御され、PC へ読み出しデータをダンプする。このテストベンチ は高輝度 LHC-ATLAS 実験で用いるエレクトロニクスの試験システムのプロトタイプであり、高輝度 LHC-ATLAS 実験の本番システムで用いる機能の実装と、運用経験に基づくシステム設計の洗練を目的 としている。

SL から PS board への固定位相でのクロック分配について、JATHub を用いて位相の固定精度を測定 した結果については 6.2 節で述べる。また、2 枚の PS board を用いたクロックの位相合わせのデモンス トレーションについては 6.3 節で議論し、6.4 節では PS board における自律型制御機構の性能評価につ いて述べる。最後に、読み出しシステムのデモンストレーションについて 6.5 節で説明する。

<sup>&</sup>lt;sup>23</sup> Run 3 で用いる SL であり、本研究での統合試験のサイズにおいては十分に高輝度 LHC-ATLAS 実験での SL の代用をす ることができる





図 6.1 TGC 検出器エレクトロニクスシステムの統合試験の概要。図 6.1(a) に統合試験のための KEK におけるテントベンチの写真を、図 6.1(b) にテストベンチのブロック図を示す。本研究で行 なった統合試験では、高輝度 LHC-ATLAS 実験において用いる SL ではなく、試験用の SL を用い た。PS board には 8 つの ASD が接続され、PS board と SL は 2 本の光ファイバーによって接続さ れている。また JATHub と PS board は 2 本の Cat 6 ケーブルで接続されている。SL は VME マ スターによって制御され、PC へ読み出しデータをダンプする。

# 6.2 固定位相でのクロック分配の JATHub による性能評価

SL から PS board への固定位相でのクロック分配について、3.4 節では必要となる機構について説明した。この節では固定位相でのクロック分配について、どの精度での位相の固定が実現できているのかの評価を行う。つまり、SL や PS board の再コンフィギュレーションや GT トランシーバーのリセットを複数回行う中で、PS board において再構成される 40 MHz のクロックの位相がどの程度変化するのかを測



図 6.2 PS board の再コンフィギュレーションに伴う再構成クロックの位相の変化。1 回再コンフィ ギュレーションを行なった後に 1 回 JATHub によるクロックの位相測定を行うことを 10 回繰り返し たため、10 個の測定結果を重ねて書いている。PS board の 10 回の再コンフィギュレーションに伴っ て 30 ps 程度の位相の変化が見えている。

定した。この測定は第4章で述べた、JATHub による PS board 上のクロックの位相測定機能を用いて 行なった。

図 6.2 に PS board を 10 回再コンフィギュレーションした時の、PS board において再構成されるク ロックの位相の変化を示す。再コンフィギュレーションを行なった後に JATHub によるクロックの位相 測定を行うことを 10 回繰り返したため、図 6.2 には 10 個の測定結果を重ねて書いている。それぞれの色 が何回目の測定に対応するかは重要ではないため明記しない。図 6.2 から分かるように、PS board の 10 回の再コンフィギュレーションに伴って 30 ps 程度の位相の変化が見えている。この位相の変化は、設定 した到達目標である *O*(100 ps) の精度に対して十分に小さい値であり、十分に良い精度の固定位相でのク ロック分配が実現できていることが確認できた。

PS board の再コンフィギュレーションと同様に、PS board の GT トランシーバー RX のリセット、 SL の再コンフィギュレーション、SL の GT トランシーバー TX のリセットについてもそれぞれ 10 回行 い、PS board において再構成される 40 MHz クロックの位相の変化を JATHub を用いて測定した。こ れらに場合においても観測された位相の変化は 30 ps 程度であり、設定した到達目標である *O*(100 ps) の 精度に対して十分に小さい値である。

## 6.3 PS board 間のクロックの位相合わせのデモンストレーション

PS board 間のクロックの位相合わせについて、4.2 節、4.3 節で必要となる機構について説明した。こ の節では 2 枚の PS board を用いた、クロックの位相合わせのデモンストレーションについて説明する。 このデモンストレーションでは、2 枚の PS board を異なる長さのファイバーを用いて同じ SL に接続す ることで試験を行なった。また、クロック位相測定のために 2 枚の PS board を同じ JATHub に繋げ た。図 6.3 に JATHub による、位相調整前のクロックの位相測定結果を示す。それぞれの色がそれぞれ の PS board 上のクロックの測定結果を表している。この測定結果から、黒点の測定結果をもたらした PS board 上のクロックの位相を (この場合には) 829/56 ns だけ進めれば十分に良い精度で位相が一致す ることを読み取ることができる。この遅延差は、光ファイバーの長さの違いから期待される遅延差と一 致していることが確認できた。4.2 節で述べた、PS board 上のクロックの位相制御機構による位相調整 を行なった後の位相測定結果を図 6.4 に示す。図 6.4(b) から、十分に良い精度でのクロックの位相合わ せを実現できていることが確認できる (このデモンストレーションでは 4.3 節で述べた、JATHub のどの RJ45 ジャックを用いるかに依存する測定結果の違いを考慮していない)。



図 6.3 位相調整前のクロックの位相測定結果。それぞれの色がそれぞれの PS board 上のクロック の測定結果を表している。この測定結果から、黒点の測定結果をもたらした PS board 上のクロック の位相を (この場合には) 829/56 ns だけ進めれば十分に良い精度で位相が一致することを読み取るこ とができる。



図 6.4 4.2 節で述べた、PS board 上のクロックの位相制御機構による位相調整を行なった後の位相 測定結果。それぞれの色がそれぞれの PS board 上のクロックの測定結果を表している。十分に良い 精度でのクロックの位相合わせを実現できていることが確認できる。

### 6.4 PS board における自律型制御機構の性能評価

PS board における自律型制御機構の機能については 5.2 節で述べた。この自律型制御機構は、システ ムに電源を入れた時のみならず、PS board FPGA に修復不可能な SEU エラーが発生し、JATHub に よって PS board FPGA が再コンフィギュレーションされた後や、JATHub から GTX トランシーバー のリセット信号を受け取った時にも働く。FPGA の再コンフィギュレーションや GTX トランシーバー のリセットを行っている最中は、データを SL へ送ることができない。このため、FPGA の再コンフィ ギュレーションや GTX トランシーバーのリセットを行った際に、自律型制御機構がリンクを再確立し、 SL においてリンクが回復するまでの時間を計測することは重要である。

#### 自動トランシーバーリセット

PS board が JATHub から GTX トランシーバーのリセット信号を受け取った時に、自律型制御機構 によって PS board, SL 間のリンクが回復するまでの時間を計測した結果を図 6.5 に示す (ここでは 60 回 の測定を行なった)。具体的には SL の FPGA において計測した、PS board からの光リンクが回復する までの時間である。なお、この時間計測での Dynamic Phase Shift によるクロックのシフト幅は 5 ns で あり、280 回のシフトを行なったことに相当する。PS board における自律型制御機構の性能評価をする ために図 6.5 における時間計測では、SL の GT トランシーバー RX において RXSLIDE の回数が奇数に なるまで SL の GT トランシーバー RX のリセットを繰り返す (3.4 節参照) 時間は含めていない。図 6.5 から分かるように、JATHub から GTX トランシーバーのリセット信号を受け取った時に、自律型制御 機構がリンクを再確立し、SL においてリンクが回復するまでの時間は 196.5 ~ 199 ms 程度である。自律 型制御機構の手順の中で最も時間がかかるのは MMCM による Dynamic Phase Shift が終わってから、 クロックジッタークリーナーが安定したクロックを出力するまで待つ時間であり、全体の時間の約 99 %



図 6.5 PS board の GTX トランシーバーのリセットに伴うリンク切れ時間分布。JATHub から GTX トランシーバーのリセット信号を受け取った時に、自律型制御機構がリンクを再確立し、SL に おいてリンクが回復するまでの時間は 196.5 ~ 199 ms 程度である。



図 6.6 GTX トランシーバーのリセットの際に自律型制御機構の各手順に必要となる時間。自律型 制御機構の手順の中で最も時間がかかるのは MMCM による Dynamic Phase Shift が終わってか ら、クロックジッタークリーナーが安定したクロックを出力するまで待つ時間であり、全体の時間の 約 99% を占める。時間分布の幅を形成するのは主に、固定位相でのクロックの再構成を行う際に、 RXSLIDE の回数が奇数になるまで GT トランシーバー RX のリセットを繰り返す手順である。

(195.35 ms 程度) を占める。また時間分布の幅を形成するのは主に、固定位相でのクロックの再構成を行 う際に、RXSLIDE の回数が奇数になるまで GT トランシーバー RX のリセットを繰り返す手順である。 GT トランシーバー RX のリセットを 1 回行うには 0.4 ms 必要であり、本計測では最大 6 回の GT トラ ンシーバー RX リセットを行なった事象が存在した。PS board において計測したそれぞれの手順に必要 となる時間を図 6.6 にまとめる。

#### 自動 FPGA 再コンフィギュレーション

PS board が JATHub から再コンフィギュレーション信号を受け取った時に、PS board の FPGA が QSPI フラッシュメモリ内のファームウェアによってコンフィギュレーションされ、自律型制御機構に よって PS board, SL 間のリンクが回復するまでの時間を計測した結果を図 6.7 に示す (ここでは 30 回 の測定を行なった)。なお、この時間計測での Dynamic Phase Shift によるクロックのシフト幅は 5 ns である。GTX トランシーバーのリセットに伴うリンク切れ時間の計測と同様に、SL の GT トランシー バー RX において RXSLIDE の回数が奇数になるまで SL の GT トランシーバー RX のリセットを繰 り返す時間は含めていない。図 6.7 から分かるように、JATHub から再コンフィギュレーション信号を 受け取った時に、PS board の FPGA が QSPI フラッシュメモリ内のファームウェアによってコンフィ ギュレーションされ、自律型制御機構がリンクを再確立し、SL においてリンクが回復するまでの時間は 4,218 ~ 4,233 ms 程度である。手順の中で最も時間がかかるのは FPGA がコンフィギュレーションさ れるのにかかる時間であり、全体の時間の約 95% (4,018 ms 程度) を占める。また時間分布の幅を主に 形成するのも FPGA がコンフィギュレーションされるのにかかる時間である。

現行の TGC システムではすべての PS board にパラメータを書き込むのに 4 分という比較的長い時間



図 6.7 PS board FPGA の再コンフィギュレーションに伴うリンク切れ時間分布。JATHub から 再コンフィギュレーション信号を受け取った時に、PS board の FPGA が QSPI フラッシュメモリ内 のファームウェアによってコンフィギュレーションされ、自律型制御機構がリンクを再確立し、SL に おいてリンクが回復するまでの時間は 4222 ~ 4233 ms 程度である。

がかかる。この時間の長さは、ATLAS 回路室からの狭い通信帯域を用いていること、及び PS board へ の逐次的なアクセスを行なっていることに起因する。本研究で開発した自律型制御機構を用いることによ り、これらの問題を最適な解で解決した。具体的には PS board へのパラメータの設定のみならず、PS board FPGA の再コンフィギュレーション、パラメータの設定、及び通信上下線の確立をすべての PS board で並列に行うことが可能となり、わずか 4 秒ですべての PS board がデータ収集に向けて万全の態 勢となることがこの時間測定によって明らかとなった。

# 6.5 読み出しシステムのデモンストレーション

PS board から送られるデータを SL で読み出すシステムの実証は、データ収集システムに必須となる 試験である。本研究では ASD のテストパルス機能 (2.2.2 節参照) を用いて、読み出しシステムのデモン ストレーションを行なった。

まず PS board, SL 間のデータフォーマットについて説明する。このデータフォーマットに実装すべき 項目を以下に列挙する。

- 40 MHz で、決まったフォーマットを固定長で送り続ける (PS board → SL, SL → PS board)
- PS board 1 枚が担当する全 256 チャンネルのヒット情報を送る (PS board → SL)
- TTC 信号を配布する (SL → PS board)
- 制御・監視用の通信を担う (PS board → SL, SL → PS board)

これらの要求を満たすデータフォーマットを定義した。SL から PS board へのデータフォマットの概要 を図 6.8 に示す。ワード 0 はヘッダーであり Comma を含んでいる。またワード 0 には PS board のソ フトリセットを指示するビット (Soft Reset)、テストパルスを指示するビット (TPT)、BCID のリセッ

SFP+ 0																
Words (32-bit)	Forth byte [31:24]					Third byte [23:16]				Second byte [15:8]		First byte [7:0]				
Word-0	0x0	Soft Reset	TPT	BCR	1'b0	4'b0			Comma = 0xbc							
Word-1	0ď8				4'b0	DAC Bitmap [1:0]	SCL	SDA	1'b0	CS Bitmap [10	):0]	SPIRST	SIRSTB	SCLK	SDI	
Word-2	Address									Command						
Word-3	8'b0					FPGA TP pattern ID				Data						
Word-4	Footer = 0x0e0d									SL Full board ID						

図 6.8 SL から PS board ヘのデータフォーマットの概要。ワード 0 はヘッダーであり Comma、 PS board のソフトリセットを指示するビット (Soft Reset)、テストパルスを指示するビット (TPT)、 BCID のリセットを指示するビット (BCR)、及び BCID が含まれている。ワード 1 は PS board 上 の素子をビットバンキングによって制御するためのワードである。ワード 2 の 32 bit 及びワード 3 の 下位 16 bit は、PS board FPGA 内のレジスタの書き込み、読み出しを行うためのものである。ワー ド 3 の 3 バイト目は PS board FPGA からのテストパルスのパターンを指示するものであり、ワード 4 はフッターである。

トを指示するビット (BCR)、及び BCID が含まれている。ワード 1 は PS board 上の素子 (QSPI フラッ シュメモリ, PP ASIC, クロックジッタークリーナー, DAC, ADC) をビットバンキング<sup>24</sup>によって制御 するためのワードであり、基本的にはデバッグ用である。ワード 2 の 32 bit 及びワード 3 の下位 16 bit は、PS board FPGA 内のレジスタの書き込み、読み出しを行うためのものである。ワード 3 の 3 バイ ト目は PS board FPGA からのテストパルス<sup>25</sup>のパターンを指示するものであり、ワード 4 はフッター である。

PS board から SL へのデータフォーマットの概要を図 6.9 に示す。PS board は 2 本の光ファイバーを 用いて SL ヘデータを送るため、図 6.9 では 2 つのデータフォーマットを SFP+0、SFP+1 と分けて書い ている。ここではデバッグ用ではない、加速器運転中に用いるデータフォーマットを示す。デバッグ用の データフォーマット詳細については付録 B で補足する。PS board から SL へのデータフォーマットは、 ワード 0 が Comma を含むヘッダーであり、ワード 1 からワード 4 に TGC 検出器からのヒット信号が 入っている。ワード 1 からワード 4 のデータフォーマットの詳細についても付録 B で補足する。SFP+0 のデータフォーマットのワード 0 には、データフォーマットの種類を示すビット (Status bit)、QSPI フ ラッシュメモリの中のパラメータ情報にビット反転が起きていないかを示すビット (QSPI status)、ク ロックジッタークリーナーが安定したクロックを出力しているか示すビット (Si5345 Lock)、PP ASIC が 正常に働いているか (PLL がロックしているか、SEU エラーが生じていないか) を示すビット (PP ASIC status)、PS board FPGA に実装された SEM の状態を示すビット (SEM status)、BCID が含まれてい る。一方で、SFP+1 のデータフォーマットのワード 0 には BCID、PS board の ADC、DAC、電圧、及 び温度に対するモニタリングデータ、及び PS board FPGA 内のレジスタの値の情報が含まれる。

上で説明したデータフォーマットを用いて行なった、読み出しシステムのデモンストレーションの概要 を図 6.10 に示す。(試験用の) SL から PS board に ASD テストパルスを打つように命令 (図 6.8 におけ る "TPT"を利用) することで、PP ASIC は 25 ns 幅のパルス信号をテストパルストリガーとして ASD に送る。ASD ボードはテストパルストリガーを受信したタイミングで、全 16 チャンネルに同時に検出器

<sup>&</sup>lt;sup>24</sup>送信信号の生成、及び受信信号の処理を行うのに専用ハードウェアを用いるのではなく、ソフトウェアによって素子のコント ロールを行う方法の総称

<sup>&</sup>lt;sup>25</sup> ASD を繋げることなく、PS board FPGA においてヒットパターンを生成するテストパルス
Forth byte [31:24]			Thi	rd byte [23:16]		Second byte [15:8]	First byte [7:0]				
Status bit [1:0] = 2'b11	xADC read	ADC read	DAC read	DAC write	QSPI status	Si5345 Lock	PP ASIC status	SEM status [2:0]		BCID [11:0]	Comma = 0xbc
32 bit hit data											
32 bit hit data											
32 bit hit data											
						32 bit hit data	ı				
	Status bit [1:0] = 2'b11	Status bit [1:0] = 21011 xADC read	Forth b Status bit [1.0] = 2b11 xADC read ADC read	Forth byte [31:24]           Status bit [1:0] = 2b11         xADC read         ADC read         DAC read	Forth byte [31:24]           Status bit [1:0] = 2b11         xADC read         ADC read         DAC read         DAC write	Forth byte [31:24]           Status bit [1:0] = 2'b'11         xADC read         ADC read         DAC read         DAC write         QSPI status	Forth byte [31:24]           Status bit [1:0] = 2b11         xADC read         ADC read         DAC read         DAC write         QSPI status         Si5345 Lock           32 bit hit date         32 bit hit date         32 bit hit date         32 bit hit date         32 bit hit date	Forth byte [31:24]     Thi       Status bit [1:0] = 2'b11     xADC read     ADC read     DAC read     DAC write     QSPI status     Si5345 Lock     PP ASIC status       32 bit hit data     32 bit hit data     32 bit hit data     32 bit hit data     32 bit hit data	Third byte [31:24]       Third byte [23:16]       Status bit [1.0] = 2b11     xADC read     DAC read     DAC write     QSPI status     Si5345 Lock     PP ASIC status     SEM status [2.0]       32 bit hit data       32 bit hit data       32 bit hit data       32 bit hit data       32 bit hit data	Third byte [23:16]       Third byte [23:16]       Status bit [1.0] = 2b11     xADC read     DAC read     DAC write     QSPI status     Sl5345 Lock     PP ASIC status     SEM status [2.0]       32 bit hit data       32 bit hit data       32 bit hit data       32 bit hit data	Third byte [23:16]         Second byte [15:8]           Status bit [1.0] = 2b11         ADC read         DAC write         QSPI status         Si5345 Lock         PP ASIC status         SEM status [2:0]         BCID [11:0]           Status bit [1.0] = 2b11         xADC read         DAC read         DAC write         QSPI status         Si5345 Lock         PP ASIC status         SEM status [2:0]         BCID [11:0]           Status bit [1.0] = 2b11         xADC read         DAC read         DAC write         QSPI status         Si5345 Lock         PP ASIC status         SEM status [2:0]         BCID [11:0]           Status bit [1.0] = 2b11         xADC read         DAC read         DAC write         QSPI status         Si5345 Lock         PP ASIC status         SEM status [2:0]         BCID [11:0]           Status bit [1.0] = 2b11         xADC read         DAC write         SI5345 Lock         PP ASIC status         SEM status [2:0]         BCID [11:0]           Status bit [1.0] = 2b11         xADC read         SI2 bit hit data         SI2 bit hit data         SI2 bit hit data         SI2 bit hit data

SFP+1					
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]	
Word-0	PS data [7:0]	Data type [3:0]	BCID [11:0]	Comma = 0xbc	
Word-1	32 bit hit data	1			
Word-2	32 bit hit data				
Word-3	32 bit hit data	1			
Word-4	32 bit hit data	1			

図 6.9 PS board から SL へのデータフォーマットの概要。PS board は 2 本の光ファイバーを用い て SL ヘデータを送るため、図では 2 つのデータフォーマットを SFP+0、SFP+1 と分けて書いてい る。ワード 0 が Comma を含むヘッダーであり、ワード 1 からワード 4 に TGC 検出器からのヒット 信号が入っている。SFP+0 のデータフォーマットのワード 0 には、データフォーマットの種類を示す ビット (Status bit)、QSPI フラッシュメモリの中のパラメータ情報にビット反転が起きていないかを 示すビット (QSPI status)、クロックジッタークリーナー (Si5345) が安定したクロックを出力してい るか示すビット (Si5345 Lock)、PP ASIC が正常に働いているか (PLL がロックしているか、SEU エラーが生じていないか)を示すビット (PP ASIC status)、PS board FPGA に実装された SEM の 状態を示すビット (SEM status)、BCID が含まれている。一方で、SFP+1 のデータフォーマットの ワード 0 には BCID、PS board の ADC、DAC、電圧、及び温度に対するモニタリングデータ、及 び PS board FPGA 内のレジスタの値の情報が含まれる。

応答を模したテストパルス信号を入力する。ASD テストパルスはまず ASD でデジタル信号に変換され てから、PP ASIC の可変遅延回路において遅延をかけられ、陽子バンチ識別回路によって BCID され る。その後は PS board FPGA によって SL に転送された後に SL FPGA 内の L0 バッファに収められ、 SL FPGA 内で生成される L0A に対応して PC ヘダンプされる。



図 6.10 読み出しシステムのデモンストレーションの概要。SL から PS board に ASD テストパル スを打つように命令し、ASD から ASD テストパルスが 40 MHz クロックに同期して、すべてのチャ ンネルから同時に出力される。ASD テストパルスは PP ASIC の可変遅延回路において遅延をかけら れてから、陽子バンチ識別回路によって BCID される。その後は PS board FPGA によって SL に転 送された後に SL FPGA 内の L0 バッファに収められ、SL FPGA 内で生成される L0A に対応して PC ヘダンプされる。



図 6.11 Delay Curve の例。ある ASD の 16 チャンネル分をまとめて書いている。陽子バンチ識別 回路の有効ゲート幅を 25 ns、可変遅延回路の刻み幅を 1.19 ns に設定した。遅延が 0 ns の時にアサイ ンされる BCID を Previous BC、Previous BC のそれぞれ 1 BC, 2 BC 後を Current BC, Next BC と呼ぶ。遅延を増やすことによって、ASD テストパルスが順に Previous BC, Current BC, Next BC と BCID されていることがわかる。

まず SL において、PS board からの BCID の連続性を確認することによって SL, PS board 間のリン クが正しく確立できていることを確認した。また、読み出しシステム及び SL から PS board への制御パ スの実証のために "Delay Curve"の作成を行なった。この Delay Curve は、PP ASIC の可変遅延回路 の遅延を変化させた時に、ヒット信号 (ここでは ASD テストパルス) がどのように BCID されるのかを 示すものである。図 6.11 に、ある ASD における Delay Curve を示す (16 チャンネル分をまとめて書い ている)。この試験では陽子バンチ識別回路の有効ゲート幅を 25 ns に設定したため、1 つのヒットは 1 つ の BCID にのみアサインされる (2.2.2 節参照)。また、可変遅延回路の刻み幅を 1.19 ns に設定し、50 ns (= 2 バンチ分)の遅延を可能とした。図 6.11 では、遅延が 0 ns の時にアサインされる BCID を Previous BC、Previous BC のそれぞれ 1 BC, 2 BC 後を Current BC, Next BC と呼んでいる。遅延を増やすこ とによって、ASD テストパルスが順に Previous BC, Current BC, Next BC と想定どおり BCID されて いることがわかる。Delay Curve の作成によって、SL から PS board への制御パス (特に PP ASIC への パラメータ設定)、及び ASD, PS board, SL への読み出しパスが正しく働くことを実証した。この Delay Curve の作成はタイミングキャリブレーションとして重要であり、正しい BCID を行うために必須であ る。このため実際の TGC のセットアップにおいても行うものである。

### 第7章

# 高輝度 LHC-ATLAS 実験における TGC 検出器システムのオペレーション モデル

本章では、高輝度 LHC-ATLAS 実験での TGC 検出器エレクトロニクスシステムにおいて各エレクト ロニクスにもたせる機能を整理し、システム全体のブートや回復のシークエンスについて議論する。

### 7.1 TGC 検出器エレクトロニクスの機能整理

2.2.2 節、及び 4.4 節で説明したように、高輝度 LHC-ATLAS 実験での TGC 検出器エレクトロニク スシステムの主な構成要素は、PS board, JATHub, TAM モジュール, SL (上のメイン FPGA, Zynq MPSoC, IPMC) である。それぞれのエレクトロニクスの接続の概要を図 7.1 に示す。なお QSPI フラッ シュメモリは FPGA の配下にある存在であることから、図 7.1 及び以下の説明において FPGA と QSPI フラッシュメモリ間の経路を示さない。

以下では図 7.1 を参照しながら、これまで説明した技術を元にしてそれぞれのエレクトロニクスにもた せる機能を整理する。

### SL 上の Zynq MPSoC

SL上の Zynq MPSoC のインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - OPC UA server<sup>26</sup>経由での、イーサネット通信を介した上位のコントロールシステムとの通信
  - AXI Chip2Chip<sup>27</sup>経由での、SL メイン FPGA との通信 (図 7.1 中の経路 A)
  - JTAG 線経由での、SL メイン FPGA との通信 (図 7.1 中の経路 B)

<sup>&</sup>lt;sup>26</sup> Open Platform Communications Unified Architecture server の略。Zynq MPSoC 上にソフトウェアとして実装され、コントロールシステムとの通信をを担う

<sup>&</sup>lt;sup>27</sup> AXI プロトコルに従った FPGA 間の安全な通信を行うための IP コア



図 7.1 TGC 検出器エレクトロニクスの接続の概要。より上位のコントロールシステムとの接続、及 び他検出器のエレクトロニクスとの接続は記していない。SL 上の Zynq MPSoC は AXI Chip2Chip 経由 (図中 A)、及び JTAG 線経由 (図中 B) で SL メイン FPGA と接続されており、IPMC とも接続 されている (図中 C)。SL メイン FPGA は、Zynq MPSoC と接続されていると共に、PS board (図 中 D)、TAM モジュール (図中 E) と光ファイバーによって接続されている。JATHub と PS board 及び JATHub と TAM モジュールは Cat 6 ケーブルで接続されている (図中 F, G)。TAM モジュー ルは JATHub の VME マスターとして働く (図中 H) と共に、JATHub ヘクロック位相測定のための 基準クロックを分配する (図中 I)。

- IPMC とのシリアル通信 (図 7.1 中の経路 C)

コントロールに関する機能

- SL 上の QSPI フラッシュメモリへの、SL メイン FPGA のファームウェアの書き込み (経路 B)。Zynq MPSoC のプロセッサー上の XVC アプリケーションが外部サーバーで走る Vivado Hardware Manager アプリケーションからのコマンドをイーサネット経由で受信し、SL ボー ド上の JTAG 線の制御を行うことで実現する。
- SL 上の QSPI フラッシュメモリへの、SL メイン FPGA に必要となるパラメータ情報の書き
   込み (経路 A)。Zynq MPSoC のプロセッサー上のソフトウェアアプリケーションが、SL メ
   イン FPGA を介して SPI 線を制御 (ビットバンギング) し、実現する。
- PS board の QSPI フラッシュメモリへの、PS board FPGA に必要となるパラメータ情報の 書き込み (経路 A, D)。Zynq MPSoC のプロセッサー上のアプリケーションが、SL メイン FPGA、光通信、PS board 上の FPGA を介して、PS board 上の SPI 線を制御 (ビットバン ギング) し、実現する。
- TAM モジュールの QSPI フラッシュメモリへの、TAM モジュール FPGA に必要となるパ ラメータ情報の書き込み (経路 A, E)。Zynq MPSoC のプロセッサー上のアプリケーション が、SL メイン FPGA、光通信、TAM モジュール上の FPGA を介して、TAM モジュール上 の SPI 線を制御 (ビットバンギング) し、実現する。

- JATHub の QPSI フラッシュメモリへの、JATHub ブートファイルの書き込み (経路 A, E, H)。Zynq MPSoC のプロセッサー上のアプリケーションが、SL メイン FPGA、光通信、 TAM モジュール上の FPGA、VME backplane を介して、JATHub 上の SPI 線を制御 (ビッ トバンギング) し、実現する。
- SL / PS board / TAM モジュールの QSPI フラッシュメモリに入っている、パラメータ情報のバリデーション (経路 A, D)。QSPI フラッシュメモリへのパラメータ情報の書き込みと同様に、Zynq MPSoC 上のアプリケーションがビットバンギングにより各ボード上の SPI 線を制御し、フラッシュメモリに入っている情報の確認手続きを行う。
- SL メイン FPGA、PS board FPGA, TAM モジュール FPGA のソフトリセットの命令 (経路 A, D)。Zynq MPSoC 上のアプリケーションからのコマンドによりソフトリセット機能がSL メイン FPGA で有効になり、またソフトリセット信号がメイン FPGA、光通信を介してPS board FPGA、TAM モジュール FPGA に分配される。
- JATHub への VME アクセス (経路 A, E, H)。SL メイン FPGA、光通信、TAM モジュール FPGA を介して、VME backplane を制御することで実現する。
- PS board 上の DAC の書き込み/読み出し、ADC の読み出し (経路 A, D)。Zynq MPSoC 上のアプリケーションが、SL メイン FPGA、光通信、PS board 上の FPGA を介して、DAC素子の I2C 線を制御 (ビットバンギング) する。また PS board FPGA 上の自立型監視機能が読み出した ADC のモニター情報を、SL メイン FPGA が光通信を経由して受信する。Zynq MPSoC がこれを読み出し、上位のコントロールシステムに情報を送信する。
- IPMC へのシリアル通信を介して、データの取得を行う (具体的には IPMC が ATCA Zone 1 コネクタ<sup>28</sup>を介して取得し保有するハードウェアアドレス情報等)。
- トリガー / DAQ / TTC / キャリブレーションに関する機能
  - なし

### SL 上のメイン FPGA

SL 上のメイン FPGA のインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - AXI Chip2Chip 経由での、Zynq MPSoC との通信 (図 7.1 中の経路 A)
  - PS board との通信 (図 7.1 中の経路 D)
  - TAM モジュールとの通信 (図 7.1 中の経路 E)
  - NSW, RPC BIS78, Tile カロリメータからのデータの受信 (図 2.5 参照)
  - MDT TP との通信 (図 2.5 参照)
  - FELIX との通信 (図 2.5 参照)
  - MUCTPI へのデータの送信 (図 2.5 参照)
- コントロールに関する機能
  - SL 上の QSPI フラッシュメモリからパラメータ情報を読み取り、メイン FPGA 上にファー

<sup>&</sup>lt;sup>28</sup> 図 2.13(a) における右上の白色コネクタ

ムウェアとして実装された自律型制御機構がパラメータの設定、通信上下線の確立を行う

- GT トランシーバー RX で受信する信号の状態をモニターし、接続確立時 (回復時) にはリセットの一連の手続きを自動で行う
- トリガー / DAQ に関する機能
  - PS board からデータを固定時間で受け取り (経路 D)、25 ns 単位での遅延をかける<sup>29</sup>
  - TGC BW から受信した全 7 層のヒットデータ、及び磁場内部の検出器からのヒットデータを 用いた飛跡の再構成
  - MDT TP へ飛跡候補を送り、位置分解能に優れた MDT からの情報による、より精密な pT を受け取ることでより高い pT 分解能でミューオン候補の再構成を行う
  - MUCTPI への飛跡候補の送信
  - FELIX から LOA を受け取った場合に FELIX ヘヒット情報及びトリガー情報を渡す
- TTC に関する機能
  - FELIX から TTC 信号 (40.079 MHz の LHC バンチ交差クロック、L0A を含む) を固定位相、
     固定時間で受け取る。
  - PS board へ LHC バンチ交差クロックを固定位相で送る (経路 D)
  - TAM モジュールへ LHC バンチ交差クロックを固定位相で送る (経路 E)
- キャリブレーションに関する機能
  - SL の入力に対するテストパルス<sup>30</sup>

### SL 上の IPMC

SL 上の IPMC のインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - ATCA Zone 1 コネクタを介して、ATCA の Intelligent Platform Management Bus (IPMB)
     インターフェース、Hardware Address インターフェースに接続。また IPMB インターフェー
     スを介した ATCA shelf manager<sup>31</sup>との通信。
  - ATCA shelf manager を経由した上位のコントロールシステムとの通信
  - Zynq MPSoC とのシリアル通信 (図 7.1 中の経路 C)
  - I2C線経由での温度モニター、電圧モニター、DC/DCコンバーターとの通信
  - Zynq MPSoC との JTAG 信号線を用いたデバッグ用の通信
- コントロールに関する機能
  - ATCA Zone 1 コネクタと ATCA shelf backplane の IPMB インターフェースを介して、
     ATCA shelf manager との通信を行い、ボードマネージメントに関する情報を送信する。
  - ATCA Zone 1 コネクタと ATCA shelf backplane の Hardware Address インターフェース を介して、ハードウェアアドレス (スロットの物理的な番号) を取得する
  - メイン FPGA と Zynq MPSoC にかかる電圧、温度をモニターする

<sup>&</sup>lt;sup>29</sup> 複数の PS board からのデータのタイミングを一致させるため

<sup>&</sup>lt;sup>30</sup> PS board を繋げることなく、SL メイン FPGA 内でヒットパターンを生成するテストパルス

<sup>&</sup>lt;sup>31</sup> SL が収められている ATCA クレートのクレートインフラを管理する

- DC/DC コンバータを制御・監視する
- SL ボードのプライマリー電源のオン・オフを管理する。ホットスワップ機能<sup>32</sup>もサポート する
- Zynq MPSoC への JTAG 信号線を用いた通信のマスターとして機能する (デバッグ用)。
   IPMC 上のプロセッサー上で実行されるアプリケーション (XVC 等) の機能として実現される。
- Zynq MPSoC へのシリアル通信をブリッジし、イーサネットから Zynq MPSoC のシリアル ポートへの通信を実現する。
- トリガー / DAQ / TTC / キャリブレーションに関する機能
   なし

### **PS** board

PS board のインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - PS board FPGA による SL との通信 (図 7.1 中の経路 D)
  - ASD の制御、ASD からのデータ受信
  - PS board FPGA による Cat 6 ケーブル経由での JATHub との通信 (図 7.1 中の経路 F)
- コントロールに関する機能
  - PS board FPGA が PS board 上の QSPI フラッシュメモリからパラメータ情報を読み取り、
     PS board FPGA 上にファームウェアとして実装された自律型制御機構が PS board FPGA,
     PP ASIC, MMCM のパラメータの設定、通信上下線の確立を行う
  - PS board FPGA において SEM を走らせることで SEU ステータスを監視し、修復不可能な SEU エラーが生じた場合には、接続された JATHub へ救難要請の信号を送る (経路 F)
  - PS board FPGA による DAC の書き込み/読み出し、ADC の読み出し
  - GT トランシーバー RX で受信する信号の状態をモニターし、接続確立時 (回復時) にはリセットの一連の手続きを自動で行う
- トリガー / DAQ に関する機能
  - ノイズが多いチャンネルの入力を PP ASIC のマスク機能を用いて遮断する
  - PP ASIC において、ミューオンの飛行時間、ASD から PP ASIC までのケーブル長の違いに よる信号のタイミングの違いを吸収し、BCID を行う
  - PS board FPGA が SL へすべてのデータを固定時間で送る (経路 D)
- TTC に関する機能
  - PS board FPGA が SL からの LHC バンチ交差クロックを固定位相で再構成する (経路 D)
  - SL, PS board 間の光ファイバーの長さの違いによる再構成クロックの位相の違いを PS board
     FPGA の中の Dynamic Phase Shift によって吸収し、PS board 間のクロックの位相を揃える
  - PP ASIC へ LHC バンチ交差クロックを分配する

<sup>&</sup>lt;sup>32</sup> ATCA shelf の電源を入れ稼動状態を保ったまま、ATCA shelf からのボードの抜き差しを可能にする機能

- キャリブレーションに関する機能
  - SL から配布されるテストパルストリガーに同期した、PS board FPGA の入力に対するテストパルス<sup>33</sup>
  - SL から配布されるテストパルストリガーに同期した、ASD テストパルス

### **JATHub**

JATHub のインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - ATLAS 回路室とのイーサネット通信
  - Cat 6 ケーブル経由 (JTAG パス、Recover / Monitor パス) での PS board との通信 (図 7.1 中の経路 F)
  - Cat 6 ケーブル経由 (JTAG パス、Recover / Monitor パス) での TAM モジュールとの通信
     (図 7.1 中の経路 G)
  - Cat 6 ケーブル経由 (JTAG パス、Recover / Monitor パス) での隣接した JATHub との通信
  - VME backplane を通した TAM モジュールとの通信 (図 7.1 中の経路 H)
  - TAM モジュールからのクロックの受信 (図 7.1 中の経路 I)
- コントロールに関する機能
  - PS board / TAM モジュールの QSPI フラッシュメモリへの、PS board / TAM モジュール のファームウェアの書き込み (経路 F, G)
  - SEM を走らせることで SEU ステータスを監視し、修復不可能な SEU エラーが生じた場合には、接続された JATHub へ救難要請の信号を送る (経路 G)
  - JATHub, PS board, TAM モジュールからの救難要請の信号を受け取り、それぞれに再コン フィギュレーション信号を送る (経路 F, G)
- キャリブレーションに関する機能
  - PS board 上の LHC バンチ交差クロックの位相測定を行う (経路 F)
  - XVC による JATHub, PS board, TAM モジュールのデバッグ (経路 F, G)
- トリガー / DAQ / TTC に関する機能
  - なし

### TAM モジュール

TAM モジュールのインターフェイス及び機能については以下のようにまとめることができる。

- インターフェイス
  - SL との通信 (図 7.1 中の経路 E)
  - Cat 6 ケーブル経由での JATHub との通信 (図 7.1 中の経路 G)
  - VME backplane を通した JATHub との通信 (図 7.1 中の経路 H)
  - JATHub へのクロック送信 (図 7.1 中の経路 I)

<sup>&</sup>lt;sup>33</sup> FPGA 内での複数のパターンを保持し、指定されたパターンを出力する

- 隣接する 1/12 セクターの TAM モジュールへの/からのクロック送受信

- コントロールに関する機能
  - TAM モジュール上の QSPI フラッシュメモリからパラメータ情報を読み取り、TAM モジュー ルの FPGA 上にファームウェアとして実装された自律型制御機構がパラメータの設定、通信 上下線の確立を行う
  - SEM を走らせることで SEU ステータスを監視し、修復不可能な SEU エラーが生じた場合に は、接続された JATHub へ救難要請の信号を送る (経路 G)
  - SL からの指令による JATHub の QSPI フラッシュメモリへの JATHub ブートファイルの書 き込み (経路 H)
  - SL からの指令による JATHub との VME 通信 (経路 H)
  - GT トランシーバー RX で受信する信号の状態をモニターし、接続確立時 (回復時) にはリセットの一連の手続きを自動で行う
- キャリブレーションに関する機能
  - 同じ VME クレートに入っている JATHub への、クロック位相測定のための基準クロックの 分配 (経路 I)
  - 異なる 1/12 セクター間のクロックの位相合わせを行うために、隣の 1/12 セクターの TAM モジュールから基準クロックを受け、その基準クロックに自分の基準クロックの位相を合わせる
- トリガー / DAQ / TTC に関する機能
   なし

### 7.2 システム全体のブートや回復のシークエンス

本節では高輝度 LHC-ATLAS 実験での TGC 検出器エレクトロニクスシステム全体のブートや回復の シークエンスについて議論する。第5章で説明した自律型制御機構の導入によって、それぞれのエレクト ロニクスが必要とする情報を自分のボード上の QSPI フラッシュメモリ内に保存するようになり、後段か らのパラメータの設定が不要となるため、システム全体のブートや回復のシークエンスを大幅に簡略化す ることが可能となった。

### ブートのシークエンス

高輝度 LHC-ATLAS 実験での TGC 検出器エレクトロニクスシステム全体のブートのシークエンスの 概要を図 7.2 に示す。まず SL 上の Zynq MPSoC 用のブートファイルは SL に挿入される micro SD 内 に保存される。SL に電源を入れた際には、Zynq MPSoC は自動的に micro SD 内のブートファイルを読 むことでコンフィギュレーションされる。一方で、SL 上のメイン FPGA 用のファームウェアは SL 上 の QSPI フラッシュメモリに収められる。このファームウェアは Zynq MPSoC によって JTAG 線経由 で書き込まれる。SL 上の QSPI フラッシュメモリには、ファームウェアの他にも SL のメイン FPGA に 必要となるパラメータ情報が収められる。このパラメータ情報は Zynq MPSoC が AXI Chip2Chip 経由 で書き込む。SL に電源を入れた際には、SL メイン FPGA は自動的にコンフィギュレーションされ、SL



図 7.2 TGC 検出器システムにおけるブートのシークエンスの概要。それぞれの Zynq (FPGA) のブートファイル (ファームウェア) が収められているフラッシュメモリから、それぞれの Zynq (FPGA) に向けて赤矢印が引かれている。また緑矢印がファームウェアを書き込む経路を示してい る。SL 上のメイン FPGA 用のファームウェアは Zynq MPSoC から JTAG 線経由で SL 上の QSPI フラッシュメモリに書き込まれる。一方で、PS board (TAM モジュール) 用のファームウェアは JATHub から JTAG 線経由で PS board (TAM モジュール) 上の QSPI フラッシュメモリに書き 込まれる。紫矢印はパラメータ情報を書き込む経路を示している。SL 上のメイン FPGA 用のパラ メータ情報は Zynq MPSoC から AXI Chip2Chip 経由で SL 上の QSPI フラッシュメモリに書き 込まれる。一方で、PS board (TAM モジュール) 用のパラメータ情報は Zynq MPSoC から AXI Chip2Chip 経由、及び SL から PS board (TAM モジュール) への制御パス経由で PS board (TAM モジュール) 上の QSPI フラッシュメモリに書き込まれる。

の自律型制御機構がパラメータの設定、FELIX からのクロックの再構成、及びシリアル通信線の確立を 行う。また IPMC のファームウェアは IPMC ボード上のフラッシュメモリに保存されており、IPMC は SL に電源を入れた際に自動的にコンフィギュレーションされる。

PS board のファームウェアは JATHub からの JTAG 線を用いて、PS board 上の QSPI フラッシュ メモリに書き込まれる。一方で、PS board に必要となるパラメータ情報は SL からの制御パスを用いて QSPI フラッシュメモリに書き込む。PS board に電源を入れた際には、PS board FPGA は自動的にコ ンフィギュレーションされ、PS board の自律型制御機構がパラメータの設定、SL からのクロックの再構 成、及びシリアル通信線の確立を行う。TAM モジュールのブートのシークエンスは PS board と同様の ため省略する。

JATHub 用のブートファイルは、JATHub 上の QSPI フラッシュメモリ及び JATHub に挿入される SD カードに保存される<sup>34</sup>。JATHub に電源を入れた際には、JATHub 上の Zynq SoC は自動的にブー

<sup>&</sup>lt;sup>34</sup> 不揮発性メモリへの放射線損傷を想定した冗長性のあるブートシステムを構築するために JATHub のブートファイルは QSPI フラッシュメモリ、SD カードに分けて保存される。QSPI フラッシュメモリには同一のブートファイルが 2 つ保存 され、2 枚の SD カードには同一のブートファイルが収められる

トファイルを読むことでコンフィギュレーションされる。

上で説明したシステム全体のブートのシークエンスを構築することによって、以下のことが実現され る。まず ATLAS 回路室・ATLAS 実験室にそれぞれ Zynq を搭載したボートを設置することによって、 QSPI フラッシュメモリへのファームウェアの遠隔での更新・書き込みが可能となる。また、SL 上の Zynq MPSoC 起点で QSPI フラッシュメモリへのパラメータ情報の書き込みを行うことで、イーサネッ ト経由でのデータベースからのパラメータの取得、及び遠隔でのパラメータの更新・書き込みが可能とな る。

### 回復のシークエンス

高輝度 LHC-ATLAS 実験での TGC 検出器エレクトロニクスシステム全体の回復のシークエンスの概 要を図 7.3 に示す。PS board、JATHub、TAM モジュールは ATLAS 実験室内に設置されるため、放射 線損傷に対する対処が必要となる。FPGA における修復可能な SEU については、それぞれの FPGA に 実装した SEM が自動的に修復する。一方で修復不可能な SEU が発生した場合にはそれぞれのエレクト ロニクスは、接続された JATHub へ救難要請の信号を送り、JATHub からの回復信号によって FPGA が再コンフィギュレーションされることで SEU は解消される。その後 PS board、TAM モジュールにお いては自律型制御機構によってパラメータ設定、クロックの再構成、シリアル通信線の確立が行われる。 また、PS board と SL 間及び TAM モジュールと SL 間のシリアル通信線をリセットするためには、



図 7.3 TGC 検出器システムにおける回復のシークエンスの概要。FPGA における修復可能な SEU については、それぞれの FPGA に実装した SEM が自動的に修復する。一方で修復不可能な SEU が 発生した場合にはそれぞれのエレクトロニクスは、接続された JATHub へ救難要請の信号 (青矢印) を送り、JATHub からの回復信号 (赤矢印) によって FPGA が再コンフィギュレーションされること で SEU は解消される。また、PS board と SL 間及び TAM モジュールと SL 間のシリアル通信線を リセットするためには、JATHub からのトランシーバーのリセット信号 (緑矢印) を用いる。

JATHub からのトランシーバーのリセット信号を用いる。

上で説明したシステム全体の回復のシークエンスを構築することによって、以下のことが実現される。 ATLAS 実験室内に制御回路 (JATHub) を設置することにより、修復不可能な SEU に対する対処を完全 に自動的に行うこと、及び FPGA のトランシーバーのリセットを遠隔で行うことが可能となる。

### 第8章

## 結論と今後の展望

本研究では、大規模エレクトロニクスシステムにおける次世代オペレーションモデルの研究を行なっ た。その応用として 2027 年開始予定の高輝度 LHC-ATLAS 実験に着目し、ミューオンのトリガーを行 う TGC 検出器エレクトロニクスシステムのアップグレードに取り組んだ。高輝度 LHC-ATLAS 実験 に向けて TGC 検出器システムは、一部を除いたすべてのエレクトロニクスの刷新を行う。新たなエレ クトロニクスとして、検出器からの信号に対して BCID を行なった上ですべての信号を後段へ転送する PS board、TGC 全 7 層及び磁場内部の検出器からの信号を用いてミューオンの飛跡再構成を行う SL、 PS board 上のクロックの位相測定及び PS board FPGA における修復不可能な SEU への対処を行う JATHub がある。

高輝度 LHC-ATLAS 実験における TGC 検出器システムでは BCID を適切に行うために、SL から PS board への固定位相でのクロック分配、遠隔でのクロック位相制御、及び JATHub によるクロック位相 測定が必要となるため、これらすべての機能について開発を行なった。また、エレクトロニクスの制御と して必要となるすべての手続きを自動でかつ高速に行う自律型制御機構について開発を行なった。この自 律型制御機構は、それぞれのエレクトロニクス上の不揮発性メモリに必要となるパラメータ情報を収める という新たな発想に基づいている。これらの機能の検証のために、ASD, PS board, JATHub, (試験用 の) SL を用いた統合試験のためのテストベンチを立ち上げた。この統合試験において、固定位相でのク ロック分配が 30 ps という十分に良い精度で実現できていること、クロックの位相制御・位相測定が 18 ps の精度で実現できてること、及び自律型制御機構によってトランシーバーのリセットの際には 200 ms、 FPGA の再コンフィギュレーションの際には 4,200 ms という非常に短い時間で PS board がデータ収集 に向けて万全の態勢となることが実証された。

本研究で開発及び実証を行なった固定位相でのクロック分配、遠隔でのクロック位相制御・位相測定、 不揮発性メモリを用いた自律型制御機構は、ATLAS 実験などの高エネルギー物理学実験のみならず、 様々な大規模エレクトロニクスシステムにおいて応用可能な技術であり、次世代型オペレーションモデル のリモート化、スマート化を大幅に促進するものである。

今後は、まず高輝度 LHC-ATLAS 実験における SL を用いた試験を進めていく必要がある。高輝度 LHC-ATLAS 実験における SL を用いたクロック分配等を実証する統合試験を行い、さらに具体的なシ ステムのオペレーションモデルの確立を目指す。一方で、JATHub や PS board の量産が始まるため、こ れらの量産ボードに対する性能評価や、TAM モジュールの第一試作機を用いた全 PS board におけるク ロックの位相合わせの手法の確立が必要となる。ASD, PS board, JATHub, TAM モジュール, SL (上の Zynq MPSoC、メイン FPGA、IPMC) から構成される、高輝度 LHC-ATLAS 実験における TGC 検出 器エレクトロニクスシステムの完成に向けて、本研究で開発した技術や議論を行なったオペレーションモ デルを最大限活用するとともに、より洗練されたものに進化させていく。

謝辞

本研究を遂行するにあたって、多くの方々にお世話になりました。まず指導教員である石野雅也教授に は、研究内容や発表資料等に関する数多くの助言を頂き、大変お世話になりました。また奥村恭幸准教授 には様々な面において助けていただきました。特に技術的な面に対しても詳細なコメントを頂き、本研究 をスムーズに進めることができました。御二方の手助けにより逐一研究方針や研究の位置付けを明確にす ることができ、ATLAS 実験という巨大な実験の中でも自分の役割を認識して適切に他の研究者たちとコ ミュニケーションをとって研究を進めることができました。

日々の研究に関して多くの助言をくださった、研究室ミーティングに参加してくださっているスタッフ の皆さまにも心から感謝申し上げます。斎藤智之助教、増渕達也助教には現行システムの観点から様々な 助言を頂き大変参考になりました。

他の ICEPP の皆様にもお世話になりました。浅井祥仁センター長には様々な研究テーマを与えてくだ さったこと感謝しています。田中純一教授、澤田龍准教授には ATLAS 検出器のセミナーや研究発表会で 質問やコメントを頂き、研究をさらに深めることができました。齊藤真彦特任助教には機械学習の輪講で 大変お世話になりました。他にも ICEPP 夏の学校等で、多くの ICEPP のスタッフや学生の方々に助け ていただきました。また秘書の皆さまにも出張手続きをはじめとした様々な面で支えていただきました、 感謝申し上げます。

JATHub、PS board、SL の開発にあたり、高エネルギー加速器研究機構素粒子原子核研究所の佐々木 修氏、宮原正也氏、池野正弘氏、庄子正剛氏、田内一弥氏には、多くの技術的な助力をいただき大変感謝 しております。特にハードウェア関連の様々な助言やコメントを頂きました、ありがとうございます。

共同で高輝度 LHC-ATLAS 実験に向けたアップグレードの研究を行っている、TGC グループの皆様 にも大変お世話になりました。戸本誠氏、堀井泰之氏、前田順平氏には、研究に対する幾つもの質問やコ メントを頂き、研究の方針を決定するにあたり大変参考になりました。青木雅人氏には、KEK のネット ワーク設定やテストベンチ作成で多くのお力添えをいただきました。水上さん、岡崎さん、三野さん、山 田さんには技術的なサポートをいただいたこと感謝申し上げます。皆川くんには PS board の開発及び統 合試験に共に取り組んで頂けたこと大変感謝しています。KEK での共同研究では長い間、お世話になり ました。大隅くん、橋爪くん、鍋山くんには主に放射線耐性試験の際にお世話になりました。石野研究室 の先輩である田中さんには、研究の初期から面倒をみてくださったこと大変感謝しています。JATHub の開発のみならず、統合試験等の様々な問題についても的確なアドバイスを頂きました。また、後輩であ る三島くん、山下さんには SL のハードウェア試験やデータフォーマットに対する考察をリードして頂い たこと、感謝申し上げます。 石野研究室、奥村研究室の同期にも大変お世話になりました。岡崎、Zynqの開発で色々な情報交換が できて大変助かった。社会人になっても頑張って。林、研究課題は違ったけど雑談に付き合ってくれてあ りがとう。これからもよろしく。

以上に述べた他にも、多くの方々にお世話になりました。本研究の遂行に協力していただいたこと、深 く感謝申し上げます。そして最後に、研究生活を支えてくれた家族に感謝します。

### 付録 A

## TAM モジュールの設計

第3章、第7章で述べたように TAM モジュールは、SL からクロックを受け取り JATHub ヘクロック 位相測定のための基準クロックを分配すると共に、JATHub の VME マスター、及び JATHub の QSPI フラッシュメモリにブートファイルを書き込む役割を果たす。TAM モジュールの仕様は以下のように設 計した。

- Kintex-7 FPGA<sup>35</sup>
- GTX トランシーバー 3 レーン
- クロック出力用 LEMO jack 8 個
- クロック入力用 LEMO jack 2 個
- RJ45 jack 2 個
- VME コネクタ

TAM モジュールの接続の概要を図 A.1 に示す。GTX トランシーバーの 3 レーンはそれぞれ SL からの TTC 信号の受信、JATHub との VME 通信を行うための SL との通信、FPGA のデバッグ用の SiTCP<sup>36</sup>[20] に用いられる。また、1 つの Mini-Rack 内の VME クレートには 6 枚の JATHub が収めら れるため、基準クロックの分配のためにクロック出力用 LEMO jack が 6 個使われる。一方で、隣接する 1/12 セクターとのクロック位相合わせのために、TAM モジュールは隣接する 1/12 セクターの TAM モ ジュールと基準クロックのやりとりを行う。隣のセクターから基準クロックを受けるためにクロック入 力用 LEMO jack が 1 個使われ、もう一方の隣のセクターへ基準クロックを送るためにクロック入力用 LEMO jack が 1 個使われる。また隣のセクターからの基準クロックを送るためにクロックと から、 セクター間の LEMO ケーブルと同じ長さの LEMO ケーブルを用いて自分の基準クロックを自分 に回し入れる。この役割のために、クロック入力用 LEMO jack が 1 個、クロック出力用 LEMO jack が 3 個 にの jack が 3 個使われる。また隣のセクターからの基準クロックを目分の基準クロックを目分

TAM モジュールは ATLAS 回路室に設置されるため、放射線損傷に対する対処が必要となる。PS

<sup>&</sup>lt;sup>35</sup> 型番: XC7K70T-2FBG484

<sup>&</sup>lt;sup>36</sup> FPGA とネットワークを接続する技術であり、ソフトウェアを介在させずに 1 Gbps までのデータ転送を可能にする



図 A.1 TAM モジュールの接続の概要。TAM モジュールは SL から TTC 信号を受信すると共に、 JATHub との VME 通信を行うために SL との通信を行う。また JATHub へのクロック分配、及び 1/12 セクター間のクロックの位相合わせのために、クロック出力用 LEMO jack が 8 個、クロック入 力用 LEMO jack が 2 個搭載される。JATHub との回復手続きパス及び JTAG パスのために、TAM モジュールには PS board と同様に RJ45 jack が 2 個搭載される。TAM モジュールは JATHub の VME マスターとして働くと共に、VME backplane を通して JATHub の QSPI フラッシュメモリに ブートファイルを書き込む役割を果たすため、VME コネクタが TAM モジュールに搭載される。

board と同様に、修復可能な SEU に対しては FPGA 内の SEM で対処し、修復不可能な SEU に対して は Cat 6 ケーブルで接続された JATHub へ救難要請の信号を送り再コンフィギュレーション信号を受け ることで回復する。また TAM モジュールのファームウェアを収める TAM モジュール上の QSPI フラッ シュメモリへの書き込みは、JATHub からの JTAG パスを用いて行う。この回復手続きパス及び JTAG パスのために、TAM モジュールには PS board と同様に RJ45 jack が 2 個搭載される。

また TAM モジュールは JATHub の VME マスターとして働くと共に、VME backplane を通して JATHub の QSPI フラッシュメモリにブートファイルを書き込む役割を果たす。このために VME コネ クタが TAM モジュールに搭載される。

以下に TAM モジュール第一試作機の回路図を示す。



図 A.2 TAM モジュール第1 試作機の回路図。TOP ページ。TOP ページは全体の回路図の概要を示しており、配下のページ間の配線を示している。



図 A.3 TAM モジュール第1 試作機の回路図。BANK 0 ページ。FPGA のコンフィギュレーション用の信号を含む。



図 A.4 TAM モジュール第 1 試作機の回路図。BANK 13, 14 ページ。JATHub の QSPI フラッ シュメモリへのブートファイル書き込みに用いる信号、JATHub との VME 通信用信号、及びファー ムウェアを収める QSPI フラッシュメモリを含む。



図 A.5 TAM モジュール第 1 試作機の回路図。BANK 15, 16 ページ。JATHub との VME 通信用 信号、JATHub との回復手続きパス用の信号を含む。



図 A.6 TAM モジュール第 1 試作機の回路図。BANK 33, 34 ページ。クロックジッタークリー ナーの制御用信号、クロックジッタークリーナーへの再構成クロックの出力、基準クロックの出力、及 び基準クロックの入力を含む。



図 A.7 TAM モジュール第1 試作機の回路図。BANK 115 ページ。SL との通信用信号を含む。



図 A.8 TAM モジュール第1 試作機の回路図。BANK GND, POWER ページ。FPGA への電源、 及び GND を供給する。



図 A.9 TAM モジュール第 1 試作機の回路図。BOARD INTERFACE ページ。JATHub との JTAG パス、回復手続きパスのための RJ45 jack。



図 A.10 TAM モジュール第 1 試作機の回路図。SFP+ ページ。SL との通信及びデバックのための SiTCP 用の SFP+。



図 A.11 TAM モジュール第 1 試作機の回路図。LEMO IN ページ。2 つのクロック入力用 LEMO jack。



図 A.12 TAM モジュール第 1 試作機の回路図。LEMO OUT ページ。8 つのクロック出力用 LEMO jack。FPGA から出力したクロックを 8 つにファンアウトしている。



図 A.13 TAM モジュール第 1 試作機の回路図。JITTER CLEANER ページ。再構成されたクロックを受け、ノイズを除去するクロックジッタークリーナー。



図 A.14 TAM モジュール第 1 試作機の回路図。VME J1, J2 CONNECTOR ページ。JATHub との VME 通信のための VME コネクタ。



図 A.15 TAM モジュール第 1 試作機の回路図。VME J3 CONNECTOR ページ。JATHub の QSPI フラッシュメモリへのブートファイルの書き込み用、及び電源供給用 VME コネクタ。



図 A.16 TAM モジュール第 1 試作機の回路図。VME ADDRESS BUFFER ページ。VME のア ドレス線用のバッファー。



図 A.17 TAM モジュール第 1 試作機の回路図。VME DATA BUFFER ページ。VME のデータ 線用のバッファー。



図 A.18 TAM モジュール第1 試作機の回路図。VME J3 BUFFER ページ。JATHub の QSPI フ ラッシュメモリへのブートファイルの書き込み用信号のためのバッファー。



図 A.19 TAM モジュール第1 試作機の回路図。電源ページ。リニアレギュレータを仕様して、電源 を管理している。

## 付録 B

# PS board から SL へのデータフォー マットの詳細

6.5 節で説明した PS board から SL へのデータフォーマットの詳細について述べる。3.4 節で説明した ように、PS board は 40 MHz の頻度で 5 ワード (160 bit) を送信する。ワード 0 は Comma、及び制御・ 監視用信号を含むヘッダーであり、ワード 1 からワード 4 には TGC 検出器からのヒット信号が入って いる。

まずワード 0 のデータフォーマットを図 B.1 に示す。加速器運転中に用いる本番用のデータフォー マット (図 B.1(a) 参照) については 6.5 節で説明したため、ここでは説明を省く。PS board 上の素子 (QSPI フラッシュメモリ, PP ASIC, クロックジッタークリーナー, DAC, ADC) を制御するビットバン

Normal			
SFP+0			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	Status bit [1:0] = 2'b11 xADC read ADC read DAC read DAC write QSPI status Si5345 Lock	PP ASIC status SEM status [2:0] BC	D [11:0] Comma = 0xbc
SFP+1			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	PS data [7:0]	Data type [3:0] BC	D [11:0] Comma = 0xbc
	(a) 本釆田デー	77 to - 7 w b	
	(a) 平田用ノーシ	*///-	
Bit banging			
SFP+0			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	Status bit [1:0] = 2'b10 xADC read ADC read DAC read DAC write 2'b0	SDA[1:0] 2'b0 BC	D [11:0] Comma = 0xbc
SFP+1			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	SDO [10:0]	1 b0 BC	D [11:0] Comma = 0xbc
	(1) 10 1 05 105 20		
	(b) ビットパンキングF	用アーダフォーマット	
Connection cl	heck		
SFP+0			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	Status bit [1:0] = 2'b01 PS board ID [10:0]	Link number = 1 b0	2'b0 BCID [7:0] Comma = 0xbc
SFP+1			
Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8] First byte [7:0]
Word-0	Status bit [1:0] = 2'b01 PS board ID [10:0]	Link number = 1 b1	2'b0 BCID [7:0] Comma = 0xbc
	(c) SL. PS board 間の接続	試験用データフォーマット	

図 B.1 PS board から SL へのデータフォーマット (ワード 0 の詳細)。

ギングを行うためのデータフォーマットを図 B.1(b) に示す。このビットバンギングは基本的にデバッグ に用いるものである。図 B.1(c) に SL, PS board 間の接続が正しいものになっているのかを試験するた めのデータフォーマットを示す。それぞれのリンクに 5.2 節で述べた PS board の ID、及びリンク番号 (SFP+0 はリンク番号 0、SFP+1 はリンク番号 1) が含まれている。

TGC 検出器からのヒット信号を送るワード 1 からワード 4 のデータフォーマットを組み立てるために は、SL のメイン FPGA における Super Logic Region (SLR) 構造 [21] を考慮しなくてはならない。SL のメイン FPGA は 4 つの FPGA ダイ (それぞれを SLR と呼ぶ) から構成されており、SLR 間は Super Long Line (SLL) によって繋がれている。SLL は数が限定されており、SLL を用いた信号伝達の遅延は 同一 SLR 内の信号伝達の遅延よりも大きいため、SLR 間を跨ぐ信号の数を最小限に抑えるような設計を することが好まれる。

1 枚の SL は 2.2.2 節で述べたように、TGC BW の 3 つのトリガーセクターからヒット信号を受け取 る。それぞれのトリガーセクターは独立に飛跡再構成がなされる必要があるため、図 B.3 のようにそれ ぞれの SLR が 1 つのトリガーセクターの飛跡再構成を行うようなデザインを用いる。このように 1 つの SLR に 1 つのトリガーセクターからのヒット情報を集め、さらに SLR 間を跨ぐ信号の数を最小限に抑え るためには、PS board からの 1 本のリンクには 1 つのトリガーセクターからのヒット情報しかないよう に、PS board のデータフォーマットを決める必要がある。以下では PP ASIC を指定するために、PP1 ~ PP8 という名称を用いるため、PS board におけるそれぞれの PP ASIC の位置を図 B.4 に示す。



図 B.2 SLR 構造の概要 [21]。SL のメイン FPGA は 4 つの FPGA ダイ (それぞれを SLR と呼ぶ) から構成されており、SLR 間は SLL によって繋がれている。



図 B.3 SLR 構造を考慮した飛跡再構成。



図 B.4 PP ASIC の番号付け。

PP ASIC	Trigger Sector	PP /	ASIC	Trigger Sector	PP ASIC	Trigger Sector	PP ASIC	Trigger Sector
PP1-A	Endcap 1	PP	1-A	Endcap 2	PP1-A	Endcap 1	PP1-A	Endcap 2
PP2-A		PP	2-A	Endcap 2	PP2-A	Forward	PP2-A	Endcap 2
PP3-A		PP	3-A	Endcap 1	PP3-A	Endcap 1	PP3-A	Endcap 2
PP4-A	Forward	PP	4-A	Endcap 1	PP4-A		PP4-A	Endcap 2
								•
PP1-B	Endcap 1	PP	1-B	Endcap 2	PP1-B	Endcap 1	PP1-B	Endcap 2
PP2-B		PP	2-B	Endcap 2	PP2-B	Forward	PP2-B	Endcap 2
PP3-B		PP	3-B	Endcap 1	PP3-B	Endcap 1	PP3-B	Endcap 2
PP4-B	Forward	PP	4-B	Endcap 1	PP4-B		PP4-B	Endcap 2
PP5-A	Endcap 1	PP	5-A	Endcap 2	PP5-A	Endcap 1	PP5-A	Endcap 1
PP6-A	Endcap 1	PP	6-A	Endcap 2	PP6-A	Forward	PP6-A	Endcap 1
PP7-A	Forward	PP	7-A	Endcap 1	PP7-A	Endcap 1	PP7-A	Endcap 1
PP8-A	Forward	PP	8-A	Endcap 1	PP8-A	Forward	PP8-A	Endcap 1
PP5-B	Endcap 1	PP	5-B	Endcap 2	PP5-B	Endcap 1	PP5-B	Endcap 1
PP6-B	Endcap 1	PP	6-B	Endcap 2	PP6-B	Forward	PP6-B	Endcap 1
PP7-B	Forward	PP	7-B	Endcap 1	PP7-B	Endcap 1	PP7-B	Endcap 1
PP8-B	Forward	PP	8-B	Endcap 1	PP8-B	Forward	PP8-B	Endcap 1

図 B.5 2 つのトリガーセクターからの入力がある PS board における、それぞれの PP ASIC が扱 うトリガーセクター。

1 枚の SL が受ける、TGC BW からの信号を扱う 29 枚の PS board の内 25 枚の PS board は 1 つの トリガーセクターの信号しか扱わないため、如何なるデータフォーマットを使用したとしても上記の要 求は満たされる。2 つのトリガーセクターからの入力がある 4 枚の PS board における、それぞれの PP ASIC が扱うトリガーセクターを図 B.5 に示す。これらの PS board に対して上記の要求を満たすために は、図 B.6 に示す 3 種類のデータフォーマットを用いる必要がある。それぞれのデータフォーマットを Type Alpha (PP1, 2, 5, 6 と PP3, 4, 7, 8 に分ける)、Type Beta (PP1, 3, 5, 7 と PP2, 4, 6, 8 に分け る)、Type Gamma (PP1, 2, 3, 4 と PP5, 6, 7, 8 に分ける) と呼ぶ。1 つのトリガーセクターからの入 力しか扱わない PS board に対しては、どのようなデータフォーマットを用いても良いが、ワイヤーに対 して Low  $\eta$  を SFP+0 で、High  $\eta$  を SFP+1 で送る Type Alpha のデータフォーマットを用いることと した。

SFP+0
-------

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]	
Word-1	PP1	Ach	PP1 Bch		
Word-2	PP2	Ach	PP2 Bch		
Word-3	PP5 Ach		PP5 Bch		
Word-4	PP6 Ach		PP6 Bch		

#### SFP+1

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]	
Word-1	PP3	Ach	PP3 Bch		
Word-2	PP4	Ach	PP4 Bch		
Word-3	PP7 Ach		PP7 Bch		
Word-4	PP8	PP8 Ach PP8 Bch			

(a) Type Alpha データフォーマット

### SFP+0

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]	
Word-1	PP1	Ach	PP1 Bch		
Word-2	PP3	Ach	PP3 Bch		
Word-3	PP5 Ach		PP5 Bch		
Word-4	PP7 Ach		PP7 Bch		

#### SFP+1

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]	
Word-1	PP2	Ach	PP2 Bch		
Word-2	PP4	Ach	PP4 Bch		
Word-3	PP6 Ach		PP6	Bch	
Word-4	PP8 Ach		PP8 Bch		

(b) Type Beta データフォーマット

#### SFP+0

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]
Word-1	PP1	Ach	PP1	Bch
Word-2	PP2	Ach	PP2	Bch
Word-3	PP3 Ach		PP3	Bch
Word-4	PP4	Ach	PP4	Bch

#### SFP+1

Word (32 bit)	Forth byte [31:24]	Third byte [23:16]	Second byte [15:8]	First byte [7:0]
Word-1	PP5	Ach	PP5	Bch
Word-2	PP6	Ach	PP6	Bch
Word-3	PP7 Ach		PP7	Bch
Word-4	PP8	Ach	PP8	Bch

#### (c) Type Gamma データフォーマット

図 B.6 PS board から SL へのデータフォーマット (ワード1からワード4の詳細)。図 B.5 で示した 2 つのトリガーセクターからの入力を扱う PS board に対して、1 つのリンクに 1 つのトリガーセクターからのヒット情報のみが入るようにするためには Type Alpha (PP1, 2, 5, 6 と PP3, 4, 7, 8 に分ける)、Type Beta (PP1, 3, 5, 7 と PP2, 4, 6, 8 に分ける)、Type Gamma (PP1, 2, 3, 4 と PP5, 6, 7, 8 に分ける) の 3 種類のデータフォーマットを用いる必要がある。1 つのトリガーセクターからの入力しか扱わない PS board に対しては、Type Alpha のデータフォーマットを用いることと した。

## 参考文献

- P.A. Zyla et al. (Particle Data Group), The Review of Particle Physics (2020), Prog. Theor. Exp. Phys. 2020, 083C01 (2020).
- [2] CERN Service graphique. Overall view of the LHC. Vue d'ensemble du LHC. Jun 2014. General Photo.
- [3] O. S. Bruning et al., LHC Design Report (CERN Yellow Reports: Monographs). Geneva, Switzerland: CERN, 2004.
- [4] The ATLAS Collaboration et al. 2008 JINST **3** S08003.
- [5] CERN, HL-LHC industry. Project Schedule.
- [6] The ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System. CERN-LHCC-2017-020. 15 June 2018.
- [7] The ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer. CERN-LHCC-2017-017. 15 December 2017.
- [8] The ATLAS Collaboration, ATLAS Muon Spectrometer Technical Design Report. CERN-LHCC-97-022, 31 July 1997.
- [9] 赤塚 駿一, LHC-ATLAS 実験 Run-3 に向けたミューオントリガーの改良, 修士論文, 2017.
- [10] ATLAS TGC Collaboration, Amplifier-Shaper-Discriminator ICs and ASD Boards, 1999.
- [11] ATLAS TGC Collaboration, TGC Patch-Panel ASIC Design Report for Production Readiness Review, 2019.
- [12] 竹本享史, ATLAS 実験ミューオントリガーシステム用 LSI の開発と統合評価テスト, 修士論文, 2004.
- [13] 小林蓮, 高輝度 LHC ATLAS 実験に向けた初段ミューオントリガーアルゴリズムの改良とハード ウェアへの実装, 修士論文, 2021.
- [14] 三野裕哉, 高輝度 LHC ATLAS 実験に向けた初段ミューオントリガーアルゴリズムの開発および ハードウェアへの実装, 修士論文, 2020.
- [15] A. X. Widmer and P. A. Franaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code," in *IBM Journal of Research and Development*, vol. 27, no. 5, pp. 440-451, Sept. 1983, doi: 10.1147/rd.275.0440.
- [16] Xilinx Inc, 7 Series FPGAs GTX/GTH Transceivers User Guide (UG476), 2018.
- [17] Xilinx Inc, Clocking Wizard v6.0 LogiCORE IP Product Guide (PG065), 2021.

- [18] Texas Instruments, Quad High-Speed Differential Receivers datasheet, 2004.
- [19] Xilinx Inc, 7 Series FPGAs SelectIO Resources User Guide (UG471), 2018.
- [20] 内田 智久, SiTCP ホーム, 2010.
- [21] Xilinx Inc, Large FPGA Methodology Guide (UG872), 2012.