修士学位論文
大規模高エネルギー実験における電子回路モジュール制御への system-on-a-chip デバイスの応用研究
Application study of the system-on-a-chip device to electronic control systems in large-scale high energy physics experiments

35-176087
東京大学大学院理学系研究科物理学専攻
石野研究室修士課程 2 年
東田 旺大

2019 年 1 月 24 日

概 要

欧州原子核機構で行われているLHC-ATLAS実験は、LHC加速器によって陽子と陽子を衝突させ、発生する素粒子をATLAS検出器で観測するという、大規模高エネルギー実験である。2018年現在の重心系エネルギーは最大13TeVであり、世界最大である。2008年に実験は始められ、2012年に標準理論における最後の未発見の粒子であったヒッグス粒子の発見に成功した。以降現在に至るまで、標準理論で説明できないダークマターや階層性問題を説明する、超対称性粒子の発見やヒッグス粒子の結合定数の精密測定を目的に、実験は続けられている。

LHCによる陽子-陽子衝突は40MHzであり、また陽子-陽子衝突では関心のある物理事象に対して雑音となる事象が多く発生する。そのため、すべての実験結果を保存するのは現実的ではなく、また非効率であることから、ATLASではミューオン検出器の情報を主として、欲しい実験結果だけを取捨選択する「トリガー判定」を行っている。衝突点由来のミューオンの飛跡から運動量を割り出し、高い運動量を持つ場合にその事象を保存する命令を検出器全体に与える。

LHC-ATLAS実験の標準運転パターンは、3年、または4年間の連続運転の後、加速器・測定器のアップグレードのために2年の休止期間を設けるというものである。運転休止期間中に、運転期間中に発見された不具合の修正や運転と平行して進められた開発項目を投入することで、データ収集効率を大きく向上させて次の実験期間に臨むことを可能にしている。具体的にはLHCはエネルギーとルミノシティの向上を目指し、ATLASは粒子のカウントレートの上昇に耐えられるよう、飛跡再構成の精度やエネルギー分解能の向上を図っている。2025年には、LHCはルミノシティを大幅に向上させたHigh Luminocity-LHCとして運転を開始する。これに対応して、ATLASのミューオン検出器のTGCは、2025年以降の運転では読み出しのエレクトロニクスを全て入れ替えて、新たなトリガー判定用のロジックを導入する予定である。検出器のおかれる実験ホール内や、また、その外側の実験室にも大規模なFPGA（Field-Programmable Gate Array）を搭載したトリガー回路が新たに導入されるが、その運用のためには、FPGA内のアルゴリズムを実験ホールの外から自在に変更するための新しいセットアップが必要となる。

本研究では、このような大規模エレクトロニクスのスローコントロールに、プロセッサーとFPGAが一体になったsystem-on-a-chip(SoC)デバイス「ZYNQ」を応用することを試みた。このための開発手法を確立し、基礎的な機能の開発とデモンストレーションを行った。一つは、ホストPCから、ZYNQを介して、ネットワーク経由でFPGAのコンフィギュレーションを行う機能であり、もう一つはZynq自体で動作するOSをTCP/IP通信を用いて更新する機能である。これらの開発をおこなった結果、大規模FPGA搭載型回路を、ZYNQ SoCを経由した遠隔制御の基礎が確立した。

目 次

第 1 章 LHC-ATLAS 実験 **6**
1.1 素粒子物理における LHC-ATLAS 実験の意義 6
1.2 LHC 加速器 7
1.3 ATLAS 検出器 8
1.3.1 ATLAS 検出器の概要 8
1.3.2 マグネット 11
1.3.3 内部飛跡検出器 12
1.3.4 カロリメーター 15
1.3.5 ミューオン検出器 18
1.3.6 ATLAS 検出器のトリガーシステム 24

第 2 章 TGC 検出器 **27**
2.1 TGC 検出器の役割 27
2.2 TGC 検出器の配置 28
2.3 トリガーの発行単位 28
2.4 TGC エレクトロニクス 30
2.4.1 ASD 31
2.4.2 PP ASIC 31
2.4.3 SLB ASIC 32
2.4.4 HPT 32
2.4.5 Sector Logic 32
2.4.6 SSW 34
2.4.7 ROD 36

第 3 章 Phase II アップグレード **37**
3.1 LHC のアップグレード 37
3.2 ATLAS のアップグレード 39
3.2.1 ATLAS の Phase I アップグレード 39
3.2.2 ATLAS の Phase II アップグレード 40
3.3 TGC エレクトロニクスのアップグレード 41

第 4 章 Zynq を用いた開発 **47**
4.1 SoC デバイス「ZYNQ」 47
4.2 一般的な ZYNQ の開発手順 49
4.3 Xilinx Virtual Cable 52

4.4 ネットワーク経由での更新 53
4.5 今後の計画 54
4.6 実験における運用の想定 54

第 5 章 まとめと今後 57

図 目 次

1.1 標準理論における素粒子の一覧 [1] 7
1.2 LHC と前段の加速器の概念図 [2] 8
1.3 LHC 加速器と 4 つの検出器 (ATLAS、CMS、ALICE、LHCb) のイメージ図 [3] 9
1.4 LHC の運転計画 [4] 9
1.5 ATLAS 検出器の断面図 [5] 10
1.6 Tile Calorimeter とマグネットの構造 [5] 11
1.7 内部飛跡検出器の構造 [5] 12
1.8 内部飛跡検出器の断面図 [5] 13
1.9 Pixel の構造 [5] 14
1.10 SCT の構造 [5] 14
1.11 TRT の構造 [5] 15
1.12 カロリメーターの断面図 [5] 15
1.13 LAr カロリメーターの断面図 [5] 16
1.14 タイルカロリメーターの断面図 [5] 17
1.15 FCal の断面図 [5] 18
1.16 ミューオン検出器の概念図 [5] 19
1.17 Z 軸 (ビーム軸) を平面にとったミューオン検出器の断面図 [5] 20
1.18 MDT チューブの断面図 [5] 20
1.19 MDT チューブの構造 [5] 21
1.20 CSC の構造 [5] 22
1.21 CSC の断面図 [5] 22
1.22 RPC の構造 [5] 23
1.23 TGC の構造 [7] 23
1.24 TGC の全体図 [5] 24
1.25 陽子-陽子衝突における各素粒子とヒッグス粒子の散乱断面積の比較 [8] . . 25

2.1 Point Angle Measurement の概念図 27
2.2 TGC の RZ 平面における断面図 [9] 28
2.3 TGC の Rϕ 平面における断面図 [10] 29
2.4 TGC の Rϕ 平面における断面図 [10] 29
2.5 TGC の L1 トリガーで用いる RoI の概念図 [5] 30
2.6 TGC エレクトロクスの全体図 [5] 31
2.7 ASD ボードの画像 [11] 32
2.8 SLB のブロックダイヤグラム [10] 33

2.9 SLB のトリガー部のダイヤグラム [10] 33
2.10 SL ボードの画像 [12] 34
2.11 Run-1 での L1 トリガーとオフラインミューオンの比較 [13] 35
2.12 Inner Coincidence の概念図 [14] 35

3.1 Phase II アップグレードにおける LHC の主なアップグレード 38
3.2 New Small Wheel の概念図 [15] 40
3.3 New Small Wheel の構造 [15] 40
3.4 Phase II アップグレードにおける TGC エレクトロニクスの全体図 41
3.5 Phase II アップグレードにおけるトリガー系の概念図 42
3.6 Phase II アップグレードにおける Sector Logic の完成予定図 43
3.7 Phase II アップグレードにおける PS Board の完成予定図 44
3.8 TGC エレクトロニクスにおける ZYNQ を運用する計画の概念図 45
3.9 Phase II アップグレード後の TGC による Level-0 トリガーの Efficiency シミュレーション 46

4.1 ZYNQ の概念図 48
4.2 ZYNQ 評価ボード「Zybo Z7-10」. 48
4.3 Vivado を用いた物理アドレスの割り当ての様子 50
4.4 Vivado を用いたブロックデザインの一例 50
4.5 device-tree の記法の一例 [17] 51
4.6 Xilinx Virtual Cable における Vivado によるブロックデザイン 52
4.7 Xilinx Virtual Cable の試験の様子 53
4.8 Host PC から、ZYNQ への JTAG Bus が開通している様子 54
4.9 ネットワーク経由での更新の概念図 55
4.10 AXI Chip2Chip の概念図 55
4.11 今後の運用における Zynq の利用の概念図 56

表 目 次

1.1 各内部飛跡検出器の性能 [6] 13
1.2 各ミューオン検出器の性能 19

3.1 LHC の運転計画 37

4.1 XC7Z010 の主な機能一覧 [16] 49

第1章　LHC-ATLAS実験

LHC-ATLAS 実験とは、スイス、ジュネーヴ郊外にある欧州原子核研究機構 (CERN) にて 2008 年から行われている、高エネルギー物理実験である。LHC(Large Hadron Collider) 加速器によって陽子を加速させ、陽子-陽子衝突を起こす。それによって発生する高エネルギー物理の事象を、ATLAS(A Troidal LHC Apparatus) 検出器で測定する。LHC の特徴は世界最大の重心エネルギーで、2018 年現在では 13TeV である。他に例を見ないエネルギーフロンティアでの実験であり、2012 年にそれまで未発見であった標準理論における最後の素粒子、ヒッグス粒子を発見した。以降、改良を続けながら実験が行われていて、今後は標準理論を超えた新粒子の発見が期待されている。

本章では、LHC-ATLAS 実験の目指す物理について説明した後、LHC 加速器、ATLAS 検出器の概要を説明する。

1.1　素粒子物理における LHC-ATLAS 実験の意義

素粒子とは、物質の構成する粒子の中で、現在わかっている最小単位である粒子である。素粒子の種類、作用を説明する理論として、標準理論と呼ばれる理論が提唱されてきた。これは、6 種類のクォーク、6 種類のレプトン、4 種類のゲージ粒子、ヒッグス粒子によって素粒子の相互作用を説明する理論である。図 1.1 に標準理論に登場する、素粒子の一覧を示した。

クォーク、レプトンは物質を構成する粒子である。陽子や中性子のようなハドロンは、クォークが強い相互作用によって結合した状態である。一方でレプトンには、強い相互作用が働かない。なお、クォークとレプトンはすべて、フェルミオンである。ゲージ粒子は、電磁相互作用、強い相互作用、弱い相互作用といった、力を伝える粒子である。現在の素粒子の理論では、重力を除くこの 3 種類の力を説明していて、いずれのゲージ粒子もボソンである。

20 世紀の間に、この標準理論で予言されるヒッグス粒子を除く粒子が、実験により発見された。そして、2012 年の LHC-ATLAS,CMS 実験によるヒッグス粒子の発見をもって、標準理論に登場するすべての素粒子の存在が確認された。

素粒子物理の現象は、標準理論によってほとんど説明することができている。一方で、標準理論では説明することができない現象や問題がわかっていて、それらは現代の素粒子物理学における重要な研究対象となっている。ダークマターを説明する粒子や、ニュートリノの質量の問題などを解決すべく、標準理論を超える粒子の存在が様々な理論で提唱され、また実験により検証されている。

LHC-ATLAS 実験は、ヒッグス粒子の発見以降、この標準理論を超える粒子の発見を、実験の主目的の一つとしている。LHC による新粒子の探索は、エネルギーフロンティア

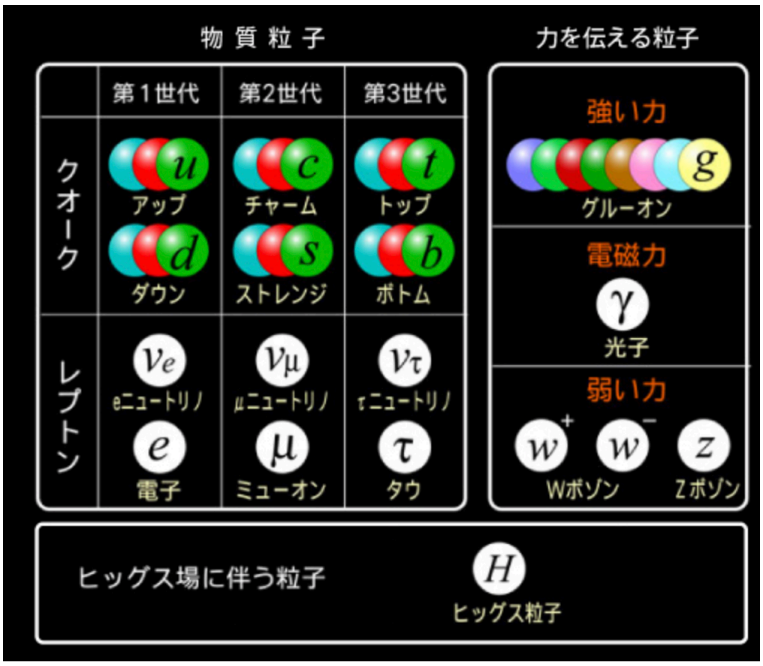

図 1.1: 標準理論における素粒子の一覧 [1]

であるという点で、2018 年現在では唯一無二の実験であり、世界中の研究機関による国際実験として進められている。

新粒子の候補として、有力な候補の一つとして超対称性粒子がある。これは、標準理論に登場する素粒子それぞれに、スピンが 1/2 異なる超対称性パートナーが存在することを提唱する、超対称性理論で予言される粒子である。ATLAS 実験において、この超対称性粒子のうちの、クォークの超対称性パートナーであるスクォーク、グルーオンの超対称性パートナーであるグルイーノを発見できる可能性がある。

1.2 LHC 加速器

LHC とは、CERN の地下に設置されている、大型陽子-陽子衝突型加速器である。重心エネルギーは 13TeV であり、これは 2018 年現在で世界最高である。図 1.2 に LHC と前段の加速器の概念図を示す。LHC での陽子衝突の前に、前段の複数の加速器によって段階的に陽子を加速させている。はじめに、陽子イオンを線形加速器 Linac2 で加速させ、(50MeV)、シンクロトロンである PS Booster(1.4GeV)、PS(25GeV)、SPS(450GeV) で加速させた後に、LHC による加速、衝突を行う。

LHC には、4 つの衝突点に検出器が置かれていて、前述した ATLAS のほか、Compact Muon Solenoid(CMS)、A Large Ion Collider(ALICE)、LHCb 検出器がある。このうち、CMS は ATLAS 検出器と同様、ヒッグス粒子の発見を目的に運転を開始し、現在は新粒子の探索やヒッグス粒子の精密測定を目的としている。図 1.3 に、LHC 加速器の全体像と 4 つの検出器の位置を示した。

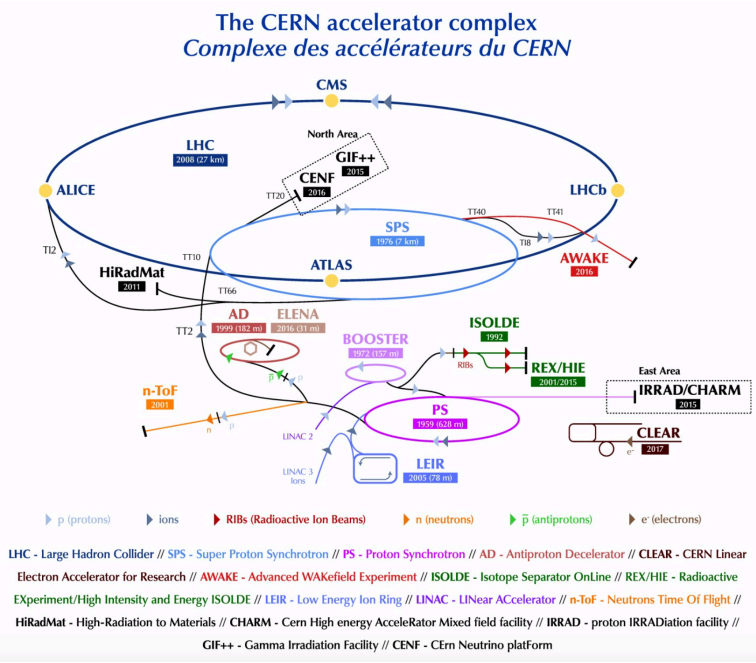

図 1.2: LHC と前段の加速器の概念図 [2]

LHC は円形の加速器であるが、これは線形の加速器に比べて大きさの割にエネルギーを増幅しやすいという利点がある。反面、電子のようにシンクロトロン放射の大きい粒子の加速には不向きであるため、電子より損失が少なく、他の荷電粒子より加速しやすい陽子を用いている。ただし、陽子-陽子衝突は強い相互作用による過程を、レプトンの衝突に比べてはるかに多く引き起こし、目的の事象に対してノイズとなる事象が多くなる。

LHC は運転期間と改良のための休止期間を交互にとりながら、これまで実験が行われてきている。LHC の運転計画を図 1.3 に示した。2010 年から重心系エネルギー 7TeV から 8TeV、最大瞬間ルミノシティ$0.77 \times 10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ で運転を開始し、2012 年まで運転を続けた (これを Run-1 と呼ぶ)。そして、2013 年から 2015 年の間はロングシャットダウンと呼ばれる休止期間に入り加速器の改良が行われた。その後 2016 年から 2018 年まで現在の重心系エネルギー 13TeV で運転された (Run-2)。2019 年から 2020 年までは再びロングシャットダウン期間に入り、2021 年からの運転 (Run-3) では重心系エネルギー 14TeV で 3 年間運転する計画である。また、その後さらなる改良を経て、2026 年から瞬間ルミノシティを向上させた HL-LHC(High-Luminocity LHC) として運転を再開する計画である。

1.3 ATLAS 検出器

1.3.1 ATLAS 検出器の概要

ATLAS 検出器とは、LHC の衝突点の一つに設置されている、高エネルギー物理の事象を記録する検出器である。図 1.5 に ATLAS 検出器の断面図を示す。高さは 25m、長さは 44m、総重量は約 7,000 トンである。検出器は、衝突点から見た前方と後方で対称な構造

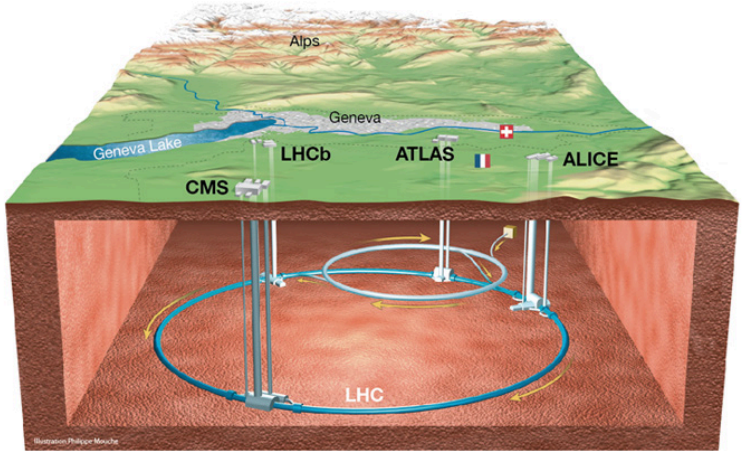

図 1.3: LHC 加速器と 4 つの検出器 (ATLAS、CMS、ALICE、LHCb) のイメージ図 [3]

x

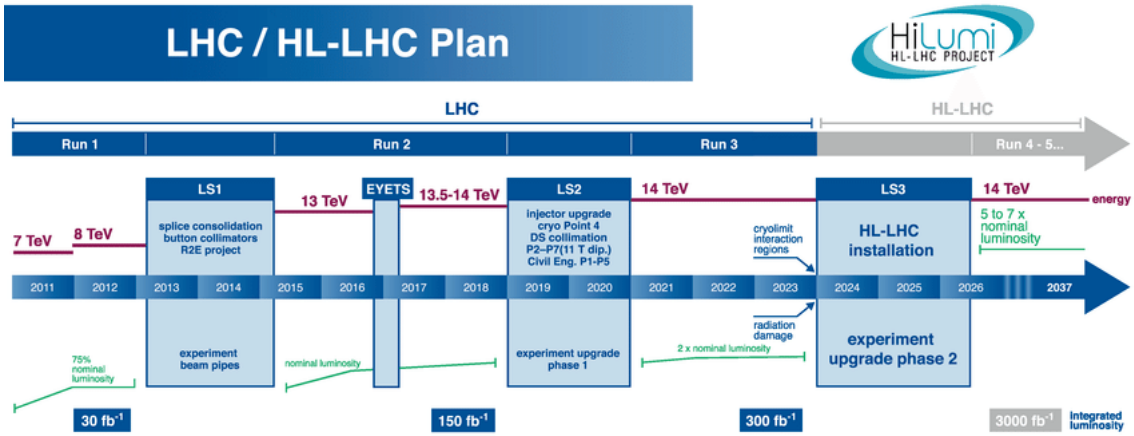

図 1.4: LHC の運転計画 [4]

をしている。陽子-陽子衝突点のある内側から、内部飛跡検出器、カロリメーター検出器、ミューオン検出器の順番で、それぞれ複数の検出器で成り立っている。衝突によるそれぞれの物理事象に対して、粒子の軌跡、エネルギー、運動量といった物理量を計測する。また、ミューオンの運動量計測のために検出器中に磁場を発生させる、マグネットを搭載している。

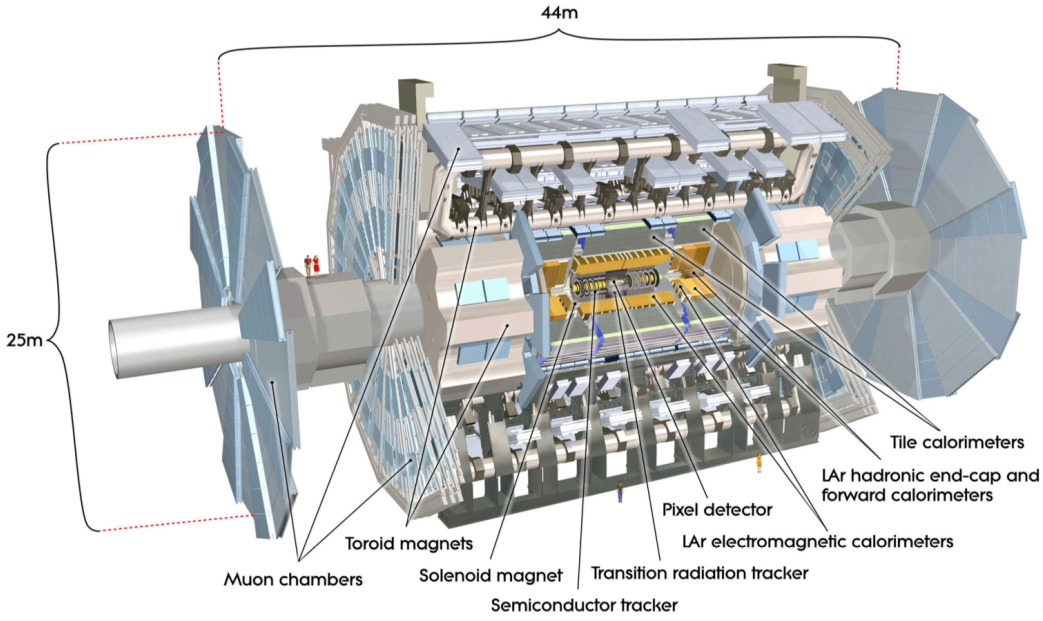

図 1.5: ATLAS 検出器の断面図 [5]

ATLAS 実験で用いる座標系

ATLAS 検出器の各部について説明する前に、ATLAS 実験で用いる座標系を説明する。座標系の原点は衝突点にとる。LHC のリング中心方向を X 軸、天頂方向を Y 軸、ビーム軸の方向を Z 軸とする。また、検出器の $Z > 0$ の領域を Aside、$Z < 0$ の領域を Cside と呼ぶ。

また、検出器は Z 軸を中心とした円筒形になっているため、円筒極座標を用いることが多い。この時、検出器の天頂角を θ、方位角を ϕ とする。さらに、ATLAS では天頂角 θ を擬ラピディティ $\eta = -\ln\tan\frac{\theta}{2}$ に変換して用いる場合が多い。擬ラピディティは、高エネルギー極限で粒子のラピディティ(粒子のエネルギー E、運動量 P として)

$$y = \frac{1}{2}\ln\frac{E + P\cos\theta}{E - P\cos\theta} \tag{1.1}$$

と一致する値である。また、ここで定義したパラメータを用いて検出器上での粒子間の距離 ΔD を定義する。η 方向、ϕ 方向の距離をそれぞれ $\Delta\eta$、$\Delta\phi$ として、

$$\Delta D = \sqrt{(\Delta\eta)^2 + (\Delta\phi)^2} \tag{1.2}$$

である。

1.3.2 マグネット

ATLAS 検出器は、3 つの超伝導磁石により磁場を発生させている。図 1.6 に、ATLAS 検出器における超伝導磁石の位置を、カロリメータ検出器とともに示した。図の中心の、円筒型のタイルカロリメータの内部に、中央ソレノイド磁石が位置する。タイルカロリメータの側面にバレルトロイド磁石、両サイドの底面にエンドキャップトロイド磁石が位置している。

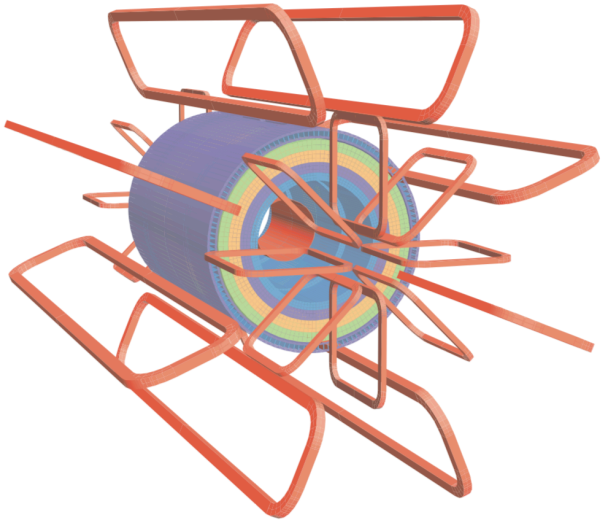

図 1.6: Tile Calorimeter とマグネットの構造 [5]

中央ソレノイド磁石

中央ソレノイド磁石は、内部飛跡検出器内にビーム軸方向 2T の磁場を発生させている。直径は約 2.4m、動径方向の厚さは約 45mm、高さは約 5.3m の円筒型になっている。中央ソレノイド磁石は、カロリメーターより衝突点の内側にあるため、磁石内でのエネルギー損失を抑え、カロリメーターへの影響を最小限にするよう設計されている。

バレルトロイド磁石

バレルトロイド磁石は、約 0.5T のトロイド磁場を、バレル領域のミューオン検出器に対して ϕ 方向に発生させている。ϕ 方向に 8 回対称になるように設計されていて、発生さ

せる磁場も 8 回対称となっている。

エンドキャップトロイド磁石

エンドキャップトロイド磁石は、エンドキャップ領域のミューオン検出器に対して、約 1.0T の磁場を ϕ 方向に Aside、Cside それぞれに発生させている。バレルトロイド磁石と同じく、ϕ 方向に 8 回対称に置かれている。

1.3.3 内部飛跡検出器

内部飛跡検出器は、前述の中央ソレノイド磁石の内側に位置する。図 1.7 に内部飛跡検出器の構造を示す。内部飛跡検出器は、Pixel、SCT(Semi Conductor Tracker)、TRT(Transition Radiation Tracker) から成る。内部飛跡検出器の役割は、衝突点で発生した粒子の飛跡を再構成することである。前節で述べた中央ソレノイド磁石による磁場で、荷電粒子の飛跡は曲げられるので、その曲がり具合を飛跡から計算し、運動量を求めるのである。図 1.8 の内部飛跡検出器の断面図に示すように、これらの検出器は層状になっている。以下に各検出器の詳細を記す。また、表 1.1 に各内部飛跡検出器の性能を示す。

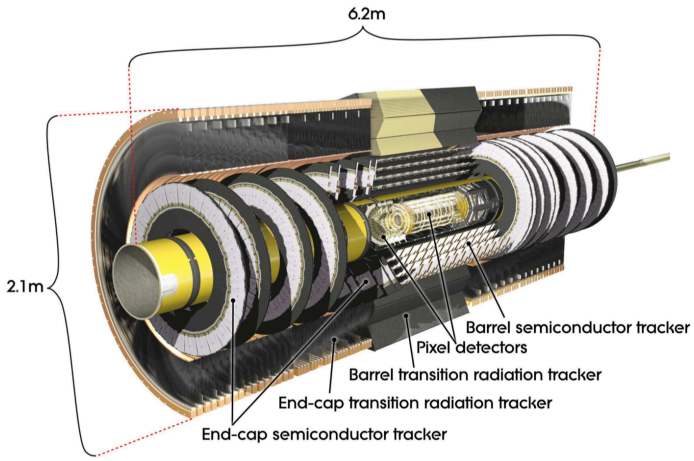

図 1.7: 内部飛跡検出器の構造 [5]

Pixel

Pixel は、内部飛跡検出器の中でも最も衝突点に近い位置にある飛跡検出器である。バレル方向、エンドキャップ方向ともに 3 層構造になっている。図 1.9 に検出器の構造と写真を示す。

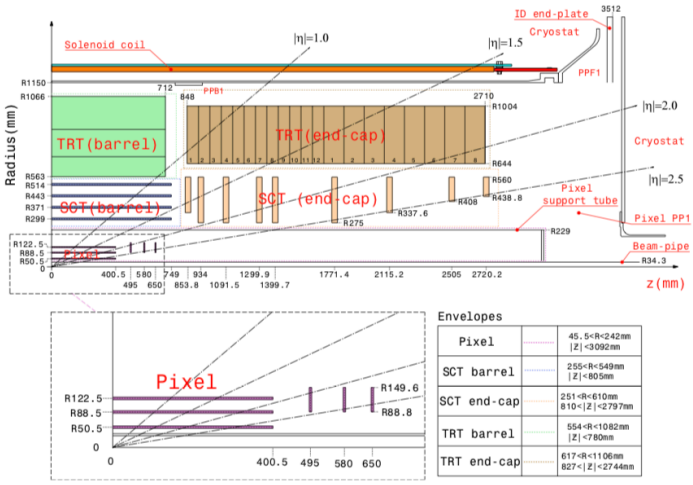

図 1.8: 内部飛跡検出器の断面図 [5]

表 1.1: 各内部飛跡検出器の性能 [6]

種類	位置	表面積 (m^2)	分解能 $\sigma(\mu m)$	チャンネル数 (10^6)	$\lvert\eta\rvert$
Pixel	B layer	0.2	$R\phi = 12, z = 66$	16	-2.5
	Barrel	1.4	$R\phi = 12, z = 66$	81	-1.7
	Endcap	0.7	$R\phi = 12, z = 77$	43	1.7-2.5
SCT	Barrel	34.4	$R\phi = 16, z = 580$	3.2	-1.4
	Endcap	26.7	$R\phi = 16, R = 580$	3.0	1.4-2.5
TRT	Barrel	-	170	0.1	-0.7
	Endcap	-	170	0.32	0.7-2.5

SCT(Semi Conductor Tracker)

SCT(Semi Conductor Tracker) は、長方形のシリコンウエハー 2 枚から検出器で、シリコンピクセル検出器の外側に位置する。ストリップを巡らした 2 枚のウエハーを 20mrad ずらして置くことで、2 次元読み出しが可能となっている。バレル部には 4 層、エンドキャップ部には 9 層の構造を成している。図 1.10 にシリコンストリップ検出器の構造を示す。

TRT(Transition Radiation Tracker)

TRT(Transition Radiation Tracker) は、SCT のさらに外側に位置する、ストローチューブ検出器とポリプロピレンファイバーを交互に重ねた構造をした検出器である。カバー領域は $|\eta| < 2.0$、バレル部に 73 層、エンドキャップ方向に 160 層、ストローチューブ検出器をそれぞれ並べている。図 1.11 に、TRT の構造を示す。

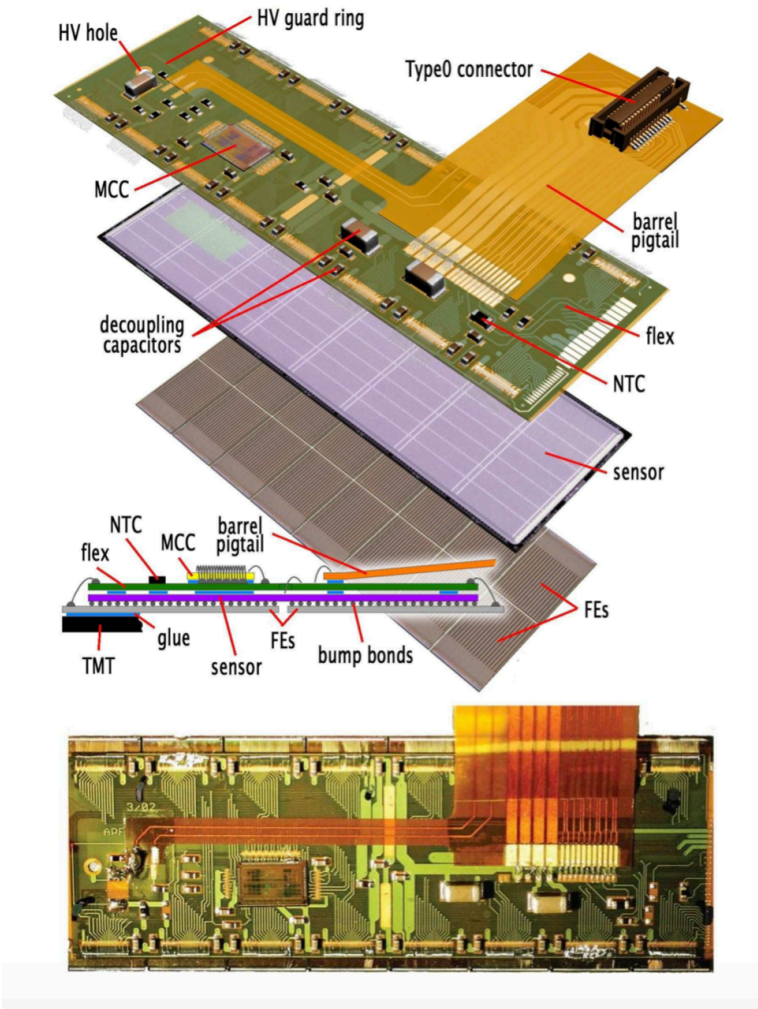

図 1.9: Pixel の構造 [5]

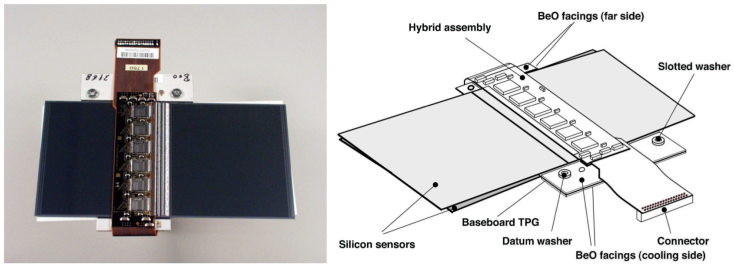

図 1.10: SCT の構造 [5]

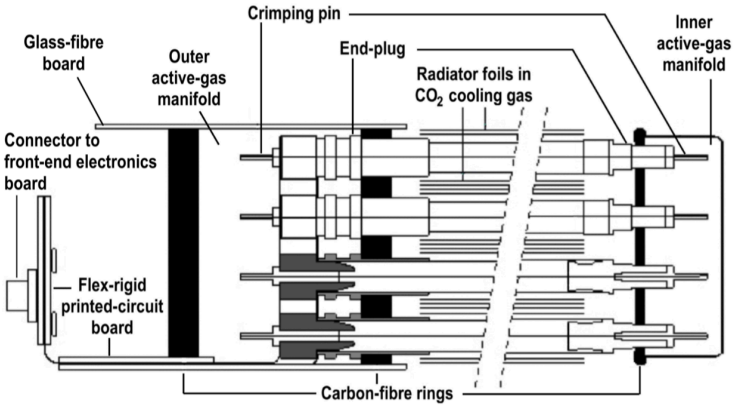

図 1.11: TRT の構造 [5]

1.3.4 カロリメーター

カロリメーターは、中央ソレノイド磁石の外側に位置する。カロリメーターの役割は、電子や、光子、ジェットのエネルギーや軌跡を測定することにある。カロリメーターは、大きく 2 種に分かれ、一つは主に電子と光子を測定する電磁カロリメーター、もう一つは主にジェットを測定するハドロンカロリメーターである。図 1.12 にカロリメーターの断面図を示す。カロリメーターは全部で 4 種類で、最内部の LAr 電磁カロリメーター、タイルハドロンカロリメーター、HEC(エンドキャップ部 LAr ハドロンカロリメーター)、FCal(フォワード部 LAr ハドロンカロリメーター) である。以下に各カロリメーターの詳細を述べる。

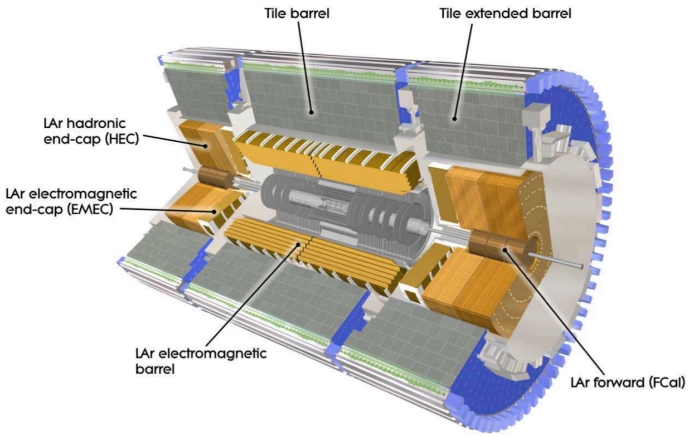

図 1.12: カロリメーターの断面図 [5]

LAr 電磁カロリメーター

電磁カロリメーターは、内部飛跡検出器のすぐ外に位置する、電子および光子のエネルギーと位置の測定を目的としたカロリメーターである。カバー領域は $|\eta| < 1.5$ のバレル部、$1.4 < |\eta| < 3.2$ のエンドキャップ部である。どちらの領域でも、電子や光子が鉛の吸収層で起こす電磁シャワーをアルゴンの検出層で検出する、鉛板と LAr のサンプリングカロリメーターであるが、バレル部とエンドキャップ部では鉛板の寸法が異なる (バレル部では $|\eta| < 0.8$ で 1.53mm、$\eta > 0.8$ で 1.13mm。エンドキャップ部では、$|\eta| < 2.5$ で 1.7mm、$|\eta| > 2.5$ で 2.2mm。)。バレル部では 22 33 放射長、エンドキャップ部では $|\eta| < 2.5$ で 26 36 放射長、$|\eta| > 2.5$ で 24 38 放射長の厚みがある。電磁カロリメーターの断面図を図 1.13 に示す。電磁カロリメーターは、3 層のアコーディオン型の構造をしている。これは配線を短くして時間応答を改善するため、また ϕ 方向の不感領域をなくすためである。

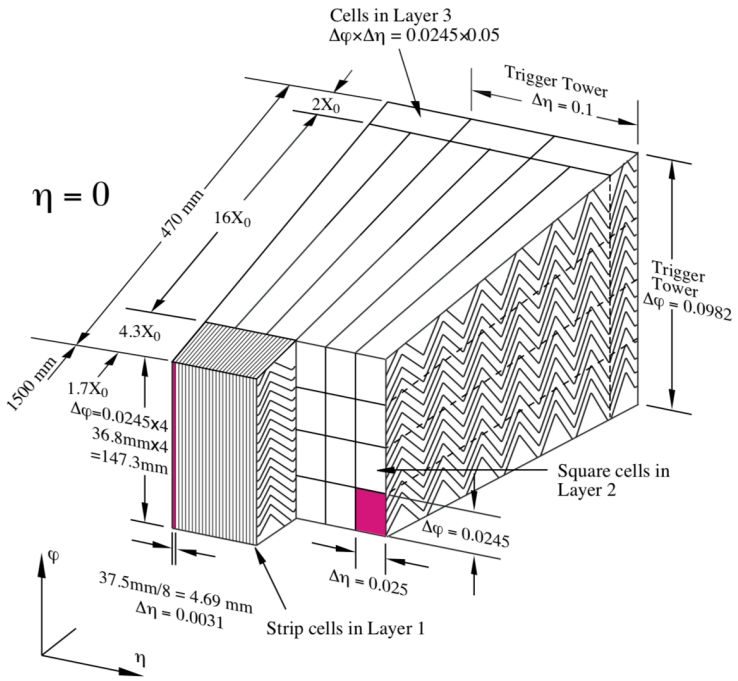

図 1.13: LAr カロリメーターの断面図 [5]

タイルカロリメーター

タイルカロリメーターは、鉄とシンチレータを交互に重ねた構造をした、ハドロンカロリメーターである。カバー領域は $|\eta| < 1.7$ で、バレル部を覆っている。相互作用長約 $7.4\lambda_0$ の厚みがあり、シンチレータの発行を光電子増倍管で読み出す仕組みとなっている。タイルカロリメーターの断面図を図 1.14 に示す。この図はカロリメーターの 1 モジュールを示している。64 つのモジュールで ϕ 方向を分割しているため、1 つのモジュールあたり約 5.6° となる。

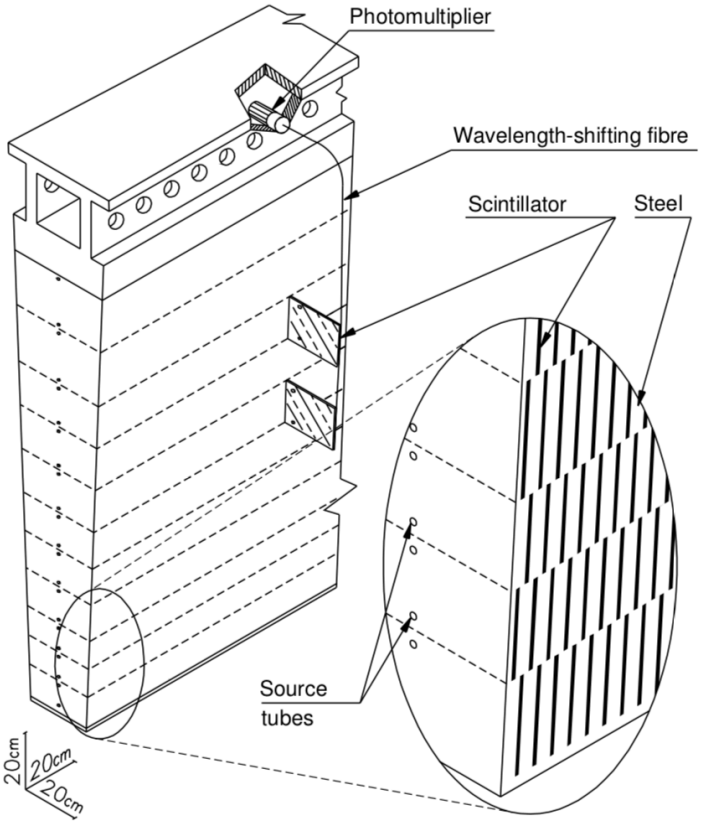

図 1.14: タイルカロリメーターの断面図 [5]

HEC(エンドキャップ部ハドロンカロリメーター)

HEC は、銅と、LAr によるハドロンカロリメータで、カバー領域は $1.5 < .|\eta| < 3.2$ である。両サイドで、2 層構造になっており、それぞれ HEC1、HEC2 と呼称する。

FCal(フォワード部 LAr ハドロンカロリメーター)

FCal はカバー領域 $3.1 < |\eta| < 4.9$ のフォワード領域を担うカロリメーターである。図 1.15 に FCal の断面図を示す。FCal はビーム軸方向 3 層の構造で、第 1 層は銅を用いた電磁カロリメーター、第 2 層、第 3 層はタングステンを用いたハドロンカロリメーターとなっている。それぞれの相互作用長は $27.6\lambda_0$、$3.68\lambda_0$、$3.60\lambda_0$ である。

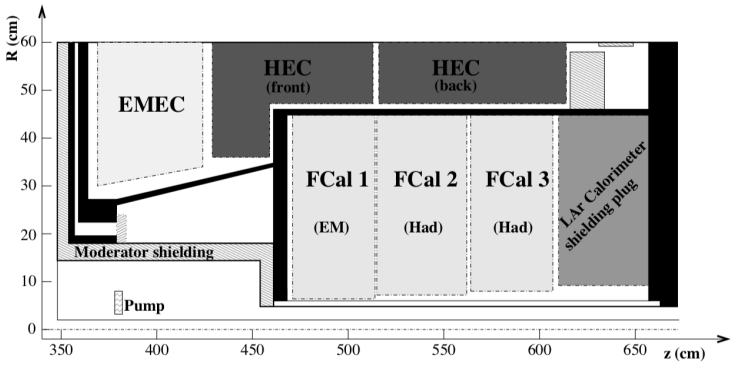

図 1.15: FCal の断面図 [5]

1.3.5 ミューオン検出器

ミューオン検出器は、ATLAS 検出器の最外部に位置する。陽子-陽子衝突により発生した粒子のほとんどは、カロリメーター検出器を貫通しないため、ミューオン検出器を通過する粒子はミューオンとニュートリノになる。ミューオン検出器の役割は、衝突点から来るミューオンの運動量を測定し、データ取得の際に事象選別を行うことにある (以降は、この事象選別を、LHC-ATLAS 実験において一般的な「トリガー」と呼ぶ)。検出器は 4 種類あり、運動量の精密測定を行うための CSC(Cathode Strip Chamber)、MDT(Monitored Drift Tubes) を使用し、運動量を概算し、データ取得時に瞬時にトリガーをかけるために RPC(Resistive-Plate Chamber) と TGC(Thin-Gap Chamber) とを使用している。

図 1.16 にミューオン検出器の概念図を示す。精密測定の役割は、エンドキャップ領域で CSC、MDT が、バレル領域では MDT が果たしている。トリガーの役割は、エンドキャップ領域で TGC が、バレル領域では RPC が果たしている。検出器は、エンドキャップ側では 3 層の円盤状のステーションに配置され、バレル側では 3 層の円筒状のステーションに配置されている。各ミューオン検出器の性能を、表 1.2 に示す。

表 1.2: 各ミューオン検出器の性能

種類	カバー領域	分解能 (z/R)	分解能 (ϕ)	時間	チェンバー数	チャンネル数
MDT	$\|\eta\| < 2.7$	35μm(z)	–	–	1,088	300,000
CSC	$2 < \|\eta\| < 2.7$	40μm(R)	5mm	7nsec	32	30,000
RPC	$\|\eta\| < 1.05$	10mm(z)	10mm	1.5 nsec	544	30,000
TGC	$1.05 < \|\eta\| < 2.4$	2–6mm	3–7mm	4nsec	3,588	300,000

ミューオン検出器は、磁場中でのミューオンの軌跡から運動量を導く。図 1.17 に、Z 軸（ビーム軸）を平面にとったミューオン検出器の断面図を示す。ミューオンはトロイド磁石による磁場領域を通る中で、磁場によって軌道を曲げられる。運動量が大きいほど軌道は曲がりにくく、運動量が小さいほど軌道は曲がりやすいため、軌跡の曲がり具合からミューオンの運動量を算出できる。

以下では、4 つのミューオン検出器についてより詳しく述べる。

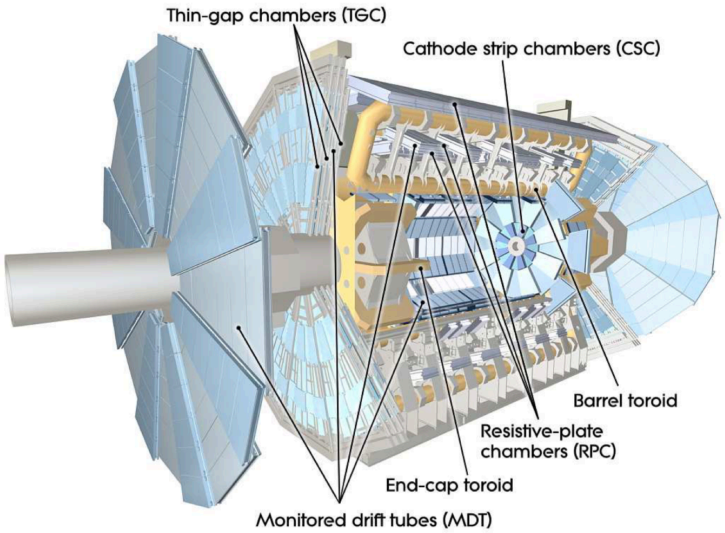

図 1.16: ミューオン検出器の概念図 [5]

MDT(Monitored Drift Tubes)

MDT は、ドリフトチューブを並べた構成をした、運動量精密測定用のミューオン検出器である。カバー領域は $|\eta| < 2.7$ であり、位置の測定精度は 100μm 以下である。それぞれのドリフトチューブの構造は、図 1.18 に示すように、直径 30mm 程度のカソードチューブの中心に、直径 50μm のアノードワイヤーが通っているものである。そしてチューブ内に、Ar が 97%、CO_2 が 3% の比率の混合気体を、3 気圧で詰めている。こうしたチューブ

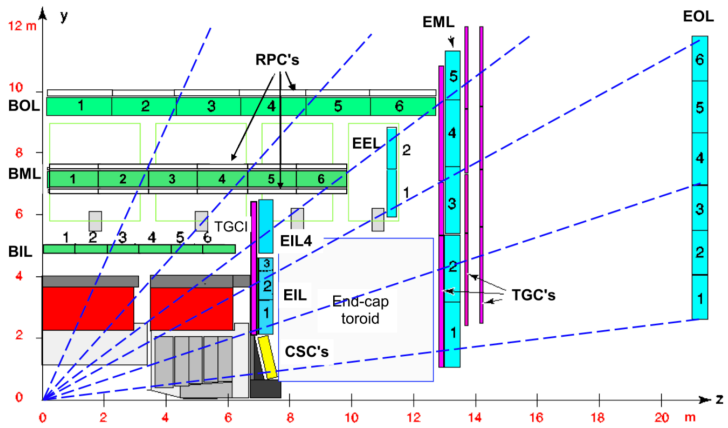

図 1.17: Z 軸 (ビーム軸) を平面にとったミューオン検出器の断面図 [5]

が 3 層または 4 層にしたもの 2 つをを合わせて、1 つの MDT チェンバーを為す。図 1.19 に、MDT チューブの構造をしめう s。

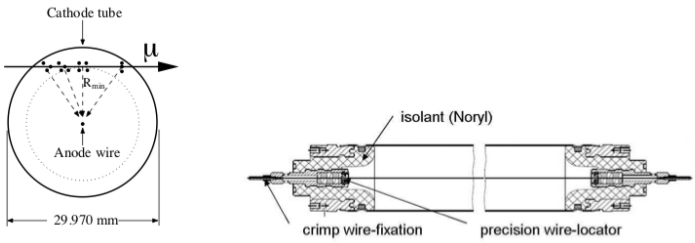

図 1.18: MDT チューブの断面図 [5]

ミューオンが通過する際、チューブ内の気体分子が電離し、アノードワイヤーへと到達する際に電気信号として検出できる。その際のイオンのドリフト時間は最大で 700ns である。LHC での衝突頻度は 25ns おきであるため、これまでトリガーには用いられていない。しかし、2026 年以降は MDT のエレクトロニクスを改良し、トリガーとして運用する予定である。

CSC(Cathode Strip Chamber)

CSC は、特にカウントレートの高い領域での運動量精密測定のための、ミューオン検出器である。図 1.17 を見ると、エンドキャップの MDT のうち、衝突点に最も近い Inner Station では、高い η 領域で CSC が搭載されていることが確認できる。これは、$|\eta| > 2.0$ の領域では MDT のカウントレート上限 150Hz/cm^2 を超える粒子が飛来するため、より応答の速くカウントレートの上限の高い CSC を用いる必要があるからである。CSC の構造は図 1.20 に示す通り、MWPC(Mutiple Wired Proportional Chamber) を 16 枚円形に

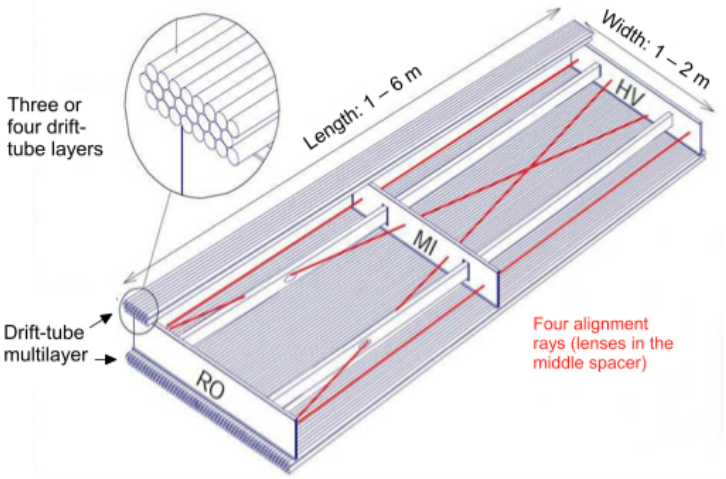

図 1.19: MDT チューブの構造 [5]

並べたものである。各チェンバーは、図 1.21 に示すように、動径方向に張られたアノードワイヤーと、直行する 2 種のカソードストリップを持ち、1 つはワイヤーに垂直に、もう 1 つはワイヤーに平行に配置してある。2 つのストリップを読み出すことによって、2 次元情報として粒子の軌跡を読み出せる。

RPC(Resistive-Plate Chamber)

RPC は、バレル部のトリガー判定用ミューオン検出器で、カバー領域は $|\eta| < 1.05$ である。図 1.22 に RPC の構造を示す。2mm ギャップにガス $(C_2H_2f_4(94.7\%), \mathrm{Iso}-C_4H_{10}(5\%), SF_6(0.3\%))$ を充填し、その間に 9.800V の高電圧をかけ、直行したストリップによって $\phi - z$ 方向の 2 次元情報を読み出す。

TGC(Thin-Gap Chamber)

TGC 検出器は、Multi Wired Proportional Chamber(MWPC) の一種である、エンドキャップ部のトリガー判定用検出器である。カバー領域は $1 < |\eta| < 2.4$ で、$R - \phi$ 方向の２次元情報を読み出す。図 1.23 に、TGC の構造を示す。第形状のチェンバーを一つの単位として、アノードワイヤーで R 方向を、カソードストリップで ϕ 方向を読み出す。アノードワイヤーは、直径 50mm の金メッキでコーティングしたタングステンワイヤーであり、2.8kV の電圧をかける。カソードストリップには、表面抵抗 1MΩ/cm のカーボンを塗布している。ガスは CO_2 を 55%、$n-C_5H_{12}$(n-pentane) を 45% を充填している。応答時間はすべての入射角で 20nsec 以下である。

TGC 検出器では、荷電粒子によるガス分子の電離を利用して、粒子の飛跡を捉える。荷電粒子がガス層を通過すると、ガス分子が電離して電子とイオンになる。検出器内はアノードにかけた電圧のために電場が働いているため、アノードワイヤーの方に電子が移動

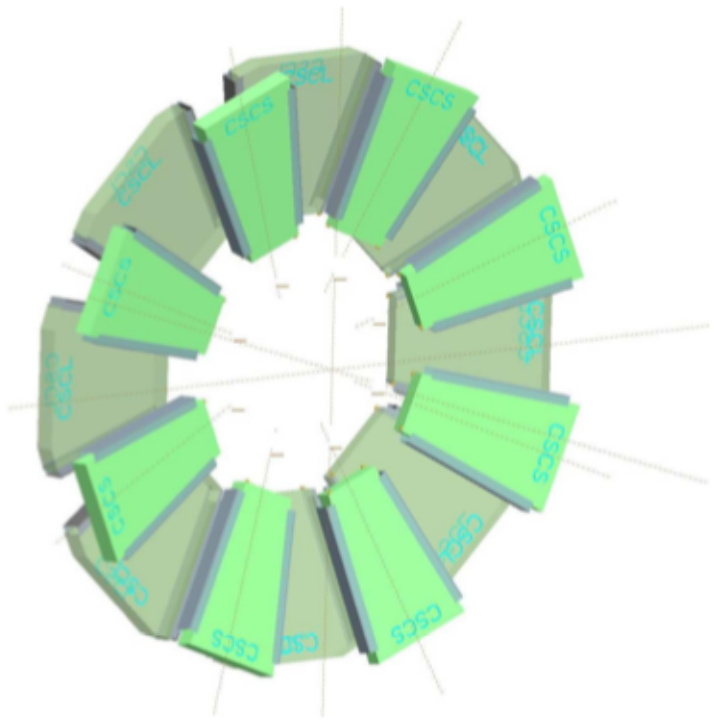

図 1.20: CSC の構造 [5]

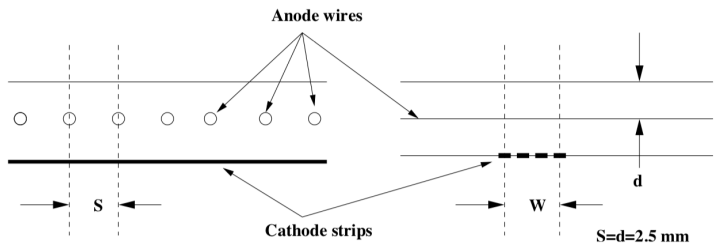

図 1.21: CSC の断面図 [5]

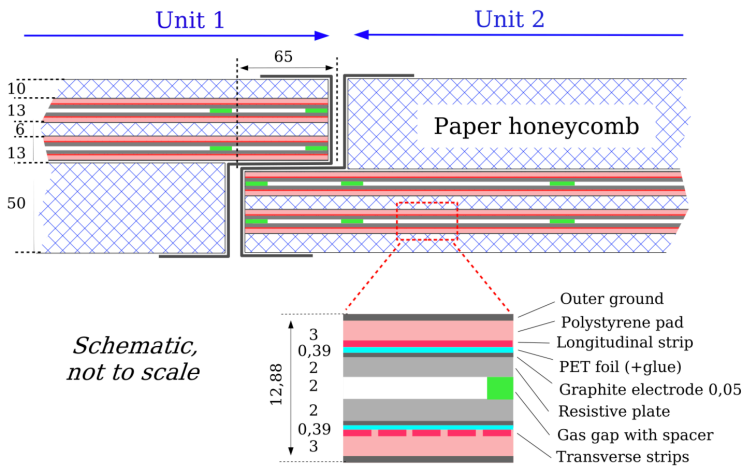

図 1.22: RPC の構造 [5]

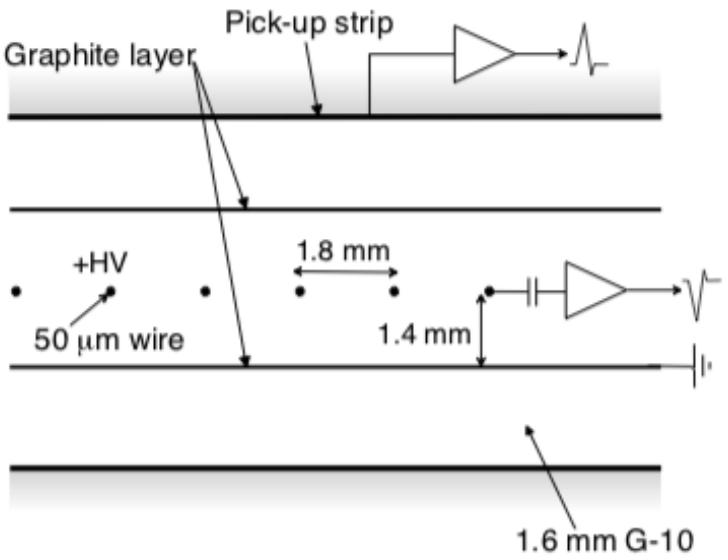

図 1.23: TGC の構造 [7]

し読み出される。ただし、荷電粒子によって発生した電子は、アノードワイヤー近傍で強い電場のために分子をさらに電離させて電子雪崩を起こすため、初めに発生した電子は増幅されて検出される。こうして誘起された電荷をカソードストリップで検出するのである。こうしたチェンバーを円状に並べて、TGC 検出器として用いている。TGC 検出器の全体図を図 1.24 に示す。

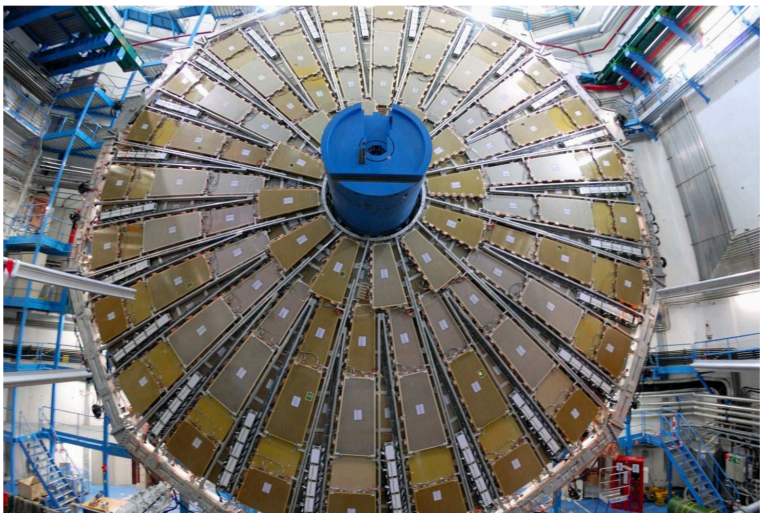

図 1.24: TGC の全体図 [5]

1.3.6 ATLAS 検出器のトリガーシステム

LHC による 40MHz の陽子-陽子衝突全てを記録することは処理するデータ量の制限から現実的ではなく、また非効率的である。また、LHC のような陽子-陽子衝突では、ヒッグス粒子をはじめとする関心のある事象に対し、背景事象が非常に多いことがわかっている。図 1.25 に、陽子-陽子衝突における各素粒子と、ヒッグス粒子との散乱断面積の比較を示す。横軸に重心系エネルギー、縦軸に散乱断面積をとっている。LHC の重心エネルギーである数 TeV の領域では、全散乱断面積 σ_{tot} に対しヒッグス粒子の各生成反応の散乱断面積は非常に小さく、約 50 億分の 1 ほどであり、b クォークなどが主なバックグラウンドとなっていることがわかる。

そうした要請から、ATLAS 実験では、目的の物理事象だけを記録するため、取捨選択を行う「トリガー」を、電子回路上、およびソフトウェアによる処理によって、2 段階に分けて行なっている。トリガーはそれぞれ、Level-1 Trigger(L1 Trigger)、Higher-Level Trigger(HLT) と呼ぶ。

Level-1 トリガー

Level-1 トリガーは、40MHz の衝突事象すべてについてトリガー判定を行い、100kHz までイベントを選別する。L1 トリガーは、カロリメータの情報によるトリガー (L1 Calo) と

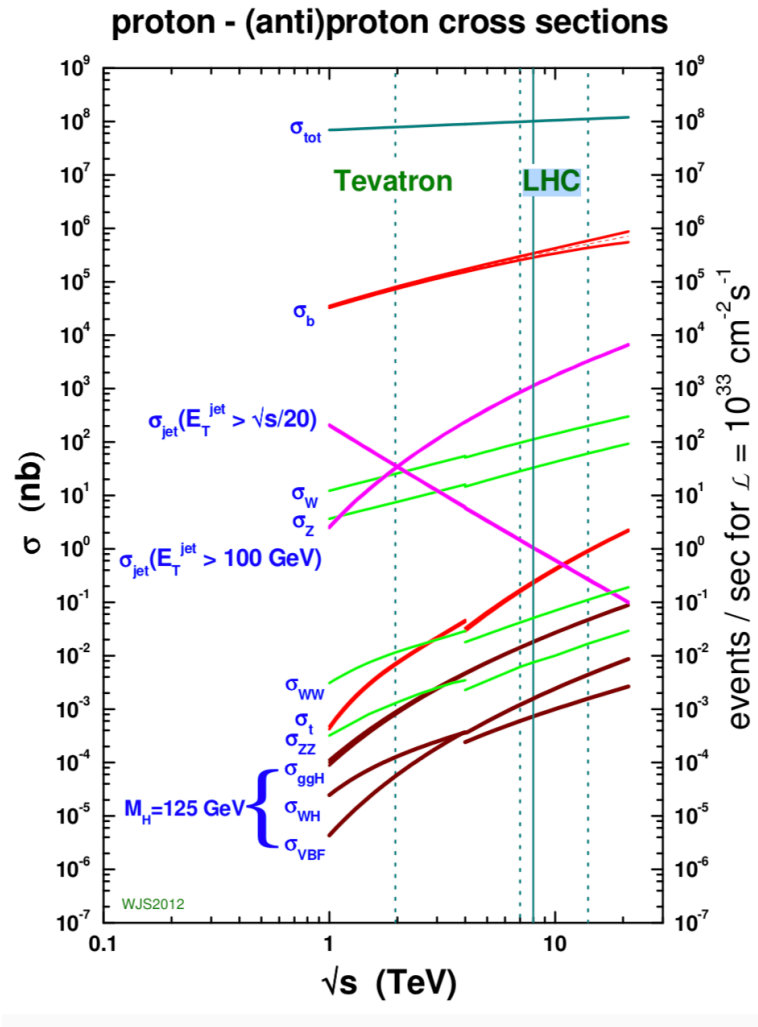

図 1.25: 陽子-陽子衝突における各素粒子とヒッグス粒子の散乱断面積の比較 [8]

ミューオン検出器の情報によるトリガー (L1 Mu)、これらを複合したトリガー (L1 Topo) の 3 種に分かれる。3 種のトリガーを合わせて 100kHz に収まるように、L1 Accept と呼ばれるトリガーが発行される。このトリガーは、即時的な取捨選択を行うためにトリガー用の検出器情報のみを用いていて、これは検出器の全情報を用いる HLT と大きく異なる点である。なお、これは電子回路上で行われており、具体的には ASIC(Application Specific Integrated Circuit) と呼ばれる、特定用途に施行された大規模集積回路や、FPGA(Field Programmable Gate Array) と呼ばれる、使用者が自在に構成を変更できる集積回路を用いて実装している。

トリガー判定を行い、該当事象を記録するという判断を各検出機のフロントエンド回路に戻すまでの時間は、常に一定の 2.5μs で行うことになっている。これを Fixed Latency と呼ぶ。Fixed Latency を採用する利便性は、データを取得する際に回路に与える命令を、簡便にできることにある。トリガー回路がトリガー判定を行う間に、フロントエンド回路のバッファに、データを一時保存するシステムとなっている (Buffer の容量から、Level-1 トリガーレイテンシーが制限されている)。トリガー判定に用いる時間が一定ならば、データ取得を行うための操作は、常にある一定時間前のデータを取得するという命令を出せば良いことになる。また、Latency は通常 Buch Crossing(BC) という単位で計算する。これは ATLAS 検出器の衝突頻度 40MHz から、衝突同士の時間差 25ns を 1BC とした値である。

Higher-Level Trigger

Higher-Level Trigger は、L1 トリガーを通過したイベントを、ソフトウェアにおける処理でさらに高い精度で選別を行うトリガーのことである。内部飛跡検出器、カロリメータ、ミューオン検出器の全情報を用いて飛跡再構成を行うことで、1s で 1kHz の頻度までイベントレートを落とすことが可能である。

第2章　TGC検出器

TGC 検出器は、ミューオン検出器の中でもエンドキャップの L1 トリガーを担う検出器であることを既に述べた。この章では、TGC 検出器の ATLAS 実験における役割をより詳細に説明するとともに、本研究で行った system-on-a-chip デバイスの応用先として想定している、検出器のエレクトロニクスの現状についても述べる。

2.1　TGC検出器の役割

TGC 検出器の ATLAS 検出器における役割は、エンドキャップ領域の L1 トリガー発行にある。ミューオンは衝突点から TGC 検出器まで飛来する際、トロイド磁場中を通過する。荷電粒子であるミューオンは、ϕ 方向にかかった磁場により、η 方向に軌道を変える。この軌道の曲がり具合から運動量を概算し、閾値を設けることでトリガー発行を行う。

ただし、TGC 検出器は磁場の外側にあるため、TGC 検出器を通過している間には軌道を変えない。そのため、曲率を再構成した飛跡から直接割り出すことは出来ない。そこで用いているのが、Point Angle Measurement と呼んでいる手法である。図 2.1 に、Point Angle Measurement の概念図を示す。この手法ではまず、ミューオンが無限大の運動量を持っていた時の軌道、すなわち衝突点からまっすぐ TGC の M3 へ向かう飛跡をとる。そして、実際の TGC 検出器で再構成した飛跡との距離 dR, dϕ を各ステーションで求めることで、運動量の概算を行う。

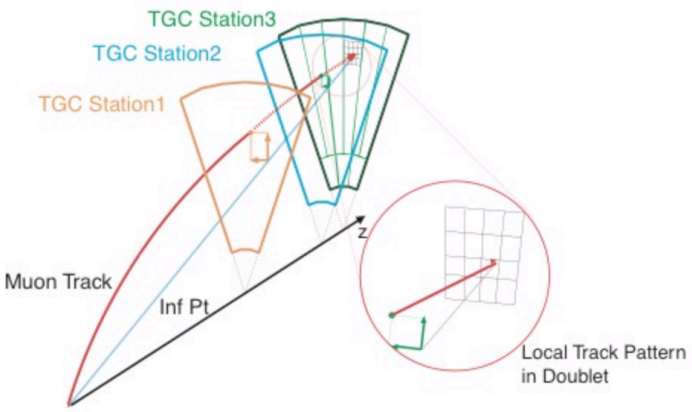

図 2.1: Point Angle Measurement の概念図

2.2 TGC検出器の配置

TGC検出器は磁場の内側に1層、外側に3層、ステーションに設置してある。RZ平面におけるTGCの断面図を図2.2に示した。磁場の内側では、$|\eta|$方向に2つに分かれていて、$|\eta|$の小さい方をEI(Endcap Inner)チェンバー、大きい方をFI(Forward Inner)チェンバーと呼ぶ。磁場の外側については、衝突点の側から順にM1、M2、M3と呼び、これらを総称してBW(Big Wheel)と呼ぶ。これらのうち、EI/FI、M2、M3はdoublet構造で、M1のみtriplet構造である。

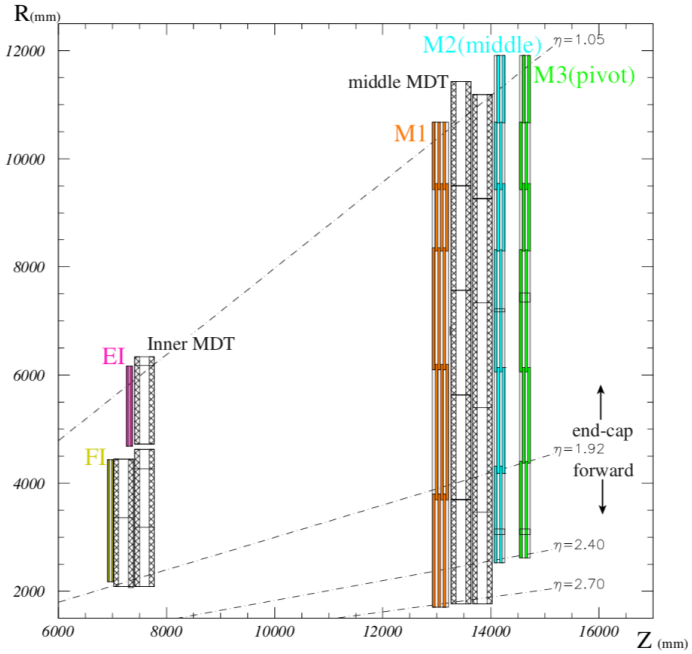

図 2.2: TGCのRZ平面における断面図 [9]

また、Rϕ方向におけるM1、M3の断面図を図2.3に、EI、FIの断面図を2.4に示す。FI、M1、M2、M3は全領域を覆っている一方、EIは一部の一部の領域に欠けがある。これはトロイド磁石が存在するためである。

2.3 トリガーの発行単位

TGCにおけるトリガーの発行は、まずトリガーセクターという単位でそれぞれ処理される。これは$1.05 < |\eta| < 1.9$の領域をエンドキャップ領域と呼びϕ方向に48分割し、$|\eta| > 1.9$の領域をフォワード領域と呼びϕ方向に24分割し、これらを1つの単位としたものである。それぞれのトリガーセクターは、η方向、ϕ方向にさらに細かく分割し、RoI(Region of Interest)という単位で呼称し(図2.5を参照)、これをL1ミューオントリガーにおける位置情報の最小単位として用いている。エンドキャップ領域では、1つのト

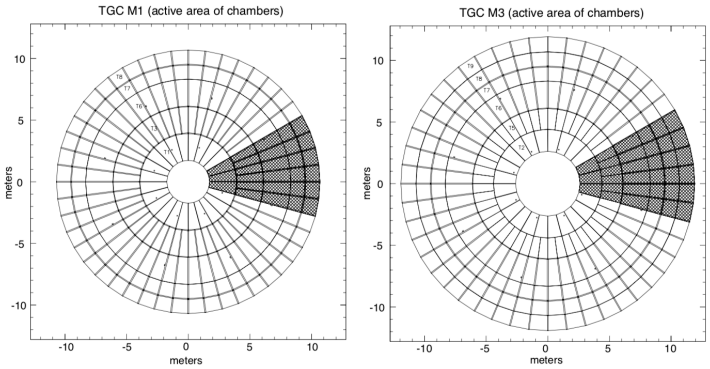

図 2.3: TGC の Rϕ 平面における断面図 [10]

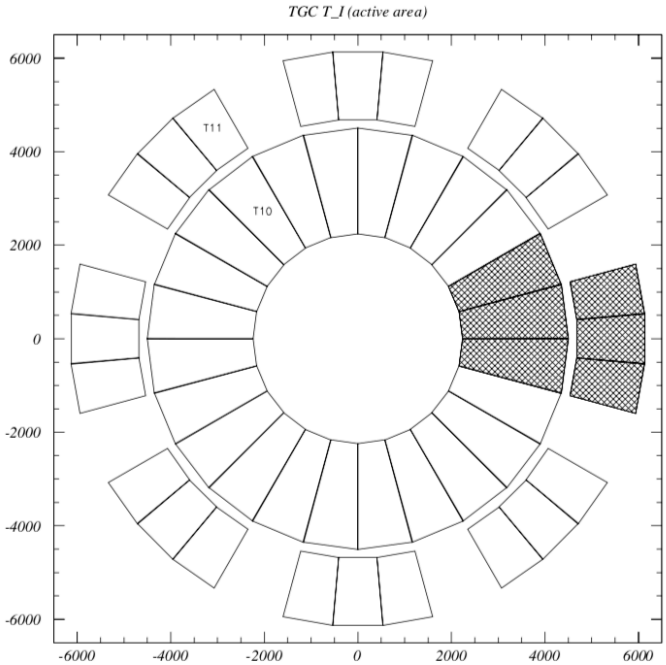

図 2.4: TGC の Rϕ 平面における断面図 [10]

リガーセクターを η 方向に 37 分割、ϕ 方向に 4 分割したもの一つの単位とし、フォワード領域では、η 方向に 16 分割、ϕ 方向に 4 分割して、これらを一つの RoI としている。

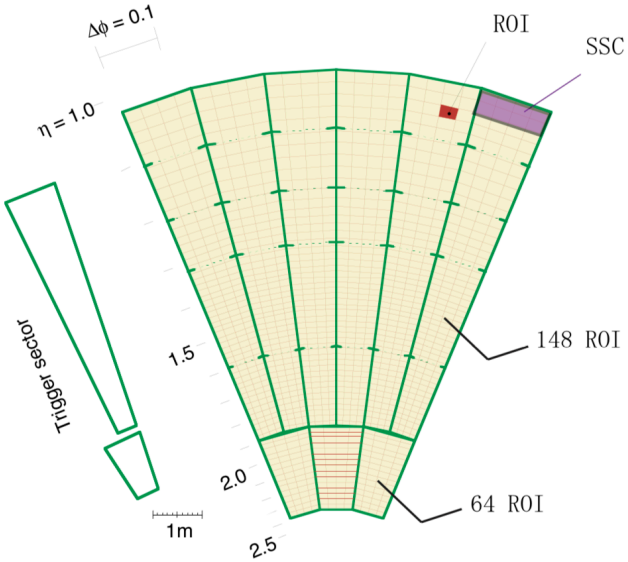

図 2.5: TGC の L1 トリガーで用いる RoI の概念図 [5]

2.4 TGC エレクトロニクス

TGC のエレクトロニクスは、トリガーを発行するための系 (トリガー系) と、検出したデータを読み出すための系 (リードアウト系) の 2 つに大別される。図 2.6 に、TGC エレクトロニクスの全体図を示す。TGC で検出されたアナログ信号は、ASD(Amplifier Shaper Discriminator) で LVDS 信号へ変換され、PP ASIC(Patch Panel ASIC) に送られる。ここで各信号のタイミング調整を行い、SLB ASIC(Slave Board ASIC) へ送られる。SLB ASIC から、トリガー系とリードアウト系の 2 つのラインに分かれる。

トリガー系では、SLB ASIC で低次のコインシデンス処理を行い、結果を HPT(High-Pt) へ送る。HPT では、さらに詳細にコインシデンス処理を行い、結果を SL(Sector Logic) へ送る。SL でさらに EI/FI、タイルカロリメーターの情報を用いて、最終的なトリガー判定を下し、結果を MuCTPi(Muon Central Trigger Processor Interface) に送信する。

リードアウト系では、SLB ASIC で受け取った信号をバッファに一時保存する。このうち、トリガー判定 (L1 Accept) を受け取った BC のデータのみ、デランダマイザーを経由して後段の SSW(Star Switch) に送られ、それ以外は破棄される。SSW では、送られてきたデータを圧縮して、ROD(Readout Driver) に送られる。ROD は、データを変換し ROS(Readout System) に送る。

以下で、各エレクトロニクスについて詳しく述べる。

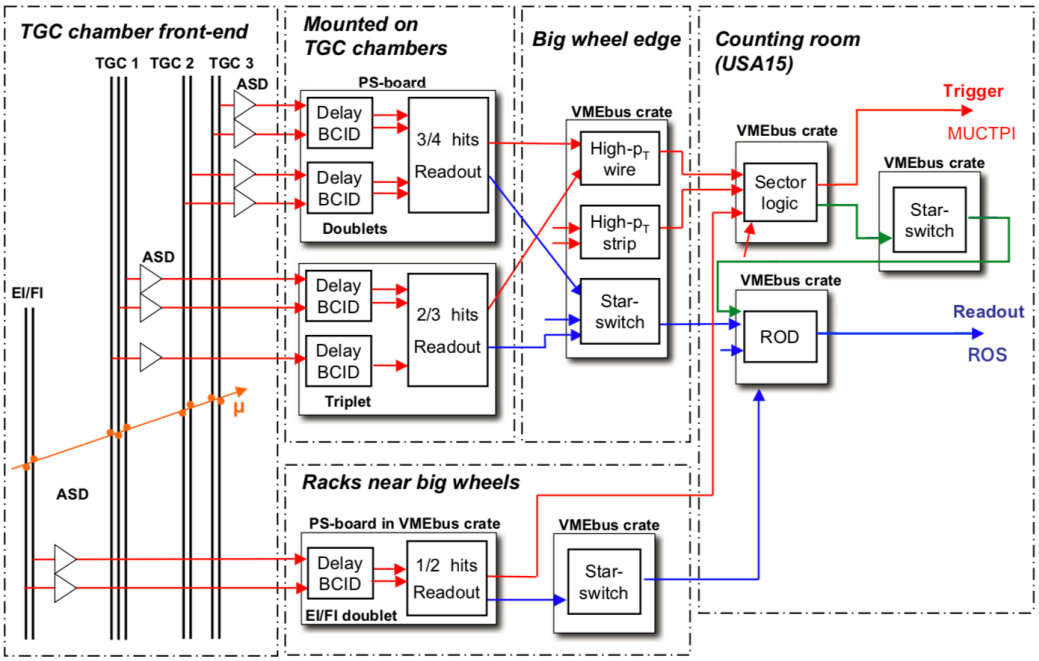

図 2.6: TGC エレクトロクスの全体図 [5]

2.4.1 ASD

ASD は、TGC チェンバーが出力するアナログ電荷信号を、電圧信号に変換する (初段のアンプはチャージアンプ)。また、信号を増幅、整形したのち、閾値電圧を超えた信号だけを LVDS(Low Voltage Differential Signaling、低電圧差動信号) のデジタル信号として、後段の PP ASIC(Patch Panel ASIC: 2.4.2 で記述) へ送る。差動信号を用いているのは、放射線など外的要因によるエラーやノイズに強いためである。ASD は、4 つの ASIC を搭載した ASD ボードの形で TGC 検出器上に搭載されている。ASD ボードの画像を図 2.7 に示す。ASD ボード 1 つあたりのチャンネル数は 16 つである。

2.4.2 PP ASIC

PP ASIC と、次に述べる SLB ASIC は、PS ボード (Patch Panel ASIC and Slave Board ASIC Board) と呼ばれる基板上に併せて搭載されている。PP ASIC の役割は、ASD から受け取った信号のタイミングを合わせ、また LHC clock へ同期させることにある。タイミング調整が必要なのは、信号の発生源となった粒子の TOF(Time of Flight) の違い、またチャンネル毎のケーブル長の違いがあるためである。PP ASIC によって delay をかけてタイミングを調整し、LHC clock と同期して Bunch Crossing の識別を行なった上で、SLB ASIC へ信号を送る。各 PP ASIC は、32 つのチャンネルを処理する。

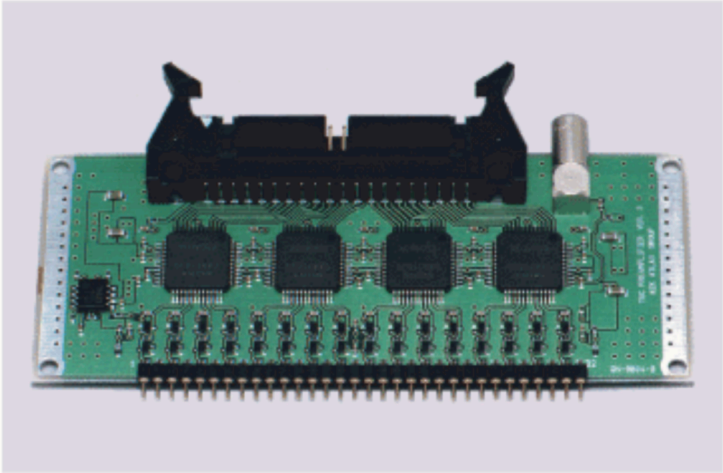

図 2.7: ASD ボードの画像 [11]

2.4.3 SLB ASIC

SLB ASIC は、図 2.8 に示すように、トリガー系とリードアウト系の 2 つのラインが存在する。トリガー系としての役割は、ヒット情報のコインシデンスをとることにある。図 2.9 に、SLB のトリガー部のダイヤグラムを示す。具体的には、TGC の M1 の 2−out−of3 コインシデンス (ただし、ストリップは 1−out−of−2)、M2−M3 の 3−out−of−4 コインシデンス、EI/FI の 1−out−of−2 コインシデンスをとる。M1、M2−M3 のコインシデンス結果は、HPT に LVDS で送信される。また、EI/FI のコインシデンス結果は、シリアル通信の規格の一つてある、G−Link で HPT を介さず Sector Logic へ送られる。

リードアウト系としては、トリガーが発行されるまでデータを保持するバッファとして機能する。このバッファを L1 バッファと呼ぶ。L1 バッファは最大で 128BC 分データを保持することができ、L1 トリガーが発行された場合、そのイベントの前後 1BC のデータとともに、リードアウト系の後段である SSW へ、シリアル信号として送る。

2.4.4 HPT

HPT は、トリガー系における SLB ASIC の後段のモジュールである。SLB ASIC で処理される、M1 コインシデンス、M2−M3 コインシデンスをとって送られてきた情報を用いて、さらに M1−M3 コインシデンスをとる。それぞれのチャンネル情報から位置の差を ΔR、$\Delta\phi$ として計算し、結果を Sector Logic へ送信する。

2.4.5 Sector Logic

Sector Logic は、エンドキャップのトリガー系における最終段のモジュールである。HPT の情報、SLB ASIC から送られる EI/FI の情報、タイルカロリメーターの信号を併せて、

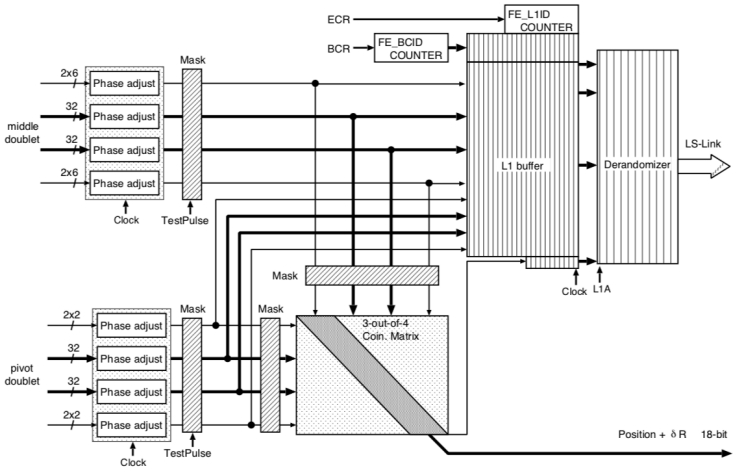

図 2.8: SLB のブロックダイヤグラム [10]

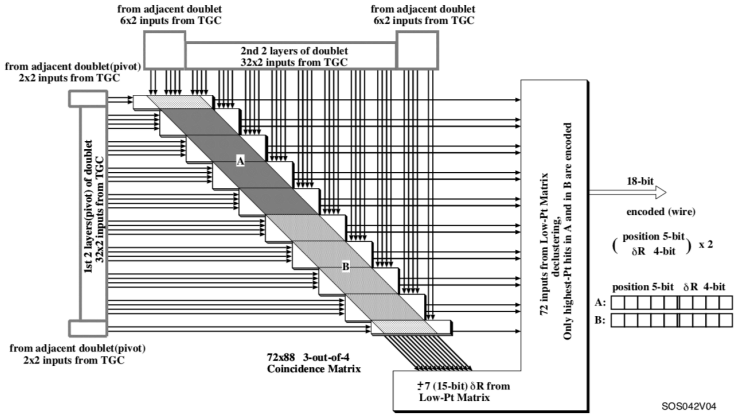

図 2.9: SLB のトリガー部のダイヤグラム [10]

p_T 計算を行い、トリガー判定を行う。また、Sector Logic では、前段のエレクトロニクスでは独立に扱っている η と ϕ のコインシデンスをとる。SL ボードの画像を 2.10 に示す。

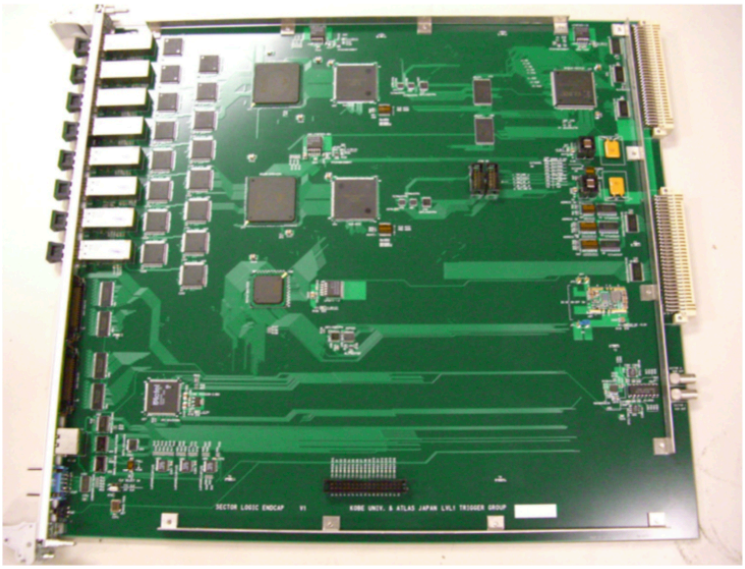

図 2.10: SL ボードの画像 [12]

前段のトリガーと大きく異なるのは、これまで TGC の BW のみでとっていたコインシデンスを、より内部の検出器の情報を用いている Inner Coincidence をとっている点である。これは、Run−1 において発行されていたトリガーは、データ取得後再構成を行なって検出される、衝突点由来のミューオンの数に比べて、多かったためである。それを示す結果として、Run-1 での L1 トリガーとオフラインミューオンの比較 [13] を図 2.11 に示す。これは、本来ミューオンが来ていないイベントに対しても、トリガー発行してしまっていたことを意味し、特に $|\eta|$ の大きい領域で顕著であった。この原因は、衝突点由来でない荷電粒子が、図 2.12 のような経路で TGC 検出器に飛来する場合であることがわかった。これをミューオンではない「フェイク」として除外するため、Inner Coincidence をとっているのである。

2.4.6 SSW

SSW は、リードアウト系における SLB ASIC の後段のモジュールである。シリアル信号をパラレル信号に変換し、圧縮する。TGC のヒット情報は、全チャンネルのうちごくわずかなチャンネルだけが反応している場合がほとんどである。SSW では、値が 0 でない場合のみアドレスをつけて、後段の ROD に送ることで、データ容量を削減している。

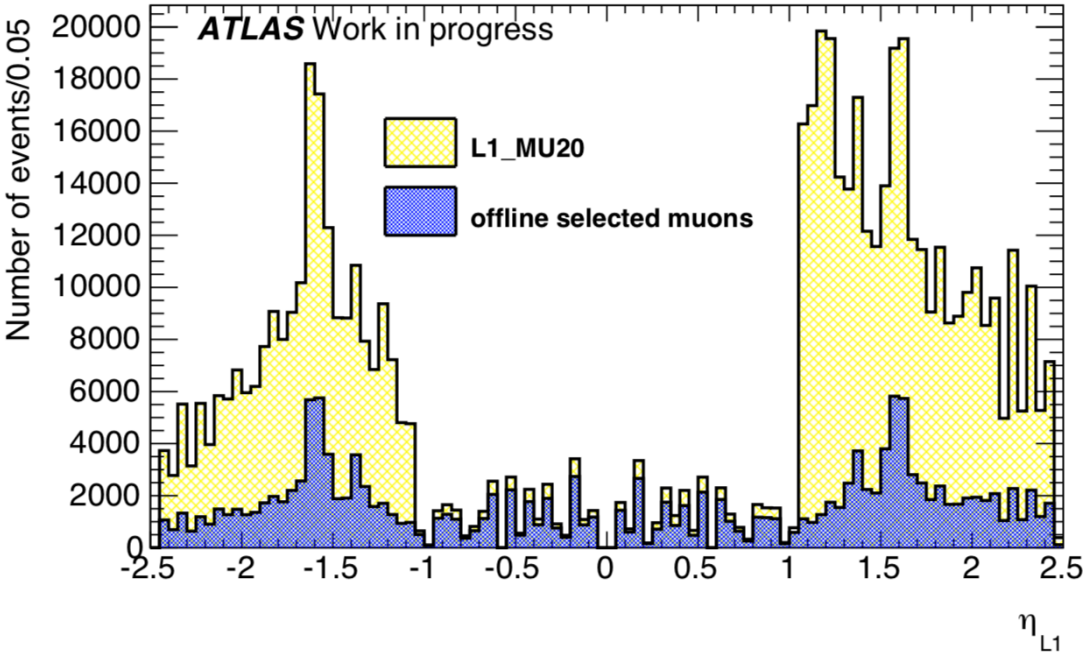

図 2.11: Run-1 での L1 トリガーとオフラインミューオンの比較 [13]

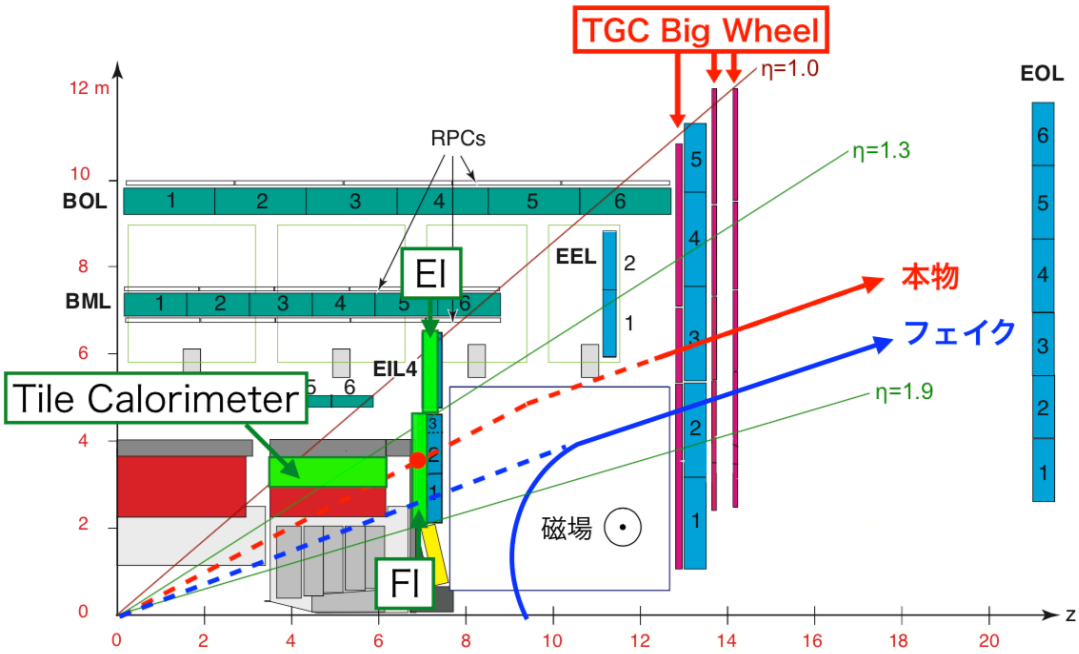

図 2.12: Inner Coincidence の概念図 [14]

2.4.7 ROD

ROD は、リードアウト系のモジュールで、SSW の後段にある。複数の SSW から信号を受け取り、同じ BC のイベントに ID をつけてまとめる Event Building を行い、S-link と呼ばれる規格で ROS(Readout System) へ送る。

第3章　Phase IIアップグレード

LHC-ATLAS 実験が、改良のための停止期間を挟みながら運転を続けていることはすでに述べた。2018 年末に、Run-2 を終えて運転を停止し、2 年間の間に検出器や読み出し回路のアップグレードを行う。これを Phase I アップグレードと呼ぶ。また、2 年後から 3 年間の Run-3 を終えたのちに、さらなるアップグレードを行う。これを Phase II アップグレードと呼ぶ。本章では、前提となる Phase I アップグレードについても簡単に述べた上で、Phase II アップグレードにおける LHC、ATLAS のアップグレードの内容、特に TGC エレクトロニクスのアップグレードについて詳しく述べる。

3.1　LHC のアップグレード

LHC の Phase II におけるアップグレードは、ルミノシティを大きく向上することにあり、これを HL-LHC(High Luminocity LHC) 計画と呼ぶ。表 3.1 に LHC の運転計画を示す。ここで、E[TeV] は重心系エネルギー、L_p は瞬間最大ルミノシティ、L_i は積分ルミノシティ、BC はバンチ幅、N_p は平均パイルアップ数を示す。重心系エネルギーについては、Phase I アップグレードで 14TeV に向上する。これは LHC の設計上の最大エネルギーであり、HL-LHC でも同じ重心系エネルギーで運転される。一方で、瞬間最大ルミノシティは PhaseI アップグレードでも向上する予定だが、Phase II アップグレードで大きく向上する。これによって、より高統計で物理解析が可能となる。

表 3.1: LHC の運転計画

運転計画	運転期間 [年]	E[TeV]	L_p[cm^{-2}s^{-1}]	L_i [fb^{-1}]	BC[ns]	N$_p$ [個]
Run-1	2011−2012	7−8	0.7×10^{34}	25	50	15
Run-2	2015−2018	13	1.33×10^{34}	100	25	25
Run-3	2021−2023	14	3.0×10^{34}	500	25	80
Run-4(HL−LHC)	2026−2036	14	$5.0\ \times10^{34}$	3000	25	140

HL-LHC を実現するために、LHC の様々な箇所がアップグレードされる。HL-LHC における LHC の主なアップグレード内容を図 3.1 に示す。

従来の衝突点前のビーム収束磁石に比べて，より強力にビームを収束させられる四重極磁石が 12 つ導入される。衝突前にビームを傾けて輝度を向上させる、超伝導クラブキャヴィティーが 8 つ新たに導入される。偏向用の二重極マグネットも、小型かつより強力なものとなる。空いたスペースに、15 から 20 のコリメータを設置し、ビームの収束性を向

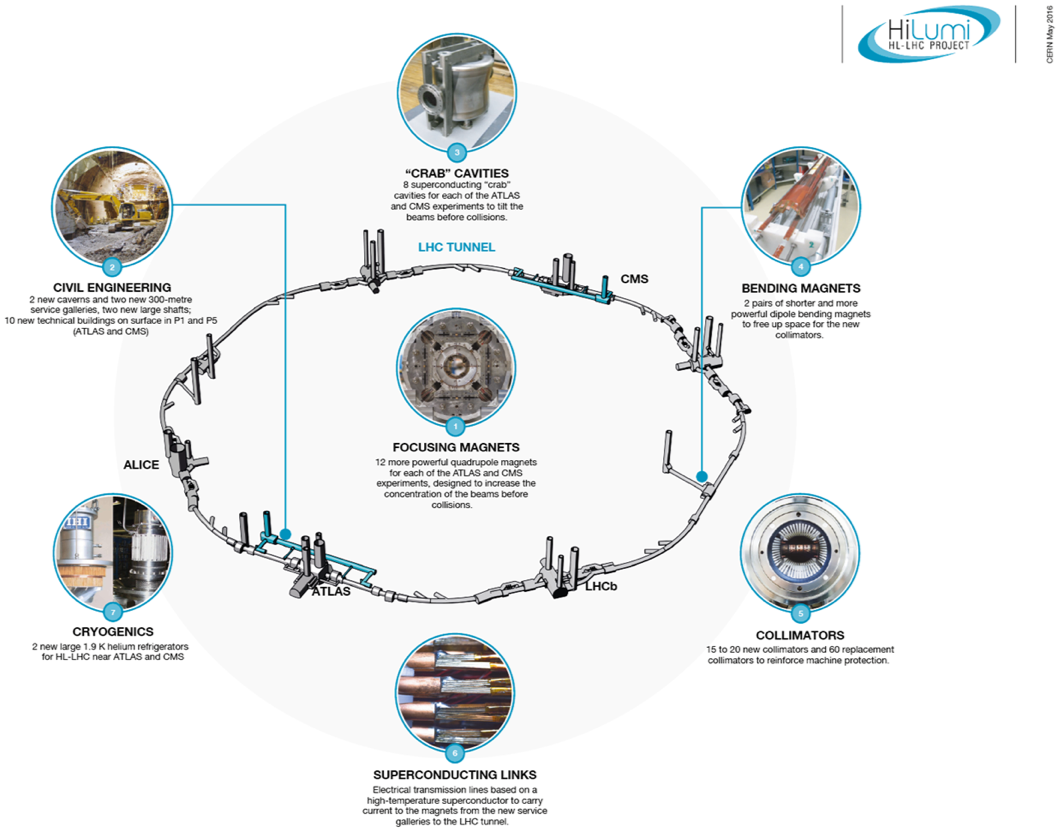

図 3.1: Phase II アップグレードにおける LHC の主なアップグレード

上させる。他にも、電流を送るための高温超伝導ケーブル、1.9K のヘリウム低温槽など、LHC のシステムの多くが刷新される。

3.2 ATLAS のアップグレード

LHC 側のアップグレードによってルミノシティが向上することは、ATLAS 検出器にとっては新たな課題にもなる。そのことは、平均パイルアップ数 N_p の増加と大きく関係する。パイルアップとは、一度のバンチ衝突の際に起きる相互作用の数である。パイルアップはルミノシティの向上に伴い増加し、これはカロリメーターの飛跡再構成の精度やエネルギー分解能、トリガー判定に悪影響をもたらす。そのため、ATLAS 検出器のアップグレードでは、パイルアップの増加に耐えられるより高精度の飛跡再構成、エネルギー分解能の向上を行う必要がある。

3.2.1 ATLAS の Phase I アップグレード

Phase I アップグレードにおける ATLAS 検出器の主な変更点は、LAr カロリメータの読み出し回路の改良と、磁場の内側にあるミューオン検出器 Small Wheel の、New Small Wheel との入れ替えである。以下にその概要を示す。

LAr カロリメータ読み出し回路の改良

Phase I アップグレードにおける主要な改良の一つは、LAr カロリメーター読み出し回路の改良にある。現行の読み出し回路は、読み出しの精度は η 方向、ϕ 方向ともに 0.1 ほどで、これは検出器本来の制度よりも低い値である。これを改良し、電磁シャワーの形ととジェット由来の信号の形とを区別することで、トリガーレートを大幅に削減できる。

New Small Wheel

エンドキャップ領域における、磁場の内側の領域にあるミューオン検出器を、外側の Big Wheel と対応して Small Wheel と呼ぶ。Phase I アップグレードのもう一つの主要な改良点は、この Small Wheel を取り替え、New Small Wheel とする計画である。図 3.2 に、New Small Wheel の概念図を示す。New Small Wheel は、大きさとしては Small Wheel とほぼ同じの、8 つのチェンバーを合わせた円状の構造をしている。また、New Small Wheel の構造を図 3.3 に示す。トリガー判定用の small-strip TGC(sTGC) と、精密測定用の MicroMegas(MM) を重ねた構造となっている。

small-strip TGC は、TGC と同じく MWPC の一種である。現行の TGC との相違点は、幅が 1/10 となったストリップで重心電荷の位置を使って、η 座標を求めることで位置分解能を向上させたことにある。

MicroMegas は、Run-3 でさらに向上するルミノシティに対応するため導入される検出器である。Run-3 では瞬間最大ルミノシティ $3 \times 10^{34} cm^{-2} s^{-1}$ で LHC は運転され、$|\eta|$ の大きい領域における粒子のカウントレートに換算すると 300Hz/cm^2 である。これは、現

行の MDT の許容できるレート 150Hz/cm^2 を大きく上回るため、MDT と入れ替わる形で MicroMegas が導入される。

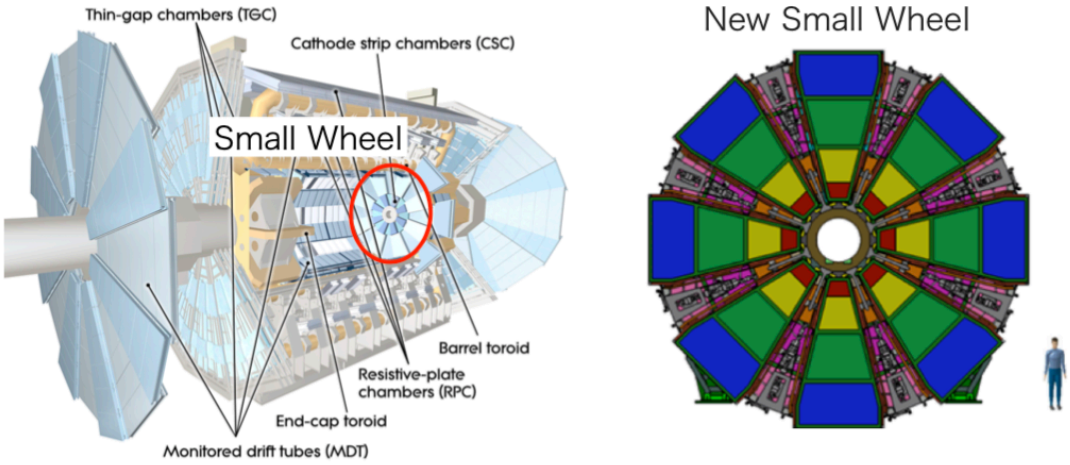

図 3.2: New Small Wheel の概念図 [15]

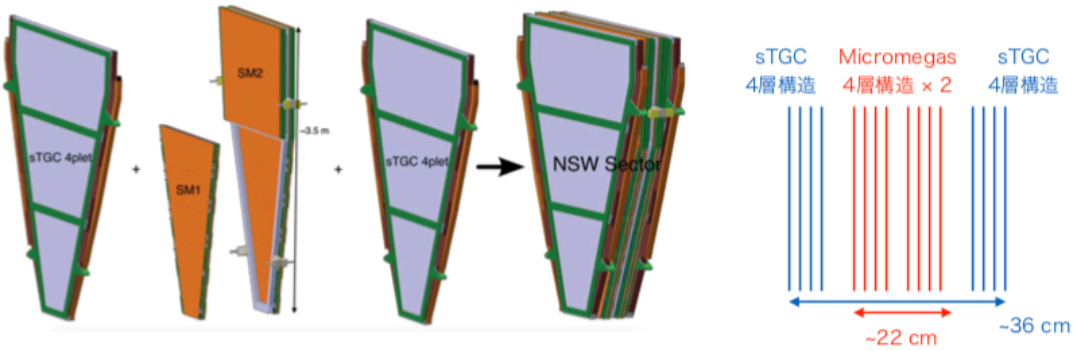

図 3.3: New Small Wheel の構造 [15]

3.2.2 ATLAS の Phase II アップグレード

ATLAS は Phase II アップグレードにおいて、HL-LHC の高カウントレート環境で動作することが求められる。主な改良箇所は、内部飛跡検出器を全てシリコン検出器にすることと、トリガー検出器におけるエレクトロニクスの総取替えである。ここでは、本研究と大きく関係のある TGC エレクトロニクスのアップグレードについてのみ、次節で詳しく述べる。

3.3 TGC エレクトロニクスのアップグレード

Phase II アップグレードにおける、ATLAS の変更点のうち、本研究の主題の関係する TGC エレクトロニクスのアップグレードについて記す。図 3.4 に、Phase II アップグレードにおける TGC エレクトロニクスの全体図を示した。2 章でとりあげた現行のエレクトロニクス、および Phase I アップグレード後のエレクトロニクスから、全てのエレクトロニクスが入れ替えられる。その中で最も大きな変更点は、タイミング調整を行なった TGC の信号を、コインシデンスをとらずに全て後段の Sector Logic へ送る形になったことである。この変更により、Sector Logic においてトリガー効率を数 % あげ，同時に運動量分解能も向上させることを目的としている。

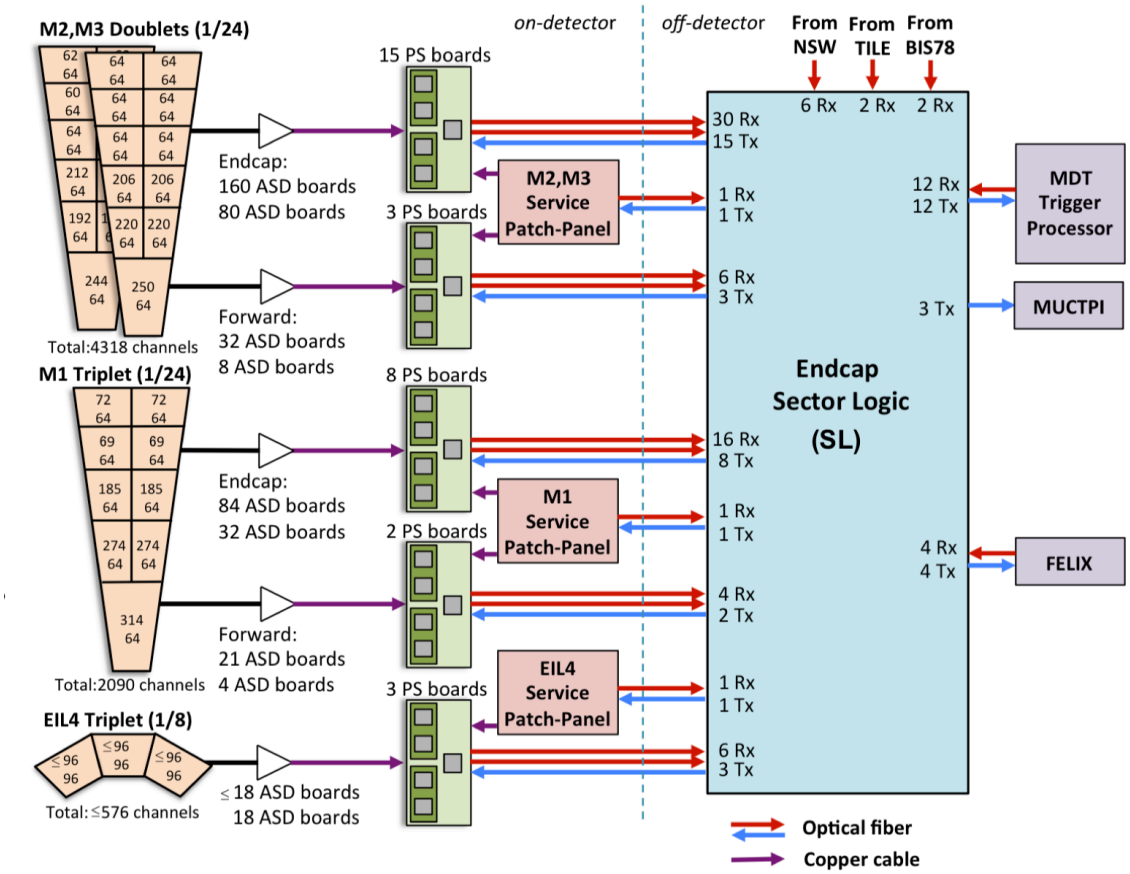

図 3.4: Phase II アップグレードにおける TGC エレクトロニクスの全体図

また、Sector Logic におけるトリガー判定には MDT の情報も新たに用いる。Phase II におけるトリガー系の概念図を図 3.5 に示す。Sector Logic は、TGC、NSW(ただし、NSW Trigger Processor によって処理された情報)、RPC(BIS7/8)、タイルカロリメーターから情報を読み出し、MDT Trigger Processor とは相互に情報を送受信する。そして結果を、Level-0 MUCTPI に送信する。

エレクトロニクスの刷新において、大規模システムをスローコントロールするシステ

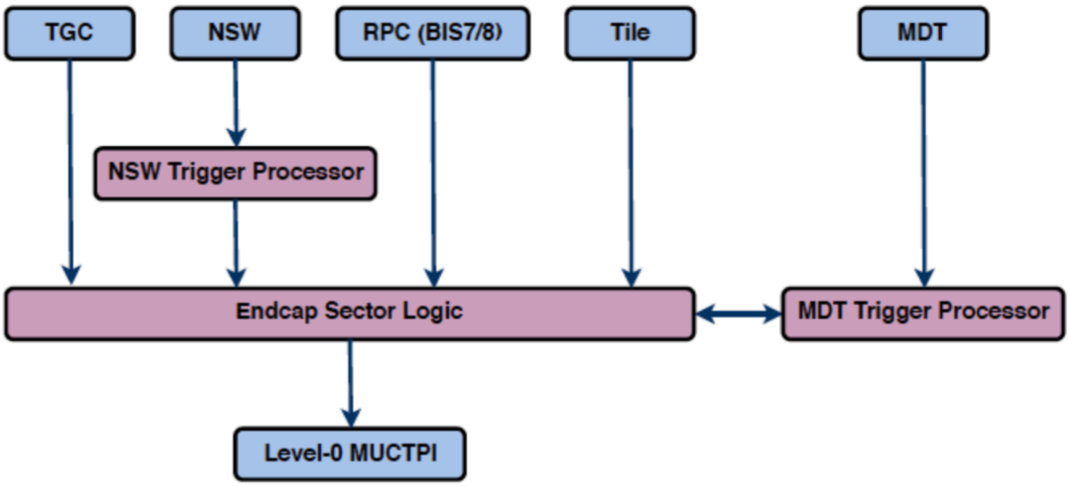

図 3.5: Phase II アップグレードにおけるトリガー系の概念図

ムとして、新たに ZYNQ SoC を搭載する予定である。Phase II アップグレードにおける Sector Logic の完成予定図を図 3.6 に示す。新しい SL では、こうした各検出器からの情報が最大 100 つの光受信機、最大 60 つの光送信機を用いて、大規模 FPGA へと送受信されるが、SL の FPGA ファームウェアをロードする機能を、ZYNQ SoC が担う。

また、Phase II アップグレードにおける PS Board の完成予定図を、図 3.7 に示す。ZYNQ から、PS Board に取り付けられている PP ASIC のレジスタへの読み出し、書き込みを行うことを想定している。

PS Board、Sector Logic における ZYNQ の運用計画の概念図を、3.8 に示す。ここではコントロールルームなどに置かれたホストの PC から、ATLAS のカウンティングルームに設置される基板に置かれた ZYNQ に、光 Ethernet でアクセスすることを想定している。この ZYNQ から、上に述べた大規模 FPGA のコンフィギュレーションや、検出器に取り付けられる PP ASIC のレジスタへの読出しと書き込みといった命令を与える計画である。

ZYNQ SoC は、FPGA とプロセッサーが一体となったチップである。このチップは、コントロールルームと SFP+を介して TCP/IP 通信を行うことができるという点では、プロセッサーとしての特徴を持つ。また一方で、AXI Bus を経由して ZYNQ の FPGA 部と大規模 FPGA 間に高速伝送のラインを設けることができるという点などでは FPGA としての特徴を持つ。これらの特徴を活かし、TGC エレクトロニクスにおいては主に大規模 FPGA や複数の FPGA のマスターとして、スローコントロールに用いる予定である。ZYNQ SoC については、本研究の主題であるため、より詳しく第 4 章で述べる。

エレクトロニクスのアップグレードによって、Level−0 トリガーの Efficiency がどれだけ改善されるかをシミュレーションした結果を、図 3.9 に示す。赤のプロットが、Phase II アップグレード以降の Efficiency を示し、比較として Run−1 の Level−1 トリガーを示した。横軸をデータ取得後に解析を行なったミューオンの横運動量で、縦軸を Efficiency

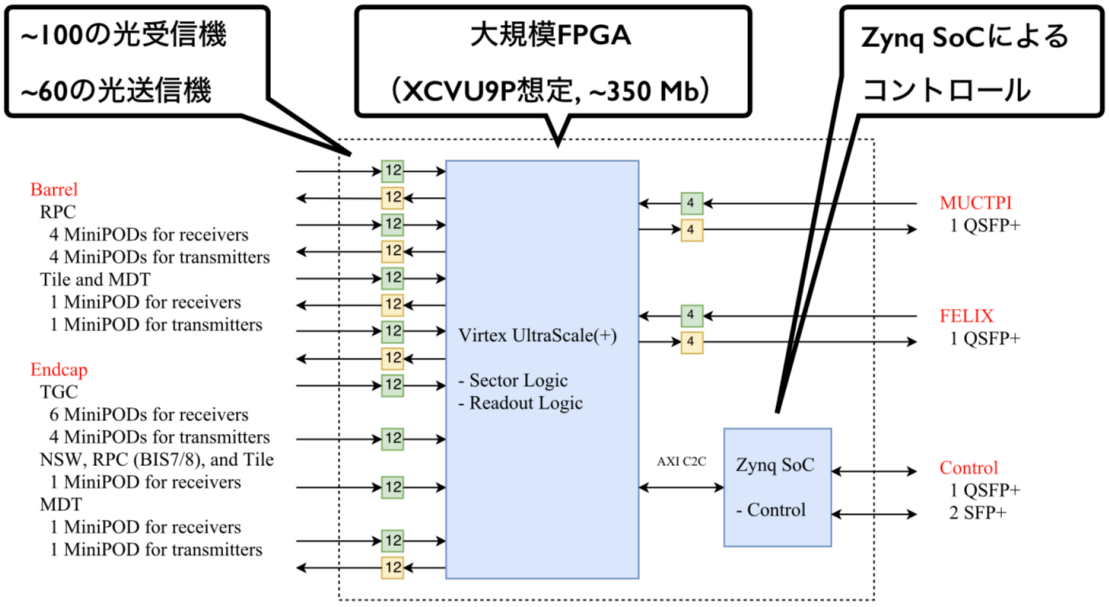

図 3.6: Phase II アップグレードにおける Sector Logic の完成予定図

としている。これを見ると、高運動量の指標となる 20GeV 以上では、Run−1 と比較して Efficiency が数 % 向上し、かつトリガーによって振い落したい 20GeV 以下では、Run−1 と比較しても Efficiency を落としていて、トリガー精度が向上していることが確認できる。

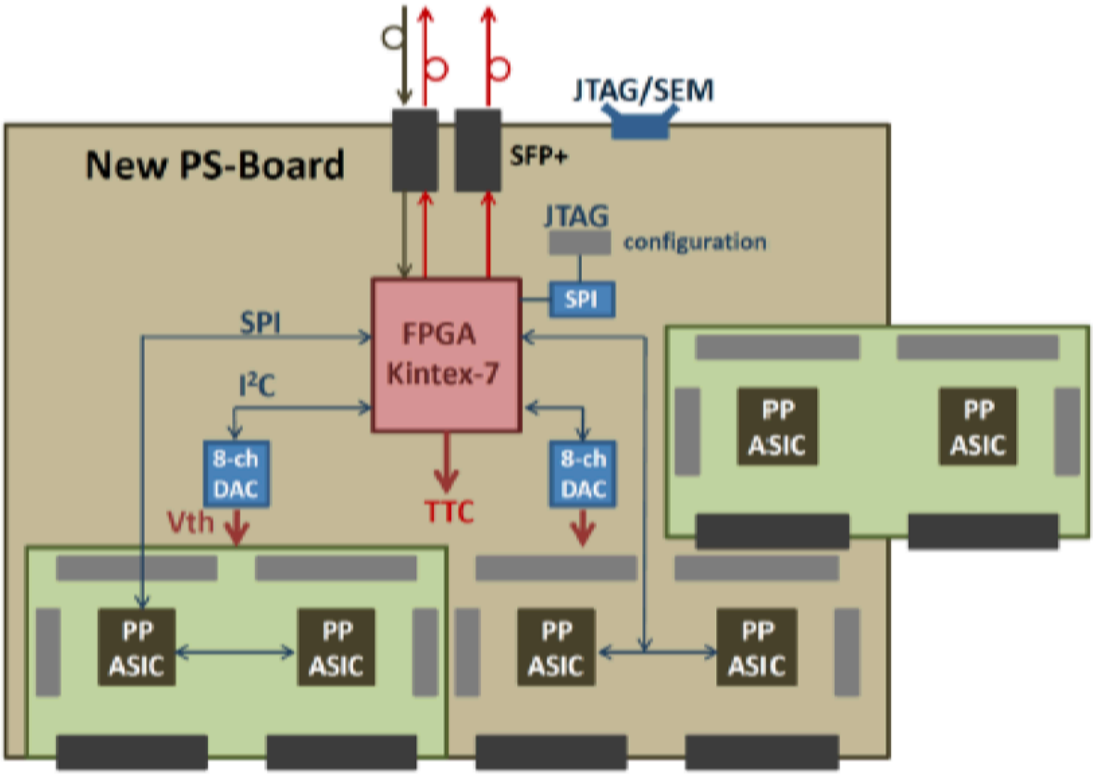

図 3.7: Phase II アップグレードにおける PS Board の完成予定図

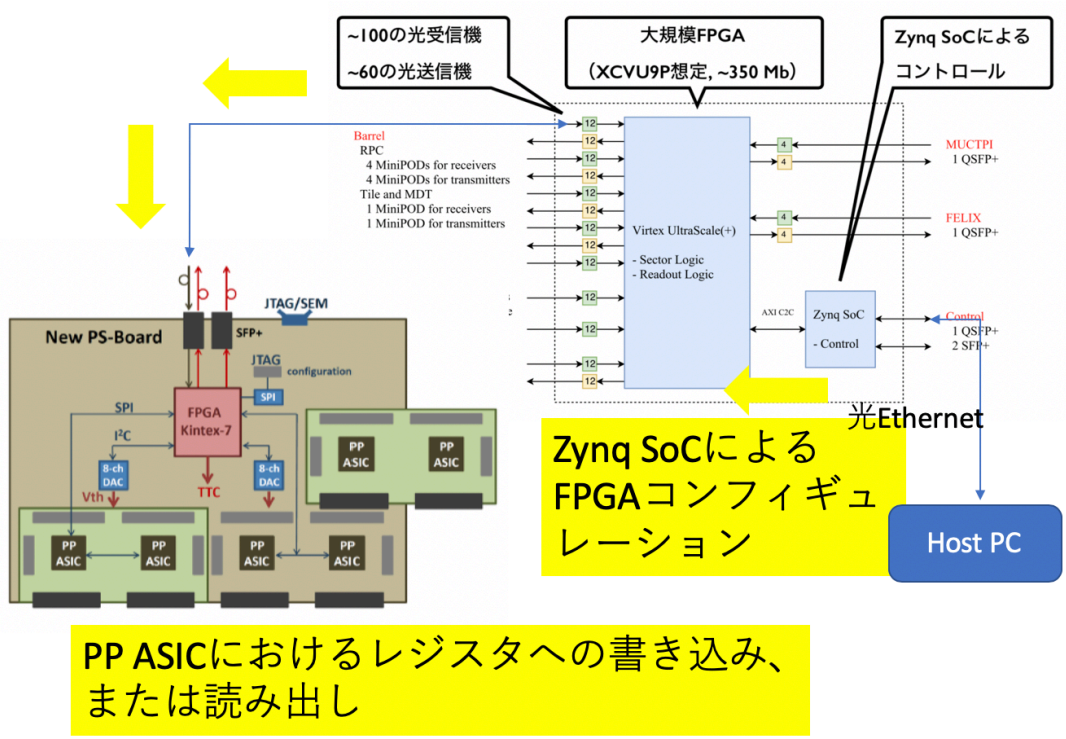

図 3.8: TGC エレクトロニクスにおける ZYNQ を運用する計画の概念図

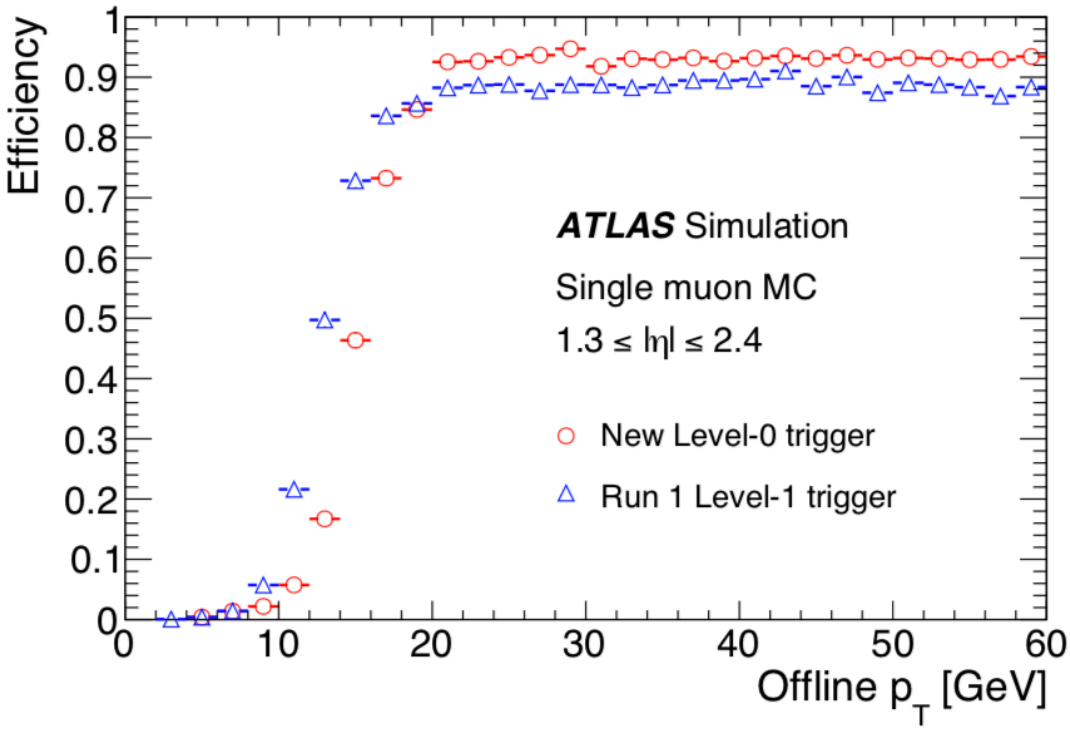

図 3.9: Phase II アップグレード後の TGC による Level-0 トリガーの Efficiency シミュレーション

第4章　Zynqを用いた開発

LHC-ATLAS 実験における、ミューオン検出器 TGC のエレクトロニクスアップグレードにおいて、ZYNQ SoC と呼ばれるモジュールを用いる予定であることはすでに述べた。TGC エレクトロニクスにおいてこれまで、Sector Logic などで FPGA は搭載していたが、ZYNQ SoC デバイスのような FPGA とプロセッサーが一体となったチップは、新しいデヴァイスの使用経験は、本研究のグループにおいてはなかった。

そこで本研究では、ZYNQ を用いた開発手法を確立することを目的に、いくつかの基本的な機能の実装を行った。一つは ZYNQ をマスターとして他の FPGA を遠隔から JTAG 接続する Xilinx JTAG Cable と呼ばれる機能である。また、実際の実験において頻繁に使用するであろう、ネットワーク経由でのブートイメージの更新手段についても確立した。本章では、ZYNQ について説明した上で、こうした機能の実装内容について述べ、さらに今後の展望について記述する。

4.1　SoC デバイス「ZYNQ」

はじめに、SoC(System on a chip) デバイス「ZYNQ」について説明する。Zynq とは、Xilinx 社の提供する、FPGA とプロセッサーが一体となったチップである。図 4.1 に、ZYNQ の概念図を示す。この図が示す通り、ZYNQ は大きく Processing System(PS)、Programmable Logic(PL) の 2 つから構成される。PS には ARM CPU を搭載し、DRAM Controller や周辺機器へのポートへ接続されている。PL は、従来の FPGA と同様に回路構成を自在に変更できる。この 2 つの部位は、AXI Bus(Advanced eXtensible Interface) によって接続されている。AXI Bus とは、ARM 社が公開しているインターフェイスの規格の一つであり、特にマスターとスレーブ間をつなぐ際に使用される。

一般に高エネルギー物理実験において、CPU はハードウェアのモニタリングに、FPGA はオンラインのリードアウトやトリガーの発行に利用されてきた。ZYNQ は双方の特徴を併せ持ち、第 3 章でも触れたような応用が期待される。本研究では、LHC-ATLAS 実験を始めとする、高エネルギー物理実験における Zynq の応用を目指し、基礎的な機能のデモンストレーションを行った。

本研究に使用した、ZYNQ 評価ボード「Zybo Z7-10」の画像を図 4.2 に示す。

今回の使用用途における評価ボードの条件は、大きく 3 つである。一つは、ZYNQ を JTAG Bus のマスターとして使用できる IO ピンが十分存在すること、もう一つは物理的に配線を行うためのコネクタが存在すること、そして Ethernet 接続でホスト PC と接続するためのコネクタが存在することである。

Zybo Z7-10 に搭載している ZYNQ SoC は、XC7Z010 である。今回の使用用途では、PS の動作周波数や PL における FPGA リソースに関して問題なく動作する。表 4.1 に、

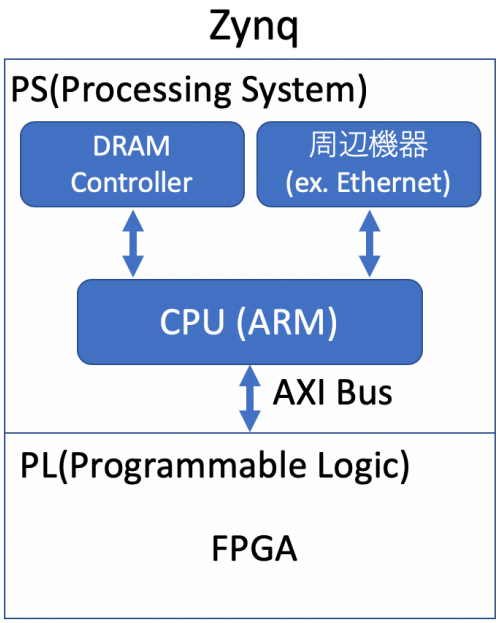

図 4.1: ZYNQ の概念図

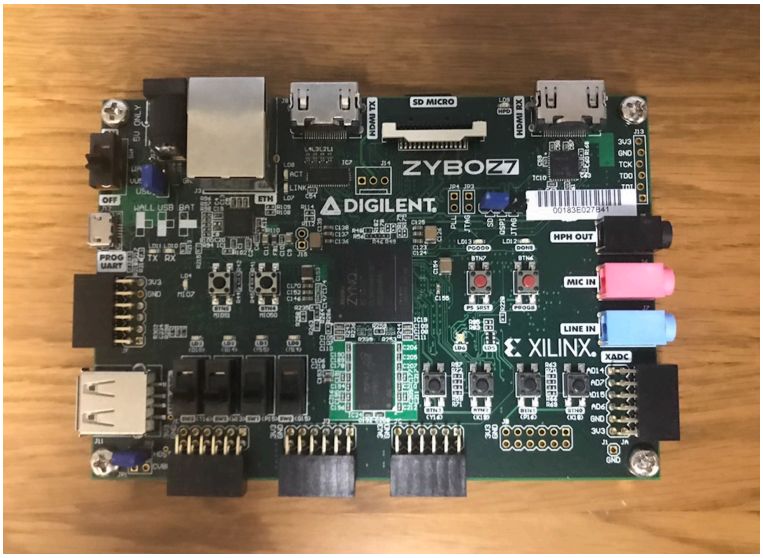

図 4.2: ZYNQ 評価ボード「Zybo Z7-10」

XC7Z010 の主な機能の一覧を示す。

表 4.1: XC7Z010 の主な機能一覧 [16]

プロセッサコア	Arm Cortex-A9 MPCore
最大周波数	667MHz
オンチップメモリ	256KB
外部メモリ	DDR3
外部不揮発メモリ	QSPI、NAND、NOR
FPGA	Artix-7 FPGA
ロジックセル	28K
LUT	17,600
フリップフロップ	35,200

4.2 一般的な ZYNQ の開発手順

次に、ZYNQ を実際に運用する上で必要な、開発環境と開発の手順について説明する。

ZYNQ の開発は、PL（FPGA）に実装する論理回路実装のための開発 (ハードウェア開発と呼ぶ) と、PS(CPU) に実装する組み込み OS の開発 (ソフトウェア開発) を、並行して行う。具体的にハードウェア開発では、Xilinx 社の提供する FPGA 開発環境である「Vivado」を用いる。従来の FPGA 開発と同様、ハードウェア言語や GUI での操作で論理回路を実装する。一方これまでと異なるのは、CPU から PL へのアクセスを可能にするために、物理アドレスを割り当てる操作が必要である点だ。これは、ZYNQ が PS から PL にアクセスするような命令をソフトウェアで実行する際に、AXI Bus ごとに指定された物理アドレスを用いて、どの Bus への命令なのかを識別するためである。Vivado の GUI において物理アドレスを割り当てている様子を図 4.3 に示した。これは図 4.4 のブロックデザインと対応し、各 AXI GPIO それぞれ LED、スイッチ、ボタンを動作させる。物理アドレスは基準となる値と最高値を定義していて、目的に応じて重複なく十分な容量を与えておけばよい。例えば LED やスイッチ、ボタンは 1 つに対して ON、OFF を 1 ビットで表せるため、数ビットあれば評価ボードに搭載されているスイッチを表せるので、十分余裕を持って物理アドレスを割り当てられていることがわかる。

こうして、ZYNQ を含めたブロックデザインを完成させる。ブロックデザインの一例を図に示す。

ZYNQ Processing System は、ZYNQ と使用する各 Peripheral を定義する。Processor System Reset は、PS および各 AXI Bus にリセットの命令を与える役割を持つ。AXI Interconnect は ZYNQ Processing System と各 AXI Bus の中継となる。これに、使用したい用途に合わせて AXI Bus の IP をおき、接続する。この例では、評価ボードに搭載されている LED、スイッチ、ボタンを使用するための汎用の AXI Bus である、AXI GPIO を定義している。

ソフトウェア開発については、Linux 環境で、Zynq に搭載された CPU(ARM) で動作する OS をクロスコンパイルする必要がある。本研究においては、OS イメージのビルド

Address Editor

Cell	Slave Interface	Base Name	Offset Address	Range	High Address
processing_system7_0					
Data (32 address bits : 0x40000000 [1G])					
axi_gpio_0	S_AXI	Reg	0x4120_0000	6...	0x4120_FFFF
axi_gpio_1	S_AXI	Reg	0x4121_0000	6...	0x4121_FFFF
axi_gpio_2	S_AXI	Reg	0x4122_0000	6...	0x4122_FFFF

図 4.3: Vivado を用いた物理アドレスの割り当ての様子

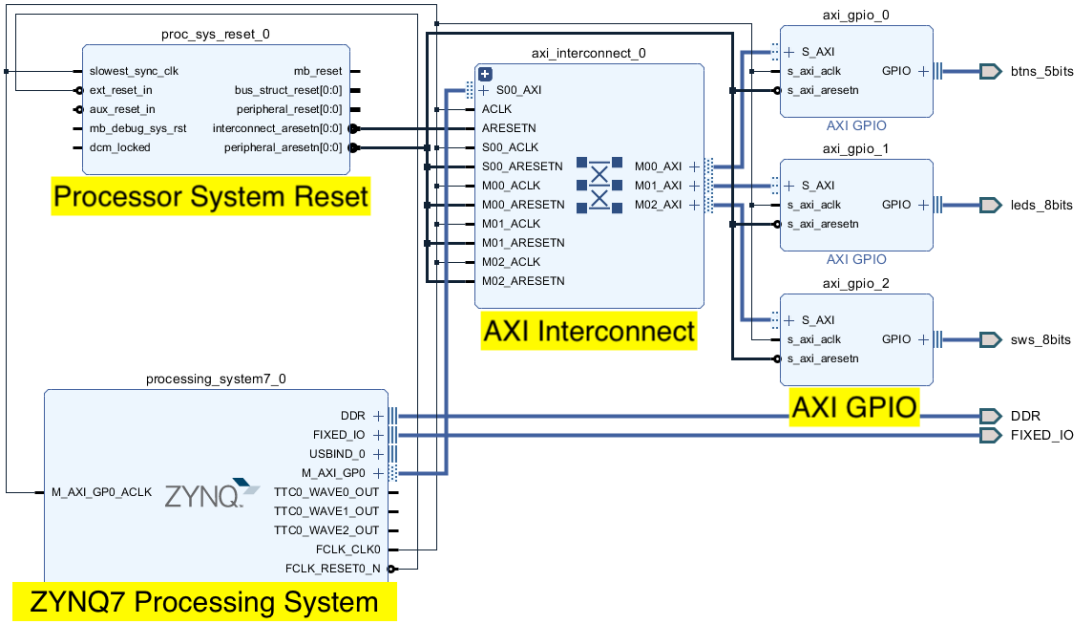

図 4.4: Vivado を用いたブロックデザインの一例

に必要なライブラリが揃っている Xilinx 社の提供するパッケージ「Petalinux」を用いた。Petalinux の利用は、Linux 環境のコマンドライン上での CUI 操作が主となる。また、動作させるアプリケーションのソースコードも用意し、Linux カーネルのビルドと同時にコンパイルする。本研究では、C 言語を用いてアプリケーションを実装した。ここで実装したアプリケーションは、ZYNQ OS 起動後、コマンドラインで実行できるようになる。図 4.4 におけるブロックデザインに対応して、例えば、8 つのスイッチの値を 8bit として読み出し、8 つの LED へその 8bii の値をそのまま出力することで、スイッチの ON、OFF に対応して LED が点滅させることが出来る。また、「割り込み」を行うことも可能であり、例えば 5 つのボタンの値を 5bit として読み出し、0 でない値が読み出された時にプログラムをストップさせることが出来る。

加えて、ハードウェア開発の段階で定義した物理アドレスを、ソフトウェア開発の際に対応させる必要がある。物理アドレスはソースコード内でメモリ空間を参照する際に正しく指定することによって、初めて正しく動作するためである。また、device-tree と呼ばれるファイルを、ビルドする際に使用することができる。このファイルは、所定の文法通りに各 AXI Bus の物理アドレス（基本の値と幅）、AXI Bus の種類など必要な情報を記し、それぞれに名前をつけて識別できるような形で羅列する、テキストファイルである。Petalinux を用いてビルドする際、この device-tree が参照されると、ここで名付けておいた AXI Bus の名前を、物理アドレスの代わりにソースコードで用いることが出来る。device-tree ファイルを用いることの利点は、すべての物理アドレスの指定を単一のファイルで行うことができるため、アプリケーションそれぞれのソースコードで指定する場合に比べて重複や過不足を防げることである。物理アドレスの指定間違いは、深刻な動作不良を引き起こす可能性もあるので、本研究では device-tree を用いた。device-tree の記法の一例を、図 4.5 に示す。この例では、ある単一の AXI Bus への物理アドレスを、割り当てている。

```
6
7       &amba {
8           ranges ;
9           axi_jtag_0: axi-jtag@43c00000 {
10              compatible = "generic-uio";
11              reg = <0x43c00000 0x10000>;
12          };
13      };
14
```

図 4.5: device-tree の記法の一例 [17]

こうしたセットアップの後、Boot Image のビルドを実行する。作成したイメージを SD カードにコピー、またはボードに搭載した、QSPI のような他の不揮発メモリに搭載し、起動させる。

起動した ZYNQ を操作する方法として、最も簡単な方法は、ホスト PC と ZYNQ を

USB ケーブルなどで接続し、シリアル通信を開くことである。シリアル通信確立後は、ホスト PC 側から CUI で ZYNQ OS の操作が可能となる。

4.3 Xilinx Virtual Cable

Xilinx Virtual Cable とは、ホスト PC と TCP/IP 接続した ZYNQ を経由し、ターゲット FPGA をリモートでプログラムする機能である。基本となるソースコードは Xilinx 社が配布していて、本研究では自身の環境に合わせてこれを適宜修正し、使用した。実際に研究室で行なったセットアップの様子を図 4.7 に、ブロックデザインを図 4.6 に示す。ZYNQ を搭載した評価ボードとして、Zybo Z7-10 を、Target FPGA として Zedboard, Microzed を使用した (これらの評価ボードも Zynq を搭載しているが、この開発においては ZYNQ としての機能を使用していない)。ホスト PC と ZYNQ は Ethernet Cable で接続し、ZYNQ と Target FPGA は HW-USB-FLYLEADS-G(空中配線に用いる、Xilinx 社製の JTAG ヘッダーに対応するケーブル) で接続している。

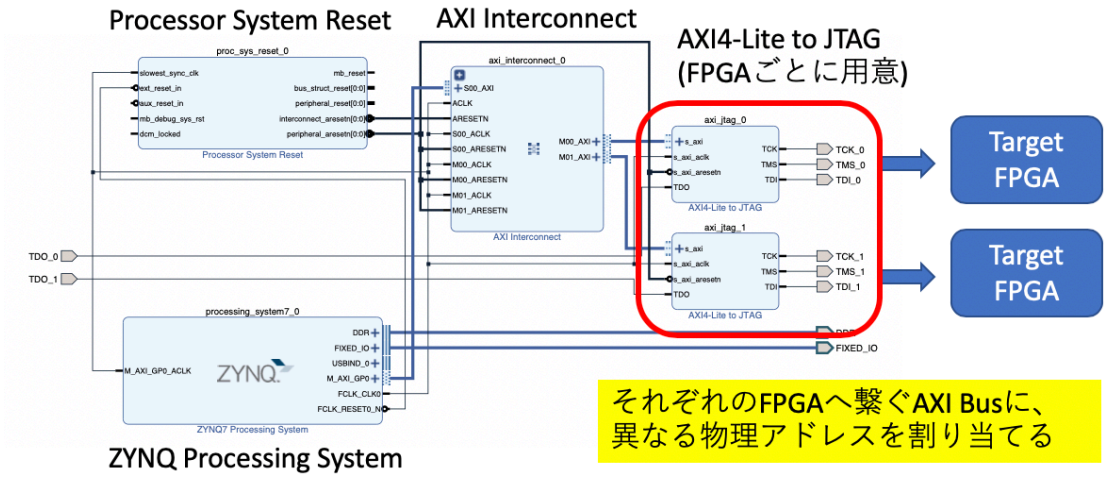

図 4.6: Xilinx Virtual Cable における Vivado によるブロックデザイン

このセットアップは、3 章にて紹介した ZYNQ をマスターに、他の FPGA をスレーブとした ZYNQ SoC の利用方法を前提としている。

実行の流れは以下の通りである。まず、ZYNQ 評価ボードの電源を入れ、ZYNQ OS を実行する。次にホスト PC から、ZYNQ のあるポート番号に、TCP/IP パケットを送信する。すると ZYNQ は、パケットを受け取り、PL のピンから JTAG 通信を行う。これにより、ホスト PC からは、Xilinx の GUI から TCP/IP 経由で、JTAG を用いた機能を利用可能になる。この Xilinx Virtual Cable の実装により、ZYNQ を複数の FPGA の JTAG Bus 上のハブとして利用可能であることを検証した。実際にホスト PC 側から ZYNQ への JTAG Bus が開通している様子を、図 4.8 に示す。ここでは、ホスト PC と TCP/IP 接続された ZYNQ が検知できていることが確認できる (青線で囲んだ部分)。さらに、その

下のレイヤーに、ZYNQ と JTAG ケーブルで繋がった FPGA が、FPGA ファームウェアのダウンロードを待機している状態で確認できる。

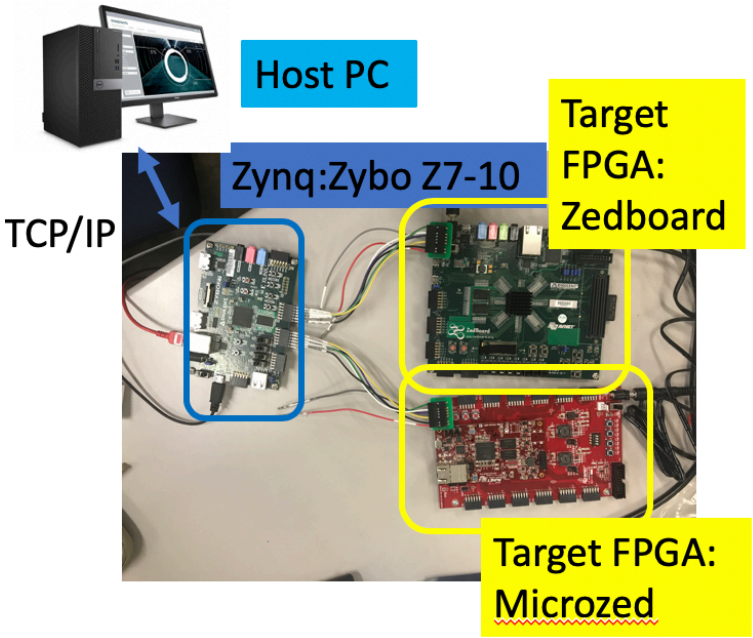

図 4.7: Xilinx Virtual Cable の試験の様子

4.4 ネットワーク経由での更新

ネットワーク経由で Zynq OS を更新する手順について、本研究で検証した手順を示す。ネットワーク経由での更新の概念図を 4.9 に示す。すでに述べたように、Zynq は基板上に取り付けた、SD カードや SPI Flash のような記憶デバイスからブートイメージを読み込み、OS を起動する。

起動した ZYNQ に対する通信方法として、ホスト PC と ZYNQ 評価ボードの間に USB ケーブルなどを介したシリアル通信を確立する手法を、一例として示した。しかし、これはホスト PC が評価ボードと直に有線で繋がっている場合に限るため、研究室の試験では有用だが、実際の大規模な実験では利用しにくい。

そのため、ZYNQ OS とホスト PC との接続には TCP/IP 接続を用いることが実用的な手段である。ここでは、使用した評価ボードに搭載されているコネクタ Ethernet-phy を用いた接続の確立手法について示す。

TCP/IP 接続の確立には、ハードウェア開発の段階では、ZYNQ Processing System で Ethernet-phy を利用するよう設定し、ソフトウェア開発においては device-tree における Ethernet-phy の使用の定義を明記すれば良い。また、Linux カーネルのビルドの際に IP アドレスを重複のないように固定し、起動した際に割り当てられる IP アドレスがわかるよ

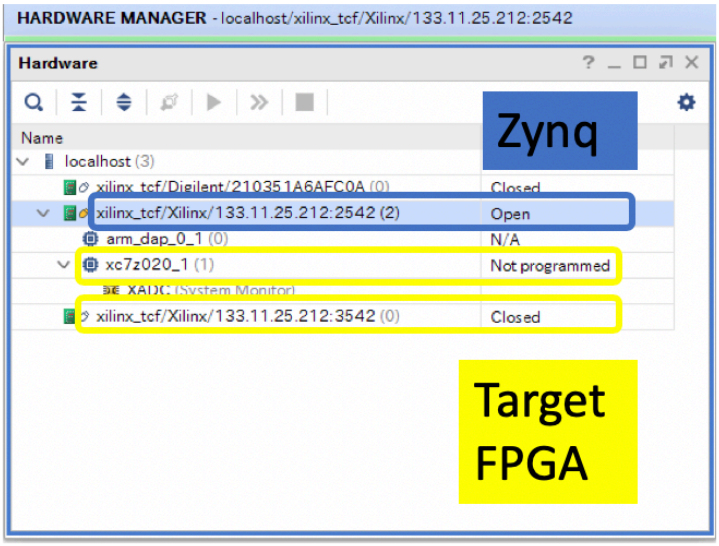

図 4.8: Host PC から、ZYNQ への JTAG Bus が開通している様子

うにしておく。起動後は TCP/IP 通信が可能となり、例えば ssh 接続などによって、ネットワーク経由でのコマンドライン上の操作が可能となる。

この延長として、scp などのコマンドで、ネットワーク経由で SD カード上のブートイメージを上書きし、再起動すると、ZYNQ OS は上書きしたブートイメージを読み込んで再起動する。すなわち、ネットワーク接続さえ確立されていれば、任意のタイミングで、OS を更新できることが確認できた。

4.5 今後の計画

今後の実装計画として、AXI Chip2Chip[18] について述べる。AX CIhip2Chip は、AXI Bus を用いたチップ間の高速伝送を行う IP の名称である。Xilinx 社からハードウェア言語によるソースコードが配布されていて、使用者は仕様をもとに自身の FPGA アーキテクチャの中に組み込むことになる。図に AXI Chip2Chip の ZYNQ を用いた応用として、研究グループで想定している実装の概念図を図 4.10 に示した。AXI Chip2Chip IP を ZYNQ ならびに通信を行う FPGA に実装し、チップ同士の通信を AXI Chip2Chip が担う形となる。この例では、ZYNQ をマスター、別の FPGA をスレーブとして、ZYNQ から FPGA におけるレジスターのコントロールや、AXI Chip2Chip を経由したデータモニタリングを行うことを想定している。

4.6 実験における運用の想定

実際の実験において、図 4.11 のような運用を一例として想定している。ここでは、ZYNQ を検出器の読み出し/トリガー用フロントエンド FPGA のスローコントロールに用いてい

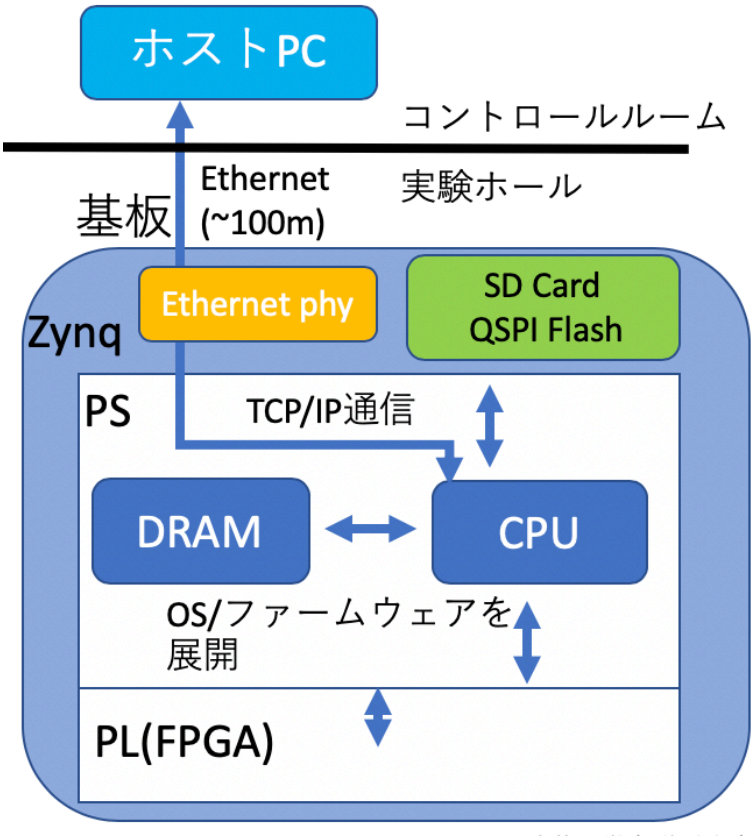

図 4.9: ネットワーク経由での更新の概念図

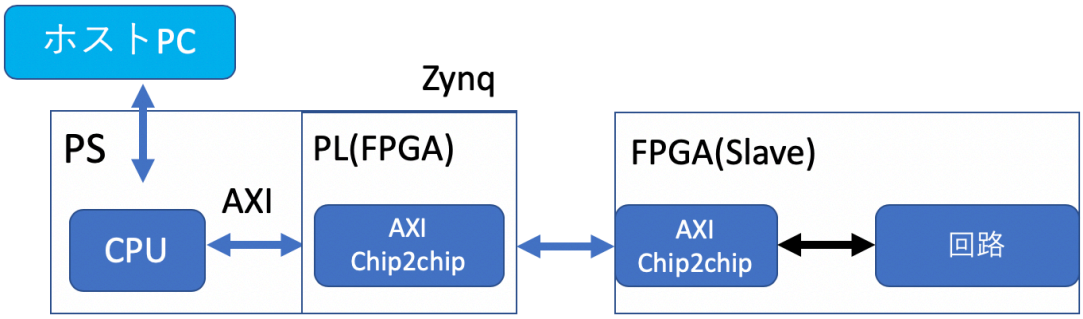

図 4.10: AXI Chip2Chip の概念図

る。本研究において検証した ZYNQ の機能は、以下のように応用できると考えている。一つには、ホスト PC と ZYNQ とのイーサネット通信を確立し、リモートでの更新が可能であることを検証したことである。LHC-ATLAS 実験を含め、高エネルギー実験においては、FPGA を含む読み出し/トリガー用の電子回路を、ホスト PC から遠隔に操作することも多い。これは例えば、エレクトロニクスを検出器のすぐ近くに設置する必要があるために、放射線管理区域に設置されているような場合である。こうした場合でも、ホスト PC とイーサネット通信を確立していれば、リモートで更新が可能であるため、実験の状況に即して適宜 OS の更新ができる。また、ZYNQ をマスター、他の FPGA をスレーブとした JTAG 通信を可能とする、Xilinx Virtual Cable の機能も、様々な形で応用が期待できる。システムを立ち上げる際に、FPGA にファームウェアをダウンロードして利用する際に必須であることはもちろん、ビットエラーレートを計測する IBERT 試験なども、JTAG Bus で利用できる。また今後、AXI chip2chip を用いて、高速信号伝送を実装予定である。

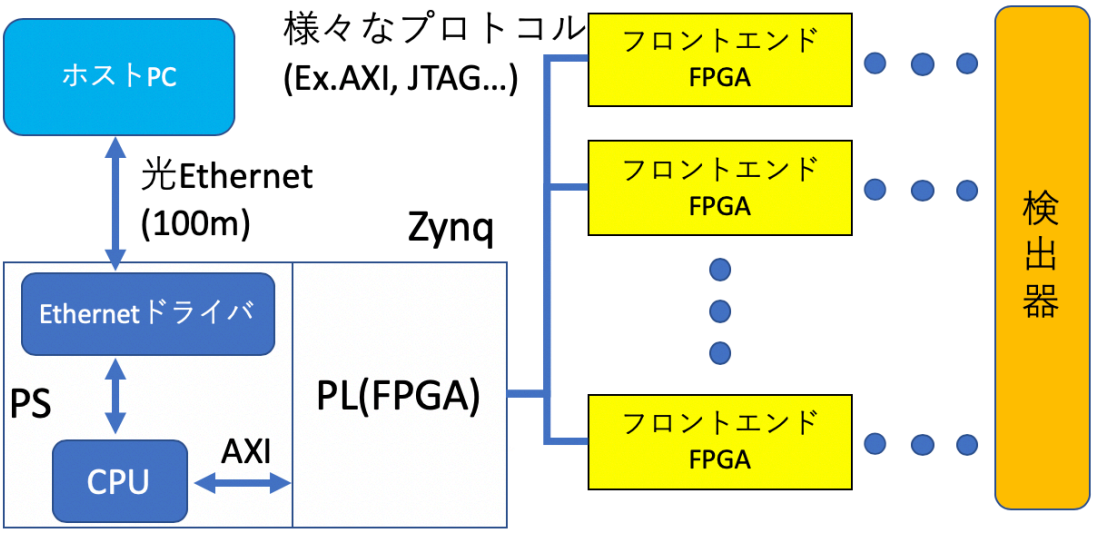

図 4.11: 今後の運用における Zynq の利用の概念図

第5章　まとめと今後

まとめと今後の展望について記す。

本研究では、高エネルギー実験において、プロセッサーと FPGA が一つになったチップ「ZYNQ」を応用するべく、開発環境を整備した。一つの具体的な応用先として、LHC-ATLAS 実験においてトリガー判定の役割を果たす TGC 検出器の新たなエレクトロニクスを想定している。今後予定されているエレクトロニクスの刷新の際、Zynq が高輝度に対応したフロントエンド、バックエンドの FPGA をスローコントロールする役割を担うシステムを計画している。

本研究では、開発環境を整備する過程で、Zynq を高エネルギー実験において利用する上で基礎的かつ必須な機能を評価ボードを用いて開発し、動作を検証した。一つは、遠隔での JTAG 制御を可能にする Xilinx Virtual Cable(XVC) の実装である。これにより、TCP/IP 接続を確立した ZYNQ と通信が確立されれば、この ZYNQ に接続された FPGA への JTAG 制御が可能であることを検証した。また、TCP/IP 通信を用いて、遠隔から OS を更新できることを実証した。高エネルギー実験のように、システムの系が大規模であったり、放射線環境の問題であったりする場合では、これらの機能は必須となる。

今後の予定として、AXI Chip2chip を用いた、チップを経由したレジスターコントロールやデータモニタリングや、高輝度 LHC におけるスローコントロールの設計を計画している。

謝辞

本研究を行うにあたってお世話になった方々に、ここで感謝の意を述べさせていただきます。

石野雅也教授には、研究を行う機会を与えて下さり、毎回のミーティングでのアドバイスや、論文執筆でも多くの助言をして下さったことに、心より感謝いたします。また、奥村恭幸准教授には、ミーティングで指摘いただいたことはもちろん、日々の研究の際にも、細かい疑問まで親身になって指導していただいたことを、深く感謝いたします。普段のミーティングでは、齋藤智之助教にも研究について相談させていただいたことを感謝いたします。退官された坂本宏元教授には、研究を始めたばかりの頃、基本的なことから指導していただいたことを感謝いたします。研究生活では、同期である小玉昂史氏や桶作愛嬉氏にも、助言をいただいたり、研究報告から学んだりする中でお世話になったことを感謝いたします。

その他、ATLAS 実験に参加されている先生、先輩方にもお世話になりました。ミーティングや学会発表前のコメントをいただいたり、CERN 滞在中の LHC-ATLAS 実験に関する講義であったり、普段の食事であったりと、様々な場面でお世話になりましたことを心より感謝いたします。

最後に、大学院まで私を支えてくれた両親に深く感謝いたします。

参考文献

[1] KEK ホームページ "https://www.kek.jp/ja/newsroom/2012/07/27/1500/"

[2] CERN Document Server / Photos "http://cds.cern.ch/collection/Photos"

[3] ICEPP ホームページ "https://www.icepp.s.u-tokyo.ac.jp/research/atlas.html"

[4] ATLAS Collaboration, HL-Plan, "http://www.hilumilhc.web.cern.ch/about/ hl-lhc-project"

[5] ATLAS Collaboration, "The ATLAS Experiment at the CERN Large Hadron Collider". 2008 JINST 3 S08003

[6] ATLAS Collaboration, "Inner Detector Technical Design Report", 1997.

[7] ATLAS Collaboration, ATLAS Photos. "http://www.atlas.ch/photos/index.html."

[8] James Stirling, Imperial College of London "http://www.hep.ph.ic.ac.uk/ wstirlin/plots/plots.html"

[9] 早川俊, LHC シングルビームを用いた ATLAS 実験前後方ミューオントリガーシステムの性能評価, 修士論文.

[10] ATLAS Collaboration, ATLAS Muon Endcap Level-1 Trigger Update of Technical Design Report, 09, June, 2000.

[11] Osamu Sasaki, Amplifer-Shaper-Discriminator ICs and ASD boards, 1999.

[12] 田代拓也, ATLAS 実験における新しいミューオントリガー回路の開発と実装, 修士論文.

[13] 救仁郷拓人, LHC-ATLAS 実験 Run-2 に向けた Level-1 ミューオントリガーアルゴリズムとデータ収集システムの改良, 修士論文.

[14] 赤塚駿一, LHC-ATLAS 実験 Run-3 に向けたミューオントリガーの改良, 修士論文.

[15] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical Report CERN- LHCC-2013-006. ATLAS-TDR-020, CERN, Geneva, Jun 2013. ATLAS New Small Wheel Technical Design Report.

[16] Xilinx ホームページ / ZYNQ SoC"https://japan.xilinx.com/products/silicon-devices/soc/zynq-7000.html"

[17] Xilinx ホームページ / Xilinx Virtual Cable "https://japan.xilinx.com/products/intellectual-property/xvc.html"

[18] Xilinx ホームページ / AXI Chip2chip "https://japan.xilinx.com/products/intellectual-property/axi-chip2chip.html"