

修士学位論文

ATLAS 前後方ミュオントリガーシステムの構築

東京大学大学院理学系研究科物理学専攻
坂本研究室

榑原 隆志

Takashi Kuwabara

2007 年 1 月 23 日

Abstract

CERNにおいてATLAS実験が開始されるまであと1年となくなった。最新のスケジュールによると、LHC (Large Hadron Collider) からビームが出るのは2007年11月となっていて、いよいよ実験が動くところまで準備が進んできた。

ATLAS 検出器はLHCの衝突点の1つに設置され、素粒子の質量の起源を担うヒッグス粒子の発見や、標準理論の枠組みの外に予言されている超対称性粒子の発見を目指している。そのためには大量のバックグラウンドの中から興味のあるイベントのみを取り出す必要がある。そこでATLASでは3段階のトリガーを用いてデータの処理をしている。これらのトリガーはそれぞれLVL1、LVL2、EFと呼ばれ、LVL1は検出器によって行われ、LVL2、EFはソフトウェアによって行われる。

我々が構築している前後方ミュオントリガーシステムは、このLVL1トリガーに用いられる検出器のひとつである。また、この検出器はミュオンに関する物理を知るための機能が備わっており、新物理を見るために重要な役割を担っている。本論文では、このシステムの構築と動作検証について述べる。

このTGCシステムを構築するために必要なエレクトロニクスの開発、量産および量産における検査システムの構築を行い、実際に動作することを確認した。更に、宇宙線を用いたTGCシステムのコミッショニング方法を確立し、TGCシステムがミュオンに対して予想された感度を持つことを確認した。これらの検査システムと、その動作についてまとめる。

Contents

第 1 章	素粒子物理学の現状と LHC	1
1.1	素粒子物理学の現状	1
1.2	LHC の概要	2
第 2 章	ATLAS Experiment	4
2.1	ATLAS の目指す物理	4
2.1.1	標準理論 Higgs 粒子	4
2.1.2	超対称性粒子	8
2.1.3	超対称性 Higgs 粒子	9
2.1.4	ミューオンの関係する物理のまとめ	9
2.2	ATLAS 検出器	10
2.2.1	内部飛跡検出器	12
2.2.2	カロリメータ	12
2.2.3	ミューオン・スペクトロメータ	13
2.2.4	マグネットシステム	17
2.3	ATLAS 実験のトリガー & DAQ システム	18
2.3.1	ATLAS 実験のトリガー & DAQ スキーム	18
2.3.2	LVL1	20
2.3.3	LVL2	23
2.3.4	EF	23
第 3 章	TGC ミューオントリガーシステム	25
3.1	TGC システムの配置	25
3.1.1	ビッグウィール	26
3.1.2	EI/FI	26
3.2	TGC の概要	27
3.2.1	動作原理	27
3.2.2	TGC の構造	27
3.2.3	TGC からのシグナル	29
3.2.4	overlap 領域	30
3.3	TGC における p_T の決定方法	31
第 4 章	TGC システムの読み出し	33
4.1	システム全体	33
4.1.1	トリガー系	34
4.1.2	リードアウト系	35
4.1.3	コントロール系	36
4.2	TGC エレクトロニクスの設置	37

4.3	エレクトロニクスの詳細	39
4.3.1	ASD Board	39
4.3.2	PP ASIC	40
4.3.3	SLB ASIC	40
4.3.4	JRC	43
4.3.5	DCS	43
4.3.6	PS Board	44
4.3.7	SPP Board	45
4.3.8	PS Pack	45
4.3.9	HPT	45
4.3.10	SL	46
4.3.11	SSW	48
4.3.12	ROD	49
4.3.13	HSC	50
4.3.14	CCI	50
4.4	Online ソフトウェア	50
4.4.1	Online ソフトウェアの概要	50
4.4.2	TGC エレクトロニクスのコントロール	52
第 5 章	エレクトロニクスの量産とコミッショニングの準備	55
5.1	各エレクトロニクスの量産と検査	55
5.1.1	PSB-DCS 検査システム	56
5.1.2	検査による成果	61
5.1.3	SSW、HPT、SL の量産	61
5.2	PT5 の開発	61
5.2.1	PT5 の仕様	62
5.2.2	メザニンカードの開発	64
5.3	S-Link でデータを送る HDL の開発	65
5.3.1	SSW からのデータレートの見積もり	65
5.3.2	スキーム	66
5.3.3	S-Link でデータを送る HDL の検証	68
5.4	CTM における HDL 開発	70
5.4.1	CTM	70
5.4.2	トリガーを出す HDL 開発	71
5.4.3	トリガーを出す HDL の検証	73
5.5	Manual ソフトウェア	74
第 6 章	TGC システムのコミッショニング	75
6.1	ATLAS 検出器のインストールスケジュールと TGC システム	75
6.1.1	インストールスケジュール	75
6.1.2	TGC システムにおける ToDo リスト	76
6.2	セクターアセンブリ	76
6.2.1	セクターアセンブリの手順	77
6.3	セクター検査システム	78
6.3.1	検査目的	78

6.3.2	セットアップと手順	79
6.3.3	Delay Scan	83
6.3.4	Online ソフトウェアの検証	84
6.4	セクター検査で発見された問題とその改善	85
6.4.1	チャンネル欠損	85
6.4.2	LVDS のドライバ IC の故障	86
6.4.3	Online ソフトウェアから JTAG がかからない	87
6.5	TGC のコミッショニング	88
6.5.1	セットアップと初期設定	88
6.5.2	トリガー条件とその目的	90
6.5.3	トリガーレートの検証	91
6.5.4	コミッショニングデータの解析	91
6.5.5	PS ボードとチェンバー間の PIN アサイン	96
6.6	ATLAS PIT へのインストール	97
第7章 まとめ		99
付録 A PSB		100
A.1	SLB register	100
A.2	PP register	101
付録 B Data Format		102
B.1	ROD Data Format	102
B.2	PSB Data Format	103
B.3	SSW Data Format	104

List of Figures

1.1	現在の素粒子物理の理解	1
1.2	力の統一の可能性	1
1.3	LHC 加速器の構成	2
1.4	LHC における 4 つの衝突点	3
1.5	CMS	3
1.6	Alice	3
1.7	LHC-B	3
2.1	Higgs 生成のファイマンダイアグラム	5
2.2	標準理論での Higgs 粒子の生成断面積	6
2.3	Higgs 崩壊分岐比の質量依存	7
2.4	Higgs 粒子の 10fb^{-1} での発見能力	8
2.5	Higgs 粒子の 30fb^{-1} での発見能力	8
2.6	4 ミューオン状態から標準理論 Higgs 粒子を再構成	10
2.7	ATLAS 検出器	11
2.8	内部飛跡検出器の構造	12
2.9	カロリメータの構造	13
2.10	ミュオン・スペクトロメータ	14
2.11	ミュオン・スペクトロメータ (R-Z 断面図)	14
2.12	MDT の構造	15
2.13	CSC の構造	16
2.14	RPC の構造	16
2.15	TGC の構造	17
2.16	マグネットの構造	17
2.17	η と磁場積分強度の関係	18
2.18	X-Y 平面の磁束の構造 ($z=10.5\text{m}$)	18
2.19	Trigger & DAQ システム	19
2.20	LVL1 トリガー処理の流れ	20
2.21	TTCpartition	23
3.1	R-Z 断面での TGC のレイアウト	25
3.2	M3 (pivot) での TGC の配置と区分	26
3.3	EI/FI での TGC の配置と区分	26
3.4	アノードワイヤでのタウンゼント型電子なだれの原理	27
3.5	TGC の平面図	28
3.6	TGC の断面図	28
3.7	ワイヤサポート	28
3.8	TGC の Triplet (左) と doublet (右) の構造	29

3.9	TGC 各層でのワイヤグループの重ね方	29
3.10	TGC の時間分布	30
3.11	ストリップの overlap 領域でのマスク	31
3.12	p_T 測定の原理	32
4.1	TGC エレクトロニクスのシステム概要	34
4.2	TGC エレクトロニクスのトリガー系	35
4.3	TGC トリガーの判定方法	35
4.4	TGC エレクトロニクスのリードアウト系	36
4.5	TGC からのリードアウトのスキーム	36
4.6	TGC エレクトロニクスのコントロール系	37
4.7	PS Pack の構成と配置	38
4.8	TGC エレクトロニクスの配置	38
4.9	TGC エレクトロニクスの配置 (R-Z 断面)	39
4.10	ASD Board	39
4.11	ASD ASIC のブロック図	39
4.12	PP ASIC のブロック図	40
4.13	SLB AISC のブロック図	41
4.14	Wire Doublet の場合のコインシデンスマトリックス	42
4.15	デクラスタリング	42
4.16	JRC 内部の模式図	43
4.17	DCS	44
4.18	PS Board の構成図	44
4.19	PS Board	44
4.20	Service Patch Pane	45
4.21	PS Pack	45
4.22	HPT ワイヤ ブロック図	46
4.23	HPT ストリップ ブロック図	46
4.24	HPT Board	47
4.25	SL	47
4.26	SL ブロック図	48
4.27	SL での処理の流れ	48
4.28	SSW	49
4.29	Test ROD	49
4.30	HSC	50
4.31	CCI	50
4.32	Online Soft 環境	51
4.33	DAQ の GUI	51
4.34	Controll Line	53
4.35	TGCJSegment	53
5.1	PSB-DCS 検査の流れ	57
5.2	PSB-DCS 検査をするセットアップ	58
5.3	PSB のチェックソフトの GUI	59
5.4	DCS のチェックソフトの GUI	59

5.5	林栄での PSB-DCS 検査の様子	59
5.6	テストパルスの種類の決まり方	60
5.7	テストパルスにおける TP Trigger と L1A の関係	60
5.8	PT5 の概要	62
5.9	PT5	62
5.10	PT5 の data 線の概要図	63
5.11	G-Link が 2 個載ったメザニンカード	65
5.12	SSW から ROS に送るシステムの概要	66
5.13	ROD のフォーマット	68
5.14	フォーマット変換の論理合成シミュレーション	69
5.15	G-Link を用いた実装試験のセットアップ	69
5.16	CTM	70
5.17	トリガーを出す HDL のブロック図	72
5.18	LVDS の信号線のペア	73
5.19	クロックスキューをあわせるモジュールの論理合成シミュレーション	73
6.1	ATLAS 検出器のインストールスケジュール	76
6.2	Building180 と ATLAS PIT の場所	77
6.3	チェンバーの検査の様子	77
6.4	水平状態での組み立て	77
6.5	垂直状態での組み立て	78
6.6	検査前の様子	78
6.7	セットアップの概要	79
6.8	L1A とテストパルストリガーのオシロスコープ画像	80
6.9	Delay を合わせる前	81
6.10	Delay を合わせた後	81
6.11	C-Side M3 の配置の定義	82
6.12	閾値電圧がないときの T7/T6 ストリップのデータ	83
6.13	電圧閾値がないときのタイミングのズレ	83
6.14	DCS ソフトの GUI	83
6.15	Delay Scan の結果	84
6.16	ASD テストパルスによって見つかったチャンネル欠損	85
6.17	LVDS の IC 比較	86
6.18	EWD1 の JRC のマップ	88
6.19	コミッショニングのセットアップ	89
6.20	2 層目のみに HV を与えた時のヒストグラム	91
6.21	T9/T8 ワイヤのデータ	92
6.22	T7/T6 ワイヤのデータ	92
6.23	T5/T2 ワイヤのデータ	93
6.24	T9/T8 ストリップのデータ	93
6.25	T7/T6 ストリップのデータ	94
6.26	T5/T2 ストリップのデータ	94
6.27	2 次元読み出し	96
6.28	T2 ワイヤで見つかった、PIN アサインの間違え	97

6.29	1/12 セクター輸送の様子	97
6.30	IP Side への移動	98
6.31	TGC M1 Layer	98
B.1	Test ROD のデータフォーマット	102
B.2	PS ボードからのデータフォーマット	103
B.3	SSW からのデータフォーマット	104

List of Tables

1.1	LHC 加速器の主なパラメーター	3
2.1	ATLAS 実験におけるミュオン検出器の構成	15
2.2	TTC で使われる主な信号	22
4.1	モジュールへのアクセス	54
5.1	必要なボード枚数と量産状況	55
5.2	PS ボードの種類	56
5.3	PT5 に搭載している FPGA の仕様	64
5.4	PSB と SSW の対応表	65
5.5	RxFPGA の仕様	71
6.1	バージョン比較	84
A.1	SLB ASIC のレジスタ	100
A.2	PP ASIC のレジスタ	101

Abbreviations

ADC: Analog-Digital Converter
ALICE: A Large Ion Collider Experiment
ASD: Amplifier Shaper Discriminator
ASIC: Application Specific Integrated Circuit
ATLAS: A Toroidal LHC Apparatus

BCID: Bunch Crossing Identifier
BGA: Ball Grid Array

CAN: Controller Area Network
CASTOR: CERN Advanced STORAGE
CCI: Crate Control Interface
CLB: Configurable Logic Block
CMS: the Compact Muon Solenoid
COTS: Component Off The Shelf
CPLD: Complex Programmable Logic Device
CSC: Cathod Strip Chamber
CTM: Commissioning Trigger Module
CTP: Central Trigger Processor

DAC: Digital-Analog Converter
DCS: Detector Control System

EF: Event Filter
EI: Endcap Inner
eLMB: embeded Local Monitor Box

FELink: Front End link
FI: Forward Inner
FPGA: Field Programmable Gate Array

G-link: Gigabit rate optical link

HPT: High-Pt Board
HSC: High-Pt Star Switch Controller

I2C: Inter Integrated Circuit

IP: Interaction Point

JRC: JTAG Route Controller

JTAG: Joint Test Action Group (Boundary scan)

L1A: Level-1 trigger Accept

L1ID: Level-1 trigger IDentifier

LEP: Large Electron Positron collider

LHC: Large Hadron Collider

LVDS: Low Voltage Differential Signaling

LSlink: Local Slave link

LUT: Look Up Table

MDT: Monitor Drift Tube

MUCTPI: Muon Central Trigger Processor Interface

PP: Patch Panel

PPG: Pulse Pattern Generator

PSB: Patch panel Slave board Board

PT4: ProtoType module version.4

PT5: ProtoType module version.5

QFP: Quad Flat Package

QGP: Quark Gluon Plasma

RCD: ROD Crate DAQ

ROB: Read Out Buffer

ROD: Read Out Driver

RoI: Region of Interest

ROS: Read Out System

RPC: Resistive Plate Chamber

RTC: Radiation Tolerance Criteria

SCT: SemiConductor Tracker

SD: Strip Doublet chamber

SEE: Single Event Effect

SEU: Single Event Upset

SEL: Single Event Latchup

SL: Sector Logic

SLAC: Stanford Linear Accelerator Center

SLB: Slave Board

SLC: SLAC Linear Collider

SPP: Service Patch Panel

SRAM: Static Random Access Memory

SRL: Simulated Radiation Level

SSC: Sub-Sector Cluster

SSW: Star Switch

ST: Strip Triplet chamber

TGC: Thin Gap Chamber

TID: Total Ionizing Dose

TRT: Transition Radiation Tracker

TTC: Timing Trigger Control

TTL: Transistor-Transistor Logic

VME: Versa Module Europe

WD: Wire Doublet chamber

WT: Wire Triplet chamber

第1章 素粒子物理学の現状とLHC

この章では素粒子物理学の現状とその問題点について述べ、その問題を解決するために計画されたLHC (Large Hadron Collider) 計画の概要について述べる。

1.1 素粒子物理学の現状

1990年代、LEP (Large Electron Positron collider)、SLC (SLAC Linear Collider)、Tevatron 実験の成果によって素粒子標準模型は非常に高い精度で検証され、力の源がゲージ対称性であることが示された。さらに、世代が3つであること、力の統一の可能性、Higgs 粒子の質量の予言、超対称性の可能性など、様々な知見が得られている。

しかしながら、標準模型において鍵となる Higgs 粒子は未だに見つかっていない。また標準模型を超える超対称性も、可能性は示唆されるものの未確認である (図 1.1)。このように現代の素粒子物理学は、より本質的な問題に直面している。

もし、Higgs 粒子を発見し、自発的対称性の破れが質量起源として起こっていることを示せば、ゲージ対称性の正当性がより強く支持されることになると同時に、宇宙の進化の解明などにも重要な役割を果たすことになる。また超対称性の発見は、TeV 領域の新しい物理を拓き、図 1.2 にあるように3つの力の統一の可能性を示唆する。これは重力まで含めた統一理論への大きな一歩となるのである。

これらの問題の解決を目指し、LHC 計画が始まった。

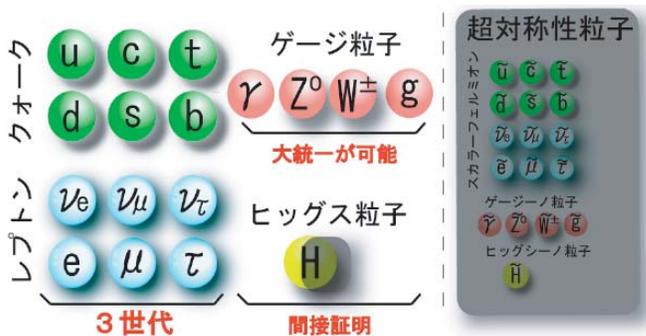


図 1.1: 現在の素粒子物理の理解

破線より左にあるのが、標準模型から考えられている粒子。右にあるのが超対称性から考えられる粒子。Higgs 粒子や超対称粒子はまだ発見されていない。[1]

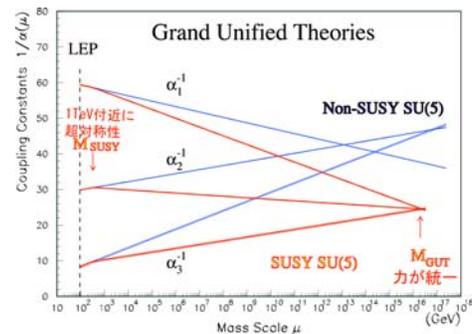


図 1.2: 力の統一の可能性

横軸をエネルギースケールに取ったときの、弱い力、強い力、電磁気力の結合定数。青線は超対称性が存在しない場合。赤線が超対称性が存在する場合で、 10^{16} 付近で結合定数が一致することがわかる。[1]

1.2 LHCの概要

LHCは2007年実験開始を目指して、スイスとフランスの国境にあるCERNにおいて地下100mに建設中の大型陽子陽子衝突型加速器である。2000年まで稼動していた、電子陽電子衝突型加速器LEPと同じトンネル内にLHCは建設され、その周長はおよそ27Kmである。図1.3にLHCの概要図を載せる。

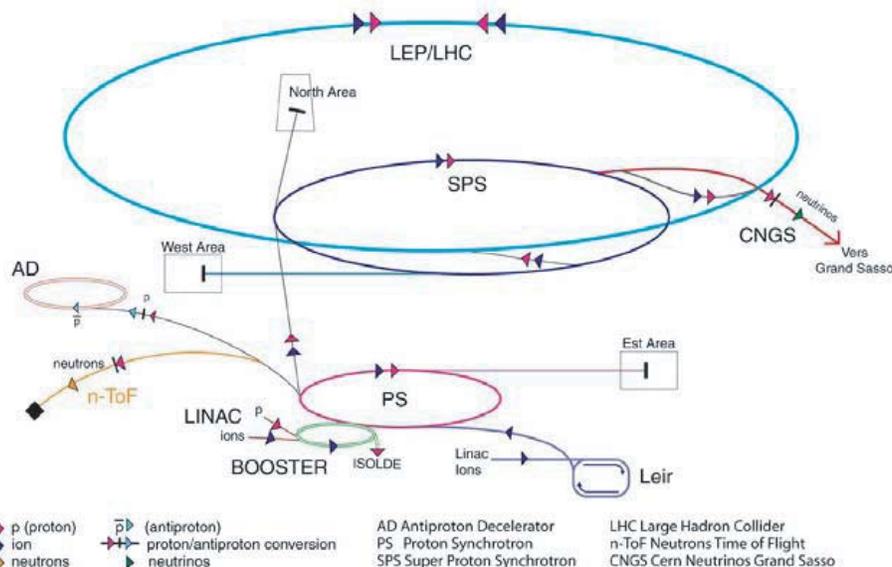


図 1.3: LHC 加速器の構成

陽子はメインリングまでに PS (Proton Synchrotron) と SPS (Super Proton Synchrotron) によって 450GeV に加速されてから、LHC のメインリングで 7TeV まで加速される。[2]

LHC の最大の特徴は、14TeV という世界最高の重心系エネルギーである。一般にエネルギーが大きくなるとエネルギー損失が大きくなるが、LHC はハドロンコライダーであるため、電子陽電子コライダーと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少ない*。その原理によって、14TeV を実現できる。

LHC トンネル内に多数の超伝導電磁石を並べて 8.4T の強力な磁場を作り出し、7TeV という高エネルギーでの陽子・陽子衝突現象を実現させる。これにより、Higgs 粒子の探索では 100GeV から 1TeV までの広い範囲で探索出来るほか、超対称性粒子や未知の相互作用など TeV 領域の物理の発見が期待される。

一方で、陽子はクォークで構成され、クォーク間はグルーオンによって結合されているという構造を持った粒子であることと、ルミノシティを稼ぐためにバンチ衝突頻度が 40.08MHz と高いことから、莫大な量のバックグラウンドが予想され、物理現象を解析するために必要なデータをいかに効率良く正確に収集するかが重要になる。

LHC の主なパラメーターを表 1.1 に示す。

*単位長当たりの放射光によるエネルギーの損失は γ^4/ρ^2 に比例する。ここで $\gamma = E/mc^2$ 、 ρ は加速器の曲率半径。陽子の質量は電子の質量の 1840 倍なので、放射光エネルギー損失は同じエネルギーの電子の 10^{13} 分の 1 となる。

表 1.1: LHC 加速器の主なパラメーター

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低)ルミノシティ	$10^{33}\text{cm}^{-2}\text{sec}^{-1}$	(高)ルミノシティ	$10^{34}\text{cm}^{-2}\text{sec}^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95nsec
1バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突あたりの陽子衝突	23
衝突点のビーム半径	16 μm	衝突角度	200 μrad

また、図 1.4 からわかるように、LHC には 4 つの衝突点が存在する。それぞれには、後述する大型汎用検出器 ATLAS (A Toroidal LHC Appratus)、ATLAS より小型の汎用検出器である CMS (the Compact Muon Solenoid 図 1.5)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment 図 1.6)、B-Physics に特化した検出器 LHC-B (図 1.7) が設置される。

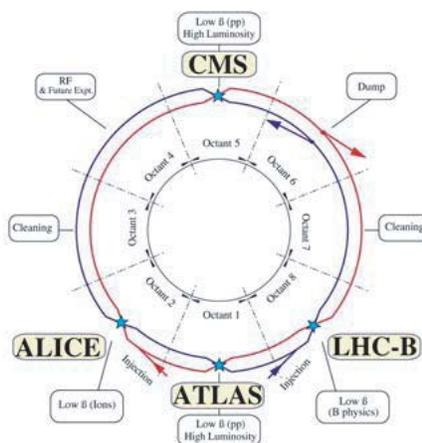


図 1.4: LHC における 4 つの衝突点

LHC の衝突点にはそれぞれ ATLAS、CMS、Alice、LHC-B といった検出器が置かれる。[2]

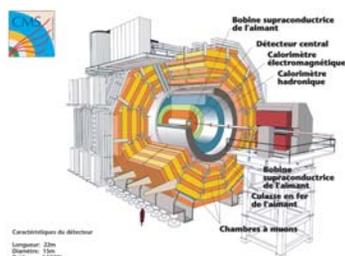


図 1.5: CMS

汎用検出器。ソレノイド磁石を使用している。[2]

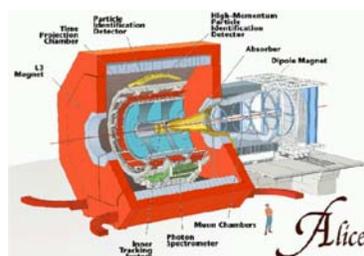


図 1.6: Alice

QGP (Quark Gluon Plasma) などの観測が目的。[2]

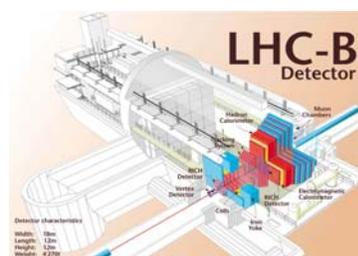


図 1.7: LHC-B

B メソンによる CP の破れなどを観測する。[2]

第2章 ATLAS Experiment

この章では LHC に設置される検出器のひとつである ATLAS 検出器を用いた、ATLAS 実験の概要について述べる。ATLAS 実験は汎用検出器を持っていることからわかるように、様々な物理に対応することができる。これは 1 章で説明したように、LHC がエネルギーフロンティアの実験であるため、興味のあるイベント（新しい物理に関連するようなイベントなど）をすべて見てみるというスタンスにたっているからである。

まず、ATLAS 実験で発見が期待される物理を説明する。その上で、本論文の主題となっているミュオンに関する物理をまとめる。

次に、物理からの要求を満たすための各検出器について簡単に説明する。ここで、ATLAS の全体像がつかめるであろう。また、TGC の構造の詳細については 3 章以降で説明する。

最後に、ATLAS 実験でのトリガー方法の全体像を説明する。TGC システムは LVL1 トリガーとしての重要な役割も担っているので、ATLAS 実験でのトリガー方法を知っておくことは不可欠である。その概要を述べる。

2.1 ATLAS の目指す物理

標準理論は今まで得られた実験結果と見事な一致を見せているものの、素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な存在である Higgs 粒子は未だ発見されていない。また標準理論には任意のパラメータが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。

ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。期待されるのは、主に Higgs と超対称性に関する物理である。その物理を探る、1 つの方法がミュオンを用いた方法なのである。

2.1.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要な目的のひとつはこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100GeV から 1TeV の広範囲で Higgs 粒子を探索する能力を持つ。

Higgs 粒子の生成過程

Higgs 粒子は重い粒子と結合しやすいため、主に次に挙げる 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.1 に、生成断面積と質量の関係を図 2.2 に示す。

1. $gg \rightarrow H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反

面、Higgs 粒子が崩壊して出来る粒子以外に大きな p_T (運動量) を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。

$H \rightarrow \gamma\gamma, ZZ(\rightarrow llll), W^+W^-(l\nu l\nu)$ だけが、有望な崩壊過程である。

2. $qq \rightarrow qqH$ (W/Z fusion)

クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな p_T を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。さらに、イベントに関わる 2 つのクォークの間ではカラー交換が行なわれないので、QCD バックグラウンドによる影響は少ない。従って、この生成過程では、様々な崩壊過程での Higgs 粒子の探索が期待されており、現在盛んに研究が進められている。

3. $qq \rightarrow (W/Z)H$ (W/Z associate production)

クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終状態にゲージボソン (W/Z) が観測される特徴がある。このゲージボソンがレプトンに崩壊した場合は、シグナルとバックグラウンドの識別が容易にできる。

4. $qq/gg \rightarrow ttH$ (top associate production)

対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいるので、QCD バックグラウンドを減らすことができる。またこの反応には、トップクォークの湯川結合 (Higgs とクォークとの結合) という重要な情報を含んでいる。

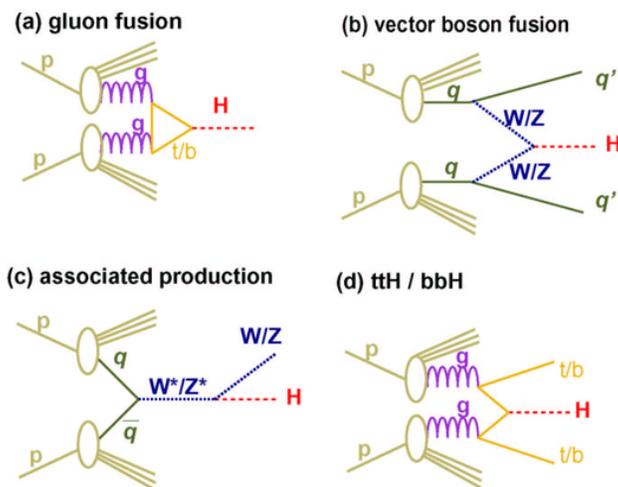


図 2.1: Higgs 生成のファイマンダイアグラム

主な生成過程。Higgs 粒子は重たい粒子と結合しやすい。

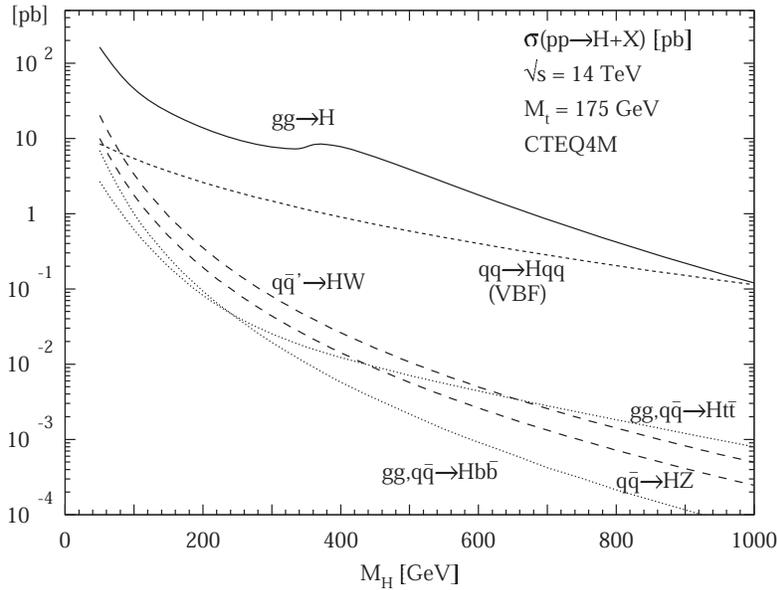


図 2.2: 標準理論での Higgs 粒子の生成断面積

横軸は Higgs 粒子の質量。縦軸は断面積である。gluon fusion がもっとも生成断面積が大きい。[3]

Higgs 粒子の崩壊過程

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.3 に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

1. $H \rightarrow \gamma\gamma$ ($m_H < 150$ GeV)

この質量領域では、実は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$ が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが $H \rightarrow \gamma\gamma$ を観測し、不変質量 $M_{\gamma\gamma}$ 分布を求めると、Higgs 粒子の質量が鋭いピークとして存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2. $H \rightarrow \tau\tau$ ($m_H < 150$ GeV)

Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma\gamma$ よりも崩壊確率が高く、W/Z fusion の生成過程を考えることでバックグラウンドと区別することができる。この場合、Higgs のピークはバックグラウンドである Z のピークのテールに現れる。 τ の崩壊にはニュートリノが含まれるので E_T^{miss} の精度が重要になる。

3. $H \rightarrow ZZ^* \rightarrow 4l^\pm$ (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に対しては、不変質量 m_z に等しいという条件を課すことが出来るが、 Z^* が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ がある。このうち ZZ^* 、 $Z\gamma^*$ は減らすことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれレプトン対が、 Z 起源または Z^* 起源であるという条件をつけることによって取り除くことが出来る。

4. $H \rightarrow ZZ \rightarrow 4l^\pm$ (180GeV~800GeV)

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に m_Z に等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

5. $H \rightarrow ZZ \rightarrow ll\nu\nu$ (400GeV~)

この領域では、このモードの方が $H \rightarrow ZZ \rightarrow 4l^\pm$ よりも分岐比が約6倍も高い。 $\nu\nu$ の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー E_T^{miss} を精密に測定することが必要になる。

6. $H \rightarrow WW \rightarrow lvjj, H \rightarrow ZZ \rightarrow lljj$ (600GeV~)

この領域ではこれらのモードが $H \rightarrow ZZ \rightarrow 4l^\pm$ に比べて、 $H \rightarrow WW \rightarrow lvjj$ は約150倍、 $H \rightarrow ZZ \rightarrow lljj$ は約20倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するためにHiggs粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方にクォークによる2つのジェットが特徴的で、このジェットを指標とすることでバックグラウンドを排除することが出来る。

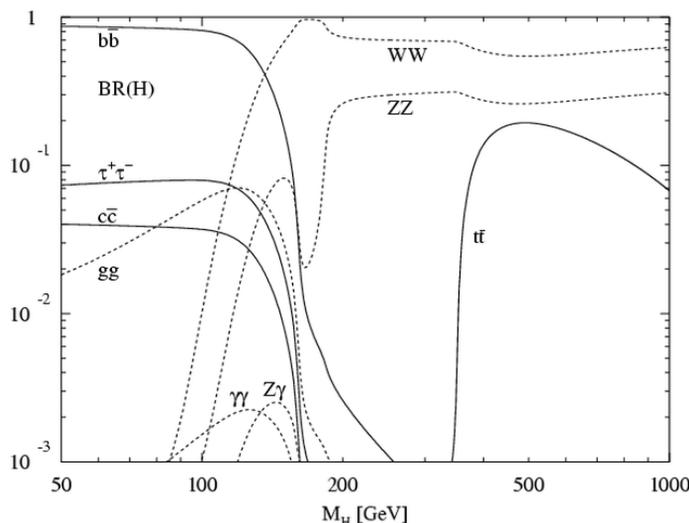


図 2.3: Higgs 崩壊分岐比の質量依存

横軸は Higgs 粒子の質量。縦軸は崩壊分岐比である。期待するイベントの崩壊分岐比が大きいに越したことはないが、バックグラウンドを考えると違うチャンネルが有効だったりする。[3]

図 2.4 と図 2.5 に、それぞれ LHC が 1 年および 3 年走って積分ルミノシティを 10fb^{-1} 、 30fb^{-1} 溜めた時点での ATLAS 測定器の標準理論 Higgs 粒子の発見能力を示す。これを見ると、ATLAS 測定器は上限値である 115GeV から 1TeV の領域までカバーしており、 5σ 以上の確からしさで Higgs 粒子を発見出来ることがわかる。

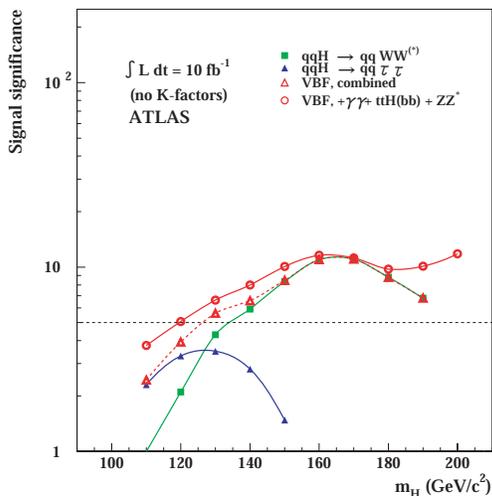


図 2.4: Higgs 粒子の 10fb^{-1} での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。1 年間の run で LHC は約 10fb^{-1} のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[4]

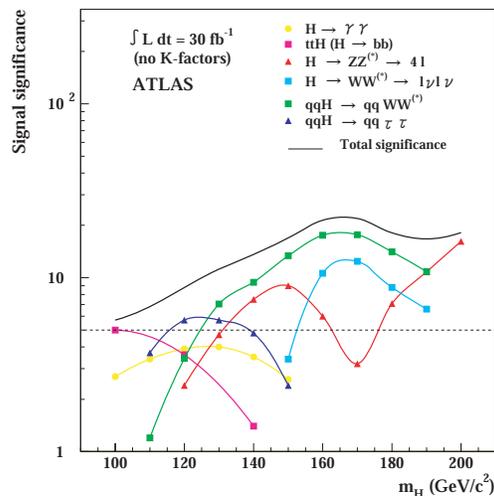


図 2.5: Higgs 粒子の 30fb^{-1} での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。3 年間の run で LHC は約 30fb^{-1} のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[4]

2.1.2 超対称性粒子

素粒子物理学の究極の目標は重力を含めた力の統一であり、超対称性 (SUSY) の発見はこれに向けての大きい一歩であると最も有力視されている。LEP でのゲージ理論の精密検証の結果、図 1.2 で見たように超対称性による力の大統一の可能性が示されている。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンの $1/2$ だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を予言する。例えば、クォークやレプトン (フェルミオン) のスーパーパートナーとして、スクォーク (\tilde{q}) やスレプトン (\tilde{l}) (ボソン) があり、グルーオン (ボソン) のスーパーパートナーとして、グルイーノ (\tilde{g}) (フェルミオン) がある。もし、この理論が正しければ、LHC では強い相互作用をするスクォークやグルイーノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊過程によっては比較的重いニュートラリーノ ($\tilde{\chi}_{2,3,4}^0$) やチャージーノ ($\tilde{\chi}_{1,2}^\pm$) が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP (Lightest SUSY Particle) になる。この LSP の候補としては最軽量ニュートラリーノ ($\tilde{\chi}_1^0$) が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー E_T^{miss} として現れるので、ジェットと共に E_T^{miss} を指標として探索を行う。主な崩壊として以下の 3 つがある。

1. Multijets+ E_T^{miss} モード

$$\begin{aligned}\tilde{g} &\rightarrow q\tilde{q}\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{\text{miss}} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{\text{miss}}\end{aligned}$$

2. 同符号の2レプトン・モード

$$2\tilde{g} \rightarrow 2(q\tilde{q}\tilde{\chi}_i^\pm) \rightarrow 2(q\tilde{q}\tilde{W}^\pm\tilde{\chi}_1^0) \rightarrow 2(\text{jets} + l^\pm + E_T^{\text{miss}})$$

3. 3レプトン・モード

$$\tilde{\chi}_1^\pm\tilde{\chi}_2^0 \rightarrow l\nu\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{\text{miss}}$$

2.1.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM (Minimal Supersymmetric extension of Standard Model) では、2つの Higgs 2重項が要求され、結果的に5つの Higgs 粒子が導入される。この5つはそれぞれ、 H^\pm (荷電スカラー)、 h (中性軽スカラー)、 H (中性重スカラー)、 A (中性擬スカラー) である。これらの Higgs 粒子の質量は2つのパラメーター $\tan\beta$ 、 m_A で表される。

以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

1. $H/A \rightarrow \tau\tau$

標準理論 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い分岐比が期待される。生成された τ 粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの2種類のモードが利用できる。

2. $H/A \rightarrow \mu\mu$

$H/A \rightarrow \tau\tau$ に比べて、分岐比は $(m_\mu/m_\tau)^2$ 倍低い、精度よく測定が行えることから $\tau\tau$ モードでの測定を補う役割が期待される。

3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow b\bar{b}b\bar{b}$ が支配的だが、このモードでは効率の良いトリガーが行えないため、 $hh \rightarrow \gamma\gamma b\bar{b}$ チャンネルで観測されることが期待される。イベントレートは低い、2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4. $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$ など Z の崩壊で生じる2つのレプトンでトリガーを行う方法が有効である。

2.1.4 ミューオンの関係する物理のまとめ

標準理論 Higgs 粒子を考える場合、崩壊過程として標準理論 Higgs 粒子の質量が 120GeV 程度の崩壊モードでは多くのモードでレプトンが入ってくることがわかる。これは検出するにあたって、ミューオンが重要になってくることを示唆している。たとえば、標準理論 Higgs 粒子の質量が 150GeV だとしたときのシミュレーションを図 2.6 に載せる。

また、超対称性粒子においても、2レプトン・モード、3レプトン・モードとあるように、やはりミューオンは重要なデータを提供する。さらに、超対称性が存在した場合には超対称 Higgs 粒子の探索にも適したモードを持つ。

このようにミューオンは新しい物理を探索する上で非常によいプローブとなることがわかる。

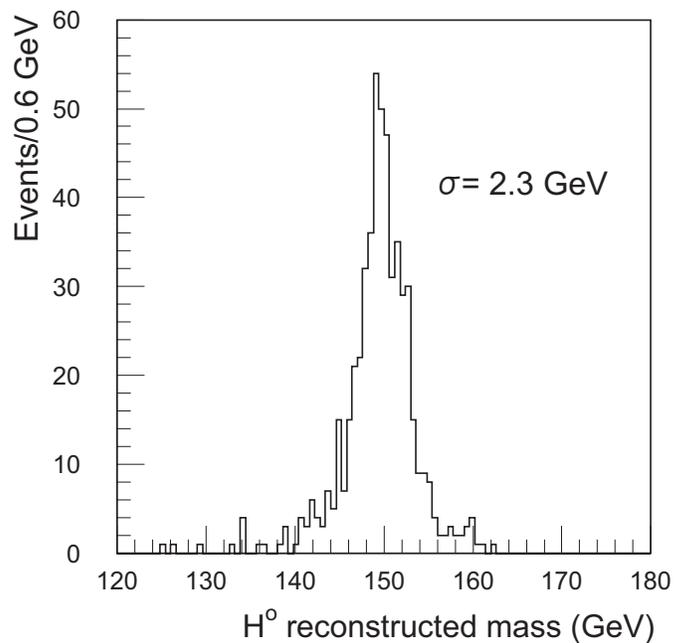


図 2.6: 4 ミューオン状態から標準理論 Higgs 粒子を再構成

横軸は標準理論 Higgs 粒子の質量。縦軸はイベント数である。 $H \rightarrow ZZ \rightarrow \mu^+\mu^-\mu^+\mu^-$ を標準理論 Higgs 粒子の質量が 150GeV だとしてシュミレーションした図。ひとつの μ ペアには Z の質量と一致するという条件を入れている。[5]

2.2 ATLAS 検出器

ここでは ATLAS 検出器の全体像と各検出器の概要について説明する。

ATLAS 検出器は、上記の物理を発見するために汎用性を持たせた直径 22m、長さ 44m の円筒形で、総重量は 7000t という巨大な検出器である。その全体図を図 2.7 に示す。検出器は内側から内部飛跡検出器、カロリメータ、ミューオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置されている。前述の物理を発見するためには、LHC の高いルミノシティにおいても、光子、電子、ミューオン、ジェット、 E_T^{miss} などの信号を高速かつ正確に処理できる必要がある。そこで ATLAS 検出器は以下のような特徴の下で設計されている。

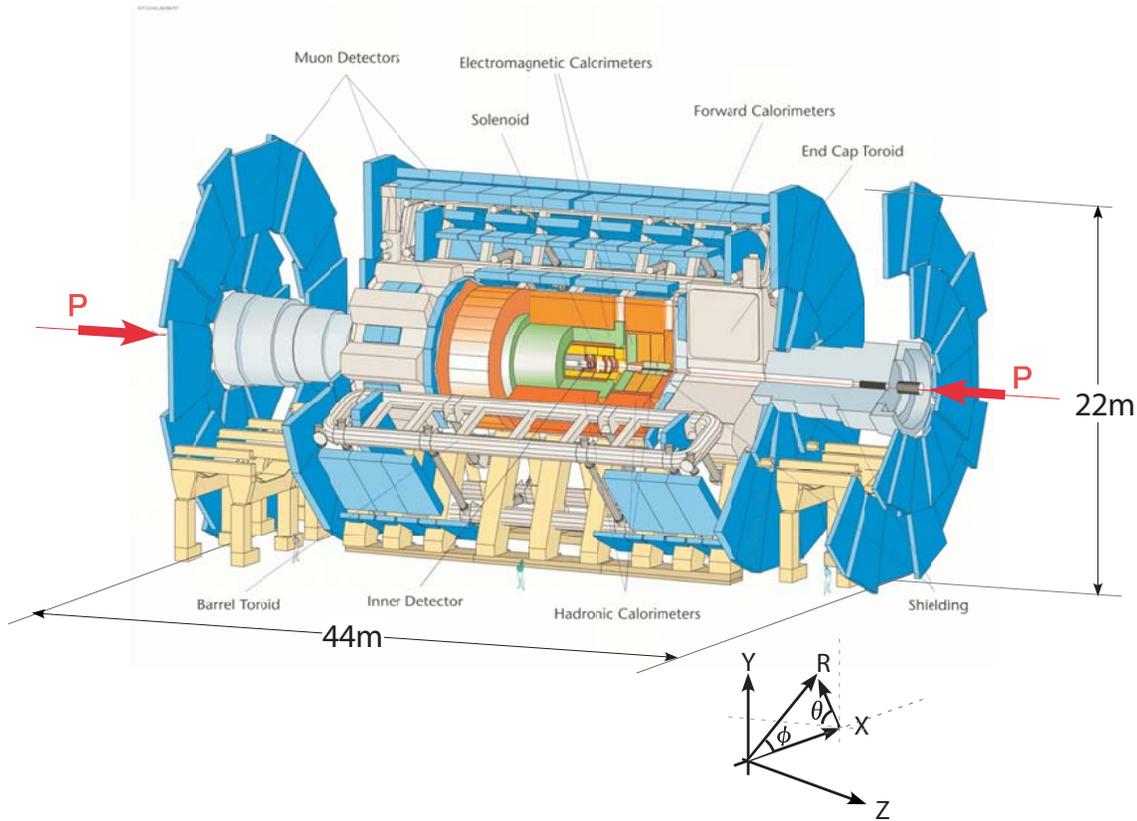


図 2.7: ATLAS 検出器

ATLAS 検出器は直径 22m、長さ 44m の円筒形をした、巨大な検出器である。座標系の取り方は図のようになっている。[2]

- 電磁カロリメータによる高精度の電子とフォトンのエネルギーと位置の測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー E_T^{miss} の測定
- 内部検出器の情報に頼らずに、ミュオンスペクトロメータの情報だけでミュオンの横運動量 p_T を測定することが可能
- 飛跡検出器による high- p_T ($p_T > 20\text{GeV}$) レプトンの運動量測定
- 広範囲のラピディティ η^* と完全な方位角 ϕ のカバー
- 高頻度のイベントを逃すことなく処理するシステム
- 超伝導空芯トロイド磁石 (Toroidal Magnet) を用いることで、ミュオンを低い p_T まで測定でき、かつ広いラピディティ領域をカバー
- 10 年以上稼働し続けるための、耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ($|\eta| < 1$) 領域と、エンドキャップと呼ばれる円筒のふたに相当する部分 ($1 < |\eta|$) の 2 つの領域に分けられる。さら

* η は正確には擬ラピディティ。 θ をビーム軸とのなす角とすると $\eta = -\ln(\tan \theta/2)$ で定義される。ハドロンコライダーでは散乱断面積がおよそ η に比例する。

にエンドキャップは、円筒の円の中心（ビーム）付近より外側（ $1 < |\eta| < 1.9$ ）の領域を Endcap[†]、円の中心付近（ $|\eta| > 1.9$ ）を Forward と分けて呼ぶこともある。

以下で検出器とマグネットについて簡単に説明する。

2.2.1 内部飛跡検出器

内部飛跡検出器はビームの衝突点に最も近い場所に設置され、2Tの磁場をつくる超伝導ソレノイドの内部に位置する。図 2.8 に内部飛跡検出器の構造を示す。内部飛跡検出器は内部から順に、ピクセル検出器（Pixel）、シリコン・トラッカー（SCT）、遷移輻射トラッカー（TRT）の3つで構成されている。

ピクセル検出器は、最内層にある半導体検出器である。これは1つの要素が $50\mu\text{m} \times 300\mu\text{m}$ の高分解能の半導体検出器である。この検出器の精度によって、バーテックスの精度が決められる。SCTはマイクロストリップと呼ばれる細長い有感領域をシリコン上に施した半導体検出器である。TRTは、半径4mmのストローチューブ検出器で、トラッキングの他に遷移輻射[‡]を利用した電子の同定も行う。これらの検出器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。

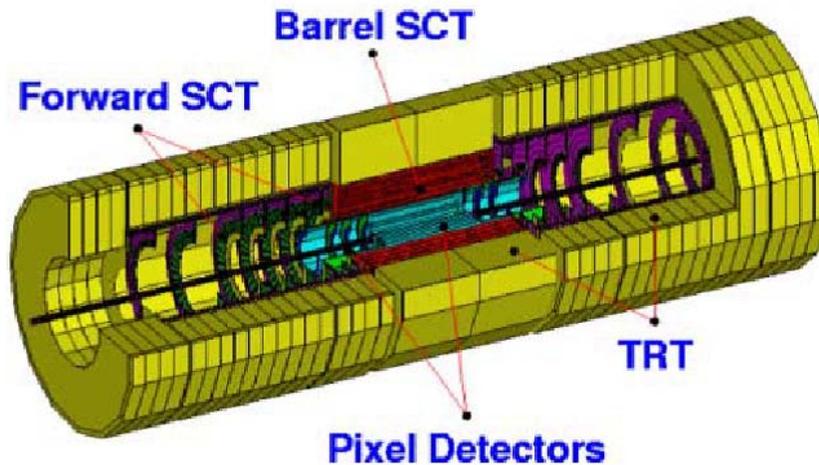


図 2.8: 内部飛跡検出器の構造

内部飛跡検出器は内側からピクセル検出器、SCT、TRT と構成されている。[5]

2.2.2 カロリメータ

カロリメータの主な役割は、電子や γ 線、ジェットなどのエネルギー、角度の測定である。ATLAS 実験に使用される4種類のカロリメータは、電磁カロリメータとハドロンカロリメータの2つのカテゴリーに分けられ、広い $|\eta|$ 領域をカバーする。図 2.9 にその構造を示し、以下に各カロリメータについて簡単に説明する。

- 電磁カロリメータ

[†]本論文ではバレル部とエンドキャップの区別をカタカナで表記し、Endcap と Forward の区別を英語で表記する。

[‡]遷移放射は、誘電率の異なる2つの媒介境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する

電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射線耐性に優れている。セントラル・ソレノイド・マグネットの外側に設置されバレル/エンドキャップ領域をカバーし（図 2.9 の黄色部分）、電子と光子の同定に用いられる。

- ハドロンカロリメータ

バレル部（ピンクの線で囲われた部分）は鉄の吸収体とタイル状のシンチレータからなるカロリメータが用いられる。放射線強度がより高いエンドキャップ部（赤い部分）は、銅の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高いフォワード部（緑部分）は銅とタングステンの吸収体と液体アルゴンからなるカロリメータが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネルギー測定、ジェットの再構成などを行う。

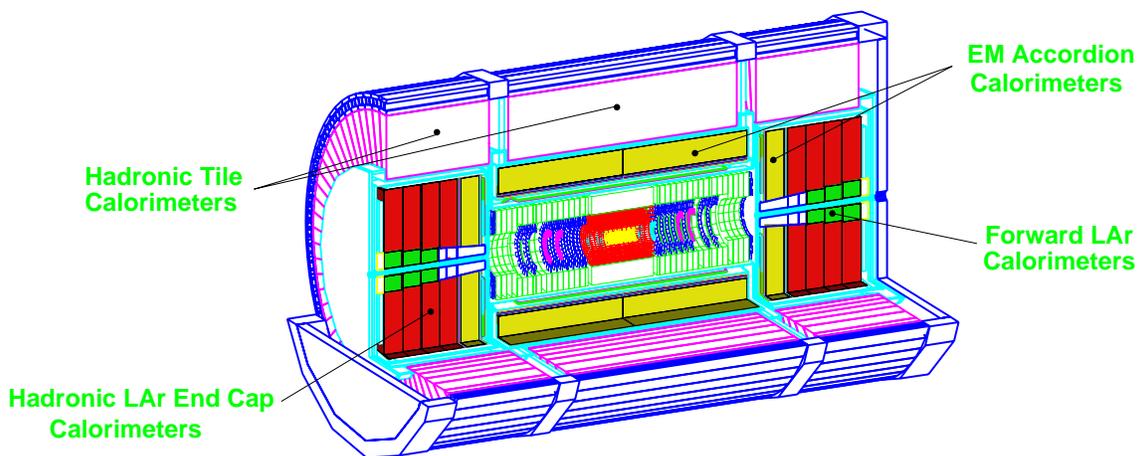


図 2.9: カロリメータの構造

カロリメータは電磁カロリメータとハドロンカロリメータという 2 つのカテゴリから成り立っている。電磁カロリメータは鉛吸収体と液体アルゴンの組からなり、ハドロンカロリメータは鉄の吸収体とシンチレータ、銅の吸収体と液体アルゴン、そして銅とタングステンの吸収体と液体アルゴンの組から成り立つ。[5]

2.2.3 ミューオン・スペクトロメータ

終状態に荷電レプトンを含む物理現象は、測定装置で捉えやすい。その中でもミューオンは物質の透過力が高く、寿命が長い為に、ATLAS 検出器の外側でも他の検出器に影響されことなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT (Monitor Drift Tube) および CSC (Cathod Strip Chamber) と、トリガー用の RPC (Resistive Plate Chamber)、TGC (Thin Gap Chamber) の 4 種類の検出器とトロイダル磁石から構成され、ATLAS 検出器の一番外側に設置される検出器である。ミューオン・スペクトロメータの全体図を図 2.10 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置され、CSC は Forward の内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。

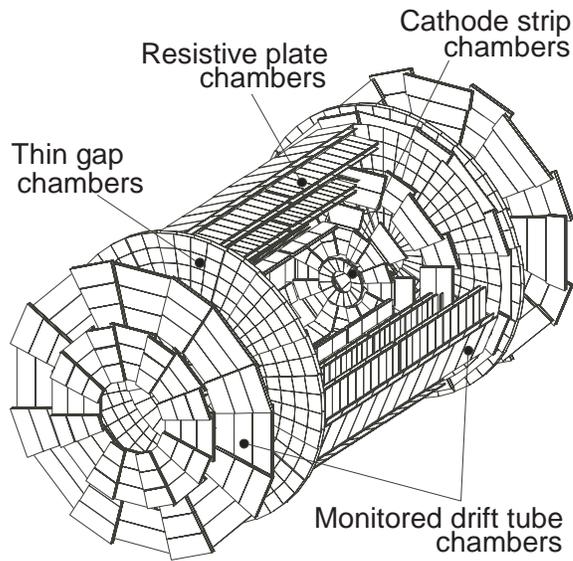


図 2.10: ミューオン・スペクトロメータ

ミューオン・スペクトロメータは MDT、CSC、RPC、TGC から成り立つ。[5]

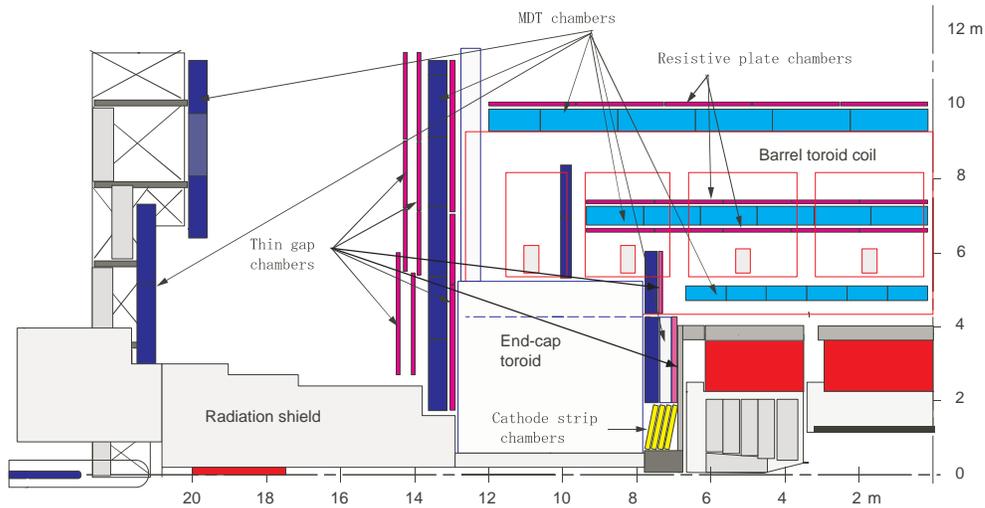


図 2.11: ミューオン・スペクトロメータ (R-Z 断面図)

MDT はバレル部とエンドキャップ部に置かれ、CSC は Forward の内側に置かれる。RPC はバレル部に置かれ、TGC はエンドキャップに置かれる。[5]

図 2.11 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝導空芯トロイダルコア磁石がバレル部 (図中の赤線の四角)、エンドキャップ部 (図の下側中央の青線の四角) に検出器に内包されるように置かれ、それぞれに ϕ 方向の磁場を作っている。この ϕ 方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率を、3 層の検出器で測定してその運動量を測定する。この R-Z 平面での R 方向の座標を第 1 座標と呼ぶ。理想的にはミューオンは ϕ 方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一様ではないために ϕ 方向にも曲がる。トリガー用の 2 つの検出器 (TGC、RPC) は、この ϕ 方向の座標 (第 2 座標と呼ばれる) を測定する役目も持っている。表 2.1 に、これら 4 種類の

チェンバーの特徴を示す。

表 2.1: ATLAS 実験におけるミュオン検出器の構成

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	30mm ϕ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	3.7×10^5
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	6.7×10^4
RPC	トリガー 第 2 座標測定 (ϕ)	0 ~ 1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1\text{ns}$	3.5×10^5
TGC	トリガー 第 2 座標測定 (ϕ)	1.05 ~ 2.4	狭いギャップのワイヤチェンバー 時間分解能 $\sigma_t = 4\text{ns}$	3.2×10^5

MDT

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を精密に測定することができる。その構造は図 2.12 に示すような、チューブ径 30mm、ワイヤ径 $50\mu\text{m}$ のドリフトチューブを積層したものであり、位置をドリフト時間と、シグナルの大きさから求めている。位置分解能は $60\mu\text{m}$ 、総チャンネル数は 30 万チャンネルである。

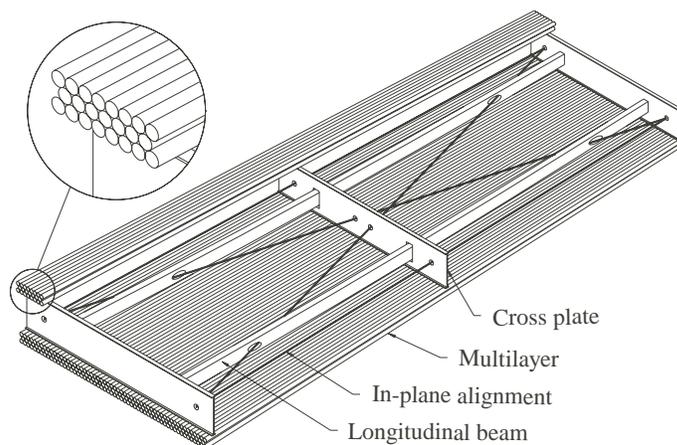


図 2.12: MDT の構造

直径 30mm のドリフトチューブ。ドリフトチューブをフレームに固定した構造をしている。[5]

CSC

CSC は放射線の多い高ラピディティ領域 $|\eta| \geq 2$ に置かれる運動量精密測定用のカソードストリップ読み出し MWPC である。図 2.13 のような構造になっており、ワイヤ間隔が 2.54mm、ストリップ間隔が 5.08mm である。ドリフト時間は 30nsec 以下であり、位置分解能は $60\mu\text{m}$ となっている。

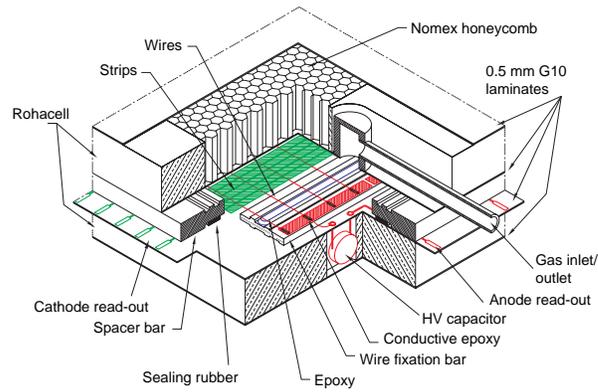


図 2.13: CSC の構造

カソードストリップ読み出しの MWPC。中性子感度が低くなっているのもひとつの特徴。[5]

RPC

RPC はバレル部 ($|\eta| < 1.05$) に設置され、R-Z 方向、R- ϕ 方向の運動量を測定しトリガー判定を行う。

構造はストリップを用いた検出器を 2 層に重ねた構造で、ストリップ間隔は $2.00 \pm 0.02 \text{ mm}$ である。RPC の構造を図 2.14 に示す。

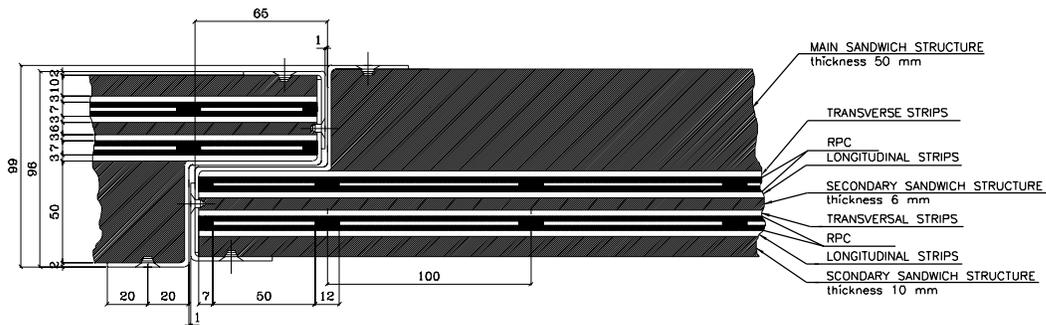


図 2.14: RPC の構造

ワイヤを用いず、ストリップからのみを用いて信号を読み出す。ストリップは直行しており、2 次元読み出しが可能。[5]

TGC

本論文のテーマとなっているシステムである。TGC に関する詳細は次章で論じるので、ここでは簡単に紹介する。

TGC の構造を図 2.15 に示す。ワイヤは直径 $50 \mu\text{m}$ の金メッキタングステン線で、 1.8 mm の間隔で張られている。ワイヤとカソードの間隔は 1.4 mm と狭く、 10^6 の高いゲインと速い応答を特徴とする。

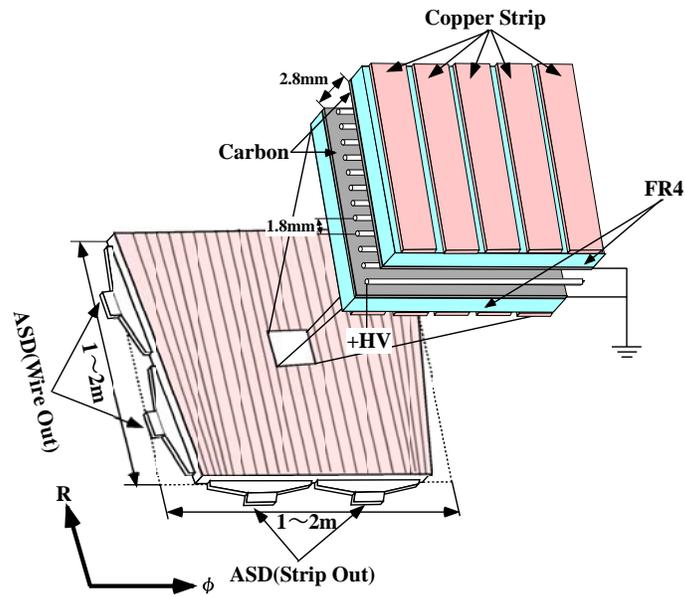


図 2.15: TGC の構造

アノードのワイヤとカソードのストリップを用いて、2次元読み出しが可能。

2.2.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれのトロイダル磁石の3つからなり、いずれも超伝導磁石である。マグネットの構造を図 2.16 に示す。両トロイダル磁石は、8つのコイルがビーム軸に対して8回対称になるように配置されており、積分磁場強度はバレル部で2~6Tm、エンドキャップ部で4~8Tmである。ラピディティ η の値に対するトロイダル磁場の積分強度を図 2.17 に示す。トロイダル磁場は ϕ 方向成分が主だが、磁場の不均一性は避けられないため、R方向成分も存在する(図 2.18)。

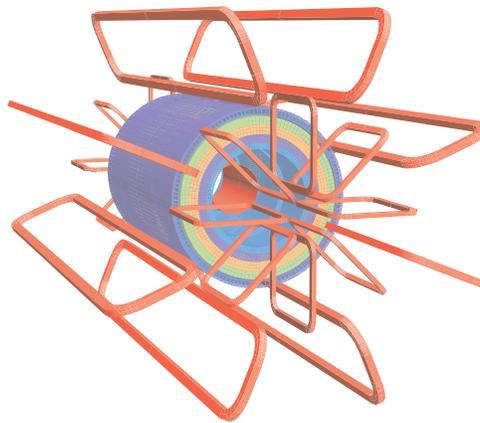


図 2.16: マグネットの構造

中央にソレノイド磁石があり、バレル部とエンドキャップ部にはトロイダル磁石を設置している。[5]

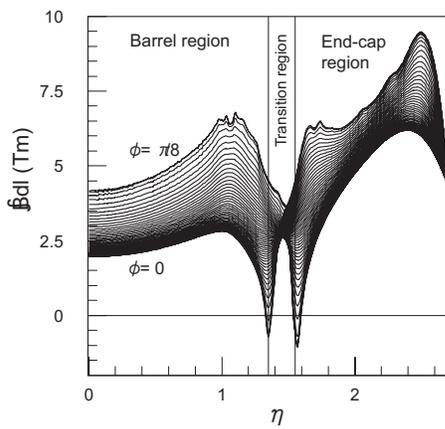


図 2.17: η と磁場積分強度の関係

バレル部では 1~6Tm、エンドキャップ部では 4~8Tm である。[5]

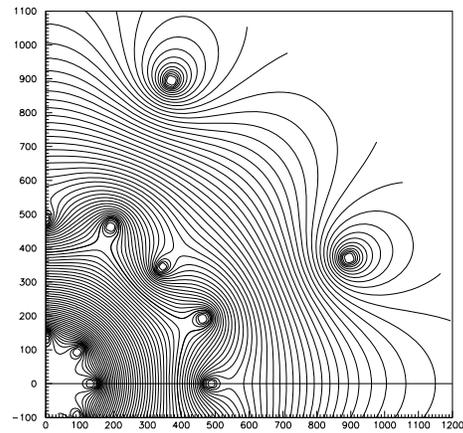


図 2.18: X-Y 平面の磁束の構造 ($z=10.5\text{m}$)

磁場は R 方向にも存在している。[5]

2.3 ATLAS 実験のトリガー & DAQ システム

LHC の最高ルミノシティ時には、40.08MHz のビーム衝突ごとに平均 23 個の陽子の衝突が起こり、イベントレートは約 1GHz にもなる。1 イベントを記録するのに必要なデータ量は、~1.5MByte と見積もられているが、記憶装置、計算機資源の制限から、300Mbyte/s 位でしか記録はできない。そこで、膨大なバックグラウンドを含んでいる 1GHz で起こるイベントの中から物理的に重要なイベントだけを効率よく選び出すことが必要とされる。ATLAS 実験では 3 段階でそのレートを下げて、最終的に 200Hz 程度までおとしてデータを記録する。ここではそのトリガーと DAQ システムについて述べる。

特に、LVL1 トリガーは TGC がトリガーとして働く部分であり、実験ではタイミングなどを決める重要な部分である。

2.3.1 ATLAS 実験のトリガー & DAQ スキーム

ATLAS 実験のトリガーシステムは図 2.19 に示すように LVL1、LVL2、EF の 3 段階のトリガーを設け段階的にレートを落としている。データは各検出器からの情報を基に、各システムで段階的に処理され、最終的に興味のあるイベントのみが記憶装置に保存される。

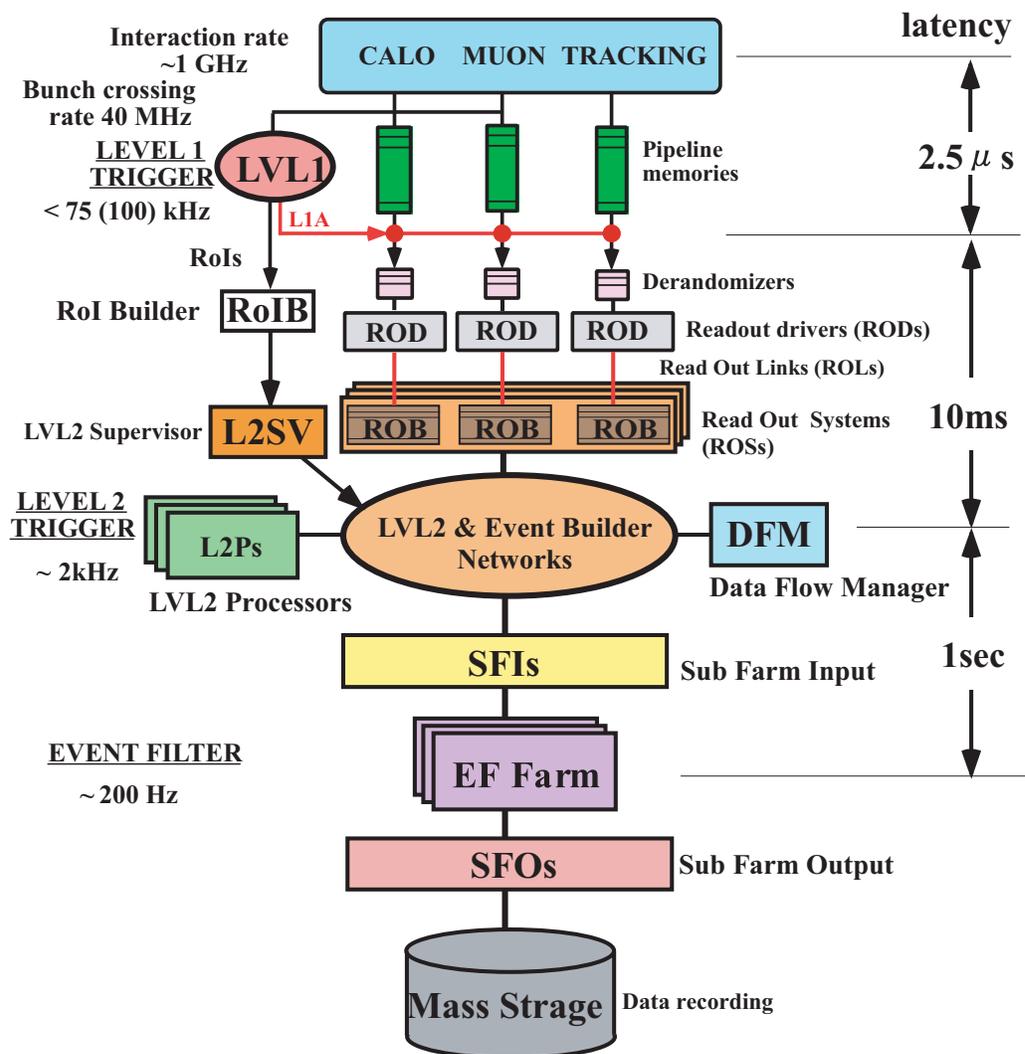


図 2.19: Trigger & DAQ システム

ATLAS では膨大なバックグラウンドが予想されている。そのバックグラウンドを落とし、物理的に重要なイベントを取り出すために、3段階のトリガーを用いてデータを選別している。LVL1 はハードウェアによってなされ、LVL2 と EF はソフトウェアによるトリガーである。[7]

検出器からの信号は、まず各チャンネルごとに、各検出器に設置される LVL1 バッファと呼ばれるパイプラインメモリに保持され、L1A 信号を受け取るまで待つ。LVL1 判定はカロリメータとミュオン検出器の一部 (RPC と TGC) のみを用いてなされる。パイプラインメモリは L1A 信号がくるまでの $2.5\mu\text{s}$ の間はすべての信号を保持するため、最低 100 イベント分を保持できるように設計されている。L1A を受け取った信号は、デランダムマイザ (Derandomizer) § に送られる。L1A は不規則にやってくるため、デランダムマイザは不規則にやってくる信号を一時的に保持し、順次 ROD (Read Out Driver) に送る。このときデータは圧縮され、信号の情報と共に BCID (バンチ ID) やどの L1A を受け取ったかを示す L1ID (LVL1ID) の情報も送られる。ROD は、集めたデータをイベントごとに処理し、BCID や L1ID の整合性を確認して、S-Link (Simple Link Interface) と呼ばれる規格の ROL (Read Out Link) を通して ROB (Read

§デランダムマイザは、ランダムで起こるイベントを一定の間隔で読み出せるようにするメモリである。

Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS (Read Out System) と呼ぶ。ROB では LVL2 判定が行われるまでデータを保持している。LVL2 はカロリメータとミュオン検出器および内部検出器の情報を用いて行うが、この時点では各検出器の RoI (Region Of Interest) の情報のみを用いて判定される。このときの処理時間は 10ms 以内と決められている。ROB から送られた信号は、イベントビルダーにて EF でトリガー判定を待つ。EF では、すべての検出器の完全な情報を使ってトリガー判定がなされる。そしてトリガー判定がなされたデータが最終的に記録される。この間の時間は 1s 以下と決められている。

2.3.2 LVL1

LVL1 トリガーは 40.08MHz のイベントレートを 75kHz に落とすためのトリガーである。図 2.20 に示すように、LVL1 トリガーシステムは、カロリメータ、トリガー用ミュオン検出器 (TGC、RPC)、MUCTPI (Muon Trigger to CTP Interface)、CTP (Central Trigger Processor)、TTC (Timing、Trigger and Control distribution system) から構成されている。基本的には 75kHz だが 100kHz までのアップグレードが可能ないように設計されている。カロリメータからは、 e/γ 、 E_T^{miss} 、 τ 、Jet のエネルギー等の情報、ミュオン検出器からは高い p_T の値を持ったミュオンの情報が、CTP に送られる。ここで、粒子の衝突からトリガー判定をして、フロントエンドのエレクトロニクスへトリガーを送るまでの処理時間 (レイテンシーと呼ばれる) は $2.5\mu\text{sec}$ 以内でなければならない。そのため、情報量が多く、処理に時間のかかる内部飛跡検出器からの情報は利用せず、トリガー用ミュオンチェンバー (RPC、TGC) からの位置と p_T の情報と、精度を落としたカロリメータからのエネルギー情報によってトリガーをかける。各検出器からの情報は CTP に集められ、トリガー判定の結果 L1A (Level1 Accept) 信号が出される。この L1A は TTC システムによって各検出器に配られる。

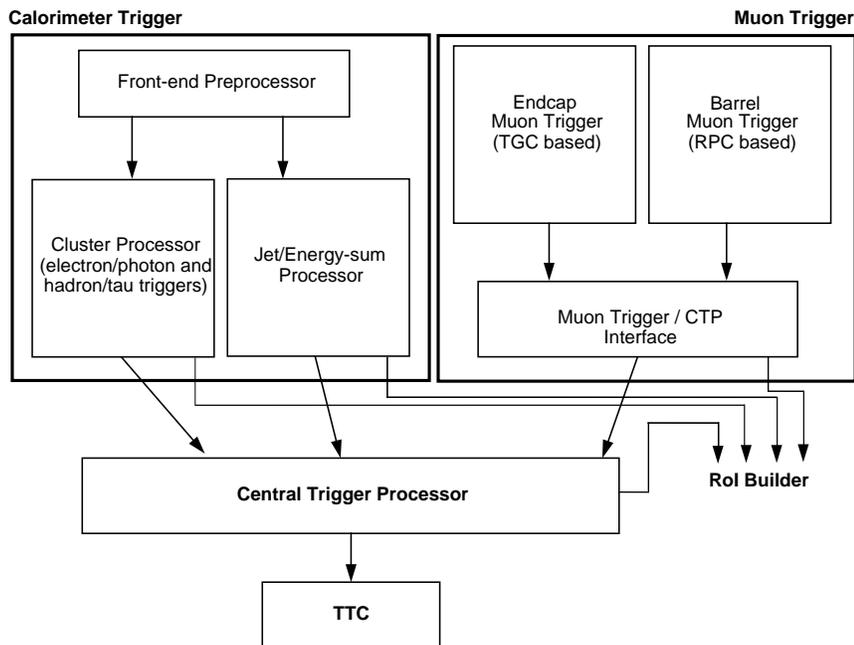


図 2.20: LVL1 トリガー処理の流れ

LVL1 トリガーはカロリメータとミュオンの情報からなされる。カロリメータとミュオンの情報は CTP によって判定され、TTC によって ATLAS 検出器に配られる。[6]

Cluster Processor & Jet/Energy-sum Processor

カロリメータで検出された信号は、Calorimeter Processor においてアナログからデジタルに変換され、BCID などが付加された後、Cluster Processor と Jet/Energy-sum Processor に送られる。Cluster Processor は high- p_T を持った e/γ 、ハドロン $/\tau$ を担当し、Jet/Energy-sum Processor は Jet や high- E_T および E_T^{miss} などを扱う。それぞれは粒子の種類ごと独立に閾値の設定を行うことができる (6~8 段階)。また、Jet に関しては Jet のサイズなども設定可能である。これらの情報は、粒子の種類の情報などと共に CTP にトリガーが送られる。

MUCTPI

MUCTPI は TGC と RPC の情報を CTP に渡す役割を担う。RPC と TGC は各々セクターと呼ばれる単位ごとに p_T の大きなミュオンの候補を挙げて、MUCTPI に送る。TGC の場合のセクターは、Forward 領域で円の 24 等分、Endcap 領域で円の 48 等分された領域であり、各領域からは 1 イベントに対して最大二つの候補が挙げられる。各候補の情報は、領域を表す RoI (Region of Interest) と p_T の二つである。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理[¶]を行ってから、ミュオンの候補についての情報を、CTP へ送る。またその情報は LVL2 トリガーに送るため、RoIB (RoIBuilder) に渡される。

CTP

CTP の役割はカロリメータとミュオンの情報を統合して、最終的な Level1 トリガーの判定を行うことである。カロリメータでは、 e/γ 、 τ /ハドロン、ジェットのそれぞれに対し、数段階の閾値が設けてあり、同様にミュオン検出器では、ミュオンの p_T について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC システムに対して、L1A とトリガーの情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

TTC

TTC システムは、フロントエンドの各エレクトロニクスの同期をとるために、BC clock や L1A などの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表 2.2 に TTC が扱う主な信号を挙げる。

[¶]TGC と RPC の重なった部分で、一つのミュオンが両方の検出器に候補を出した場合、二つの候補となってしまうが、両方合わせて一つの候補と判定する

表 2.2: TTC で使われる主な信号

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID (データがどの BCID に属するかを示す) のリセットに使用。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID (L1ID)	EVent IDentifier。ROD、ROB でのバンチクロッシングのチェックに使用。L1ID (LVL1ID) と同じ。
BCID	Bunch-Crossing IDentifier。ROD、ROB での Level1ID のチェックに使用。

TTC は ATLAS 実験全体で見た場合、いくつかの partition に分割されており、例えば、TGC の場合は左右のエンドキャップが各々2つの partition を成している。ひとつは実験ホール用の partition であり、もうひとつは ROD 用の partition である。ここで2つ用意するのは ROD のみが Trigger Word と呼ばれるトリガーの種類を特定する信号を必要とするからである。

1 つの TTCpartition は TTCvi と呼ばれる VME インターフェイスを中心に構成される。TTC で扱う信号は clock や orbit などの全検出器に共通に使用される信号の他、テストパルスが発生させる信号など各検出器に固有な信号も扱う。またこれらの信号はひとつの TTCvi に属するシステムには全て共通なものとなるため、partition は各検出器毎に分けられる。しかし、各検出器の中でも設置される場所の違い等により、特にコミッショニング時や test run の場合に異なったトリガーが要求される。このような理由で各検出器の中でも partition が分けられる。

一つの TTCpartition は TTCvi と、LTP (Local Trigger Processor)、TTCvx、RODbusy の4つのモジュールを必ず持つ。図 2.21 に TTCpartition を示す。LTP は、partition の外部からの TTC で扱う信号を全て受信する。LHC からは 40.08MHz の BC クロックと周期 88.924 μ sec の ORBIT 信号を、CTP からは L1A 信号を受信する。L1A と ORBIT は TTCvi へ送信され、クロックは TTCvx へ送信される。

TTCvi は受信した L1A やテスト信号を TTCvx に送信し、TTCvx は受信した情報を加工した後、オプティカルリンクによってフロントエンドに設置される TTCrx と呼ばれる ASIC (Application Specific Integrated Circuit) まで分配する。TTCvi から TTCvx に渡される信号は、A-Channel、B-Channel という2種の信号に分配される。A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTCrx に同期コマンド、非同期コマンドを送付することが出来、前者はテストパルスの発生等に用いられ、後者はパラメーターの設定などに用いることが出来る。TTCrx では、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。また、RODbusy モジュールは、TTCpartition 内に属する ROD からの busy を集め結果を LTP に渡す。LTP が受け取った busy は CTP に渡される。

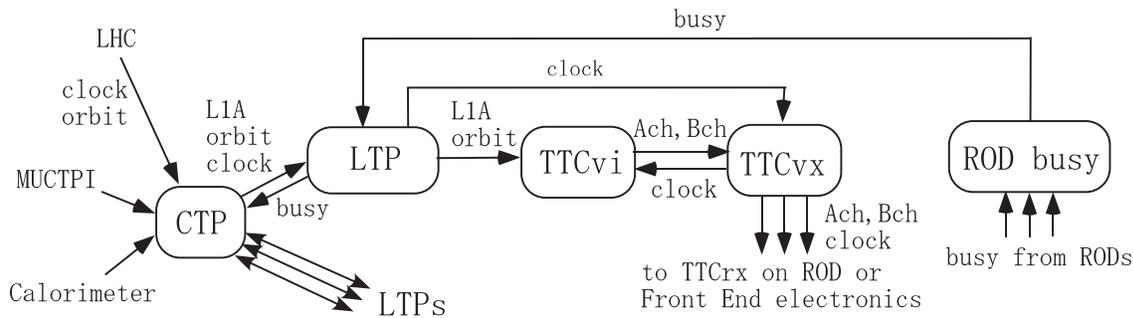


図 2.21: TTCpartition

一つの TTCpartition は TTCvi と、LTP、TTCvx、RODbusy の 4 つのモジュールを持つ。

2.3.3 LVL2

LVL2 トリガーではイベントレートは 75kHz から 3kHz 程度に落とされる。カロリメータ、MDT からの情報、内部飛跡検出器からの完全な位置情報に基づいて、より精度を上げて処理を行うが、効率を良くするため、LVL1 トリガーの情報により選定された RoI (Region of Interest) と呼ばれる領域のみの情報を用いてトリガー判定が行われる。RoI とは大きい運動量を持ったジェット、電子、ミュオンなどが検出された領域である。

複数の LVL1 の結果が RoIB (RoI Builder) に渡され、そこで RoI が決定される。RoI は他の LVL1 の情報と共に L2SV (LVL2 SuperVisor) に渡される。L2SV は受け取った RoI 及び LVL1 の情報から LVL2 判定をするため、負荷分散アルゴリズムに従い、幾つかの L2P (LVL2 Processor) をそのイベントのトリガー判定に割り当てる。割り当てられた L2P は、LVL2 ネットワークを介して必要なイベント情報を ROS から受け取り、LVL2 判定を行う。その結果、LVL2 Accept 信号は L2SV に戻され DFM (Data Flow Manager) に渡される。

LVL2 は 3kHz でトリガーを出し、L2P には最大で 500 台程度の PC が使われる予定で、それらで平行に LVL2 判定の処理を行う。1 イベントにかかる処理時間は 10msec 以下とされている。また、LVL2 判定はその精度をソフトウェアで自由に換えられるため、精度を落とせば 10msec より高速に LVL2 判定を行うことも出来る。

LVL2 Accept 信号が DFM に送られると、DFM は負荷分散アルゴリズムに従ってデータを受け取る SFI (Sub Farm Input buffer) を割り当てる。SFI はイベントビルダーネットワーク (物理的には LVL2 ネットワークと同じもの) を介して ROS からデータを受け取り、フォーマットに従ってイベント構築を行う。構築されたイベントは EF に送られるために SFI 内のバッファに保持される。

2.3.4 EF

EF (Event Filter) でのトリガーにより最終的なイベントレートが 200Hz まで落とされる。EF では全検出器の完全な情報を用いてトリガー判定がなされる。

EF は全体で 1600 台程度の PC で構成される大規模なプロセッサ・ファームであり、幾つかの独立した EF sub farm から構成されている。EF sub farm は、スイッチング・ネットワークを介して一つ又は複数の SFI に繋がっている。EF sub farm では EFD (EF Data flow control program) というプログラムが走っており、SFI から完全なイベントデータを受け取り、トリガー判定を

行う。あるイベントのトリガー判定が終わると、EFD は SFI から次のイベントデータを取って来て処理を続ける。EF 全体としてのトリガー・レートは 200Hz であるが、各 EF sub farm で並列に処理が行われるため 1 イベントにかかる処理時間は 1sec 以下とされている。

EF トリガー判定のためにデータは SFI より EF sub farm に取り込まれる。EF Accept 信号が出ると、EFD はトリガー判定のために生成された情報に、イベントの完全な生データを付加し、SFO (Sub Farm Output buffer) へとデータを送る。そして、SFO から Disk に記録される。1 イベントで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/s のデータが記録されていく。

第3章 TGC ミューオントリガーシステム

ATLAS 実験において、TGC には大きく分けて LVL1 ミューオントリガーシステムとしてのトリガー判定の役割と、ミューオンの R、 ϕ 方向の座標の測定という役割を担っている。この章では、その TGC ミューオントリガーシステムについてより掘り下げて説明する。

まず TGC システムの配置とその特性について述べ、次に TGC システムを構成しているチェンバーについて述べる。最後に TGC システムのトリガー判定はどのようになされるのかについて述べる。

3.1 TGC システムの配置

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 ϕ 方向で約 10 万になる。その配置は図 3.1 に示すように、TGC システムは M1、M2 (middle)、M3 (pivot) と EI (Endcap Inner)、FI (Forward Inner) の 5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2、M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。また、内側から M1 では T1、T2、T3、M2 では D4、D5、M3 では D6、D7 と各層を呼ぶ。これら 5 つがそれぞれ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。

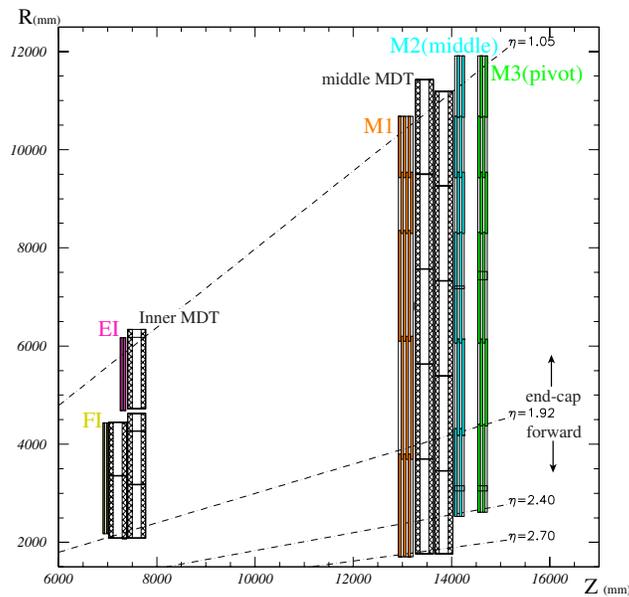


図 3.1: R-Z 断面での TGC のレイアウト

TGC は M1、M2、M3 と EI、FI から構成される、32 万チャンネルにも及ぶ巨大な検出器である。[5]

3.1.1 ビッグウィール

M1、M2 および M3 はビッグウィールと呼ばれる。ビッグウィールは $1.05 < |\eta| < 2.7$ の領域をカバーし、 $|\eta| < 1.9$ の領域を Endcap と呼び、 $|\eta| > 1.9$ の領域を Forward と呼ぶ。

ビッグウィールは 1/12 円 (円形状に配置した TGC を ϕ 方向に 12 等分したもの) が 1 つの大きな単位となっており、これを 1/12 セクターと呼ぶ。データの処理などはこの単位で行われる (図 3.2 の赤い線で示された部分)。

レベル 1 トリガーに関連する部分では、1/12 セクターはさらに図 3.2 で示すように、Endcap を ϕ 方向に 4 等分した領域と、Forward を ϕ 方向に 2 等分した領域に分割され、それぞれトリガーセクターと呼ぶ (図 3.2 の水色の部分)。

トリガーセクターの ϕ 方向の幅がちょうどチェンバー 1 枚の幅と一致する。さらにトリガーセクターは Endcap 領域では η 方向に 37 分割、 ϕ 方向に 4 分割、Forward 領域では η 方向に 16 分割、 ϕ 方向に 4 分割され、それぞれサブセクターと呼ばれる (図 3.2 の黄色の部分)。サブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガー処理の最小単位になっている。

3.1.2 EI/FI

EI/FI は $1.05 < |\eta| < 1.9$ の領域を覆っている。図 3.3 に EI/FI の配置を示す。色をつけてある部分が 1 つの単位になっており、これは全体の 1/8 に当たる。EI に関しては特殊な配置になっており、それぞれに隙間が存在する。このため、acceptance は約 70% になっている。

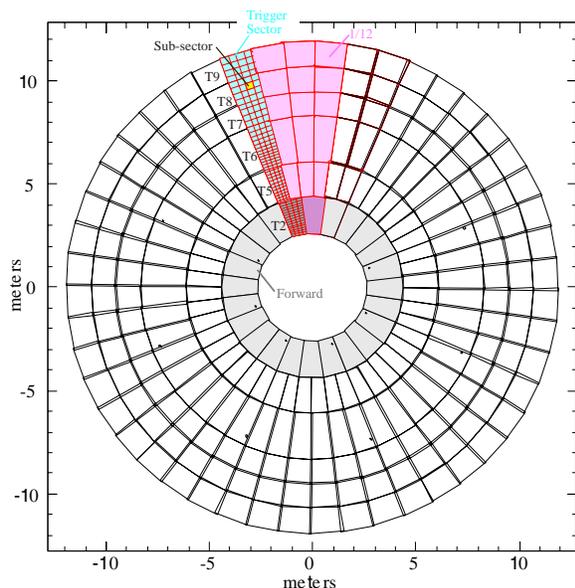


図 3.2: M3 (pivot) での TGC の配置と区分

1/12 セクターを基本として成り立ち、更にそこから ϕ 方向にトリガーセクターという単位に分割される。このトリガーセクターはチェンバー 1 枚の幅と一致する。また、8 ワイヤグループと 8 ストリップをサブセクターと呼ぶ。[5]

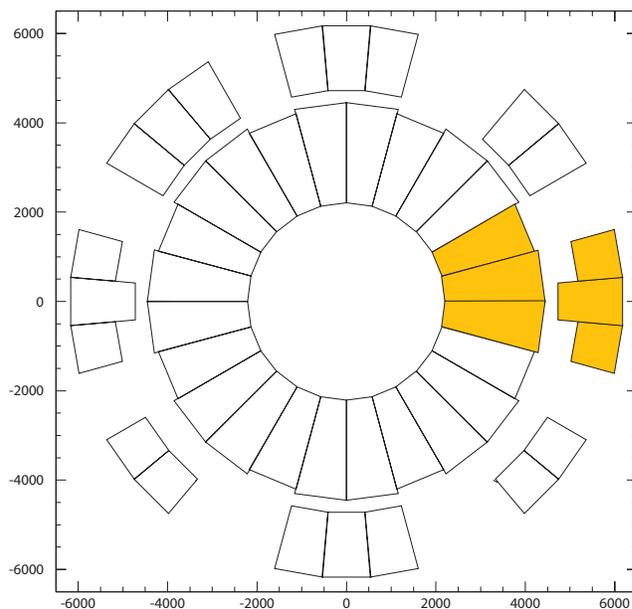


図 3.3: EI/FI での TGC の配置と区分

1/8 を基本にデータの読み出しを行う。黒の線がそれぞれ 1 枚のチェンバーである。EI に関しては隙間が存在し、acceptance が約 70% になっている。[8]

3.2 TGCの概要

この節ではTGCの概要について述べる。TGCは、アノードのワイヤとカソードのストリップを用いて2次元読み出しを可能にした、トリガーチェンバーである。その動作原理と、40.08MHzですべての信号を捕らえるため構造について簡単に説明する。

3.2.1 動作原理

TGCには、内部にCO₂/n-Pentane (55/45)混合ガスが満たされ、ワイヤには通常2.9kVの高電圧が印加されている。このガスは、紫外線*を吸収し放電を起こしにくくするクエンチ効果という特性がある。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される図3.4(a)。電離された1次電子は陽極側にDriftしながら印加電場によって加速され、電離エネルギーを超えると2次電子を生成する図3.4(b)。これを繰り返し、タウンゼント型電子なだれと呼ばれるカスケード型の電子なだれを形成する。電子とイオン雲はそれぞれDriftによって互いに離れ図3.4(c)、電子雲はワイヤを取り囲み図3.4(d)、イオン雲はさらにその周りを取り囲むようにワイヤ半径方向に拡散していく図3.4(e)。TGCはこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号として読み出される。

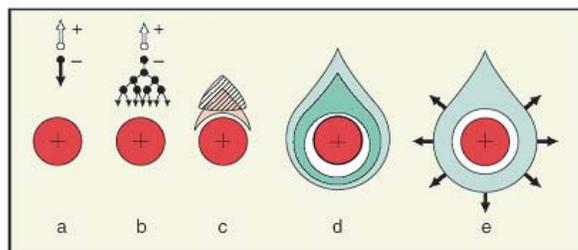


図 3.4: アノードワイヤでのタウンゼント型電子なだれの原理

イオン化によって電離された電子が、印加電圧によって加速されて、次々と2次電子を生成す。[9]

3.2.2 TGCの構造

TGCはエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1辺が1~2mほどである。TGCの構造を図3.5~3.7に載せる。

TGCは、高エネルギー実験でよく使われるMWPC (Multi-wire Proportional Chamber) 型チェンバーの1種であり、図3.6で示すように、ワイヤ面とカソード間の間隔(1.4mm)がワイヤ間隔(1.8mm)よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチクロッシング間隔(25nsec)に対応できるようにするためである。ワイヤとストリップの間隔が狭いのは陽イオンのドリフト距離を短くし、粒子が高レート

*入射した放射線は分子を電離するだけでなく、励起もする。その励起された分子が基底状態に戻るときに発生する。

で入射してきても検出効率を落とさないようにするためである。

その構造はアノードとして直径 $50\mu\text{m}$ の金メッキしたタンゲステンワイヤが台形の上底、下底と平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 $1\text{M}\Omega$ のカーボン塗布してある。ガラス・エポキシ版を挟んだ反対の面には、1面を32分割した扇型の銅のストリップがワイヤに直交して並べてある。ワイヤには図 3.7 に示すように約 30cm 毎にワイヤサポートがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成と TGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 (幅にして $10.8\sim 36\text{mm}$) をまとめて1つのチャンネルとして読み出す。ストリップは 32 本あり、各ストリップは Endcap 領域では 4mrad 、Forward 領域では 8mrad に相当する幅 ($15.1\sim 53.4\text{mm}$) を持ち、それぞれが1つのチャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行う (図 3.5)。

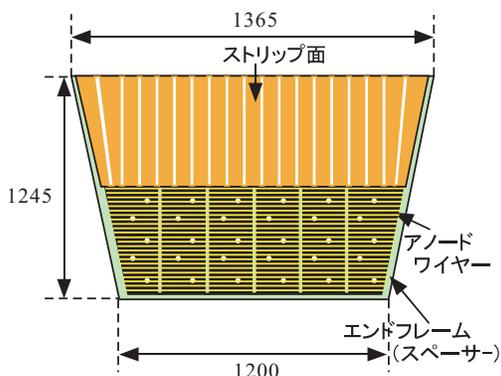


図 3.5: TGC の平面図

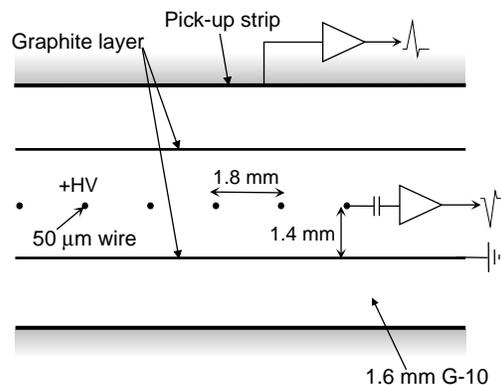


図 3.6: TGC の断面図

ワイヤとストリップが垂直に走り、2次元読み出しが可能になっている。

ワイヤ同士の間隔 (1.8mm) より、カソード面とワイヤの間隔 (1.6mm) が狭いのが特徴。[5]

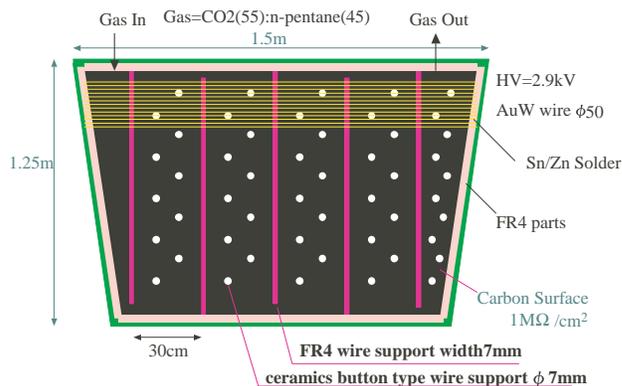


図 3.7: ワイヤサポート

ワイヤのたるみを防ぐだけでなく、ガス流路の形成やチェンバーの歪みを防ぐ意味もある。

実際の ATLAS 実験では、TGC は 1 層 (singlet) では用いず、図 3.8 で示すように、2 層 (Doublet) または 3 層 (Triplet) を重ねた構造にする。Doublet の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet では、2 層目にはストリップがなく、3 層のワイヤ

面と2層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。さらに、各層でチャンネルが1/2もしくは1/3ずれて配置しているため、実質の位置分解能は2倍もしくは3倍になる。

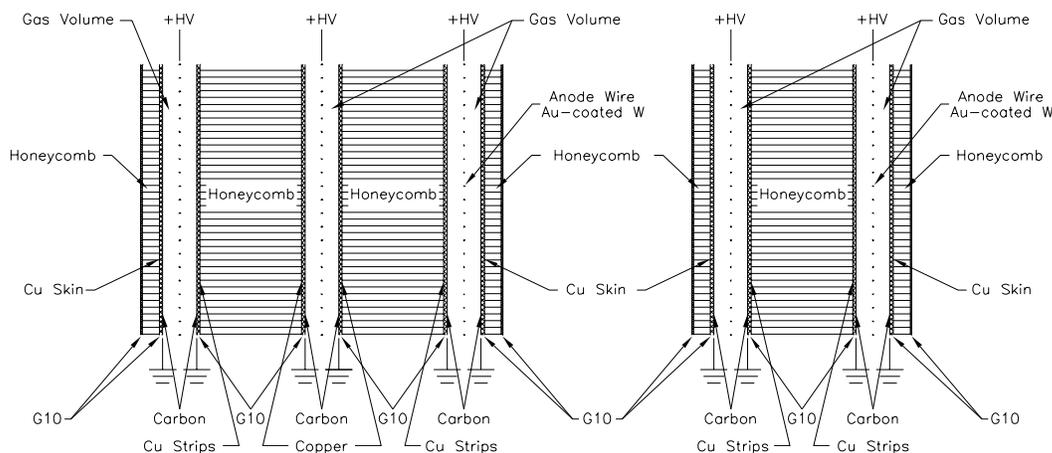


図 3.8: TGC の Triplet (左) と doublet (右) の構造

ATLAS の TGC には大きく Triplet と Doublet という 2 種類が存在する。Triplet は 3 層のワイヤと 2 層のストリップから読み出し、Doublet は 2 層のワイヤと 2 層のストリップから読み出す。[5]

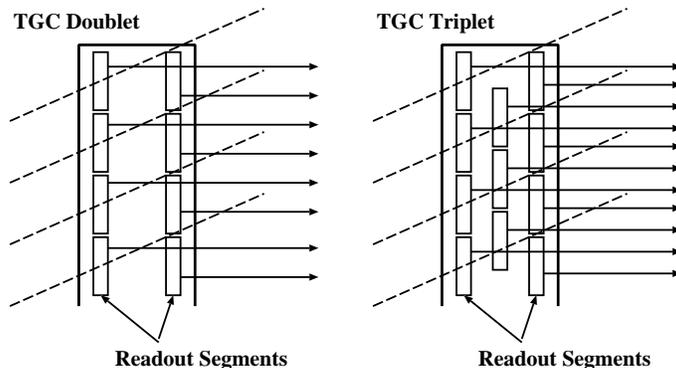


図 3.9: TGC 各層でのワイヤグループの重ね方

実効的な位置分解能を上げるために Triplet は 1/3 ずつずらして配置され、Doublet は 1/2 ずれて配置されている。

3.2.3 TGC からのシグナル

トリガー用のチェンバーである TGC は、25nsec 毎に起こる LHC のバンチ衝突を正しく識別するために、1 回のバンチ衝突による信号が 25nsec 以内の範囲に収まっていなければならない。図 3.10 に、粒子が TGC を通過してから信号を出すまでの時間分布が TGC に対する粒子の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテストの結果である。

図 3.10 からわかるように、約 115nsec で最も早い信号が到達する。ここから 25nsec の間、つ

まり 140nsec までに到達した信号が同じパンチとして認識される。入射粒子が 0 度 (TGC に垂直に入射) の時、時間分布の値は 25nsec になっているが、入射角度の増加に伴い、ジッターは減少し 45 度では 15nsec 以下まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しかし、実際の実験環境下においては TGC への入射角度は 10 度から 45 度であり、その領域における時間分布は 25nsec よりも十分に小さい。

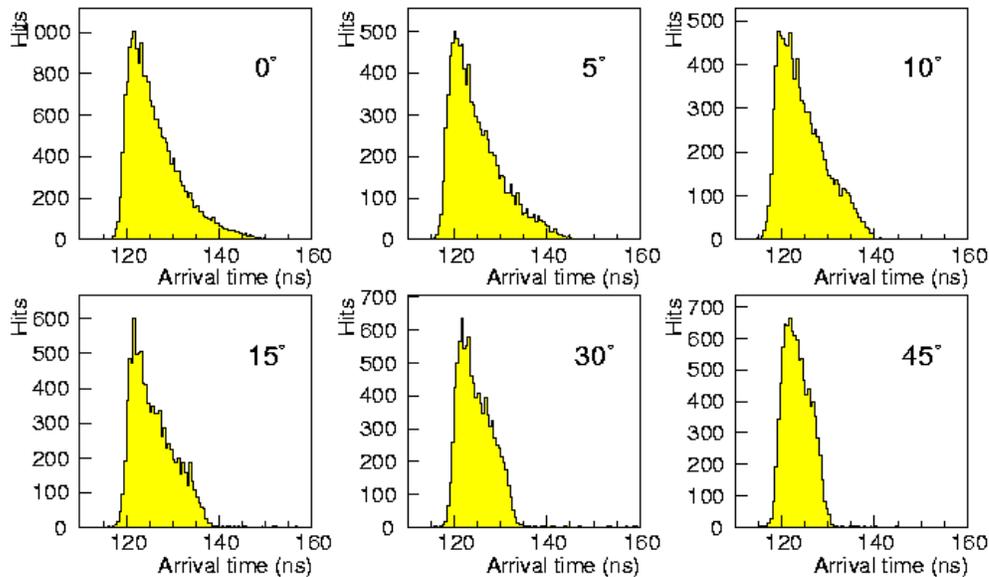


図 3.10: TGC の時間分布

どの角度から粒子が入ってきても 25ns 以内に信号が収まっていることがわかる。[5]

3.2.4 overlap 領域

チェンバー間のデッドチャンネルをなくすため、各単位ごとに R 方向と ϕ 方向に対して overlap 領域が存在する。その領域でのデータの扱いについて簡単に述べる。

R 方向での取り扱い

ワイヤに関しては、OR をとっている。データはひとつの大きなチェンバーのようにして扱い、単一のトラックが得られるようになっている。

ストリップに関しては、ワイヤが単一のトラックを与えているため、double count は起きないようになっている。

ϕ 方向での取り扱い

ワイヤに関しては、OR をとっている。ここではストリップの情報を使ってデータが double count にならないようになっている。

ストリップに関しては、図 3.11 にあるように、チェンバーの端のチャンネルをマスクするこ

とによって、double count が起きないようにしている。

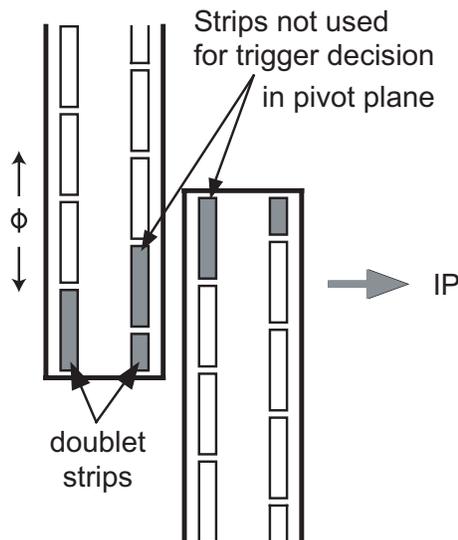


図 3.11: ストリップの overlap 領域でのマスク

ϕ 方向でのストリップの overlap 領域。マスクをすることによって、double count を防ぐ。[6]

3.3 TGC における p_T の決定方法

図 3.12 に、ミュオンの p_T の求め方を示す。

まず、Pivot Doublet でのミュオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line) を考える。この直線は、 p_T 無限大のミュオンが磁場の影響を全く受けずに直進してきた場合のトラックである。Middle Doublet 及び Triplet で、ミュオンが通過した位置と Infinite Momentum Line が通る位置の差を、R、 ϕ 方向それぞれに検出することで δR 、 $\delta\phi$ の値を求め、ミュオンの p_T を検出する。トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta\phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、 ϕ 方向の変位 $\delta\phi$ も考えなければならない。

ミュオントリガーシステムでは、Low- p_T と High- p_T と呼ばれる 2 種類の p_T に関する閾値を設けている。この閾値の値は、Low- p_T が 6GeV 以上、High- p_T が 20GeV 以上となっている。Middle Doublet 及び Triplet では、それぞれ δR と $\delta\phi$ の上限が設定されており、上限の δR と $\delta\phi$ で形成される領域をウィンドウと呼ぶ。Middle Doublet でのウィンドウは、Low- p_T 以上の p_T を持つミュオンが通過できる範囲になっており、Triplet のウィンドウは High- p_T 以上の p_T を持つミュオンが通過できる範囲になっている。

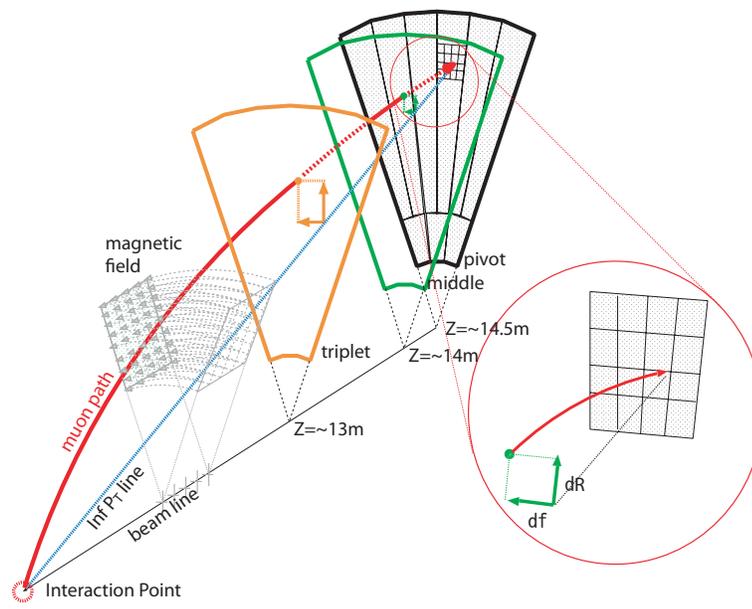


図 3.12: p_T 測定の原理

Pivot Doublet と IP (Interaction Point) を結ぶ直線からのずれを見る。

第4章 TGCシステムの読み出し

ここでは先の章で説明した TGC からのデータを処理する方法について説明する。

まずシステム全体のデータの流れ、及び配置を述べる。次に TGC エレクトロニクスで使われる各モジュールについて説明する。そして最後にこれらのエレクトロニクスをコントロールする、Online ソフトウェアについて簡単に述べる。

4.1 システム全体

TGC システムの読み出しには、大きく分けて次の 3 つがある。

トリガー系 25nsec 毎に流れるトリガー判定の為の情報

リードアウト系 L1A が来ると読み出される TGC 各層でのミュオンのヒットチャンネル情報

コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報

TGC エレクトロニクスの全体像を図 4.1 に示す。赤線、青線、緑線はそれぞれトリガー系、リードアウト系、コントロール系を表す。

ビッグウィールでミュオンが検出されると、それらの信号は ASD (Amplifier Shaper Discriminator) で増幅、デジタル化され、PS ボード上にある PP ASIC (Patch Panel ASIC) へと送られる。PP ASIC ではケーブルの Delay などを調整し、そのデータを SLB ASIC (Slave Board ASIC) へと送る。SLB ASIC ではまずトリガー処理がなされ、そのトリガーはワイヤなら HPT (High-Pt Board) ワイヤへ、ストリップなら HPT ストリップに送られる。トリガーを処理している間、データは SLB ASIC 中のレベル 1 バッファに溜められる。トリガー情報は HPT において R 方向と ϕ 方向についてそれぞれコインシデンスが取られ、SL (Sector Logic) へと送られる。SL で R 方向と ϕ 方向の情報が合わさり、MUCTPI に送られる。そしてそのトリガー情報が L1A となり、TTC から SLB ASIC に送られると、レベル 1 バッファに溜めてあったデータは SLB ASIC 内のデランダムマイザを通じて SSW (Star Switch) へ送られる。SSW ではデータの圧縮などを行い、そのデータが ROD (Readout Driver) を通り ROB へと送られる。そしてこのようなシステムをコントロールするのが HSC (High-pT Star-switch Controller Board) や CCI (Control Configuration Interface Board) といったモジュールである。

次節から 3 種類のシステムについて説明する。

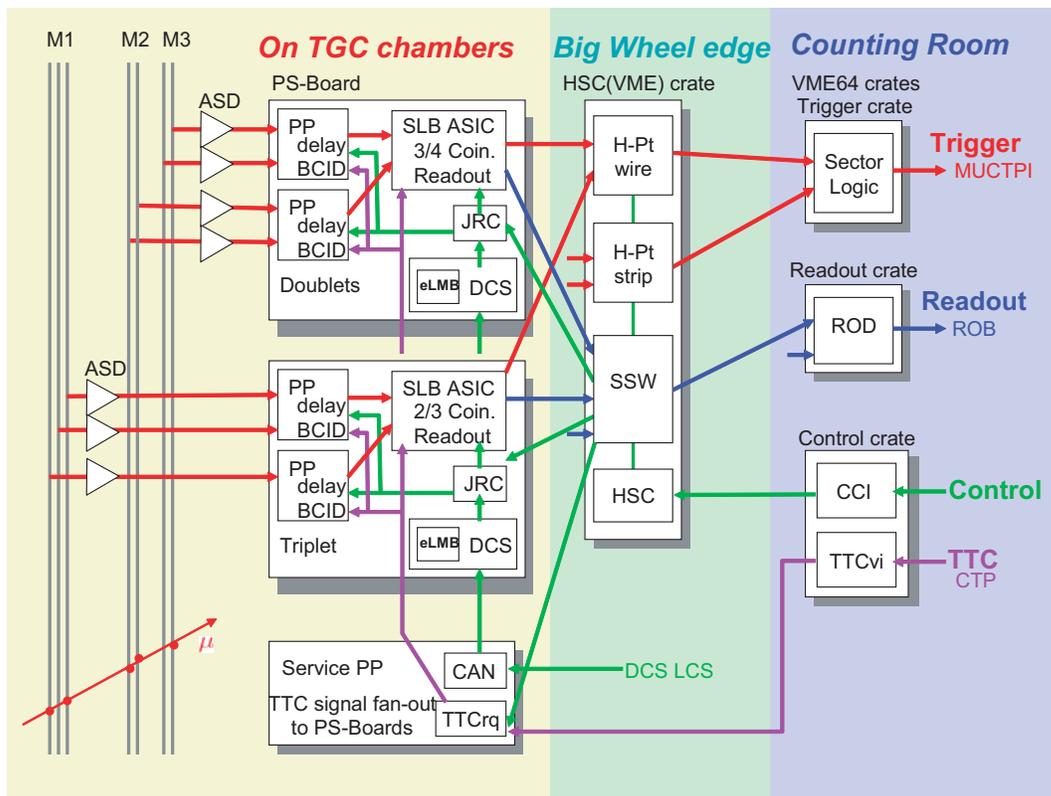


図 4.1: TGC エレクトロニクスシステムの概要

TGC エレクトロニクスはトリガー系、リードアウト系、コントロール系に分類される。また、その設置場所にはチェンバー上、ビッグウィールの端、カウンティングルームと 3 つの場所に設置される。[10]

4.1.1 トリガー系

トリガー系の流れは、ASD ボード、PP ASIC、SLB ASIC、HPT、SL の順に信号が処理される (図 4.2)。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・整形・デジタル化が行われ、LVDS (Low Voltage Differential Signaling) 信号で PP ASIC へと送られる。PP ASIC では、各チャンネルへ粒子が到達するまでの飛行時間である TOF (Time of Flight) やケーブル遅延などから生じるタイミングのずれを調整し、バンチ識別を行う。SLB ASIC では、PP ASIC からの信号を受け取り、4 層からなる pivot、middle Doublet からの信号をもとにコインシデンス処理 (3 out of 4) が行われ、トリガーの判定が行われる。また Triplet からの信号についてもコインシデンス処理 (ワイヤ:2 out-of-3、ストリップ:1 out-of-2) が行われる。HPT では、SLB ASIC で測定した Doublet 及び Triplet のコインシデンス処理の結果を基に、 p_T コインシデンス情報が生成される。SL では、それまで独立に扱われていたワイヤとストリップの情報を統合し、コインシデンス処理が行われ、TGC のトリガー系の最終的な情報として p_T が大きな 2 つのトラックをセクター毎に選び出す。SL の結果は、MUCTPI に送られ、RPC の情報と合わせて、ミュオンの最終的なトリガー判定が下される (図 4.3)。

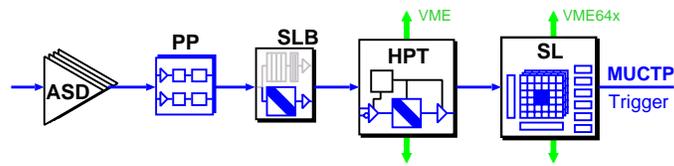


図 4.2: TGC エレクトロニクスのトリガー系

ASD と PS ボードの間は LVDS パラレルケーブルでつながれる。PS ボードから HPT までは CAT6 のケーブルでつながれ、この間は 10m~15m となっている。HPT と SL はオプティカルケーブルでつながれる。HPT はビッグウィールの端に取り付けられ、SL はカウンティングルームに置かれる。

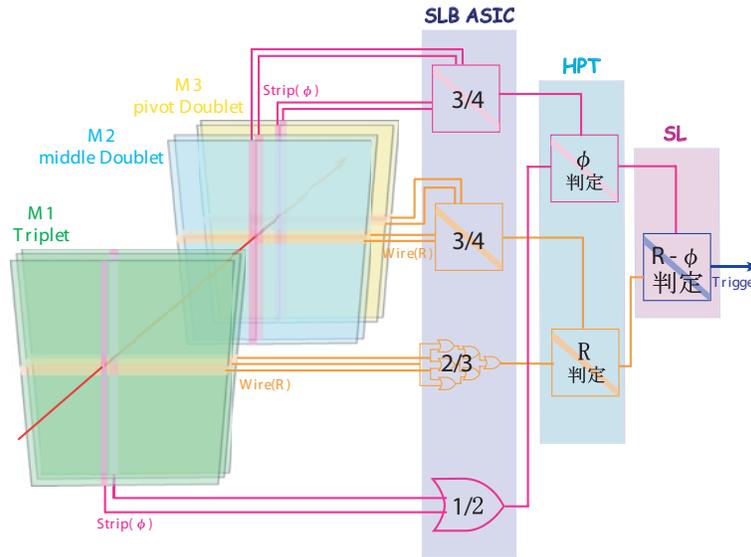


図 4.3: TGC トリガーの判定方法

まず SLB ASIC においてローカルなコインシデンスが取られる。次に HPT において R 方向と ϕ 方向のそれぞれがまとめられ、コインシデンスを取り、SL で R 方向と ϕ 方向を合わせたコインシデンスが取られる。

4.1.2 リードアウト系

リードアウト系の流れを図 4.4 に示す。PP ASIC から送られてきたデータは、SLB ASIC の中にあるレベル 1 バッファに蓄えられ、LIA 信号を受けたデータのみがデランダムマイザを通じて、次段の SSW へと送られる。SSW はマルチプレクサ*として複数の SLB ASIC からのデータを収集し、ゼロサプレスという方法で圧縮を行い、光信号 (G-Link) でエレキハットの ROD まで送る。このとき、トリガー情報 (コインシデンス処理の結果) は PS ボードに搭載された SLB ASIC から同様に SSW に送られ、データと一緒に ROD に送られる。ROD では SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認し、ROB にデータを渡す (図 4.5)。

*ふたつ以上の入力をひとつの信号として出力する機構。

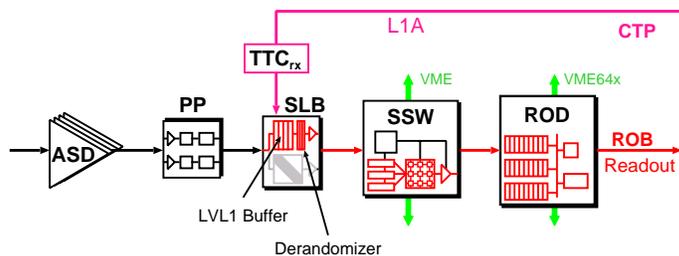


図 4.4: TGC エレクトロニクスのリードアウト系

LVL1 バッファとデランダムマイザの半分を SLB ASIC が受け持ち、SSW が残り半分のデランダムマイザとマルチプレクサを受け持つ構造をしている。これは SSW が複数の SLB ASIC を処理し、ROD ヘデータを送りやすくするためである。

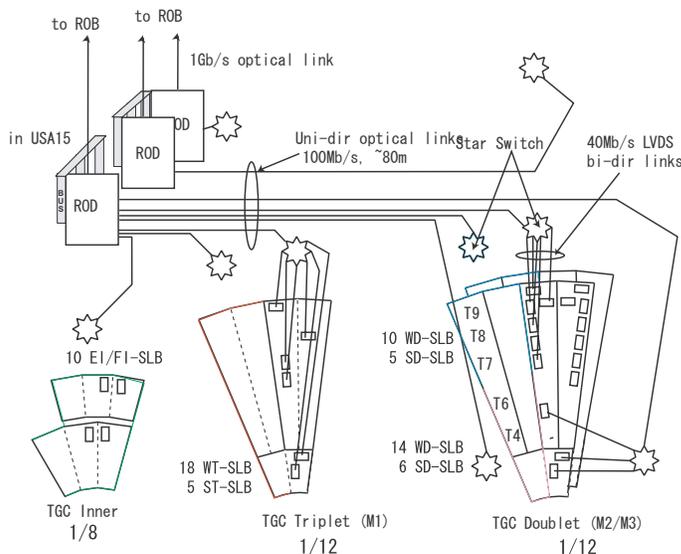


図 4.5: TGC からのリードアウトのスキーム

ASD からのデータは PS ボードで処理され SSW に送られる。SSW では複数の SLB ASIC を処理して、ROD に送る。

4.1.3 コントロール系

コントロール系は、ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS (Detector Control System) が導入されている (図 4.6)。フロントエンドには ADC (Analog-Digital Converter) や DAC (Digital-Analog Converter) などの機能を持った eLMB (embedded Local Monitor Box) が PS ボード上に設置される。HPT/SSW が搭載される VME クレート[†] (HSC クレート) は実験室外の CCI から HSC を介してコントロールされ、PS ボード上の PP ASIC/SLB ASIC の設定は SSW から行う。また、TGC エレクトロニクスでは、DCS は温度状態管理や供給電源の監視、さらに SSW から行われる PP ASIC/SLB ASIC の設定も、バックアップのために eLMB から行えるようにしてある。PS ボード上には JTAG[‡] プロトコルの PP ASIC/SLB ASIC への経

[†]ここで VME とは、Versa Module Europe の略である。IEEE で規格化された産業用の標準バスで、96 ピン DIN コネクタを実装した 32 ビット・バスで最大通信速度は 50MB/sec であり、高エネルギー物理の分野でも一般的に用いられているものである。

[‡]IC の検査方式の 1 つで、チップ内部にプローブテストと同様の挙動を行なう JTAG ボードと呼ばれる端子およびレジスタを構成し、外部からテストコードを入力してそれに対する IC の挙動を調査する方法。また、JTAG に対

路選択を行うために JRC (JTAG Routing Controller) が設置される。

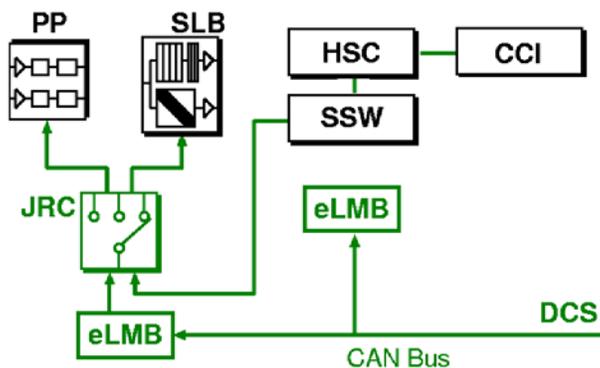


図 4.6: TGC エレクトロニクスのコントロール系

SSW と HPT は PC から CCI、HSC の順でコントロールされる。更に SSW は JRC を通じて PS ボードへの設定を行える。JRC へのアクセスは、バックアップとして eLMB から可能になっている。また、ASD には設定すべき項目がなく、ROD や SL は PC から直接制御される。

4.2 TGC エレクトロニクスの設置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく 3 つの場所に分けられて設置される (図 4.1 における、バックグラウンドの色がそれを表している)。チェンバー上に載るものと、ビッグウィールの端に載るもの、そしてカウンティングルームに設置されるモジュールである。

PS Pack はチェンバー上に、図 4.7 の様につけられ、Triplet に関しては (衝突点から見て) 前面に、Doublet は、pivot の裏側に設置される。ビッグウィールの外縁には、HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは 1 つの 1/12 に 1 台設置される。以上の 2 つの場所は UXA15 と呼ばれる実験ホール内にあるので、ここに設置されるモジュールは強い放射線環境下に置かれる。そのため、使用する IC は放射線耐性がある ASIC や Antifuse FPGA (Field Programmable Gate Array)、SRAM base の FPGA が用いられる。3 つ目の場所は実験ホールから 90 ~ 100m 離れた外にある USA15 にあるカウンティングルームで、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。図 4.8 と図 4.9 に設置位置を示す。

応した回路と TAP (Test Access Port) と呼ばれる 5 本の端子からなるインターフェイスを持たせ、テストデータの入出力や制御に用いることができる。

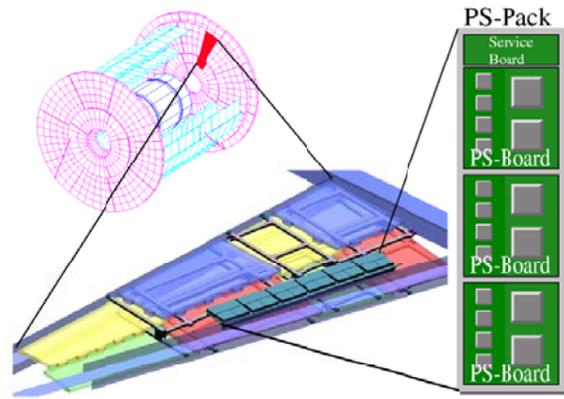


図 4.7: PS Pack の構成と配置

PS Pack は 1/12 セクターの側面に取り付けられる。[6]

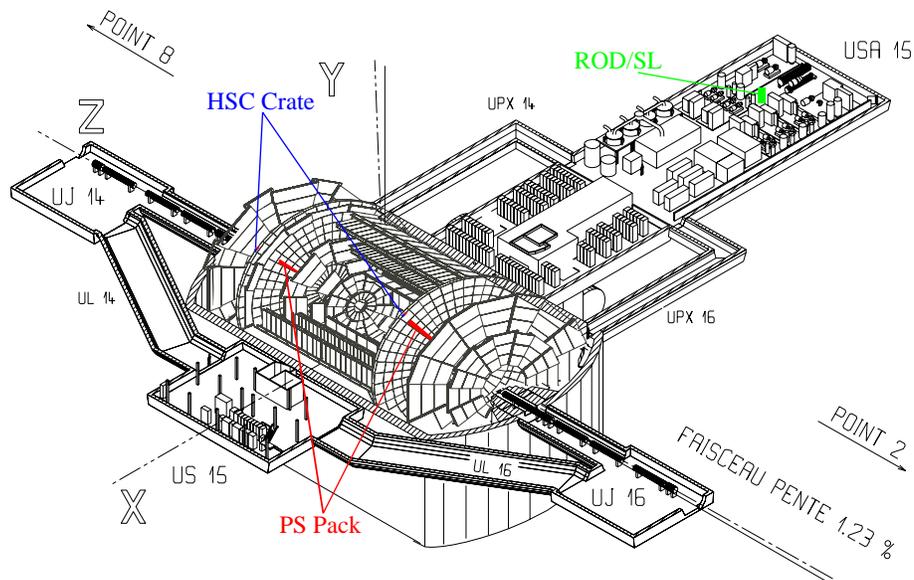


図 4.8: TGC エレクトロニクスの配置

PS Pack はチェンバー上に置かれ、HSC クレートはビッグウィールの端に取り付けられる。そこから離れた USA15 には VME64x クレートがおかれ、CCI や SL、ROD が置かれる。

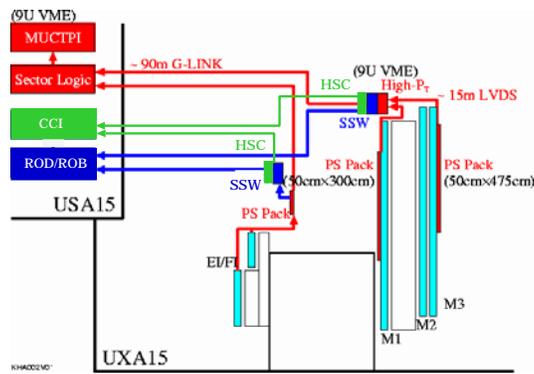


図 4.9: TGC エレクトロニクスの配置 (R-Z 断面)

Triplet 用の PS Pack は IP 側に取り付けられ、Doublet 用の PS Pack は IP の裏側に取り付けられる。

4.3 エレクトロニクスの詳細

4.3.1 ASD Board

ASD ボードは TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS レベルの信号で出力する。また、ASD ボード以降のエレクトロニクスの診断やタイミング調整のために、トリガー信号を受けて擬似的な TGC の出力信号 (テストパルス) を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS ボードとツイストケーブルで接続され、動作電源、閾値電圧、テストパルスのためのトリガーは全て PS ボードから供給される。また、ASD ボードには 16 チャンネル目のアナログ信号をモニタできるアナログ出力もついている。図 4.10、図 4.11 に ASD ボードの写真と ASD ASIC のブロック図を載せる。

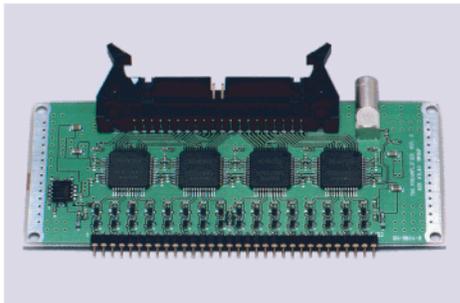


図 4.10: ASD Board

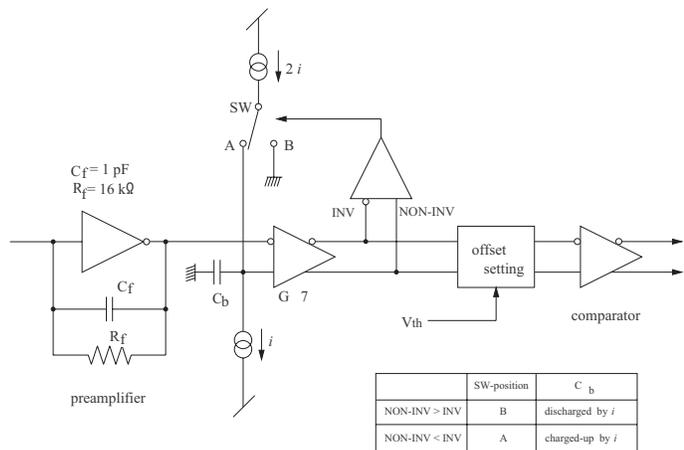


図 4.11: ASD ASIC のブロック図

ASD ボードは信号の増幅やデジタル化などを行う。また、閾値によって信号を選別する様子などが書いてある。[12]

4.3.2 PP ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。そこで、PP ASIC でタイミング調整とバンチ識別を行う。具体的には、ASD からの LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれ 0~25ns の範囲で Delay をかけることによりタイミングの調整を行う。この Delay は 0.8ns (=25ns/31) 単位で調整が可能になっている。タイミング調整された信号は BCID (バンチクロッシング ID) 回路に入り、TTC から供給される LHC clock と同期が取られバンチ識別が行われる。最後に TGC の重なった部分のダブルカウントを防ぐため、OR ロジックを通して SLB ASIC に送られる。また PP ASIC は、ASD に向けてテストパルスを発生させるためのトリガーを出力するテストパルス回路も搭載している。テストパルスの振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャンネル信号を処理できる。図 4.12 に PP ASIC のブロック図を示す。

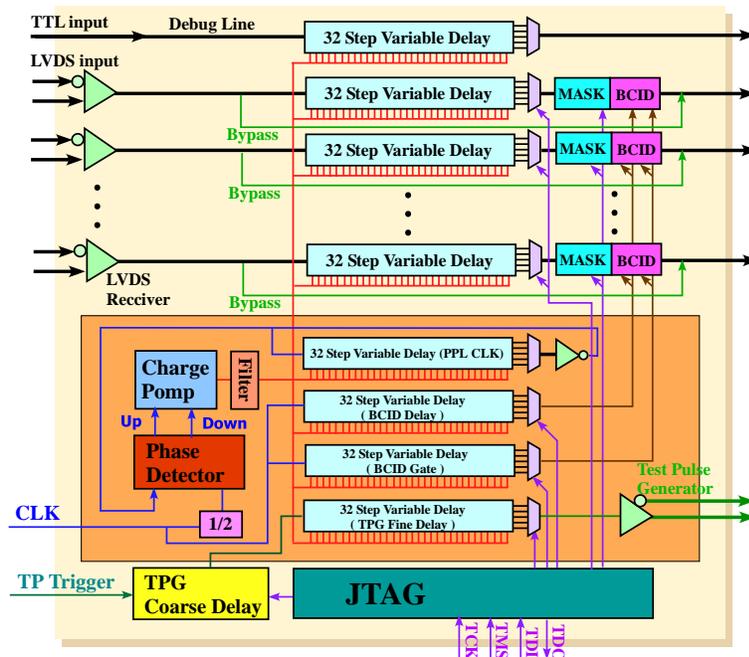


図 4.12: PP ASIC のブロック図

PP ASIC には Delay 調整や、テストパルス回路が搭載されている。1 つの PP ASIC で 32 チャンネル分を処理することができる。[11]

4.3.3 SLB ASIC

SLB ASIC のブロック図を図 4.13 に載せる。SLB ASIC は大きくわけて、トリガー部とリードアウト部からなる。以下、それぞれ分けて説明する。

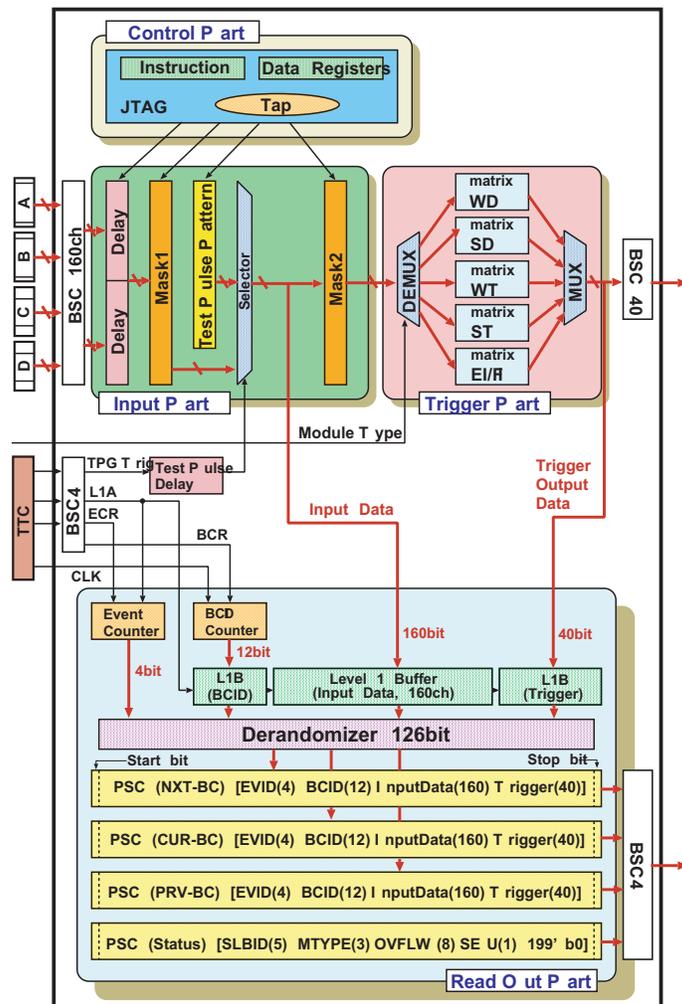


図 4.13: SLB AISC のブロック図

PP からのインプットを受け取り、トリガーに渡す部分とリードアウト（デランダムマイザ）に渡す部分に分かれている。

トリガー部

ワイヤカストリップ、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス（ワイヤ Doublet、ストリップ Doublet、ワイヤ Triplet、ストリップ Triplet、EI/FI）を切替えて使用する。コインシデンスウィンドウは、ワイヤが ± 7 、ストリップが ± 3 channel である（図 4.14）。Triplet、Doublet にはそれぞれ、 $2/3$ （Strip は $1/2$ ）、 $3/4$ のコインシデンス条件が課される。また、PP ASIC からの信号に $1/2$ clock 単位でディレイをかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネルだけから信号を出力させる機能（デクラスタリング:図 4.15 参照）、さらに SLB ASIC 以降のエレクトロニクスの診断やタイミング調整を行うためのテストパルスを出力する機能も持っている。設定は JTAG で行われる。

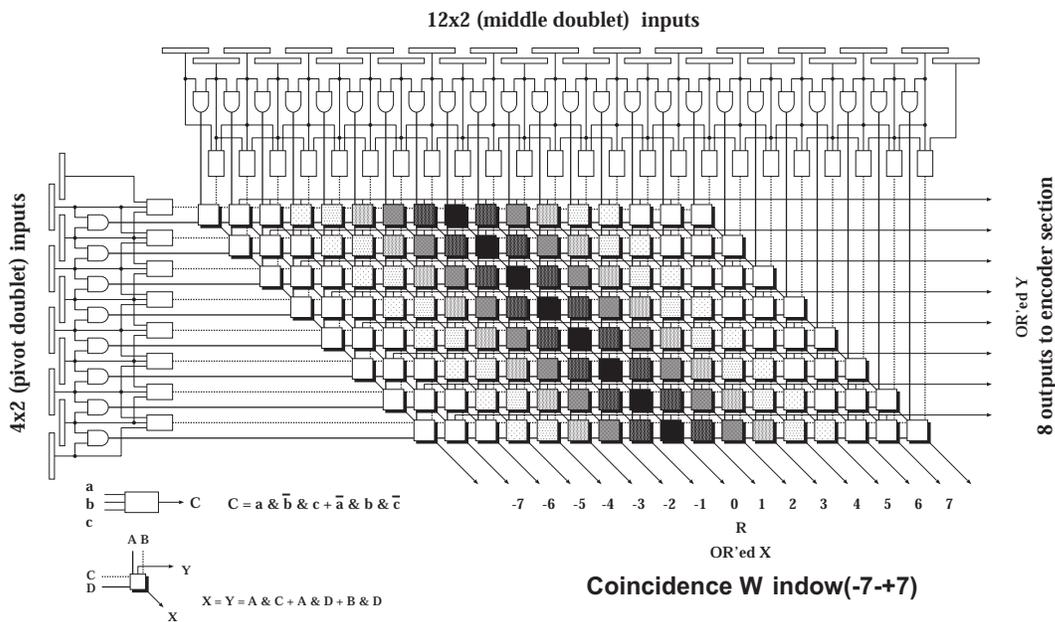


図 4.14: Wire Doublet の場合のコインシデンスマトリックス

ワイヤのコインシデンスウィンドウは ± 7 から構成されている。[6]

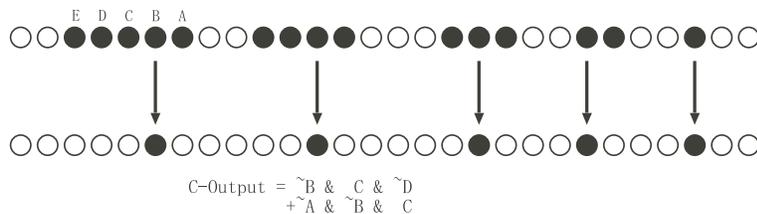


図 4.15: デクラスタリング

多くの連続したヒットがあった場合、その中の 1 つのチャンネルからのみ信号を取り出す。[6]

リードアウト部

リードアウト部は、LVL1 トリガーの判定を受けたデータの読み出しを行う部分である。主に LVL1 バッファとデランダムマイザにより構成される。データは LVL1 バッファと呼ばれる、幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガーパートの出力 40bit、パンチ・カウンタ値 12bit となっている。このデータは CTP からの L1A が与えられるまでの時間保持され、L1A が与えられると該当するデータとその前後 1 パンチずつの、計 3 パンチ分のデータにそれぞれ、イベントカウンタの値 (4bit) が付加されデランダムマイザにコピーされる。デランダムマイザにコピーされるとすぐに、3 パンチ分のデータは別々にシリアルに変換し SSW に送られる。

4.3.4 JRC

JRCは2系統の入力ポートと7系統の出力ポート、それらをコントロールするための2系統のJTAGポートを持つスイッチングルータである。それぞれのラインは、 $\overline{\text{TRST}}$ 、TCK、TMS、TDI、TDOの5つの信号から成る。2系統の入力ポートはSSWとeLMBからのもので、図4.16のようにCA_JTAG(またはCB_JTAG)がJRC内のスイッチをコントロールすることで、Q1~Q7のポートのうち1つを選択してDA_JTAG(またはDB_JTAG)の信号をそのまま出力する。JRCは、PP ASIC/SLB ASICにアクセスするためのインターフェイスであり、PP ASIC/SLB ASICの設定はJRCを中継して行われる。7系統の出力ポートは、4つがPP ASICへのもので、3つがSLB ASICへのものである。

JRCはAntifuse FPGAを使っている。

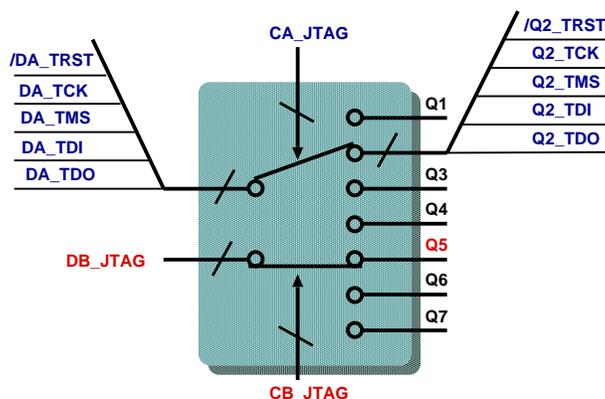


図 4.16: JRC 内部の模式図

2系統の入力と、7系統の出力から成り立っている。そのルートを2つのコントロールラインから行う。[13]

4.3.5 DCS

DCSはeLMBと呼ばれるサブモジュールを使用し、ADC(Analog-Digital Converter)やDAC(Digital-Analog Converter)が搭載され、センサーからの信号をデジタル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレクトロニクス電圧・電流モニタ、チェンバー位置モニタ、TGCのアノードに印加するHV(High Voltage)電源電圧のモニタとコントロール、ASDの閾値電圧の設定などを行う。eLMBはCANバス[§]を通じてデータの読み書きが行われる。図4.17にDCSの写真を載せる。

[§]CAN(Contoller Area Network)はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。



図 4.17: DCS

4.3.6 PS Board

PS ボードには図 4.18 に示すように、PP ASIC、SLB ASIC、JRC、eLMB が搭載される。PS ボードでは、ASD からの LVDS 信号を PP ASIC で受け、TGC の overlap 領域でのダブルカウントを防ぐための OR 論理回路を通して、SLB ASIC へ送られる。SLB ASIC で、トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へと、それぞれ LVDS 信号に変換され、さらにシリアライズされて送られる。また、SSW あるいは eLMB から送られてくる PP ASIC/SLB ASIC を制御するための JTAG 信号は、JRC により PS ボードに設置される各 ASIC に分配される。さらに PS ボードは、ASD に電源電圧と閾値電圧を供給する役割も果たす。PS ボードは後述する SPP (Service Patch Panel) から、TTC (Timing Trigger Control) によって供給される LHC clock や、各種 Reset 信号、テストパルスのためのトリガー信号等の信号を受け取る。図 4.19 に PS ボードの写真を示す。

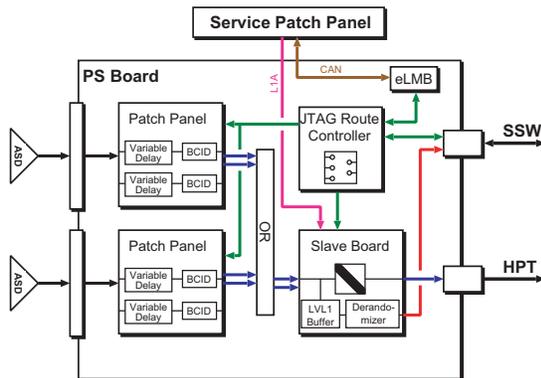


図 4.18: PS Board の構成図



図 4.19: PS Board

PS ボードは PP ASIC や SLB ASIC が搭載されたボードで、1つのボード当たり最大 320 チャンネルの信号を処理することができる。

4.3.7 SPP Board

SPPにはTTCの信号を受信する機能を持つTTCrxが載せられ、TTCからLHC clock、L1A、BCR、ECR、Test Pulse Trigger等の信号を受け取り、それらの信号を10又は17枚のPSボードに分配する。

SPPには、TTCrxの設定を行うためにI²Cプロトコルを受信する、CAT6(カテゴリー6)ケーブルのポートが搭載されている。また、HPTクレートへクロックとリセットを供給するカテゴリー5ケーブルのポートが搭載されている。図4.20にSPPの写真を載せる。

4.3.8 PS Pack

PSボードとSPPは、図4.21に示すようなPS Packにまとめられ、Tripletの前面、及びDoubletの後面に設置される。PS Packは1/12毎に2つ設置され、1つのSPPと複数のPSボード(Tripletは10枚、Doubletは17枚)から構成される。

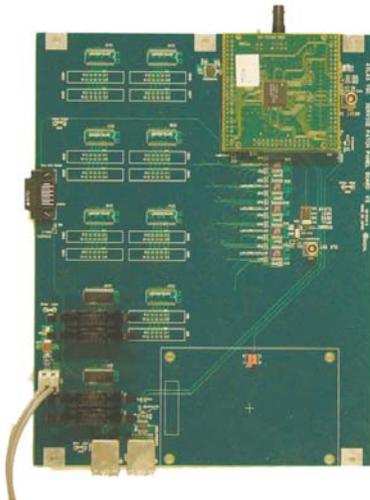


図 4.20: Service Patch Pane



図 4.21: PS Pack

TTCからの信号を受信し、それらの信号をPSボードへと供給する。

基本的に、1つのPS Packの中に2枚のPSボードが収められる。

4.3.9 HPT

HPTはDoubletとTripletの情報を用いてHPTコインシデンス情報を生成する。HPTはまず、PSボードから送られてきたLVDSレベルのシリアライズされたデータを、パラレルのデータに変換する。HPTでは、SLB ASICまで独立に処理されてきたDoubletとTripletのデータを統合してHPTコインシデンス情報を生成する。Tripletは2つのDoubletよりも衝突点に近く、しかもDoublet同士の間隔よりも離れた位置に設置されているため、Tripletを用いることによりトロイダルマグネットによってあまり曲げられることがなかった大きな p_T を持つミュオン信号を選別できる。HPTではワイヤとストリップは独立に処理が行われ、 δR 、 $\delta\phi$ を出力する。図4.22にワイヤ、図4.23にストリップのブロック図を載せる。出力データはシリアライズされ、オプティカル信号に変換されて、光ファイバーによって90~100m離れた実験室外のカウンティング・ルーム(USA15)にあるSLに送信される。HPTはエンドキャップ領域用のワイ

ヤとストリップ用、フォワード領域用の計3種類作られる。フォワード領域用には3つ、エンドキャップ領域用には4つのHPT ASICが搭載される。図4.24にHPTの写真を載せる。

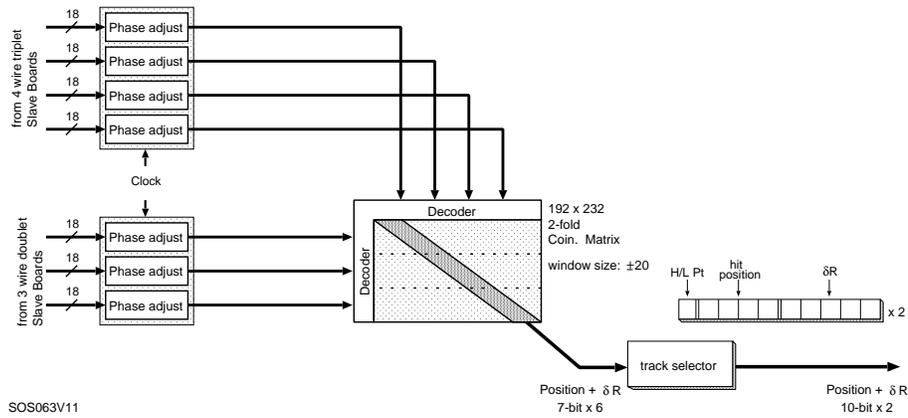


図 4.22: HPT ワイヤ ブロック図

コインシデンスウィンドウは ± 20 チャンネルの範囲でなされる。

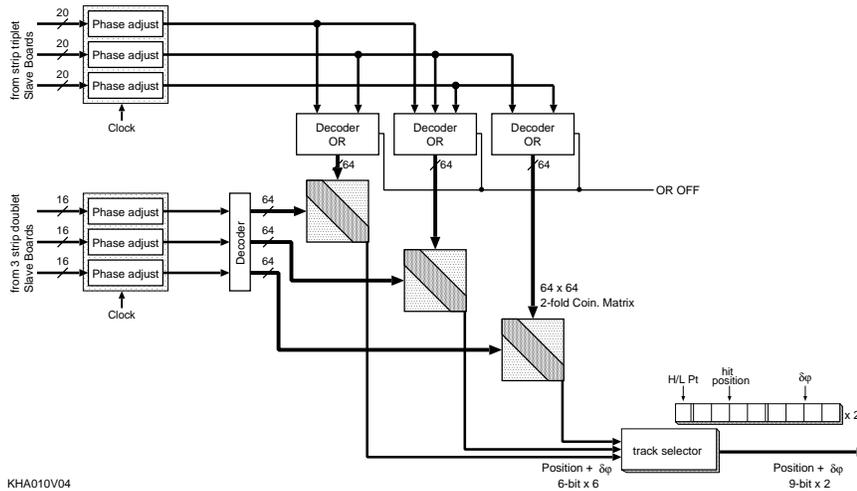


図 4.23: HPT ストリップ ブロック図

コインシデンスウィンドウは ± 7 チャンネルの範囲でなされる。

4.3.10 SL

SL (Sector Logic) は TGC エレクトロニクスシステムのトリガーのデータが最終的に集められるモジュールであり、2 トリガーセクター分の信号を処理する。SL は主に R- ϕ コインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される。まず SL は、HPT から送られてきたシリアルライズされているオプティカル信号を受け取り、電気信号に変換した後パラレル変換をする。そして、HPT まで独立に処理されていた R 方向 (ワイヤ) と ϕ 方向 (ストリップ) の HPT 信号から両者のコインシデンス (R- ϕ コインシデンス) を取ること

により、ミューオンのトラックを構築する。それらのトラックを、SSC (Sub-Sector Cluster:R 方向に2つ、 ϕ 方向に4つの Sub-Sector のあつまり) ごとに6段階の p_T の閾値によって分類する。はっきりと決まっている閾値は p_T の 6GeV 以上ということのみで、その他は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table (LUT) によって実装される。プレトラックセクターは、6段階の p_T 判定のそれぞれに用意され、 p_T の大きい順に2つの選択して、計12トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、プレトラックセクターから送られた1トリガーセクター分のトラックから p_T の大きいものを2つ選択して、6段階の p_T 判定と位置情報を MUCTPI に送る。このロジックは FPGA に書き込まれる。SL が処理に使用した HPT からデータと SL での処理の結果は、SL に搭載された SLB から USA15 に設置された SSW に送られる。SL には各セクタに対して一つずつ SLB が搭載され、JRC も搭載される。図 4.25 に SL の写真、図 4.26 にブロック図、図 4.27 に SL での処理の流れを載せる。



図 4.24: HPT Board

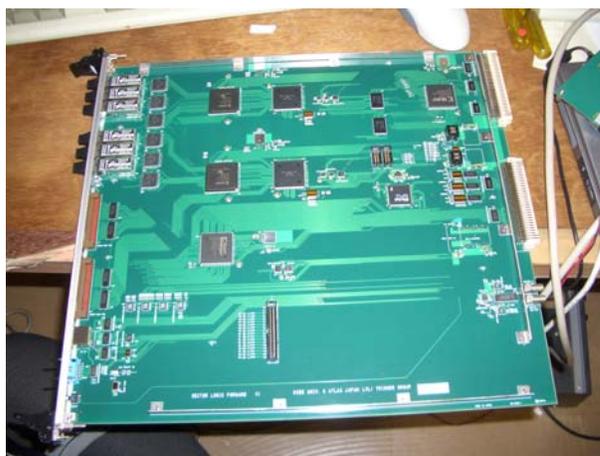


図 4.25: SL

SL にはかなり容量の大きい FPGA が搭載される。それは LUT が非常に大きなマトリックスを持っているからである。

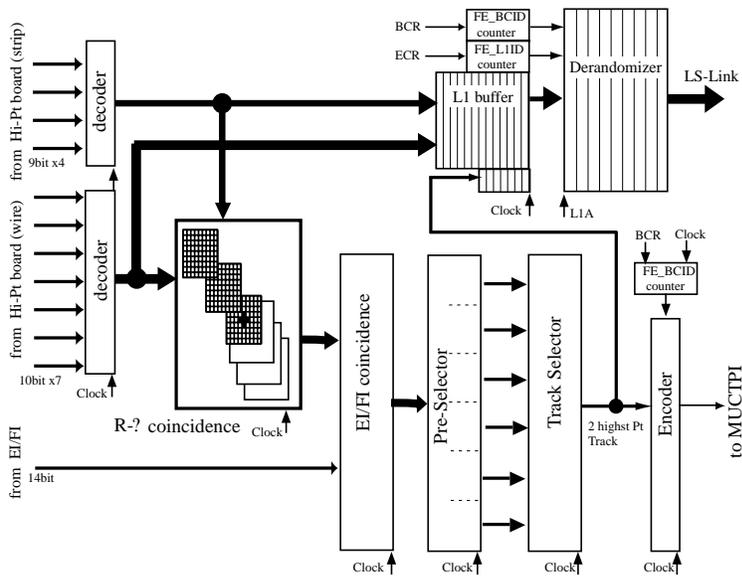


図 4.26: SL ブロック図

SL ではこれまで別々に処理されていた R と ϕ の情報が統合される。そして MUCTPI にトリガー情報が送られる。

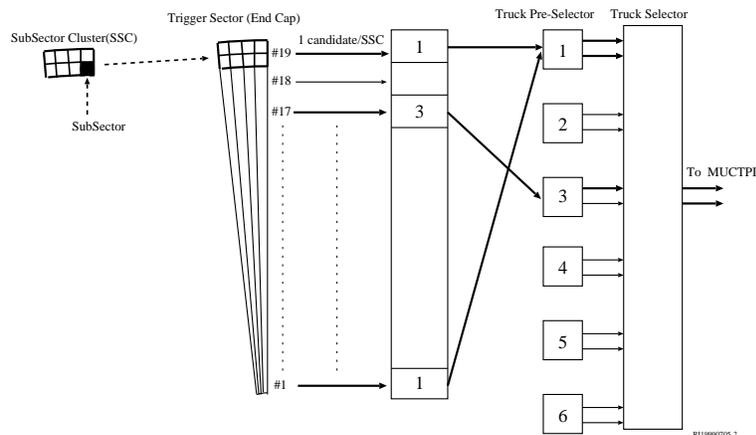


図 4.27: SL での処理の流れ

サブセクター情報から、徐々に大きな領域を見ていき、大きな p_T 情報を持った情報を取り出していく。

4.3.11 SSW

SSW (Star Switch) の主な役割は、SLB ASIC のリードアウトから送られてくるデータを圧縮し、ROD にデータを送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的なデータ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生するのはごく一部なので、これによりデータを減らすことが出来る。1 つの SSW で最大 23 個の SLB ASIC のデータを受ける。SSW はまず、SLB ASIC からの LVDS レベルのシリアライズされたデータを受け取り、それをパラレルのデータに変換する。そのデータ

はSSW_{Rx}（レシーバー）に送られ、データの圧縮が行われる。その後データは、SSW_{tx}（トランスミッター）に送られ、フォーマットされる。フォーマットされたデータはシリアル化され、オプティカル信号に変換されて90～100mはなれた実験室の外にあるRODに送られる。またSSWは、PSボード上のPP ASIC、SLB ASICにJTAGプロトコルによってレジスタ設定と、I²CによるSPP上のTTC_{Rx}の設定も行う。図4.28にSSWの写真を載せる。

4.3.12 ROD

ROD（Read Out Driver）はTGCエレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。RODは複数のSSWからシリアル化された圧縮データをG-Linkを通して受け取り、SSWのデータをFIFOメモリーに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデータはS-Linkという、フロントエンドとリードアウトのエレクトロニクスを繋ぐためにCERNで開発された光信号のリンクモジュールによってROBに送信される。イベントの同定やヘッダー、トレーラーをつけるためにはTTCからのトリガー情報が必要となるため、RODにはTTC_{Rx}が載せられたメザニンボードが搭載され、これによりTTCからの信号を受け取ることができるようになっている。

RODは100kHzでこれらの処理ができるように求められているが、RODはカウンティングルームに置かれるため、遅くまで開発が許されており、まだ最終版の開発が終わっていない。図4.29にTest RODの写真を載せる。



図 4.28: SSW

複数のSLBからのデータを処理する。デランダムマイザの一部と、マルチプレクサを搭載する。



図 4.29: Test ROD

RODはカウンティングルームに置かれるため、まだ開発が完了していない。この写真は日本で開発したTest RODである。

4.3.13 HSC

HSC (High-pT Star-switch Controller Board) は HPT、SSW と同じ VME クレート (HSC クレート) に載せられる、VME マスターモジュールである。後述する CCI とオプティカルケーブルで結ばれ、CCI からの命令を受け取る。そして、その命令に対応した処理を行い、その後 CCI へ応答を返す。主な命令は HPT や SSW に対するもので、HSC は命令を受け取ると VME バスを支配しスレーブモジュール (HPT、SSW) に対して命令を伝える。また VME バス以外に JTAG バスも使用されている。このため HSC には、CCI との情報のエンコード、デコードのために 2 種類の機能が用意されている。ひとつは PPE (Primary Protocol Encoder) という JTAG 用のもので、リセットや JTAG のコントロールを行う。もう一方は SPE (Secondary Protocol Encoder) という VME 用のもので、VME のコントロールを行う。図 4.30 に HSC の写真を載せる。

4.3.14 CCI

CCI (Control Configuration Interface Board) はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。

これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 4.31 に CCI の写真を載せる。

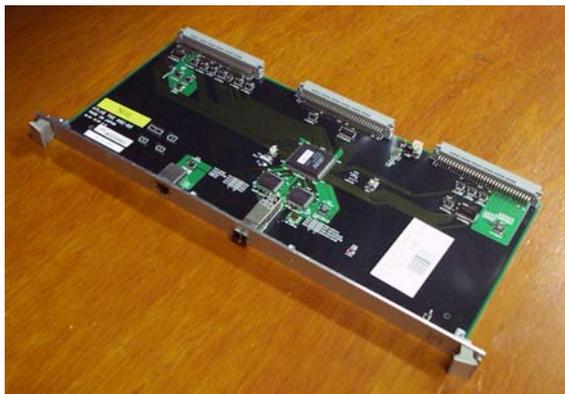


図 4.30: HSC



図 4.31: CCI

HSC と CCI はカウンティングルームにある PC からの信号を受け渡しするモジュールである。HSC は CCI からの命令を受け取り、SSW や HPT ボードをコントロールする。

CCI は PC からの命令を受け取り、HSC へと渡す。

4.4 Online ソフトウェア

これまで見てきたハードウェアは、Online ソフトウェアの枠組みを用いてセッティングなどが行なわれる。その Online ソフトウェアについて簡単に説明する。

4.4.1 Online ソフトウェアの概要

ATLAS 実験では全システムが同期を取ってコントロールされ、各検出器の各部分が 25ns 間隔で起こる事象を正確に特定し、同じバンチのデータの収集と解析をする必要がある。そのた

めに、ATLAS 実験で使用される Online 環境は Online グループが発行している Online ソフトウェアパッケージの枠組みの上に構築される (図 4.32)。Online ソフトウェアの役割は、データベースへのアクセス、ユーザーとのインターフェイスの供給、各ソフトウェア要素のコントロール等であり、データ収集を制御する。図 4.33 に DAQ システムの GUI を載せる。それぞれの state と segment がわかるようになっている。

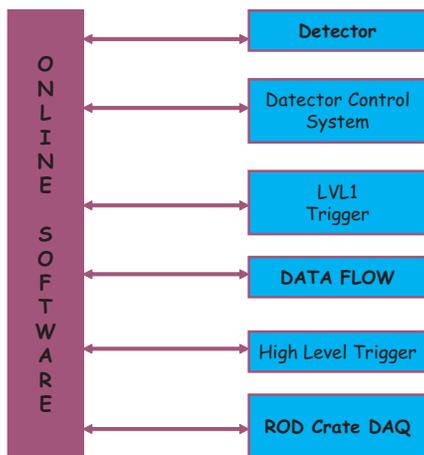


図 4.32: Online Soft 環境

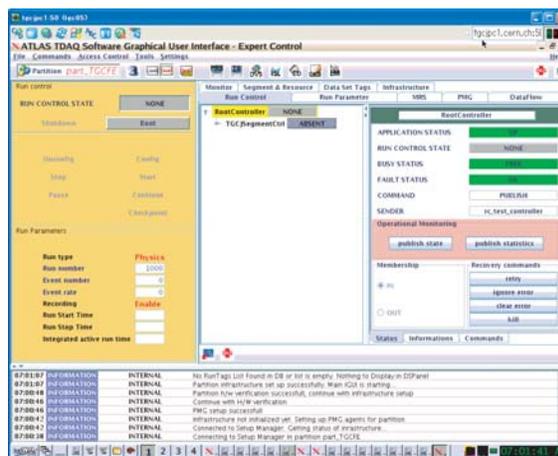


図 4.33: DAQ の GUI

Online 環境はそれぞれのパッケージの上に構築される。

ソフトウェアのコントロールを行う GUI。state や segment の情報や、エラーなどの情報も表示される。

トリガーの制御、データフローの制御、DCS の制御等の個別のソフトウェアは全てこの Online ソフトウェアの枠組みの上に構築されている。次節で述べる RCD (ROD Crete DAQ) ソフトウェアも Online ソフトウェアの上に構築されており、各検出器グループは RCD の制御のための共通の RCD ソフトウェアを利用するが、各検出器に固有な部分のみを記述する必要がある。Online ソフトウェアは state を各ソフトウェア、検出器について定義することによりコントロールしている。それぞれの state の意味は以下のようにになっている。

- Boot

Boot では、まずそれぞれのソフトウェアの初期化が行われ、それぞれのハードウェアに対するアクションを行うことが出来る状態にする。また、必要があれば、ハードウェア全体のリセット等もここでされる。

- configure

configure では、データ取得を開始する為の準備を行っている。Boot によって読み出した、ハードウェアの情報に従い、それぞれのハードウェアをデータ取得が出来る状態に制御を行う。

- start

start は、データの取得を開始する state である。

- stop

stop は、データの取得を一時的に止める state である。

RCD

RCD ソフトウェアは Online ソフトウェアの枠組みで動作し、ROD クレーンをコントロールするソフトウェアである。また、フロントエンド・エレクトロニクスのコントロールやデータ収集といった動作をコミショニング、キャリブレーション時には独立したシステムとして、また本実験が始まった時には ATLAS DAQ システムの一部として共通のプログラムを使用できるように構成されている。

RCD ソフトウェアは、いくつかの segment と呼ばれる部分から成り立ち、それぞれの segment でモジュール制御などの Class が定義されている。各 segment にはそれぞれのモジュールのデータベース (xml 形式で書かれる) が存在し、Online ソフトウェアから呼び出される state ごとに呼び出されるデータベースが決まる。

このシステムは各検出器に固有の部分を最小限にし、できるだけ共通のソフトウェアを使用するという思想からできており、そのシステムの枠組みが RCD ソフトウェアである。

4.4.2 TGC エレクトロニクスのコントロール

TGC エレクトロニクスはそれぞれの動作が 25ns に同期して動作を行うように設計をされている為、RUN の最中に内部の設定値を動的に変化をさせる事は無理である。その為、RUN 開始前に全ての設定を行い、RUN 開始後には制御を行わなくても動作するように設計がされている。つまり、TGC エレクトロニクスのコントロールソフトウェアもそれぞれのハードウェアを RUN 開始前に初期設定を行うように設計される必要がある。

また、エレクトロニクスの設定では、設定する順序が重要であり、次のように決められている。

1. TTC を初期化する。
2. 各モジュールのリセットをしてレジスタを初期化する。
3. CCI→SSW→PS ボードの順に設定をする。これは、CCI-HSC の先に SSW があり、SSW の先に PS ボードがあるという構造のためである。
4. TTC の設定をする。
5. ROD の FIFO のクリア。これはコンフィギュアの最中に出てしまった SSW からのデータを消すためである。

図 4.34 は TGC エレクトロニクスのコントロールパスを示している。エレクトロニクスはクロックや ECR 等の TTC 信号による早いコントロール (赤線) と、JTAG、VME アクセスによるレジスタの設定の遅いコントロール (緑線) の二系統から成る。これら二系統の信号を SBC (Single Board Computer) からの VME アクセスによって制御する。

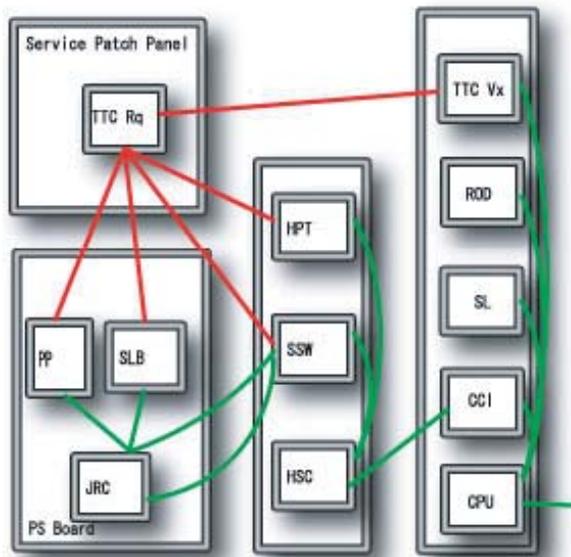


図 4.34: Controll Line

SBC からの TGC エレクトロニクスのコントロール。SBC→CCI→HSC→SSW→JRC といった流れでコントロールが行われる。

構成

この RCD の枠組みを使用して、TGC では TGCRCDFEConfiguration、TGCRCDFEModules、TGCMModules という 3 つのパッケージを独自に開発を行っている。これらの RCD との関係は、図 4.35 にある。

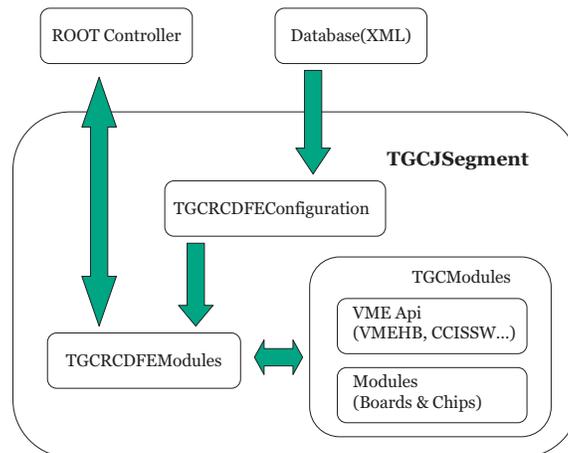


図 4.35: TGCJSegment

- TGCRCDFEConfiguration

Local Controller process に呼び出される関数のライブラリ。xml で記述されたデータベー

スから受け取った情報を適切な形式に整えた後、RCD process (TGCRCDFEModules) に渡す。

- TGCRCDFEModules

RCD process からここに記述されている各 state の動作が呼び出される。各 state での動作の内容、順序がここに記述されている。必要なデータベースにある情報を受け取り、TGCMModules の中の関数に渡して動作する。動作の内容は、TGCRCDFEModules クラスが持つ各モジュールへのアクセスである。またデータベースからの情報を IS (Information Service) サーバへ送る。

- TGCMModules

モジュール毎に Read、Write の動作が記述されている。種類の違うモジュールでも同じ IC (Chip) を使用している場合があり、それらのメンテナンス性を高める為、大きく分けて以下の、3種類の Class によって作成されている。

- Module

UniversalPS モジュールや SSW モジュール等、実際のモジュールに当たる部分、搭載されている Chip とボード上からの Chip のアドレス、モジュールへのアクセス API を保持している。

- Chip

各 Module に搭載されている Chip が記述されている。Read や Write の関数は、ここに記述されている。

- アクセス API

実際のモジュールの置かれている位置により VME アクセスの方法が異なるが表 4.1 のようにそれぞれの API が定義されており、各 Chip はそれらに縛られること無く記述する事が出来る。

表 4.1: モジュールへのアクセス

Access	動作	module
vmehb	VME でアクセスする	ROD、SL、TTC
ccihsc	CCI 経由で VME アクセスする	HPT、SSW
ccissw	CCI 経由の SSW から JTAG でアクセスする	PS ボード

第5章 エレクトロニクスの量産とコミッショニングの準備

本章と次章にて、TGC フロントエンドシステムの量産と実装、及び宇宙線ミュオンを用いたTGCシステムのコミッショニングについて述べる。本章では実装までの準備である、各モジュールの量産やテストモジュールの開発の概要について述べ、次章にてモジュールの実装とコミッショニングについて述べる。

TGC フロントエンドシステムを実装するに当たって、すでに多くのエレクトロニクスが量産されている。それらのエレクトロニクスは当然検査をされてから実装される。その検査システムを構築した。

また、次章で述べるコミッショニングにおいてリードアウトとトリガーの役割を担う、汎用モジュールであるPT5 (ProtoType module version.5) とCTM (Commissioning Trigger Module) について述べる。PT5は今回新しく設計したモジュールで、読み出し系のテストに用いられる。CTMは以前に作成されたモジュールであるが、そのモジュールのHDLを書き換え、SLB ASICからのトリガーマトリックスを受け取り、トリガーを出すように設計した。

5.1 各エレクトロニクスの量産と検査

TGCシステムは読み出しチャンネルが非常に多い($\sim 3.2 \times 10^5$ チャンネル)ため、それら进行处理するエレクトロニクスも膨大な数を量産しなければならない(表5.1)。更にTGCは3層からなるが、その読み出し構造がM1、M2、M3に分かれているため、それぞれTriplet、Doublet用のPSボードを用意している。このTriplet、Doubletに分けたPSボードはSLB ASIC、PP ASICなどのICは同じものを使用し、そのボード上での配線を変えてあるのみである。そのPSボードの種類を表5.2にまとめる。これだけの種類のPSボードがあるのは、各種類のチェンバーからの読み出しの数のばらつきをPSボードで吸収し、データフォーマットを整えることで、その後の読み出し(SSWやROD)の処理を画一にできるからである。また、Doubletの方が種類が多いのは、TGCを2層分(M2とM3)処理するからである。

表 5.1: 必要なボード枚数と量産状況

ボード	ASD	PSB (DCS)	SSW	HPT	SL	HSC	CCI	ROD
必要枚数	~20000	~1600	200	200	48	48	48	48
量産	Done	In Progress	In progress	Not yet	Not yet	Done	Done	Not yet

表 5.2: PS ボードの種類

	Triplet	Doublet
Endcap Wire	EWT0,1,2	EWD0,1,2,3,4
Endcap Strip	EST	ESD0,1
Forward Wire	FT0,1 (Strip 混合)	FWD0,1
Forward Strip		FSD

また、表 5.1 からわかるように、すでに ASD の量産は終わっている。現在、セクターのアセンブリが進んでいることを考えると、もっとも重要になるモジュールは PS ボードである。なぜなら、節 4.2 で見たように、PS ボードは PS Pack としてセクターの側面に取り付けられるからである。PS ボードの量産、検査をするにあたって、PS ボードとリンクする DCS が必要になる。DCS は PS ボードを通じて ASD への閾値電圧の提供、PS ボードなどの電源のモニターといった役割を持っており、PS ボードと一緒に PS Pack に梱包されるのである。

PS ボードは PP ASIC、SLB ASIC、JRC など IC が多く載っており、複雑な動作をしているのでしっかりとした検査システムを作ることが重要である。また非常に数が多いので、今回の量産検査は林栄精機つくば営業所において行われた。そのため、PC を知らない方でも 1 クリックでボードが検査できるような GUI などが要求された。

その PS ボード検査システムを構築した。以下、検査システムについて簡単に説明する。

5.1.1 PSB-DCS 検査システム

図 5.1 に検査システムの概要を、図 5.2 に実際に組んだセットアップを載せる。bit3* から SSW、TTC および PT4 (ProtoType module version.4)[†] をコントロールしている。SPP は TTC から制御され、PS ボードは SSW から制御される。また、DCS は PC から CAN バスにより直接制御される。

図 5.1 にあるように、チェックの内容は主に 5 つである。まず、PS ボードに載っている SLB ASIC や PP ASIC への JTAG が通るかどうかを SSW を用いて検査する。このとき、JTAG が通らなければ、電源ラインが PS ボード上でショートしていたり、SSW-PSB 間のコネクションがしっかりできていないことが多い。当然 JRC の不具合もあるが、JRC の IC は単純な構造をしており、検査がなされているためその不具合は稀である。

次に SLB ASIC から SLB TP (SLB ASIC からのテストパルス。後述。) を行い、SLB ASIC の不良などを発見する。もし、SLB ASIC が不良であった場合、bit 欠けや信号が 1clk 遅く来たりする。ほかにも、SSW がエラー状態を出したりする。テストパルスのデータは、SSW から PT4 に送られる。PT4 には FIFO が実装してあり、その FIFO にデータをダンプして、データを PC から読み出している。その読み出したデータが、テストパルスのパターンと一致するかをチェックしている。

同様に ASD TP (ASD からのテストパルス。後述。) を行い、PP ASIC のチェックをする。こ

*bit3 とは、PC と VME クレートをつなぐバスアダプタである。PC やクレートとをメモリイメージで直結し、接続されたクレートのメモリをあたかも自分のメモリのように扱うことができる。

[†]PT4 は後述する PT5 の前身のモジュール。PT5 と同様に、CPLD と FPGA を持つ汎用性の高いモジュールである。

のとき PP ASIC からの信号は overlap 領域での OR をとっているため、それぞれの PP ASIC からの信号がしっかりと OR をとられているかも確認しなければならない。そのため、PP ASIC1 つ 1 つにテストパルスを実行し（最大 12 個の PP ASIC が検査対象になる）、OR が取られているかを確認している。PP ASIC に不良があった場合、SLB ASIC と同様に、bit 欠けや信号が遅れることが起きる。また、EWD0 と EWD1 のように隣り合った PS ボードの場合は、PS ボードから PS ボードへと信号をやり取りするコネクタの半田不良などを検査する必要がある。

次に ASD TP を利用して、トリガーのチェックをする。ASD TP のパターンをトリガーが出るように設定し、SLB ASIC のトリガールートに不良がないかを確認する。このとき、CTM (Commissioning Trigger Module) を用いている。CTM の FIFO にデータをいれ、正しいトリガーパターンになっているかをシミュレーション[‡]の値と比較する。CTM については、節 5.4 において説明する。

最後に DCS のチェックを行う。ここでは、電源電圧がちゃんとモニターできるか、閾値電圧がしっかりかけられるかなどがチェックされている。これで検査に通ると、PS Pack として組み立てられることになる。

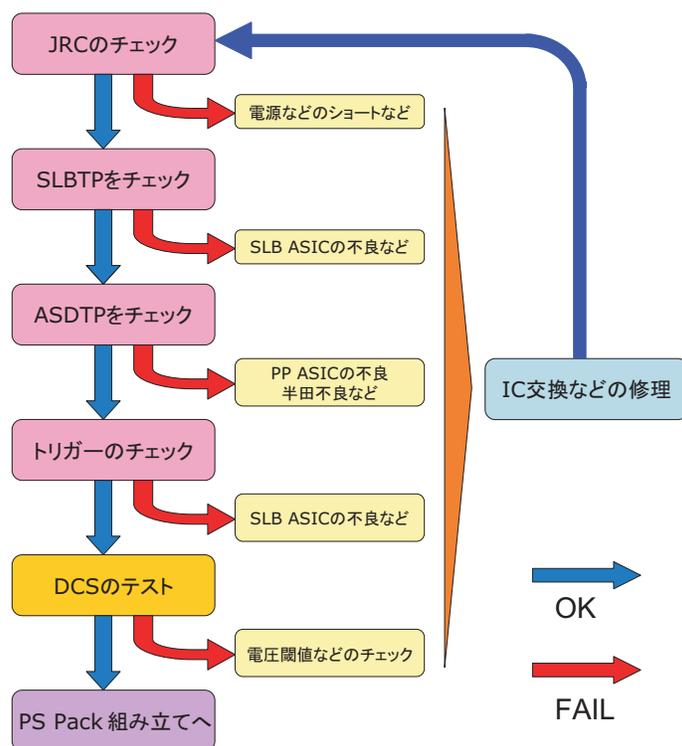


図 5.1: PSB-DCS 検査の流れ

PS ボードに載っている IC をテストすると共に、ボード上のパターンや、抵抗の半田不良などのチェックが求められる。検査に合格すると、PS Pack として組み立てられる。

[‡]TGC のフロントエンドエレクトロニクスのシミュレーションを行うための t1me という枠組みがあり、それを利用する。t1me は SLB ASIC のパターンだけでなく、SL や HPT のシミュレーションクラスも用意してある。

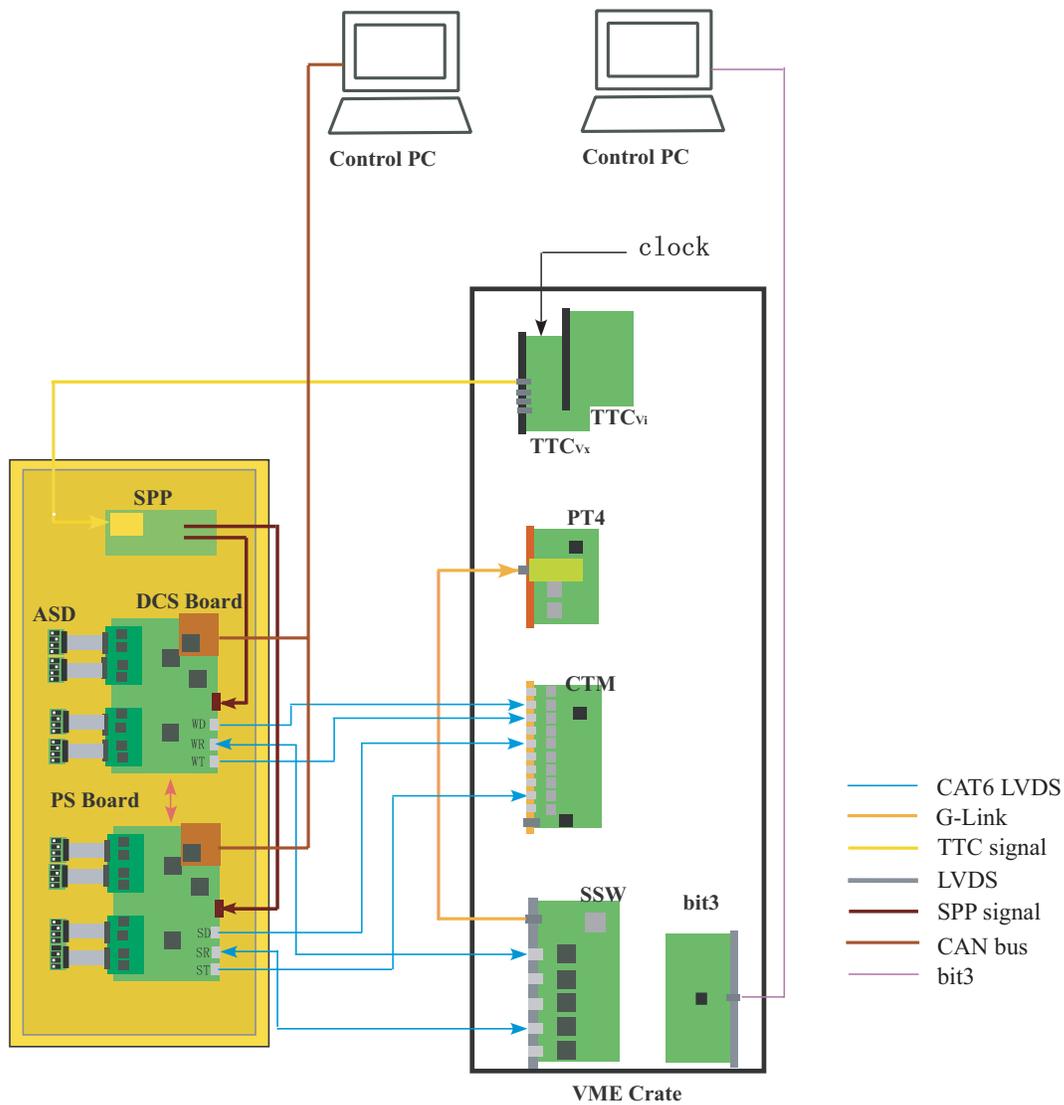


図 5.2: PSB-DCS 検査をするセットアップ

VME クレートに TTC や SSW などのモジュールを集め、それらのモジュールを bit3 を通じて PC から操作する。ただし、DCS は PC から CAN バスによって直接制御されている。

ここまでの作業内容をすべてユーザーにわかりやすく行っていただくため、今回は ROOT を用いて GUI を作成した (図 5.3)。初期化はすべてのボードに共通に行われ、TTC のセッティングや PT4 のコンフィグが行われる。そして次にボードの種類ごとのアイコンをクリックすることによって、検査が行えるようになっている。このとき、検査が正常に終了すると GUI 上に「OK」と表示され、不良品の場合はその不良の原因によって、様々なエラーメッセージが出せるようになっている。また、クリアーは GUI 上のエラーメッセージの消去などを行うアイコンである。

同様に DCS のチェックソフトの GUI を図 5.4 に、林栄精機つくば営業所における検査作業の様子を図 5.5 に載せる。

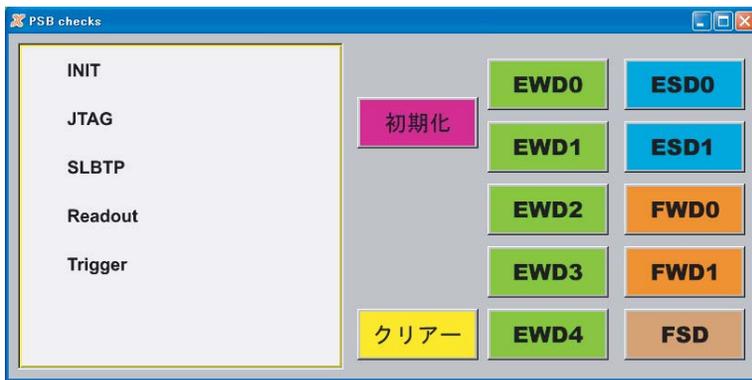


図 5.3: PSB のチェックソフトの GUI



図 5.4: DCS のチェックソフトの GUI



図 5.5: 林栄での PSB-DCS 検査の様子

テストパルスの概要

この林栄での検査に用いている SLB TP と ASD TP について簡単に説明する。SLB TP と ASD TP はこの後 6.3 節にある、1/12 セクター検査にも用いられるテストパルスでもある。これらのテストパルスには次の 2 つの役割がある。

- エレクトロニクスの動作確認
- タイミング調整

エレクトロニクスの動作確認は、SLB ASIC や PP ASIC の動作のみでなく、SSW や ROD といった読み出し系のモジュールすべてに共通する。また、テストパルスを用いたトリガーパターン[§]を作ることも可能であり、トリガーパスの動作確認も可能である。

タイミング調整というのは、SLB ASIC がトリガーマトリックスを出してから L1A を受けるまでのレイテンシーの調整や、ASD と PS ボード間のケーブルによる Delay を調整することである。

[§] テストパルスのヒットパターンは、SLB のマスクパターンなどによって自由に変えることが可能である。そのヒットパターンによって、3 out-of-4 コインシデンスなどが取れるようならば、SLB ASIC はトリガーマトリックスを出す。

これらのテストパルスは、TTC からの Test Pulse Trigger と L1A の 2 つの信号を使って行うことができる。どちらのテストパルスを用いるかは、SLB ASIC の Test Pulse VETO というレジスタ設定によって決まる（図 5.6）。

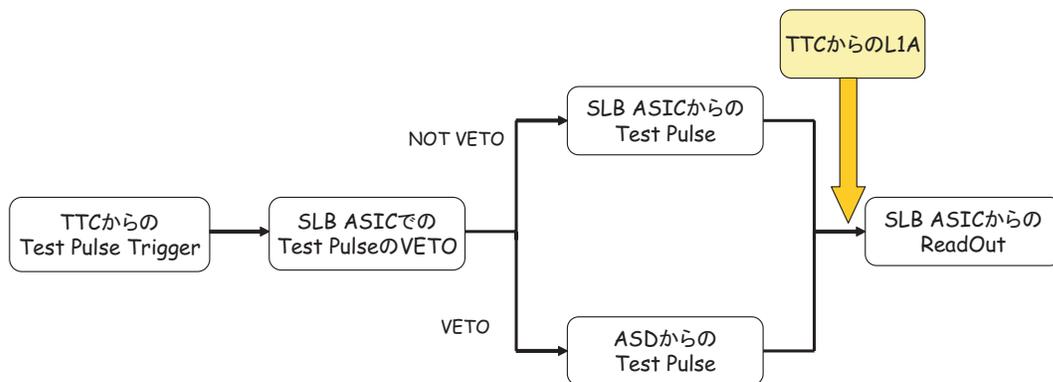


図 5.6: テストパルスの種類の決まり方

テストパルスを行う際の、Test Pulse Trigger と L1A との関係を図 5.7 に示す。まず TTC から Test Pulse Trigger が出されると、SLB TP の場合はテストパルスがそのままパイプラインメモリに入る。その後 L1A が入ると、パイプラインメモリからデランダムマイザへとテストパルスが送られ、データとして読み出せる。ASD TP の場合は、Test Pulse Trigger を受け取った PP ASIC が、ASD へと「テストパルスを出せ」という命令を出す。その命令を受け取った ASD が、PS ボードへとテストパルスを出し、PP ASIC から SLB ASIC へと送られ、パイプラインメモリに保存される。そして L1A を受け取ると、SLB TP と同様にデータとしてテストパルスが読み出される。

このとき、トリガーマトリックスを出すようなヒットパターンにすると、そのトリガーマトリックスからのトリガーを L1A として用いることも可能である。

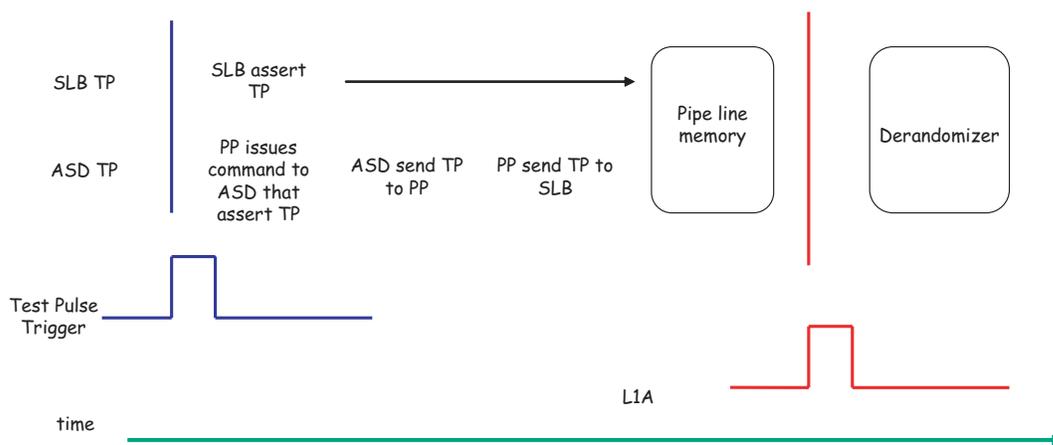


図 5.7: テストパルスにおける TP Trigger と L1A の関係

5.1.2 検査による成果

現在、CERNにてエレクトロニクスの実装検査などが行われているが、その結果によるとPSボードを約300枚検査したうち、エラーとなったのは2枚のボードのみであった。このうち1枚は抵抗の半田不良で、林栄ではたまたま接触していた半田が移動などによって外れてしまったものと考えられる。もう1枚はSLB ASICの不良で詳しい原因はわからないが、検査をすり抜けてきてしまったものだと考えられる。しかし、ここからわかるようにエラーレートは非常に低く($< 1\%$)、CERNでも実装検査を行うことから、このようなエラーボードが実験本番にまぎれることはないと考えられる。また、林栄での検査の歩留まりが90%を下回るようなレートであることを考えると、林栄での検査が大きな成果を出していることがわかる。

5.1.3 SSW、HPT、SLの量産

現在SSWの量産が三井造船にて行われている。SSWにはAntifuse FPGAが搭載されており、ICの焼きこみは終了した。今後、検査が進んでいくと思われる。HPT、SLはデバッグがほぼ完了し、最後の検査が行われている。この検査が終わり次第、量産に入る予定である。

5.2 PT5の開発

TGCシステムのコミッショニングのため、リードアウトを処理するモジュールとしてPT5を開発した。PT5とは、FPGAを搭載したVME汎用モジュールで、ATLAS実験において、TGCエレクトロニクスのテストベンチを構成するために開発されたモジュールである。PT5はFPGAを用いた汎用モジュールなので、FPGAをコンフィグすることによって、様々な機能を持たせることが可能である。ここではRODの役割となる、SSWからのデータを受け取り、S-LinkでROSに送るといった役割を中心に開発を行った。まずPT5の概要と、ボードをそれぞれ図5.8と図5.9に載せる。

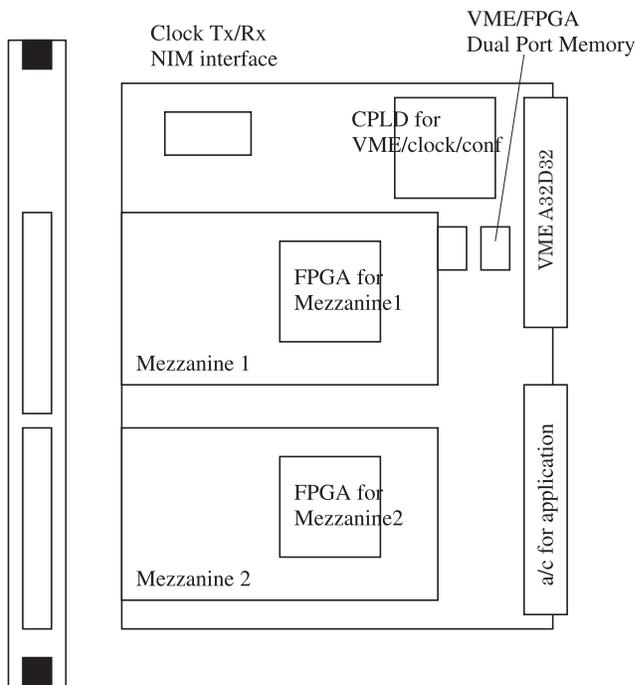


図 5.8: PT5 の概要



図 5.9: PT5

5.2.1 PT5 の仕様

PT5 は次のような特徴を備えたモジュールである。

- 40.8MHz のクロックで十分動作する能力を持つ。クロックは、ボード上の 40.08MHz の水晶振動子と外部 NIM クロックとの選択が可能になっている。その切り替えはジャンパーによって行う。
- VME6U の A32D32 モードのスレーブモジュールである。
- FPGA を 2 個搭載し、任意のデザインを持たすことが可能。
- 2 個の CMC (Common Mzzanine Card)¹Slot を持つ。
- 2 個の DPM を搭載し、大容量のデータ (最大 16bit × 16addr) をメモリに入れることが可能。

また、図 5.10 に、PT5 のデータ線の概要図を載せる。VME からの命令は、一旦 CPLD (Complex Programmable Logic Device) にすべて入る。そして CPLD の中でモジュールアドレスや、チップセレクトを行い、そこからの命令がそれぞれのレジスタ、FPGA などに行くようになっている。また、CMC からのデータはすべて FPGA に入るようになっていて、そこでデータが処理される。そしてそれらのデータは、VME から FPGA の中のデータを読んだり、もう一方の FPGA にデータを送るような処理をする。

以下で、このモジュールにおける IC の具体的な機能について述べる。

¹ここで CMC 規格とは、VME や PC など一般的に使われている規格である。[15] CERN が製作している S-Link メザニンカードのコネクタも、CMC の規格に沿ったものである。

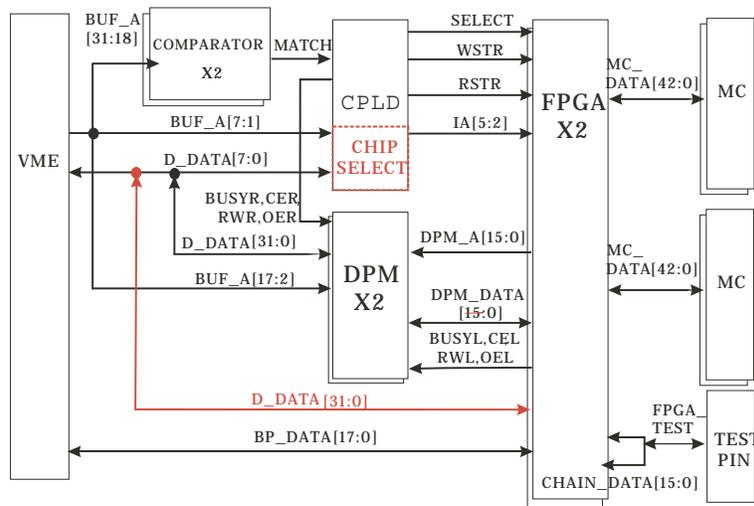


図 5.10: PT5 の data 線の概要図

VME からの命令は CPLD がすべて処理をする。その命令を CPLD がデコードして、FPGA などへ命令を出す。また、FPGA とメザニンカードは 1 対 1 に対応している。

CPLD

VME からの命令を処理する IC として、CPLD を用いている。これは Xilinx 社製の CPLD である、XC2C256-PQ208PIN を使用している。この CPLD の役割は主に 2 つある。1 つは先に述べたように VME からの信号をコントロールする。もうひとつは、クロックラインのコントロールである。外部クロックを用いる場合や、FPGA へのクロックの供給などを行っている。

FPGA

Xilinx 社製の FPGA である、Spartan3-XC3S400-FG320PIN を 2 個使用している。この IC の仕様を表 5.3 に載せる^{||}。この仕様の範囲内で、自由にロジックを組むことができるのが FPGA の最大の特徴である。PT5 では 1 つの CMC Slot に 1 つの FPGA を対応させるように設計しており、メザニンカードが関わるデータ処理が主な仕事である。この FPGA をコンフィギュレーションすることによって、PT5 は様々な機能を持つことができ、汎用性を高めている。たとえば、現在は次のような機能を持たすことが可能である。

1. 2 つの G-Link からのデータを受信し、処理する。
2. S-Link を用いた PC への送信。
3. G-Link でのデータ送信。
4. LVDS 信号の送受信。

ここで 1 と 2 は主に ROD の役割を考慮して作られた機能である。この部分に関しては後述する。また、FPGA 同士は 16bit の信号線につながっている。この部分はテストピンにもつながっている。

^{||}表中の CLB は Configurable Logic Block の略。

表 5.3: PT5 に搭載している FPGA の仕様

システムゲート数	ロジックセル	総 CLB	分散 RAM	ブロック RAM	ユーザー IO
400K	8064	896	56K	288K	221

メザニンカード

FPGA と 1 対 1 になるようにメザニンカード Slot が 2 つ搭載されている。現在開発されているメザニンカードは次の通りで、今回は PT5 用に G-Link を 2 個搭載したものを開発した (S-Link のメザニンカードは CERN から提供されるので、開発する必要はない)。また、以前開発した PT4 用のメザニンカードとの互換性を持たせてある。

- LVDS シリアライザ/デシリアライザ
このメザニンカードは CAT6 ケーブルのコネクタを持ち、PS ボードからのテストパターンデータの生成や PS ボードからのデータを受け取ることも可能である。IC は National Semiconductor 社の DS92LV1023/1224 のチップセットを用いている。
- LVDS デジタル input/output
ASD などの信号を意識して作られたメザニンカードである。DS90LV047A/DS90LV048A のチップセットを用いている。
- G-Link シリアライザ/デシリアライザ
SSW からのアウトプットを受け取ったり、SL や ROD へのテストパターンデータを作ることが可能である。IC は Agilent Technology 社の HDMP1032/1034 チップセットを用いている。これは SSW などに載っている IC と同じである。
- G-Link×2 デシリアライザ
SSW2 枚からのデータを受け取ることができるように、HDMP1034 のチップを 2 つ搭載したメザニンカードである。マルチプレクサとしての能力を FPGA に実装して読み出すほか、1 つずつを使用することも可能。

5.2.2 メザニンカードの開発

1/12 セクターをカバーするために、G-Link の受信用コネクタを 2 個載せたメザニンカードを開発した。セクターと SSW の口の対応表 5.4**を見ればわかるように、1/12 セクターの半分をカバーするために、M1 では SSW が 1 枚、M3 では 2 枚必要になるため、これをカバーしてデータが読めるようにするために開発した。図 5.11 が完成したメザニンカードである。

**φ に関する定義は、節 6.3.2 で説明する。

表 5.4: PSB と SSW の対応表

SSW Mouth No.	M1	M3	
		ODD ϕ	EVEN ϕ
0	EWT1 (ODD ϕ)	EWD0	EWD0
1	EWT1 (EVEN ϕ)	EWD1	EWD1
2	EWT2 (ODD ϕ)	EWD2	EWD2
3	EWT2 (EVEN ϕ)	EWD3	EWD3
4	EST (ODD ϕ)	EWD4	EWD4
5	EST (EVEN ϕ)	ESD0	ESD0
6	FT0		FWD0
7	EWT0 (ODD ϕ)		FWD1
8	EWT0 (EVEN ϕ)	ESD1	ESD1
9	FT1		FSD



図 5.11: G-Link が 2 個載ったメザニンカード

5.3 S-Link でデータを送る HDL の開発

ROD がまだ開発段階であるため、TGC システムからのリードアウトの試験にはこれまで Test ROD を用いていた。しかし、Test ROD は大量のデータを与えると動作が非常に不安定になる (~1kHz ままで動作範囲) ため、ROS へ送るシステムを開発するシステムが必要になった。そこで、CMC の規格に沿った PT5 を用いて S-Link でデータを送ることが考えられた。その開発内容について述べる。

5.3.1 SSW からのデータレートの見積もり

2 枚の SSW からデータを受け取ること考えたとき、最もデータ量が多くなると考えられるのは M1 からのデータである。これは、SSW がカバーする面積が大きいこともひとつだが、SSW のデータフォーマット (付録 B.3 を参照) を考えたときに、Triplet の方がデータ量が多く

なるからである。

まず、トリガーレートを考える。宇宙線ミュオンからのデータを考えたとき、M1 では1枚のSSWで1/12セクターの半分をカバーすることから、次のように計算できる。

$$10 \times 10 \times \pi \times \frac{1}{12} \times \frac{1}{2} \sim 13\text{m}^2$$

この面積ですべての宇宙線ミュオンをトリガーしたとすると、 $\sim 2000\text{Hz}$ 程度になると考えられる。つまり2枚のSSWでは、約 4000Hz になる。また、このときのデータは1つのSSWで1トラック程度であると考えられる。1トラックを得た時のSSWからのデータ量は、約 $16\text{bit} \times 40\text{word} \times 2\text{SSW}$ であると思われるので、最低でもそのレートはカバーできるようにする。

また、テストパルスのようにトリガーレートはある程度選べるが、ヒット数が多い場合を考える。このとき、SSWのすべての口を使っているような場合を考えた場合、最低でも約 $16\text{bit} \times 250\text{word} \times 2\text{SSW}$ になると見積もれるので、トリガーレートは低くてもデータサイズが大きいイベントにも対応できるようにする必要がある。

5.3.2 スキーム

SSW2枚からデータを受け取り、そのデータフォーマットを変換してROSに送る。図5.12はその概要である。その手順は、次のようになっている。

1. SSWからのデータをG-Linkで受け取る
2. マルチプレクサを通して、SSWのデータをまとめる
3. ヘッダとトレイラの添付
4. イベントカウンターの添付
5. $16\text{bit} \rightarrow 32\text{bit}$ 変換
6. ROSでデータを送る

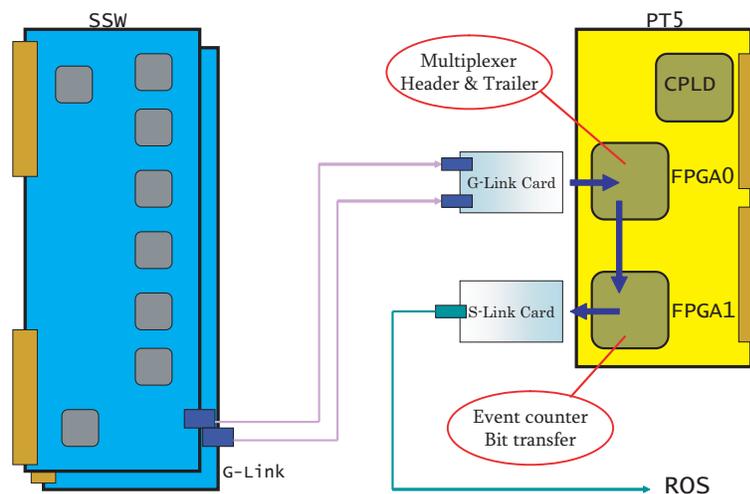


図 5.12: SSW から ROS に送るシステムの概要

SSW2枚からのデータを処理する。SSWそれぞれのデータに対してROSのデータフォーマットに変換し、それをS-Linkで送信する。

今後、SSW から G-Link を受ける FPGA を Rx、ROS へ送る S-Link の機能を載せる FPGA を Tx と呼ぶ。以下、それぞれの手順について説明する。

マルチプレクサ

Rx の FPGA で G-Link2 個の口からデータを受け取るため、マルチプレクサを実装している。これは、次のような手順で行われる。

1. それぞれの G-Link からのデータを、いったん別々の FIFO に入れる。この FIFO には 11 段 ($10^{11} = 2048$) の深さを持たせてある。そして、読み出しの命令がくるまでデータを保持しておく。
2. 次に片方の FIFO から読み出す。このとき、SSW のヘッダとトレイラを確認してから、FIFO からの読み出しを終える。
3. もう片方の FIFO は先の FIFO から SSW のトレイラが確認できたら読み出しをはじめる。
4. 読み出されたデータは、1 つの FIFO に一旦収められる。この FIFO は 10 段の深さを持っていて、次の ROD のヘッダとトレイラをつけるまで、データを保持している。

ヘッダとトレイラ

Rx の FPGA にて、ROD のフォーマットに即したヘッダとトレイラをつけている。このヘッダとトレイラをつけた後、Tx の FPGA にデータが送られる。

イベントカウンター

Tx の FPGA にて、SSW のイベントを数えて表示する、イベントカウンターをトレイラに入れている。これによって、ソフトウェアからの読み出しを容易にしている。

16bit→32bit 変換

G-Link のデータフォーマットは 16bit だが、S-Link は 32bit でデータを送るフォーマットになっているため、最後にこの変換をして、S-Link でデータを送る。図 5.13 にそのデータ変換の図を載せる。

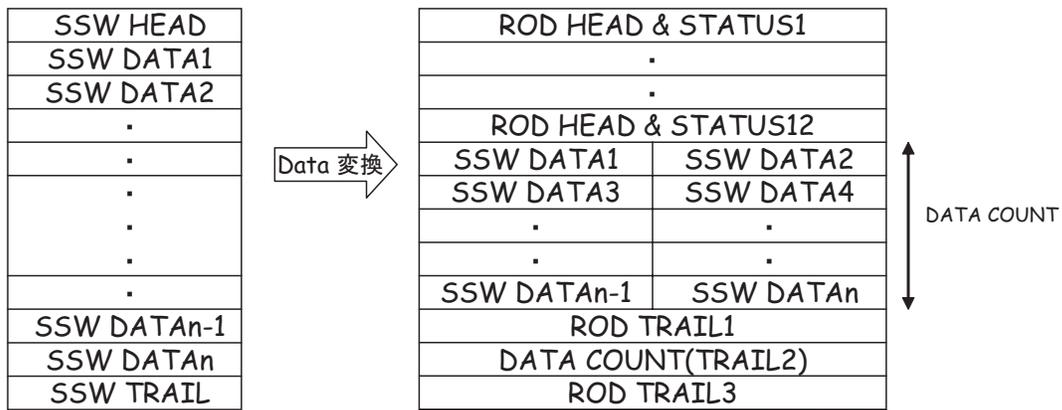


図 5.13: ROD のフォーマット

5.3.3 S-Link でデータを送る HDL の検証

図 5.14 に SSW のヘッダとトレイラを受け取ったデータが、ROD のヘッダとトレイラに変換されている様子の論理合成シミュレーション図を載せる。HDL の開発は Xilinx の ISE ソフトウェアを用いており、シミュレーションも ISE ソフトウェアによって行った。SSW のデータフォーマットが ROD のフォーマットに正しく変換されているのがわかる。さらに、マッピングや内部配線を終えた時点での最大動作周波数は、Rx に対しては約 100MHz、Tx に対しては約 135MHz で動作すると、シミュレーションされている。これは 40.08MHz に対して十分大きな値なので、クロックが動作のリミットを決めることはならなさそうである。

また実装試験を行うため、G-Link を用いたダミーの検査を行った。セットアップを図 5.15 に載せる。これはつまり、16bit→32bit 変換以外のモジュールに関する試験である。このセットアップにおいて、約 40kHz のトリガーレートで、SSW からのデータが約 16bit × 100word × 2SSW であると仮定してテストを行った。このテストでは 10⁶ イベントに対して、エラーは 0 であり、今後 S-Link を用いた試験を行っていく予定である。

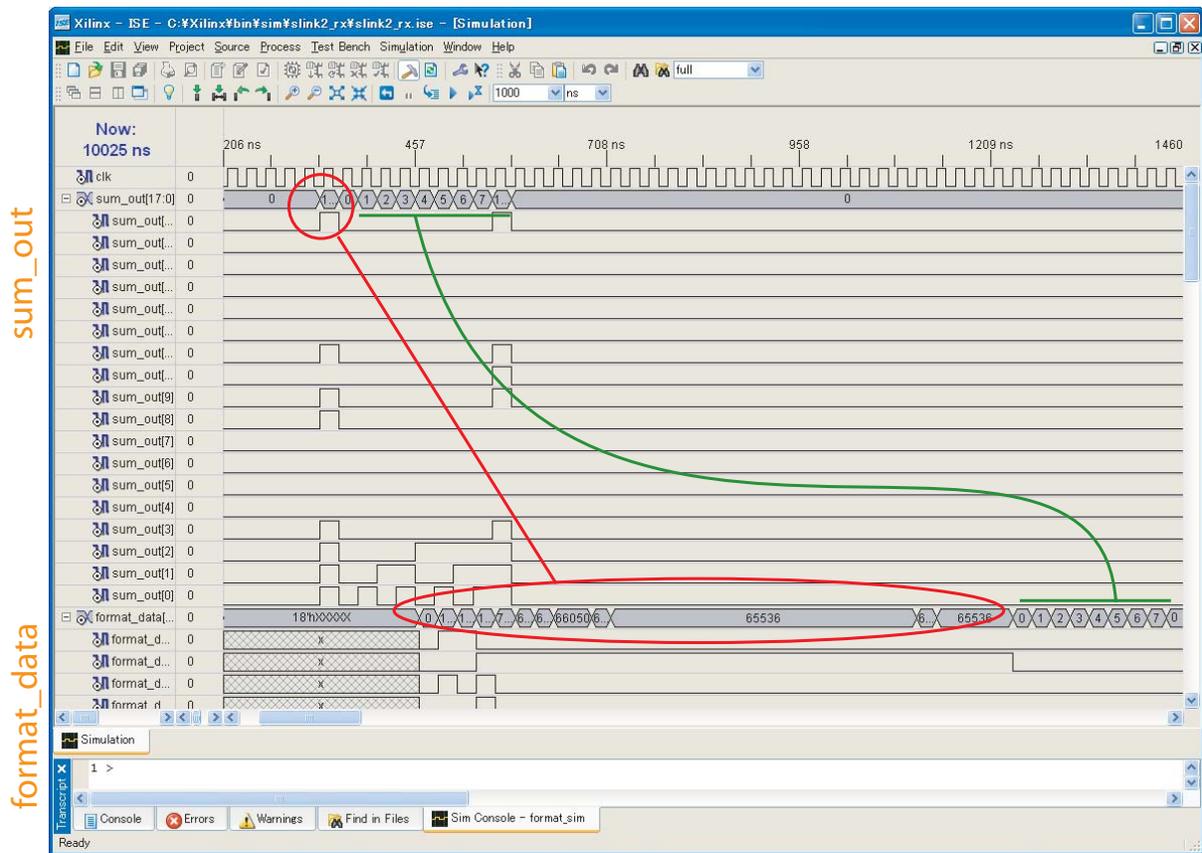


図 5.14: フォーマット変換の論理合成シミュレーション

sum_out が SSW からのデータで、ここではインプットに当たる。format_data が変換された後のデータである。データに SSW のヘッダを与えたとき（sum_out の赤丸がしてある部分）、数クロック後に ROD のヘッダに変換され、SSW のデータ部分がそのまま出てきている（緑の線が引いてある部分）。

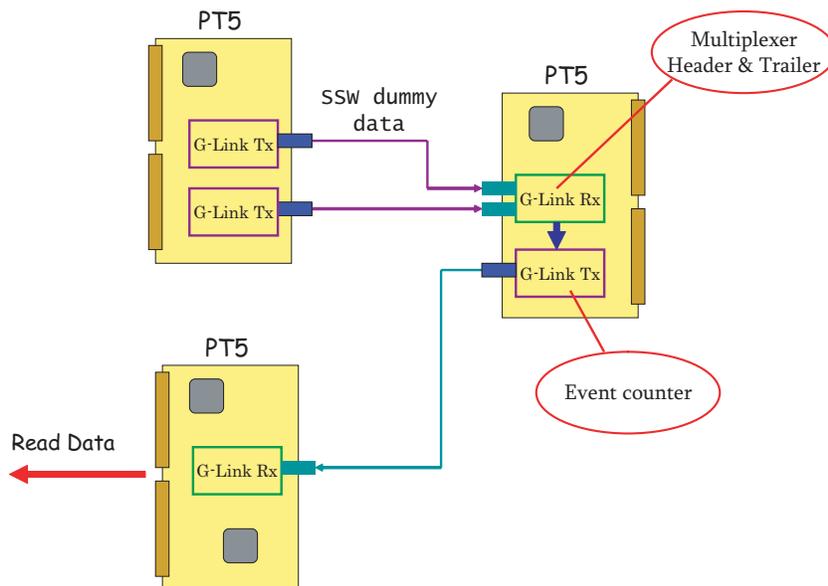


図 5.15: G-Link を用いた実装試験のセットアップ

5.4 CTMにおけるHDL開発

TGCはミューオンを捕らえることを目的としているので、宇宙線ミューオンを用いて検査をすることが可能である。しかし、宇宙線ミューオンを用いてTGCシステムを検査することを考えたときに、HPTに関して次の2つの問題が生じる。

- HPTはM1、M2、M3すべての情報を使ってトリガーを出している。しかし、セクターの検査現場であるCERNのBlding180(後述)ではそのような配置にすることは不可能である。
- HPTは、IP(Interaction Point)からのトラックにしか感度を持っていない。

よってHPTモジュールではトリガーを出すことが困難になる。そこで、より簡単なトリガーを出すモジュールとして開発されたのがCTMである。

5.4.1 CTM

このモジュールはトリガーを出すという目的から、HPTと同じような基盤設計になっている。ボード上に載っている主なICはCPLDとFPGAのため、耐放射線性はないが、より柔軟なロジックを組むことが可能である。図5.16にその写真を載せる。

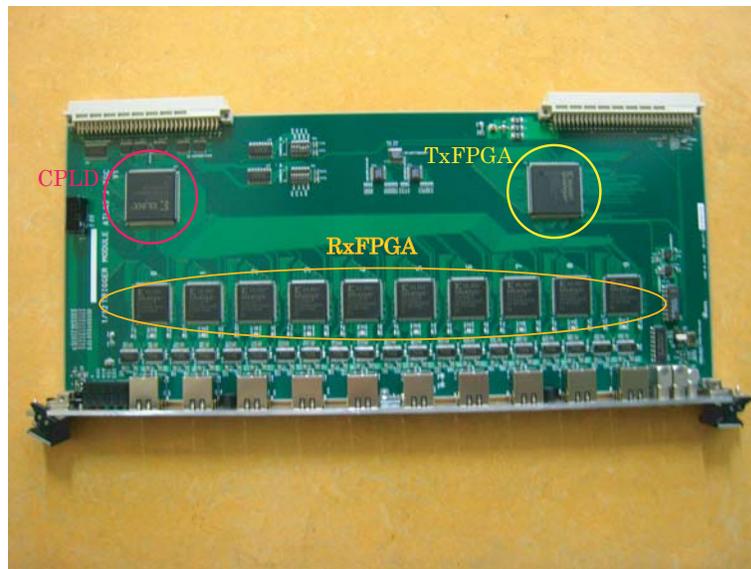


図 5.16: CTM

以下ICに注目して、その機能を述べる。

CPLD

VMEプロトコルとしてCPLDを搭載している。CPLDはPT5と同じ、XC2C256-PQ208PINを用いており、このICでVMEからの命令を処理する。

RxFPGA

PS ボードからのトリガーマトリックスを処理する FPGA で、CTM には 10 個搭載されている。この FPGA には Xilinx 社製の XC2S50E-TQ144PIN を用いている。その IC の仕様を、表 5.5 に載せる。CTM には CAT6 のコネクタ (LVDS シリアル信号を受け取るコネクタ) が 10 個あるため、それぞれのコネクタを 1 個の FPGA で処理するように設計されている。この数の FPGA で、M2 および M3 であれば 1/12 セクターの 1/4 をカバーすることが可能である。

表 5.5: RxFPGA の仕様

システムゲート数	ロジックセル	総 CLB	分散 RAM	ブロック RAM	ユーザー IO
50K	1728	384	24K	32K	102

TxFPGA

RxFPGA からの信号を受け取り、実際にトリガーを出す FPGA である。CTM には 1 個搭載されており、この 1 個で 10 個の RxFPGA を処理する。TxFPGA には Xilinx 社製の XC2S50E-PQ208PIN を用いている。この IC は RxFPGA に使われている IC とユーザー IO 数が異なるのみで、ユーザー IO は 146PIN である。TxFPGA からトリガーされた信号は、NIM シグナルとしてアサートされる。NIM コネクタは 4 つ搭載されており、最大で 4 本のトリガーシグナルを出すことが可能になっている。

5.4.2 トリガーを出す HDL 開発

SLB ASIC から出されるトリガーマトリックスから、トリガーを出す HDL を開発した。その概要図を図 5.17 に載せる。その過程で重要になるのは、PS ボードからの LVDS シリアル信号クロックと、ボードのクロックのスキューを合わせる事と、任意のトリガーマトリックスからトリガーを出すことである。以下、RxFPGA と TxFPGA に分けてその HDL の概要について述べる。

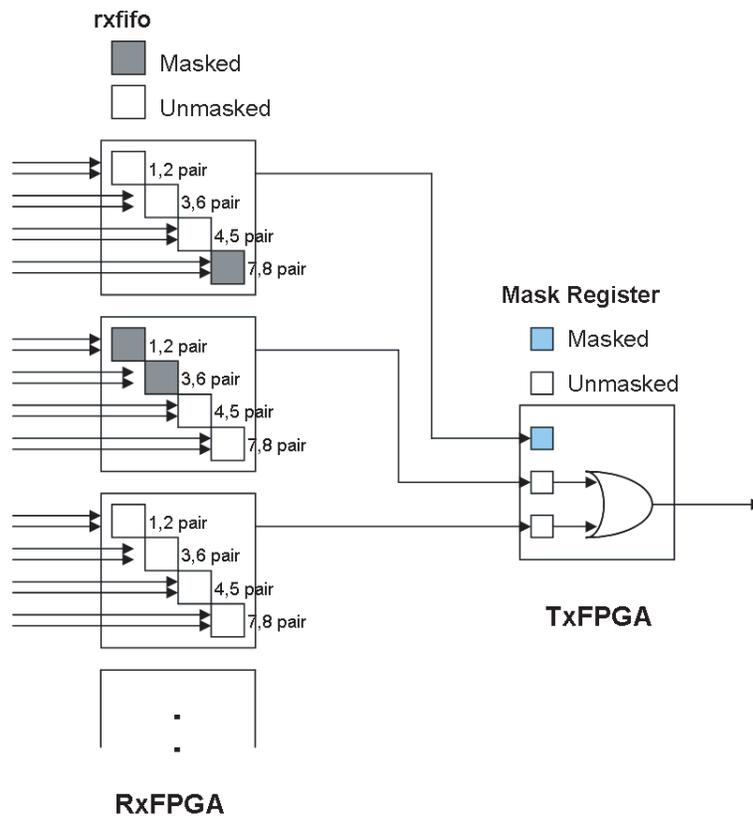


図 5.17: トリガーを出す HDL のブロック図

RxFPGA の役割

RxFPGA では 3 つのことを行っている。

- クロックスキューを合わせる
- すべてのトリガーマトリックスを捕らえる
- ケーブル対のマスク

まず、クロックスキューは、Independent CLK FIFO によってあわせている。この FIFO は書き込みと読み込みのクロックが異なってもよい FIFO で、書き込みを LVDS 信号のクロック、読み込みをボード上のクロックにすることによって、スキューを合わせる事が可能になる。

また、その FIFO に書き込むときに Idle 状態以外なら書き込みというロジックを入れている。これによって、すべてのトリガーマトリックスを捕らえることが可能になる。

最後にケーブル対のマスクである。ここでケーブル対とは、CAT6 の信号線の対のことである。CAT6 は 8 本の信号線によって成り立っており、2 本ずつ 4 つのペアとして差動シリアルにしているのである (図 5.18)。それぞれ 1,2 対、3,6 対、4,5 対、7,8 対となっているのが一般的で、PS ボードもそのような仕様になっている。このケーブル対は、PS ボードによっては 4 対すべてを使っていないボードもあり、そのマスクをする必要がある。今回はレジスタによって制御可能になっている。

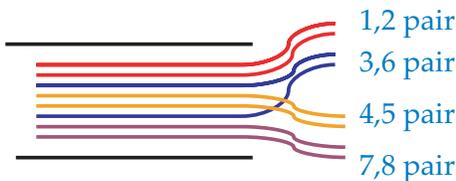


図 5.18: LVDS の信号線のペア

TxFPGA の役割

TxFPGA では各 RxFPGA 単位でのマスク、および RxFPGA からの信号をまとめるロジックを入れてある。RxFPGA 単位でのマスクにはそのようなレジスタを実装してある。そしてそのマスクがあいている RxFPGA 信号の OR をとり、最終的にトリガーをアサートしている。

5.4.3 トリガーを出す HDL の検証

図 5.19 にクロックスキューをあわせるモジュールの論理合成シミュレーションの図を載せる。Independent CLK FIFO に書き込むクロックを読み込むクロックとずらしているが、しっかり読み出しが行えていることがわかる。また、実際に PS ボードからのトリガーマトリックスを受け取り、トリガーを出すことをオシロスコープにて確認した。

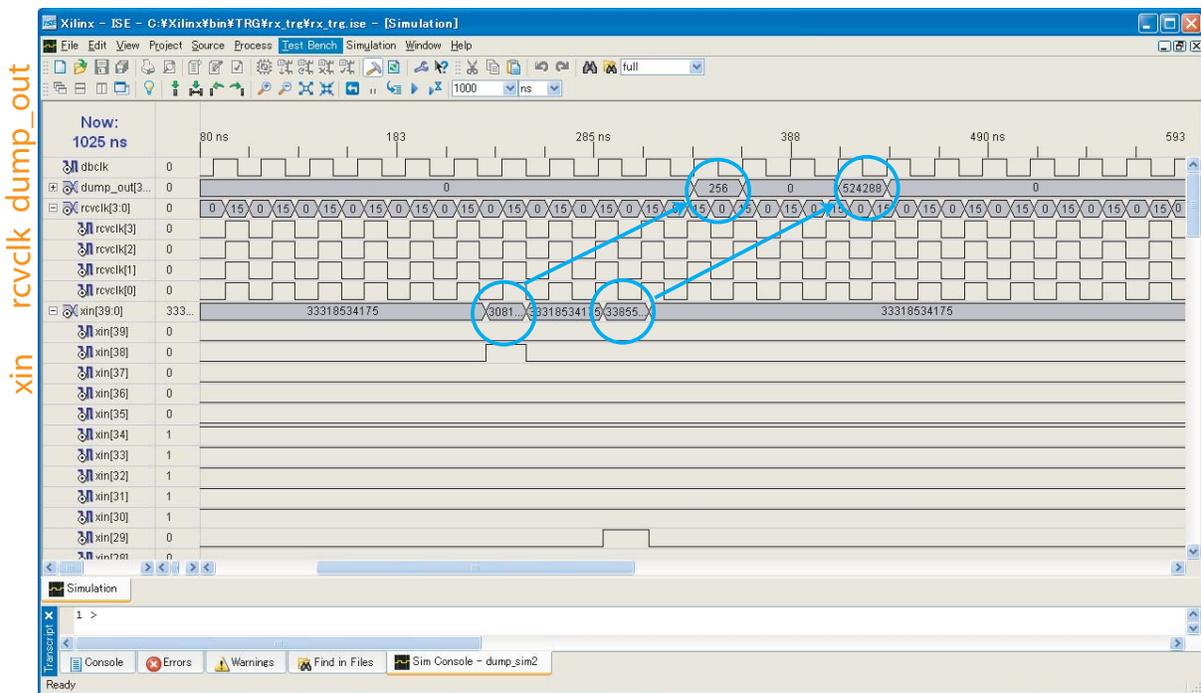


図 5.19: クロックスキューをあわせるモジュールの論理合成シミュレーション

わざとクロックのスキューをずらして FIFO に入れているときの論理合成シミュレーション。書き込みクロックが rcvclk である。このクロックに合わせてデータ (xin) を入れ、読み出しクロック (dbclk) で読み出せるかをシミュレーションした。アウトプットである dump_out が、入力したデータと同じように 2 つパルスを出していることがわかる。

5.5 Manualソフトウェア

これらのモジュールコントロールのために、Online ソフトウェアの枠組み（節 4.4 を参考）を用いて、Manual ソフトウェアという、SBC を用いたコマンドラインから使えるソフトウェアを開発している。Manual ソフトウェアは TGCModules と TGCRCDFEMModules をベースにしたもので、基本的に Online ソフトウェアからのアクセス方法と変わらないように作られている。PT5 や CTM をセクター検査（節 6.3）やコミッショニング（節 6.5）で使用することを考えると、bit3 からだけでなく SBC からのアクセスが必要になる。これは、Online ソフトウェアが SBC からのアクセスによって作られているからである。

現在、開発してある Manual ソフトウェアは次の通り。PT5 や CTM だけでなく、様々なモジュールのソフトウェアが開発されている。

- ManualSSW
- ManualPS
- ManualTtc
- ManualPT5
- ManualTRG（CTM 用）

ただし ManualPT5 と ManualTRG はまだ最終版ではなく、レジスタなどの設定が十分ではない。また、今後 SL 用や HPT 用の Manual ソフトウェアの開発を行っていく予定である。

第6章 TGCシステムのコミッショニング

本章では、宇宙線ミュオンを用いた TGC システムのコミッショニングについて議論する。現在 ATLAS の実験開始に向けて、TGC も次々とインストールが進んでいる。当然ながら、TGC システムが正しく動くことを確認してからインストールを行う必要がある。

その動作を確認するため、2つのステップを踏んでいる。第一段階として、主にエレクトロニクスの検査に目的を置いた、セクター検査と呼ばれる検査である。この検査はセクターに取り付けられている PS ボードの確認を主な目的としているが、その際の PS ボードへのケーブルリングなどの確認もしている。そして、エレクトロニクスの動作やケーブルリングが正しいと確認されたことを確認した後、第二段階として宇宙線ミュオンを用いたコミッショニングを行う。このコミッショニングによって、予想通りの動作が確認されれば、TGC システムはインストールされ、PIT での ATLAS ミュオンスペクトロメータのコミッショニングや、ビームを用いた ATLAS 検出器全体のコミッショニングへとつながる。

今回の研究として、そのセクター検査システムの構築と、宇宙線ミュオンを用いた TGC システムのコミッショニングを行った。その方法と結果、そして考察について述べる。

6.1 ATLAS 検出器のインストールスケジュールと TGC システム

ここでは、ATLAS 検出器のインストールスケジュールと、インストールする際に TGC システムがなさなければならない ToDo リストを挙げる。

6.1.1 インストールスケジュール

図 6.1 は 2006 年 9 月からの、ATLAS 検出器のインストールスケジュールである。ビームが出るのは 2007 年 11 月の 2 週目になっているが、2007 年 11 月には LHC が閉じるので、そこまではインストールを終えて、すべての検出器の準備を整えておく必要がある。しかし、現時点（2007 年 1 月）でインストールされていなければならない、C-Side* の M2 などはインストールされておらず、スケジュールは遅れが指摘されている。原因は加速器のインストールの遅れなど様々であるが、ビームが出るまでにはすべての検出器のインストールを完了し、実験が行われるように努力がなされている。

*ATLAS では、円筒形の円の部分をそれぞれ A-Side と C-Side と呼ぶ。

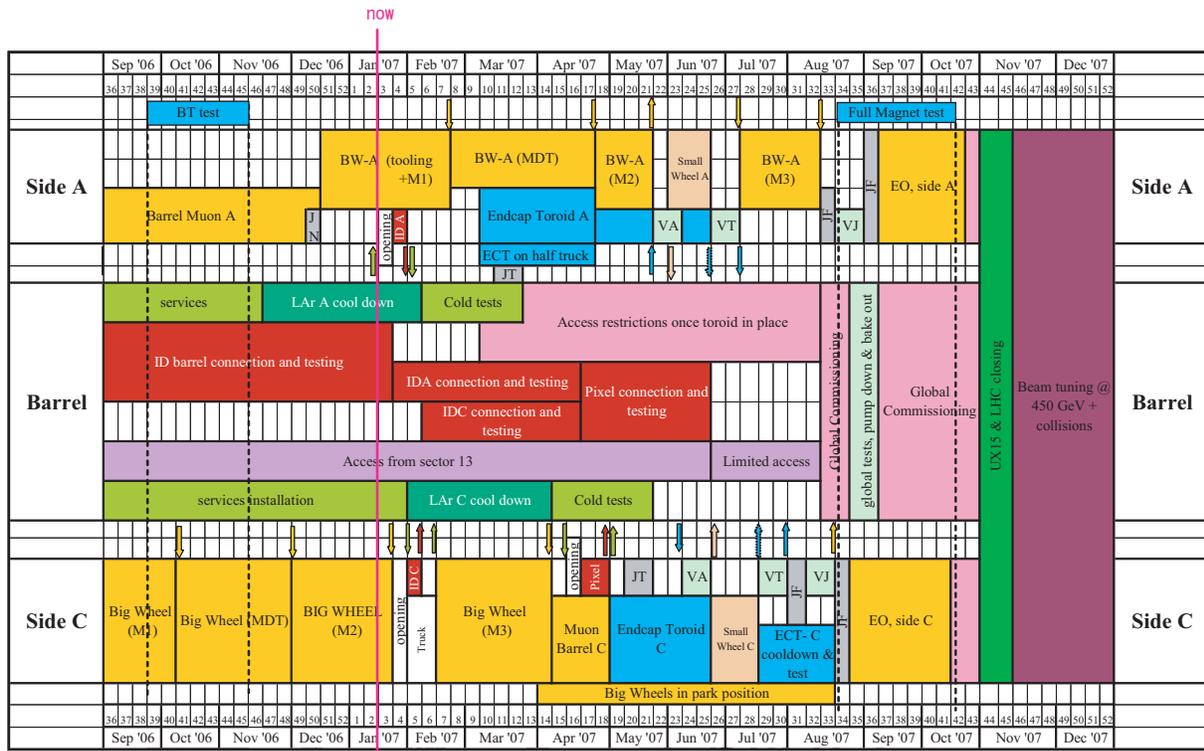


図 6.1: ATLAS 検出器のインストールスケジュール

2006年9月からのATLAS検出器のインストールのスケジュール。2007年の11月にはビームが開始する予定。[14]

6.1.2 TGCシステムにおけるToDoリスト

我々は上記にある実験開始のスケジュールに合わせて、TGCシステムを構築しなければならない。そのTGCの構築手順について簡単に述べる。その手順は簡単には次のようになっている。

1. TGC セクターの建設。
2. TGC セクターにおける、HV やガス、エレクトロニクスなどの個別検査。
3. 地上における、TGC セクターの宇宙線ミュオンを用いたコミッショニング。
4. ATLAS PIT における、TGC システム全体の宇宙線ミュオンを用いたコミッショニングやビームによるキャリブレーション。およびミュオンスペクトロメータ全体のキャリブレーションなど。

現在は1~3の段階にある。今回、2と3の手順についてその検査システムやコミッショニングシステムを構築した。

6.2 セクターアセンブリ

インストールのスケジュールに合わせて、CERNのBuilding180(図6.2)において1/12セクターの建設が進んでいる。また、アセンブリが終わったC-SideのM1などはすでにATLAS PIT

にインストールされている。現時点ではC-SideのM1、M2、M3の大半が建設され、A-SideのM1の建設が進んでいるところである。

ここでは、そのセクターアセンブリの方法について述べる。

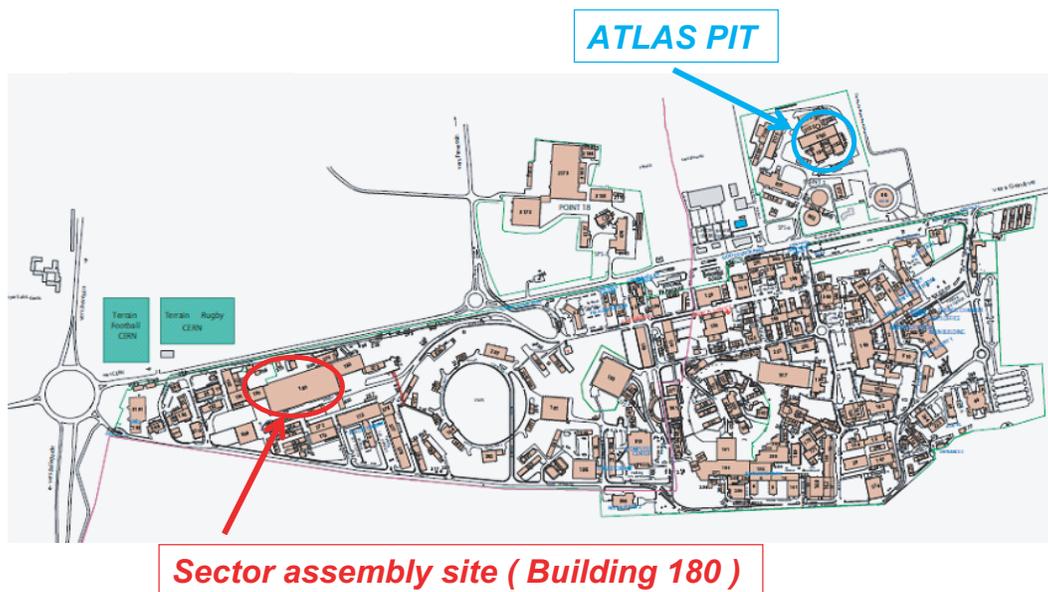


図 6.2: Building180 と ATLAS PIT の場所

CERN の MAP。赤く丸をしてあるところが Building180 で、青の丸が ATLAS PIT の場所である。

6.2.1 セクターアセンブリの手順

1/12 セクター構築の流れは、次のような手順で進む。

1. チェンバーのガスリークなどのチェック (図 6.3)
2. 水平状態での組み立て (図 6.4)
 - (a) シグナルケーブルや LV/HV ケーブルの配線
 - (b) ガスパイプの配線
3. 垂直状態でチェンバーのインストールとエレクトロニクスインストール (図 6.5)



図 6.3: チェンバーの検査の様子



図 6.4: 水平状態での組み立て



図 6.5: 垂直状態での組み立て



図 6.6: 検査前の様子

チェンバーとエレクトロニクスの結線などが行われると、セクター検査を行う（図 6.6）。

6.3 セクター検査システム

1/12 セクターをインストールする前に検査する項目は、ガスリークや HV/LV などの電源、配線チェックなど様々なものがあるが、今回、リードアウトにとって重要になるエレクトロニクスの検査システムを構築した。その検査システムについて説明する。

6.3.1 検査目的

セクター検査の主な目的はエレクトロニクスの検査とケーブリングの確認である。具体的には次のようなことの確認をしている。

- ASD の動作（ASD の破損や、チェンバーなどとのショート）
ヒットマップのチャンネル欠損などによって発見することが可能。
- ケーブル（配線、断線）
2 種類のケーブルについて検査する。1 つは ASD と PP ASIC の間の LVDS ケーブルで、断線に関してはヒットマップから判断できるが、チェンバーの層[†]に関するスワップは判断することが困難である。しかし、このスワップに関しては宇宙線ミュオンを用いたコミショニングのときに発見可能である（後述のコミショニングの節 6.5.2 を参照）。もうひとつのケーブルは、PSB-SWW 間の CAT6 ケーブルである。このケーブルについては JTAG を行うことなどによってすぐに確かめることができる。
- PSB の動作
リードアウトの機能はヒットマップや、SSW が出すエラー状態などによって判断することが可能だが、トリガーに関する部分に関しては、宇宙線ミュオンを用いたコミショニングにて確認ができる（節 6.5 を参照）。
- タイミング
エレクトロニクスによるレイテンシーや、ケーブルによる Delay がそれぞれ計算値と正しいかどうかをチェックする。

[†]節 3.2.2 で述べたように TGC は 2 層、または 3 層から成り立つ。

初期設定

PS ボードに対するレジスタの設定や SSW の設定、ROD の設定などを行う。その設定の中で重要なのは、SLB TP と ASD TP を行う際のレイテンシーや、Delay の設定である。まず始めに、TTC からのテストパルストリガーと L1A の時間差を知り、設定する。設定が正しいことが確認されたら、ケーブルによる Delay などを設定して、その Delay が正しいかどうかを確認する。具体的な手順を次に挙げる。

1. テストパルストリガーと L1A の間の時間をオシロスコープで確認し、それにあわせて SLB ASIC へのレジスタの設定を行う。図 6.8 はテストパルストリガーと L1A のオシロスコープの図である。
2. SLB TP によって、その設定値が正しいことをヒットマップで確認する。
3. ASD と PP ASIC 間のケーブルの長さから、その Delay を計算し設定する。
4. ASD TP によって、その計算値が正しいことを確認する。この Delay の設定されたことを確認したヒストグラムを図 6.9 と図 6.10 に載せる。

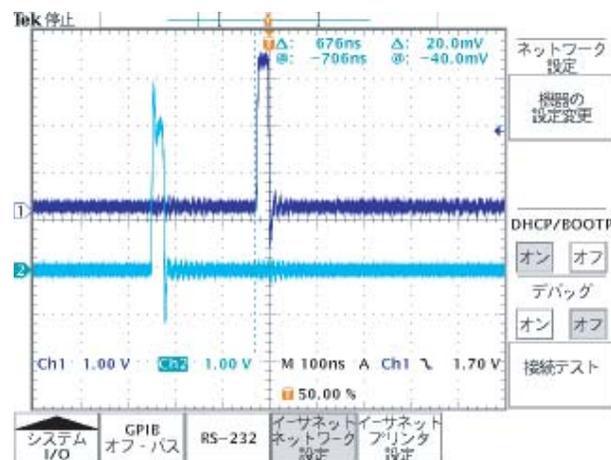


図 6.8: L1A とテストパルストリガーのオシロスコープ画像

濃い青が L1A で薄い青がテストパルストリガーである。このとき、約 250ns なのでそのようにレジスタを設定すると読み出せる。

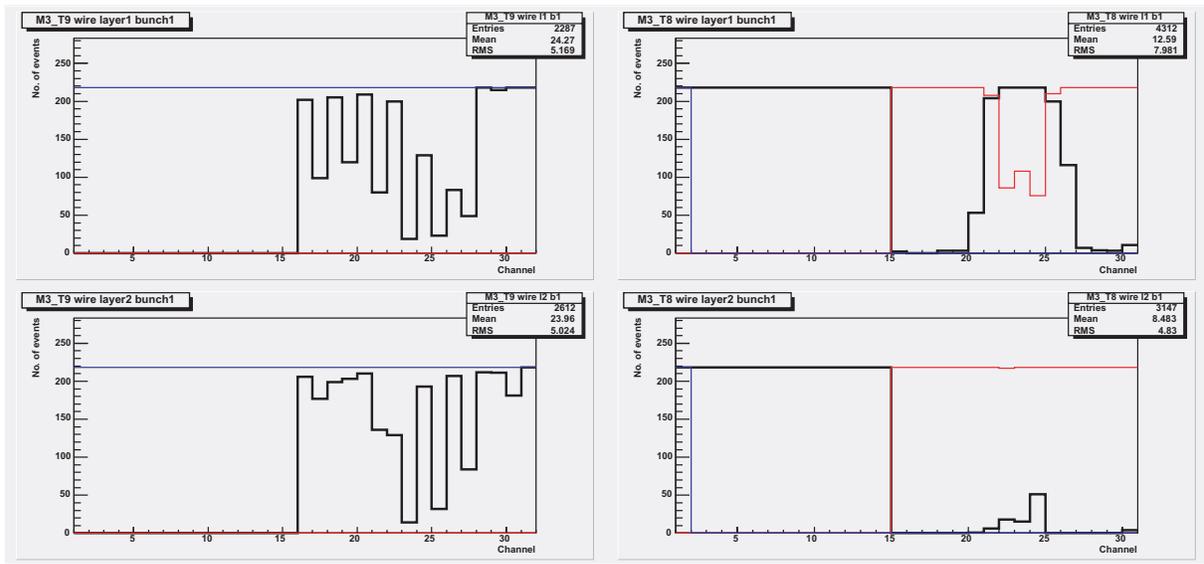


図 6.9: Delay を合わせる前

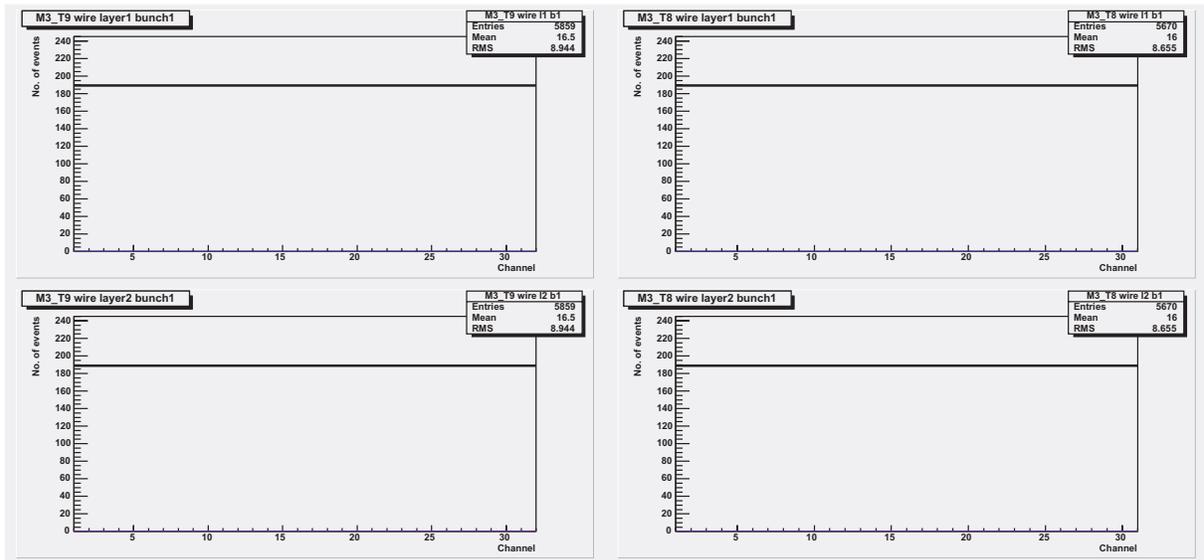


図 6.10: Delay を合わせた後

それぞれ、M3 の T9 (左) と T8 (右) ワイヤのテストパルスのデータで、Delay を合わせる前と合わせた後のデータである。テストパルスなのでヒストグラムはフラットになる。Delay を合わせる前は、遅い信号や早い信号が見えているが、合わせた後はすべてのチャンネルで現在のイベントを捕らえていることがわかる。

ここで、ヒストグラムの読み方を定義しておく。

本論文では C-Side の M3 における、 $\phi 3$ の Endcap と $\phi 2$ の Forward のヒストグラムのみを扱う。C-Side の M3 におけるチェンバーの名前とその位置の対応については、図 6.11 に載せる。

ヒストグラムの横軸はチャンネルで、縦軸はヒット数を表す。ワイヤに関しては、チャンネルが大きくなるほど (右に行くほど) η が大きくなり、ストリップ[§]に関してはチャンネルが大

[§]ストリップは ϕ によってチャンネルの番号のつけ方が異なる。ここでは $\phi 3$ の定義のみを挙げている。詳細に関しては [16] を参照。

きくなるほど、 ϕ が大きくなる。

ヒストグラムについている色は、データのタイミングを表す。L1A を受け取ったタイミングが現在のイベント¹で、黒いヒストグラムである。そしてその1クロック前のイベントを赤で表し、1クロック遅いイベントを青で表している。

また、M3 のチェンバーは2層からできているので、縦に2つのヒストグラムが描かれている。上が1層目で下が2層目に当たる。

今後出てくるヒストグラムはすべてこの定義に従って描かれている。

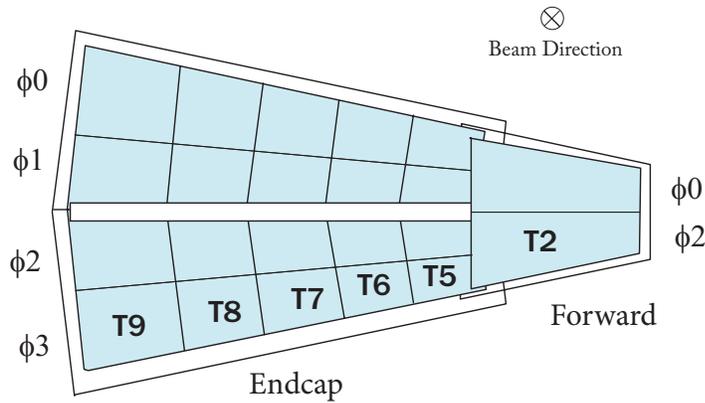


図 6.11: C-Side M3 の配置の定義

DCS による閾値電圧の設定

ASD TP をテストするに当たって、チェンバーからの電氣的なノイズなどを除くために、DCS から閾値電圧を与えている。また、DCS が正常に動いているかも確認できる。図 6.12 に閾値電圧がない場合の、テストパルスによるヒストグラムを載せる。ノイズが多く、テストパルスの効果が確認できないことがわかる。また閾値電圧がないと、タイミングが早いほうにずれてしまう(図 6.13)。これらの閾値電圧を設定することによって、テストパルスが正常に受け取れ、ノイズが多いチェンバーがないかなどのチェックが可能である。図 6.14 に閾値電圧を設定する DCS ソフトウェアの GUI の載せる。

¹イベントのタイミングは BCID によって判断できる。

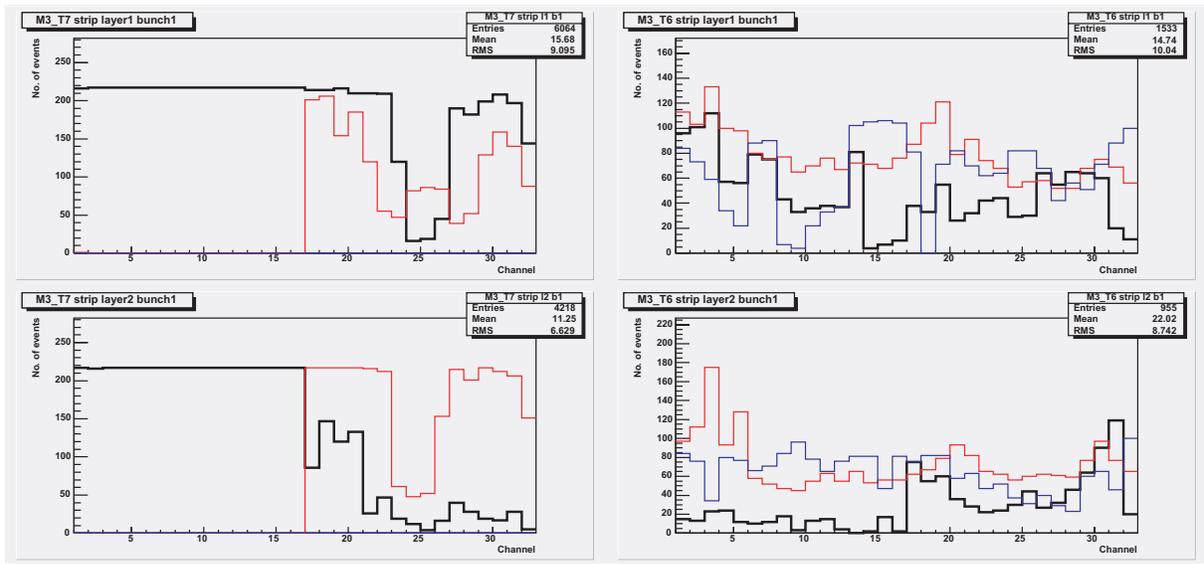


図 6.12: 閾値電圧がないときの T7/T6 ストリップのデータ

左が T7 ストリップ、右が T6 ストリップのデータである。T7 は閾値電圧がなくても（正確には DCS の設定下限値はかかっている）ノイズはあまり見られないが、閾値電圧がないためタイミングが早い方向にズレている。T6 はノイズのため、すべての BCID の信号がランダムに見える。

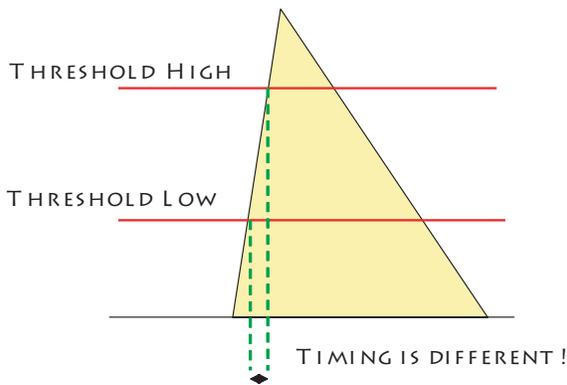


図 6.13: 電圧閾値がないときのタイミングのズレ

閾値電圧が低いと信号の立ち上がりの早い成分を取るため、信号が早くなったように見える。

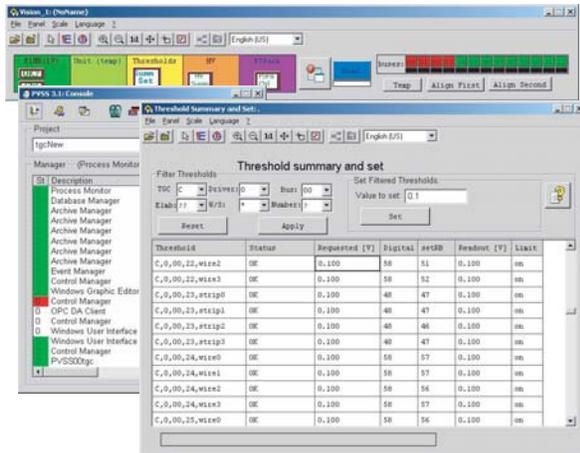


図 6.14: DCS ソフトの GUI

6.3.3 Delay Scan

PP ASIC には Delay 調整という機能があることは、節 4.3.2 にて述べた。この機能を用いて ASD TP に対する Delay を変えていったのが図 6.15 である。

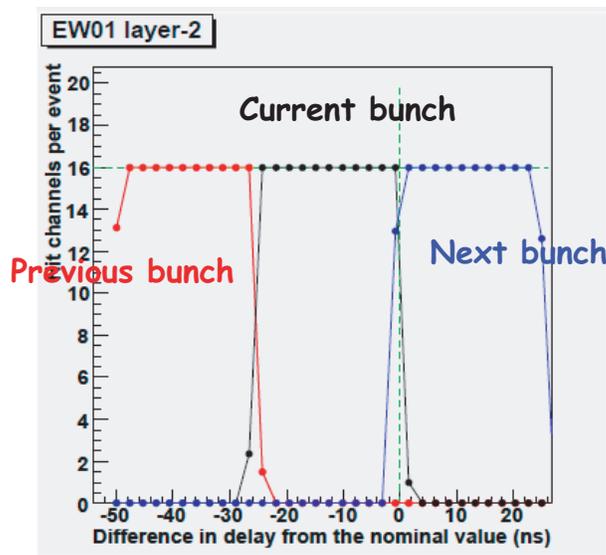


図 6.15: Delay Scan の結果

横軸が時間 (ns) で、縦軸がそのときのヒット数である。ただし横軸の 0 点には意味がなく、たまたまこの点からはじめただけで、それぞれの相対距離が重要になっている。Delay をかけると BCID が遅いほうにずれていくのがわかる。

この Delay Scan は ASD と PP ASIC 間の Delay を合わせるだけでなく、エレクトロニクス (主に PS ボード) の動作を最もよく確認できるプローブになっている。

6.3.4 Online ソフトウェアの検証

1/12 セクターの検査はセクターの検査だけでなく、RCD ソフトウェアの動作検証も含んでいる。セクター検査をするにあたって使用している Online ソフトウェアについて、その動作検証と問題点などについて述べる。

以前のバージョンとの比較

2006 年の夏に、セクター検査で使用している Online ソフトウェアが ver.010600 というバージョンにアップデートされた。現在、セクター検査もこのバージョンを用いて行われているが、いくつか検証すべき項目が見つかっている。それらの主な原因はファームウェアのアップデートなどに伴う state の定義変更によるものである。以下、その変更と動作検証および改善案に関して述べる。

ver.010600 以前のバージョンとの比較を state に関して表 6.1 に載せる。

旧バージョン	ver.010600
initial	Boot
Load	
configure	configure
start	start

表 6.1: バージョン比較

この表を見ればわかるように、以前のバージョンにあった Load state がなくなり、Boot の中に Load で行っていた事が組み込まれることとなった。以前 Load で行っていたセッティングは、TTC の初期化や各モジュールのリセットなど、ハードウェアへの初期化が組み込まれていた。state を簡潔にするという思想から Load state はなくなったのだが、この変更によって、以前行われていたリセットや初期設定などの順序が変更されたり、抜け落ちてしまったため、各モジュールの動作が不安定になるという不具合が発見された。

現在、Online グループが Boot state や configure state の中に組み込む作業を行っているが、リセット信号など、モジュールの設定にもっとも大きな影響を与えるクラスなので細心の注意が払われている。

6.4 セクター検査で発見された問題とその改善

セクター検査を行って様々な問題が発見することができることを述べたが、この節では、それが実際にどのようにデータに現れてくるのかを示す。

主に発見される問題はチャンネル欠損で、これはケーブルや IC に不良がある可能性がある。また、今回主に検査を行った M3 セクターでは、更に 2 つの問題が報告されている。1 つは LVDS の IC が多く故障した問題、そしてもう 1 つは JTAG に関する問題が見ついている。

これら 3 つの問題について、以下でまとめる。

6.4.1 チャンネル欠損

セクター検査の主な目的のひとつは、セクター上のチャンネル欠損を発見し、改善することである。図 6.16 は ASD テストパルスによって見つかった、チャンネル欠損の図である。左下 (M3 T9 ワイヤの 2 層目) にまったくヒットがないチャンネルが存在することがわかる。

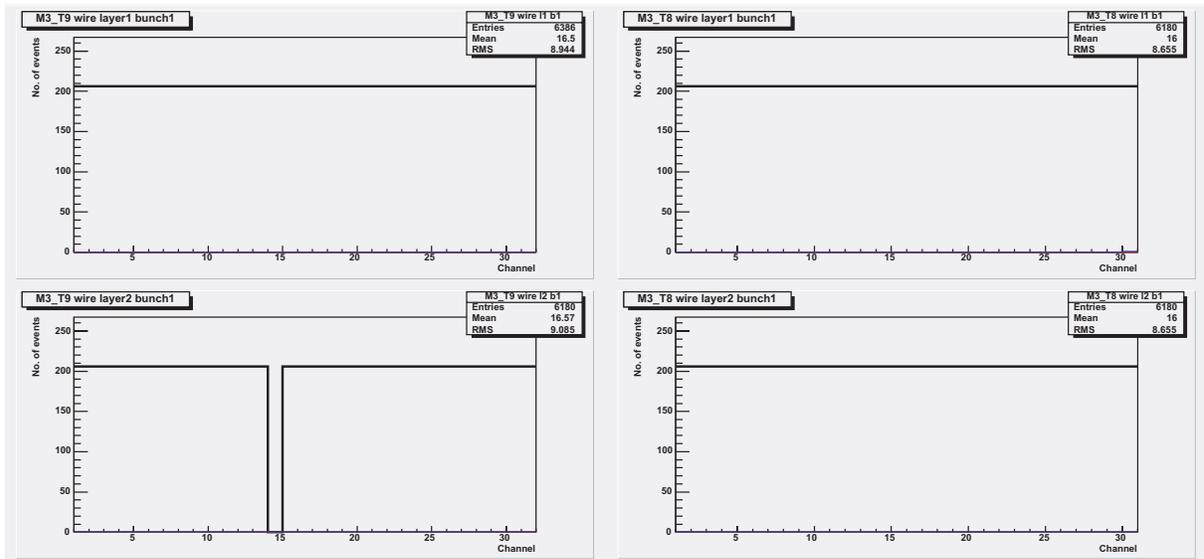


図 6.16: ASD テストパルスによって見つかったチャンネル欠損

M3 の T9 ワイヤと T8 ワイヤの PP TP によるヒストグラム。何らかの原因によって、M3 の T9 ワイヤの 2 層目で 1 チャンネルの bit 欠けが見える。その原因をケーブルの交換などによって特定し、改善する。

このようなチャンネル欠損の問題では、次のような要因が考えられる。

- ASD のチャンネルがチェンバーとショートしている。
- ケーブルがどこかで断線している。
- コネクタの接触不良。
- PS ボード上の PP ASIC や SLB ASIC の故障。

そして、次のような手順で要因をひとつずつ確かめ、場所を特定して改善する。

1. ASD 側で、1 層目と 2 層目を入れ替える。
→ ヒットマップで 1 層目と 2 層目がひっくり返れば ASD が悪い。ASD とチェンバーのショートなどのチェック。
2. PP ASIC 側で、正しいヒットが見えている ASD からのケーブルと入れ替えてみる。
→ ヒットマップがなくなれば、ケーブルが悪い。ケーブルを交換する。
3. 上記のことも変わらなければ、PP ASIC か PS ボードの基盤が悪いので、それを交換する。

6.4.2 LVDS のドライバ IC の故障

M3 のセクター検査において、PS ボード上の LVDS のドライバ IC が大量に（トータル 3 割ほど）壊れているのが発見された^{||}。図 6.17 は、LVDS のシリアル信号をオシロスコープで見たもので、チャンネル 3 は正常な信号だが、チャンネル 4 は電圧も出ておらず、波形もおかしいことがわかる。

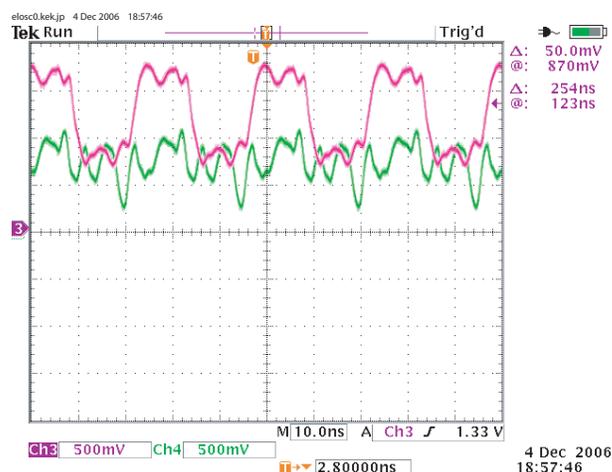


図 6.17: LVDS の IC 比較

紫が正しい IC で緑が壊れた IC からの LVDS 出力である。共にゼロ点はあわせてある。緑のほうは電圧が出ておらず、波形も乱れている。

3 割もの LVDS ドライバの IC が壊れる原因はよくわかっていないが、現在、次のような事項を確認している。

^{||}M1 セクターの検査においても、ごくごく少数発見されていたが、問題になる数ではなかった。

- CERN に到着した時点での検査では IC は壊れていない。
→ 林栄での検査に不備があったり、輸送の最中に壊れる訳ではない。
- セクターに取り付けられた時点では壊れていない。
→ 取り付け方法などによって壊れる訳ではない。
- CAT6 ケーブルを初めて刺した後に調べると壊れているものが見つかる。
→ CAT6 ケーブルからの静電気の可能性、電源の可能性。
- 一度 CAT6 ケーブルを差した後は、CAT6 を抜き差しをしても壊れず、更に電源の ON/OFF などによっても壊れることはない。
→ 電源によるものではない。

これらの事実から、CAT6 ケーブルがセクターアセンブリの途中に、何らかの原因で帯電し（この CAT6 ケーブルは M3 セクターにおいては 15m あるので、かなりの電荷を持つことが可能）、その電荷によって、初めて CAT6 ケーブルを刺した時に IC が壊れるものだと考えられる。よって、CAT6 ケーブルを PS ボードに刺す前に CAT6 ケーブルを接地し、電荷を取り去ることによって壊れなくなることが期待される。現在は、その方法を実践し壊れないか試験しているところである。

また、LVDS の IC が壊れた PS ボードは壊れた IC を交換することによって、正常な動作をすることが確認されている。

6.4.3 Online ソフトウェアから JTAG がかからない

Online ソフトウェアから PS ボードのひとつである、EWD1 への JTAG をかけると、PP ASIC が 3 連に並んでいる場所（図 6.18）に JTAG がかからない問題が起きている。これは、Online ソフトウェアにおける configure 状態にしてから読み出しを行うと、レジスタの値が変わっていないことから確認されている。この JTAG がかからない部分に関しては、Manual コマンド（節 5.5 参照）を使用すると JTAG をかけることができるため、セクター検査に支障はない。しかし、この問題の原因は未だ解決しておらず、早急に解決の必要がある。現在までに判明した事実は、次のようになっている。

- EWD1 には、Online ソフトウェアから JTAG がかかるものと、かからないものが存在する。
→ ハードウェアの可能性
- Manual コマンドから JTAG をかけると、JTAG をかけることができる。
→ ソフトウェアの可能性
- Manual コマンドと、Online ソフトウェアの差異は特に見当たることができない。
→ ハードウェアの可能性

これらの事実を考えて、Online ソフトウェアと Manual コマンドのプログラムの差や、JTAG 線で使っている TCK や TDI、TMS のタイミングが Online ソフトウェアと Manual コマンドと異なっているかどうかを調べる必要がある。

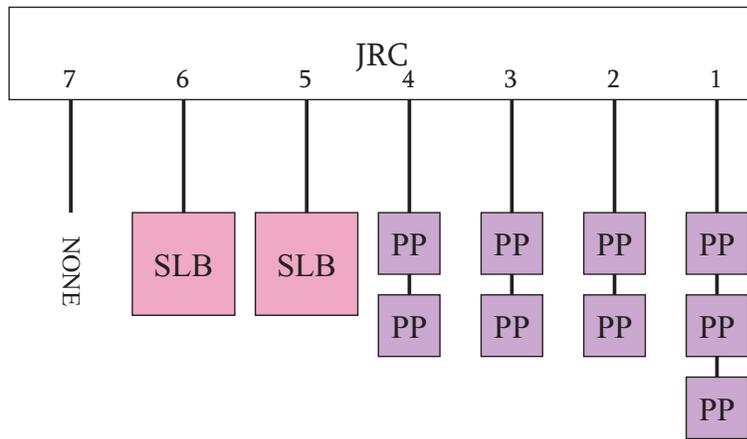


図 6.18: EWD1 の JRC のマップ

EWD1 における、JRC が担当する SLB ASIC と PP ASIC の図。PP ASIC が 3 つ並んでいる場所が存在する。

6.5 TGC のコミッショニング

今回、TGC システムが正しく動作することを確認するために、Building180 において、宇宙線ミュオンを用いてコミッショニングするシステムを作り、実際に宇宙線ミュオンを捕らえることに成功した。これにより、TGC システムが実際の ATLAS 実験において LVL1 トリガーを出すことが可能であり、そして読み出しもできることが確認できたことになる。そのセットアップとデータの解析について述べる。

6.5.1 セットアップと初期設定

CTM からのトリガーを用いて、図 6.19 のようなセットアップにしてコミッショニングを行った。用いたのは M3 のセクターで、そのうちの $\phi 2$ の Forward と $\phi 3$ の Endcap 部分を使っている。

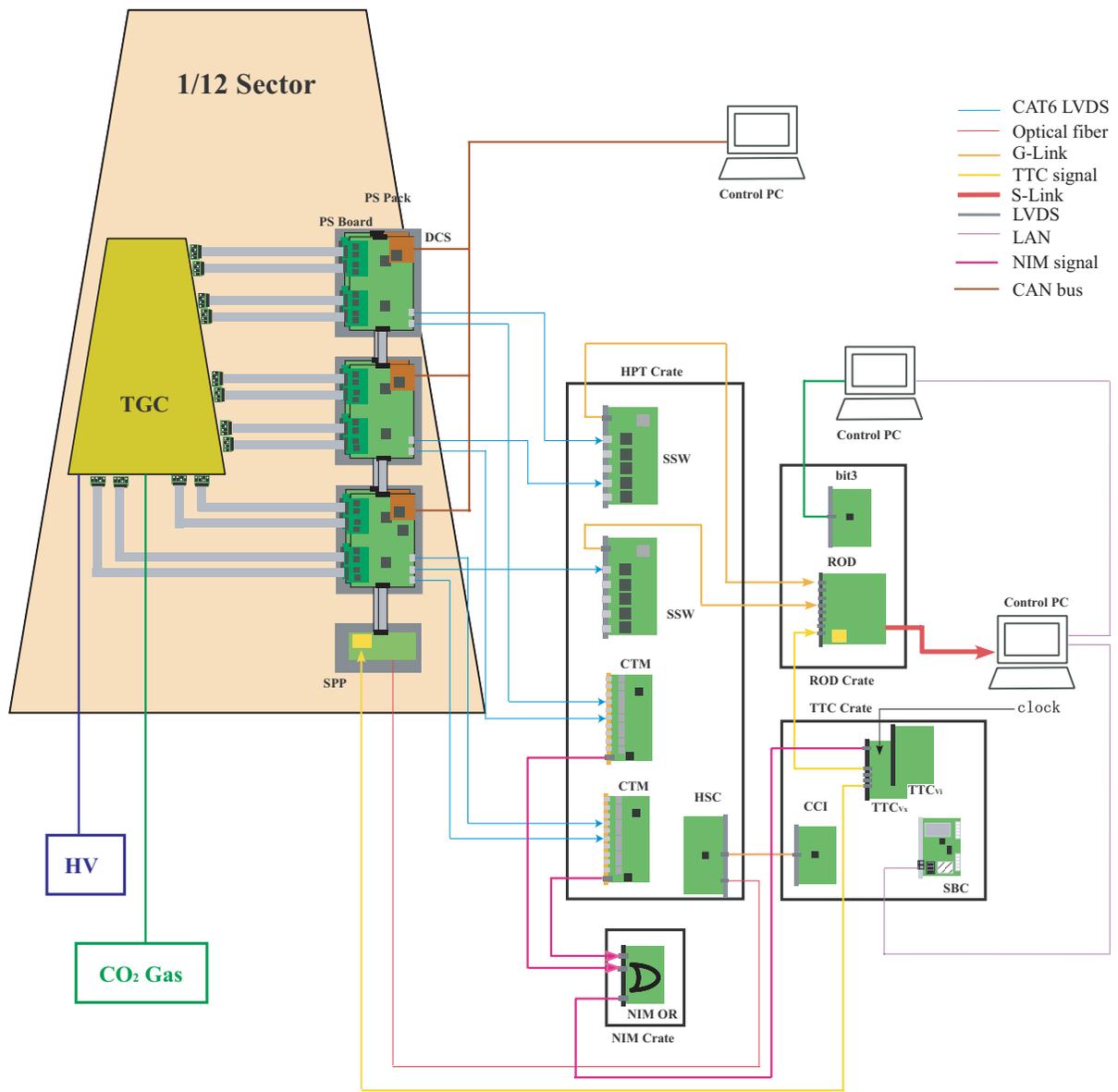


図 6.19: コミッショニングのセットアップ

M3 セクター上のチェンバーに HV をかけ、ガスを流して宇宙線ミュオンを捕らえる。SLB ASIC からのトリガーマトリックスを CTM が受け取り、そこからのトリガーを L1A として用いる。タイミングなどは SLB TP を用いて調整する。

このとき、TGC に用いているガスの種類は本番で用いる $\text{CO}_2/\text{n-Pentane}$ ではなく、 CO_2 を用いた。また、DCS からの閾値電圧はワイヤに関しては -70mV 、ストリップに関しては 70mV に設定した。これはノイズを落とせるぎりぎりまで閾値電圧を下げた値である。HV の値は 2.9kV でこれは本番の実験値と同じ値にしてある。

また、このときセクター検査を行ったときと同様に SLB TP を用いて、タイミングを調整した。ただしセクター検査の時とは違い、必要な情報は SLB ASIC がトリガーマトリックスを出してから L1A を出すまでの時間間隔である。その時間をオシロスコープで調べ、実際に設定して確認した。

同様に ASD と PP ASIC の間のケーブルによる Delay を調整した。われわれは ASD TP の結

果から、計算値と実験値がほぼ一致すること ($|(計算値) - (実験値)| \ll 25\text{ns}$) を知っている。よって、ASD TP では信号がケーブル往復分の Delay がかかるが、今回は ASD から PP ASIC へ信号が行くだけなので、Delay が半分でよいことに気をつけて設定すればよい。

6.5.2 トリガー条件とその目的

SLB ASIC と CTM には様々なトリガー条件を設定することが可能である。

今回の試験には、M3 の 1/12 セクターのみを用いているため、チェンバーからの信号のみでは、SLB ASIC のトリガー条件である 3 out-of 4 のコインシデンスを取ることが不可能である。そのため、SLB ASIC のレジスタには M2 のダミーヒットパターンをあらかじめ書き込んでおき、3 out-of 4 のコインシデンスを取ることになっている。また、そのパターンを変えることによって、M3 からのチェンバーのシグナルに対して 2 out-of 2、もしくは 1 out-of 2 のコインシデンス条件を課すことが可能である。2 out-of 2 コインシデンスを課した場合、アクシデンタルによるノイズを落とし、トリガーの精度 (トリガーが宇宙線ミュオンであるかどうか) を高めることが期待される。1 out-of 2 コインシデンスを課した場合は、トリガーレートがあがることが期待され、統計をためやすくなるのはもちろんだが、それ以外にも ASD TP で確認されなかったチェンバーの 1 層目と 2 層目のスワップを確認することができる。その例を次節で述べる。

また、CTM ではチェンバーのワイヤ成分のみのトリガーを用いたり、逆にストリップのみからトリガーを出してデータを取ることが可能になっている。

1 out-of 2 を用いた ASD と PP ASIC 間の LVDS ケーブル配線の確認

M3 セクターの場合、チェンバーは 2 層から成り立っているが、その 2 層分の情報は 1 つの PP ASIC において処理される。このとき、2 層からのケーブルが正しく配線されているかどうかは、対象とする 2 層からのケーブルの長さが同じなので、ASD TP の検査では発見することができない (Delay の値が同じなため)。このケーブルスワップがあると、TGC システムとして p_T の正確な測定ができず、トリガーを出すことができないので、必ず確認する必要がある。

そこで、このケーブルスワップを発見するために、宇宙線ミュオンを用いて 1 out-of 2 コインシデンスを設定し、HV を片側の 1 層のみにかけることによって発見することを考えた。たとえば、HV を 1 層目に与えたときに、データが 2 層目からきているように見えたとしたら、それはケーブルがスワップしていることを意味する。

次の図 6.20 は、2 層目だけに HV をかけて、1 out-of 2 の条件でデータを取ったときのヒストグラムである。

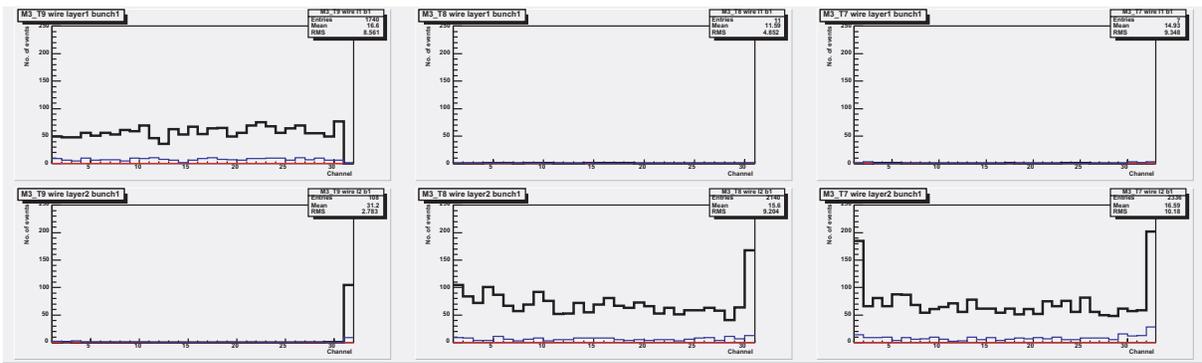


図 6.20: 2 層目のみに HV を与えた時のヒストグラム

左から T9/T8/T7 ワイヤのヒストグラム。T9 においてレイヤーがスワップしているのがわかる。

このようにスワップが見つかった場合、HV を与えるレイヤーが間違っていないか、HV のケーブリングは正しいか、ASD と PP ASIC の間の LVDS ケーブルは正しいかといった事柄を検証して改善する。

6.5.3 トリガーレートの検証

当然ながら、トリガーレートは ASD における閾値電圧や、CO₂ によるアクセプタンスやゲインなどによって変わるが、トリガーレートがあまりに多かたり少なかりしていないかを定性的ながら議論しておく。今回用いた範囲は、M3 セクターの $\phi 2$ の Forward と $\phi 3$ の Endcap であるから、ビッグウィールの約 $1/48$ の面積を持っていると考えられる。そのため、その面積は次のように見積もれる。

$$10 \times 10 \times \pi \times \frac{1}{48} \sim 6.5\text{m}^2$$

よって、もしこの面積ですべての宇宙線ミュオンを捕らえたとすると、そのレートは約 10^3Hz 程度になると考えられる。

2 out-of 2 のコインシデンス条件にて、実際のレートを測定したところ、約 70Hz であった。これは少なく感じるかもしれないが、閾値電圧を与えていることや、セクターは水平ではなく垂直になっていること、2 out-of 2 コインシデンスを取っていることなどを考えると、約 70Hz というのは悪くない値だと考えられる。

6.5.4 コミッシュニングデータの解析

図 6.21～図 6.26 は 2 out-of 2 コインシデンスの条件で 30 分データを取ったときのヒストグラムである。ここでワイヤのヒストグラムにある緑のラインは、チェンバーの構造（チェンバーは台形をしていて、 η が小さいほうがワイヤが長い）から予想されるヒットのラインである。宇宙線ミュオンを捕らえた証拠としてタイミング、一様性、2次元読み出しを確認した。

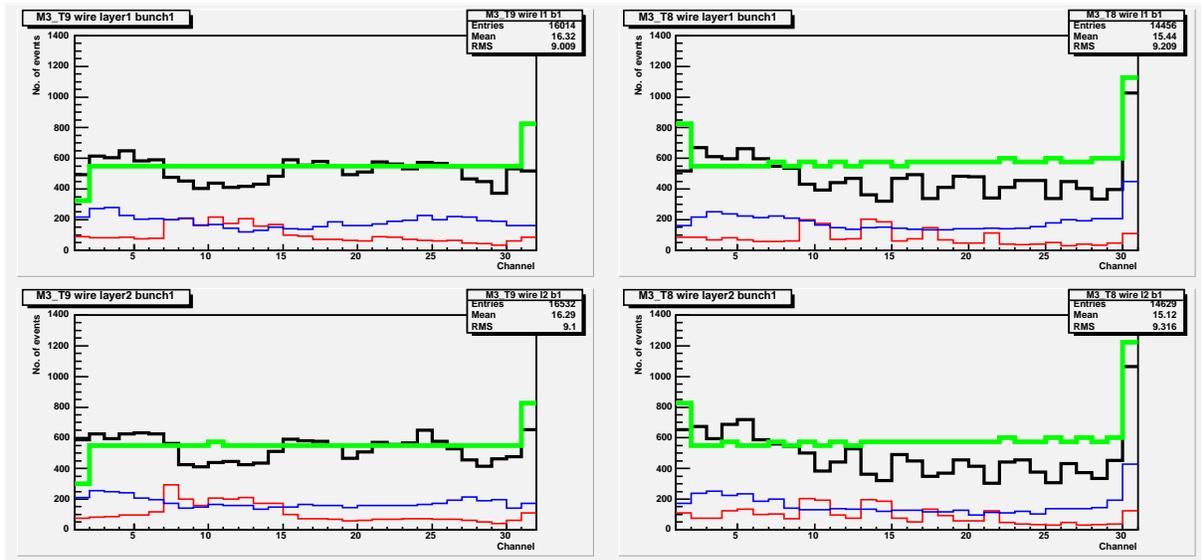


図 6.21: T9/T8 ワイヤのデータ

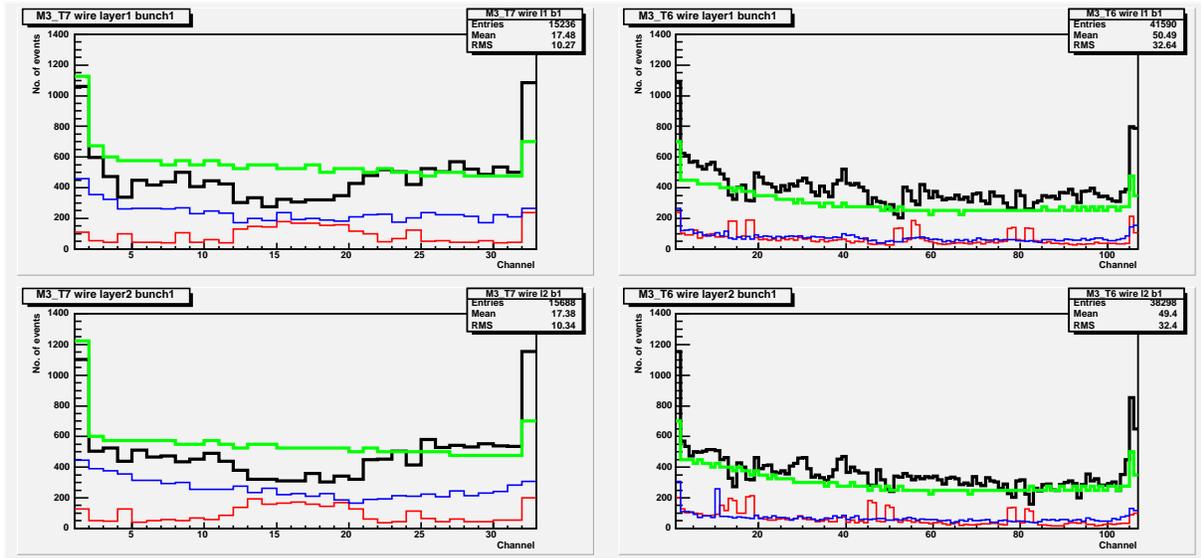


図 6.22: T7/T6 ワイヤのデータ

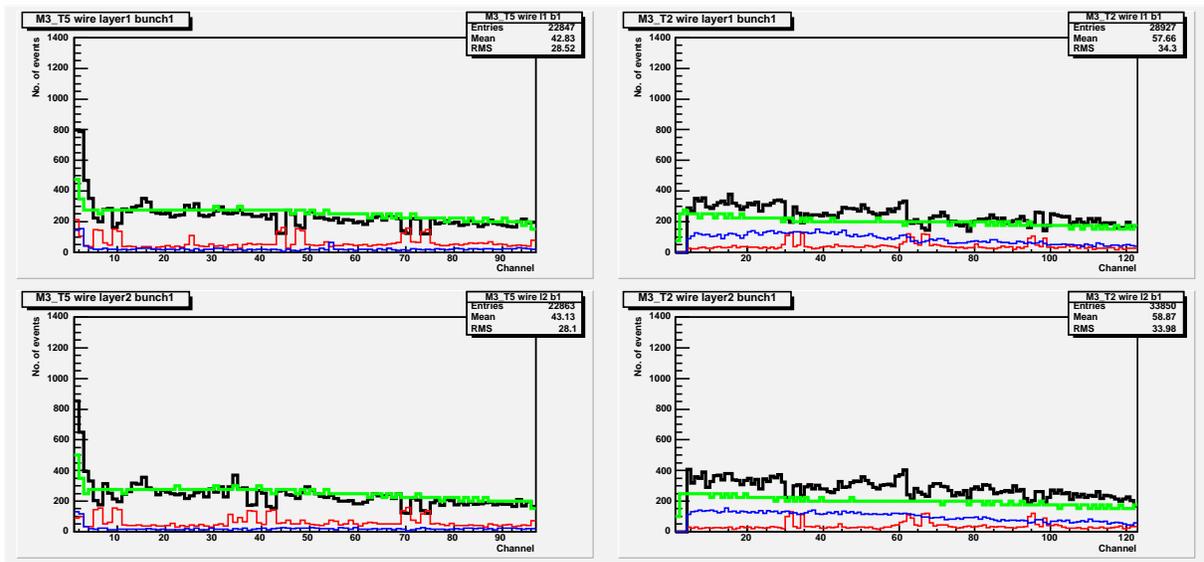


図 6.23: T5/T2 ワイヤのデータ

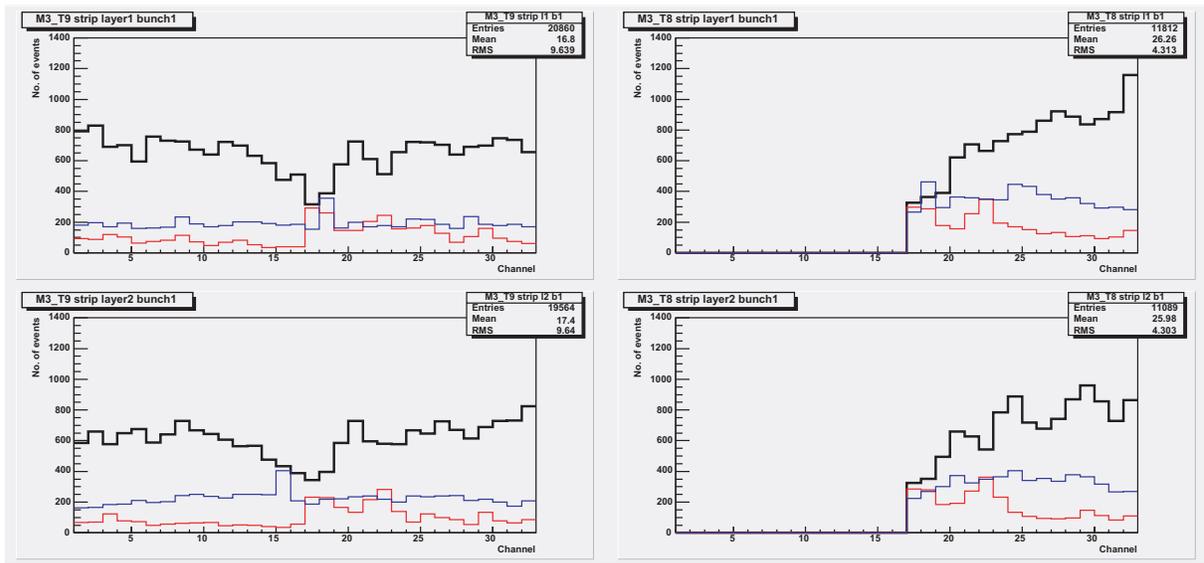


図 6.24: T9/T8 ストリップのデータ

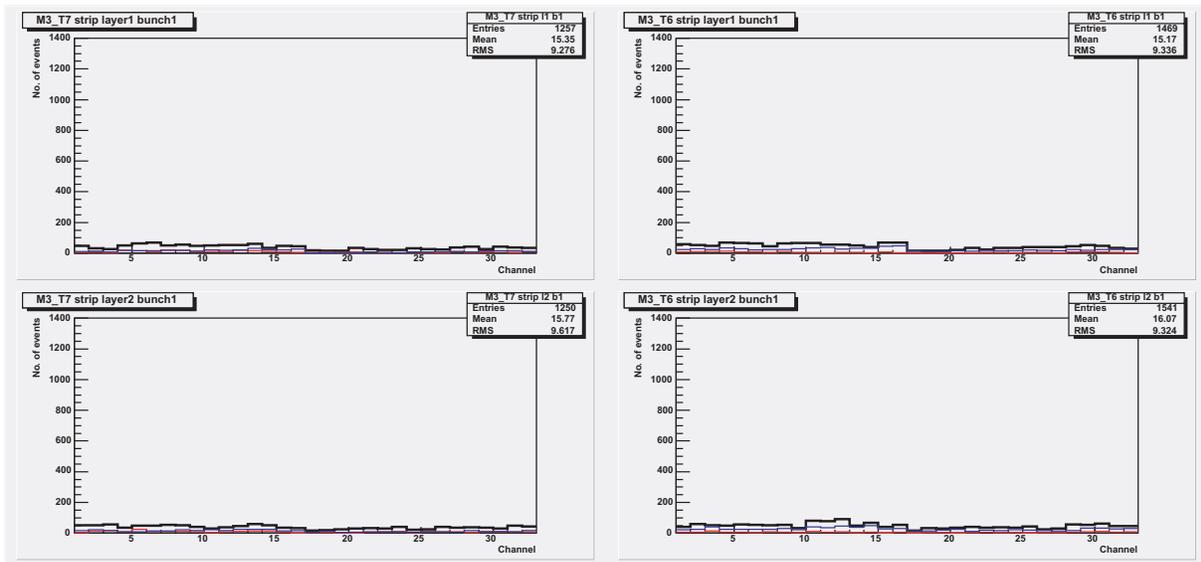


図 6.25: T7/T6 ストリップのデータ

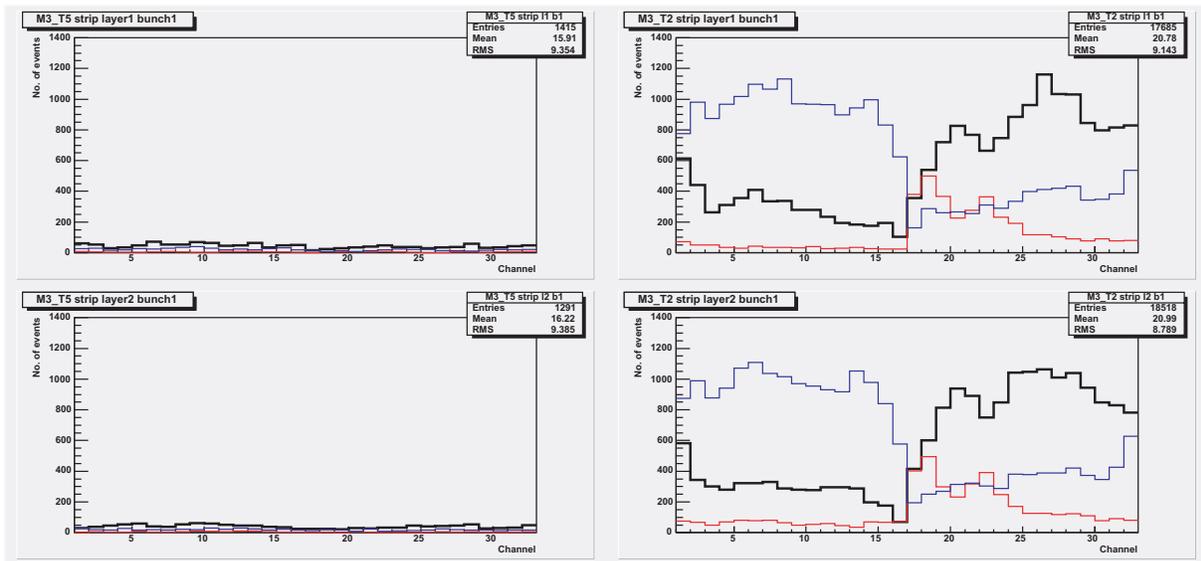


図 6.26: T5/T2 ストリップのデータ

2 out-of 2 の条件において、宇宙線ミュオンを捕らえたヒストグラム。ワイヤにおける緑のラインは構造から考えられる予想のライン。ヒストグラムの形は緑のラインに沿っていることがわかる。ストリップの T8 の前半は 70mV の閾値電圧ではノイズが消えなかったため、マスクをしている。

タイミングの検証

T2 ストリップの前半のチャンネルを除いて、現在の BCID のデータが大半を占めているが、それでも早い成分や遅い成分を持ったイベントが ~25% 程度見られる。タイミングがずれる要因は、たとえばストリップが 2 out-of 2 コインシデンスでトリガーを出したときに、ワイヤのイベントを見たとき（またはその逆）や、ASD をまたぐような宇宙線ミュオントラックを引いたときに 1 クロック程度ずれると考えられている。

また、T7/T6/T5 のストリップに関しては、イベントが他のチェンバーと比べてかなり少ない。この原因はまだわかっていないが、次のような事実から PP ASIC もしくは、SLB ASIC において、タイミング調整を間違えていると考えられている。

- HV はチェンバーにかかっている。
- ASD からの信号は、オシロスコープによって確認されている。
- CTM からのトリガーは他のチェンバーと同じくらいのレートで出ている。

これは、T2 ストリップの前半のチャンネルに関しても同様のことが考えられ、PS ボードのコンフィギュレーションを行う xml などにバグがないか、確認が進められている。

一様性の検証

宇宙線ミュオンは一様にやってくるのが期待される。よって、ワイヤのヒストグラムは、チェンバーが台形であるために、一般には η が大きくなるにつれてヒットが少なくなることが期待される。その予想の値が、上図では緑のラインで描かれている。チェンバーごとによって予想よりヒットが多かったり、少なかったりしているが、大まかにはラインに沿っていると言える。

ストリップに関しては、ヒストグラムがほとんどフラットに名あることが期待される。統計が少ない T7/T6/T5 に関してはなんとも言えないが、他のストリップに関しては、ほぼフラットである。しかしながら、チェンバーの中心付近で現在の BCID が減り、信号が早かったり遅かったりしている部分がある。この構造については、タイミングの問題を解決すれば改善されることが期待されている。

2次元読み出しの検証

宇宙線ミュオンを捕らえた最も重要な証拠として、2次元読み出しが行えたことがあげられる。図 6.27 は T8 チェンバーにおいて 1 つのイベントを取り出したヒストグラムと、それに伴うミュオントラックのイメージである。このようにトラックが引けるイベントを捕らえているということが、宇宙線ミュオンを捕らえているデータであるという、決定打になった。

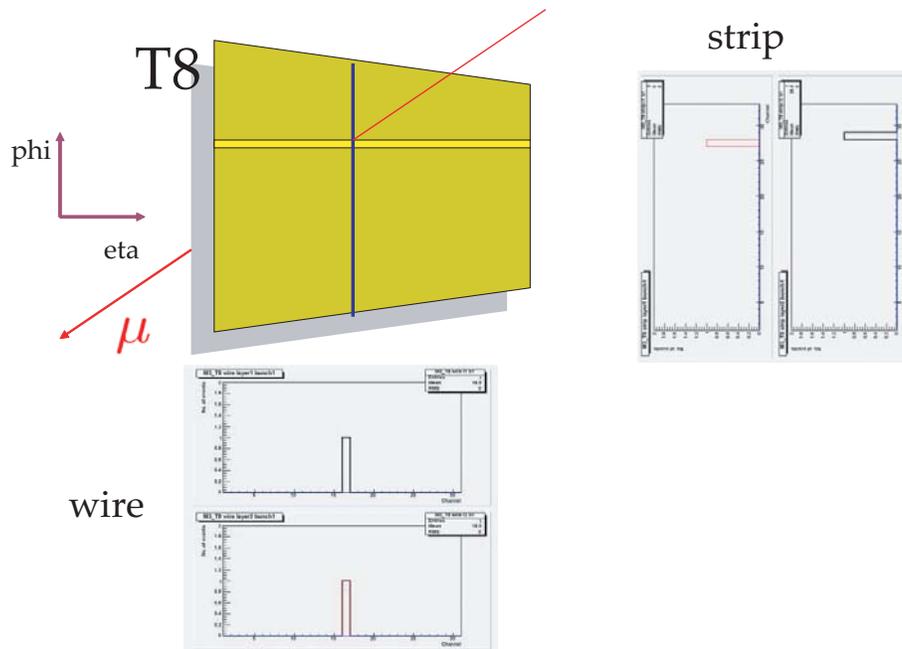


図 6.27: 2次元読み出し

ワイヤのイベントで2層共に現在のBCIDのイベントがあることから、この2 out-of-2 からトリガーが出されたものだ と解釈できる。しかし、ストリップの1層目にははタイミングが早い成分しか残っておらず、今後はタイミング調整をしっかりと行う必要がある。

6.5.5 PS ボードとチェンバー間のPIN アサイン

図 6.23 の T2 ワイヤのヒストグラムを見ると、左の3チャンネルにまったくヒットがない領域があることがわかる。その原因を調べると、PS ボード側が認識していたチェンバーのPIN アサインと、実際のチェンバーのPIN アサインが異なっていたことが明らかになった (図 6.28)。これは、エレクトロニクスに提供されていたデータベースに誤りがあったためで、このままインストールされてしまうと、Forward からはトリガーが出なくなってしまう。

幸いにも Doublet のインストールはまだ始まっていないので、このチェンバーからのシグナルを処理する PS ボード (FWD0 と FWD1) を作り直すことによって、対処することを決めた。しかし、作り直しにかかる時間や人手、お金は膨大なものである。更に、データベースが間違っていたということは、根本的な問題であり、データベースの見直しなどを進める必要がある。

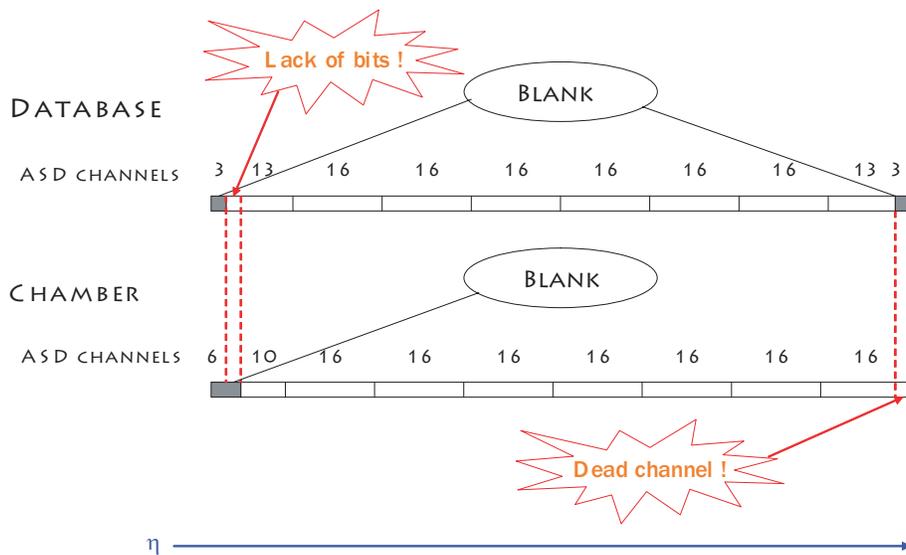


図 6.28: T2 ワイヤで見つかった、PIN アサインの間違え

6.6 ATLAS PIT へのインストール

1/12 セクターの検査や宇宙線ミュオンのコミッショニングが終わると ATLAS PIT に輸送され (図 6.29) インストールが行われる。インストールは、ATLAS PIT における HO という場所におかれ、そこから IP 側へと移動する (図 6.30)。現在、C-Side の M1 がインストールされ、IP 側に移動を完了したところである (図 6.31)。ただし、この C-SIDE の M1 のセクターは、セクター検査は行われたものの、セットアップやスケジュールの関係で宇宙線ミュオンのコミッショニングを行う前に ATLAS PIT に入ってしまった。今後、ATLAS PIT での宇宙線ミュオンのコミッショニングなどを行っていく予定である。

また C-Side の M2 に関しても、まもなくインストールが行われる予定である。これからわかるように、TGC システムは実験開始に向けて順調にインストールが進んでいる。



図 6.29: 1/12 セクター輸送の様子

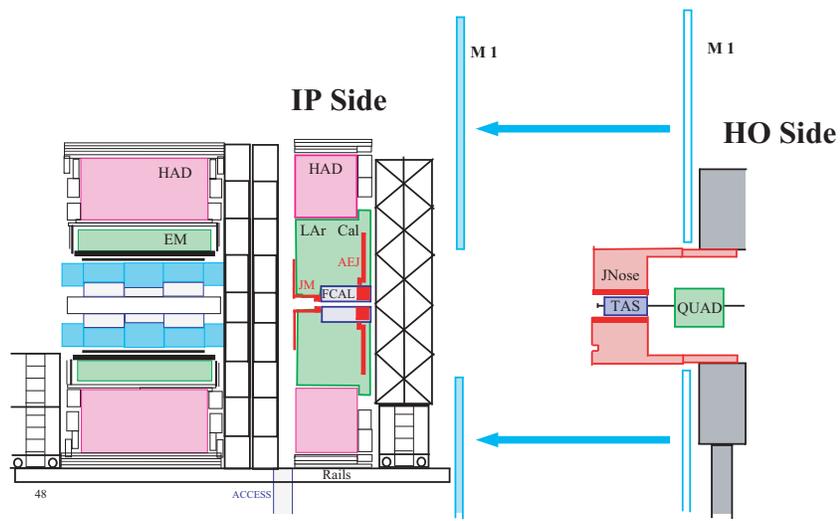


図 6.30: IP Side への移動

ATLAS PIT 検出器の R-Z の断面図。インストールのはじめには HO 側に 1/12 セクターずつ固定されていく。そしてビッグウィールが完成した後に IP 側へと移動させ、インストールが完了する。



図 6.31: TGC M1 Layer

第7章 まとめ

今回、ATLAS TGCシステムの1/12セクターのアセンブリとコミッショニングを中心に、TGCシステムの構築を行った。更に、その中で必要なエレクトロニクスの開発、最終検査、量産、アセンブリの検査システム、コミッショニングシステムの構築を行った。ソフトウェアに関しては、まだまだ未完成の部分も多く、今後のアップデートや開発によって様々な改善が期待される。ハードウェアに関しては、セクター検査によってエレクトロニクスの動作が確認され、さらに次のステップである、宇宙線を用いたコミッショニングを行い、TGCシステムが正しく動作することを確認することができた。

Test RODをPT5に置き換える作業や、コミッショニングにおけるタイミングの問題など、解決すべき問題はいくつか残っているものの、解決の道筋はできており、まもなく解決されるであろう。

そして、これらの検査やコミッショニングの成果は、ビームによるキャリブレーションなどのインストールが終わったあとのデータの解釈や、問題解決に大きなサポートとなると考えられる。そして、実際の実験においてよりよいデータを提供してくれることが期待される。

それらのデータが、今後の素粒子物理に大きな影響を与え、新しい発見につながるであろう。

付録A PSB

A.1 SLB register

SLB ASIC の register リスト。

$x = 1$ で write mode、 $x = 0$ で read mode である。

name	Bit	R/W	Instruction	Default	notes
DEPTH	21	RW	0011_000x	1111111_ 1111110_ 1111111	Depth of L1 Buffer: (Input[20:14] Trigger[13:7] BCID[6:0])
TESTPULSE	5	RW	0010_100x	1.0000	Set delay of Test Pulse Trigger
DELAY	4	RW	0001_100x	All 0	Set delay of input(Obsolete, not connected)
DELAY A	3	RW	1100_000x	All 0	Set delay of A-row input
DELAY B	3	RW	1101_000x	All 0	Set delay of B-row input
DELAY C	3	RW	1110_000x	All 0	Set delay of C-row input
DELAY D	3	RW	1111_000x	All 0	Set delay of D-row input
SCHEME	1	RW	0100_100x	0	Low : 3 out-of 4, High : 4 out-of 4
L1VETO	1	RW	0101_000x	0	Low : through, High : L1A = 0
CLKINV	1	RW	0101_100x	1	Low : order, High : invert
RESET	1	RW	0110_000x	0	Put Internal ECR & BCR(Positive Active)
DRDRST	1	RW	1000_100x	0	Derandomizer Rest(Positive Active)
DCVETO	1	RW	1001_100x	0	Low : DC balanced, High : Normal
SEU	1	RO	0011_1000	(0)	SEU Flag(indicates any SEU(s) happen)
MODULE	8	RO	0100_0000		Indicate Module Type and Module Address
OVERFLOW	8	RO	0111_1000	(All 0)	Indicate Derandomizer Overflow
ID	32	RO	1000_0000		chipID:0010_0100_0000_0100_ 1100_0000_0000_0100
MASK1P	160	RW	0110_100x	All 0	Mask Pattern for Readout and Matrix
MASK1	160	RW	0000_100x	All 0	Mask Enable for Readout and Matrix
MASK2P	160	RW	0111_000x	All 0	Mask Pattern for Matrix only
MASK2	160	RW	0001_000x	All 0	Mask Enable for Matrix only
TPP	160	RW	0001_000x	All 0	Test Pulse Pattern
BSR	48	RO	0000_0000		Boundary Scan Cell

表 A.1: SLB ASIC のレジスタ

A.2 PP register

PP ASIC の register リスト。

$x = 1$ で write mode、 $x = 0$ で read mode である。

name	Bit	R/W	Instruction	Default	notes
BCID_MASKA	16	RW	0000_010x	All 1	BCID Mask register (Port-A) "0" signal masks an input signal and "1" signal un-masks an input signal. LSB corresponds to INA0.
BCID_MASKB	16	RW	0000_011x	All 1	About Port-B. Notes are same as Port-A.
TPG_AMPA	4	RW	0000_101x	All 1	Test Pulse Amplitude register (Port-A) Data=0 sets no signal output.
TPG_AMPB	4	RW	0000_110x	All 1	About Port-B. Notes are same as Port-A.
TPG_FINEA	5	RW	0001_000x	All 1	Fine-Delay register for Test Pulse (Port-A) Data[4:3] : MUST NOT be set. Sub-nano second step (25/31ns)
TPG_FINEB	5	RW	0001_001x	All 1	About Port-B. Notes are same as Port-A.
TPG_COARSEA	5	RW	0001_011x	All 1	Test Pulse Coarse-Delay register (Port-A) Data[4:3] defines the timing when the Test Pulse Trigger (TP Trigger) signal is taken. Data[4:3]=0x00, 0x11 : The TP Trigger signal is taken at falling or rising edge of the clock. Data[4:3]=0x01, 0x10 : MUST NOT be set. Data[2:0] sets the Coarse-Delay (25ns step)
TPG_COARSEB	5	RW	0001_100x	All 1	About Port-B. Notes same as Port-A.
SIGNAL_DELA	5	RW	0001_110x	All 1	Hit Signal Delay register (Port-A) Sub-nano second step (25/31ns)
SIGNAL_DELB	5	RW	0001_111x	All 1	About Port-B. Notes same as Port-A.
BCID_DELA	5	RW	0010_001x	All 1	Delay register for BCID clock (Port-A) Sub-nano second step (25/31ns)
BCID_DELB	5	RW	0010_010x	All 1	About Port-B. Notes same as Port-A.
BCID_GATEA	5	RW	0010_100x	All 1	Delay register for BCID gate width (Port-A) Sub-nano second step (25/31ns) The effective gate width can be set at approximately from 26ns to 48ns.
BCID_GATEB	5	RW	0010_101x	All 1	About Port-B. Notes same as Port-A.
DEBUG_DEL	5	RW	0010_111x	All 1	Delay register for debug signal. Sub-nano second step (25/31ns)
SEU	1	RO	0011_0000	(0)	Monitoring SEU flag. Data=1 means SEU of the registers is observed. By re-writing the registe, the flag is reset.

表 A.2: PP ASIC のレジスタ

付録B Data Format

B.1 ROD Data Format

	Data word				Comments
	31..24	23..16	15..8	7..0	
Frame	x'B0F0xxx'				event frame word (control mode word)
Hdr 0	x'EE1234EE'				start of header marker for ROD data
Hdr 1	reserved	reserved	header size = 8		words (excluding x'B0F0xxx' word)
Hdr 2	ATLAS format version=2		TGC format version=2		
Hdr 3	x'62' or x'63'	module type = 0	0	octant[7..0]	source id: x'62' / x'63' = A / C endcap; module type = 0 for ROD
Hdr 4	Level-1 ID				
Hdr 5	reserved	reserved	Bunch crossing ID[11..0]		
Hdr 6	reserved	reserved	reserved	Trigger type	
Hdr 7	Detector event type				not used yet
Status	Global status word				≠0 means event is not OK.
Status	reserved		Star Switch timeout status		one bit per SSW; 1 means timeout
Status	Local status word		presence		Presence is a pattern indicating which of the following data fragments are present ^a
Status	orbit count				or other means of determining time-of-day in run. 32 bits give >100 hrs
Data	Fragment ID	raw data word count			fragment ID =1, length in words
Data	Fragment ID	"readout format" hit data word count			fragment ID =2, length in words
Data	Fragment ID	"readout format" tracklet data word count ("tracklet" = 3/ 4 or 2/ 3 coincidence)			fragment ID =3, length in words
Data	Fragment ID	"chamber format" hit data word count			fragment ID =4, length in words
Data	Fragment ID	"chamber format" tracklet data word count			fragment ID =5, length in words
Data	Fragment ID	R,φ hit data word count			fragment ID =6, length in words
Data	Fragment ID	R,φ tracklet data word count			fragment ID =7, length in words
Data	Fragment ID	HipT output word count			fragment ID =8, length in words
Data	Fragment ID	Sector Logic word count			fragment ID =9, length in words
Data	raw data, hit, tracklet, sector logic, etc. fragments, in the order of the word counts.				
Data	...				
Data	last raw data, hit or tracklet word				
Trail 0	number of status elements = 4				
Trail 1	number of data elements				
Trail 2	Status block position = 0, i.e. data follows status				
Frame	x'E0F0xxx'				event frame word (control mode word)

a. The number of fragment ID | WC words and fragments is equal to the number of Hi bits in this pattern.

図 B.1: Test ROD のデータフォーマット

B.3 SSW Data Format

Version 01 of the TGC Front End link data format

Event Header 000

Now, Record Type=01

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000			RecType		SSWID				RX mask pattern (1=enabled, 0=disabled)																						

Record Type (RecType) is **01** in this format version, hard-wired in FPGA
SSWID is arbitrarily set by a dip-switch on each SSW board

SLB header 010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
010			SLBID				0	BCmap		Mod Type		0	L1ID				BCID														

BCmap shows 3BC data lines taken by RX. 3bit shows {next, current, previous} events. 1=adopted. 0=discarded
SLBID, Mod Type, L1ID and BCID are all SLB's data. See SLB documents.

SLB header 011-0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
011			0	0	RXID				0	RX FIFO status				SLB-OVF				RX-OVF													

RXID is RX identified number from 0 to 22.
RX FIFO status tells what amount of data are stored in RX-FIFO then.
SLB-OVF is SLB's data. See SLB documents.
RX-OVF is RX-FIFO overflow counter. This tells the snapshot value when this word is sent from RX to TX.

SLB trailer 011-1

This word appears after SLB data words **only when there is an error**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
011			1	SEU	OVF	LVDSInk				RX error state							

LVDSInk=LVDS links status. 2bits are {now,old}. 1=Not linked. 0=Linked.
SEU = SLB SEU flag. See SLB documents.
OVF = RX-FIFO overflow flag. If OVF=1, some overflows have happened in this RX data.

SLB data 100, 101, 110

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
100			cell address				cell bitmap								
101			cell address				cell bitmap								
110			cell address				cell bitmap								

In any order:
Cell data for Current BC data
Cell data for Previous BC data
Cell data for Next BC data

PAD word 110

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
110			11111				0								

i.e. 0xDF00

Event Trailer 111

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
111			0x1CA				Glnk	T1C	NRC	T2C	XOR check sum																				

Glnk = Glink TX status. "Locked" signal of Glink Tx. 1=Not locked. 0=Locked
T1C = Timeout1_count_frag. Time-out to collect the event fragment from all the enabled input ports.
NRC = Nores_count_flag. No response from RX FIFO of "enabled" (not masked) input port.
T2C = Timeout2_count_flag. Time-out to collect the event fragment from each enabled RX FIFO.
These three flags are reset at every event.

The XOR operation includes the first word(16bits) of the event header through the first word of the event trailer.
When the result is XOR'ed with the XOR checksum word, the result becomes zero. (the XOR does not include the 0x0B0F an 0x0E0F framing words)

Framing

Each event is preceded by the 32-bit word 0x0000'0B0F and followed by the 32-bit word 0x0E0F'0000, both words are sent in Glink control mode.

☒ B.3: SSW からのデータフォーマット

References

- [1] 浅井祥仁、神前純一、田中純一、LHC が切り拓く 21 世紀の素粒子物理 2004.
- [2] CERN Document Server <http://cdsweb.cern.ch/>
- [3] M. Spira, *Higgs Production and Decay at Future Machines*, CERN -TH/97-323, hep-ex/9711394 1997.
- [4] ATLAS DETECTOR AND PHYSICS PERFORMANCE Technical Design Report, CERN/LHCC/99-14, 1999.
- [5] ATLAS Muon Spectrometer Technical Design Report, CERN/LHCC/97-22, 1999.
- [6] ATLAS Level1 Trigger Technical Report, ATLAS TDR 12, 1999.
- [7] ATLAS High-Level Trigger, Data Acquisition and Controls, ATLAS Technical Design Report-016, 2003.
- [8] ATLAS Thin Gap Chamber Design page. <http://atlas-proj-tgc.web.cern.ch/atlas-proj-tgc/>
- [9] G. Charpak, *Filet à Particules*, Découverte, 1972.
- [10] H. Nomoto *et al*, Installation and Test of the ATLAS Muon Endcap Trigger Chamber Electronics, 2006.
- [11] Amplifier-Shaper-Discriminator ICs and ASD Board, ATLAS Internal Note MUON_NO_1, 1999.
- [12] O. Sasaki, Patch-Panel ASIC, 2004.
- [13] T. Takemoto, JRC Data Sheet, ATLAS TGC Electronics Group, 2002.
- [14] ATLAS Install Scedhule ver. 8.1, 2006.
- [15] The Institute of Electrical and Electronics Engineers, Inc. Draft Standard for a Common Mezzanine Card Family : CMC, 2001.
- [16] K. Hasuko, Naming and numbering scheme for the Endcap muon trigger system, 2005.
- [17] Particle Data Group, in the 2006 Review of Particle Physics.
- [18] Daniel Lellouch *et al*, ATLAS/TGC Master Database 31 August 2004.
- [19] *ATLAS Technical Proposal* CERN/LHCC/94-43, December 1994.
- [20] 緒方岳, 神戸大学修士学位論文「ATLAS 前後方ミュオントリガーシステム Sector Logic の開発」2006 年 2 月

- [21] 野本裕史, 東京大学修士学位論文「ATLAS 前後方ミュオントリガーシステム読み出し系の開発」2005年1月
- [22] 片岡洋介, 東京大学修士学位論文「ATLAS 実験ミュオントリガーシステムのビームテスト及びシミュレーションによる総合評価」2004年1月
- [23] 杉本拓也, 神戸大学修士学位論文「ATLAS 実験用大型ミュオントリガーチェンバー検査設備の構築と評価」2003年2月
- [24] 溝内健太郎. 京都大学修士学位論文「ALIAS 前後方ミュオントリガーシステム用エレクトロニクス読み出し系の開発」2002年2月

謝辞

この二年間の研究生生活におきまして、本研究を行なう機会と適切な指導ならびに助言を頂いた指導教官の坂本宏教授^aに心より感謝致します。

本研究において、懇切丁寧な御指導と多くの助言を頂きました佐々木修氏^bに深く感謝致します。またTGCエレクトロニクスグループにおいて、様々な御指摘と助言を頂いた池野正弘氏^b、蔵重久弥氏^d、福永力氏^c、菅谷頼仁氏^j、戸本誠氏^k、杉本拓也氏^kに深く感謝致します。

また、様々な機会に貴重な意見と御指導を頂いた近藤敬比古氏^b、小林富雄氏^a、岩崎博行氏^b、田中秀治氏^b、越智敦彦氏^d、石野雅也氏^a、川本辰男氏^a、神前純一氏^b、浅井祥仁氏^a、田中純一氏^a、上田郁夫氏^a、真下哲郎氏^a、田中礼三郎氏^h他 ATLAS 日本グループの方々にも深く感謝致します。

TGCエレクトロニクスグループで共に研究を行い議論した野本裕史氏^a、久保田隆至氏^aに深く感謝致します。また研究生生活を通じて惜しみない協力を頂いた片岡洋介氏^a、山口嘉樹氏^a、兼田充氏^a、麻植健太氏^a、是木玄太氏^a、門坂拓哉氏^d、丹羽正氏^d、奥村恭幸氏^k、高橋悠太氏^kに感謝致します。

PS ボードの検査システムにおいては、林栄精機つくば営業所の方々にお世話になりました。この場を借りて感謝申し上げます。また、PT5の開発において基盤の設計と適切な助言をしていただいたGNDの宮沢正和氏に感謝致します。

また、秘書の朝日恵美さん^b、湯野栄子さん^a、伊藤千代さん^a、小野涼子さん^a、塚本郁絵さん^aには大変お世話になりました。感謝致します。

上記の方々の協力がなければ、私の研究生生活は成り立たなかったと思います。最後に、世界のすべての方々に心より感謝を申し上げます。

所属:

東京大学素粒子物理国際研究センター (ICEPP)^a

高エネルギー加速器研究機構 (KEK)^b

東京都立大学 理学研究科^c

神戸大学 自然科学研究科^d

京都大学 理学研究科^f

岡山大学 自然科学研究科^h

CERNⁱ

大阪大学 理学部^j

名古屋大学 理学研究科^k