修士学位論文

ATLAS実験ミューオントリガーシステム用LSIの開発と統合評価テスト

東京大学大学院 理学系研究科
物理学専攻

16087
竹本 享史

平成15年1月

概 要

2007 年実験開始を目指して、欧州原子核研究所 (CERN) において、重心系 14TeV の衝突エネルギーを持つ大型陽子陽子衝突型加速器 (LHC) が建設中である。その衝突点におかれる ATLAS 検出器は、素粒子の質量の起源を担うヒッグス粒子の発見や重力を含めた 4 つの力を統一する可能性を秘めた超対称性理論が予言する超対称性粒子の発見などを目指す汎用の粒子検出器である。この実験では、バンチ・クロッシングが 40MHz と非常に高く、また多くのバックグランドを伴うため、この中から重要なイベントを識別し、効率良くデータを収集するためのトリガーシステムの導入が必要である。ATLAS 測定器の前後方ミューオントリガー検出器 (TGC) は、このトリガーシステムのうち、最初の段階でのトリガー判定を担い、一つの大規模なトリガーシステムを形成する。TGC からの出力チャンネル数はシステム全体で 30 万以上になり、迅速に処理するには、信号処理系の IC 化が必須である。

今回、主に信号のタイミング調整を行なう Patch Panel ASIC、その次段の運動量判定を 行なう Slave Board ASIC、それらを制御するための信号を送る JRC ASIC の開発及び動作検証を行なった。また LHC は苛酷な放射線環境の中、少なくとも 10 年間の稼働を予定しており、設計した ASIC についてはこの間の被曝に耐え得る性能を要求される。そこで照射実験によって、Patch Panel ASIC の放射線耐性について評価した。さらに TGC エレクトロニクスの統合評価テストを行なうことで、システム全体の中でも正しくタイミング調整が出来ることを確認した。

目 次

第 1 章　序論 **9**

第 2 章　LHC 計画 ATLAS 実験 **11**
2.1 LHC 計画 . . . 11
2.2 ATLAS 実験で期待される物理 . . . 12
2.2.1 ヒッグス粒子の探索 . . . 12
2.2.2 超対称性理論 . . . 14
2.3 ATLAS 検出器 . . . 15
2.3.1 ATLAS 検出器の概要 . . . 15
2.3.2 内部検出器 . . . 17
2.3.3 カロリメーター . . . 17
2.3.4 ミューオン検出器 . . . 18
2.3.5 マグネット . . . 20

第 3 章　ATLAS 実験のトリガー及びデータ収集 **21**
3.1 全体のシステム . . . 21
3.1.1 トリガーのスキーム . . . 21
3.1.2 データ収集のスキーム . . . 22
3.1.3 DCS(Detector Control System) . . . 22
3.2 レベル 1 トリガーシステム . . . 22
3.2.1 ミューオントリガーシステム . . . 23
3.2.2 CTP(Central Trigger Processor) . . . 24
3.2.3 TTC(Timing, Trigger and Control distribution) . . . 24

第 4 章　TGC ミューオントリガーシステム **26**
4.1 TGC の構造と特徴 . . . 26
4.2 トリガー処理の方法 . . . 27
4.3 TGC エレクトロニクス . . . 30
4.3.1 システム全体 . . . 30
4.3.2 各モジュールの説明 . . . 31
4.3.3 放射線による影響 . . . 35

第 5 章　ASIC の開発 **39**
5.1 Patch Panel ASIC の開発 . . . 39
5.1.1 Patch Panel ASIC の構成と機能 . . . 39
5.1.2 Patch Panel ASIC の設計 . . . 41
5.1.2.1 LVDS レシーバー . . . 41
5.1.2.2 可変遅延回路と PLL . . . 42
5.1.2.3 BCID 回路 . . . 45
5.1.2.4 テストパルス回路 . . . 46
5.1.2.5 JTAG プロトコル . . . 46

5.1.3 全体のレイアウト . . . 48
5.1.4 Patch Panel ASIC の動作検証 . . . 48
5.1.4.1 LVDS レシーバー . . . 48
5.1.4.2 可変遅延回路と PLL . . . 50
5.1.4.3 BCID 回路 . . . 53
5.1.4.4 Test Pulse Generator . . . 54
5.1.4.5 消費電力 . . . 55
5.1.4.6 動作検証のまとめ . . . 57
5.2 JRC(JTAG Routing Controller) ASIC の開発 . . . 58
5.2.1 JRC ASIC の構成と機能 . . . 58
5.2.2 シミュレーションによる動作検証 . . . 59
5.2.3 JRC ASIC のレイアウト . . . 60
5.2.4 JRC ASIC の動作検証 . . . 60
5.3 Slave Board ASIC の開発 . . . 63
5.3.1 Slave Board ASIC の構成と機能 . . . 63
5.3.1.1 入力部 . . . 63
5.3.1.2 制御部 . . . 63
5.3.1.3 トリガー部 . . . 65
5.3.1.4 リードアウト部 . . . 69
5.3.2 Slave Board ASIC の動作検証 . . . 70
5.3.2.1 トリガー部の動作検証 . . . 70
5.3.2.2 リードアウト部の動作検証 . . . 71
5.3.3 Slave Board ASIC の設計 . . . 73
5.4 ASIC 開発に関するまとめ . . . 75

第 6 章 Patch Panel ASIC の放射線照射テスト 76
6.1 γ 線照射テスト . . . 76
6.1.1 γ 線照射時のセットアップ . . . 77
6.1.2 測定結果と考察 . . . 77
6.2 陽子ビームテスト . . . 81
6.2.1 プロトンビーム照射時のセットアップ . . . 81
6.2.2 測定結果と考察 . . . 84
6.2.2.1 Dosimetry(線量測定) . . . 84
6.2.2.2 陽子フラックスの見積もり . . . 86
6.2.2.3 電源電流と VCON の測定 . . . 88
6.2.2.4 SEU 断面積 . . . 91
6.3 放射線耐性に関するまとめ . . . 93

第 7 章 トリガーエレクトロニクスの統合的な評価 94
7.1 タイミング調整のスキーム . . . 94
7.1.1 各デバイスでのタイミング調整 . . . 94
7.1.2 実際の ATLAS 実験におけるタイミング調整 . . . 96
7.2 スライステスト . . . 97
7.3 タイミング調整のテスト . . . 98
7.3.1 シグナルをエミュレートしたタイミング調整 . . . 98
7.3.1.1 セットアップ . . . 98
7.3.1.2 測定結果 . . . 101
7.3.2 テスト・パルスを用いたタイミング調整 . . . 102

7.3.2.1 セットアップ 103
7.3.2.2 測定結果 106
7.4 統合接続テストに関するまとめ 106

第 8 章 全体のまとめ **108**

付 録 A 放射線が半導体素子に与える影響 **110**
A.1 積算線量による劣化 110
A.2 シングルイベント効果 (SEE) 111

図 目 次

2.1.1 LHC 加速器 11
2.2.1 ヒッグス生成のファイマンダイアグラム 13
2.2.2 標準模型でのヒッグス粒子の生成断面積 13
2.2.3 標準模型でのヒッグス粒子の崩壊分岐比 14
2.2.4 標準模型でのヒッグス粒子の発見ポテンシャル 14
2.2.5 超対称性理論による力の統一 15
2.2.6 ATLAS 実験で発見可能な質量の上限値 ($\int Ldt = 10fb^{-1}$) 15
2.3.1 ATLAS 検出器 16
2.3.2 ATLAS 測定器と粒子識別の関係 17
2.3.3 内部検出器 17
2.3.4 カロリメーター 18
2.3.5 ミューオン検出器の R-Z 断面 19
2.3.6 ミューオン検出器と運動量測定 20
2.3.7 トロイダル・マグネット配置 20
2.3.8 エンドキャップ部の磁束の構造 (XY 平面:Z=10.5m) 20

3.1.1 ATLAS 実験のトリガー処理の流れ 21
3.2.1 LVL1 トリガー処理の流れ 23
3.2.2 ミューオントリガー系のデータの流れ 23
3.2.3 TTC のパーティション 25

4.1.1 TGC の構造とその配置 26
4.1.2 TGC 検出器の断面図 27
4.1.3 TGC のトリプレット (左) とダブレット (右) の構造 27
4.1.4 TGC のタイムジッター 28
4.2.1 R-Z 断面での TGC のレイアウト 28
4.2.2 TGC オクタントの分割 29
4.2.3 $\delta R, \delta\phi$ の定義 29
4.2.4 TGC トリガーの判定方法 30
4.3.1 TGC エレクトロニクスのデータの流れ 31
4.3.2 ASD Board と TGC の接続部 32
4.3.3 SPICE シミュレーションによる ASD の増幅の様子 32
4.3.4 PS Board の構成 33
4.3.5 PS-Pack の構成と配置 34
4.3.6 TGC トリガーエレクトロニクスの配置 34

5.1.1 Patch Panel ASIC のブロック図 40
5.1.2 LVDS 信号の電圧レベル 41
5.1.3 LVDS レシーバーの回路図 42
5.1.4 遅延回路と PLL 回路のブロック図 43
5.1.5 位相検出器のタイミングチャート 43

5.1.6 DELAY CELL の回路図 44
5.1.7 位相検出器の回路図 44
5.1.8 チャージポンプと LPF の回路図 45
5.1.9 BCID 回路の回路図 45
5.1.10BCID 回路のタイミングチャート 46
5.1.11遅延回路を除いたテストパルス回路の回路図 47
5.1.12多数決論理回路の回路図 48
5.1.13Patch Panel ASIC 49
5.1.14LVDS レシーバーの動作検証のセットアップ図 49
5.1.15LVDS 信号の OFFSET と Amplitude の定義 49
5.1.16入力の OFFSET と振幅を変えた時の LVDS レシーバーの伝播遅延 50
5.1.17電源電圧を変えた時の LVDS レシーバーの伝播遅延 50
5.1.18制御電圧 VCON に対する伝播遅延測定ためのセットアップ図 51
5.1.19PLL 回路の性能評価のためのセットアップ図 52
5.1.20制御電圧 VCON に対する伝播遅延 52
5.1.21遅延回路の性能評価 52
5.1.22各 PLL 回路のステップで電源電圧を変えた時の伝播遅延 53
5.1.23温度変化に対する遅延回路の評価 (PLL Step:28) 53
5.1.24温度変化に対する制御電圧 VCON の評価 (PLL Step:28) 53
5.1.25遅延回路の個体差の評価 (PLL Step:28) 54
5.1.26BCID 回路の動作検証のセットアップ図 54
5.1.27BCID 回路の動作検証のタイミングチャート) 54
5.1.28BCID 回路の性能評価 55
5.1.29テストパルス回路の動作検証のセットアップ図 55
5.1.30テストパルス回路の振幅の変化 56
5.1.31テストパルス回路の温度に対する性能評価 56
5.1.32テストパルス回路の電源電圧に対する性能評価 56
5.1.33テストパルス回路の個体差に対する性能評価 56
5.1.34テストパルス回路の遅延回路に対する性能評価 56
5.1.35入力信号の周波数を変えた時の消費電力 57
5.2.1 JRC ASIC のブロックダイアグラム 58
5.2.2 リングオシレーターの回路図 59
5.2.3 シフトレジスタの回路図 59
5.2.4 自分のルートの書き込みのシミュレーション 60
5.2.5 自分のルートの読み出しのシミュレーション 60
5.2.6 相手のルートの書き込みのシミュレーション 60
5.2.7 自分のルートの書き込みのシミュレーション 60
5.2.8 アービトレーションに対するシミュレーション 61
5.2.9 JRC ASIC 61
5.2.10JRC 動作確認のためのセットアップ 61
5.2.11リングオシレーターの周期と電源電圧の関係 62
5.3.1 Slave Board ASIC のブロック図 64
5.3.2 Slave Board ASIC の遅延回路の回路図 64
5.3.3 Wire Doublet のコインシデンスマトリックスの構造 66
5.3.4 Wire Doublet のコインシデンスマトリックスの詳細 66
5.3.5 デクラスタリングのアルゴリズム 67
5.3.6 Wire Triplet のブロック図 67
5.3.7 Wire Triplet のコインシデンスの論理 68

5.3.8 Strip Triplet のブロック図 . . . 68
5.3.9 Strip Triplet のコインシデンスの論理 . . . 68
5.3.10EI/FI Slave Board のブロック図 . . . 69
5.3.11EI/FI Slave Board のコインシデンスの論理 . . . 69
5.3.12テストベクターのトラックの例 (3 トラックの場合) . . . 70
5.3.13Slave Board ASIC の動作検証のセットアップ図 . . . 71
5.3.14ロジックアナライザーで測定したリードアウト部からの読み出し . . . 72
5.3.15レベル 1 バッファの動作検証の概念図 . . . 72
5.3.16レベル 1 バッファの深さ調整の測定結果 . . . 73
5.3.17テストパルスの遅延調整の測定結果 . . . 73
5.3.18今までの SLB の $P_T = \infty$ のトラックに対する処理 . . . 74
5.3.19修正した SLB の $P_T = \infty$ のトラックに対する処理 . . . 74

6.1.1 γ 照射試験セットアップ図 . . . 78
6.1.2 フリッケ線量計にシリコンに対する γ 線の強度 . . . 78
6.1.3 γ 照射試験セットアップ図 (詳細) . . . 78
6.1.4 γ 線照射中の電流値の推移 (Patch Panel) . . . 79
6.1.5 γ 線照射の電流値の推移 (JRC) . . . 79
6.1.6 γ 線照射中の VCON の推移 . . . 80
6.1.7 γ 線照射中のリングオシレーターの周波数の推移 . . . 80
6.1.8 照射後の Patch Panel(Chip4) の VCON に対する伝播遅延 . . . 80
6.1.9 照射後の Patch Panel(Chip4) の遅延回路 (PLL Step:28) の伝播遅延 . . . 80
6.1.10照射後の Patch Panel(Chip4) のテストパルス回路の振幅の変化 . . . 80
6.2.1 陽子ビーム照射試験用テストボード . . . 82
6.2.2 陽子ビーム照射試験のセットアップ図 . . . 83
6.2.3 陽子ビーム照射試験のセットアップ (写真)) . . . 83
6.2.4 照射ボードと X-Y ステージのセットアップ (写真)) . . . 84
6.2.5 Cu Foil からの γ 線スペクトル . . . 85
6.2.6 Ge 検出器のキャリブレーション . . . 85
6.2.7 PP(Chip1) のビームプロファイル . . . 87
6.2.8 PP(Chip2) のビームプロファイル . . . 87
6.2.9 PP(Chip3) のビームプロファイル . . . 87
6.2.10PP(Chip4) のビームプロファイル . . . 87
6.2.11JRC(Chip1) のビームプロファイル . . . 87
6.2.12JRC(Chip2) のビームプロファイル . . . 87
6.2.13JRC(Chip3) のビームプロファイル . . . 87
6.2.14JRC(Chip4) のビームプロファイル . . . 87
6.2.15PP(Chip1) の陽子フルーエンス . . . 89
6.2.16PP(Chip2) の陽子フルーエンス . . . 89
6.2.17PP(Chip3) の陽子フルーエンス . . . 89
6.2.18PP(Chip4) の陽子フルーエンス . . . 89
6.2.19JRC(Chip1) の陽子フルーエンス . . . 89
6.2.20JRC(Chip2) の陽子フルーエンス . . . 89
6.2.21JRC(Chip3) の陽子フルーエンス . . . 89
6.2.22JRC(Chip4) の陽子フルーエンス . . . 89
6.2.23PP(Chip1) の照射中の電源電流と VCON の推移 . . . 90
6.2.24PP(Chip2) の照射中の電源電流と VCON の推移 . . . 90
6.2.25PP(Chip3) の照射中の電源電流と VCON の推移 . . . 90

6.2.26PP(Chip4) の照射中の電源電流と VCON の推移 90
6.2.27IRC(Chip1) の照射中の電源電流の推移 90
6.2.28IRC(Chip2) の照射中の電源電流の推移 90
6.2.29IRC(Chip3) の照射中の電源電流の推移 90
6.2.30IRC(Chip4) の照射中の電源電流の推移 90
6.2.31γ 線照射と陽子ビーム照射での PP(Chip1) の電源電流の推移の比較 91
6.2.32γ 線照射と陽子ビーム照射での PP(Chip4) の電源電流の推移の比較 91

7.1.1 TGC トリガーシステムに設置される遅延回路 95
7.1.2 クロックのエッジ付近にシグナルがきた場合のタイミングチャート 96
7.1.3 TGC のケーブルの配線長の違い 96
7.1.4 LHC のビーム構造 97
7.1.5 BCID に対するヒット数の総和の分布 (概念図) 97
7.2.1 スライステストの全体図 97
7.2.2 スライステストで用いられている PS Board 98
7.3.1 ビームが出てる状態を想定した場合のブロック図 99
7.3.2 ビームが出てる状態を想定した場合のタイミングチャート 99
7.3.3 タイミング調整テストの TOF の設定 100
7.3.4 タイミング調整の結果 (TOF1) 102
7.3.5 タイミング調整の結果 (TOF2) 102
7.3.6 タイミング調整の結果 (TOF3) 102
7.3.7 TOF1 の位置に設置された TGC のタイムジッター 103
7.3.8 BCID 回路からの出力結果 103
7.3.9 Patch Panel から、テストパルスを受けた時に ASD が行なう処理 103
7.3.10テスト・パルスを用いた場合のブロック図 104
7.3.11テスト・パルスを用いた場合のタイミングチャート 104
7.3.12テストパルス回路を用いたタイミング調整の結果 (TOF1) 106
7.3.13テストパルス回路を用いたタイミング調整の結果 (TOF2) 106
7.3.14テストパルス回路を用いたタイミング調整の結果 (TOF3) 106

A.1.1γ 線による nMOS トランジスタの影響 110
A.1.2照射による MOS トランジスタの基本特性の変化 111
A.2.1SEU のメカニズム 112
A.2.2SEU 発生確率の LET 依存性 112
A.2.3SEL のメカニズム 113

表 目 次

2.1.1 LHC 加速器の主要パラメーター 12
2.3.1 ATLAS 実験におけるミューオン検出器の構成 19

3.2.1 TTC で使われる主な信号 24

4.3.1 RHA のシミュレーションによる放射線量の見積もり 36
4.3.2 TGC エレクトロニクスの RTC の見積もり 36

5.1.1 Patch Panel ASIC のユーザー定義レジスタの一覧 47
5.1.2 クロストークによる LVDS レシーバーの影響 51
5.1.3 可変遅延回路と PLL 回路の測定 52
5.1.4 Patch Panel ASIC の動作検証の全項目 57
5.2.1 JRC ASIC のユーザー定義レジスタの一覧 59
5.2.2 JRC ASIC の動作検証の全項目 62
5.3.1 Slave Board ASIC のユーザー定義レジスタの一覧 65
5.3.2 Slave Board ASIC の種類 65
5.3.3 ハードとシミュレーターの比較の結果 71

6.0.1 放射線照射テストの内容と目的 76
6.1.1 γ 線照射試験の測定内容 77
6.2.1 陽子ビーム照射試験の測定内容 81
6.2.2 照射線量と陽子フルーエンス 88
6.2.3 SEU 段面積の計算結果 91
6.3.1 Patch Panel ASIC の放射線耐性に対するまとめ 93

7.3.1 ビームが出てる状態を想定した場合の Patch Panel に入力されるクロック、シグナルに関係する遅延時間 100
7.3.2 各 TOF に置ける Patch Panel ASIC の遅延回路の設定値 101
7.3.3 テスト・パルスを用いたタイミング調整に必要な遅延要素 105
7.3.4 テストパルス回路を用いたタイミング調整での各 TOF に置ける Patch Panel ASIC の遅延回路の設定値 105

第1章　序論

現在ジュネーブ郊外にある欧州原子研究機構 (CERN) において、大型陽子陽子衝突型加速器 (LHC) が 2007 年運転開始を目指して建設中である。LHC は重心系エネルギーが 14TeV という世界最大のエネルギーをもつ加速器であり、ヒッグス粒子の探索をはじめとする電弱対称性の破れの実験的な解明や、超対称性粒子の探索など、標準理論を越えた新たな物理現象の発見も期待されている。LHC で行なわれる実験の一つに ATLAS 実験があり、その測定器は LHC のビーム衝突点の一つに設置される。

LHC のビーム衝突は 40.08MHz と非常に高い頻度で起こり、また検出器の規模が大きいため総チャンネル数も多く、さらにハドロンコライダーであるため莫大なバックグラウンドが生じる。従って、膨大な量のデータを高速かつ効率良く処理するためのトリガーシステム及びデータ収集システムが必要である。ATLAS 実験では 3 段階のトリガーシステムを導入しており、データは各検出器からの情報をもとに、各システムで段階的に取捨選択される。ATLAS 測定器の中で、前後方ミューオントリガー用検出器 (TGC) は、その最初の段階でのトリガー判定の一部を担い、そのデータ処理のために設置される各エレクトロニクスにより、一つの大規模なトリガーシステムを構成している。

TGC からの出力チャンネル数は 32 万チャンネルもあるので、迅速に処理するためにミューオントリガー判定用の回路の多くは、ASIC(Application Specific IC) と呼ばれる特定用向けの IC を用いて実現している。本論文では、その中で Patch Panel ASIC, Slave Board ASIC, JRC ASIC の開発と動作検証について述べる。

Patch Panel ASIC には、TGC からの各入力信号のタイミング調整が求められる。TGC からの信号は、ケーブル長の違いから生じる配線遅延、ミューオンの TOF(Time Of Flight)、TGC 自身に固有な時間分解能により、全チャンネルでタイミングのずれが生じる。トリガー処理を正しく行なうためには、この信号のずれを調整し、それがどのバンチ・クロッシングで起きたかを正確に識別する必要がある。Pacth Panel ASIC は、これらの処理を行なうために遅延回路とバンチ識別回路を備えている。Slave Board ASIC の主な役割は、何層にもなった TGC 間のコインシデンス処理を行ない、TGC からの信号に対し最初のトリガー判定を行なうことである。この複雑な処理を、ATLAS のトリガーシステムが定める処理時間内に行なわなければならないので、ASIC での実装が不可欠となっている。JRC ASIC は、これらの ASIC の制御信号を分配するためのスイッチングルーターである。

開発した ASIC が、実際の ATLAS 実験で実用可能となるには、単体の動作検証の他に、次の 2 つの動作検証が課せられる。まず 1 つは、放射線耐性に対する動作検証である。TGC の信号処理に使われる ASIC は、検出器が設置される実験ホール内に置かれる。LHC は実験開始から少なくとも 10 年間は稼働を予定しており、検出器内部に設置されている全てのデバイスは、この稼働期間中の被曝に耐え得る性能が要求される。半導体素子が放射線によって受ける影響は、γ 線などによる積算的なダメージの他に、高エネルギーのハドロンによって、メモリ素子の情報が反転する SEU(Single Event Upset) などがある。基本的に ASIC は放射線耐性に優れているが、Patch Panel ASIC には、レイアウトレベルから設計したアナログ回路を多数搭載しているので、放射線による影響が特に懸念される。そこで今回、γ 線及び陽子ビームを用いて、Patch Panel ASIC の放射線耐性の評価を行なった。

2 つ目は、システム全体としての動作検証である。Patch Panel ASIC の主な役割はタイミング調整とバンチ識別であるが、単体の動作検証で十分な性能が得られても、システム全体の中で動作させた時に正しくタイミング調整が出来る保証はない。LHC のビーム衝突が間隔が $25ns$ と非常に短いことと、TGC からのシグナルの総数は 30 万チャンネル以上に及ぶことなどの理由から、タイミング調整は困難が予想される。従ってトリガー処理を正しく行なうために、タイミング調整の方法を確立し、システムとしての動作検証を行なうことで、現在の IC のスペックで思い通りのタイミング調整が可能であるかを評価する必要がある。

本論文の構成であるが、まず次章において LHC の特徴と期待される物理、そして ATLAS 検出器を構成する各測定器の特徴について述べ、第 3 章では ATLAS 実験のトリガー及びデータ収集システムについて触れる。第 4 章では TGC ミューオントリガーシステムを構成するエレクトロニクスの特徴と設置環境などについて説明する。第 5 章からは本論文の主題に入り、Patch Panel ASIC, JRC ASIC, Slave Board ASIC の開発と単体での動作検証について報告する。第 6 章では Patch Panel ASIC の放射線耐性を評価するために行なった、γ 線及び陽子ビームを用いた照射試験について述べる。そして、第 7 章ではトリガーエレクトロニクスの統合的な評価として、タイミング調整の試験について述べる。最後に第 8 章で本論文のまとめを行なう。

第2章　LHC計画ATLAS実験

ここでは、LHC計画 ATLAS 実験の概要について述べる。まず実験で利用される加速器の特徴を説明し、さらに観測が期待されている物理について述べる。次に ATLAS 測定器の構造及びそれを構成する各検出器の特徴について説明する。

2.1　LHC計画

現在2007年運転開始を目指して、14TeVの重心系エネルギーを持つ大型陽子陽子衝突型加速器LHC(Large Hadron Collider)が、ジュネーブ郊外にある欧州原子核研究機構(CERN)にて建設中である。LHCは2000年まで稼働していた電子・陽電子衝突型加速器LEP(Large Electron Positron Collider)と同じトンネル内に設置され、その周長はおよそ27kmである。図2.1.1に示すように、LHCには合計4つのビーム交差点があり、そこにはそれぞれ、汎用の検出器であるATLASとCMS、重イオン衝突実験用のALICE、B物理の測定に適したLHC-Bが設置される。LHCの主要パラメーター表2.1.1にを示す。

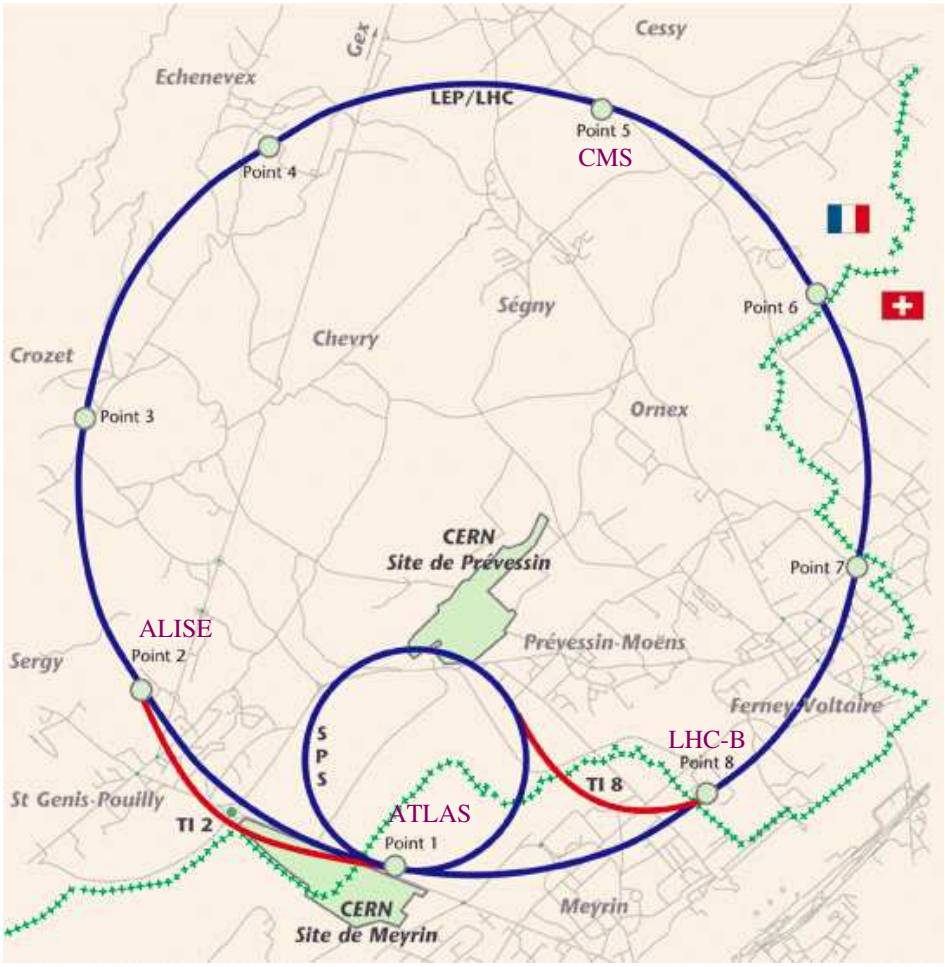


図 2.1.1: LHC 加速器

LHCの最大の特徴は、14TeVという世界最大の重心系エネルギーである。LHCは、ハドロンコライ

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低) ルミノシティ	$10^{33}cm^{-2}s^{-1}$	(高) ルミノシティ	$10^{34}cm^{-2}s^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95ns
1 バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	19
衝突点のビーム半径	$16\mu m$	衝突角度	$200\mu rad$

表 2.1.1: LHC 加速器の主要パラメーター

ダーであるため、電子陽電子コライダーなどと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少なく[1]、トンネル内に多数の超伝導電磁石を並べることで、8.4 テスラの強力な磁場を作り出し、7TeV という超高エネルギーの陽子・陽子衝突現象を実現させている。これにより、ヒッグス粒子の探索では 100GeV から 1TeV までの広い範囲で探索出来るほか、超対称性粒子や未知の相互作用の発見などが期待される。さらに、大量のトップクォークやボトムクォークも生成されるので、これらに関する精密測定も可能である。

一方で、加速粒子に複合粒子である陽子を用いていることと、ルミノシティを稼ぐためにバンチ衝突頻度が 40.08MHz と高いことから、莫大な量のバックグラウンドが予想される。従って、物理現象を解析するために必要なデータをいかに効率良く正確に収集するかが重要になる。

2.2 ATLAS 実験で期待される物理

自然界は、3 世代から成るレプトンとクォークにより構成され、ゲージ粒子を媒介することによりそれらの間に相互作用が生じるとする標準理論は、今まで得られた実験結果と見事な一致を見せている。しかし、標準理論の中で素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な鍵となるヒッグス粒子については、まだ発見出来てない。また標準理論には、任意パラメーターが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。

2.2.1 ヒッグス粒子の探索

ATLAS 実験の主要目的は、標準理論の根幹をなすヒッグス粒子の発見である。標準理論の枠内ではヒッグス粒子の質量は正確には予言出来ないが、$100MeV \sim 1TeV$ の範囲にあると予言されており、LHC はこの範囲をカバーしている。以下にヒッグス粒子の探索について述べる。

図2.2.1に、主な 4 つのヒッグス生成過程を示す。ヒッグス粒子との結合がとくに強いのは重い粒子であるため、ヒッグス粒子は重いクォークや W/Z ボゾンと強く結合する。それぞれの生成過程でのヒッグス粒子の質量と生成断面積の関係は、図 2.2.2のようになる。

- gluon fusion

  LHC で探索可能なエネルギー領域において最大の生成断面積を持ち、重いクォーク[2]のループを介して、生成される過程である。しかし、ヒッグス粒子の崩壊から出て来た粒子以外は、大きな横運動量 P_T を持つ粒子がないため、シグナルを識別する手段が少なく、バックグラウンドが非常に厳しい。$H \to \gamma\gamma, ZZ(\to llll), W^+W^-(lvlv)$ だけが、有望な崩壊過程である。

[1]単位長当たりの放射光によるエネルギーの損失は γ^4/ρ^2 に比例する ($\gamma = E/mc^2, \rho$: 加速器の曲率半径)。陽子の質量は電子の質量の 1840 倍なので、放射光エネルギー損失は同じエネルギーの電子の 10^{13} 分の 1 となる。

[2]トップクォークの寄与がほとんどで、ボトムクォークによるものは約 5% である。

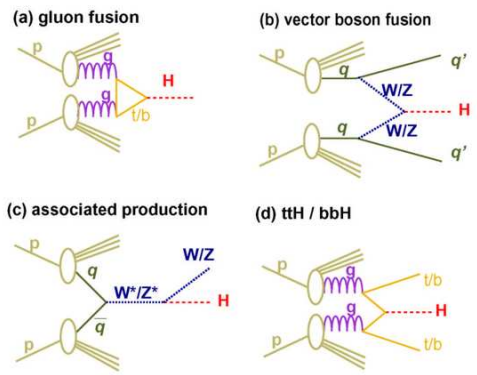


図 2.2.1: ヒッグス生成のファイマンダイアグラム

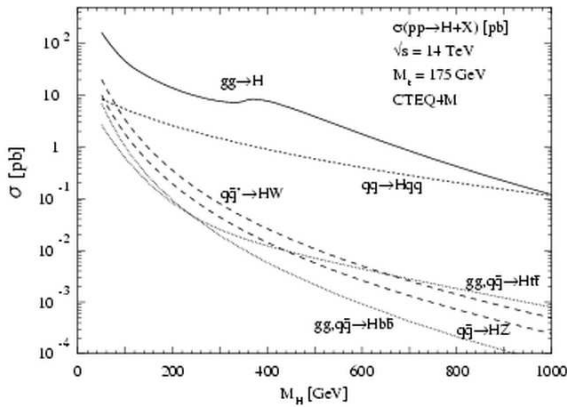


図 2.2.2: 標準模型でのヒッグス粒子の生成断面積

- vector boson fusion

  2 番目に大きな生成断面積を持ち、2 つのベクターボゾンからヒッグス粒子が生成される過程である。W/Z ボゾンの質量は重いので、ベクターボゾンを放出した 2 本のジェットは、大きな P_T 持って反跳し、このジェットを両側で tag することが出来る。さらに、2 つの前方のクォークの間でカラー交換が行なわれないので、2 つの tag されたジェットの領域での QCD による影響は少なく、イベント選定を行ないやすい。従って、この生成過程では、様々な崩壊過程でのヒッグス粒子の探索が期待されており、現在盛んに研究が進められている [13]。

- W/Z associated production

  クォークペアの対消滅から生成されたゲージボゾンから、更にヒッグス粒子が放射される生成過程である。$W^{\pm}/Z^0$ がレプトンに崩壊した場合に、シグナルとバックグラウンドを容易に識別出来る。

- top associated production

  対生成されたトップクォークからヒッグス粒子が生成される過程である。生成断面積は非常に小さいが、終状態の 2 つのトップクォークを tag することで、QCD バックグラウンド大幅に減らすことが出来る。またこの反応には、トップクォークの湯川結合という重要な情報を含んでいる。

図2.2.3に、標準模型のヒッグス粒子の質量と崩壊分岐比の関係を示す。これからわかるように、崩壊分岐比はヒッグス粒子の質量 m_H に依存しており、各質量領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊モードを簡単に説明する。

- $m_H < 150GeV$

  この領域の主な崩壊過程は $H \to b\bar{b}$ であるが、QCD バックグラウンドと区別することは非常に難しく、むしろ重要なのは、稀崩壊であるが、$H \to \gamma\gamma$ の崩過程である。ATLAS 検出器はフォトンに対して優れた位置分解能とエネルギー分解能を持つので、多量のバックグラウンドの中でも、ヒッグス粒子の質量を鋭いピークとして測定出来る[1]。

- $120GeV < m_H < 180GeV\,(= 2m_Z)$

  この領域になると、m_H が m_W や m_Z の質量を越えるので、WW^* や ZZ^* の崩壊が始まる。しかし WW^* は、ニュートリノやジェットといった成分を含むので、あまりきれいなイベントとは言えない。従って、この領域では $H \to ZZ^* \to llll$ の崩壊過程が重要になる。

- $180GeV\,(= 2m_Z) < m_H < 500GeV$

[1] $H \to \gamma\gamma$ の不変質量に対する ATLAS 測定器の resolution は、(低) ルミノシティで 1.1GeV である。

この領域で最も重要な崩壊過程は、$H \to ZZ \to llll$ である。このモードは分岐比こそ小さいが、2組のレプトン対の不変質量がともに m_Z に等しいという条件を課すことが出来るので信頼性が高く、もっともきれいな質量のピークが得られる。従って、この事象は gold-plated event と呼ばれる。

- $500GeV < m_H$

  この領域になると、ヒッグス粒子の生成断面積が小さくなり、さらに崩壊幅も $100GeV$ を越えてしまうので、質量のピークが広がってしまい、$H \to ZZ \to llll$ だけでは、統計的に不十分になってしまう。そこで、レートが高い $H \to ZZ \to llνν$ や $H \to WW \to lνlν$ を用いる必要がある。

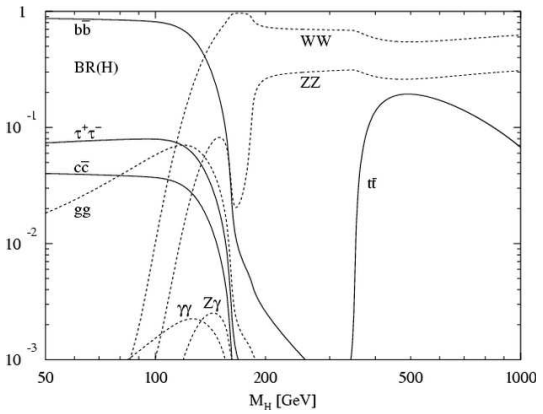


図 2.2.3: 標準模型でのヒッグス粒子の崩壊分岐比

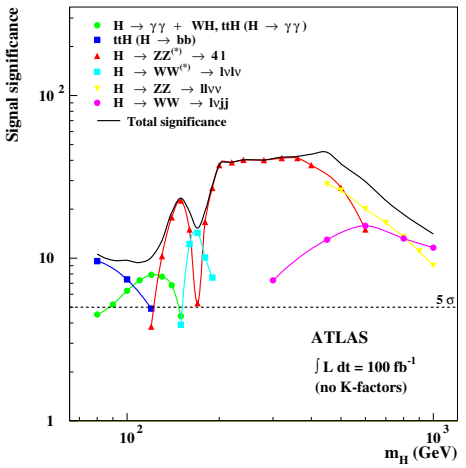


図 2.2.4: 標準模型でのヒッグス粒子の発見ポテンシャル

図2.2.4に、積分ルミノシティが $100fb^{-1}$ 溜った時の ATLAS 測定器の標準模型ヒッグス粒子の発見能力を示す。ただし、この図で使われているヒッグス粒子の生成過程は、gluon fusion と top associated production のみである。これを見ると、ATLAS 測定器は上限値である 115GeV から 1TeV の領域までカバーしており、10σ 以上の確からしさでヒッグス粒子を発見出来ることがわかる。

またこの図では、軽いヒッグスに対する ATLAS 測定器の発見能力はやや劣っているが、現在 vectoor boson fusion の研究が進み、崩壊過程が $H \to \gamma\gamma$ や $H \to \tau\tau$ [25] といった軽いヒッグス粒子のモードで、観測可能であることがわかった。従って、この欠点は改善され、ATLAS 測定器は軽いヒッグスに対しても十分な発見能力を持つことになる。

2.2.2 超対称性理論

LEP 実験は Z^0 粒子の崩壊から、相互作用の大きさを正確に測定した。この結合定数を、理論に従って非常に高いエネルギーまで伸ばしていったものを図2.2.5(横軸:エネルギーの対数、縦軸:力の大きさの逆数) に示す。超対称性を入れない理論では 3 つの結合定数は決して 1 点に集まらないが、超対称性を入れると、$10^{16}GeV$ という途方もないエネルギーで 1 点に集まる。これは、このエネルギーにおいて 3 つの力 (電磁気力、弱い力、強い力) が統一される可能性を示唆している。

この超対称性理論は、全てのフェルミオン及びボソンに対してスピンが $1/2$ だけ異なる超対称性粒子の存在を予言しており、この超対称性粒子の発見こそが、超対称性の動かぬ証拠になる。超対称性粒子の質量は電弱対称性の破れのスケールから TeV 領域の間にあること自然であると期待されており、これは ATLAS 実験で発見が可能な領域である。表2.2.6に、積分ルミノシティが $10fb^{-1}$ において、ATLAS 実験で発見が可能な質量のおおまかな上限値をまとめる。

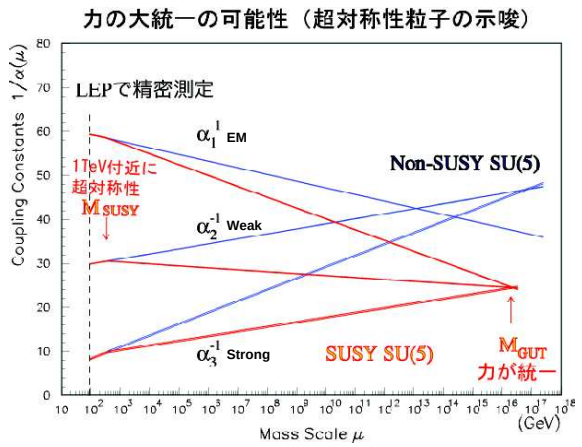


図 2.2.5: 超対称性理論による力の統一

粒子名	発見可能な質量の上限値
$\tilde{g}$(グルイーノ)	$\sim 2TeV$
$\tilde{\chi}^{\pm}$(チャージーノ)	$\sim 500GeV$
$\tilde{\chi}^{0}$(ニュートラリーノ)	$\sim 200GeV$
$\tilde{q}$(スクォーク)	$\sim 2TeV$
$\tilde{l}$(スレプトン)	$\sim 500GeV$

図 2.2.6: ATLAS 実験で発見可能な質量の上限値 $(\int Ldt = 10fb^{-1})$

2.3 ATLAS 検出器

ATLAS 検出器は、LHC の衝突点の一つに設置され、LHC で起こる様々な物理現象を的確に捕らえることを目的としており、LHC の高いルミノシティにおいても、フォトン、電子、ミューオン、ジェット、$missingE_T$、などの信号を高速かつ正確に処理出来るように設計される汎用の検出器である。ATLAS 実験では、LHC の高頻度のバンチ衝突にも対応出来る放射線耐性を兼ね備えた高速に動作する検出器、効率良くデータを処理・収集出来るシステム、大量のデータから目的とする物理現象を明らかにするための解析技術と計算処理能力など、新たに開発していかなければならない数多くの分野が存在する。ここでは、ATLAS 実験について、それを構成する個々の検出器の仕組みと粒子の識別方法について述べる。

2.3.1 ATLAS 検出器の概要

図2.3.1に、ATLAS 検出器の全体図と本論文で用いる座標系を示す。ATLAS 検出器は、前節で述べた物理現象をはじめ未知のエネルギー領域で期待される様々な物理現象を研究出来るように設計されており、ATLAS 検出器の性能をまとめると以下のようになる [4]。

- 電磁カロリメーターによる高精度なフォトンと電子の測定とハドロンカロリメーターによる高精度なジェットと $missigE_T$ の測定が可能である。
- 内部検出器の情報に頼らずにミューオンスペクトロメーターの情報だけで、高精度なミューオンの横運動量 P_T を測定することが出来る。
- 飛跡検出による $high-P_T$ のレプトンの横運動量 P_T の測定、電子、フォトン、tau-ジェット、$b-tagging$ などの識別が可能で、完全なイベント再構成が出来る。
- 検出器は、出来るだけ広範囲のラピディティ η[1]を覆い、方位角 θ についてはほとんど完全にカバーする。
- $low-P_T$ の閾値においても粒子のトリガーと測定が可能で、LHC で興味がある物理現象を高い検出効率で提供できる。
- 高いルミノシティに由来する大量のバックグラウンド放射線に対して耐久性がある。

ATLAS 検出器の大きさは、直径 22m、長さ 44m、総重量 7000 トンと巨大なもので、検出器は主に内側から、内部飛跡検出器、カロリメーター、ミューオン検出器がら構成され、また各検出器の間には、荷

[1] η は pseudo rapidity と呼ばれ、θ をビーム軸とのなす角とすると $\eta = -ln(\tan\theta/2)$ で定義される。ハドロンコライダーでは散乱断面積がおよそ η に比例するので、良くこの量が使われる。

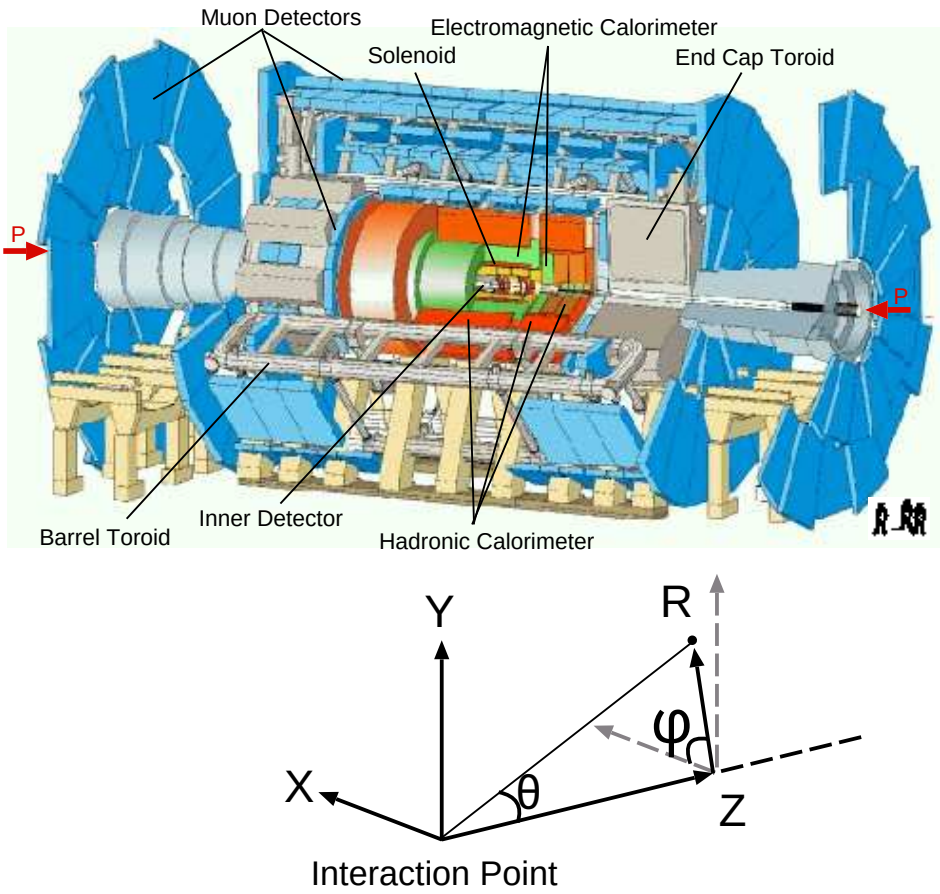


図 2.3.1: ATLAS 検出器

電粒子運動量測定のためのマグネットが設置される。ATLAS 検出器は、内側から、内部検出器、電磁・ハドロンカロリメーター、ミューオン検出器で構成され、図2.3.2のように、粒子の識別が行なわれる。

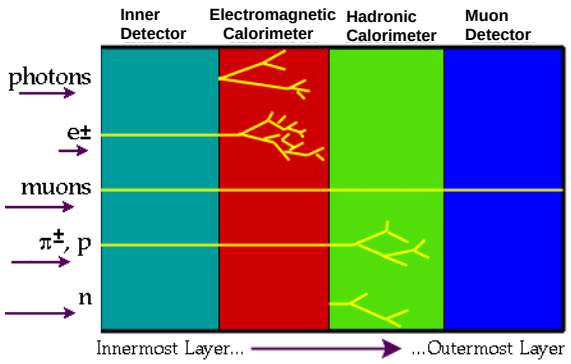


図 2.3.2: ATLAS 測定器と粒子識別の関係

次に各検出器とマグネットの特徴について簡単に説明する。

2.3.2 内部検出器

内部検出器は荷電粒子のトラッキングを主な目的としており、ソレノイドの磁場と組み合わせることで、運動量の測定も行なうことが出来る。内部検出器は、図2.3.3に示すように、3 種類の検出器で構成され、いずれも中心磁場 2T の超電動ソレノイドの内側に設置される。
最も内側にある検出器がピクセル検出器で、これは 1 つの要素が $50\mu m \times 300\mu m$の高分解能の半導体検出器である。この検出器の精度によって、バーテックスの精度が決められる。その外側には、SCT(Semiconductor Tracker) と呼ばれるシリコン・ストリップ検出器が設置される。最も外側には、半径 4mm のストロー検出器を束ねて作った TRT(Transition Radiation Tracker) と呼ばれる検出器が置かれ、トラッカーとしての機能の他に、遷移放射 (transition radiation)[1] を利用した電子の識別も行なうことができる。内部検出器では、これらの検出器を組み合わせて高分解能の測定を行なうことが出来る。

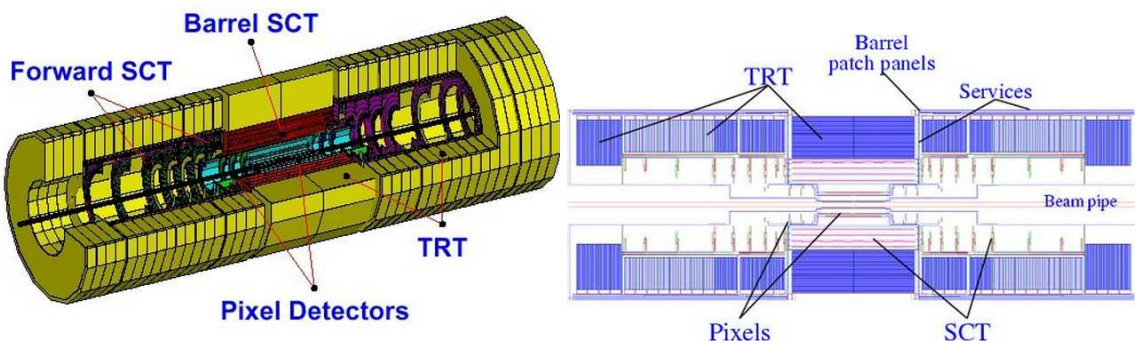


図 2.3.3: 内部検出器

2.3.3 カロリメーター

カロリメーターの主な役割は、フォトン、電子、ジェットについて、高い位置分解能、高いエネルギー分解能に基づいた情報から、粒子のエネルギーを測定することである。図2.3.4に示すように、ATLAS

[1]遷移放射は、誘電率の異なる 2 つの媒介境界を荷電粒子が通過する時に起こる放射である。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する。

実験で使われるカロリメーターは、3 種類から成り、広範囲のラピディティー $|\eta|$ をカバーするように設置される。内側には、放射線耐性に優れ、また LHC のような高イベントレートに対処できるアコーディオン型電磁カロリメーターが設置される。この検出器は、鉛の吸収体と液体アルゴンから成り、バレル、エンドキャップ部を合わせて $|\eta| < 3.2$ の領域を覆っている。外部バレル部 ($|\eta| < 1.6$) にはシンチレータと鉄がサンドイッチ構造をなすタイル型ハドロンカロリメーターが設置され、外部エンドキャップ部 ($1.5 < |\eta| < 3.2$) には、銅板を吸収体とした液体アルゴンカロリメーターが設置される。

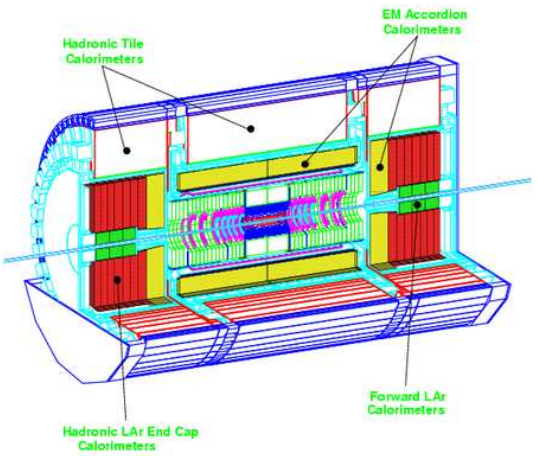


図 2.3.4: カロリメーター

2.3.4 ミューオン検出器

ATLAS 実験のミューオン検出器の役割は、(1) 殆んど全ての重要な物理に関わっている、(2)LHC 実験の厳しい実験環境下でも精度の良い測定が出来るなどの理由から、非常に重要なものになっている。このミューオン検出器の最大の特徴は、ミューオン検出器系だけでミューオンの位置と運動量が測定出来るように、超伝導空芯トロイダルマグネットを内包していることである。これによって、多重散乱の効果を最小に抑えて、測定可能なミューオンの運動量の下限を低くし、さらに広いラピディティー領域をカバー出来るようになる。図2.3.5に ATLAS 測定器の R-Z 断面図を示す。ミューオン検出器の前には、$11 \sim 14\lambda$[1] 相当の物質があるとはいえ、まだバックグラウンドはかなり多く、この中からミューオンを効率良く検出し、かつバンチ識別を行なうには、トリガー専用の検出器が必要となる。同時にこの検出器には、第 2 座標 $(R\phi)$[2]の測定も期待されている。そこで、ATLAS 実験では、運動量精密測定用として、MDT(Monitored Drift Tube) と CSC(Cathode Strip Chamber)、トリガー用にバレル部 ($|\eta| < 1.1$) には比較的建設コストを安く出来る RPC(Resistive Plate Chamber)、エンドキャップ部 ($1.05 < |\eta| < 2.40$) には高粒子頻度に耐え、位置測定精度にも優れた TGC(Thin Gap Chamber) が設置される。この中で TGC は本論文で対象とするトリガーシステムの入力を与える検出器であり、第 4 章でその構造と動作について述べる。表2.3.1に、ATLAS ミューオン検出器を構成する 4 種類のチェンバーの特徴を示す。 図2.3.6に示すように、ミューオンはトロイダル磁場によって、曲げられ、この曲がり方を 3 層の検出器で測定することで運動量が測定出来る。理想的には ϕ 方向のトロイダル磁場によって、ミューオンは R-Z 平面内で曲がるが、現実には磁場の強さは一様ではなく、ミューオンは ϕ 方向にも曲げられるので、最終的には、軌跡上での磁場の大きさと ϕ 方向を含めたミューオンの飛跡の変位を考慮して、運動量は求められる。

[1] λ は衝突長と呼ばれ、$\lambda = 1/(\sigma\rho N_A)$ で定義される。ここで、σ はハドロンと物質との相互作用による衝突断面積 (cm^2)、ρ は物質密度 (gr/cm^3)、$N_A (= 6.023 \times 10^{23}/gr)$ はアボガドロ数である。

[2] 検出器の平面内において、理想的なトロイダル磁場によって曲がる方向を第 1 座標、曲がらない向きを第 2 座標と呼ぶ。

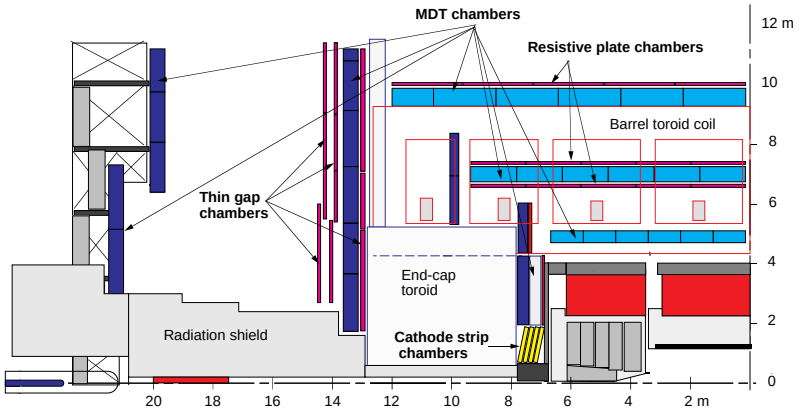


図 2.3.5: ミューオン検出器の R-Z 断面

検出器名	役割	$\|\eta\|$ の領域	特徴	総チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	$30mm\phi$ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu$	30 万
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu$	10 万
RPC	トリガー 第 2 座標測定 ($R\phi$)	0 ~ 1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1ns$	40 万
TGC	トリガー 第 2 座標測定 ($R\phi$)	1.05 ~ 2.4	薄ギャップのワイヤーチェンバー 時間分解能 $\sigma_t = 4ns$	32 万

表 2.3.1: ATLAS 実験におけるミューオン検出器の構成

測定されたミューオンの運動量は、トリガーの判断基準に用いられる。

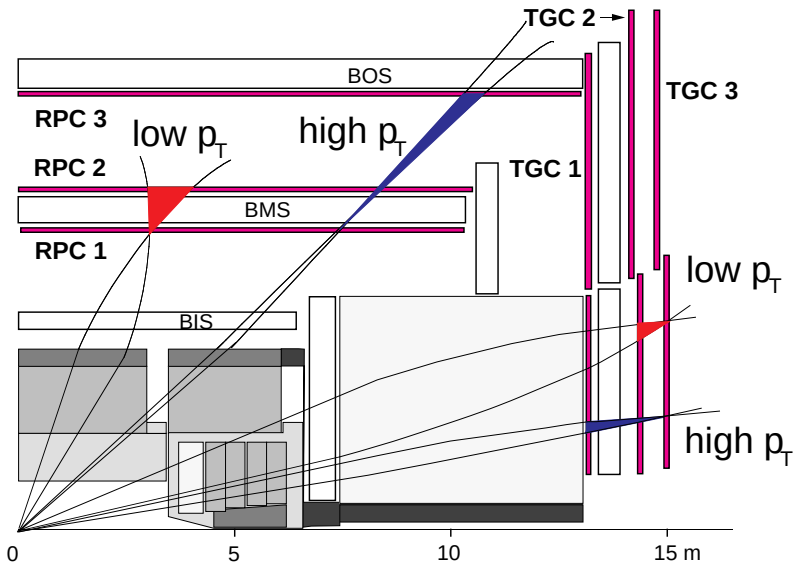


図 2.3.6: ミューオン検出器と運動量測定

2.3.5 マグネット

ATLAS 測定器のマグネットは、内部検出器を包み込む中央ソレノイドマグネット、カロリメーターの外側に設置されるトロイダルマグネットがあり、いずれも超伝導マグネットが使われる。トロイダルマグネットは、図2.3.7 に示すように、バレル部とエンドキャップ部で別々のものが設置され、積分磁場強度[1]は、バレル部で 2 ~ 6Tm(η:0 ~ 1.3)、エンドキャップ部で 4 ~ 8Tm(η:1.6 ~ 2.7) になる。また先に述べたように、トロイダルマグネットの磁場は、図2.3.8に示すように、ϕ 方向成分だけでなく R 方向成分も形成される。

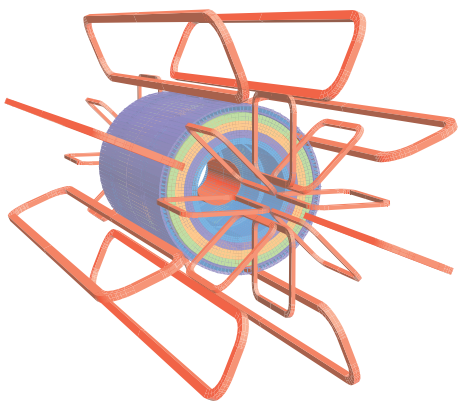


図 2.3.7: トロイダル・マグネット配置

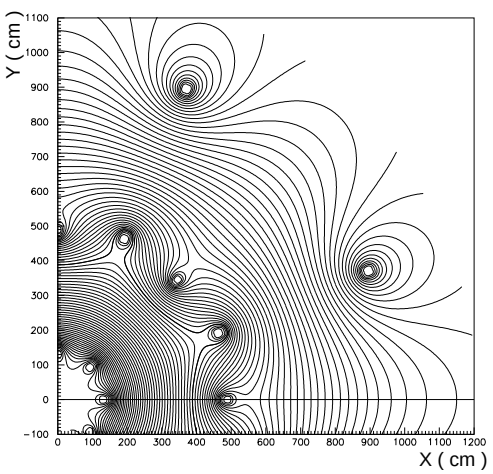


図 2.3.8: エンドキャップ部の磁束の構造 (XY 平面:Z=10.5m)

[1]磁石が粒子を曲げる能力を表す磁場を粒子の飛跡に沿って積分した値

第3章　ATLAS実験のトリガー及びデータ収集

LHC の最高ルミノシティでは、40.08MHz のビーム衝突ごとに平均 20 個の陽子の衝突がオーバーラップして発生し、1GHz 程のイベントレートで何らかの生成反応が発生する。1 イベントあたりを記録するのに必要なデータ量は、平均 1Mbyte と見積もられており、計算機資源や記録装置からの制限から、記録されるデータの頻度を 100Hz 程度にしなければならない。そのため、莫大なバックグラウンドの中から、各検出器のデータをもとに、物理的に重要なイベントだけを効率良く正確に選び出すためのシステムの構築が必要となる。ここでは、ATLAS 実験におけるトリガー及びデータ収集システムについて簡単に述べる。

3.1　全体のシステム

3.1.1　トリガーのスキーム

ATLAS 実験では、膨大なデータ量の中から、興味あるイベントを効率良く識別し、データ収集を行なうために、図3.1.1に示すように、LVL1(レベル 1)、LVL2(レベル 2)、EF(イベントフィルター) の 3 段階のトリガーシステムを導入している [3]。データは各検出器からの情報をもとに、各システムで段階的に処理され、最終的に興味あるイベントのみが、記録装置に保存される。次に各システムについて、簡単に説明する。

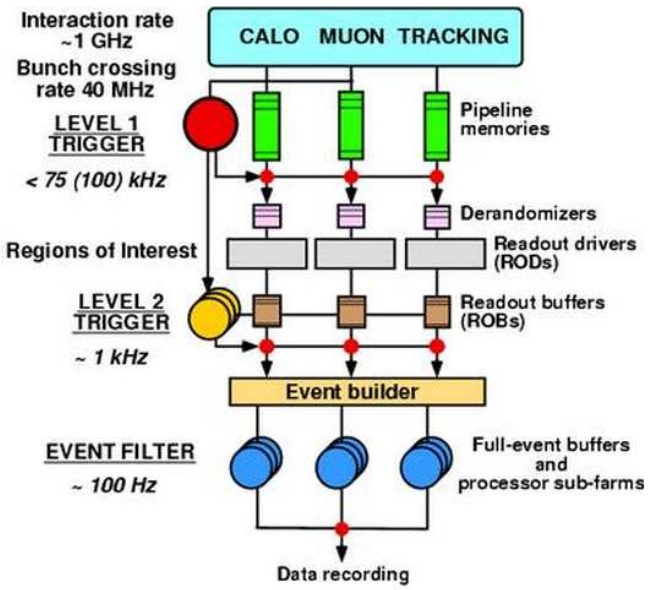


図 3.1.1: ATLAS 実験のトリガー処理の流れ

- LVL1(レベル 1)

  LVL1 では、カロリメーターとトリガー用のミューオン検出器 (TGC、RPC) の情報のみを使って、40.08MHz の各バンチ衝突に対して L1A(レベル 1 アクセプト:レベル 1 トリガー判定) の決定を行なう。レベル 1 トリガー判定のレートは最大 75kHz であるが、100kHz までアップグレードが可能で

あるとしている [6]。またレベル 1 トリガーのレイテンシー[1]は、$2\mu sec + 0.5\mu sec(\text{予備}) = 2.5\mu sec$ で、レベル 1 トリガー処理を行なう各パートは、その間のデータを蓄えるためのパイプラインメモリを搭載している。

- LVL2(レベル 2)

  LVL2 ではカロリメーター、ミューオン検出器に加え、内部検出器からの完全な位置情報と精度を持つデータを用いて行なうが、処理資源の節約から、LVL1 の情報の中から ROI(Region ofInterest)[2]と呼ばれる有感領域の信号のみを使って、トリガー判定が行なわれる。これによって、トリガーレートは 1kHz になる。また LVL2 では並列処理が行なわれ、1 イベントの処理に必要な時間は、一定ではないが 10msec 以下になる。

- EF(イベントフィルター)

  レベル 2 アクセプトを与えられたデータは、イベントビルダーを介して EF に送られる。EF では、各検出器の完全な位置情報を用いてトリガー判定がなされる。EF のトリガーレートは 100Hz である。1 イベントを記録するのに必要なデータサイズは平均 1MB 程度なので、100MB/sec 程度の能力を持った記録装置が必要である。また、EF ではコンピュータ・ファームによって並列処理が行なわれ、1 イベントの処理に必要な時間は約 1sec である。

3.1.2 データ収集のスキーム

検出器からの信号は、まず各チャンネルごとに、各検出器に設置されるレベル 1 バッファと呼ばれるパイプラインメモリに保持され、L1A(レベル 1 アクセプト) 信号を受け取るまで待つ。レベル 1 の処理時間である $2.5\mu s$ の間は、少なくともデータを保持しなければならないので、その間、25ns ごとにやってくる信号を保持出来る深さのバッファが最低必要になる。L1A を受けた信号は、デランダマイザー (Derandomizer)[3]に送られる。L1A は不規則に与えられるため、レベル 1 バッファに送られてくるデータも不規則であり、デランダマイザーは、この不規則にやってくるデータを一時的に保持し、順次 ROD(Read Out Driver) に送る。この時、データは圧縮され、信号の情報と共に、その信号がどのバンチに属するかを示す BCID(バンチ ID)、及びどの L1A に属するかを示す L1ID(レベル 1ID) の情報も合わせて送られる。ROD は、集めたデータをイベントごとに整理し、BCID、L1ID の整合性を確認して、データを最終的なフォーマットに変換する。ROD でフォーマットされたデータは、ROB(Read Out Buffer) に送られ、LVL2 が行なわれるまでデータを保持する。LVL2 でアクセプトを受けたデータは、イベントビルダーを通って EF に進み、EF でもアクセプトを受けたデータは、記録装置に送られ保存される。

3.1.3 DCS(Detector Control System)

ATLAS 実験の各検出器の制御と監視を行なうために、DCS(Detector Control System) と呼ばれるシステムを導入する。DCS では、フロントエンドエレクトロニクスの閾値電圧などの検出器を運転するのに必要なパラメータの設定、電源系統の監視、温度測定やガス系の圧力と流量などの検出器の安全性を確保するために必要なパラメータの監視などが行なわれる。

3.2 レベル 1 トリガーシステム

ここでは、次章から述べる TGC トリガーシステムが属する LVL1 トリガーについて述べる。図3.2.1 に示すように、LVL1 トリガーシステムは、カロリメータ、トリガー用ミューオン検出器、CTP(Central Trigger Processor)、TTC(Timing, Trigger and Control distribution) から構成される [7]。カロリメーターか

[1]バンチ衝突後から、L1A 信号が出され、それがフロントエンドエレクトロニクスに到達するまでに許される時間
[2]LVL1 での電子、フォトン、ジェット、ミューオンの中で、$High - P_T$ となった重要な粒子を含む領域
[3]デランダマイザーは、ランダムで起こるイベントを一定の間隔で読み出せるようにするものである。

らは e/γ、ジェット、E_T^{miss} の情報を、ミューオン検出器からは、高い P_T の値を持ったミューオンの情報が、それぞれ CTP に送られる。CTP ではこれらの情報を用いて、トリガー判定を行ない、その結果出力される L1A(レベル 1 アクセプト) 信号は TTC を経由して、各検出器のフロントエンドエレクトロニクスに分配され、必要なデータの読み出しが行なわれる。LVL1 で採用されたデータの領域は RoI の情報として、LVL2 に送られる。

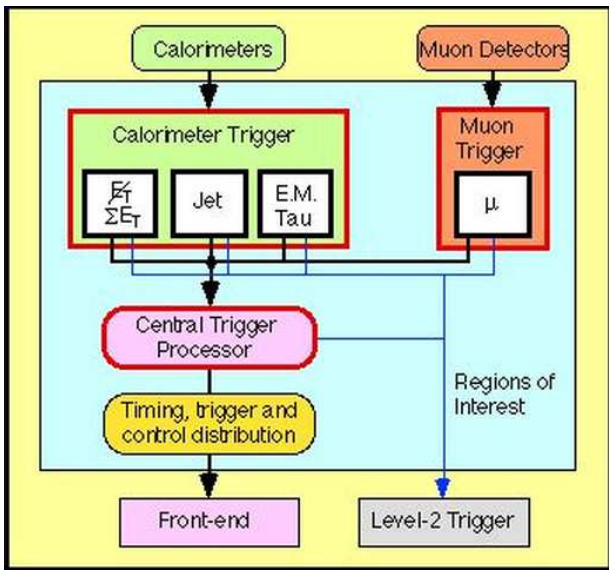


図 3.2.1: LVL1 トリガー処理の流れ

3.2.1 ミューオントリガーシステム

図3.2.2に、トリガー用のミューオン検出器のデータの流れを示す。RPC と TGC は各々セクタと呼ばれる単位ごとに P_T の大きなミューオンの候補を挙げて、MUCTPI(Muon Trigger Interface to CTP) に送る。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理を行なってから、ミューオンの候補についての情報を、CTP や LVL2 トリガー、読み出し部分などに送る役割を担う [8]。

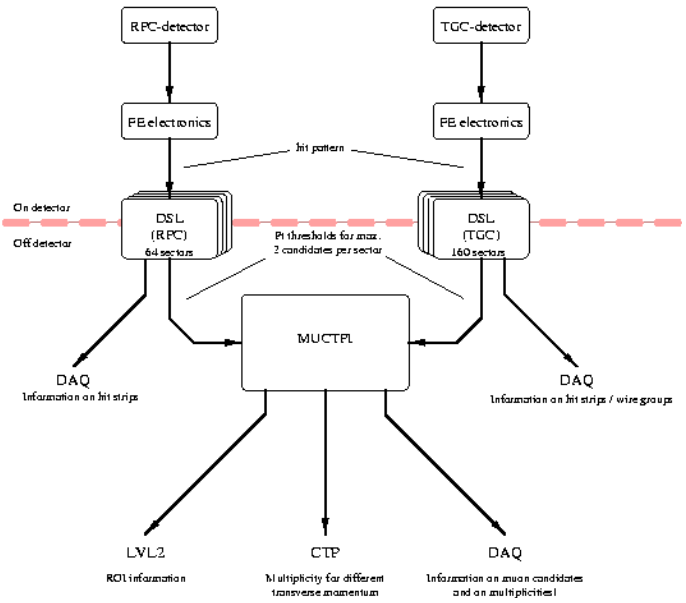


図 3.2.2: ミューオントリガー系のデータの流れ

3.2.2 CTP(Central Trigger Processor)

CTP の役割はカロリメーターとミューオンの情報を統合して、最終的なレベル 1 トリガーの判定が行なうことである。カロリメータでは、e/γ、τ/ハドロン、ジェット のそれぞれに対し、数段階の閾値が設けてあり、同様にミューオン検出器では、ミューオンの P_T について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC に対して、L1A(トリガー結果) とトリガーの情報を表す 8 ビットの情報を送信する。L1A では、フロントエンドの読み出しを容易にするために、一度 L1A 信号を出力したら、それに続く 4 バンチ (100nsec) の間は、L1A を出さないように決められている。また、デランダマイザーが満杯になりかけた場合には、L1A を出さないように設定することも出来る。

3.2.3 TTC(Timing, Trigger and Control distribution)

TTC システムとは、フロントエンドの各エレクトロニクスの同期をとるために、BC クロックや L1A などの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表3.2.1に TTC が扱う主な信号を挙げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す) のリセットに使用。88.924s の LHC の軌道周期 (ORBIT 信号) に同期する。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID	EVent IDentifer。ROD、ROB でのバンチクロッシングのチェックに使用。
BCID	Bunch-Crossing IDentifer。ROD、ROB でのレベル 1ID のチェックに使用。

表 3.2.1: TTC で使われる主な信号

TTC は ATLAS 実験全体で見た場合、いくつかのパーティションに分割されており、例えば、TGC の場合は左右のエンドキャップが各々1 つのパーティションを成している。図3.2.3に TTC のパーティションを示す。1 つのパーティションで中心になるのは、TTC_{vi} [21] と呼ばれる VME インターフェイスで、LHC からは 40.08MHz の BC クロックと周期 88.924μsec の ORBIT 信号を、CTP からは L1A 信号を受信する。これらの情報は TTC クレートに送信され、TTC クレートは、受信した情報を加工した後、フロントエンドに設置される TTC_{rx} [16] と呼ばれる ASIC まで分配する。また TTC_{vi} は A-Channenl、B-Channel という 2 種の信号を分配し、A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTC_{rx} に送付される同期コマンドと TTC_{rx} に送信する非同期コマンドを扱うことが出来て、前者はテストパルスの発生の用いられ、後者はパラメータの設定などに用いることが出来る。TTC_{rx} では、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。

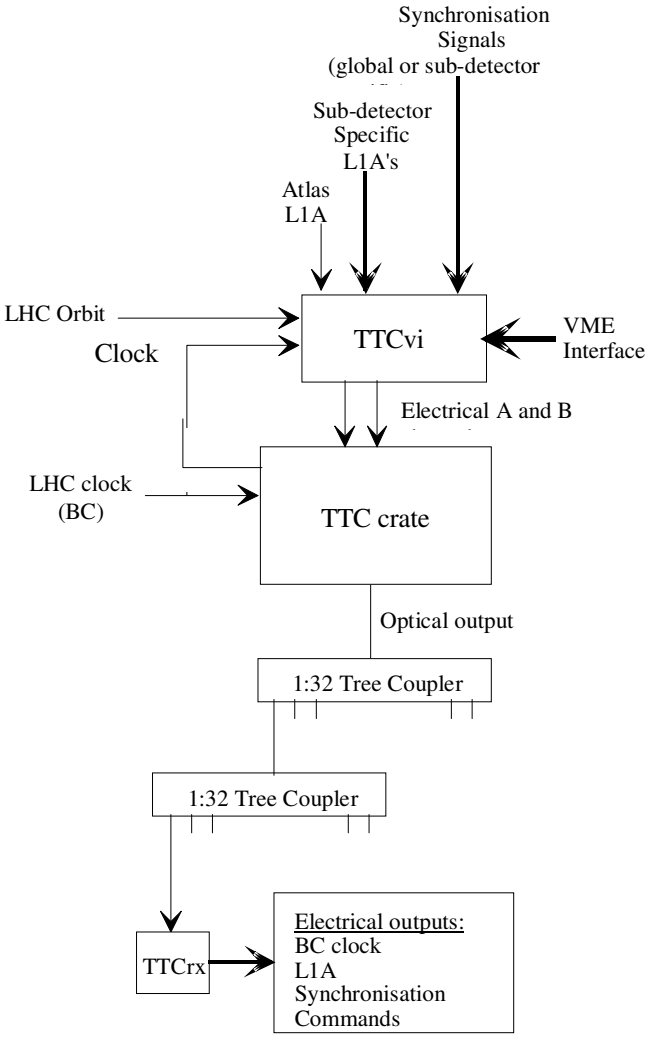


図 3.2.3: TTC のパーティション

第4章　TGCミューオントリガーシステム

この章では、本論文の主題であるTGCミューオントリガーシステムを形成するエレクトロニクスを中心に、TGCの構造やトリガー処理の方法、TGCの設置環境についても述べていく。

4.1　TGCの構造と特徴

トリガー用ミューオン検出器は、バレル部とエンドキャップ部から構成されるが、この中でエンドキャップ部に設置されるのが、図4.1.1で示すTGC(Thin Gap Chamber)である。ただし、この図ではストリップは平行になっているが、実際には扇型になっている。TGCはエンドキャップ部分を円盤上にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、大きいものでは外周部の横長のもので下底1.8m、高さ1.4m、中央部の縦長のもので下底1.8m、高さ2.4mになる。

ワイヤーは台形と平行に張られ、一面を32分割された扇型のストリップがこれに直交して走っている。これによりTGCは2次元の読み出しが可能で、ワイヤーによりR方向の位置の読み出しを行ない、ストリップからはϕ方向の位置の検出を行なう。

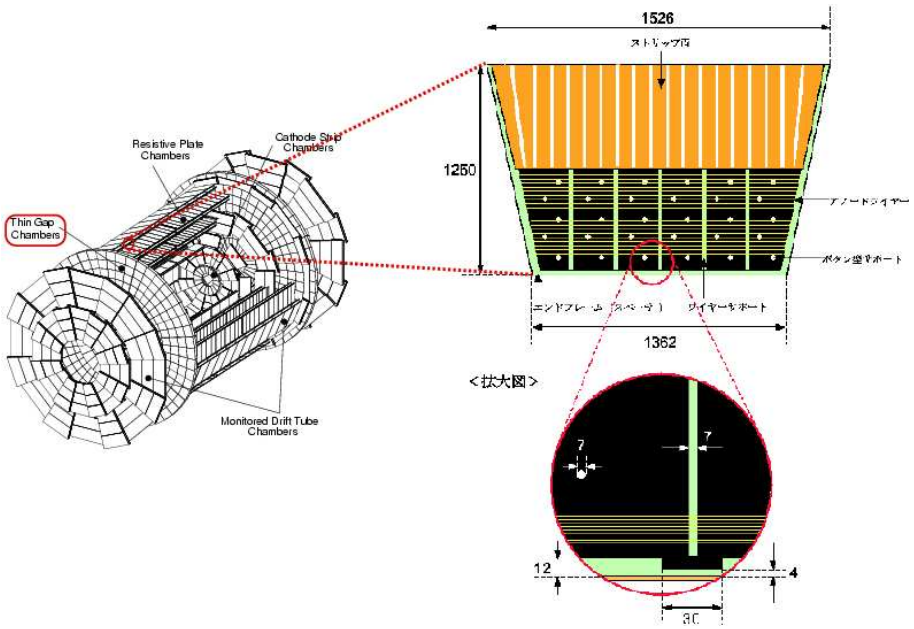


図 4.1.1: TGCの構造とその配置 (この図ではストリップは平行になっているが、実際には扇型になっている。)

TGCのセル構造はMWPC[1]と同じであるが、図4.1.2で示すように、ワイヤー面とカソード間の間隔$(1.4mm)$がワイヤー間の間隔$(1.8mm)$よりも狭くなっている。カソード面はFR4の板に表面抵抗が約$1M\Omega/\square$のカーボンを途布したもので、FR4を挟んだ反対の面にストリップ面がある。ワイヤーは直径$50\mu m$の金メッキダンクステン線で、約$25cm$毎にワイヤーサポートがあり、ワイヤーサポートはワイヤーのたるみを防ぐためだけでなく、ガスの流路の形成とTGCの歪みを防ぐ役割も担う。TGCの動作中は、

[1]Multi-wire Proportional Chamber。高エネルギー実験でよく使われるチェンバーで、2枚の平行陰極板に等間隔に並んだ陽極線ワイヤーが配置された構造をしている。

ワイヤーに 3.1kV の高電圧を印加し、チェンバー内にはクエンチング[1]の強い $CO_2/n-pentane(55/45)$ の混合ガスが満たされている。このガス中に荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される。生成された電子は、アノード－カソード間の電場によって、アノードに向かう。ワイヤー近傍の電場は大きいので、移動してきた電子はさらにその周辺のガス分子をイオン化し、電子雪崩が起こり、これが信号として読み出される。また同時にストリップに誘起した電荷も読み出される。

実際の ATLAS 実験では、TGC 単体 (シングレット) としては用いず、図4.1.3で示すように、2 層 (ダブレット) か 3 層 (トリプレット) にしたモジュール構造にする。層間には 20mm の紙ハニカムとファイバーグラス・ポリエステル枠が使われている。トリプレットの場合は 3 層のワイヤー面と 2 層のストリップ面から読み出しが行なわれ、ダブレットの場合は 2 層のワイヤー面と 2 層のストリップ面から読み出しが行なわれる。ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、ϕ 方向で約 10 万になる。

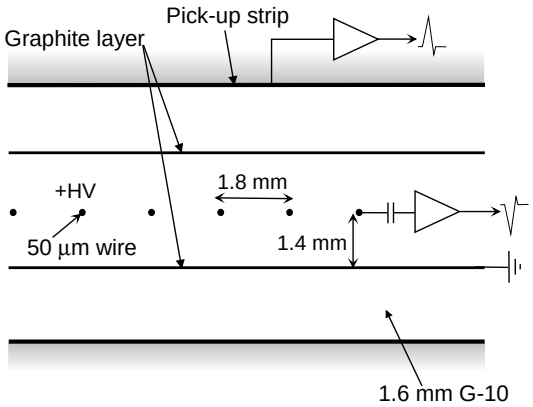


図 4.1.2: TGC 検出器の断面図

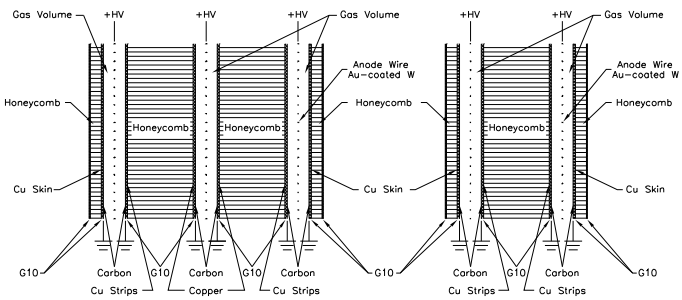


図 4.1.3: TGC のトリプレット (左) とダブレット (右) の構造

また、25nsec 毎に起こる LHC のバンチ衝突を識別することはトリガーチェンバーへの重要な要求である。図4.1.4に、粒子が TGC を通過してから信号を出すまでの時間のばらつき (タイムジッター[2]) が TGC に対する粒子の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテストの結果である。入射粒子が 0 度 (TGC に垂直に入射) の時、タイムジッターの値は 25nsec になっているが、入射角度の増加に伴い、この値は減少し 45 度では 15nsec 以下まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤー間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しかし、実際の実験環境下においては TGC への入射角度は 10 度から 45 度であり、その領域におけるタイムジッターは 25nsec よりも十分に小さい。

4.2 トリガー処理の方法

図4.2.1に示すように、TGC システムは M1,M2(middle),M3(pivot) と EI(Endcap Inner),FI(Forward Inner) の各層から構成される。M1 は 3 層 (トリプレット) のチェンバー、M2,M3 は 2 層 (ダブレット) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われ、EI/FI については TGC トリガーの補助的な役割を果たす[3]。TGC は $1 < |\eta| < 2.7$ の領域を覆っているが、このうちトリガーに使われるのは $1.05 < |\eta| < 2.40$ の領域であり、$|\eta| < 1.9$ をエンドキャップ領域、$|\eta| > 1.9$ をフォワード領域と呼ぶ。

TGC はオクタントと呼ばれる 8 分の 1 円 (円形状に配置した TGC を ϕ 方向に 8 等分したもの) が 1 つの大きな単位となっており、データの処理はこの単位で行なわれる。一方、TGC の建設については、ϕ

[1]紫外線を吸収し、放電を起こしにくくすることをクエンチ効果という。

[2]正確な定義は、信号到達時間分布において、TGC が検出した信号のうち 99% を得られる最小ゲート幅。

[3]現在のトリガーに関するシミュレーションでは、EI/FI チェンバーを使わなくても十分な検出効率が得られるとされているが、まだ低エネルギー粒子によるバックグラウンドの影響が懸念されており、これは EI/FI チェンバーによって落とせるとされている。

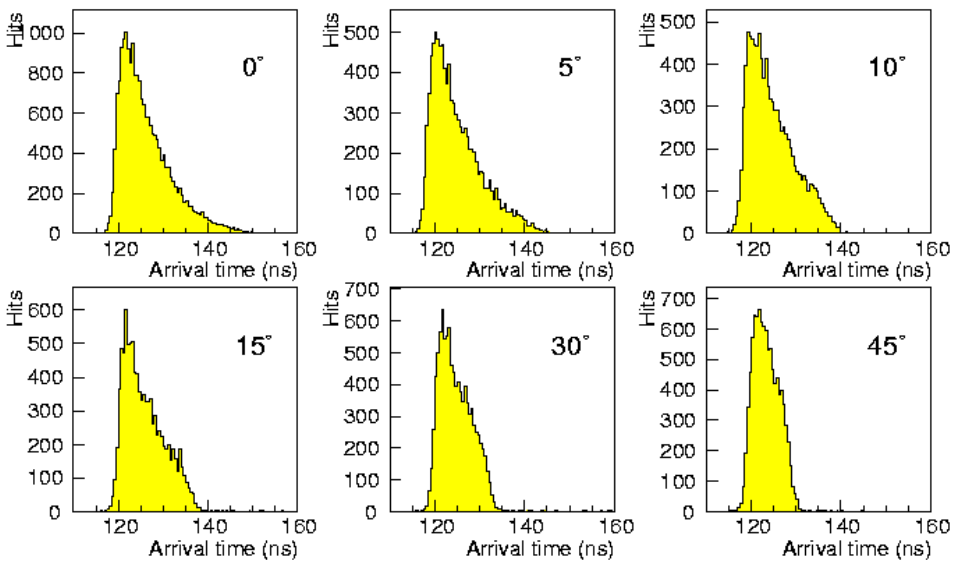


図 4.1.4: TGC のタイムジッター

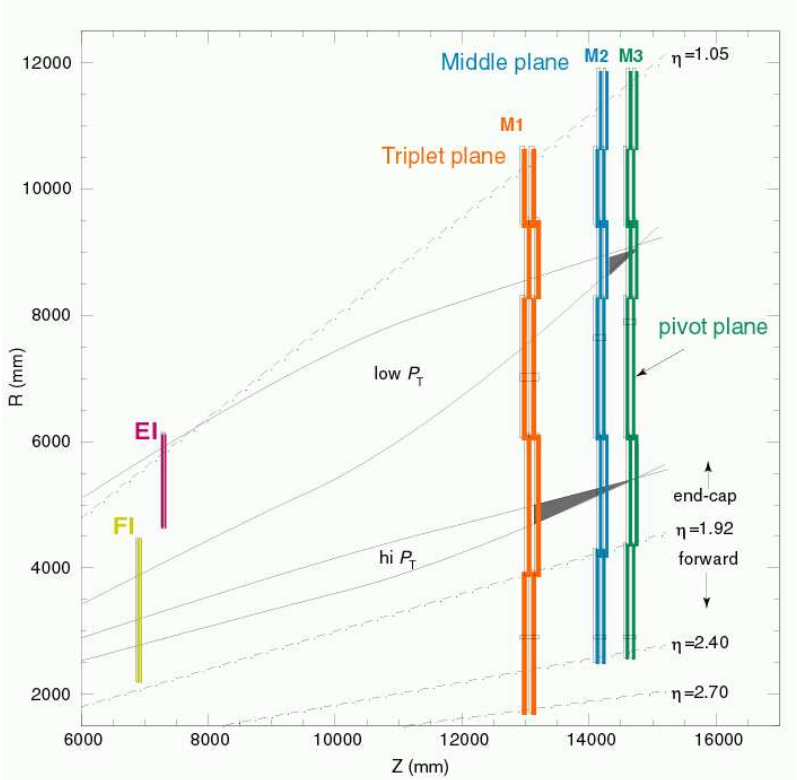


図 4.2.1: R-Z 断面での TGC のレイアウト

方向に 12 等分した 12 分の 1 円を 1 単位として扱われる[1]。図4.2.2に例として、pivot の 1 つのオクタントを示す。レベル 1 トリガーに関連する部分では、オクタントはさらにセクタと呼ばれる単位で分割され、図で示すように、エンドキャップを ϕ 方向に 6 等分した領域と、フォワードを ϕ 方向に 3 等分した領域をそれぞれトリガーセクターと呼ぶ。トリガーセクターの ϕ 方向の幅がちょうど TGC1 枚の幅と一致する。さらにトリガーセクターはエンドキャップ領域では η 方向に 37 分割、ϕ 方向に 4 分割され、またフォワード領域では η 方向に 16 分割、ϕ 方向に 4 分割され、それぞれサブセクターと呼ばれる。サブセクターは 8 ワイヤーグループと 8 ストリップに対応しており、これらはトリガー処理の最小単位であり、1 つの RoI(Region of interest) でもある。図4.2.3に、TGC のトリガー処理に用いられるミューオンの P_T の求め方を示す。まず、pivot 層とビーム衝突点を結ぶ直線 (Infinit Momentum Line) を考える。この直線は、ミューオンの P_T が無限大であると仮定して、磁場の影響を全く受けずに直進してきた仮想トラックである。この Infinit Momentum Line が middle doublet 及び triplet で交差する点と、実際のミューオンが通過した点の R、ϕ 方向それぞれの位置の差を検出することで δR,$\delta\phi$[2]の値を求め、ミューオンの P_T を検出する。middle doublet 及び triplet では、それぞれ δR と $\delta\phi$ の上限が設定されており、上限の δR と $\delta\phi$ で形成される領域をウィンドウと呼ぶ。

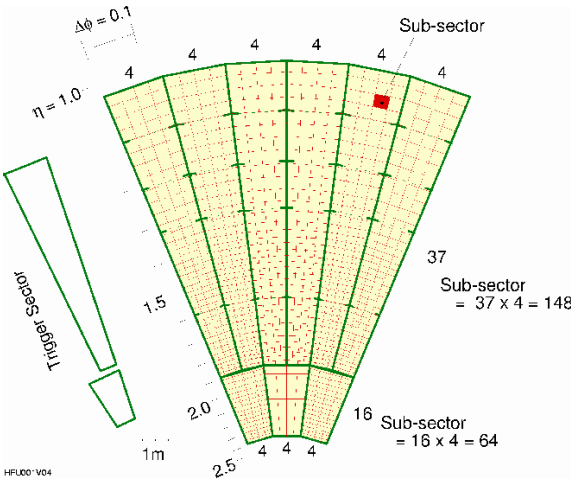


図 4.2.2: TGC オクタントの分割

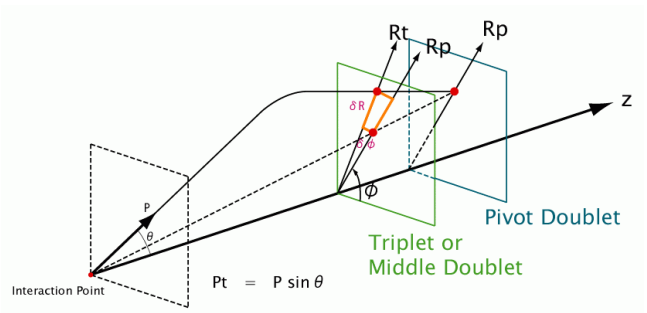


図 4.2.3: $\delta R, \delta\phi$ の定義

ミューオンのトリガーには、2 種類の P_T に関する閾値があり、その閾値によって、$Low-P_T$ と $High-P_T$ に分かれる。閾値の値は、$Low-P_T$ が 6GeV 以上、$High-P_T$ が 20GeV 以上となっている。図4.2.4で示すように、TGC では 2 層構造、3 層構造を利用したコインシデンス処理を行なうことで、バックグラウンドによる偶発的なトリガーを抑えながら、トリガー判定を行なっている。$Low-P_T$ のトリガーでは、基本的には 2 つの doublet でワイヤー、ストリップ共に 3 out of 4 の条件を要求し、middle,pivot の両ダブレットのヒットが、ある一定の幅のウィンドウ[3]に入っていた時に、$Low-P_T$ のミューオンの候補として扱われる。

また $High-P_T$ のトリガーの場合には、$Low-P_T$ の条件に加えて、triplet にワイヤーでは 2 out-of 3、ストリップでは 1 out-of 2 の条件が要求される。そして $Low-P_T$ の場合と同様に、これらのヒットの位置が一定のウィンドウに納まった時のみ $High-P_T$ のミューオンの候補として扱われる。

[1]TGC エレクトロニクスについては、12 分の 1 円と 8 分の 1 円のどちらの単位であっても対応可能であり、今後どちらの単位を採用するかについては現在議論中である。しかし、TGC 以外でオクタントの単位を使用している検出器があるので、12 分の 1 円の単位を採用した場合もオクタントの単位が完全になくなることはない。

[2]トロイダル磁場が理 想的な ϕ 方向成分のみの磁場であれば、$\delta\phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、ϕ 方向の変位 $\delta\phi$ も考えなければならない。

[3]閾値以上の粒子が 90% の確率で検出出来る領域

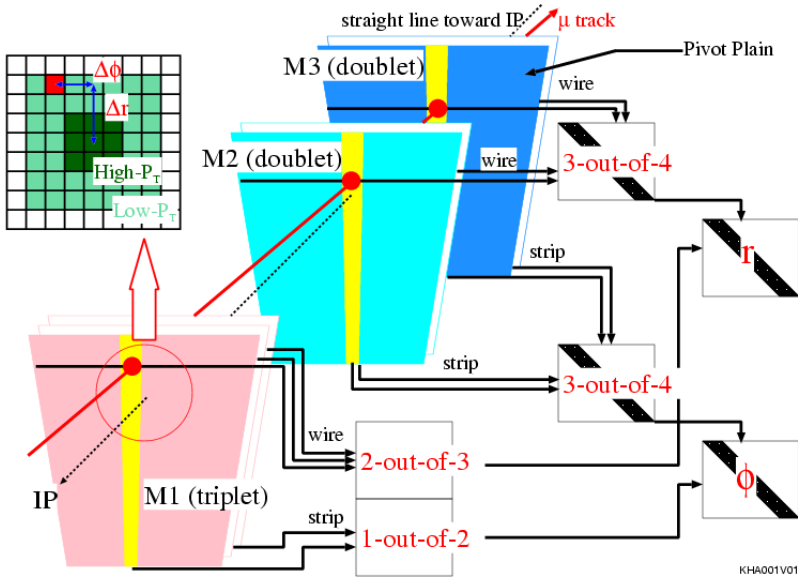


図 4.2.4: TGC トリガーの判定方法

4.3 TGC エレクトロニクス

ここでは、TGC エレクトロニクスについて説明する。まず、システム全体のデータの流れについて述べる。次に TGC エレクトロニクスで使われる各モジュールの特徴と配置場所について説明し、最後に TGC エレクトロニクスが置かれる放射線環境について述べる。

4.3.1 システム全体

TGC エレクトロニクスのデータの流れを図4.3.1に示す。データ処理の流れは大きく分けて、トリガー系と読み出し系の 2 つに分かれる。

まず、トリガー系の流れとしては、ASD(Amplifier Shaper Discriminator) ボード, Patch Panel ASIC, HPT($High-P_T$ ボード), SL(Sector Logic) の順に信号が処理される。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・整形が行われ、LVDS 信号で Patch Panel ASIC へと送られる。Patch Panel ASIC では、各チャンネルの TOF[1]やケーブル遅延などから生じるタイミングのずれを調整 (タイミング調整の詳細は7章で述べる) し、バンチ識別を行なう。Slave Board ASIC では、Patch Panel ASIC からの信号を受け取り、4 層からなる pivot,middle doublet からの信号をもとにコインシデンス処理が行なわれ、$Low-P_T$ の判定が行なわれる。また triplet からの信号についてもコインシデンス処理 (ワイヤー:3 out-of 4, ストリップ:1 out-of 2) が行なわれる。 HPT では、Slave Board ASIC で測定した Doulet 及び Triplet の情報を基に、20GeV 以上の P_T を持つミューオンの P_T を測定し、$High-P_T$ トリガーの判定が行なわれる。Sector Logic では、それまで独立に扱われていた R/ϕ 方向の情報を統合し、コインシデンス処理 ($R\cdot\phi$ コインシデンス) され、最終的に P_T が大きな 2 つのトラックをセクタ毎に選び出す。Sector Logic の結果は、MUCTPI(Muon CTP Interface) に送られ、RPC の情報と合わせて、ミューオンの最終的なトリガー判定が下される。

次に読み出し系の流れとしては、Patch Panel ASIC から送られてきたデータは、Slave Board ASIC の中にあるレベル 1 バッファに蓄えられ、レベル 1 トリガー判定を受けたデータのみがデランダマイザーを通じて、次段の SSW(Star Switch) へと送られる。SSW では、データの圧縮を行ない、あるフォーマットにデータを変換する。変換されたデータは ROD(Readout Driver) に送られ、ROD では最大 13 個の SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合生を確認し、データが正しいものであれば、要求されるフォーマットにデータを変換して、ROB(Readout Buffer) に送られる。

[1]Time of Flight。粒子が検出器に到達するまでの時間

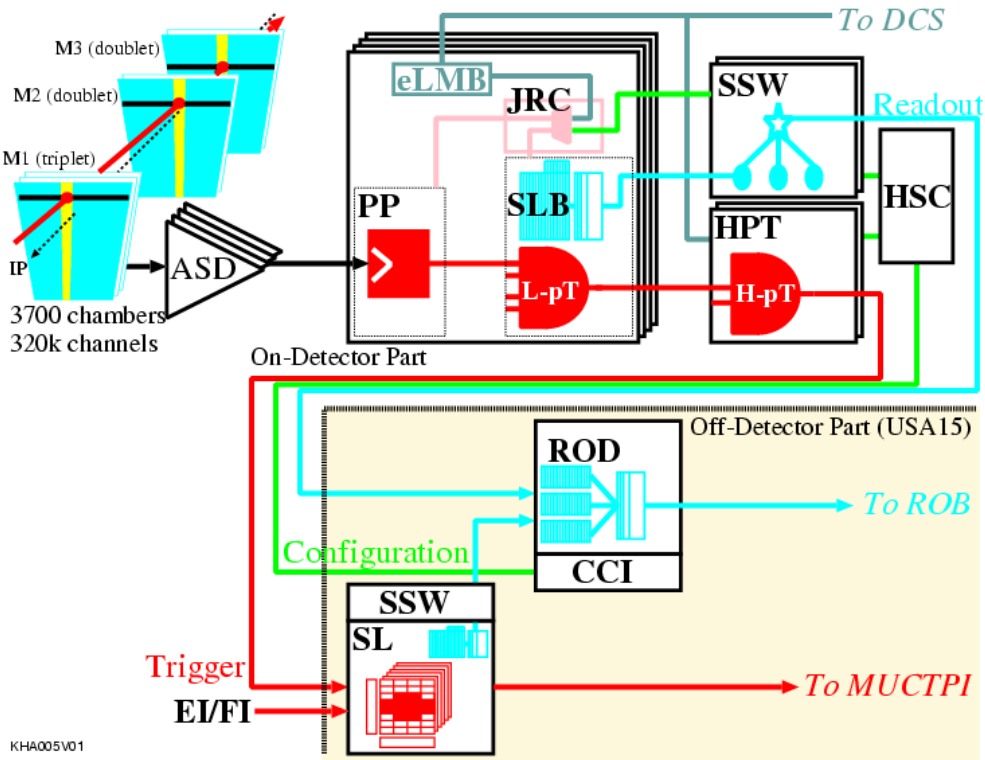


図 4.3.1: TGC エレクトロニクスのデータの流れ

またトリガー系と読み出し系とは別に、ATLAS 実験では各検出器の制御と監視を統一的な方法で行なうために DCS(Detector Control System) が導入され、フロントエンドには ADC(Analog-Digital Conveter) や DAC(Digital-Analog Conveter) などの機能を持った eLMB(embeded Local Monitor Box) が設置される。TGC エレクトロニクスでは、DCS は HPT/SSW が搭載される VME クレートの温度状態管理や供給電源の監視、さらに SSW から行なわれる PP/SLB の設定も、バックアップのために eLMB から行なえるようにしてある。また、JTAG バス[1]の PP/SLB への制御選択を行なうために JRC(JTAG RoutingController) が設置される。

4.3.2 各モジュールの説明

ここでは、TGC エレクトロニクスシステムを構成する主なパートについて簡単に説明する。

- ASD Board [19]

  図4.3.2に示すように、ASD Board は TGC の側面に取り付けられ、1 チップで 4 チャンネル分の処理が出来る ASD ASIC が 4 個搭載されている。ASD は、図4.3.3で示すように TGC からのアナログ信号を 2 段階で増幅 (Pre Amp, Main Amp)、整形し、後述する Patch Panel ASIC に送る。この際、ASD と Patch Panel ASIC が設置される PS Board は、ツイストケーブルで接続されているため、差動信号で送る必要がある。そこで、ASD Board と PS Board 間の信号の送信には、世間一般で主流である LVDS 信号[2]が採用されている。また、ASD を動作させるのに必要な電源電圧、閾値電圧については、PS Board から供給される。さらに ASD には、回路系の診断、タイミング調整 (第7章参照) を行なうためのテスト信号を出力する機能もある。この際のトリガー信号は、Patch Panel ASIC から送られる。

- Patch Panel ASIC [20]

[1] IEEE1149.1 LSI に対して動作命令やレジスタ設定するために用いられる通信プロトコル [27] [2]
[2] Low Voltage Differential Signaling。低電圧の差動型の信号規格で、詳細は5.1.2.1節参照。

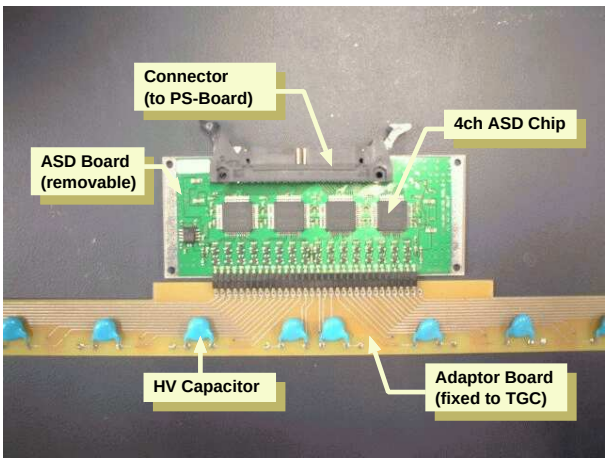


図 4.3.2: ASD Board と TGC の接続部

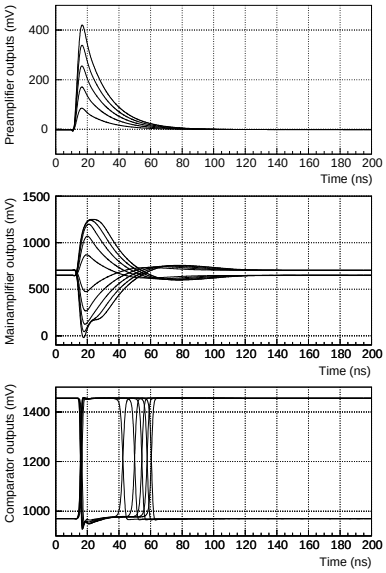


図 4.3.3: SPICE シミュレーションによる ASD の増幅の様子

ASD から送られてくる信号は、TOF やケーブル遅延などで、到達時間は必ずしも揃わない。そこで、Patch Panel ASIC でタイミング調整とバンチ識別 (信号を LHC クロックに同期させる) を行なう。具体的には、ASD からの LVDS 信号は LVDS レシーバーにより、CMOS レベルの信号に変換され、1ns 以下の精度でタイミング調整を行なった後、BCID 回路にて、LHC クロックと同期が取られ出力される。また ASD Board に向け、テストパルスを発生するためのテストパルス回路も搭載しており、このテストパルスの振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。Patch Panel ASIC については、第5章で詳しく述べる。

- Slave Board ASIC

  Slave Board は大きくわけて、トリガー部とリードアウト部からなる。

  トリガー部は TGC からの入力信号に対して、コインシデンス処理を行なう。Slave Board の段階では、ワイヤーとストリップ、ダブレットとトリプレットは別々に扱うので、5 種類のコインシデンス処理 (Wire Doublet, Strip Doublet, Wire Triplet, Strip Triplet, EI/FI)が必要になる。そこで Slave Board ASIC では、これらを 1 種の ASIC で実現し、用途に応じて切替えている。コインシデンス処理の具体的な説明は、第5章で述べる。

  リードアウト部は、レベル 1 トリガーの判定を受けたデータの読み出しを行なう部分である。主にレベル 1 バッファとデランダマイザーにより構成され、読み出し用のデータは、レベル 1 トリガーの判定が行なわれるまでの間、レベル 1 バッファに貯められ、TTC から L1A 信号を受け取ると、そのバンチの前後を含めた 3 バンチ分のデータがデランダマイザーに入れられる。デランダマイザーのデータは、PSC(Parallel to Serial Converter) に送られ、出力される。リードアウト部につても、第5章で詳しく述べる。

- JRC(JTAG Routing Contoroller) ASIC [24]

  JRC は 2 系統の入力ポートと 7 系統の出力ポート、それとそれをコントロールするための 2 系統の JTAG ポートを持つスイッチングルーターである。それぞれのラインは、/TRST, TCK, TMS, TDI, TDO の 5 つの信号から成る。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行なわれる。また、JRC 自体の制御は。SSW を通じて行なわれる。JRC に関しては、第5章で詳細を述べる。

- eLMB(embeded Local Monitor Box)

DCS のフロントエンド・モジュール。eLMB には ADC(Analog-Digital Converter) や DAC(Digital-Analog Converter) が備わっており、センサーからの信号をデジタル化したり、制御用のアナログ信号を作り出せる。eLMB は CAN バス[1]を通じてデータの読み書きが行なわれる。

- PS Board

  Patch Panel, Slave Board, JRC ASIC は、図4.3.4に示すように、PS(Patch Panel and Slave Board) Board に搭載される。PS Board は、ボード当たり 256 ∼ 320 チャンネルの入力を持ち、Patch Panel ASIC を出た信号は TGC のオーバーラップ領域でのダブルカウントを防ぐために、OR 論理回路を通過し、Slave Board ASIC に向け送られる。Slave Board ASIC で、トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へと、それぞれ LVDS 信号で送られる。また、SSW あるいは eLMB から送られてくる PP/SLB を制御するための信号は、JRC ASIC により PS Board に設置される各 ASIC に分配される。さらに、PS Board は、ASD Board に電源電圧と閾値電圧を供給する役割も果たす。 SPP(Service Patch Panel) には、TTC_{RX}[2]が設置され、CPT から送られてくる信号をファンアウトして、各 PS ボードへと分配する。

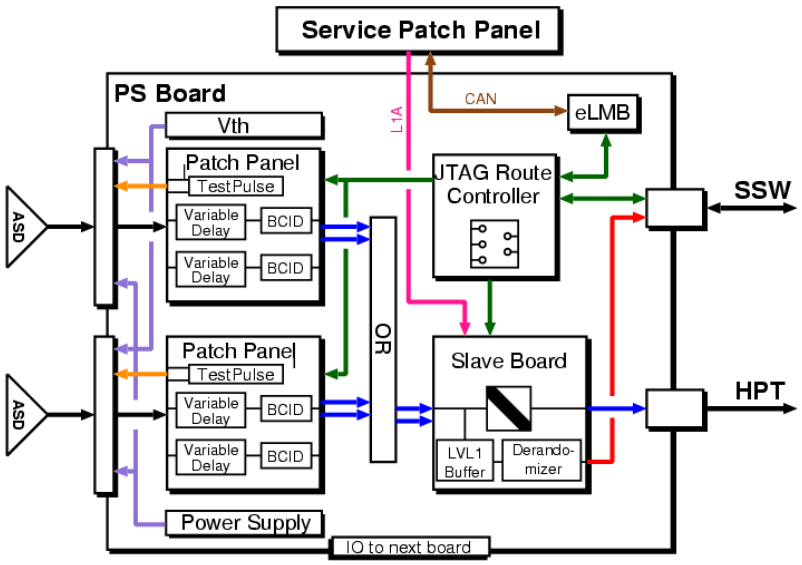


図 4.3.4: PS Board の構成

PS Board と SPP は、図4.3.5に示すような PS-Pack にまとめられ、triplet の側面、及び doublet の側面に設置される。PS-Pack はオクタント毎に 3 つ設置され、1 つの SPP と複数の PS Board(triplet は 10 枚、doublet は 17 枚) から構成される。

図4.3.6からわかるように、PS-Pack は UXA15 エリア (実験ホール内) に置かれるので、強い放射線環境下に置かれることになる。したがって、PS-Pack に搭載される各デバイスは十分な放射線耐性を兼ね備えていなければならない。放射線による影響については、4.3.3節で詳細を述べることにする。

- HPT($High-P_T$ Board) [15]

  HPT と後述する SSW は、図4.3.6に示すように、TGC を支える構造体であるビッグウィール[3]の外縁に設置される 9U(奥行き 6U) の VME クレートに収められる。また、このクレート自体はオクタント毎に 3 つ設置される。PS Board とクレートまでの距離は、ケーブル長で約 15m あり、カテゴリー 5 のケーブルが使用される。

[1]CAN(Controller Area Network) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。
[2]TTC_{RX} は、TGC エレクトロニクスだけで用いるものではないので、CERN にて開発が進められている。
[3]TGC を支える構造体。

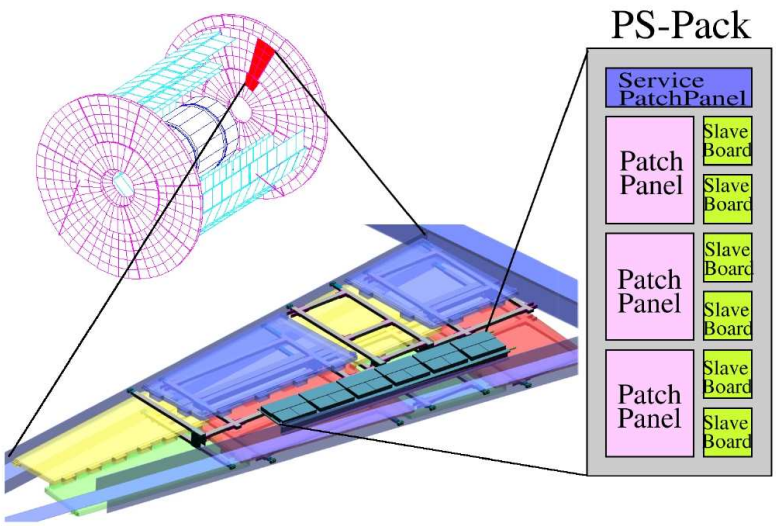


図 4.3.5: PS-Pack の構成と配置

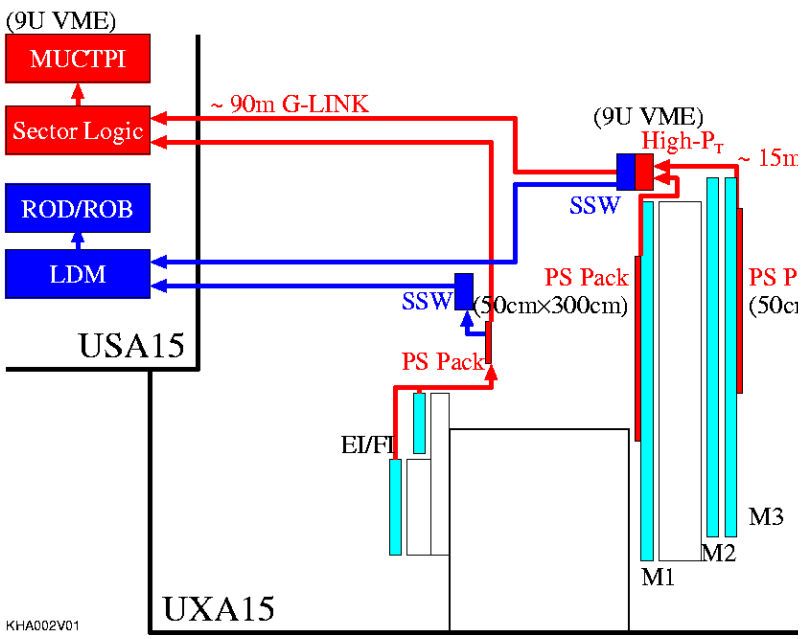


図 4.3.6: TGC トリガーエレクトロニクスの配置

Slave Board ASIC 上でコインシデンス処理されて求められた triplet と doublet の位置と P_T の情報を基に、ミューオンの P_T を測定する。P_T の値が 20GeV 以上のミューオンがあった場合、$High-P_T$ の判定を下して、位置情報と共に新たに HPT で測定した P_T の情報をエンコードして、SL に送る。また、20GeV 以上のミューオンがなかった場合は、Slave Board の $Low-P_T$ の情報をそのまま SL におくる。
HPT/SSW についても実験ホール内に置かれるので、放射線耐性を十分に考慮した設計が求められる。

- SL(Sector Logic) [22]

  SL と後述する ROD は、図4.3.6に示すように、USA15 エリア (エレクトロニクスハット) に置かれ、ATLAS 検出器からは隔離された空間に設置される。HPT/SSW が収められる VME クレートからは、$90 \sim 100m$ 程の距離があるので、データは G-Link[1]チップを通じて光ファイバーで送信される。

  SL は主に R-ϕ コインシデンス、プレトラックセレクター、ファイナルトラックセレクターから構成される。SL では、今まで独立に処理されていた R 方向 (ワイヤー) と ϕ 方向 (ストリップ) の HPT からの情報を統合する段であり、両者のコインシデンスを取ることにより、入射ミューオンのトラックを構築し (R-ϕ コインシデンス)、それらのラックを、6 段階の P_T の閾値によって分類する機能を持つ。この閾値は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table(LUT) によって与えられている。プレトラックセレクターは、6 段階の P_T 判定のそれぞれに用意され、P_T の大きい順に 2 つづつ選択されて、計 12 トラックがファイナルトラックセレクターに送られる。ファイナルトラックセレクターでは、この中で P_T の大きいものを 2 つ選択して、6 段階の P_T 判定と位置情報を MUCTPI に送る。

- SSW(Star Switch)

  SSW の主な役割は、Slave Board の読み出しから送られてくるデータの収集と圧縮である。これによって、直接ヒット情報を検出する Slave Board から最終的にそのデータをまとめる ROD まで、効率良くデータを転送することが出来る。SSW は、Slave Board から読み出し用データを受け取り圧縮するレシーバー部と、データをある決まったフォーマットに変換して、後段の ROD に送信するトランスミッター部に分けられる。圧縮とフォーマット処理を終えたデータは、G-Link チップを通じて光ファイバーで ROD に送信される。

- ROD(Readout Driver)

  ROD は、SSW を経由してフロントエンドから送られてくるデータを集約する。集約したデータは FIFO に入り、TTC から送られてくる BCID や L1ID との整合性を確認し、正しければデータは最終的なデータ形式にフォーマットされて ROB(Read Out Buffer) に送られる。

- HSC/CCI

  実験ホール内にある TGC エレクトロニクスを遠隔から制御するためのリモートコントロールシステムで、各 LSI のパラメータ設定やコンフィギュレーションを行なう。リモートコントローラである HSC モジュールと、ローカルでインターフェイスとなる CCI モジュールの 2 つから構成される。両者は G-LINK を用いた光通信によって接続され、両者はあるフォーマットを持ったインストラクションによって命令をやり取りする。HSC は VME[2]マスターモジュールとして設置され、スレーブである HPT/SSW をコントロールする。

4.3.3 放射線による影響

ここでは、実際の ATLAS 実験で、TGC エレクトロニクスが受ける放射線環境について述べる。LHC のようなハドロンコライダーでは、膨大なバックグラウンドが発生し、ATLAS 実験においてビーム衝突

[1] 16 ビットのデータをパラレルで受信し、シリアルで転送するシリアルリンクの一種。
[2] モジュールのアドレスを指定することでそこにアクセス出来るバス規格。通信速度は最高で約 50MB/sec。

点から離れた場所に設置される TGC でも、γ 線や中性子などの放射線を大量に浴びることになる。また ATLAS 実験は始まってから、少なくとも 10 年間は稼働を予定しており、検出器内部に設置される全ての半導体素子は、この稼働期間中の被曝に耐え得る性能が要求される。ATLAS 実験における放射線基準のレベル (SRL:Standard Radiation Level) は、RHA(Radiation Hard Assurance) working group [9] にが計算したシミュレーション結果によって与えられている [12] [1]。 RHA は ATLAS 検出器の各サブシステムに対して、どの程度の放射線環境が見込まれるかを提示し、そのサブシステムが安全に 10 年間稼働出来るかを確認するグループである。

放射線が半導体素子に与える影響は、主に吸収線量の積算的な効果によるもの (TID:Total Ionising Dose、NIEL:Non Ionising Energy Loss) と吸収線量に関係なく単発の放射線粒子のよって引き起こされるもの (SEE:Single Event Effect) の 2 種類がある。これらの現象の詳細については、付録A で述べている。RHA のシミュレーション結果から、TGC エレクトロニクスが設置される $R-Z$ 座標 (Triplet:$(R,Z) = (715 \sim 1180cm, 1280 \sim 1290cm)$, Doublet:$(R,Z) = (680 \sim 1180cm, 1470 \sim 1480cm)$) での放射線基準レベル SRL の値は、表4.3.1のようになる。

	$SRL_{TID}[Gy]$ (10 年間の積算線量)	$SRL_{NIEL}[n(\sim 1MeV)/cm^2]$ (10 年間のフルエンス)	$SRL_{SEE}[h(>20MeV)/cm^2]$ (10 年間のフルエンス)
Triplet	2.27	2.58×10^{10}	6.54×10^9
Doublet	2.49	1.42×10^{10}	4.53×10^9

表 4.3.1: RHA のシミュレーションによる放射線量の見積もり

各現象における放射線基準レベル SRL は、SRL_{TID} については、10 年間分の積算吸収線量[1]、SRL_{NIEL}、SRL_{SEE} については、10 年間分のフルエンス[2]で評価されている。TID は放射線粒子の電離的エネルギー損失による半導体素子の劣化で、NIEL は非電離的エネルギーによる損傷である。これらの現象は総照射線量によって評価され、NIEL については評価する際、粒子のエネルギーや種類に依存しないように、あらゆる粒子のフルエンスは等価 1MeV の中性子で統一的に評価される。一方、SEE は総照射線量に関係なく、高エネルギーのハドロン粒子によって、単発的に起こる現象である。

SRL には、不確定要素が多く含まれているため、安全係数 (SF) が用意されており、式4.1より、耐放射線基準値 (Radiation Tolerance Criteria:RTC) が見積もられる。

$$RTC \approx SRL \times SF_{sim} \times SF_{ldr} \times SF_{lot} \tag{4.1}$$

ここで、SF_{sim} は SRL のシミュレーションの誤差、SF_{ldr} は低線量率 (Low Dose Rate) で長時間照射した場合の効果、SF_{lot} はデバイス製造時のロット[3]間で生じるパラメータの違いを考慮した安全係数である。これにより、TGC エレクトロニスの RTC の値は、より高い安全性を考慮して SRT の値は設置領域に関係なく最も高い数値を採用すると、表4.3.2のようになる。

	$SRL[10years]$	SF_{sim}	SF_{ldr}	SF_{lot}	$RTC[10years]$
TID	$2.49[Gy]$	3.5	5	2	$\sim 1.0 \times 10^2[Gy]$
NIEL	$2.58 \times 10^{10}[/cm^2]$	5	1	2	$\sim 3.0 \times 10^{11}[/cm^2]$
SEE	$6.54 \times 10^9[/cm^2]$	5	1	2	$\sim 7.0 \times 10^{10}[/cm^2]$

表 4.3.2: TGC エレクトロニクスの RTC の見積もり

ATLAS 実験における TGC エレクトロニクスの各デバイスには、この RTC の値に相当する照射に対して、安定に動作することが求められる。TID については、上記の基準値 (100Gy) に相当する γ 線照射を

[1]線量は物質の単位質量当たりに吸収されるエネルギーで定義されており、単位には Gy(グレイ) と rad がよく使われ、$1Gy = 1J/kg = 100rad$ の関係が成り立つ。

[2]単位面積を通過する放射線の個数を全照射時間で積分したもの

[3]同一仕様の製品や部品の生産単位

各デバイスに試みて、放射線耐性を評価すればよい。SEEについてもハドロンのフルエンスの基準値に基づいて評価すればよい。しかしSEEの発生率は、原因となるハドロンのフルエンスのみならず、半導体部品の構造や集積度に依存し、さらにその影響はシステムの構造によって異なるので、ATLAS実験全体での統一的な発生率の基準値RTC_{SEE}は、与えられていない。従って、TGCエレクトロニクスに用いられる各デバイスについて、照射実験からSEEの発生率を調べ、システムの構成を基に危険性を評価していかなければならない。そして、その評価から、TGCグループとしてのRTC_{SEE}の値を決定する必要がある。TGGエレクトロニクスでは、陽子ビームを用いてSEEの発生率を調べている。SEEには一時的に誤動作を起こすソフトSEE(SEU:Single Event Upset)と永久的な故障をもたらすハードSEEがあり、以下にそれぞれの評価方法を示す。

- ソフトSEE(SEU)

  SEUは放射線粒子の通過で生じた電荷が、集積回路の電荷量と同程度になり、メモリ素子の情報が反転してしまう現象であり、SEUの発生率(SEU_{rate})は次のように計算される。

  $$SEU_{rate} = (SEU_m/ARL) \times (SRL/10^8 s) \times SF_{ALL}{}^{1} \tag{4.2}$$

  ここで、SEU_{rate}はTGCが設置された場所で予想されるSEUの発生率、SEU_mは陽子ビームなどの照射実験で測定されたSEUの全発生数、$ARL(Applied\ Radiation\ Level)$は照射したフルエンスである。TGCエレクトロニクスで使用するデバイスのSEU_{rate}は、次式を満たす必要がある。

  $$SEU_{rate} < RTC_{rate}(SEU) \tag{4.3}$$

  しかしTGCグループにおいて、SEUの発生率に対する基準値である$RTC_{rate}(SEU)$の値はまだ確定されていない。

- ハードSEE

  ハードSEEには、永久にメモリ素子のビットを反転させたままにしてしまうHard SEUと、永久的に回路をショートさせてしまうDestructive SEEがある。LHC加速器環境でのハードSEEの発生率については、まだ見積もられていない状態である。ATLAS検出器が置かれる場所でのHard SEUとDestructive SEEの発生率の見積もりである$Hard\ or\ Destructive\ SEE_{rate}$は、次のように計算される。

  $$Hard\ or\ Destructive\ SEE_{rate} = (Hard\ or\ Destructive\ SEU_m/ARL) \times (SRL/10^8 s) \times SF_{ALL} \tag{4.4}$$

  ここで、$Hard\ or\ DestructiveSEE_m$は、陽子ビームテストなどの照射実験で測定されたHard SEUとDestruvtive SEEの全発生数を意味する。ATLAS実験で用いられる各エレクトロニクスは、この値が各放射線基準値を満たす必要があり、すなわち次式がぞれぞれ成り立つ。

  $$Hard\ SEU_{rate} < RTC_{rate}(SEU.h) \tag{4.5}$$

  $$Destructive\ SEU_{rate} < RTC_{rate}(SEE.d) \tag{4.6}$$

  しかしTGCグループにおいて、SEUの発生率に対する基準値である$RTC_{rate}(SEU.h)$と$RTC_{rate}(SEE.d)$についてもまだ確定されていない。

TGCエレクトロニクスでは、ハードSEEの現象が起きないようなシステムの構成が必須であり、各デバイスは照射試験によって、ハードSEEが起きないことを確認する必要がある。しかし、一般にハードSEEの起こる確率は小さい。TGCの設置されている領域の電子デバイスへの影響で特に考慮すべきものは、ソフトSEE(SEU)である。例として、Patch Panel ASICについてのSEUの頻度をRHAのシミュ

[1] 全ての安全係数 (SF_{sim}, SF_{ldr}, SF_{lot}) の積

レーションデータを用いて大雑把に見積もってみる。SEU の発生率 SEU_{rate} は、その場所でのハドロンフルエンス Φ と半導体出デバイスの SEU 断面積 σ によって、次のように計算される。

$$SEU_{rate} = \frac{\sigma\Phi}{T} \tag{4.7}$$

ただし、T の値は LHC の 10 年分の稼働時間として、$10^8 sec$ とする。また SEU の断面積 $\sigma_{SEU}[cm^2/bit]$ は、20MeV 以上のハドロン粒子になると一定になり、約 $10^{-15} \sim 10^{-13}[cm^2/bit]$ と見積もられている [18]。SEU が起こると問題になるレジスタは、パラメータ設定用に用いられているレジスタであり、Patch Panel ASIC の場合 67 ビット存在する。フロントエンドに設置される Patch Panel ASIC は全部で約 1 万個になるため、仮に SEU 断面積の値を 1.0×10^{-13} とすると、SEU の発生率は、

$$\begin{aligned} SEU_{rate} &= \frac{\sigma_{SEU}[cm^2/bit] \times RTC[cm^2/10years]}{ATLAS\text{の 10 年分の稼働時間 }[s]} \times \text{全ビット数 }[bit] \times \text{使用チップ数} \\ &= \frac{1.0 \times 10^{-13} \times 7.0 \times 10^{10}}{10^8} \times 67[bit] \times 1.0 \times 10^4 \\ &\simeq 5 \times 10^{-5}[SEU/sec/TGC_All_System] \\ &\simeq 5[SEU/day/TGC_All_System] \end{aligned} \tag{4.8}$$

と見積もられる。この見積もりから、TGC エレクトロニクスで使われる設定レジスタには、SEU 対策が必要であることがわかる。そこで TGC エレクトロニクスでは、ASIC に搭載される各設定レジスタには、5.1.2.5章で説明する多数決論理回路を実装して、SEU による IC の誤動作を防止した設計を行なった。

上述のシミュレーションによる SEU 断面積の見積もりは、実際使用してるデバイスの実測値ではないため、使用する ASIC に対する SEU 断面積の値を照射テストによって、正確に求める必要がある。そして、この実測値から SEU_{rate} を求め、TGC エレクトロニクスシステム全体として、SEU による影響を評価しなければならない。これについては6.2節で述べる。

第5章　ASICの開発

TGC からの出力チャンネル数はシステム全体で 30 万以上になる。またこれらの信号を処理するエレクトロニクスは、厳しい放射線環境下に置かれることになる。十分な放射線耐性を満たし、迅速に信号を処理するには、信号処理系を ASIC[1]として実装することが必須となる。この章では、PS-Board 上に設置されることになる Patch Panel ASIC, JRC ASIC, Slave Board ASIC についての開発及び動作検証について説明する。

5.1　Patch Panel ASICの開発

ここでは、PS-Pack の PS-Board 上に設置され、TGC トリガーシステムにおいてタイミング調整、バンチ識別を行なう Patch Panel ASIC についての開発と設計及び、IC としての動作検証について述べる。

最初に開発した Patch Panel は、$0.6\mu m$ のデバイスを使い、DLL(Delay Locked Loop) 回路[2]、LVDS レシーバー、テストパルス回路の各アナログ回路をテストした。その後、VDEC[3]のサポートが $0.6\mu m$ から $0.35\mu m$ に移ったことと、低電圧化[4]を図るために $0.35\mu m$ に移行した。チャンネル数も 2 倍の 32ch に増やし、また、DLL 回路に変えて後述する PLL(Phased Locked Loop) 回路に変更することで安定度を向上させた。今回は、これらの変更を加えたフルスペックの ASIC を設計し、動作検証を行なった。

5.1.1　Patch Panel ASICの構成と機能

Patch Panel ASIC の全体のブロック図を図5.1.1に示す。Patch Panel ASIC では 2 つの ASD から、計 32 チャンネル分の信号を LVDS レシーバーで受信し、BCID 回路にてバンチ識別を行なう。以下に各部の機能の概要を述べる。

- LVDS レシーバー

  ASD と Patch Panel ASIC 間は、数メートルから十数メートルの距離があり、送信部と受信部では、グラウンドレベルに若干の差が生じることになる。このような場合でも正確な信号の伝達が行なわれるよう、ASD からの信号は、LVDS という低電圧の差動型の信号規格で送られる。LVDS レシーバーでは、ASD から送られてきた LVDS 信号を受信し、受信後は、TTL 信号に変換し、次段の遅延回路に信号を送る。

- 可変遅延回路と PLL 回路

  可変遅延回路は、チャンネルごとのタイミング調整を行なう回路で、PLL (Phase Locked Loop) 回路で、実現している。可変遅延の幅は、最大 25nsec で、精度はその 1/32 の 0.78nsec である。また、PLL の段数は、32, 28, 24, 20 と変更出来るように設計してある。

- BCID 回路

[1]Application Specific Integrated Circuit。ユーザー側の用途・要求に従って設計される IC。

[2]DLL 回路は、パルス信号のディレイ信号と基準信号との周期の差を単発に測定しているのに対し、後述する PLL 回路は複数回測定しているので精度が高い。さらに、我々が設計した DLL 回路には、25nsec 以外の所でロックしてしまう誤りがあった。

[3]VLSI Design and Education Center,Univercuty of Tokyo。VLSI の設計教育のための全国共同利用センターで、研究、教育を目的とした IC の開発を支援している。

[4]$0.6\mu m$ では、電源電圧が 5.0V であるが、$0.35\mu m$ では 3.3V である。

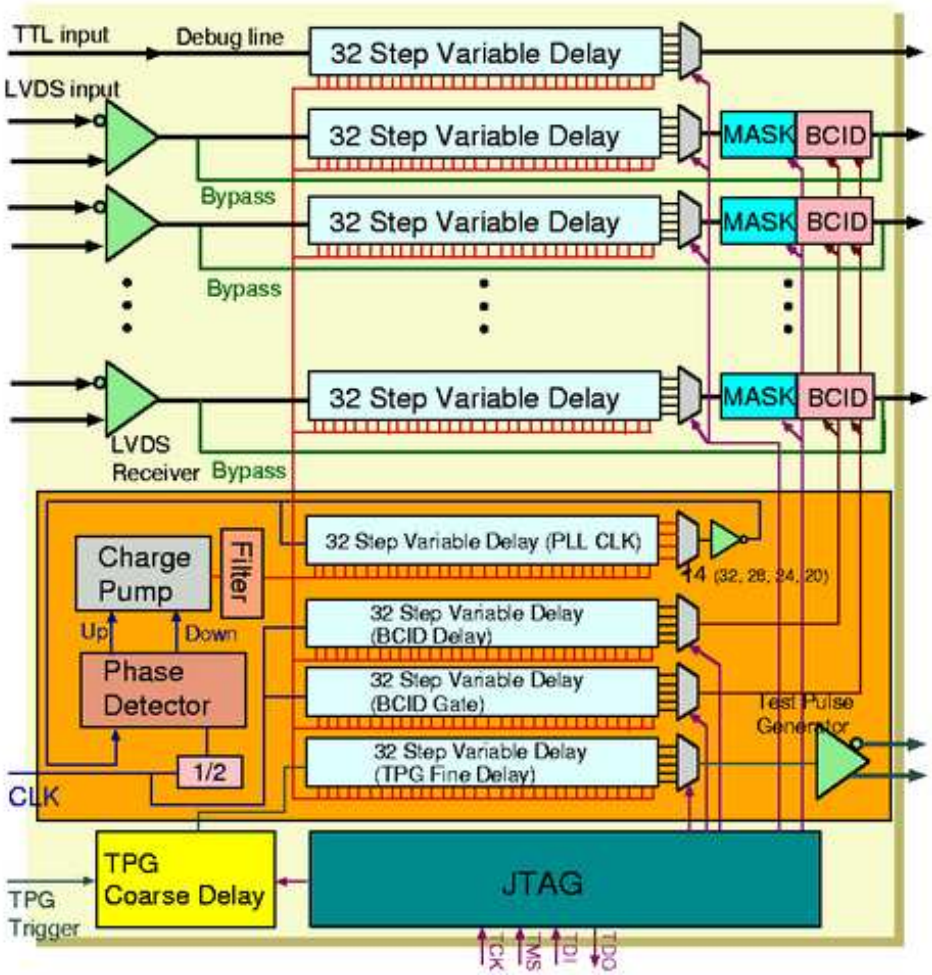


図 5.1.1: Patch Panel ASIC のブロック図

BCID 回路は、可変遅延回路でタイミング調整が行なわれた信号を受信し、LHC クロックと同期をとるための回路であり、これは、受信した信号が、どのバンチ衝突で生成されたものであるかを決定することに相当する。基本的には、クロック毎に開けるゲートの幅は、1 クロック分に相当する 25nsec で、1 クロック分のパルスを出力するが、入力信号の到着時間の分布が、25nsec を越えてしまった場合にも対処出来るように、ゲート調整用の可変遅延回路を設けて、ゲート幅を 25 ~ 50nsec に拡張出来る用にしてある。拡張したゲートの部分に信号が入ると 2 クロック幅の信号を出力する。また、TGC 検出器の一部が故障し、信号を出さなくなったり、粒子が来てないのに信号を出し続けるといった場合にも対処出来るように、BCID 回路には、マスク機能が搭載しており、32 チャンネルそれぞれに対して、マスクの有無の設定を行なうことが出来る。

- テストパルス回路

  テストパルス回路は、ASD に向け電流ドライブの差動型の信号を送ることが出来る回路で、これは、実験前に行なうタイミング調整等で用いられる。そのため、テストパルス回路にもサブナノ秒の精度で、最大 25nsec まで調整が出来る可変遅延回路 (TPG FINE) と 1 クロック単位で、最大 8 クロックまで調整出来る粗い遅延回路 (TPG COARSE) が含まれる。さらにテストパルス回路は、出力する信号の振幅も可変である。

- JTAG プロトコル

  Patch Panel ASIC では、可変遅延回路の設定、テストパルス回路の振幅の設定などの IC の設定はすべて、JTAG プロトコルのオプション機能であるユーザー定義レジスタを利用して、実現している。またこのレジスタについては、すべて SEU 対策として、多数決論理回路が用いられており、さらに SEU の有無も読み出すことが出来る。

5.1.2 Patch Panel ASIC の設計

5.1.2.1 LVDS レシーバー

LVDS は、図5.1.2に示すような電圧レベルの差動型インターフェイス規格である。低電力を実現するために、差動振幅が 400mV と小さいことが特徴だが、これによりノイズ・マージンが狭くならないように、図のように上下 1V のシフトを許している。これにより、出力側と入力側の電圧レベルに違いがあっても正確にシグナルを伝えることが出来る。

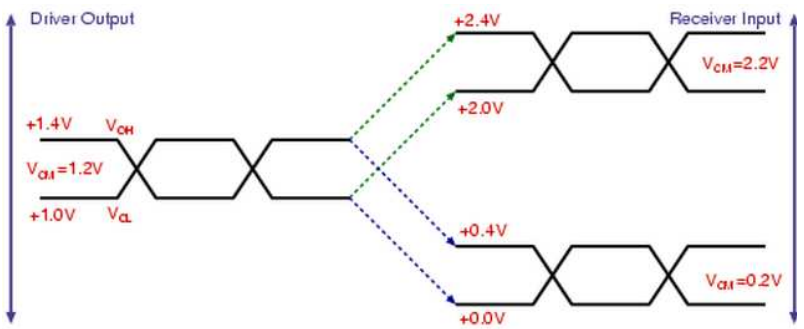


図 5.1.2: LVDS 信号の電圧レベル

Patch Panel ASIC に搭載される LVDS レシーバーの回路図を図5.1.3に示す。シグナルは、1 段の差動アンプとインバータを通り、最初の差動アンプは、主に同相位相を除く役割を果たしており、次のインバータで増幅される。

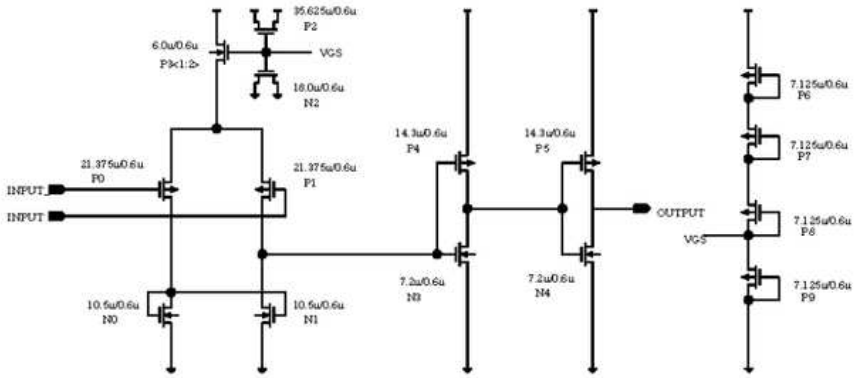


図 5.1.3: LVDS レシーバーの回路図

5.1.2.2 可変遅延回路と PLL

電源電圧の違い、温度変化等で IC の状態が変化しても、安定して 1nsec 以下のタイミング調整が可能な可変遅延回路を実装するために、PLL 回路を搭載した [35]。PLL 回路は、図5.1.4で示すように、電圧制御リングオシレーター (VCRO:Voltage Controlled Ring Oscillator)、位相検出器 (Phase Detector)、チャージポンプ、ロウパスフィルタ (LPF) から成る。VCRO は、32 段のディレイセルと 1 つのインバータから形成され、リング状でのディレイセルの数を 32 段の他に、20 段、24 段、28 段に変えれるようにセレクターが取り入れられている。セレクターによって、IC の製造過程からくるディレイセルの遅延時間の変動を適応させるだけでなく、可変遅延回路のダイナミックレンジも変化させることが出来る。図5.1.4で示すように、各ディレイは、2 つのインバータから成り、伝播遅延は、制御用電圧 VCON(Voltage Control) によって、制御される。リングを通過する信号は、インバータによって反転するので、リングは、発振器として働き、信号がリングを 25nsec で通過する時、VCRO の周波数は 20MHz となる。位相検出器は、VCRO からの出力と Patch Panel ASIC に入力された 40.08MHz のクロックを 1/2 に分周した Reference clock とを比較する。図5.1.5に示すように、VCRO クロックの位相が、Reference clock に対して、進み位相の時は down 信号が Hi になり、チャージポンプは、VCON の電圧を低くする。一方、VCRO のクロックの位相が、Reference clock の位相に対して、遅れ位相の時は、up 信号が Low になり、チャージポンプは、VCON の電圧を高くする。このループは、ネガティブフィードバック[1]として働き、VCRO の周波数を安定させる。すなわち、ネガティブフィードバック回路は、リング状での信号の伝播遅延を reference clock の半周期にあたる 25nsec に保ち続ける。

ディレイセル、位相検出器、チャージポンプと LPF の回路図を図5.1.6∼5.1.8に示す。ここで LPF は、チップ内には実装せずに、チップの外付けとし、今回、100pF のキャパシタを採用した。LPF は、チャージポンプからの出力である VCON に含まれる高周波成分や雑音を除去し安定させ、PLL の応答を左右する重要な役割を果たす。Patch Panel ASIC の各入力信号に対しては、PLL 回路とまったく同じレイアウトの 32 段のディレイセルを可変遅延回路として用いた。さらに後で述べるテストパルス回路のディレイ設定、BCID クロックのディレイ設定、BCID 回路のゲート設定に用いる可変遅延回路も同様に、PLL 回路と同じ 32 段のディレイセルを導入した。PLL 回路がロック[2]状態にある限り、可変遅延回路の伝播遅延は、電源電圧、温度変化などのどのような動作条件の変化に対しても一定の値を保ち続ける。図5.1.4に示すように、可変遅延回路の信号に対するディレイの設定は、JTAG を通じて書かれる 5 ビットのデータに従って、制御される。

[1]出力の一部を入力に戻して、出力を減少させること。
[2]VCRO clock と reference clock が、完全に同調して、VCON が一定の値で安定している状態

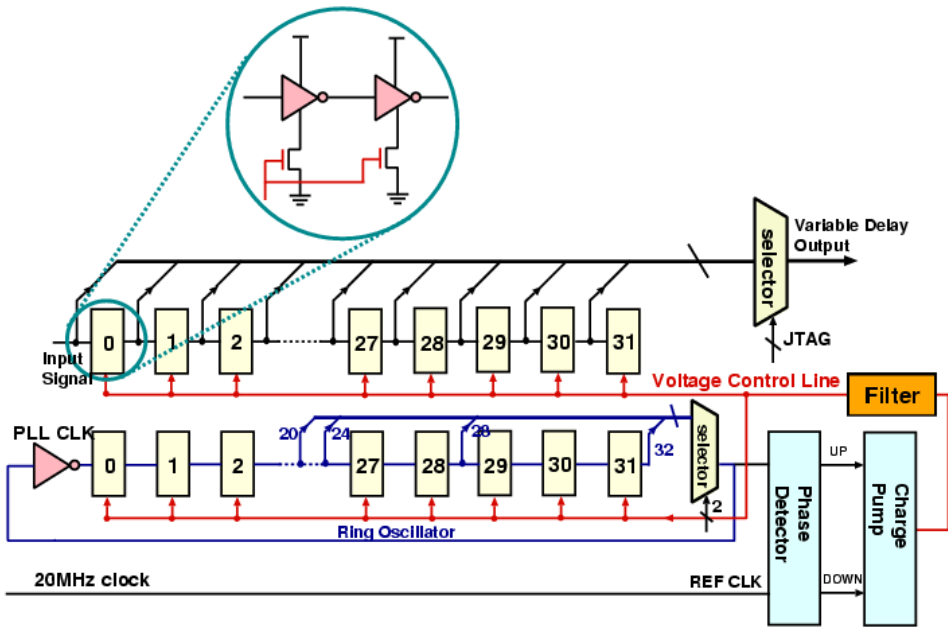


図 5.1.4: 遅延回路と PLL 回路のブロック図

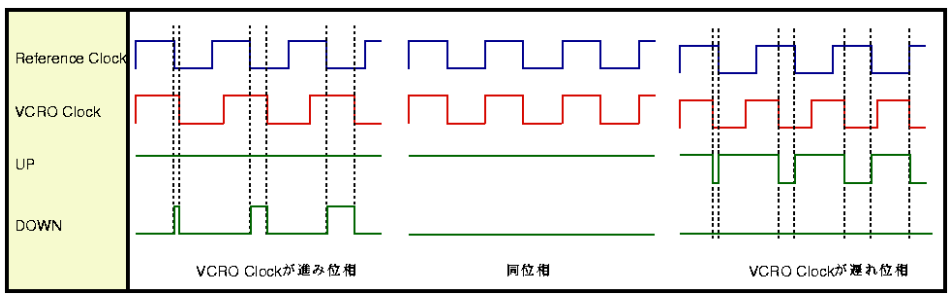


図 5.1.5: 位相検出器のタイミングチャート

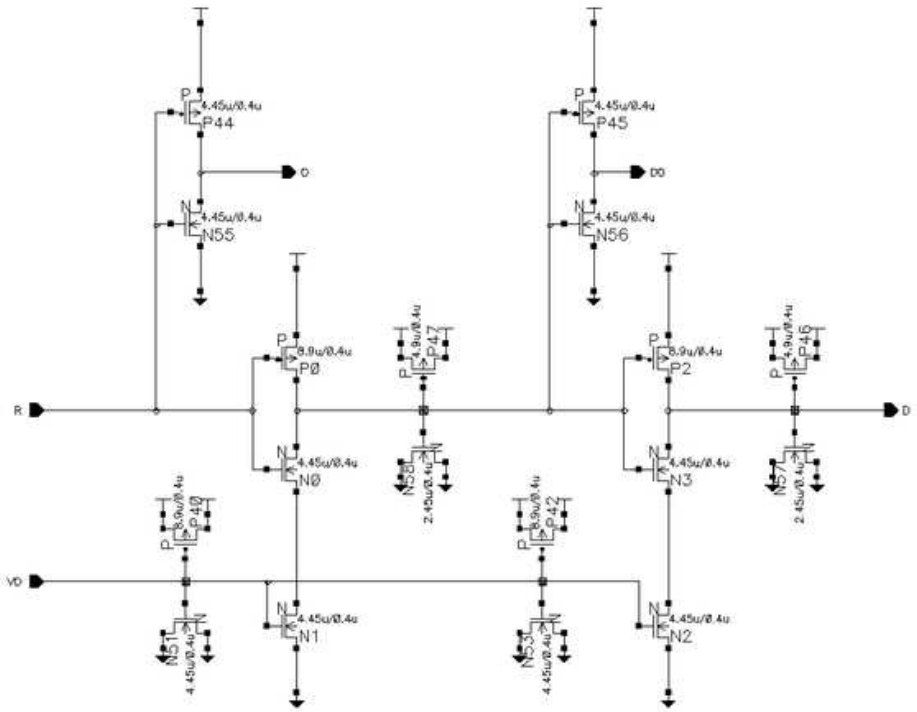


図 5.1.6: DELAY CELL の回路図

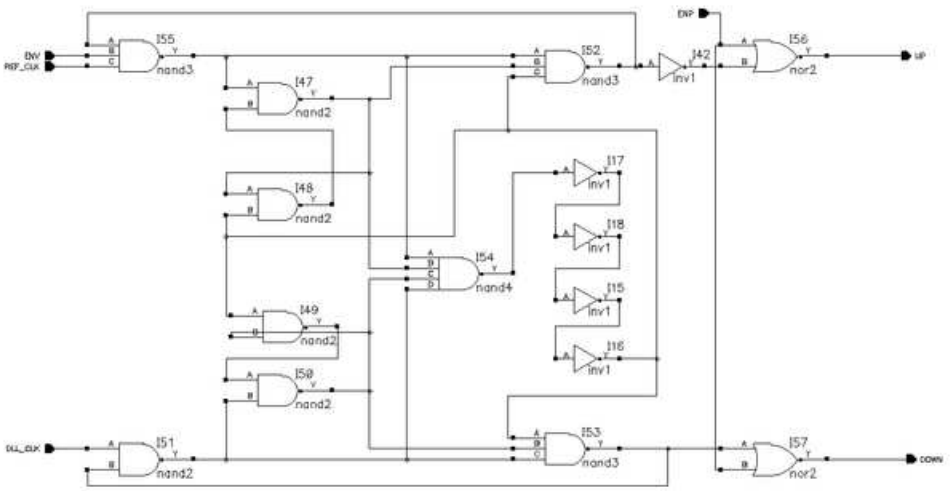


図 5.1.7: 位相検出器の回路図

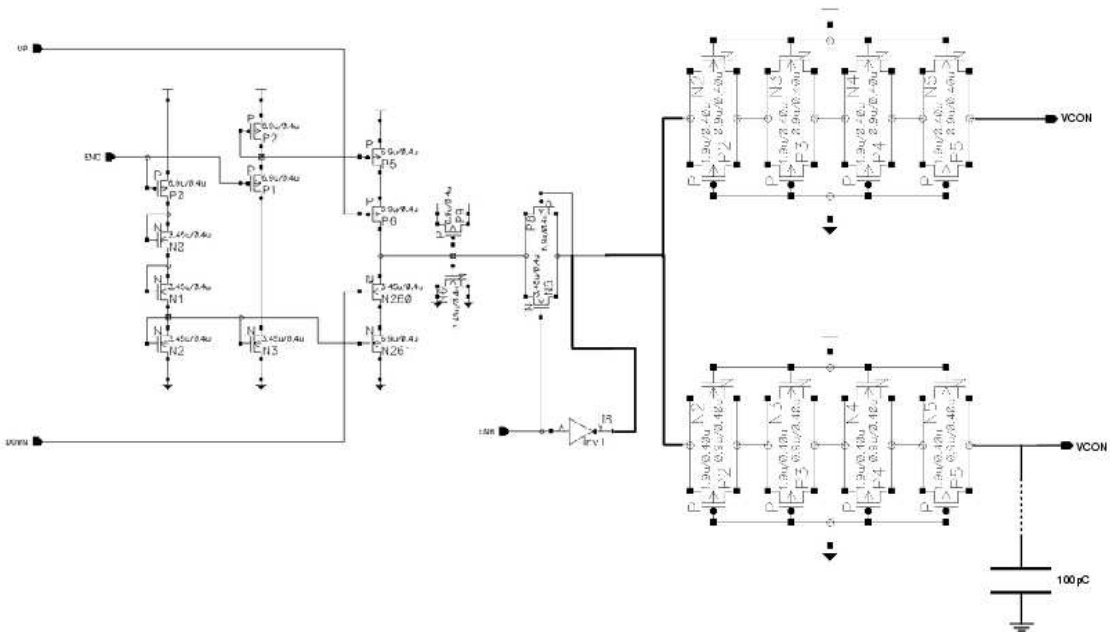


図 5.1.8: チャージポンプと LPF の回路図

5.1.2.3 BCID 回路

BCID(Bunch Crossing ID) 回路は、ASD から送られてくる様々なタイミングの信号を、40.08MHz のクロックに同期させ、1 クロック幅のパルスを出力する回路であり、これは、TGC からのヒット信号がどのバンチ衝突で起こったイベントであるかを決定することを意味する。また、BCID 回路は、信号のバラツキが 25nsec を越える場合にも対処出来るように、実行ゲート幅が可変で、調整することが出来る。図5.1.9に BCID 回路の回路図を示す。BCID 回路は、前に述べた可変遅延回路を 2 つ搭載している。1 つ目の遅延回路は、PS ボード上の 40.08MHz のクロックと、ASD ボードからのヒット信号の中で最も速く到達した信号との間の位相調整に使われ、2 つ目の遅延回路は、25nsec を越えた実行ゲート幅を作るのに使われる。それぞれのディレイの設定値は、1 つの ASD ボード (16 チャンネル分) の信号全てにおいて、同じ値が設定される。また BCID 回路には、各信号に対して、初段のフリップフロップのイネーブルを用いて、マスク機能を持たせており、JTAG プロトコルによって制御することが出来る。

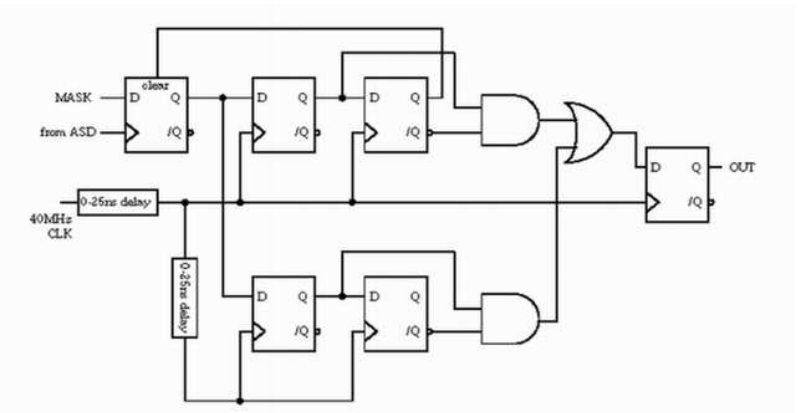


図 5.1.9: BCID 回路の回路図

図5.1.10に、実行ゲート幅を拡張した場合の BCID 回路の動作のタイミングチャートを示す。隣のバンチと重複するタイミングで入ってきたヒット信号に対し、BCID 回路は 2 クロック幅の信号を出力する。2 クロック分の信号のうち、どちらか 1 つはフェイク信号となるが、これはトリガー判定を行なう過程

で除去される。

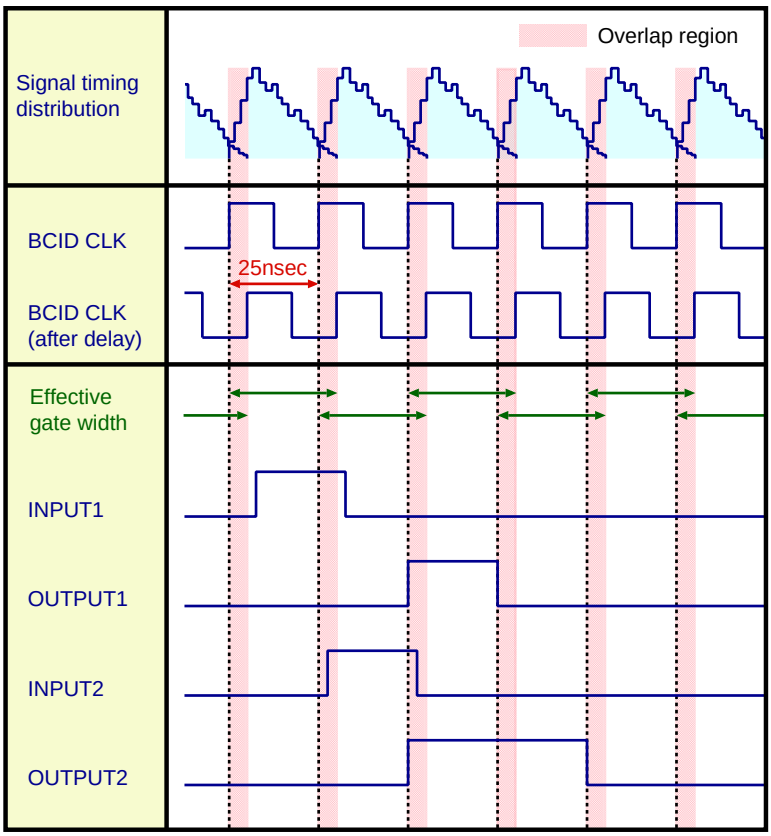


図 5.1.10: BCID 回路のタイミングチャート

5.1.2.4 テストパルス回路

Patch Panel ASIC が、TTC から、テストパルストリガーを受け取ると、テストパルス回路は、幅 $3\mu s$ の差動式の方形波を出力する。この差動信号は、ASD ボードに送られ、第 7 章で詳しく説明するタイミング調整に使われる。差動信号の振幅は、16 段階で段階的に変更可能な可変振幅で、JTAG プロトコルによって制御出来る。また、TTC から来るテストパルストリガーを、40.08MHz のクロックの上りエッジと下りエッジのどちらで取り込むかも JTAG プロトコルで選択可能である。さらに、テストパルストリガーを受信してから、テストパルスを出力するまでの時間を 1 クロック単位の精度で、0 ~ 8 クロックの幅で制御出来る粗い可変遅延回路 (coarse delay) と、1nsec 以下の精度で制御可能な PLL 回路と全く同じレイアウトの 32 段のディレイセル (図5.1.6参照) で構成された可変遅延回路 (fine delay) の 2 つで調整することが出来る。図5.1.11に遅延回路を除いたテストパルス回路の回路図を示す。この図では、5 つの電流源だけが描かれているが、実際には 15 の電流源が実装されている。

5.1.2.5 JTAG プロトコル

Patch Panel ASIC のほとんどの制御は、JTAG プロトコルによって行なわれる。表5.1.1に示すように、インストラクションレジスタは 8 ビットからなり、BSC(Boundary Scan Register) は、実装されていない。Patch Panel ASIC は、2 つの ASD ボード (ポート A、ポート B) を処理するので、それぞれのポートに対して、独立にパラメータを設定出来るようになっている。

インストラクションレジスタとデータレジスタには、中性子などの放射線粒子の通過によって、レジスタの値が反転するという SEU(Single Event Upset) 現象を対処するために、図5.1.12に示すような多数決論理回路を導入した。この回路は、Patch Panel ASIC に限らず、TGC エレクトロニクスの中で放射線

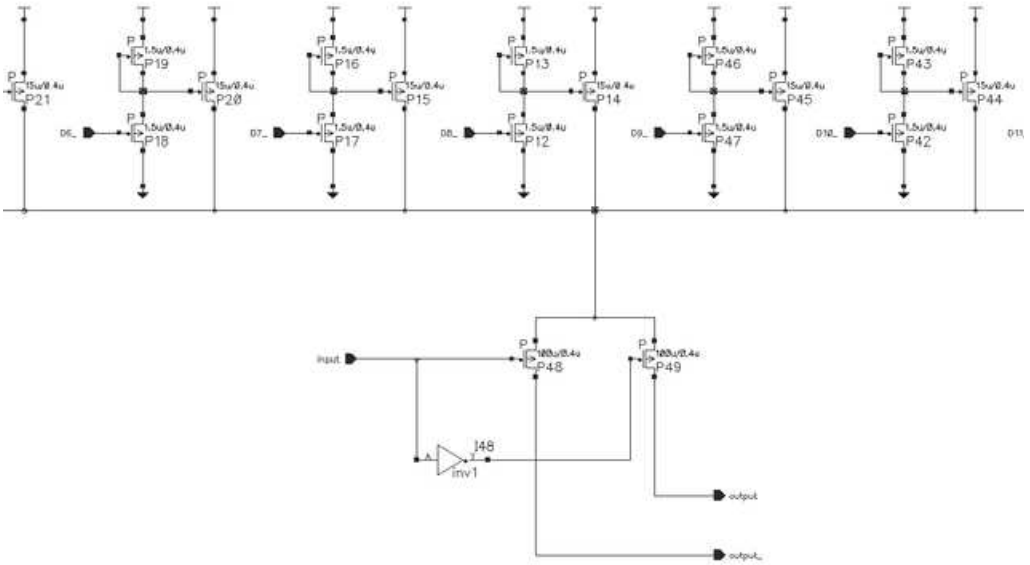


図 5.1.11: 遅延回路を除いたテストパルス回路の回路図

レジスタ名	ビット	モード	機能
BCID MASKA	16	R/W	ポート A の BCID 回路のマスク
BCID MASKB	16	R/W	ポート B の BCID 回路のマスク
TPG AMPA	4	R/W	ポート A のテストパルスの振幅調整
TPG AMPB	4	R/W	ポート B のテストパルスの振幅調整
TPG FINEA	5	R/W	ポート A のテストパルスの遅延調整 (精)
TPG FINEB	5	R/W	ポート B のテストパルスの遅延調整 (精)
TPG COARSEA	5	R/W	ポート A のテストパルスの遅延調整 (粗)
TPG COARSEB	5	R/W	ポート B のテストパルスの遅延調整 (粗)
SIGNAL DELA	5	R/W	ポート A でヒットした信号の遅延調整
SIGNAL DELB	5	R/W	ポート B でヒットした信号の遅延調整
BCID DELA	5	R/W	ポート A での BCID クロックの遅延調整
BCID DELB	5	R/W	ポート B での BCID クロックの遅延調整
BCID GATEA	5	R/W	ポート A でのゲート幅の調整
BCID GATEB	5	R/W	ポート B でのゲート幅の調整
DEBUG DEL	5	R/W	デバッグ信号に対する遅延
SEU READ	1	R	SEU フラグの読み出し

表 5.1.1: Patch Panel ASIC のユーザー定義レジスタの一覧

下で用いられる全ての ASIC のパラメータ設定のレジスタに対して、適用し、SEU による誤動作を避けている。多数決論理回路では、1 ビットのデータを 3 つのレジスタに同時に書き込み、その 3 つのレジスタの多数決を出力するもので、3 つのレジスタの内 1 つのレジスタに SEU 現象が起きても、正しいデータを保持し、設定レジスタに書き込むが出来る。さらに多数決が割れたことを検出する回路も搭載されており、この出力は ASIC 内の全ての設定レジスタで OR が取られ、JTAG 操作で読み出すことが出来る。

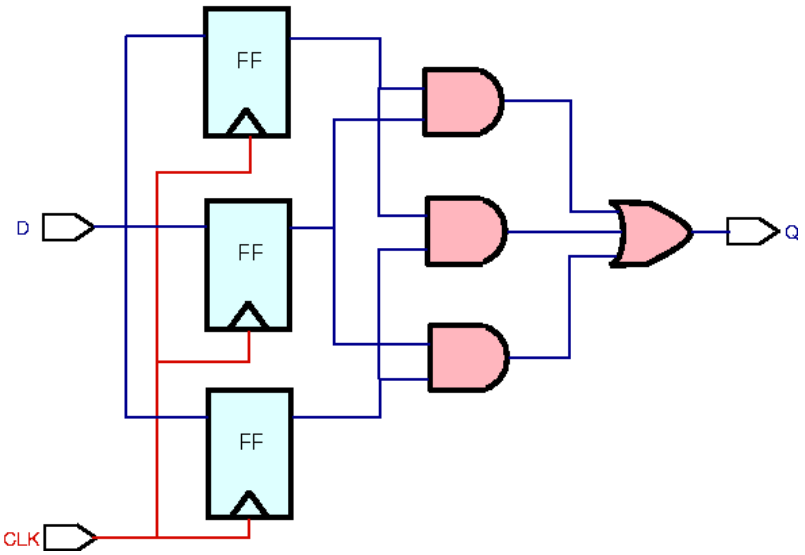


図 5.1.12: 多数決論理回路の回路図

5.1.3 全体のレイアウト

Patch Panel ASIC は、VLDAC[1]と VDEC のサポートを経て、ローム社の最小配線幅が 0.35μm のフルカスタムチップで制作し、サイズは、5mm×5mm である (図5.1.13)。I/O パッドの任意の論理回路には、ローム社から提供された " パスポートライブラリ " と呼ばれるライブラリを用いた。また、LVDS レシーバー、PLL 回路、可変遅延回路、テストパルス回路については、TGC エレクトロニクスグループが、レイアウトレベルから設計し、設計においては、レイアウトが複雑になることを避けて、最小配線幅が、0.4μm のトランジスタのみを使用した。

5.1.4 Patch Panel ASIC の動作検証

ここでは、Patch Panel ASIC 単体の動作検証について述べる。動作検証は、各回路それぞれについて行ない、また Patch Panel ASIC は最終的に、1 万個程度の量産を行ない、使われる予定なので、基本的な動作の確認だけでなく、温度や電源電圧等の IC の動作条件の変化や、IC の製造過程から生じる個々の IC の個体差による誤差等も考慮した動作検証を行なった。

5.1.4.1 LVDS レシーバー

図5.1.14に、LVDS レシーバーの動作検証を行なった時のセットアップ図を示す。LVDS レシーバーの動作特性は、図5.1.15で定義されるような LVDS 信号のオフセット電圧、振幅に依存するので、入力信号に対する出力信号の伝播遅延を測定することで、性能評価を行なった。差動信号の入力部には、反射を防ぐために特性インピーダンスに等しい終端抵抗 100Ω を接続し、Patch Panel ASIC を図5.1.1に示すような Bypass モードに設定した。

[1]Venture LSI Assist Center, Rohm。ローム社が設立したベンチャー企業等が設計する LSI の試作サービスを支援するためのセンター。

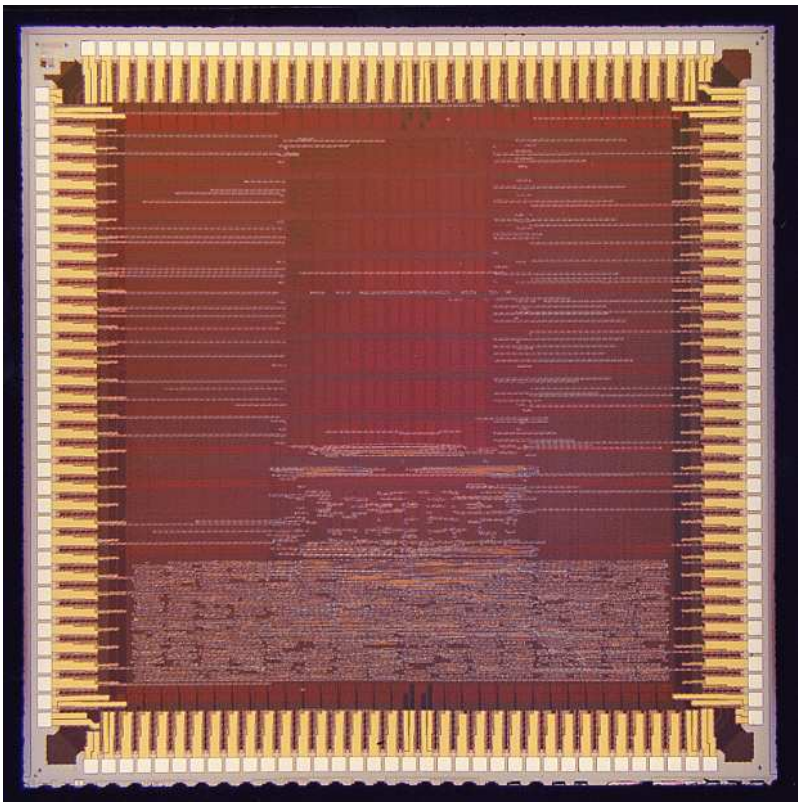


図 5.1.13: Patch Panel ASIC

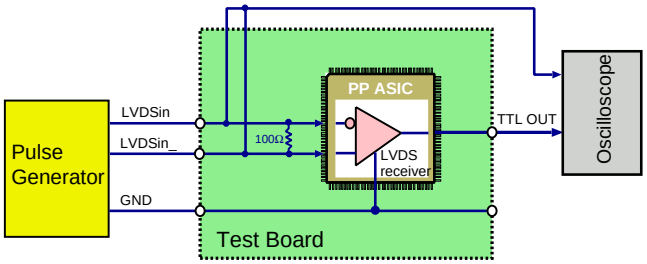


図 5.1.14: LVDS レシーバーの動作検証のセットアップ図

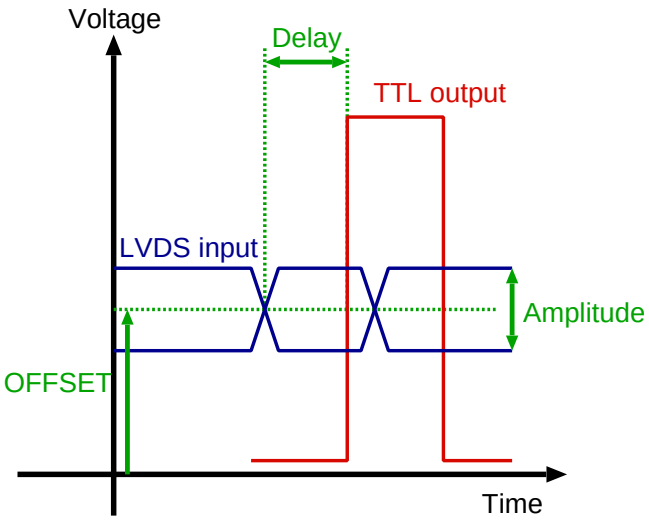


図 5.1.15: LVDS 信号の OFFSET と Amplitude の定義

図5.1.16に、パルスジェネレーターから様々なオフセット電圧と振幅の差動信号を入力し、IC の入力直前と出力直後の伝播遅延を測定した結果を示す。ここでの伝播遅延は、LVDS レシーバーと出力バッファ[1]との和であり、LVDS レシーバー自身の動作速度を評価することは出来ないが、相対的な値としては十分な評価が出来る。ASD ボードからの差動信号のオフセット電圧と振幅は、それぞれ 1.2V と 400mV であり、測定結果によると、ASD ボードからの出力の周辺では、オフセット電圧の違いによる伝播遅延に差が生じることはない。図5.1.17に、振幅が 400mV における電源電圧の違いによる伝播遅延の依存性を示す。測定結果に依ると、電源電圧の違いによる伝播遅延の変化は、1nsec 以上になり、無視出来ない値になっている。しかし、ASD ボードは、Patch Panel が設置される PS ボードから電源を供給されるため、ASD と Patch Panel 間で、グラウンドレベルに大きな差が生じたりすることはないと思われる。

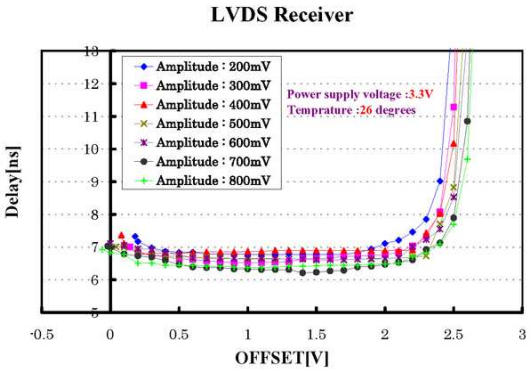


図 5.1.16: 入力の OFFSET と振幅を変えた時の LVDS レシーバーの伝播遅延

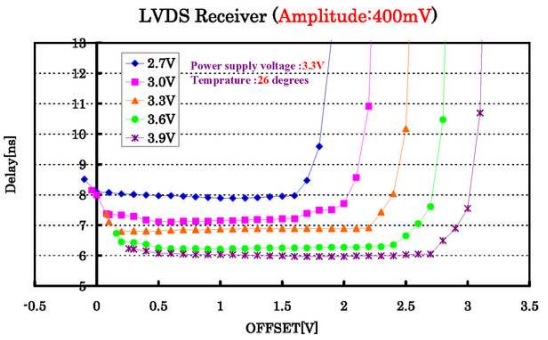


図 5.1.17: 電源電圧を変えた時の LVDS レシーバーの伝播遅延

次に、測定しているチャンネル以外のすべてのチャンネルに 40.08MHz の差動信号を入力することで、クロストークによる LVDS レシーバーの影響を検証した。測定結果を表5.1.2に示す。Patch Panel ASIC は、一つのチップで、TGC のワイヤー側とストリップ側の両方に使われ、入力信号を反転させることで、使用用途に応じて IC 内部で選択することが出来る。表中の anode、cathode は、それぞれワイヤー、ストリップを意味しており、表からわかるように伝播遅延は、cathode 側の方が 1nsec 程度遅い結果となった。また表中の delay は、クロストークによる伝播遅延の増加量を意味する。クロストークによる LVDS レシーバーの影響は、測定しているチャンネルを除く全チャンネルが 40.08MHz という高頻度でヒットする厳しい条件にもかかわらず、ワイヤー、ストリップの両方で、伝播遅延の増加量は 1nsec 以下、ジッターは 1.5 ~ 2.1nsec 程度であった。また、特定のチャンネルが、特にクロストークの影響を受けやすいといった現象も見られなかった。以上の結果から、この LVDS レシーバーは、本番の ATLAS 実験で使用するのに十分な性能を持つと評価出来る。

5.1.4.2 可変遅延回路と PLL

可変遅延回路と PLL 回路の動作検証は、図5.1.1に示すように 1 チャンネルだけデバッグ用に設けた信号線 (入力バッファ + 32 段のディレイセル + 出力バッファ) を用いて行なった。まず、図5.1.18に示すように、外部から VCON の電圧を設定して、32 段のディレイセルに TTL の信号を入力することで、32 段のディレイセル全体の入出力の信号のタイミングの差を測定した。今回、IC の入力と出力の伝播遅延の測定には、約 100psec の精度を持つタイムインターバルカウンターを用いた。測定結果を図5.1.20に示す。この結果からわかるように 32 段のディレイセル全体では、伝播遅延を 12nsec から 60nsec 以上にまで広げることが出来る。

次に図5.1.19に示すように、PLL をロックした状態で、JTAG プロトコルによって、32 段のディレイセルの段数を変えながら、伝播遅延を測定した。測定結果を図5.1.21、表5.1.3に示す。伝播遅延の値は、

[1]内部回路と外部とを接続するインターフェイス部分

channel	cathode		anode		cathode-anode
	delay[ns]	jitter[ns]	delay[ns]	jitter[ns]	$\Delta[ns]$
A0 / B0	0.6 / 0.6	1.2 / 1.7	0.6 / 0.8	1.4 / 2.0	1.0 / 0.9
A1 / B1	0.6 / 0.5	1.4 / 1.8	0.6 / 0.8	1.4 / 2.0	1.0 / 0.8
A2 / B2	0.4 / 0.7	1.5 / 2.0	0.4 / 0.8	1.6 / 1.7	0.8 / 0.8
A3 / B3	0.5 / 0.5	1.5 / 1.7	0.6 / 0.7	1.5 / 1.8	0.9 / 0.9
A4 / B4	0.6 / 0.6	1.4 / 1.7	0.6 / 0.8	1.8 / 2.0	0.9 / 0.9
A5 / B5	0.4 / 0.5	1.3 / 1.5	0.5 / 0.6	1.6 / 1.8	0.9 / 0.7
A6 / B6	0.4 / 0.6	1.4 / 1.7	0.6 / 0.7	1.8 / 2.0	0.8 / 0.8
A7 / B7	0.4 / 0.5	1.5 / 1.6	0.7 / 0.7	1.8 / 1.8	0.7 / 0.7
A8 / B8	0.4 / 0.5	1.5 / 1.6	0.7 / 0.7	1.7 / 1.8	0.7 / 0.8
A9 / B9	0.4 / 0.5	1.5 / 1.4	0.7 / 0.6	1.6 / 1.8	0.8 / 0.7
A10 / B10	0.4 / 0.4	1.8 / 1.2	0.7 / 0.6	2.1 / 1.6	0.8 / 0.7
A11 / B11	0.6 / 0.5	1.7 / 1.4	0.8 / 0.6	2.0 / 1.6	0.9 / 0.7
A12 / B12	0.6 / 0.4	1.7 / 1.4	0.7 / 0.6	1.7 / 1.6	0.7 / 0.7
A13 / B13	0.5 / 0.5	1.8 / 1.4	0.8 / 0.7	1.8 / 1.4	0.8 / 0.7
A14 / B14	0.5 / 0.4	1.7 / 1.2	0.9 / 0.6	2.0 / 1.4	0.9 / 0.7
A15 / B15	0.5 / 0.3	1.6 / 1.0	0.8 / 0.6	1.8 / 1.5	0.7 / 0.8

表 5.1.2: クロストークによる LVDS レシーバーの影響

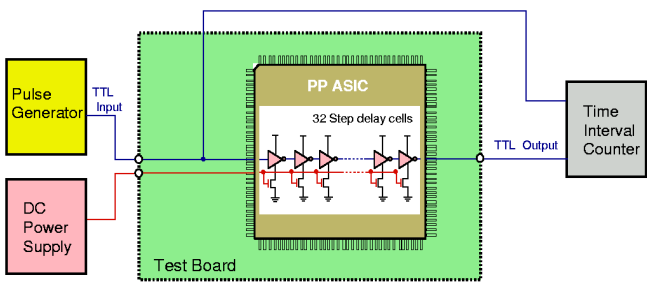


図 5.1.18: 制御電圧 VCON に対する伝播遅延測定ためのセットアップ図

ディレイセルそのものの値を測定するために、ディレイセルが 0 個の状態の伝播遅延 (入力バッファ+出力バッファ+測定装置からの遅延等) をそれぞれ、差し引いた値を用いた。また、PLL 回路の VCRO のディレイセルの段数を 32 段、28 段、24 段、20 段に変えることで、可変遅延回路のダイナミックレンジを変えて測定した。これは、32 段ディレイセルのレゾリューションを変えることを意味し、可変遅延回路のダイナミックレンジは、このレゾリューションの値を 31 倍したものである。表5.1.3を見ると、PLL ステップが 32 段の時に、ダイナミックレンジが 25nsec になるはずが、22.9nsec と 25nsec よりも小さい値になってしまった。これは、ディレイセルを設計する際、入出力バッファの遅延時間を考慮せずに設計してしまったためである。しかし、PLL ステップを 28 段にすれば、1nsec 以下の精度で、25nsec 以上のダイナミックレンジを得ることが出来、本番の ATLAS 実験において、十分なタイミング調整が出来ると思われる。

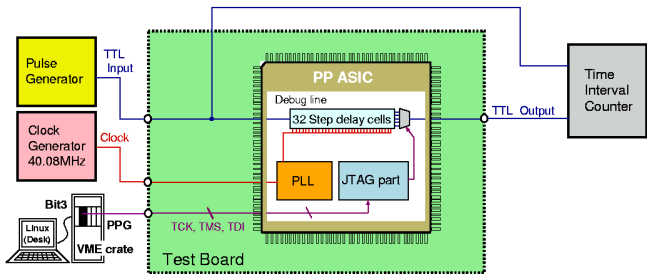


図 5.1.19: PLL 回路の性能評価のためのセットアップ図

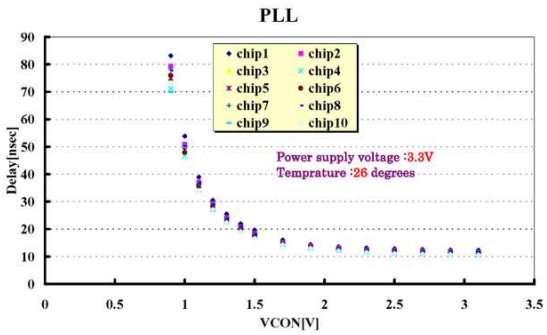


図 5.1.20: 制御電圧 VCON に対する伝播遅延

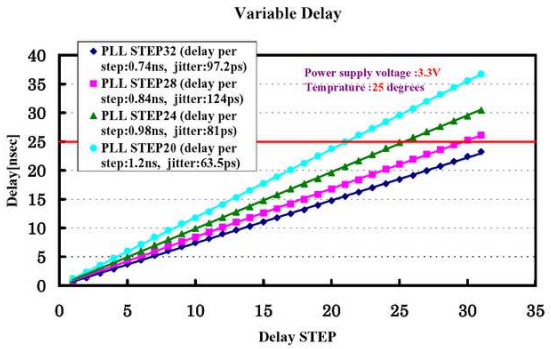


図 5.1.21: 遅延回路の性能評価

PLL STEP	VCON[V]	Resolution[ns]	Dynamic Range[ns]	Jitter[ps]
32	1.32	0.74	22.9	97.2
28	1.27	0.84	26.0	124
24	1.19	0.98	30.4	81.0
20	1.11	1.20	37.2	63.5

表 5.1.3: 可変遅延回路と PLL 回路の測定

実際に ASIC を使用する際には、IC に供給する電源電圧の変化や温度変化の影響が伴うので、これらの環境変化に対しても、PLL 回路が正しく動作してるかを検証するために、電源電圧や温度環境を変えて、伝播遅延の測定を行なった。図5.1.22に、電源電圧を変えた時の各 PLL ステップでの伝播遅延の測定結果を示す。これを見ると、電源電圧の違いによる伝播遅延の依存性は小さく、また、電源電圧を下げると、ディレイセルの動作速度は速くなるが、それに応じて、VCON の値も減少していることがわかる。様々な温度条件での伝播遅延の測定結果は、図5.1.23~5.1.24に示されており、温度変化による伝播遅延の依

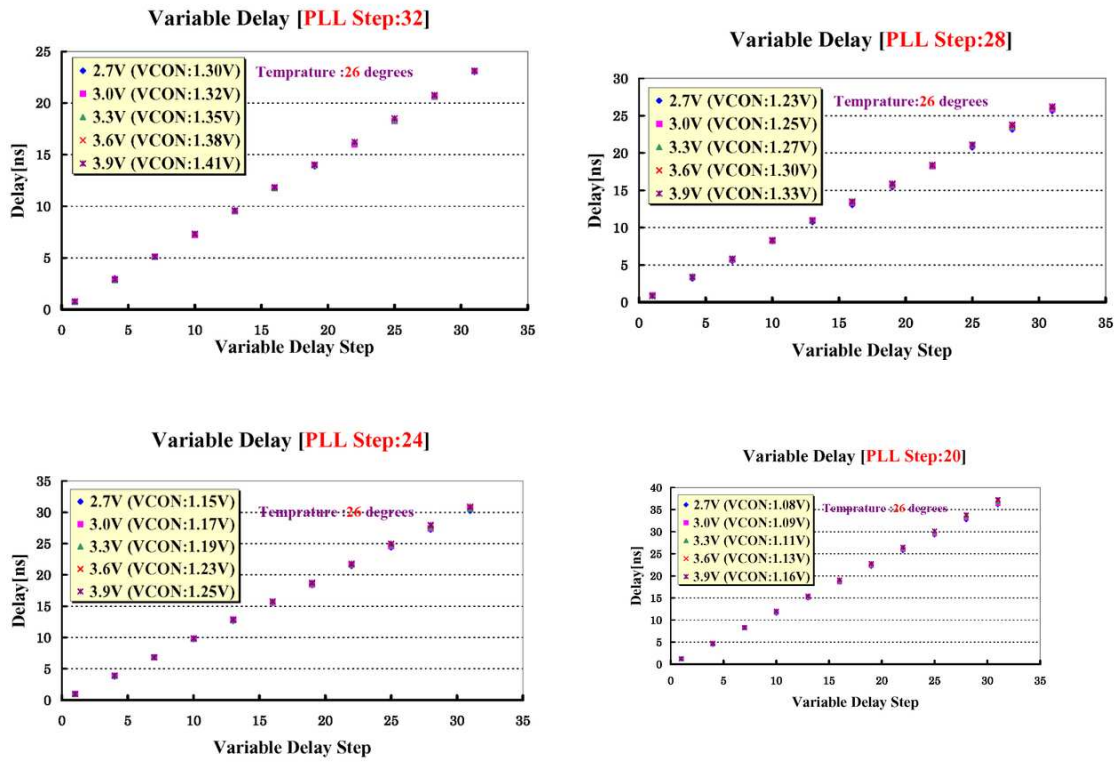


図 5.1.22: 各 PLL 回路のステップで電源電圧を変えた時の伝播遅延

存性も小さいことがわかる。また一般に温度が上がると半導体素子の動作速度は遅くなるが、VCON の値も温度上昇とともに、ディレイセルの動作速度を上げるために増加しており、PLL 回路が正しく動作していることがわかる。

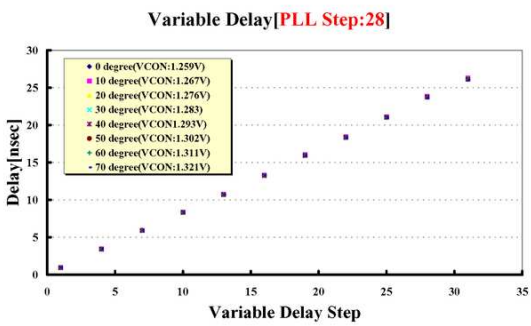


図 5.1.23: 温度変化に対する遅延回路の評価 (PLL Step:28)

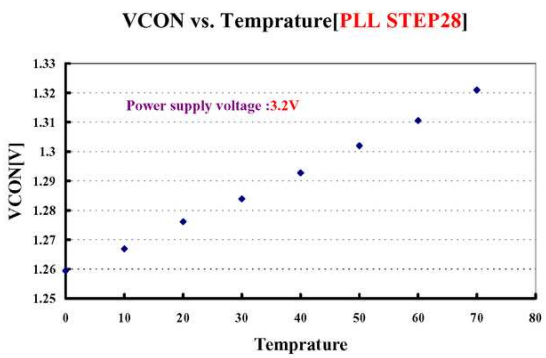


図 5.1.24: 温度変化に対する制御電圧 VCON の評価 (PLL Step:28)

最後に、将来の量産に備えて、IC の製造過程から生じる誤差を検証するために、同じ条件で、10 チップの伝播時間を測定してみた。図5.1.25の測定結果から分かるように、IC の個体差に依る伝播遅延の違いは、ほとんど見られなかった。

5.1.4.3 BCID 回路

BCID 回路の動作検証は、図5.1.26で示すように、Patch Panel ASIC の有効ゲート幅をあらかじめ設定した値に固定しておいた状態で、外部から、クロックに同期した状態の信号を 1nsec の精度を持つディ

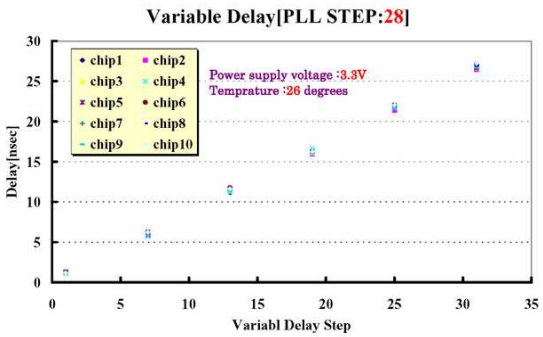


図 5.1.25: 遅延回路の個体差の評価 (PLL Step:28)

レイモジュールで、少しずつずらしながら IC 内部に入力することで行なった。BCID 回路の動作検証時は、複雑さを避けるために、入力信号とクロックに対する可変遅延回路は、一切使わずにディレイセルを 0 の状態に固定した。図5.1.27に、BCID 回路が正常に動いた状態のタイミングチャートを示す。入力信号にかかるディレイが 25nsec を越えた時にバンチ数が増え、また隣のバンチと重複するタイミングで入力された信号に対しては、本来のバンチ識別に加えて、1 つ前のバンチに対しても信号を出力し、計 2 クロック分の信号が出力される。

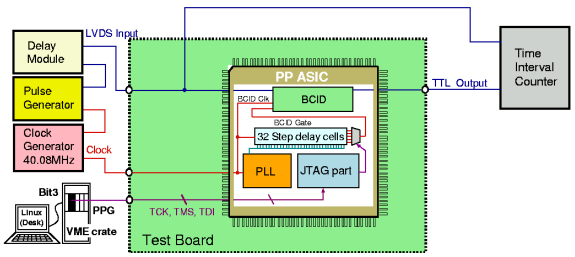


図 5.1.26: BCID 回路の動作検証のセットアップ図

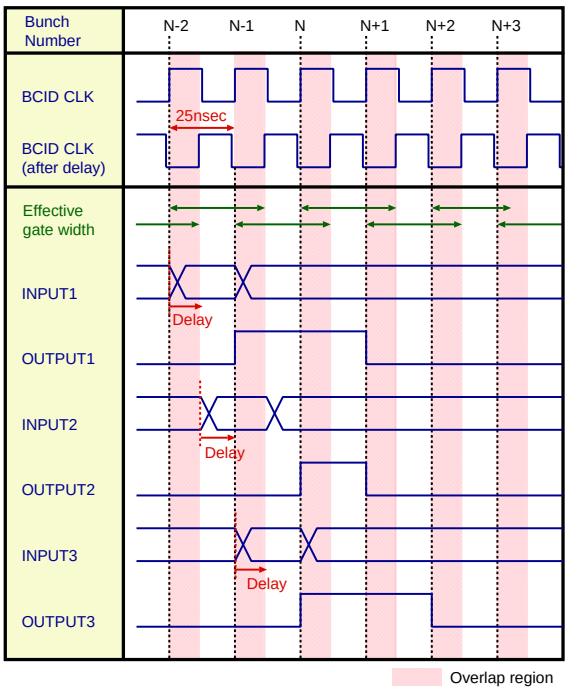


図 5.1.27: BCID 回路の動作検証のタイミングチャート)

実際の動作検証の測定結果を図5.1.28に示す。ここで、横軸はディレイモジュールの遅延時間、縦軸はバンチ数を意味する。この測定によって、40.08MHz のクロックに対し、有効ゲート幅は 26 ~ 48nsec の間で調整出来ることが分かった。これは、本番の ATLAS 実験で使用するのに十分な性能である。

5.1.4.4 Test Pulse Generator

図5.1.29にテストパルス回路の動作検証するためのセットアップ図を示す。パルスジェネレーターから送られる TTL 信号をテストパルストリガーとして、出力される差動信号の振幅、遅延を測定した。ま

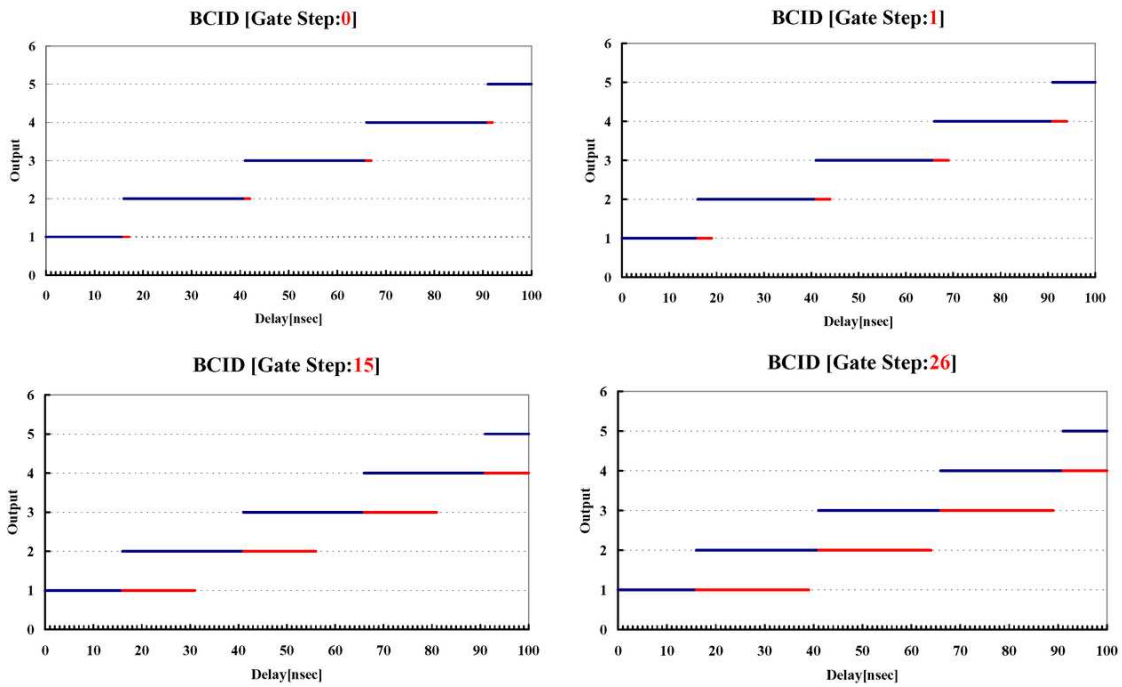


図 5.1.28: BCID 回路の性能評価

た、出力の端子には、それぞれ 25Ω の抵抗を介して、グラウンドに接地されている。図5.1.30~5.1.33に、Test Pulse Genetrator の電流源のスィッチの ON の数を変化させた時の、差動信号の振幅の観測結果を示す。検証は、IC の使用条件の変化を考慮して、電源電圧や温度を変化させて測定した。また、IC の製造過程から生じる誤差も考え、10 チップを同じ条件で測定し、個体差に対する評価も行なった。測定結果からわかるように、温度変化や個体差からの振幅の違いはほとんど見られなかったが、電源電圧には大きく依存することが分かった。

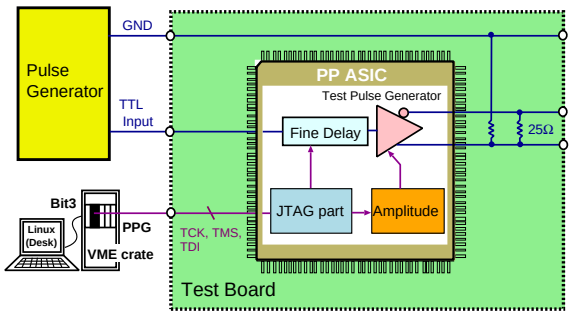


図 5.1.29: テストパルス回路の動作検証のセットアップ図

次に、テストパルス用に設置した 32 段のディレイセルを持つ可変遅延回路の動作検証を PLL 回路のステップを 28 段にして行なった。図5.1.34の測定結果からわかるように、他の可変遅延回路と同様に正しく動作することが確認された。また、Coarse Delay についても動作の検証を行ない、1 クロックの精度で、0 ~ 8 クロックまで遅延調整が出来ること確認した。

5.1.4.5 消費電力

図5.1.35に、ASD ボードからの入力信号の周波数を変えた時の消費電力を示す。最大消費電力を調べるために、PP ASIC への入力信号は、全チャンネルがヒットした時の状態にしている。この図より、期

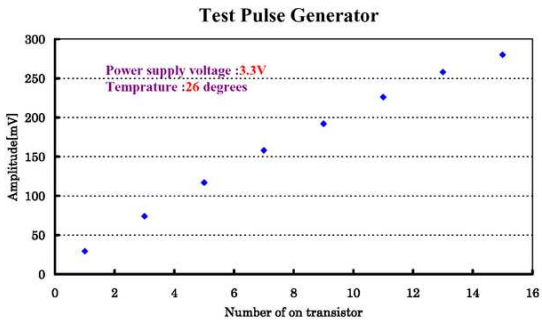


図 5.1.30: テストパルス回路の振幅の変化

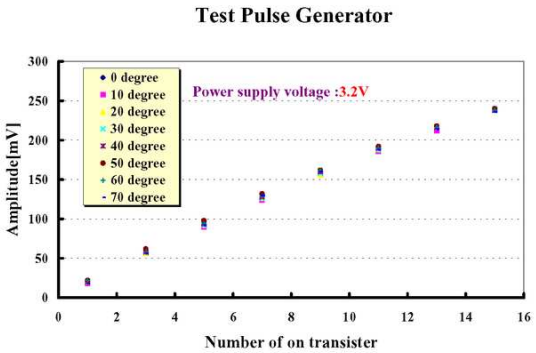


図 5.1.31: テストパルス回路の温度に対する性能評価

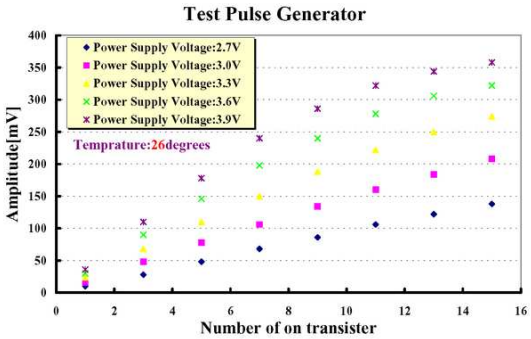


図 5.1.32: テストパルス回路の電源電圧に対する性能評価

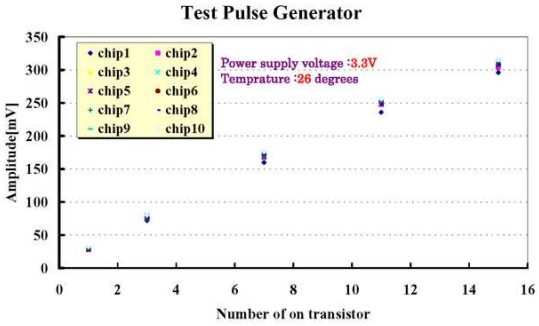


図 5.1.33: テストパルス回路の個体差に対する性能評価

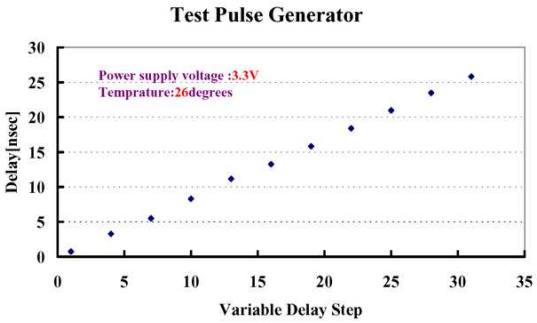


図 5.1.34: テストパルス回路の遅延回路に対する性能評価

待される ATLAS 実験の通常の状態では、PP ASIC の消費電力は 130mW(4mW/ch) 程度であることがわかる。設計上は最大 15mW/ch まで許容範囲であるとしており、この数値と比べて、十分小さな値が得られた。

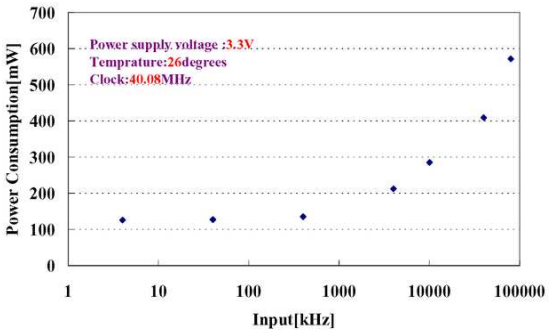


図 5.1.35: 入力信号の周波数を変えた時の消費電力

5.1.4.6 動作検証のまとめ

今回、Patch Panel ASIC に対して行なった全ての動作検証の項目を表5.1.4に示す。全ての動作検証の項目において、本番の ATLAS 実験で用いるのに、弊害となるような項目は、観測されなかった。

回路名	検証項目
LVDS レシーバー	LVDS 信号のオフセット電圧、振幅を変えて、伝播遅延を測定 電源電圧を変えて伝播遅延を測定 クロストークによる影響の評価
可変遅延回路と PLL	外部から VCON を供給して、伝播遅延を測定 PLL のダイナミックレンジを変えて、伝播遅延の測定 電源電圧を変えて、伝播遅延とロック時の VCON を測定 温度環境を変えて、伝播遅延とロック時の VCON を測定 IC の個体差の評価
BCID 回路	BCID 回路の有効ゲート幅の測定
テストパルス回路	Test Pulse Generator の振幅の変化を測定 電源電圧、温度環境を変えて測定 IC の個体差の評価 Coarse Delay、Fine Delay の検証
JTAG プロトコル	すべての JTAG プロトコルの確認
IC 全体	消費電力の測定

表 5.1.4: Patch Panel ASIC の動作検証の全項目

5.2 JRC(JTAG Routing Controller) ASIC の開発

JRC は、PS ボード上に置かれ、PP/SLB へアクセスするためのインターフェースとなり、これを経由して、PP/SLB の JTAG レジスタの設定が行なわれる。

JRC は過去に、書き換え可能なデバイス (CPLD[1]) により、HDL(ハードウェア記述言語) コードの動作検証が行なわれた。今回はそれを ASIC 化するための開発と動作検証を行なった。また、このプロセス (ローム:0.35μm) の放射線耐性を評価するために、リングオシレーターとシフトレジスタも導入した。

5.2.1 JRC ASIC の構成と機能

図5.2.1からわかるように、JRC(JTAG Routing Controller) は、2 系統の入力ポート (DA, DB) と 7 系統の出力ポート (Q1-Q7)、それとそれをコントロールするための 2 系統の JTAG シグナル (CA, CB) を持つスイッチングルーターである。全ての系統は JTAG 信号であり、それぞれのラインは/TRST、TCK、TMS、TDI、TDO の 5 つの信号から成る。ポート A とポート B からの 2 組の JTAG 信号 (DA,DB) のコントロールは、コントロールするための JTAG 信号 (CA, CB) によって行なわれ、2 系統の入力ポートは、 それぞれ、7 系統の出力ポートの内のどれか一つに繋がるか、あるいはどこにも繋がらない状態になる。JRC は、2 系統の入力に対して、単純な受動的なスイッチとして働くので、入力信号は IC の中を通過し、出力ポートの内の一つから、そのまま出力される。2 つの JTAG コントロールラインは、内部で全く独立して実装されているため、相互間のコミュニケーションが一切なく、2 系統が同じルートを選択し、衝突してしまうことが避けられない。そこで、ルーティングに対して、なんらかのアービトレーションが必要であるが、JRC では、すでに占有されているポートが選択された場合、そのルートは確保されず、どこにも繋がらない状態にすることで、この問題を解決している。

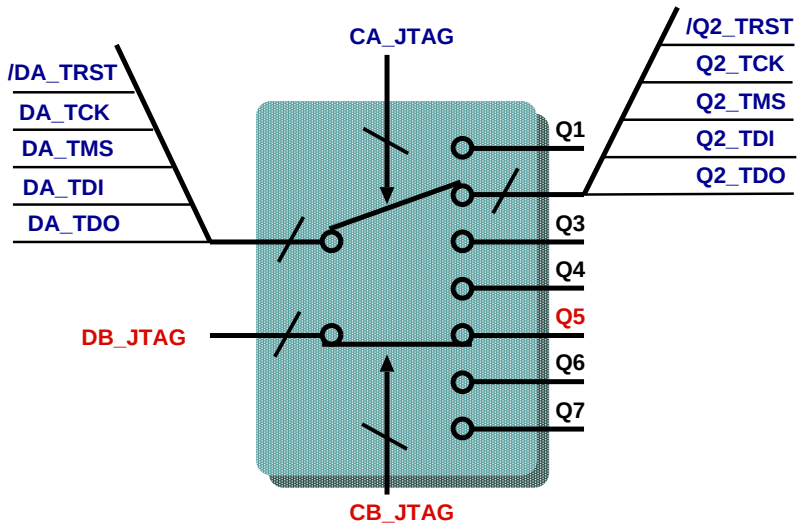


図 5.2.1: JRC ASIC のブロックダイアグラム

JRC では、全ての操作とコンフィギュレーションは、2 系統のコントロール用の JTAG ライン (CA, CB) によってのみ制御される。表5.2.1に、JRC のユーザー定義レジスタを示す。また、JRC も放射線環境下に置かれるため、SEU 対策としてこれらのレジスタは多数決論理回路を搭載している。

さらに JRC では、TGC エレクトロニクスで必要な通常の機能に加えて、第 6 章で述べる Patch Panel ASIC の放射線照射テストに備えて、リングオシレーターとシフトレジスタを搭載している。リングオシレーターは、図5.2.2に示すように NAND 回路を奇数個リング上に並べた発振回路であり、半導体素子の動作速度の評価に用いられる。図中の ENABLE 信号は、リングオシレーターのスイッチとして使われ、HI にすると発振が始まり、MONITOR 出力で周波数を観測することが出来る。放射線の評価対象と

[1]内部に書き換え可能なメモリを持ち、それらを使って自由に回路を構成する。

レジスタ名	ビット	モード	機能
READ SELF ROUTE	3	R	自分のルートの読み出し
WRITE SELF ROUTE	3	W	自分のルートの書き出し
READ OTHER ROUTE	3	R	相手のルートの読み出し
WRITE OTHER ROUTE	3	W	相手のルートの書き出し
SEU READ	1	R	SEU フラグの読み出し

表 5.2.1: JRC ASIC のユーザー定義レジスタの一覧

なる Patch Panel ASIC のディレイセルは 2 つのインバータで構成されるので、単に NAND 回路をリング状に並べるのではなく、各 NAND の出力部に、モニターの部分と同様にもう 1 つ NAND 論理を取り付けることで、リングを構成し、合計 501 個の NAND ゲートを配置した。このリングオシレーターは、TID(Total Ionising Dose) に対する半導体素子のパラメータの変化の観測に用いる。

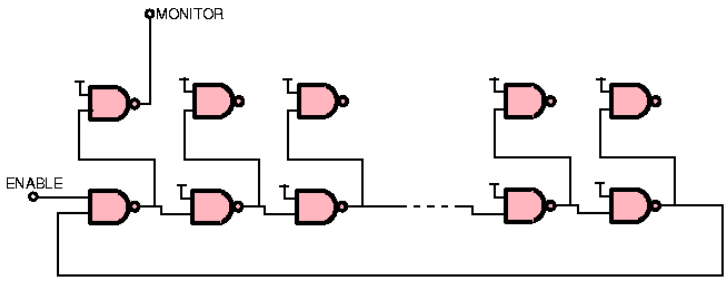


図 5.2.2: リングオシレーターの回路図

図5.2.3に、シフトレジスタの回路図を示す。シフトレジスタはマスタースレーブ型[1]で、256 のフリップフロップで構成した。4 つのシフトレジスタを実装し、それぞれ、共通の入力を持ち、また、共通のクロックで動作する。このシフトレジスタは、ASIC の SEU 断面積を測定するのに用いる。

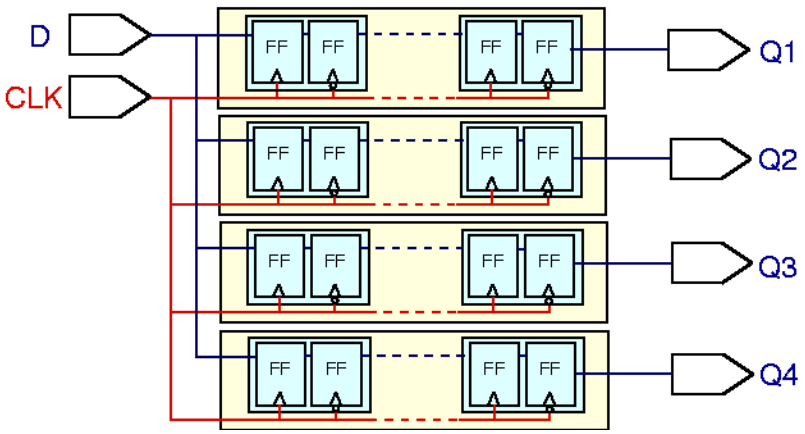


図 5.2.3: シフトレジスタの回路図

5.2.2 シミュレーションによる動作検証

JRC ASIC を設計するにあたり、Verilog HDL の記述をもとにシミュレーションによる動作検証を行なった。図5.2.4~5.2.7のように、すべての JTAG のインストラクションに対して、期待通りの動作をす

[1]マスター (主) とスレーブ (従) と呼ぶ 2 個のフリップフロップから構成されるもの。入力側の主 FF と出力側の従 FF を互いに逆相のクロック入力で動作させる。

ることを確認した。さらに図5.2.8に示すように、アービトレーションについても機能していることを確認した。

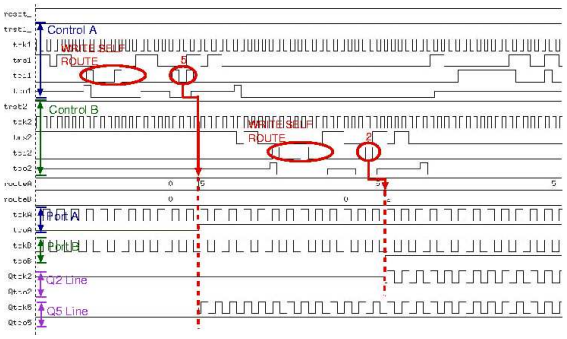


図 5.2.4: 自分のルートの書き込みのシミュレーション

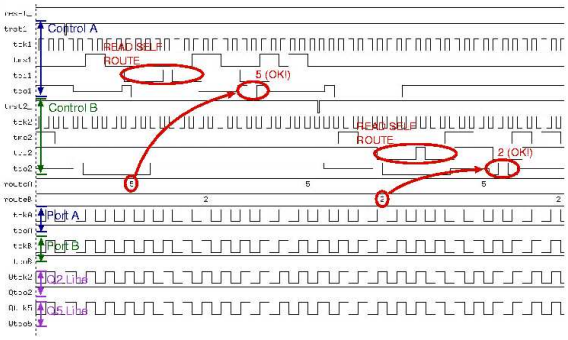


図 5.2.5: 自分のルートの読み出しのシミュレーション

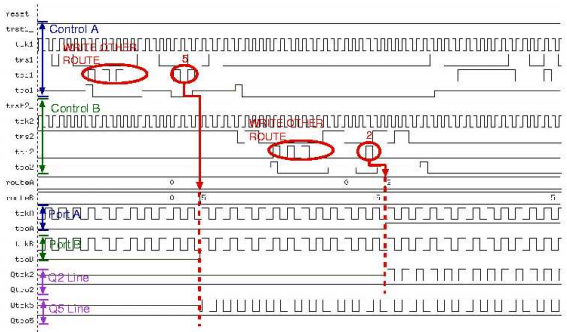


図 5.2.6: 相手のルートの書き込みのシミュレーション

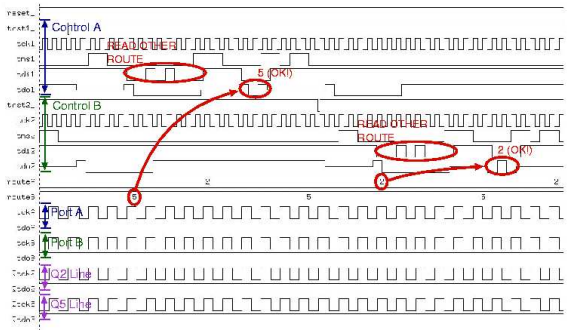


図 5.2.7: 自分のルートの書き込みのシミュレーション

5.2.3 JRC ASIC のレイアウト

図5.2.9が、今回設計した JRC ASIC である。これはローム社の最小配線幅が 0.35μm のフルカスタムチップで製造され、サイズは 5mm×5mm である。

5.2.4 JRC ASIC の動作検証

図5.2.10に、JRC ASIC の動作検証をした際のセットアップを示す。JTAG の読み書きは、TGC エレクトロニクスモジュールの中で、JTAG プロトコルをしゃべることが出来る HSC/CCI モジュールを用いて行なった。表5.2.4に、JRC ASIC に対して行なった全ての動作検証の項目について示す。これらの全項目について、シミュレーション通りの動作が確認出来た。

さらに図5.2.4に、放射線照射試験のために搭載したリングオシレーターの周期と電源電圧の測定結果を示す。この図において、電源電圧が 3.3V の時に、実測値とシミュレーションの値が、25nsec 程異なるが、ここでのシミュレーションの値は、配線の長さや寄生容量等を考慮しないシミュレーターで求めた値であり、そのためにこのような大きな違いが生じたと思われる。通常時の電源電圧 (3.3V) において、単位ゲート当たりの遅延時間は、約 90ps である。

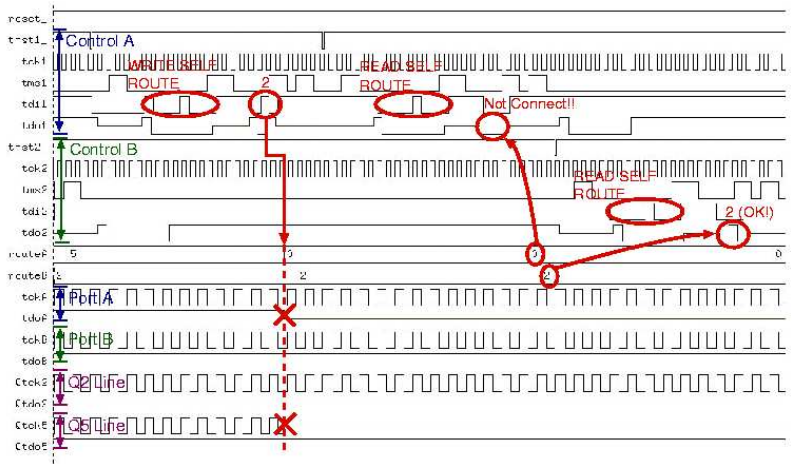


図 5.2.8: アービトレーションに対するシミュレーション

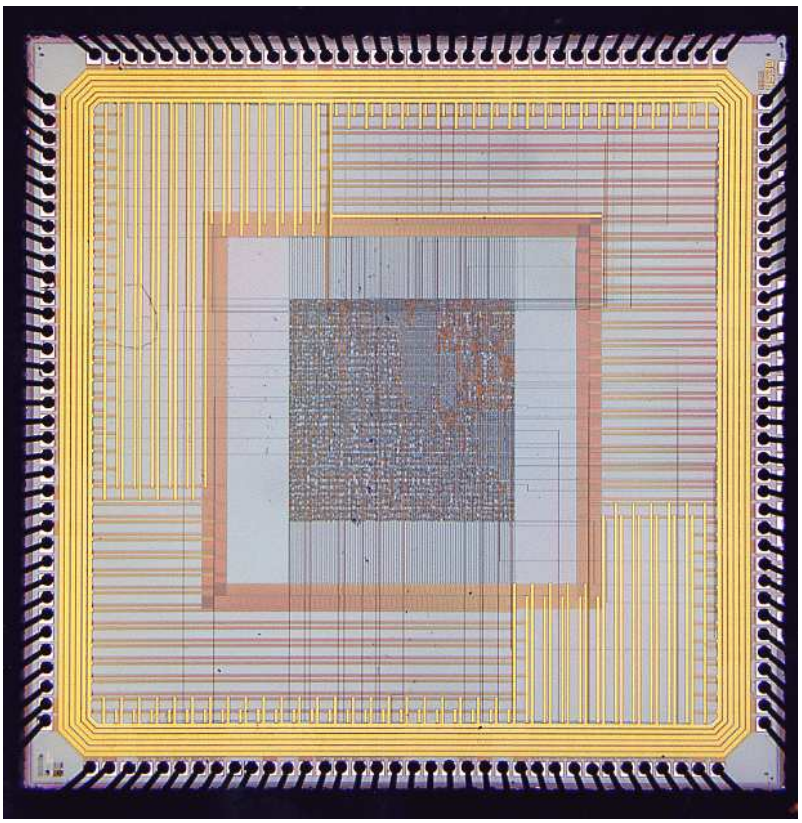


図 5.2.9: JRC ASIC

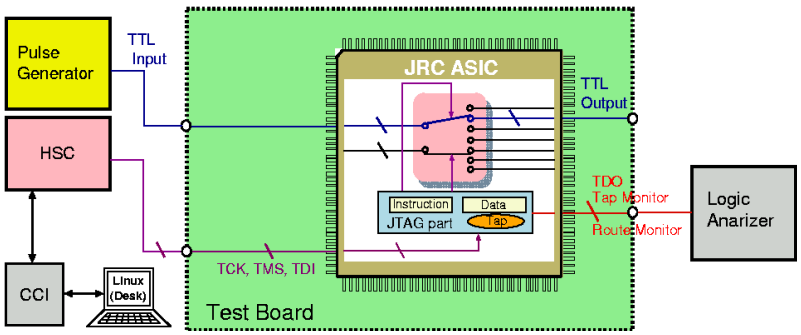


図 5.2.10: JRC 動作確認のためのセットアップ

検証項目	コメント
自分のルートの読み出し	ポート A,B 共に全ての信号の経路で確認
自分のルートの書き出し	ポート A,B 共に全ての信号の経路で確認
相手のルートの読み出し	ポート A,B 共に全ての信号の経路で確認
相手のルートの書き出し	ポート A,B 共に全ての信号の経路で確認
アービトレーション	ポート A,B 共にすでに占有されているルートを選択した場合、NC(No Connect) になることを確認

表 5.2.2: JRC ASIC の動作検証の全項目

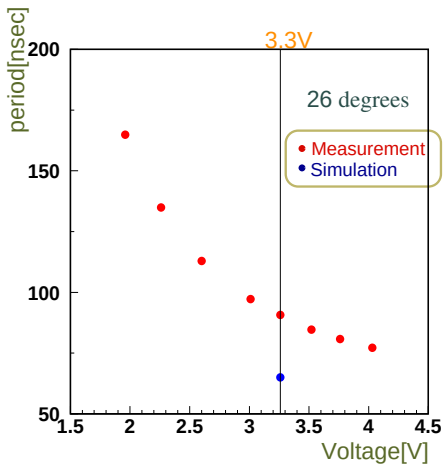


図 5.2.11: リングオシレーターの周期と電源電圧の関係

5.3 Slave Board ASICの開発

SLB(Slave Board) ASICは、TGCトリガーシステムにおいて、コインシデンス処理、$Low-P_T$トリガー判定、リードアウトを担い、PS-Board上に設置される。

SLBは、規模が巨大なためにCPLDや小規模のASICを用いて、後述する各機能ごとに試作を繰り返して、HDLコードを確立された。その後、各機能を統合した大規模ASICが試作されたが、1号機はタイミングに難があるため、満足な動作が得られなかった。そこで、1号機の誤りを修正し2号機が試作された。

今回、その2号機の動作検証を行なった。1号機の不具合が修正されていることを確認し、各機能ブロックの動作も問題ないことが確認された。しかし仕様の不備と一部信号の動作不具合が残っていたため、3号機で修正予定である。

5.3.1 Slave Board ASICの構成と機能

図5.3.1に、SLB(Slave Board) ASICの全体図を示す。SLBは、大規模なASICであり、またそれぞれ特徴的なブロックに分割することが出来る。各機能ブロックは、それぞれ、入力部(Input Part)、制御部(Control Part)、トリガー部、リードアウトに分けられる。ここでは、まず各機能ブロックの特徴について述べる。

5.3.1.1 入力部

図5.3.1に示すように、入力された信号は、まずBSC(Boundary Scan Cell)を通り、その後、遅延回路に入る。遅延回路では、0.5クロック精度で、0 ~ 1.5クロックまでの遅延を与えることが出来る。この回路は、pivotチェンバーとmiddleチェンバーのケーブル長からくる位相差を補正するためのもので、遅延の設定は、A列B列とC列D列[1]の組合せで、それぞれ共通に設定する予定であった。しかし、入力部に誤りがあったため、pivotとmiddleとで別々に遅延の設定を行なうことが出来なかった。そこで、今回ここの部分を修正し、A、B、C、D列の入力の組合わせに対して、それぞれ独立に遅延を設定出来るようにした。また、今後pivotとmiddle間のケーブル長の差が大きくなる可能性があるので、遅延設定の幅を図5.3.2に示すように、0 ~ 3.5クロックに拡張した。遅延回路を通った信号は、次にマスク回路に入る。マスク回路によって、入力を常にHighかLowの状態に設定出来る。常にHighの状態は、信号をまったく出さなくなったデッドチャンネルの補正に使われ、また常にLowの状態は、ノイズを受けやすい状態の入力や特定のチャンネルだけでテストしたい時などに使われる。次に、Slave Board ASICや、これ以降のデバイスのテストを行なうために、入力ラインに対してテストパターンを流すためのテストパルス回路がある。テストパターンは、JTAGを用いてすべてのチャンネルに対して、HighかLowのどちらかを設定出来る。TTCからテストパルストリガー信号を受け取ると、トリガー部とリードアウト部の両方にこのテストパターンが送られる。さらにトリガー部の入力に対して、マスク回路が別に設けてあり、これはリードアウト部から故障している入力の位置を調べたい時に、トリガー部に影響を与えないために用いられる。

5.3.1.2 制御部

制御部は、JTAGプロトコルによって、Slave Board ASICの各パラメータの設定や制御を行なう部分である。各データレジスタとインストラクションレジスタは、SEU対策として、多数決論理回路が搭載されており、さらにSEUの有無も読み出すことが出来る。表5.3.1にSLBのJTAGレジスタのリストを示す。レジスタには主に、入力部に対して、マスク設定、遅延設定を行なうもの、トリガー部に対して、コインシデンス処理の設定を行なうもの、リードアウト部に対して、バッファの深さを変更するものがある。

[1] A列B列はpivotチェンバーからの入力チャンネル、C列D列はmiddleチェンバーからの入力チャンネルである。

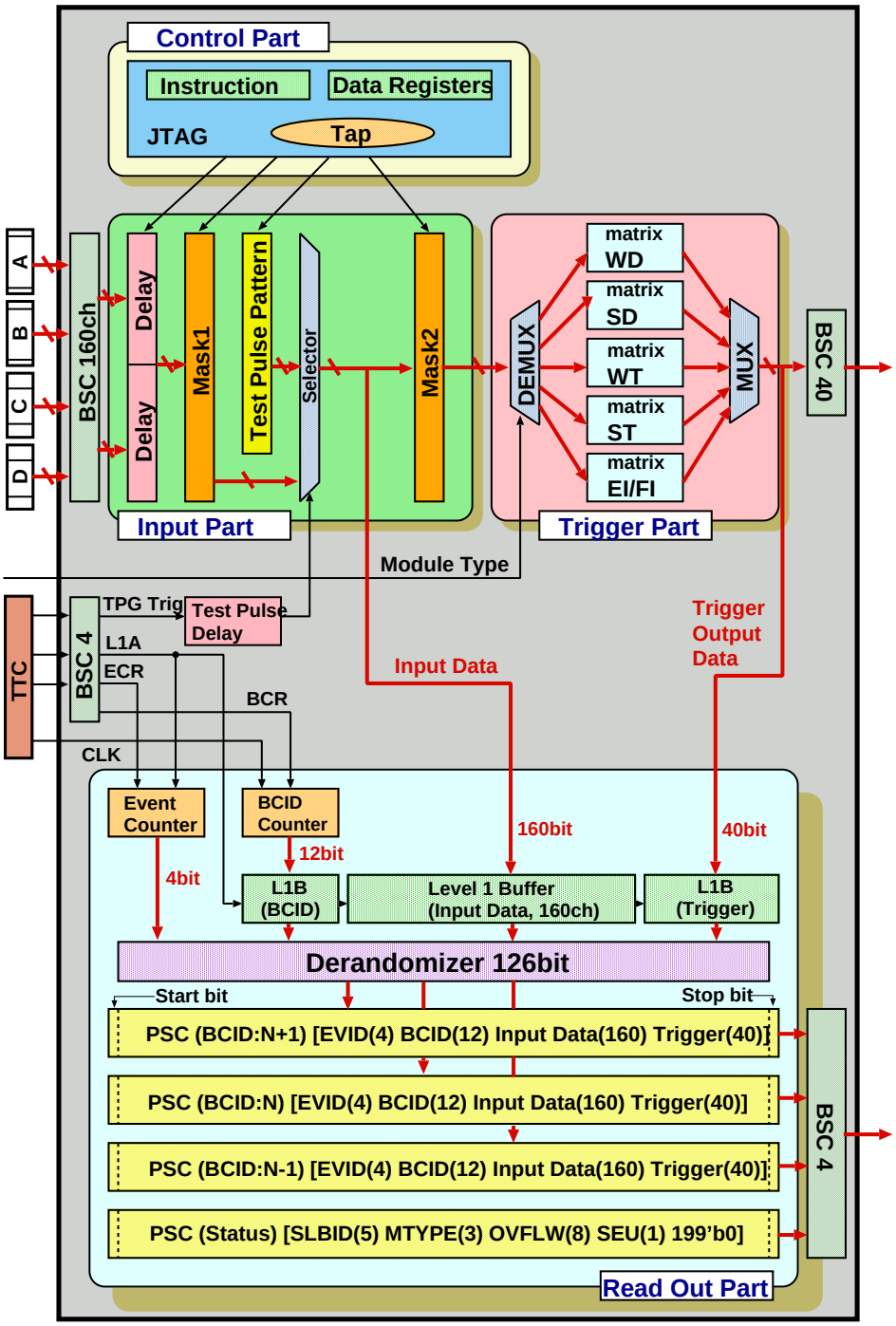


図 5.3.1: Slave Board ASIC のブロック図

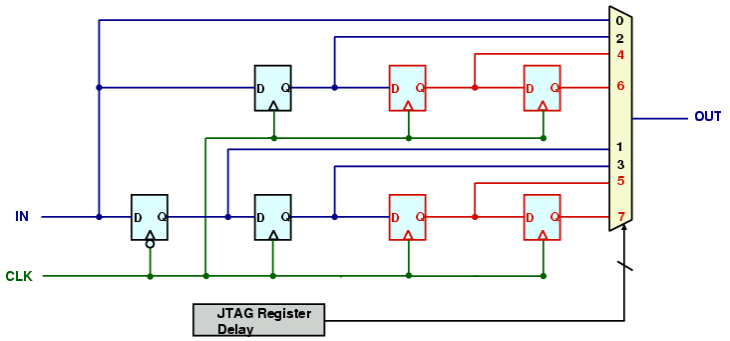


図 5.3.2: Slave Board ASIC の遅延回路の回路図

レジスタ名	ビット	モード	機能
DEPTH	21	R/W	レベル 1 バッファの深さ調整
TESTPULSE	5	R/W	[4:0] テストパルストリガーの遅延調整、[5] テストパルスの VETO
DELAY	4	R/W	入力信号の遅延調整
SCHEME	1	R/W	コインシデンス処理の設定
L1AVETO	1	R/W	L1A 信号の VETO
CLKINV	1	R/W	クロックの符号反転の設定
RESET	1	R/W	イベントカウンターとバンチカウンターのリセット
DRDRST	1	R/W	デランダマイザーのリセット
DCVETO	1	R/W	DC バランスの設定
SEU	1	R	SEU フラグの読み出し
MODULE	8	R	モジュールタイプとモジュールアドレスの読み出し
OVERFLOW	8	R	デランダマイザのオーバーフローカウンターの読み出し
ID	32	R	チップ ID(version,part,...) の読み出し
MASK1P	160	R/W	リードアウトとマトリックスのマスクパターンの設定
MASK1	160	R/W	リードアウトとマトリックスのマスクイネーブルの設定
MASK2P	160	R/W	マトリックスだけのマスクパターンの設定
MASK2	160	R/W	マトリックスだけのマスクイネーブルの設定
TPP	160	R/W	テストパルスパターンの設定

表 5.3.1: Slave Board ASIC のユーザー定義レジスタの一覧

5.3.1.3 トリガー部

トリガー部は、TGC からの入力信号に対して、コインシデンス処理、ダブレットについては、$Low-P_T$ のトリガー判定を行なう部分である。Slave Board ASIC は、費用を節約するために、対応する TGC の用途に応じて、1 つの ASIC で表5.3.2で示すような 5 種類の機能を実現させている。次にそれぞれの機能について簡単に説明する。

Type	Input	Output	Coincidence
WDSB	Pivot:$(2+32+2)ch\times 2wire$ Middle:$(6+32+6)ch\times 2wire$	$(4(\delta R)+5(R))\times 2(A,B)$	3/4 or 4/4 $low-P_T(\delta R=\pm 7)$
SDSB	Pivot:$32ch\times 2strip$ Middle:$32ch\times 2strip$	$(3(\delta\phi)+5(\phi))\times 2(A,B)$	3/4 or 4/4 $low-P_T(\delta\phi=\pm 3)$
WTSB	$(2+32+2)ch\times 3wire$	$(1+5(R))\times 3hit$	2/3 or 3/3
WTSB	$32ch\times 2wire\times 2TGC$	$(1+4(R))\times 4hit\times 2TGC$	1/2 or 2/2
EI/FI	$32ch\times(2(wire)+2(strip))$	EI:6bit, FI:8bit	1/2 or 2/2

表 5.3.2: Slave Board ASIC の種類

- WDSB(Wire Doublet Slave Board)

  WDSB は middle と pivot の 2 ステーションの計 4 層の各 TGC から、それぞれ 32 チャンネルづつで、合計 128 チャンネルの信号を受け取る。WDSB の処理としては、pivot でミューオンのヒットの位置を決めて、middle の情報から、ミューオンの P_T を測定する。図5.3.3にこの処理を行なうコインシデンスマトリックスのブロック図を示す。この回路には、pivot、middle の各レイヤーから、それぞれ 32 チャンネルづつの信号が入力されるが、Slave Board が隣接した部分からも入力を得るために、pivot では両隣接部からそれぞれ 2 チャンネルづつ、middle では両隣接部からそれ

ぞれ 6 チャンネルづつの入力が必要になる。すべてを合わせると、このマトリックスには、合計 160(=36+36+44+44) チャンネルの信号が入力される。マトリックスは A,B に分かれ、図5.3.4で示すようなサブブロックから構成される。

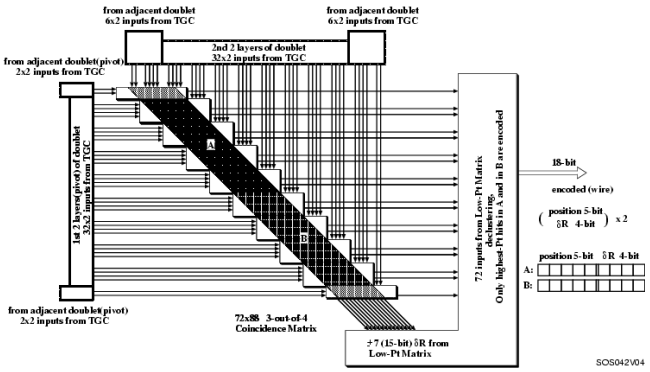


図 5.3.3: Wire Doublet のコインシデンスマトリックスの構造

マトリックスは A,B に分かれ、図5.3.4で示すようなサブブロックから構成される。このサブブロックには、pivot からは $4ch \times 2layer$、middle からは $12ch \times 2layer$ の信号が入力され、また Doublet のワイヤーグループは 2 つの層で、ワイヤーグループのピッチの半分だけずらして設置されるので、位置分解能は 2 倍になり、pivot から 8 段階の位置情報が得られる。また pivot の信号に対する middle の信号のずれ δR が ± 7 の範囲で求められ、これらは体格成分ごとに OR 出力される。またこの時、3 out of 4 のコインシデンスが取られるが、JTAG 操作により、4 out of 4 に変更すること出来る。これは、バックグラウンドが多い時などに、トリガー条件を厳しくするのに用いられる。

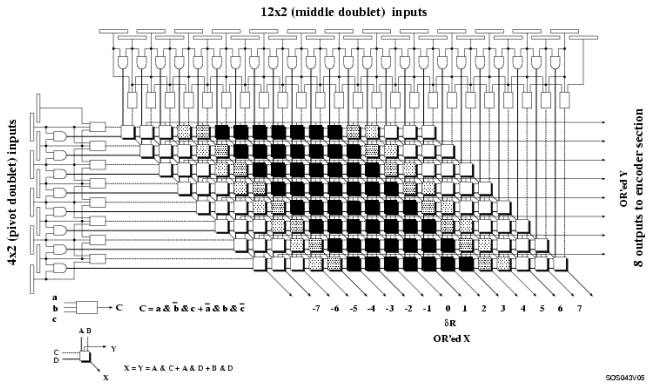


図 5.3.4: Wire Doublet のコインシデンスマトリックスの詳細

δR は、A,B それぞれで P_T が最大のもの、すなわち δR が最小な信号が選ばれ、図5.3.5で示すようなデクラスタリング処理がされる。デクラスタリングとは、隣接する複数のポジションでまとまってヒットが起こった場合、ヒットを 1 ポジションに集約するために、複数ヒットしたポジションのうち、小さい方から 2 番目のポジションに出力を与える処理方法である。デクラスタリングされた位置の情報はエンコードされ、IC の外と、リードアウト部に送られる。エンコードは、A,B それぞれで、ポジションについての 32 ビットの情報を 5 ビットにし、また P_T についての情報も 4 ビットにエンコードされる。P_T の情報は、最上位のビットが符号ビットで、下位 3 ビットで P_T の大きさを表している。

- SDSB(Strip Doublet Slave Board)

  SDSB には、WDSB と同じマトリックスが使われる。Wire Doublet と比べて違う点は、ミューオンが ϕ 方向に曲がるのは、トロイダル磁場が一様でないことが原因であり、ミューオンの曲がり具

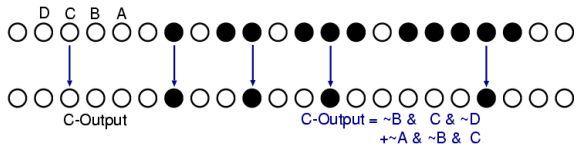


図 5.3.5: デクラスタリングのアルゴリズム

合は、R 方向に比べて小さいことが予想されるので、$P_T(\delta\phi)$ の値は ± 3 の範囲で求めることにしたことである。また、Slave Board が隣接する部分の入力も必要なく、SDSB に入力される信号は、1 レイヤーにつき 32 チャンネルづつで、合計 128 チャンネルになる。

- WTSB(Wire Triplet Slave Board)

  図5.3.6に示すように、WTSB では Doublet の時のようなマトリックス構造は必要なく、コインシデンス処理のみが行なわれる。Triplet チェンバーから、隣接する部分の前後 2 チャンネルづつの入力を含めた合計 108$(=(2+32+2)\times 3)$ チャンネルの信号が WTSB ブロックに入力される。また、Wire Triplet の 3 層は、Doublet の時と同様に、ワイヤーグループは 3 つの層で、ワイヤーグループのピッチの 1/3 だけずらして設置されており、3 倍の位置分解能を得ることが出来る。

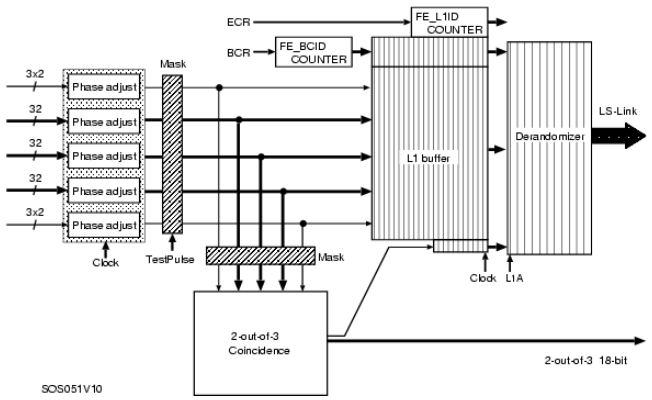


図 5.3.6: Wire Triplet のブロック図

WTSB ブロックに入力された信号は、図5.3.7で示すような 2 out of 3 のコインシデンスが行なわれ、その後デクラスタリング処理され、32 チャンネルのヒット情報が 5 ビットにエンコード され、さらにヒットの有無を示す 1 ビットのフラグ信号が加えられる。ここで、ヒットフラグが Low の時をヒットなしとしている。また、JTAG 操作によって、コインシデンス処理の条件を 3 out of 3 に変更することも出来る。

- STSB(Strip Triplet Slave Board)

  図5.3.8に STSB のブロック図を示す。Strip Triplet は、2 層だけ存在し、また隣接する部分のチャンネルも必要ないので、STSB に入る信号は 64$(=32+32)$ チャンネルであるが、1STSB で 2TGC 分の信号を受け取るので、合計 128 チャンネルの入力を受ける。

  STSB が受けた信号は、図5.3.9で示すような 1 out of 2 のコインシデンス処理が行なわれる。また、コインシデンス条件は、JTAG 操作により、2 out of 2 に変更出来る。コインシデンス処理された情報は、デクラスタリングされ、16 ビットの情報を 4 ビットにエンコードし、さらにヒットの有無を表す 1 ビットのフラグ信号が加えられる。

- EI/FI

  EI/FI のブロック図を図5.3.10に示す。EI/FI の入力には、wire 信号と strip 信号の 2 種類があり、共に 32 チャンネルが 2 層分あるので、合計 128 チャンネルになる。

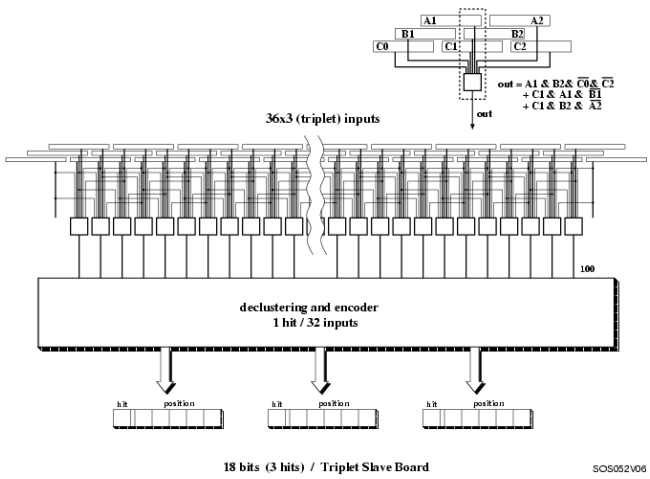


図 5.3.7: Wire Triplet のコインシデンスの論理

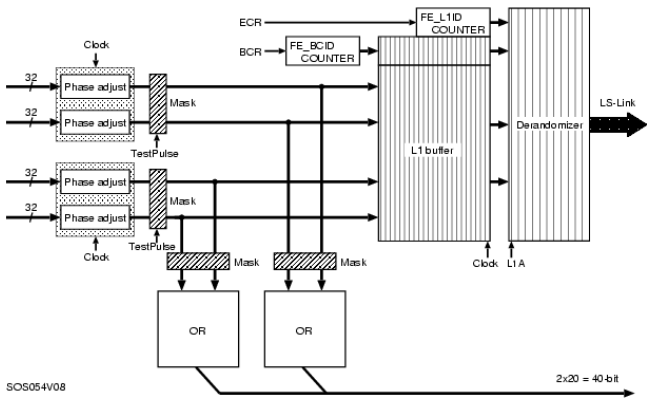


図 5.3.8: Strip Triplet のブロック図

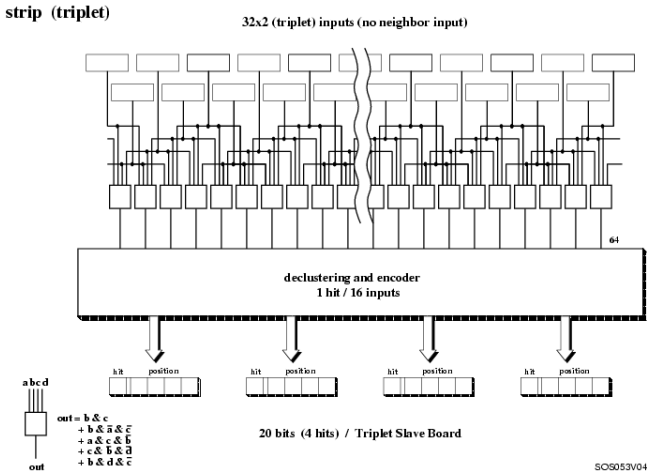


図 5.3.9: Strip Triplet のコインシデンスの論理

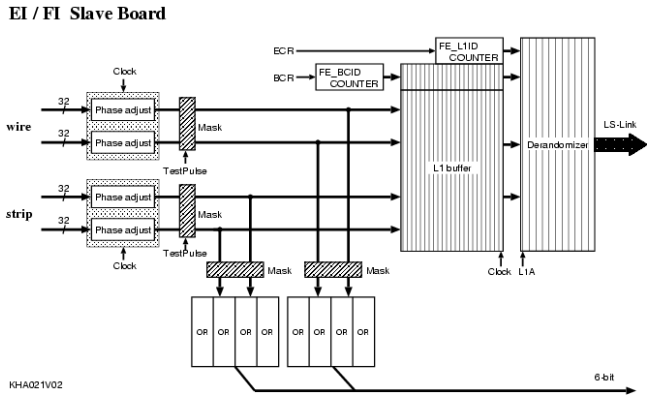


図 5.3.10: EI/FI Slave Board のブロック図

コインシデンス処理は、図5.3.11に示すように、STSB と全く同じ構造をしているが、EI/FI ブロックの出力で必要なのは、16 ポジションごとのヒットの有無であり、位置の情報を必要としない。そこで、EI/FI では、STSB ブロックを使い回して、ヒット情報だけを出力するようにしている。

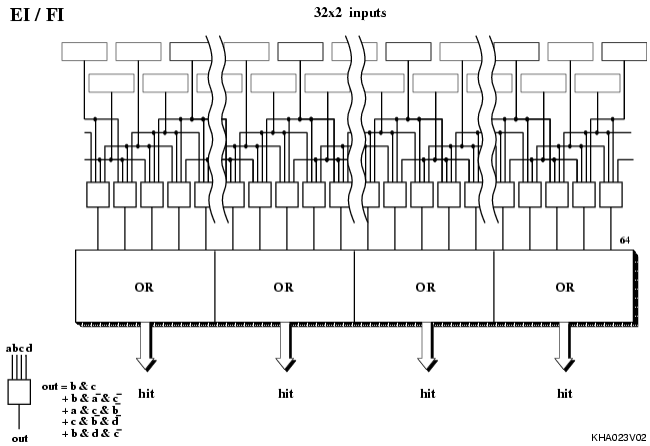


図 5.3.11: EI/FI Slave Board のコインシデンスの論理

5.3.1.4 リードアウト部

リードアウト部は、レベル 1 アクセプトを受けたデータのイベントカウンターの値、バンチカウンターの値、Slave Board ASIC の入力データ、そして、トリガー部の出力を読み出しを行なう部分である。図5.3.1に示すように、リードアウト部は、レベル 1 バッファ、デランダマイザー、PSC(Parallel to Serial Converter) から成る。ます入力データは、レベル 1 トリガーの判定が終わり、TTC から L1A 信号を受信するまでの間、レベル 1 バッファに保存される。レベル 1 バッファに保存されるデータは、Slave Board ASIC への入力信号 (160 ビット)、トリガー部からのデータ (40 ビット)、バンチカウンターの値 (12 ビット) であり、レベル 1 バッファの深さは最大 128 ビットで、JTAG 操作により、3 種類のデータそれぞれに対して、深さを変更することが出来る。L1A 信号を受信すると、前後 1 バンチづつで計 3 バンチ分のデータが、レベル 1 バッファからデランダマイザーへと送られる。さらに、L1A の数をカウントしているイベントカウンターの値もデランダマイザーに送られる。デランダマイザーは FIFO であり、レベル 1 バッファから不規則に送られくるデータを一時的に蓄えておく役割を担う。レベル 1 バッファやデランダマイザーには、大量のメモリが必要なので、通常のレジスタでは、非常に大きな面積を費してしまい、また配置配線などによるタイミングのずれが生じる恐れがあったので、今回の試作には、ローム社が提供するメモリマクロが使われた。このメモリマクロは、高集積であり、企業によって動作も保証さ

れている。デランダマイザーのデータは、PSC に送られる。リードアウト部には 4 本の PSC があり、3 本はデランダマイザーからの 3 バンチ分のデータを扱うものであり、前後にフラグビットが加えられて出力される。また残りの 1 本は、モジュールのアドレスや SEU のフラグなどの Slave Board ASIC の状態を出力するのに使われる。

5.3.2 Slave Board ASIC の動作検証

ここでは、Slave Board ASIC の動作検証について述べる。動作検証は主に、トリガー部とリードアウト部を中心に行なった。以下にそれぞれのパートについての検証方法と動作結果について述べる。

5.3.2.1 トリガー部の動作検証

トリガー部のコインシデンス処理の検証は、TGC エレクトロニクスグループで開発が進められているトリガーシミュレーター [29] で作成したテストベクターを用いて行なった。このトリガーシュミレーターは、(η, ϕ) の領域を設定し、その範囲に存在する Triplet、Doublet それぞれに対して、仮想的なミューオンをランダムに通過させ、その時に Slave Board ASIC がどのような処理を行なうかをシミュレートし、出力を計算する。そして、この時の入力パターンと出力の計算値をそれぞれファイルにダンプして、テストベクターとする。図5.3.12に、今回の動作検証のために作成してもらったテストベクターの一例を示す。Slave Board ASIC の隣接部のチャンネルの入力 (Adjacent Input) は、双方向入出力になっている[1]が、今回の試作では、配置配線でミスがあり、入出力の切替えが出来ずに出力のままであった。したがって、トリガーシミュレーターの (η, ϕ) の領域は、Adjacent Input を避けて設定した。また、通過するミューオンのトラックは、1 トラックパターンから 3 トラックパターンまで用意してもらい、これを WDSB, SDSB, WTSB, STSB の 4 ブロックに対して、それぞれ 1 万パターンづつテストベクターを作成してもらった。

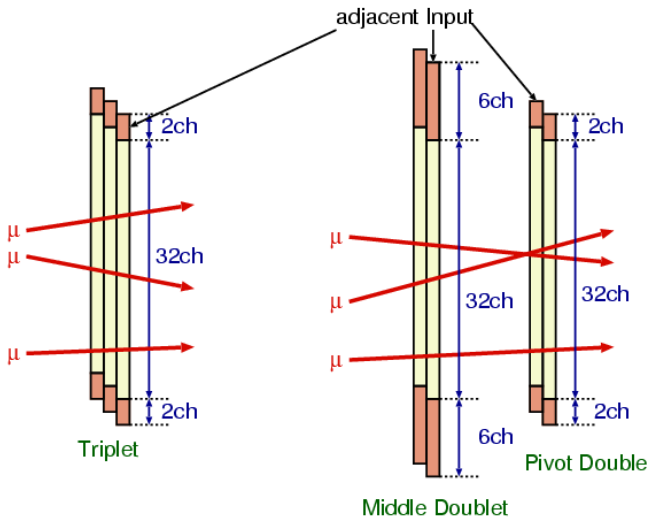


図 5.3.12: テストベクターのトラックの例 (3 トラックの場合)

動作検証は図5.3.13に示すように、このテストベクターの入力パターンを VME モジュールである PPG(Pulse Patter Generator) で、Slave Board ASIC に流し込んだ。この時、Adjacent Input については、Slave Board ASIC のマスク機能を用いて、すべて Low に設定することで対処した。Slave Board ASIC からのトリガー部の出力は、内部に FIFO を搭載した読み出し用の VME モジュールである TOM を使って読み出した。そして読み出したデータが、シミュレーターで計算されたテストベクターの出力パターンと一致するかを比較した。

[1] Adjacent Input のパッドは、Slave Board のコインシデンス処理の種類に応じて、入出力が切り替わる。WDSB、SDSB、WTSB では入力として使われ、STSB、EI/FI では出力になる。

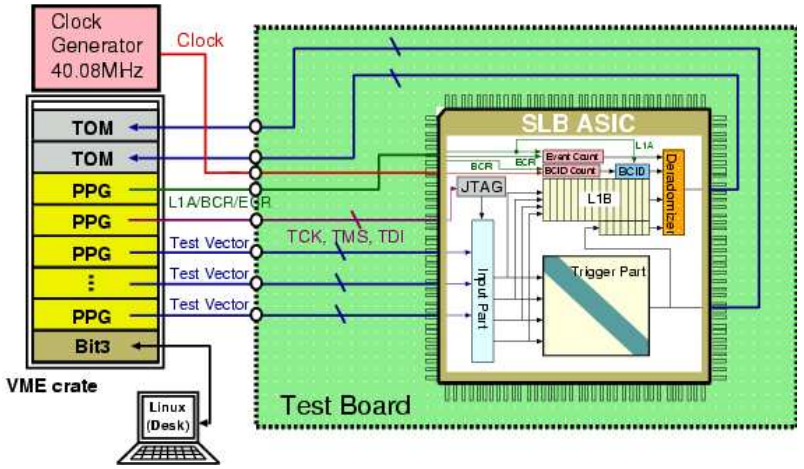


図 5.3.13: Slave Board ASIC の動作検証のセットアップ図

テスト結果を、表5.3.3に示す。この表からわかるように、全てのパターンで、ASIC からの出力とシミュレーターからの計算値は一致し、コインシデンス処理は、正しく動作していることが確認出来た。

種類	トラック数	エラーの数	種類	トラック数	エラーの数
WDSB	1 トラック	0	WTSB	1 トラック	0
	2 トラック	0		2 トラック	0
	3 トラック	0		3 トラック	0
SDSB	1 トラック	0	STSB	1 トラック	0
	2 トラック	0		2 トラック	0
	3 トラック	0		3 トラック	0

表 5.3.3: ハードとシミュレーターの比較の結果

5.3.2.2 リードアウト部の動作検証

リードアウト部の動作検証として、ます Slave Board ASIC に簡単な入力パターンを入れて、リードアウト部の PSC(Parallel to Serial Converter) からの出力を確認し、データの読み出しが正常に行なわれているかを確認した。例として、図5.3.14に、1010... のパターンの入力を入れた時にリードアウト部から得られる出力をロジックアナライザーで測定したものを示す。これより、リードアウト部からの読み出しは、前後にフラグビットが足されて出力されており、正常に動作していることが確認出来た。

次にレベル 1 バッファの深さ調整を行なった。Slave Board ASIC では、JTAG 操作により、レベル 1 バッファの深さを 1 ~ 128 ビットの間で、変更することが出来る。レベル 1 バッファの動作検証の概念図を図5.3.15に示す。160 ビットの入力データは、トリガー部の時の動作検証と同様に、PPG から Slave Board ASIC に流し込み、リードアウト部からの出力を TOM を用いて読み出した。レベル 1 バッファの深さ調整の確認は、まず、ある入力データに注目し、L1A 信号、BCR(BCID カウンターのリセット) 信号を与えて、その入力データの BCID の値を測定する。次に、先程と全く同じタイミングで、L1A 信号と BCR 信号を与えてあげて、レベル 1 バッファの深さ変更のためのデータレジスタの値を変えた時の注目しているデータの BCID の値を測定することで行なった。例えば、図5.3.15に示すように、最初に B(注目しているデータ) の BCID の値が N の時、レベル 1 バッファの深さ調整が正常に動作しているならば、レベル 1 バッファの深さを M 段増やせば、B の BCID の値は、N+M になるはずである。

図5.3.16に、レベル 1 バッファの深さ調整の測定結果を示す。これからわかるように、レベル 1 バッファの深さは、1(データレジスタの値:1) ~ 128 (データレジスタの値:0) の間で、正しく調整出来ること

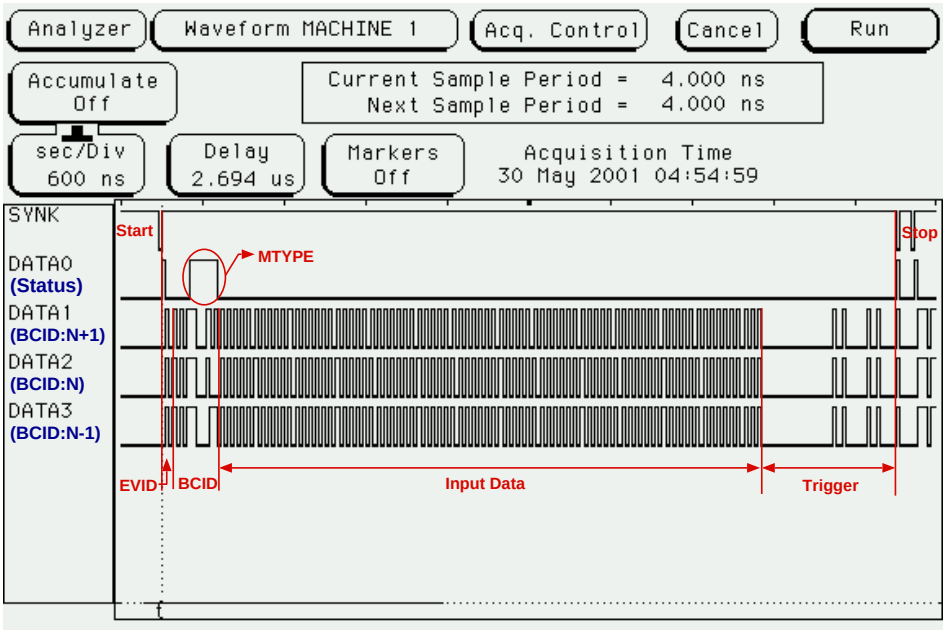


図 5.3.14: ロジックアナライザーで測定したリードアウト部からの読み出し

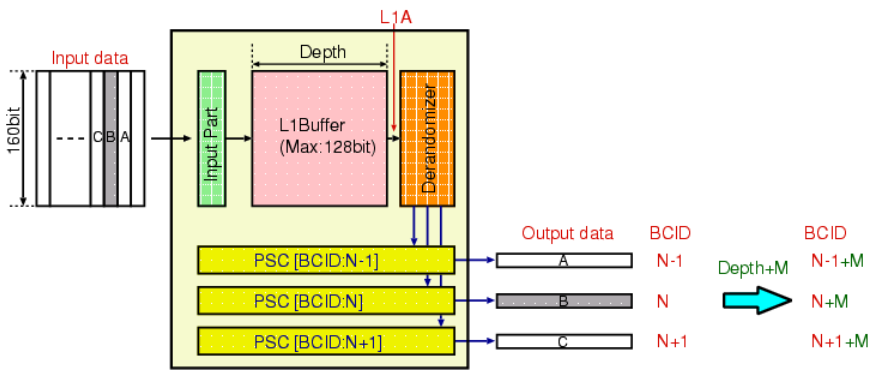


図 5.3.15: レベル 1 バッファの動作検証の概念図

が確認出来た。

次に、リードアウト部からの出力を利用して、入力部に設置されるテストパルス用の遅延回路の動作検証を行なった。Slave Board ASIC では、Slave Board とそれ以降のデバイスのテストパルス回路が搭載されており、さらにこのテストパルスは、1 クロックの精度で、0 ~ 15 クロックの範囲で遅延調整が出来る。動作検証は、レベル 1 バッファの時と全く同じ方法で、今度は入力データの代わりに、JTAG でテストパターンをセットし、L1A 信号と BCR 信号に加えて、テストパルストリガーも同じタイミングで入力した。図5.3.17 に測定結果を示す。これからわかるように、遅延回路の設定を 1 づつ増やすごとに BCID の値は、1 づつ増えており、最大 15 クロックまで、遅延調整が出来ることを確認した。

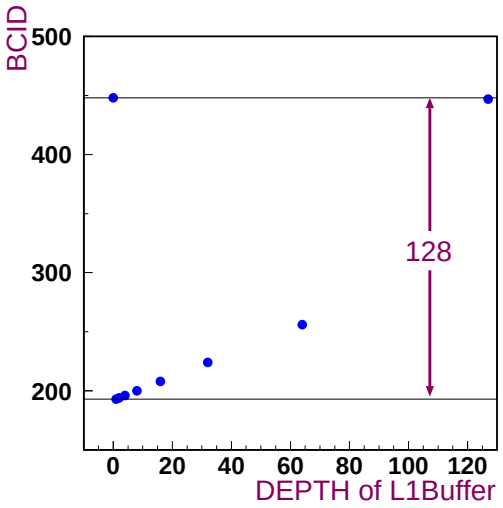


図 5.3.16: レベル 1 バッファの深さ調整の測定結果

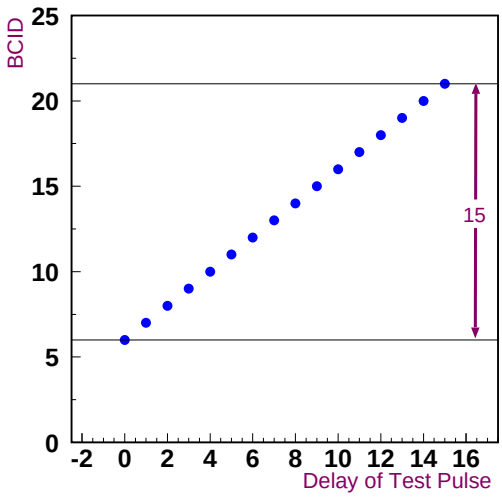


図 5.3.17: テストパルスの遅延調整の測定結果

5.3.3 Slave Board ASIC の設計

今回の試作では、トリガー部のコインシデンス処理やリードアウト部のレベル 1 バッファなど、Slave Board の主な機能は正常に動作することが確認出来たが、入力部等に誤りがあることが見付かった。また、機能を増加したい所も出て来たので、以下に示すような点を変更して、Slava Board ASIC の設計を行なうことにした。

- 入出力コントロールの修正

  Slave Board ASIC では、Adjacent Input の部分が入出力パッドが使われているが、今回の試作では、内部での入出力の切替えが出来ずに、出力のままであったため、コントロール出来るように修正する。

- 入力信号に対する遅延回路の修正と拡張

  Slave Board ASIC には、Pivot と Middle でのケーブル長からくる位相の補正のために、Pivot と Middle でそれぞれ別々に遅延調整が出来る仕様であったが、入力部に誤りがあり、別々に設定することが出来なかったため、この部分を修正する。また今後、Pivot と Middle 間のケーブル長の差が増えてしまった時に備えて、遅延の幅を 0 ~ 3.5 クロックまで調整出来るように拡張する。

- コインシデンスマトリックスのオフセットの変更

  今までの Slave Board ASIC では、Doublet の処理で、Middle と Pivot のマトリックスの要素が一致してなかったため、図5.3.18で示すように、P_T が ∞ のトラック[1]を飛ばした時、$\Delta P_T = 1$ を出力し

[1]飛跡が直線となるトラック。現実には存在せず、ヒットなしと考える。

ていた。今回、図5.3.19のように、Middle と Pivot で、マトリックスの要素を一致させて、P_T が無限大のトラックを飛ばした時に $\Delta P_T = 0$ になるように修正した。

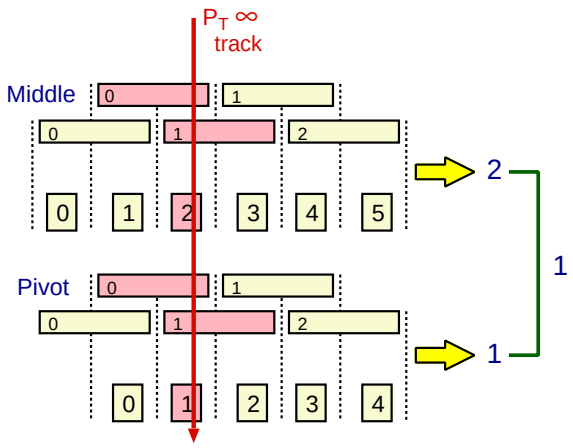


図 5.3.18: 今までの SLB の $P_T = \infty$ のトラックに対する処理

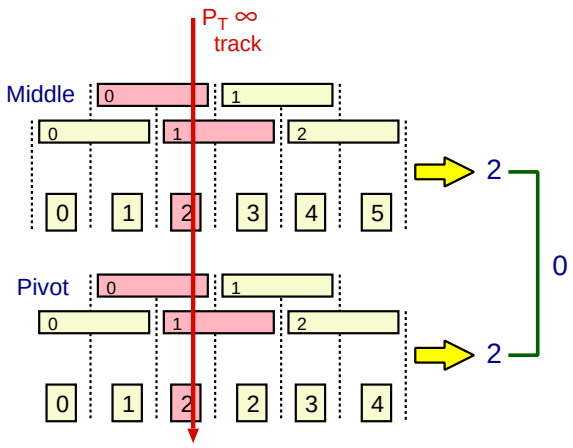


図 5.3.19: 修正した SLB の $P_T = \infty$ のトラックに対する処理

- リードアウト部の出力順の変更

  Slave Board ASIC のリードアウト部の出力の順番を、高速化のため、入力データ (160 ビット) よりもトリガー部のデータを先に出力するようにする。これにより、データの取捨選択を先に行なうことが出来るので、不必要なデータに対して、160 ビット分のクロックの消費を避けることが出来る。

- リードアウト部のオーバーフローカウンターの変更

  今までオーバーフローカウンターの値が Full になった時、TTC からリセットをかける以外に手段はなかった。今回、オーバーフローカウンターが Full になった時に、Slave Board ASIC の内部で、同期リセットをかけれるように変更する。

以上の点を修正した Slave Board ASIC を 2003 年 2 月に、マスク図をローム社の 0.35μm プロセスで、VDEC を通して提出する予定である。

5.4 ASIC 開発に関するまとめ

今回、PS ボード上に設置される Patch Panel ASIC、JRC ASIC、Slave Board ASIC の設計と動作検証を行なった。この中で、Patch Panel ASIC と JRC ASIC については、十分な動作検証も終わり、本番の ATLAS 実験で使用するのに問題ない結果が得られた。今後この 2 つの ASIC については、次章で述べる放射線耐性等の条件を満たせば、量産体制に入る予定である。量産は半導体メーカーのローム社の協力の基に行なわれる予定で、スペアも合わせて Patch Panel ASIC は、約 15000 個、JRC ASIC は約 2000 個作られる予定である。量産に入って、解決しなければならない課題は、大量に作られた ASIC についての効率の良い動作検証の確立である。例えば Patch Panel ASIC では、各チップごとに PLL 回路と可変遅延回路、LVDS レシーバー、テストパルス回路、JTAG 制御といった部分の動作検証が必要になる。今後の量産に備えて、これらの動作検証を行なうためのテストシステムの構築に向け、ハードウェアとソフトウェアを開発を進めていかなければならない。現在のところ、Patch Panel ASIC の個体差に対する評価で見たように、IC の製造過程による不良品発生率 (rejection rate) は、非常に低いことが予想されるので、PS ボードに載る全ての ASIC が揃った状態で包括的に動作検証を行なうのが、効率上最も良い方法に思われる。

Slave Board ASIC については、動作検証によって、コインシデンス処理とリードアウト部は正常に動作していることを確認出来たが、入力部に修正すべき点がみつかった。また機能も増加したい所が出て来たので、現在設計を進めているところである。設計したマスク図は、2003 年 2 月に VDEC を通じてローム社に提出する予定であり、ASIC が届き次第、動作検証を行なわなければならない。

第6章　Patch Panel ASICの放射線照射テスト

LHC における ATLAS 実験は 2007 年から始まり、少なくとも 10 年間は稼働を予定している。先に述べたように、TGC の信号処理に使われる ASIC は厳しい放射線環境下に置かれることになる。前章において、今回設計した Patch Panel ASIC について、IC 単体としては問題なく動作することが確認出来た。しかし、実際の ATLAS 実験で使用出来ることを実証するには、放射線耐性についての評価も行なわなければならない。また、Patch Panel ASIC には、LVDS レシーバー、PLL 回路、テストパルス回路など、レイアウトレベルから設計したアナログ回路が多数実装されているため、放射線による機能の劣化が懸念される。そこで、今回設計した Patch Panel ASIC に対して、ATLAS 実験レベルの放射線に対して、どの程度の耐久性を保持するかを検証するために、γ 線、及び陽子ビームを用いて、放射線照射試験を行なった。また、照射による半導体素子のパラメータの影響の診断や SEU 断面積を求めるために、Patch Panel ASIC と同じローム $0.35\mu m$ プロセスで今回設計した JRC ASIC も照射した。表6.0.1に、今回の放射線照射テストの内容と目的を示す。

	線源	実験施設	照射対象	主な目的
γ 線照射	^{60}Co	RCNST	Patch Panel JRC(リングオシレーター)	TID に対する評価 半導体素子の動作速度の評価
陽子ビーム照射	70MeV 陽子	CYRIC	Patch Panel JRC(シフトレジスタ)	SEE に対する評価 SEU 断面積の測定

表 6.0.1: 放射線照射テストの内容と目的

6.1　γ 線照射テスト

ここでは、RCNST(東京大学原子力総合センター [33]) にて行なった、^{60}Co による γ 線照射テスト、すなわち Patch Panel ASIC の TID(Total Ionising Dose) に対する評価について述べる。TID(詳細は付録A参照) は入射粒子の積算的な電離エネルギーの損失を評価した量で、一般的に放射線の効果を吸収線量 (Absorbed dose) で測定する。Patch Panel ASIC には、アナログ回路が多数実装されており、TID の影響によるトランジスタの電気的特性の変化によるアナログ回路への影響が懸念される。電気的特性の変化を観測するには、Patch Panel ASIC の VCRO の周波数を観測し、半導体素子の動作速度の変化を観測することが望ましいが、ピン数の関係上、VCRO のモニターピンを用意することが出来なかった。そこで、Patch Panel ASIC と同じ、ローム社の $0.35\mu m$ プロセスで設計した JRC ASIC に搭載してあるリングオシレーター (図5.2.2参照) の周波数をモニターし、Patch Panel ASIC では、VCON の値を測定することで、照射中の電気的特性の変化を評価することにした。したがって、今回の γ 線照射では、Patch Panel ASIC、JRC ASIC それぞれ 4 チップづつで、計 8 チップ照射した。

TGC エレクトロニクスが満たさなければならない耐放射線基準値 RTC は、4.3.3節で示したように約 $100Gy(=10krad)$ である。従って、実際の ATLAS 実験で使用出来ることを実証するには、これだけの量の放射線を浴びた後でも、チップが本来持っている機能が正常に動作することを示す必要がある。今回の γ 照射では、実験精度の誤差を考慮して、安全係数をさらに厳しくし、$9.54Gy/min$ の割合で $300Gy$ 以上照射し、さらに Patch Panel ASIC, JRC ASIC ともに 1 チップだけは、$850Gy$ まで照射することにした。表6.1.1に今回の測定内容を示す。

照射対象	吸収線量 $[Gy]$		照射中の測定内容	照射後の測定内容
Patch Panel	Chip1	300	リーク電流 VCON	VCON と伝播遅延の関係 可変遅延回路の伝播遅延 テストパルス回路の可変振幅
	Chip2	300		
	Chip3	300		
	Chip4	850		
JRC	Chip1	300	リーク電流 リングオシレーター の周期	
	Chip2	300		
	Chip3	300		
	Chip4	850		

表 6.1.1: γ 線照射試験の測定内容

6.1.1 γ 線照射時のセットアップ

図6.1.1に γ 照射試験のセットアップ図を示す。照射設備は 2 階立ての構造で、1 階が照射室で、線源の ^{60}Co は通常 2 階の容器に収納されている。線源は鉛筆型のものが 58 本、円筒容器に密封された状態になっており、照射時のみリモートコントロールによって、照射室に下ろされる。線源の最大強度は $22TBq$ であり、水に対する最大線量率は $1000Gy/hr$ である。γ 線の強度の値は、RCNST から提供されたもので、フリッケ測量計[1] によって測定された値である。照射率は、被照射ボードと線源の距離を調整することで行ない、また吸収線量の値を水からシリコンに対するものに変換[2]した。図6.1.2に、線源からの距離とシリコンに対する線量率の関係を示す。測定は図6.1.3に示すように、線源と照射対象の距離を $50mm$ にして、$9.54Gy/min$ の線量率で照射を行なった。今回の照射テストで、特別なテストボードは作成せず、Patch Panel、JRC デバッグ時に用いていた汎用ボードをそのまま流用した。この際、照射中の測定に用いない未使用ピンのうち、入力ピンはグラウンドに落とし、出力ピンは開放するようにした。照射は Patch Panel が 4 チップ、JRC が 4 チップで計 8 回行ない、その時の照射室の温度は 26 ℃であった。照射中は ASIC に 3.3V の電源電圧を供給し、動作させた状態で照射を行なった。さらに、Patch Panel ASIC については、40.08MHz のクロックを与えて、PLL をロックさせた。また照射中に、Patch Panel についてはリーク電流と VCON の値、JRC についてはリーク電流の値とリングオシレーターの周波数の値を、PC に接続された機器を用いて測定室にて測定した。

また今回の測定では、各照射対象ごとに線量の評価を厳密に行なったわけではないので、照射毎に線量の不確定性が約 10% 起きる可能性がある[3]が、RHA が定める放射線基準値よりも線量を多くすることで対処した。

6.1.2 測定結果と考察

Patch Panel, JRC ASIC についての照射中のリーク電流の推移をそれぞれ、図6.1.4と6.1.5に示す。γ 線の積算線量による劣化で、正電荷捕獲などの現象が起こり、リーク電流の増加 (付録A参照) が危惧されたが、この図が示すように、TGC エレクトロニクスが満たさなければならない RHA の値である $100Gy(=10krad)$ まででは、Patch Panel、JRC ともに目立ったリーク電流の増加は見られず、ほぼ一定であった。RHA の値を越えた 500Gy(=50krad) 辺りから、Patch Panel、JRC ASIC ともに、リーク電流の増加が見られ、Patch Panel では、$850Gy(=85krad)$ の照射を試みた時点で約 32mA 増加し、JRC では約 6mA 増加した。また Patch Panel の電流値のプロットで、チップ 4 の値が途中で切れているのは、DAQ のミスによるもので

[1]硫酸鉄 (II) の硫酸性水溶液に放射線を照射し、水の放射線分解物との反応で Fe^{+2} イオンが Fe^{3+} イオンに酸化される。この酸化反応の変化量から吸収線量を求める線量計を鉄線量計またはフリッケ線量計という。

[2]D を吸収線量、Z を分子を構成する全原子番号の和、A を全ての質量数の和とすると、$D_1 \times A_1/Z_1 = D_2 \times A_2/Z_2$ の関係が成り立つ。ここで、1 と 2 はそれぞれ基準とする分子と変換したい分子を表し、Si の場合、$Z/A = 0.498$ である。

[3]線源と照射対象の距離を $50mm$ としているが、最大で $\pm 5mm$ 程ずれて測定した可能性があり、フリッケ線量計の評価によると、最大で約 10% 線量率が異なる。

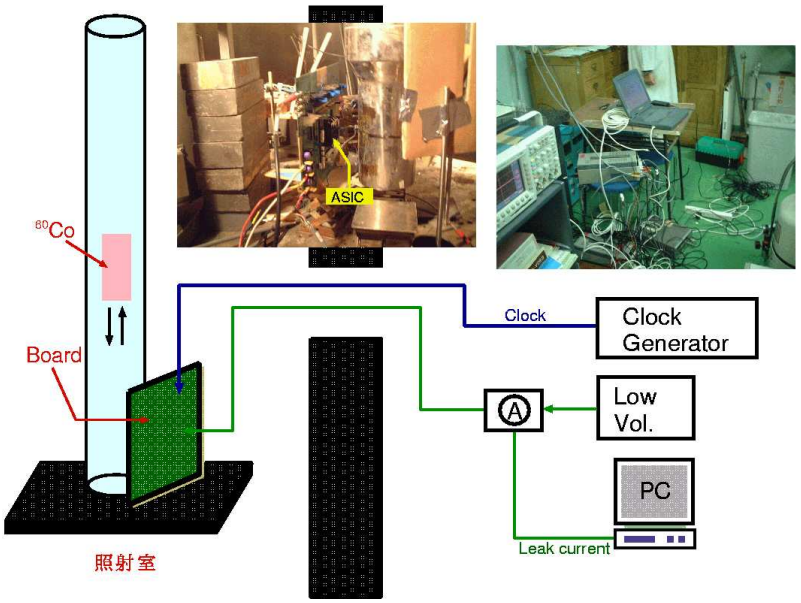


図 6.1.1: γ 照射試験セットアップ図

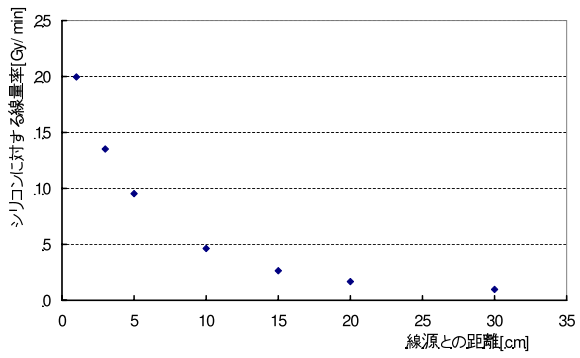


図 6.1.2: フリッケ線量計にシリコンに対するγ線の強度

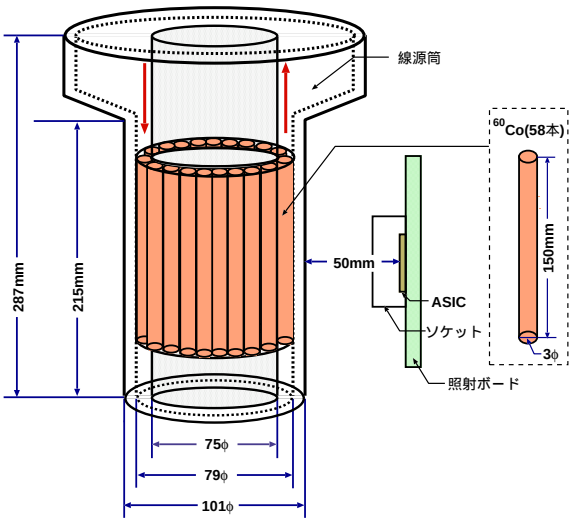


図 6.1.3: γ 照射試験セットアップ図 (詳細)

ある。

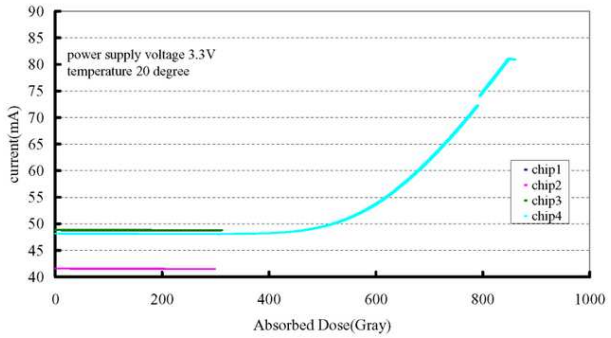


図 6.1.4: γ線照射中の電流値の推移 (Patch Panel)

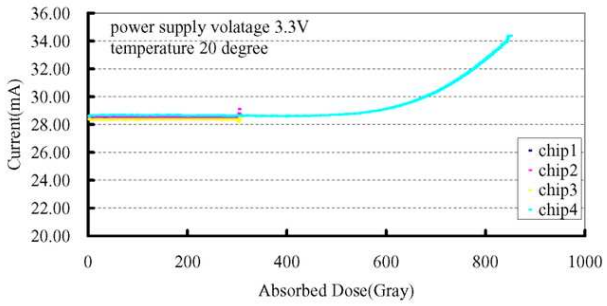


図 6.1.5: γ線照射の電流値の推移 (JRC)

TID によるデバイスへの影響としては、リーク電流の増加の他に、半導体素子の特性が変化し (付録Aの図A.1.2参照)、トランジスタのスイッチングの速度が変わり、回路全体の動作速度に変化することが考えられる。この現象が起きれば、Patch Panel に搭載されているディレイセルの動作速度も変化する。その結果、PLL 回路が正常に動いているならば、このディレイセルの動作速度の変化に合わせて、VCRO(Voltage Controlled Ring Oscillator) の周波数を常に一定に保つように VCON の値も変化するはずである。この現象を観測するために、γ線照射中に、Patch Panel の VCON と同時に VCRO の周波数も測定することが望ましいが、ピン数の制限から、VCRO の周波数のモニターピンを設けることが出来なかったので、同じローム社の $0.35\mu m$ プロセスで設計した JRC ASIC のリングオシレーターの周波数を測定することで、相対的な評価を行なった。 図6.1.6と6.1.7に照射中の Patch Panel の VCON の値の推移と、JRC のリングオシレーターの周波数の推移を示す。この図からわかるように、照射線量が $600Gy$ くらいまではリングオシレーターの周波数が増加し、それ以降になると周波数が減少している。一方、Patch Panel では、照射線量が $600Gy$ までは VCON の値が減少し、それ以降になると VCON の値が増加している。これは照射線量が $600Gy$ までは、放射線の影響で回路の動作速度が速くなり、そのため、PLL が VCRO の周波数を一定に保つために、VCON の電圧を下げることで、ディレイセルの動作速度を遅くし、逆に照射線量が $600Gy$ を越えてからは、回路の動作速度が遅くなり、VCON の電圧を上げることで、ディレイセルの動作速度を速くし、VCRO の周波数を一定にしていることを意味している。また、VCON とリングオシレーターの両者のプロットには、勾配の変化についてもきれいな相関が取れている。以上のことから、γ線照射中においても PLL 回路は正常に動作しており、ディレイセルのレゾリューションは一定に保たれていることがわかる。

次に Patch Panel ASIC に搭載しているアナログ回路が、放射線によって機能の劣化が起きてないかを調べるために、照射後十分時間がたってから、前章と同じセットアップで、PLL 回路、テストパルス回路についての動作検証を行なった。図6.1.8~6.1.10に、今回の γ線照射で最も多く照射した $(850Gy(=85krad))$Patch Panel ASIC についての測定結果を示す。これからわかるように、照射の前後で、VCON に対する伝播遅延、ディレイセルのレゾリューション、テストパルスの可変振幅に大きな差はなく、今回設計した Patch Panel ASIC は、TID に関する RHA を十分満たしているといえる。

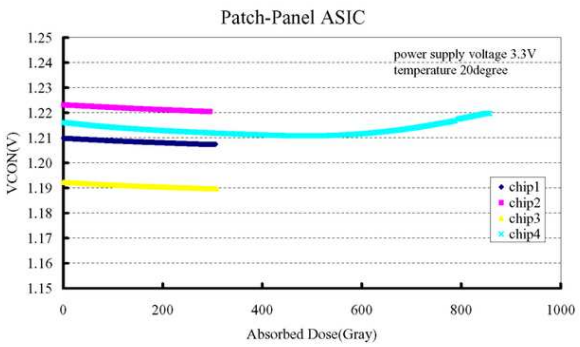


図 6.1.6: γ線照射中の VCON の推移

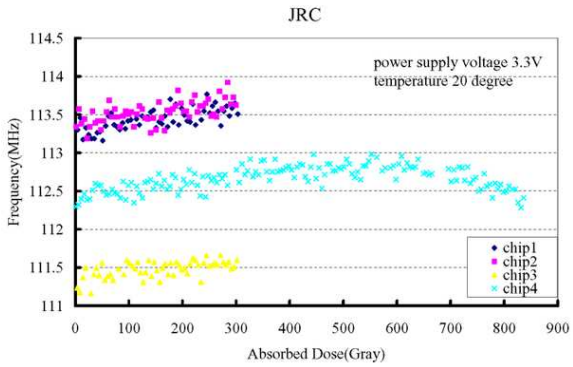


図 6.1.7: γ線照射中のリングオシレーターの周波数の推移

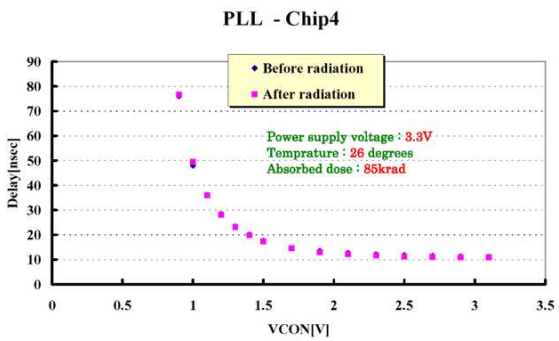


図 6.1.8: 照射後の Patch Panel(Chip4) の VCON に対する伝播遅延

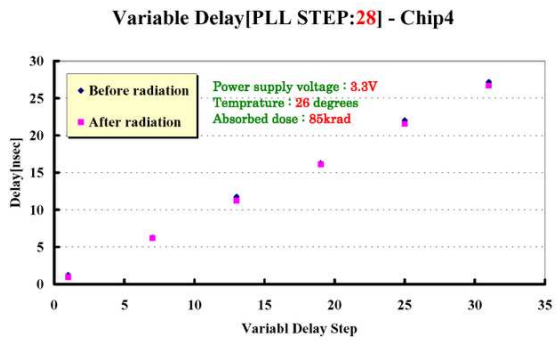


図 6.1.9: 照射後の Patch Panel(Chip4) の遅延回路 (PLL Step:28) の伝播遅延

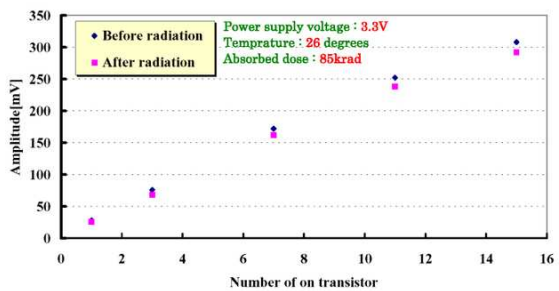


図 6.1.10: 照射後の Patch Panel(Chip4) のテストパルス回路の振幅の変化

6.2 陽子ビームテスト

ここでは、CYRIC(東北大サイクロトロン RI センター) [34] で行なった Patch Panel ASIC の SEE の発生率の評価について述べる。SEE は高エネルギーのハドロン粒子の通過によって起こる偶発的な現象であり、TID のように、シミュレーションからクリアすべき積算線量などは与えられておらず、SEE の評価のための絶対的な基準は存在しない。従って、各デバイスに対する SEE の評価は、SEE の発生率を調べることで、各自で判断基準を定義していかなければならない。今回、一時的にメモリ素子の情報が反転することで誤動作をおこさせる SEU と呼ばれる現象の断面積を求めるために、Patch Panel ASIC と同じローム社の $0.35\mu m$ プロセスで設計した JRC ASIC の中に搭載した 256 段 $\times$ 4 のマスタースレーブ型のシフトレジスタを照射した (図5.2.3参照)。SEU の発生率は、半導体の構造や集積度に依存するため、シフトレジスタから求めた SEU 断面積の値は、そのまま Patch Panel ASIC の設定レジスタにあてはまると考えてよい。また、Patch Panel ASIC 自体も照射し、照射中、定期的に JTAG プロトコルによるデータレジスタの読み書きを行なうことで、半導体素子が永久的に壊れてしまうハード SEE が起きてないかも調べた。

放射線による SEU の影響は、主に 20MeV 以上のハドロンビームによって引き起こされ、20MeV 以上のハドロンにおける SEU 断面積はほぼ一定である。従って、SEU の測定にエネルギー依存性は無視してよく、今回の照射試験では、エネルギーが 70MeV(直径 20mmϕ、ビーム電流:2nA) の陽子ビームを用いて照射した。陽子ビームによる照射試験の測定内容を表6.2.1に示す。Patch Panel, JRC ASIC 共に、それぞれ 4 チップずつ照射し、また陽子ビームによる TID の影響も調べるために、電流値と Patch Panel については VCON の値も測定することにした。

	照射時間 $[min]$		照射中の測定内容
Patch Panel	Chip1	33	リーク電流
	Chip2	31	30 秒毎に JTAG の読み書き
	Chip3	30	VCON
	Chip4	30	
JRC	Chip1	30	リーク電流
	Chip2	30	シフトレジスタの値の読み出し
	Chip3	30	Chip1,3:All Low(初期設定)
	Chip4	30	Chip2,3:All High(初期設定)

表 6.2.1: 陽子ビーム照射試験の測定内容

6.2.1 プロトンビーム照射時のセットアップ

図6.2.1に、今回の照射試験のために設計した照射ボードの構成図を示す。1 つの照射ボードに、Patch Panel ASIC と JRC ASIC をそれぞれ 2 チップづつ搭載し、インターフェイスとしてコントロール用の 34 ピンコネクタ、LVDS 信号を TTL 信号に変換するチップ、40MHz のクロックを発する水晶発振器などが設置される。水晶発振器からのクロックは、Patch Panel ASIC に供給され、PLL 回路をロックする。JRC には照射テスト用に、4 つのシフトレジスタが共通の入力を持って実装されており、2 チップのうち 1 つ (Chip2,4) は入力を High に、もう片方 (Chip1,3) は入力を Low にそれぞれボード上で接続した。これは、内部のシフトレジスタを All-1 と All-0 の状態にしたことを意味する。4 系統の出力はそれぞれ、ボード上で AND が取られ、最終的な出力は 34 ピンコネクタに繋がる。

図6.2.2に、実験の全体のセットアップ図を示す。照射室に設置された照射ボードから、JTAG 信号などのコントロール用のフラットケーブル、電源ケーブル、VCON モニター用のケーブル、X-Y ステージコントロール用のケーブルが伸ばされる。コントロール用のケーブルは、VME クレート内の PT4 に接続され、Linux OS の PC に接続される。PT4 は ATLAS 実験で TGC エレクトロニクスのプロトタイ

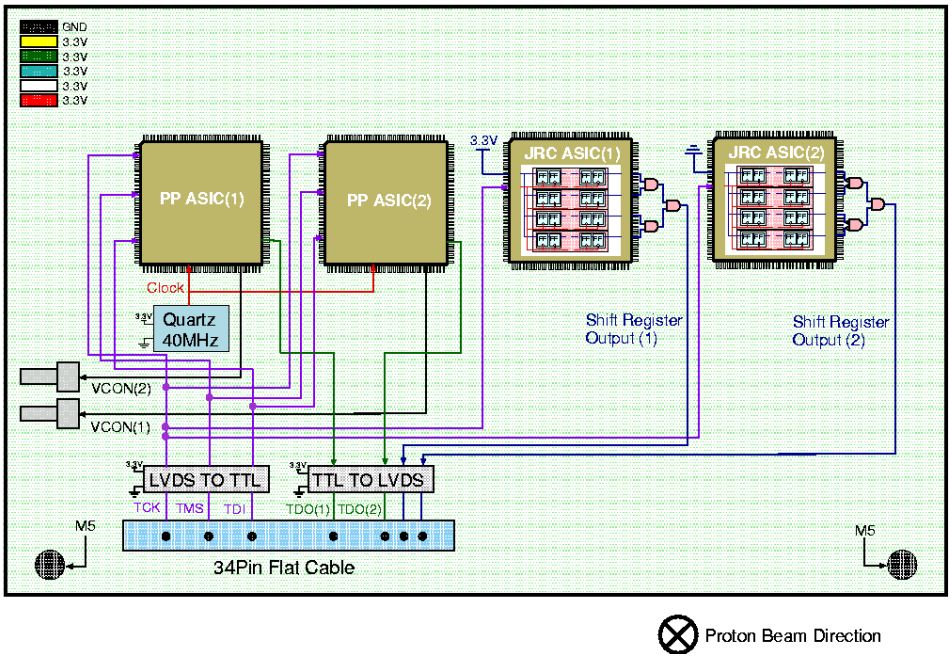


図 6.2.1: 陽子ビーム照射試験用テストボード

プとテストベンチを構成するために開発された汎用の FPGA[1]論理モジュールであり、今回、JTAG プロトコルによるデータレジスタの読み書きやシフトレジスタの出力の読み出しなどの機能を FPGA にコンフィギュレーションすることで実現した。この PC はさらにネットワーク経由で測定室にある PC から遠隔操作される。チップへの電源や電流、Patch Panel の VCON はデジタル・マルチメータで測定され、RS232 コネクタに Windows OS の PC に接続した。この PC はネットワークを経由して、制御室の PC から VNC[2] よりコントロールした。また X-Y ステージとは、照射の度に照射室に入り取り換える手間を省くよう、ターゲットやビームモニターの位置を遠隔操作出来るために導入されたもので、専用コントローラに Windows OS の PC に接続し、この PC も VNC によって遠隔操作した。

図6.2.3に照射室の写真を示す。陽子ビームは厚さ 100μm、直径 20mm のチタンフォイルを通して空気中に導き出され、各チップに照射された。照射ボードの後ろには、ファラデーカップを内蔵したビームダンプがある。このビームダンプの近くに、陽子ビームの ON/OFF モニターとして使うためのファイバーシンチレータを設置した。またビームダンプ手前には、測定室から X-Y ステージの様子がモニター出来るように、カメラを設置した。

図6.2.4に X-Y ステージのセットアップ図を示す。X-Y ステージには、照射ボードとビームプロファイルをモニターするために、アルミファイルに ZnS(硫化亜鉛) を塗った蛍光性のスクリーンを設置した。照射中は、まず最初にこの蛍光性のスクリーンをモニターすることで、ビームの位置合わせを行ない、それからターゲットをビームの位置に動かした。この間、ビームラインのスリットは閉じ続けた状態にしている。実際のビームプロファイルと強度の測定は、それぞれの照射チップの前面に張り付けた線量測定のための Cu フォイル (25$mm \times 25mm$、厚さは 100μm と 250μm の 2 種類) を用いて行なった。ビームラインの最終段のストッパーで測定したビーム電流は約 2nA であり、またビームの直径は最大 20mm まで広げることが出来る。

次に SEE の評価テストについての測定手順について、それぞれの ASIC ごとに以下に説明する。

- Patch Panel ASIC

  陽子ビーム照射によってハードな SEE が起きて、半導体素子が永久的に故障してしまってないかを調べるために、定期的に JTAG プロトコルによるデータのレジスタの読み書きを行った。具体的

[1]内部に回路構成用メモリを内蔵し、外部からそれを書き込むことで自由に回路を構成出来るディジタル IC。
[2]Virtual Network Computer

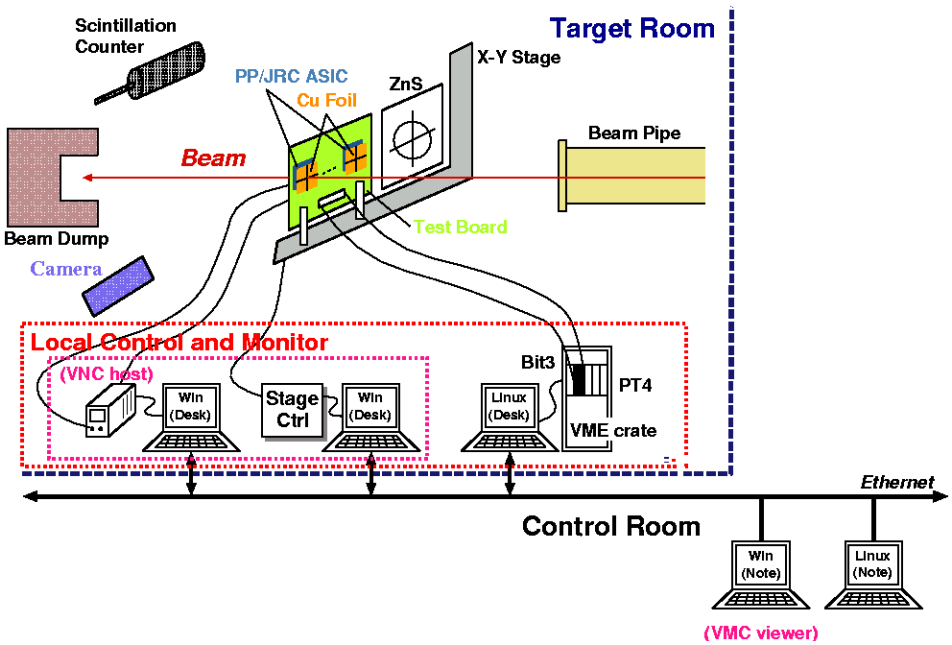


図 6.2.2: 陽子ビーム照射試験のセットアップ図

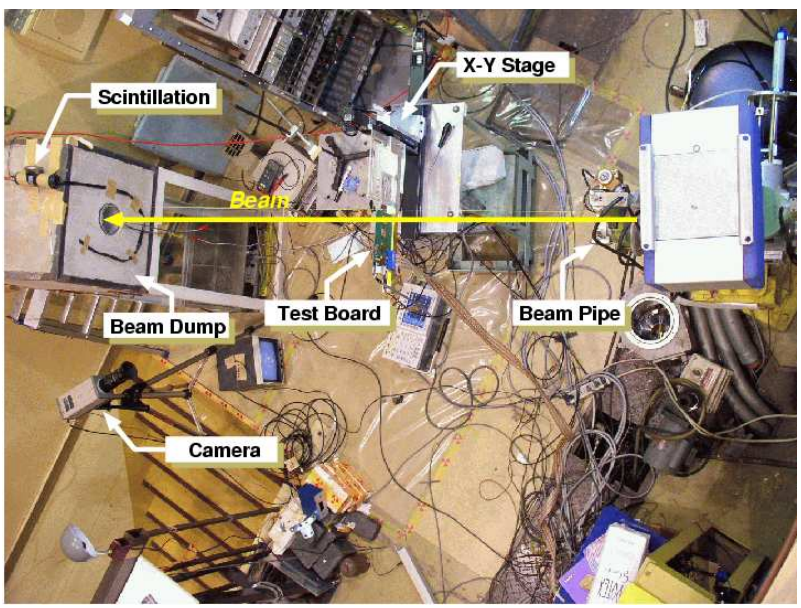


図 6.2.3: 陽子ビーム照射試験のセットアップ (写真))

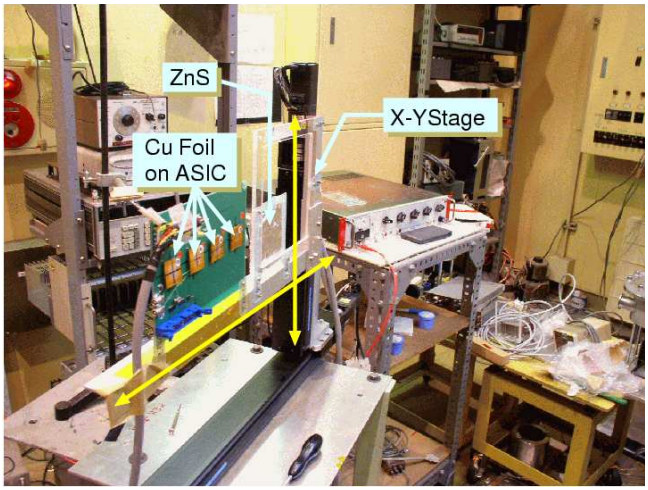


図 6.2.4: 照射ボードと X-Y ステージのセットアップ (写真))

には、まずデータレジスタに任意のデータを書き込み、30 秒たってからこのデータレジスタに書き込まれたデータを読み出し、書き込みを行なったデータと読み出したデータが一致しているかを比較した。このサイクルを照射が終わるまで続けた。

- JRC ASIC

  JRC ASIC に実装したシフトレジスタは、マススレーブ型の 256×4 のフリップフロップから構成されており、先に述べたように照射ボード上で、All-1 か All-0 の状態にしている。照射中は、10MHz のクロックを供給することで、シフトレジスタ内のデータの読み出しを行なった。例えば、SEU によってフリップフロップに記憶している情報が反転してしまった場合、All-1 の状態にしている JRC では、0 の出力が見られる。この 0 を出力した回数を数えることで、照射による SEU の全発生数を測定することが出来る。この測定結果を用いて、ローム社の $0.35\mu m$ プロセスにおける SEU 断面積を計算することが出来る。

6.2.2 測定結果と考察

6.2.2.1 Dosimetry(線量測定)

照射線量を定量的に押さえるために、今回の照射試験では、金属フォイルを使用した線量測定を行なった。用意した金属フォイルは Cu$0.1mm$(99.99%以上)、Cu$0.25mm$(99.99%以上) の 2 種類で、この銅ファイルの不純物成分は、$Au10, Cu < 1, Fe3, Mg < 1, Mn < 1, Ni3, Pb2, Sn1(ppm)$ である。このフォイルを 25mm 角に切って各チップの上面に張り付けて照射し、照射後 Ge 検出器により γ 線スペクトルの測定を検出器の Dead Time を除いて 1000 秒間行なった。例として、図6.2.5に JRC ASIC(Chip4) に張り付けた Cu フォイルの γ 線スペクトルを示す。線量測定はこの図に書かれている γ 線のピークを用いて行ない、各チップごとに Ge 検出器で観測される γ 線の種類に違いはなかった。

また Ge 検出器の効率補正は、^{60}Co, ^{133}Ba, ^{137}Cs, ^{22}Na, ^{241}Am の標準線源を使用した。図6.2.6に、これらの標準線源を各 500 秒間測定して得られた効率補正のデータを、Freeman-Jenkin の式[1]を参考にして $\varepsilon = Aexp(-BE) + C(A, B, C$: 測定値から決める定数) でフィットした結果を示す。

また各チップで相対強度の補正を行なうために、IP(イメージングプレート) を使用して、ビームプロファイルの測定を行なった。IP は光輝尽性蛍光体を使った位置敏感型放射線検出器であり、放射線などの最初の刺激の後で、発光波長よりも長波長の光による第二の刺激で再発光する現象 (輝尽) を利用している。IP は積分型検出器であるため、高いフラックス密度でもあってもパルス検出器で生じる放射線検

[1]Ge 検出器の効率に合わせた半実験式の一つで、$\varepsilon = 1 - exp(-\tau x) + \sigma Aexp(-BE)$ で定義される。ここで、τ は光電効果の断面積、x は検出器の厚さ、σ はコンプトン散乱の断面積、A,B は測定値から決める定数である [23]。

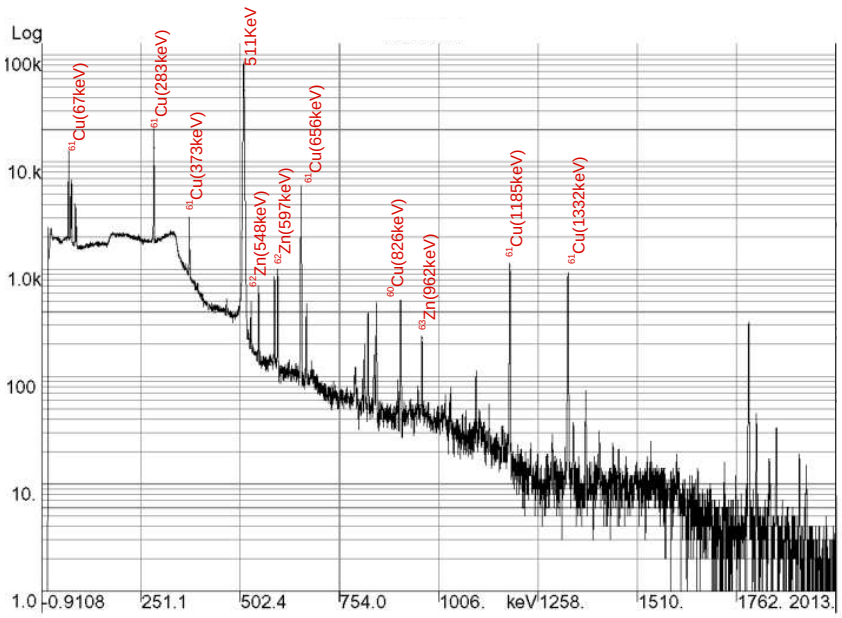


図 6.2.5: Cu Foil からの γ 線スペクトル

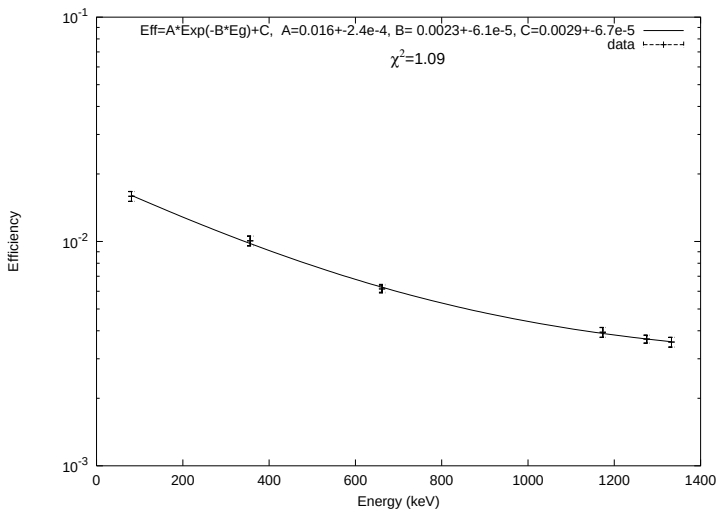


図 6.2.6: Ge 検出器のキャリブレーション

出の数え落としがないため、今回使用した。IP の輝尽性蛍光の強度は PSL という単位で表現され、PSL は IP システムの共通した照射線量に比例した読み取り強度となっている。輝尽からの光を収集し電気信号に変換することでディジタル記録し、コンピューター上で解析処理を行なうことが出来る。各チップの IP で測定した相対強度の分布を図6.2.7∼6.2.14に示す。この等高線では PSL 値を全体を 1 として表現しており、相対強度 ε_r は次式のから、PSL 値の分布図を 100 ピクセルに分割して、中央の 4 ピクセルを使用して求めた。

$$\varepsilon_r = \frac{\sum_{i=A,B,C,D} PSL_i}{\sum_{i=1}^{100} PSL_i} \tag{6.1}$$

6.2.2.2 陽子フラックスの見積もり

ここでは Cu フォイルの線量測定から求めた陽子フラックスの見積もりについて述べる。

生成核の個数を N、入射粒子束を $\phi[/cm^2/sec]$、ターゲットの原子数を N_t、有効反応断面積を σ_{eff}、崩壊手数を λ[sec] とすると、放射性各種生成の速度は以下のようになる。

$$\frac{dN}{dt} = \phi \cdot \sigma_{eff} \cdot N_t - \lambda \cdot N \tag{6.2}$$

ここで有効反応断面積 σ_{eff} は、陽子と直接反応することによって生成する断面積と、Precursor(他の核種) から目的とする核への崩壊によって生成する断面積を加えたものであるが、今回の照射実験ではプロトンビームのエネルギーが 70MeV とそれほど高くないため、Precursor からの効果は無視してよい。Tr を照射時間として、6.2式を積分すると以下のようになる。

$$N = \frac{\phi \cdot \sigma_{eff} \cdot N_t}{\lambda}(1 - exp(-\lambda \cdot T_r)) \tag{6.3}$$

6.3式で、N_t の値はターゲットである Cu フォイルの厚さを $t(=100\mu m, 250\mu m)$、面積を $S(=2.5cm \times 2.5cm)$、密度を ρ、原子量を A、アボガドロ数を N_A とすると、

$$\begin{aligned} N_t &= t \times S \times \rho N_A / A \\ &= 0.01(0.025)[cm] \times 6.25[cm^2] \times 8.93[g/cm^3] \times 6.0 \times 10^{23}/63.5[g] = 5.27(13.18) \times 10^{21}[\text{個}] \end{aligned}$$

になる。照射終了時刻を $t = 0$ として、時刻 t にこの核から放出する放射能の強さ $B(T)[Bq]$ は以下のようになる。

$$B(T) = \lambda \cdot N(t) = \lambda \cdot N \cdot exp(-\lambda \cdot t)[Bq] \tag{6.4}$$

よって照射後 $Tm[sec]$ 時間後より $Tc[sec]$ 時間測定を行なった際に得られる γ 線の数 C_γ は、測定 γ 線への分岐比を Br、検出効率を ε とすると、

$$\begin{aligned} C_\gamma &= Br \cdot \varepsilon \int_{Tm}^{Tm+Tc} B(t)dt \\ &= Br \cdot \varepsilon N \cdot (exp(-\lambda \cdot Tm) - exp(-\lambda \cdot (Tm + Tc))) \end{aligned} \tag{6.5}$$

になり、これに6.3式を代入すると、陽子フラックス ϕ は、

$$\phi = \frac{C_\gamma \cdot \lambda}{\varepsilon \cdot Br \cdot \sigma_{eff} \cdot Nt(1 - exp(-\lambda \cdot Tr)) \cdot (exp(-\lambda \cdot Tm) - exp(-\lambda(Tm + Tc)))} \tag{6.6}$$

となる。ただしここで求めた陽子フラックス ϕ は、$2.5cm$ 角の Cu フォイルに一様にビームが照射している仮定した値である。しかし実際には、IP によるビームプロファイルで見たように、チップのコア部分には平均よりも高い強度のビームが照射している。そこで6.1式で求めた相対強度 ε_r を用いると、チップの中心部の陽子フルーエンス $F[protons/cm^2]$ は以下のようになる。

$$F = \phi \times Tr \times 2.5^2 \times \varepsilon_r / 0.5^2 \tag{6.7}$$

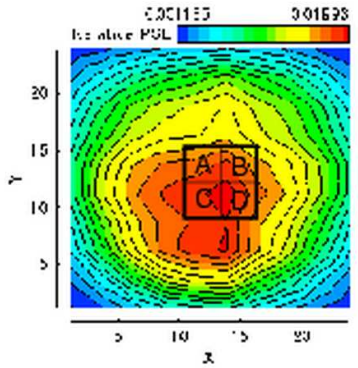


図 6.2.7: PP(Chip1) のビームプロファイル

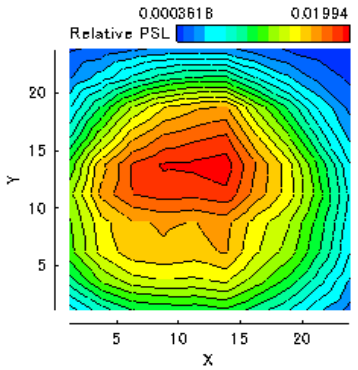


図 6.2.8: PP(Chip2) のビームプロファイル

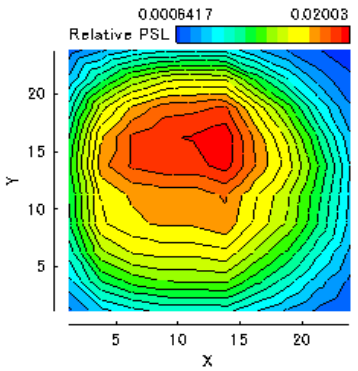


図 6.2.9: PP(Chip3) のビームプロファイル

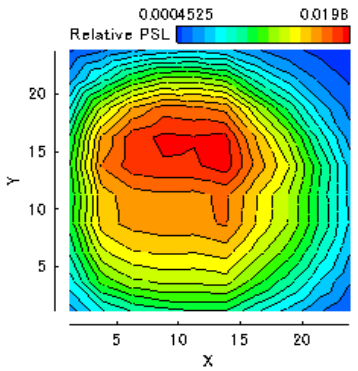


図 6.2.10: PP(Chip4) のビームプロファイル

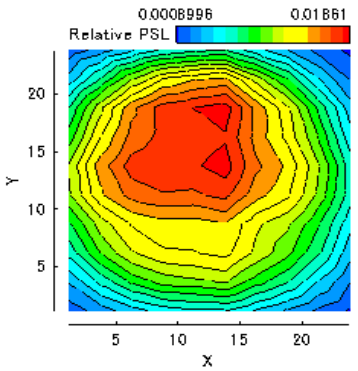


図 6.2.11: JRC(Chip1) のビームプロファイル

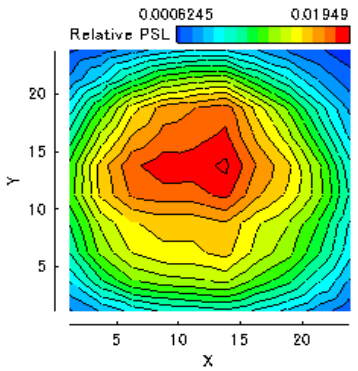


図 6.2.12: JRC(Chip2) のビームプロファイル

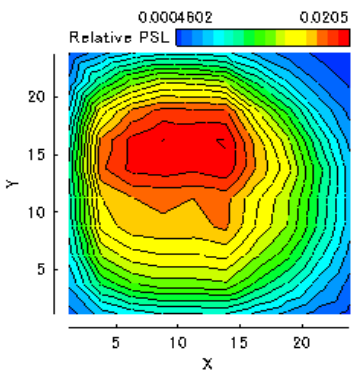


図 6.2.13: JRC(Chip3) のビームプロファイル

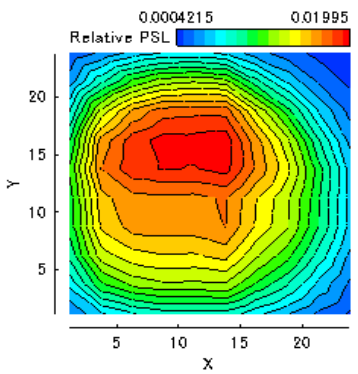


図 6.2.14: JRC(Chip4) のビームプロファイル

図6.2.15~6.2.22に、いくつかの γ 線ピークに対し、この式から求めた各チップ照射時の陽子フルーエンスを示す。各チップの陽子フルーエンスは、$1.45 \sim 1.85 \times 10^{12}[1/cm^2]$ と安定した値を示しているが、PP ASIC(Chip3) だけは、1 桁小さい値となった。これは PP ASIC(Chip3) の照射時に加速器の調子が悪く、まともな照射が出来なかったためである。

次に各チップが受けた吸収線量 X を求める。70MeV の陽子によるシリコン中のエネルギー損失 dE/dx は、

$$\begin{aligned} dE/dx &= 7.6[MeV \cdot cm^2/g] = 7.6 \times 10^6[eV \cdot cm^2/g] \times 1.6 \times 10^{-12}[erg/eV] \\ &= 1.2 \times 10^{-5}[erg \cdot cm^2/g] \end{aligned}$$

である [10]。この値と陽子フルーエンス F から、吸収線量 X は以下のようになる。

$$\begin{aligned} X &= dE/dx \times F \\ &= 1.2 \times 10^{-5} \times F \ [erg/g] \\ &= 1.2 \times 10^{-7} \times F \ [rad] \end{aligned} \tag{6.8}$$

以上の結果を表6.2.2に示す。この表より、PP ASIC(Chip3) 以外はほぼ同じ状態で照射が行なわれことがわかる。

Chip Name	Beam Curr	Irrad Time[min]	Radiation Dose [krad]	Fluence $[1/cm^2]$
PP ASIC(Chip1)	$\sim 2nA$	33	227.1 ± 7.9	$1.89 \times 10^{12} \pm 6.52 \times 10^{10}$
PP ASIC(Chip2)	$\sim 2nA$	31	222.8 ± 8.8	$1.86 \times 10^{12} \pm 7.28 \times 10^{10}$
PP ASIC(Chip3)	$\sim 2nA$	30	48.4 ± 2.5	$4.03 \times 10^{11} \pm 2.08 \times 10^{10}$
PP ASIC(Chip4)	$\sim 2nA$	30	178.7 ± 11.0	$1.49 \times 10^{12} \pm 9.16 \times 10^{10}$
JRC ASIC(Chip1)	$\sim 2nA$	30	202.7 ± 8.9	$1.69 \times 10^{12} \pm 7.40 \times 10^{10}$
JRC ASIC(Chip2)	$\sim 2nA$	30	191.9 ± 9.6	$1.60 \times 10^{12} \pm 7.98 \times 10^{10}$
JRC ASIC(Chip3)	$\sim 2nA$	30	178.2 ± 8.9	$1.49 \times 10^{12} \pm 7.47 \times 10^{10}$
JRC ASIC(Chip4)	$\sim 2nA$	30	180.7 ± 8.3	$1.51 \times 10^{12} \pm 6.86 \times 10^{10}$

表 6.2.2: 照射線量と陽子フルーエンス

6.2.2.3 電源電流と VCON の測定

今回の照射実験では、照射ボードに供給する電流の変化と、シンチレーション・カウンターによるビームの ON/OFF モニターも照射中に測定した。また Patch Panel ASIC については、VCON の値も測定した。ここでの測定は各チップの TID の影響を見ると共に、γ 線照射による結果と比較することで、Ge 検出器による線量測定が正しく行なわれてるかの確認を行なうためである。図6.2.23~6.2.30に各チップの電源電流の変化とビームモニターの様子と、Patch Panel については VCON の値の変化を示す。ビームモニターの信号は NIM 信号で送られてくるので、ビームが出ている状態は、この図で電圧が下がっている時である。この図を見ると、照射がうまくいかなかった Patch Panel(Chip3) については、500sec 近くからビームモニターであるシンチレーションの応答が不安定になり、リーク電流と VCON の値の変化は見られない。その他のチップについては、電流の増加はほぼ一定となっており、これは線量測定の評価と一致する。

また図6.2.31~6.2.32に、γ 線照射で得られた図6.1.4の Patch Panel ASIC(Chip4) と、今回の陽子ビーム照射によって得られた Patch Panel ASIC の Chip1 と Chip4 の照射線量と電源電流の変化の関係を示す。この図では、陽子ビームによる吸収線量が常に一定であると仮定しており、さらにボードの違いからく

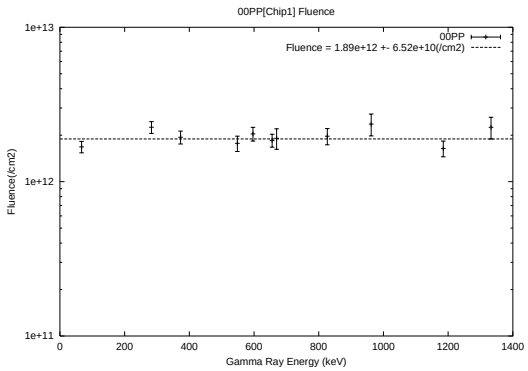


図 6.2.15: PP(Chip1) の陽子フルーエンス

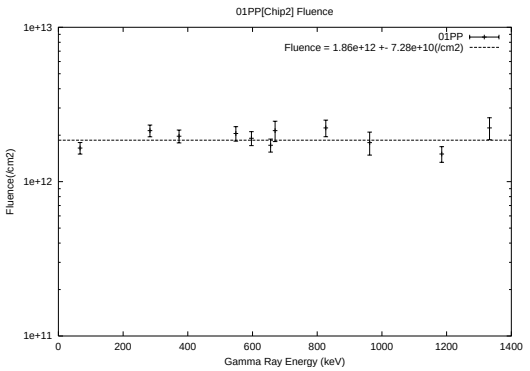


図 6.2.16: PP(Chip2) の陽子フルーエンス

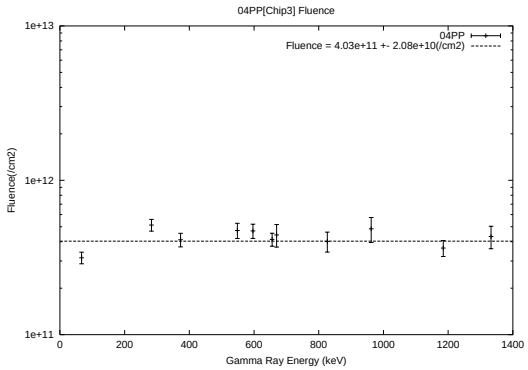


図 6.2.17: PP(Chip3) の陽子フルーエンス

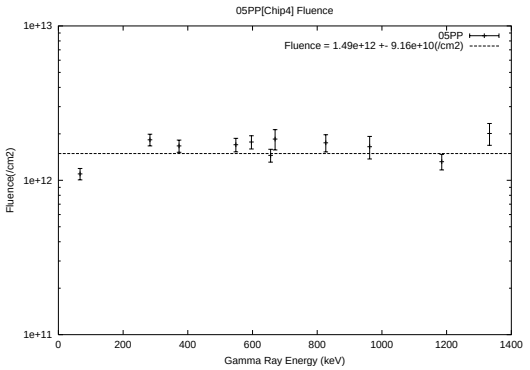


図 6.2.18: PP(Chip4) の陽子フルーエンス

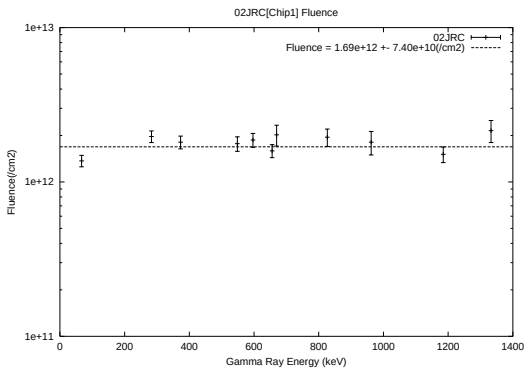


図 6.2.19: JRC(Chip1) の陽子フルーエンス

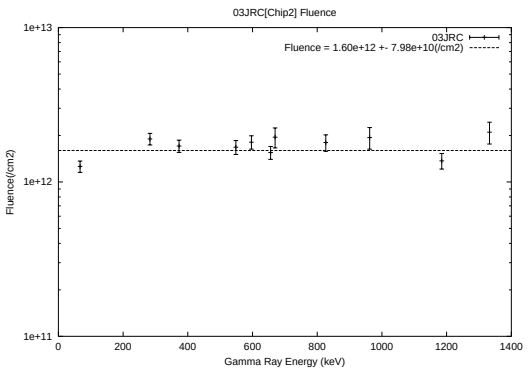


図 6.2.20: JRC(Chip2) の陽子フルーエンス

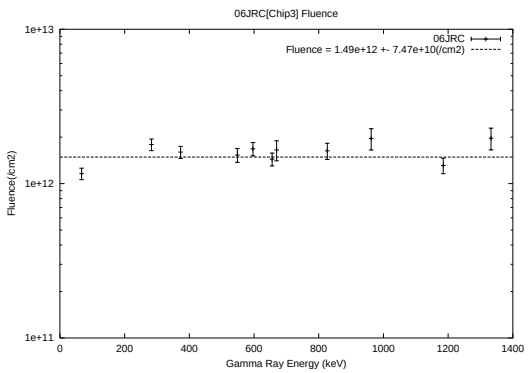


図 6.2.21: JRC(Chip3) の陽子フルーエンス

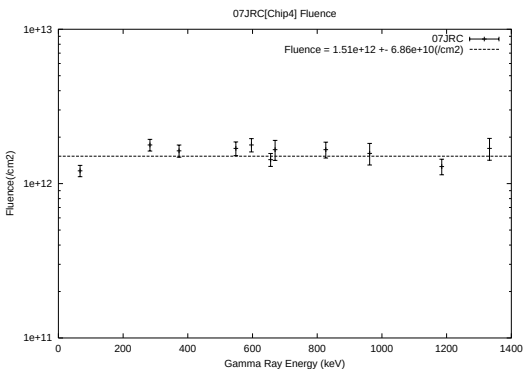


図 6.2.22: JRC(Chip4) の陽子フルーエンス

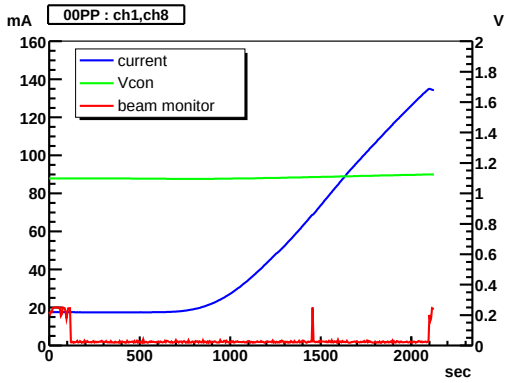


図 6.2.23: PP(Chip1)の照射中の電源電流と VCON の推移

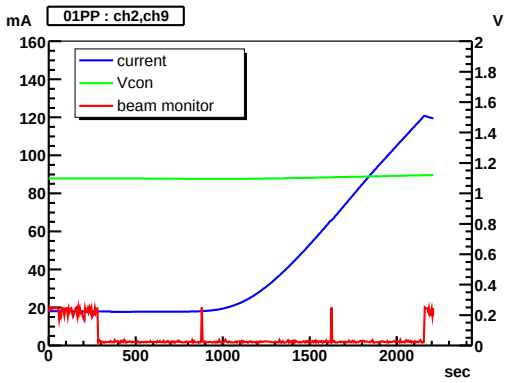


図 6.2.24: PP(Chip2)の照射中の電源電流と VCON の推移

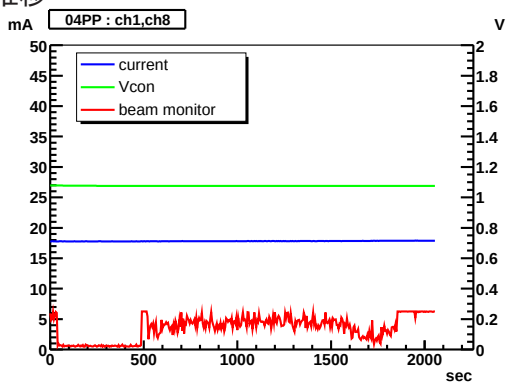


図 6.2.25: PP(Chip3)の照射中の電源電流と VCON の推移

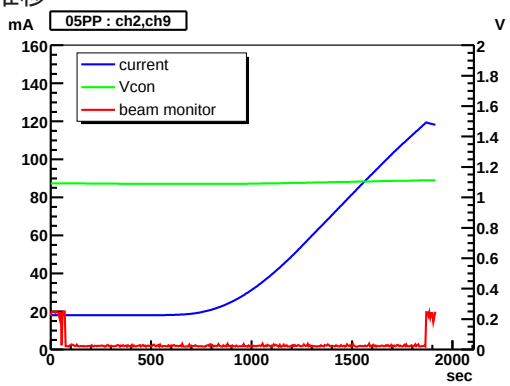


図 6.2.26: PP(Chip4)の照射中の電源電流と VCON の推移

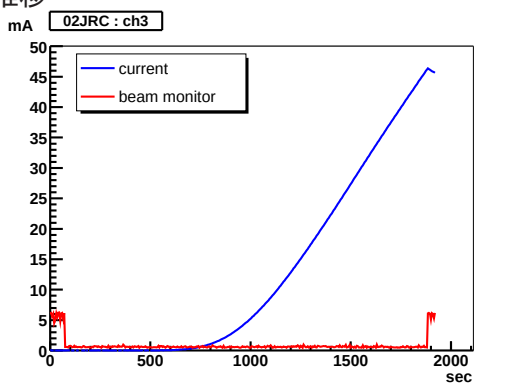


図 6.2.27: JRC(Chip1) の照射中の電源電流の推移

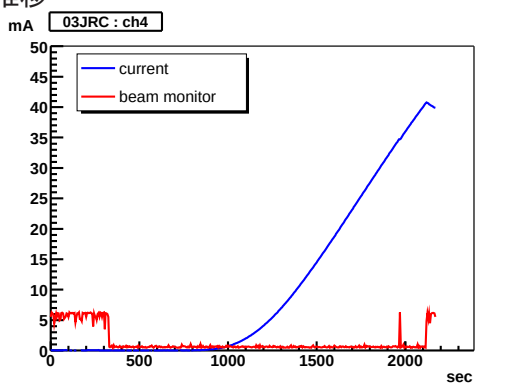


図 6.2.28: JRC(Chip2) の照射中の電源電流の推移

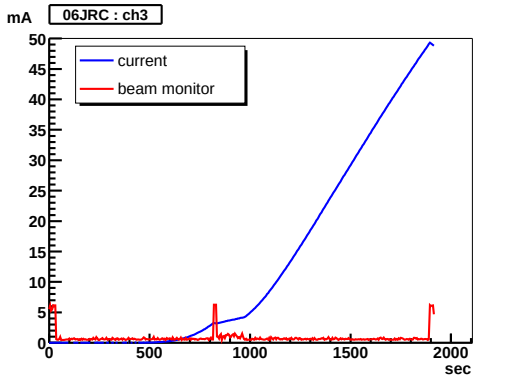


図 6.2.29: JRC(Chip3) の照射中の電源電流の推移

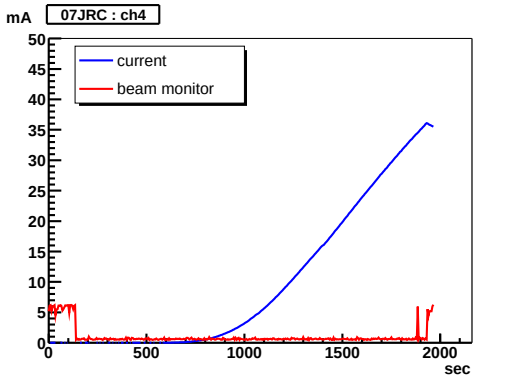


図 6.2.30: JRC(Chip4) の照射中の電源電流の推移

る初期電流は、電流の増加量を比較するために、共に零としている。この図からわかるように、電流が増加し始める所を比較してみると、γ線と陽子ビームの2つの照射実験で吸収線量が数10%異なることがわかる。両者が完全に一致しなかった原因としては、2つの照射実験で使用した照射ボードが異なっていた事、γ線照射時に線源と照射ボードの位置が$\pm 5mm$ずれた可能性がある事、そして、リーク電流の値が陽子でもγ線でも吸収線量で決まるとした仮定に間違いがあることなどが考えられるが、はっきりとした理由はわかってない。今後、この原因を解明するためには、γ線照射の実験の精度を上げて、もう一度測定し、電源電流の変化を比べる必要がある。今回は安全係数として、線量測定から求めた陽子フラックスには、数10%の不確定性を含んでいるとみなし、SEEに対する評価を行なう事にする。

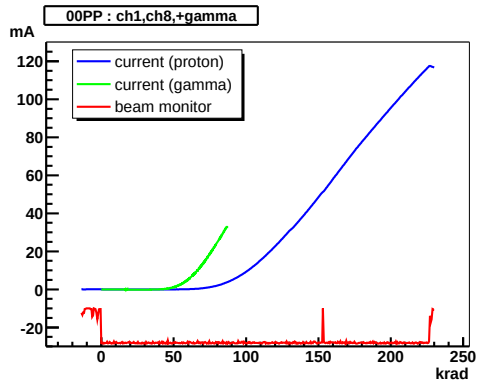


図 6.2.31: γ線照射と陽子ビーム照射でのPP(Chip1)の電源電流の推移の比較

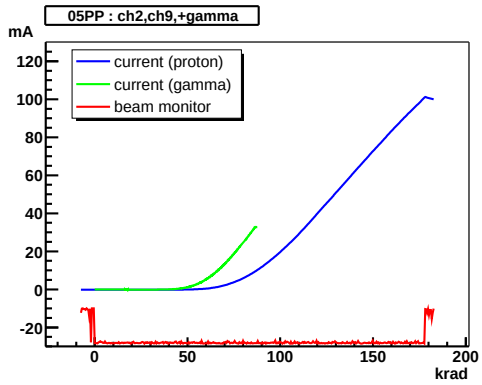


図 6.2.32: γ線照射と陽子ビーム照射でのPP(Chip4)の電源電流の推移の比較

6.2.2.4 SEU断面積

表6.2.3に、JRC ASICに搭載したシフトレジスタから測定されたSEUの回数とSEU断面積σ_{SEU}を示す。ここで、σ_{SEU}は以下の式から計算した。

$$\sigma_{SEU} = (SEU\ の発生数)/F(フルエンス)/(256 \times 4 : 全レジスタ数)\ [cm^2/bit] \tag{6.9}$$

チップ名	フルエンス $[1/cm^2]$	ラッチアップの有無	レジスタの状態	レジスタ数	SEUの発生数	$\sigma_{SEU}[cm^2/bit]$
JRC(Chip1)	1.69×10^{12}	None	All-0	1024	79	4.6×10^{-14}
JRC(Chip2)	1.60×10^{12}	None	All-1	1024	18	1.1×10^{-14}
JRC(Chip3)	1.49×10^{12}	None	All-0	1024	69	4.5×10^{-14}
JRC(Chip4)	1.51×10^{12}	None	All-1	1024	19	1.2×10^{-14}
Total	6.29×10^{12}	None			185	2.8×10^{-14}

表 6.2.3: SEU段面積の計算結果

SEUの発生数は、ボード上でフリップフロップにセットした値が0の時の方が、1にセットした時に比べて、4倍程大きい結果となった。原因としてはデバイスのスレッショルドの値の違い(例えば、デバイスのスレッショルドの値が1.2Vくらいだと3.3Vからの変動(3.3-1.2=2.1V)に対して0Vからの変動(1.2-0=1.2V)の方が影響を受けやすい)などが考えられるが、はっきりとした理由はわかっていない。次にこのSEU断面積の値と、RHAで定義されたATLASの10年間の運転期間に相当するフルエンスの値を用いて計算すると、Patch Panel ASICの場合、データレジスタは67ビット存在し、約1万個使う予定な

ので、TGC エレクトロニクスシステム全体の SEU 発生数 SEU_{rate} は次のようになる (4.3.3節4.8式参照)。

$$\begin{aligned} SEU_{rate} &= \frac{\sigma_{SEU}[cm^2/bit] \times RTC[cm^2/10years]}{ATLAS\text{の}10\text{年分の稼働時間}\,[s]} \times \text{全ビット数}\,[bit] \times \text{使用チップ数} \\ &= \frac{2.8 \times 10^{-14} \times 7.0 \times 10^{10}}{10^8} \times 67[bit] \times 1.0 \times 10^4 \\ &\simeq 1 \times 10^{-5}[SEU/sec/TGC_All_System] \\ &\simeq 1[SEU/day/TGC_All_System] \end{aligned} \tag{6.10}$$

この値は線量測定から生じた数 10% の不確定性を考慮しても、実用上十分小さな値であり、同一レジスタに、2 回以上 SEU が発生する確率は、ほとんど皆無である。従って、多数決論理回路によって十分対処可能であり、SEU による IC の誤動作が起きる確率は非常に小さいと言える。

また Patch Panel ASIC の照射中、定期的に JTAG の読み書きを行ない、書き込んだデータと読み込んだデータの比較を行なったが、多数決論理回路を搭載しているため、書き込みと読み込みのデータが一致しないといったエラーは一度も見られず、ハード SEE の現象も起きなかった。以上のことから、今回設計した Patch Panel ASIC は、SEE に対して十分な放射線耐性が言える。

6.3 放射線耐性に関するまとめ

今回、Patch Panel ASIC の放射線耐性を調べるために、TID については γ 線照射、SEE については 70MeV の陽子ビームを照射することで評価した。TID による半導体の電気的特性の変化や SEU 断面積を調べるために、JRC ASIC に搭載したリングオシレーターとシフトレジスタも照射対象とした。JRC ASIC は、Patch Panel ASIC と同じプロセスで作られているので、ここで起きる現象は、Patch Panel でも同様に当てはまると考えて良い。表6.3.1に各現象ごとでの Patch Panel ASIC に対する放射線耐性をまとめる。以上の結果から、Patch Panel ASIC において、TID や SEE といった半導体素子が放射線によって受ける影響は小さく、ATLAS 実験で使用するには十分な放射線耐性を満たしているといえる。

現象名	コメント
TID	TGC エレクトロニクスが満たさなければならない放射線基準値 RHA(100Gy) では、電源電流の増加はほとんど起きない。 放射線の影響によって回路全体の動作速度が変化しても、PLL 回路の VCON によって、VCRO の周期を一定に保持しており、放射線環境下でも 1ns 以下のタイミング調整が可能である。 850Gy の線量を照射しても PLL 回路、テストパルス回路といったアナログ回路は正常に動作する。
SEE	SEU の発生率は非常に少ない。従って、多数決論理回路によって十分対処可能であり、SEU の危険性は皆無と言える。 ハード SEE といった半導体素子が永久故障するような現象は、見られない。

表 6.3.1: Patch Panel ASIC の放射線耐性に対するまとめ

第7章　トリガーエレクトロニクスの統合的な評価

前章までで、今回設計した Patch Panel ASIC について、単体での動作検証、放射線耐性の評価を行ない、実際の ATLAS 実験で使用するのに十分な性能をもっていることがわかった。しかし、Patch Panel ASIC の主な役割はタイミング調整とバンチ識別であるが、システム全体の中で動作させた時に正しくタイミング調整が出来るかどうかはまだ検証されてない。TGC エレクトロニクスでは、トリガーシシテム全体での動作テスト (スライステスト[1]) が進められている。そこで今回、このセットアップを利用して、実際の ATLAS 実験で、思い通りのタイミング調整とバンチ識別が可能であるかを測定した。

ここでは、まず TGC トリガーシステムのタイミング調整のスキームについて述べる。次にスライステストについて説明し、最後に ATLAS 実験を想定したタイミング調整のテストについて述べる。

7.1　タイミング調整のスキーム

ここでは、実際の ATLAS 実験において、TGC エレクトロニクスがどのようにシステム内の同期を保ち、イベントを識別していくかについて述べる。

TGC トリガーシステムで、トリガー処理を正しく行なうためには、各 TGC からくるシグナルのタイミング調整を行ない、それがどのバンチ・クロッシングで起きたイベントであるかを正確に識別しなければならない。しかし、LHC のバンチ衝突の間隔が 25ns と非常に短いことと、TGC からのシグナルの総数が 30 万チャンネル以上に及ぶことなどの理由から困難が予想される。さらにトリガー系に用いる TGC エレクトロニクスの各モジュールは、SL(Sector Logic) 以外は、実験ホール内に設置されるため、実験中にアクセスすることが出来ない。そのため、タイミング調整を行なう際もオシロスコープを使うなどの直接的な方法で確認することは出来ない。またシグナル数の総数も桁違いに多いので、このような方法をとるのは現実的ではない。したがって、トリガーシステムのタイミング調整にはなんらかの間接的な方法を確立しておく必要がある。

7.1.1　各デバイスでのタイミング調整

TGC からのシグナルの遅延要素は、ケーブル長などの違いから生じる配線遅延、ミューオンの TOF、TGC のタイムジッターがあり、全チャンネルでタイミングのずれが生じる。また、タイミング調整の基準となる 40MHz の LHC クロックも信号経路の違いなどから到達時間にばらつきが生じる。TGC エレクトロニクスでは、このようなタイミングのずれを調整するための手段として、トリガー処理系の各部に、図7.1.1に示すような遅延回路を設けている。以下に各遅延回路の役割について説明する。

Patch Panel ASIC でのタイミング調整

Patch Panel は、主に次に上げるような原因による入力信号のずれを調整して、シグナルを LHC クロックに同期させている。

- ASD から Patch Panel ASIC までの配線遅延の違い
- TGC の設置場所によるミューオンの TOF(Time Of Flight) の違い
- TGC 自身に固有な時間分解能[2]

[1] TGC エレクトロニクスの入力から出力まで、チャンネル数を制限して一貫的に操作することから、スライスという名前が用いられている。

[2] ミューオンの TGC への入射位置や角度によるドリフト時間の違い。TGC のタイムジッターと呼ばれる。

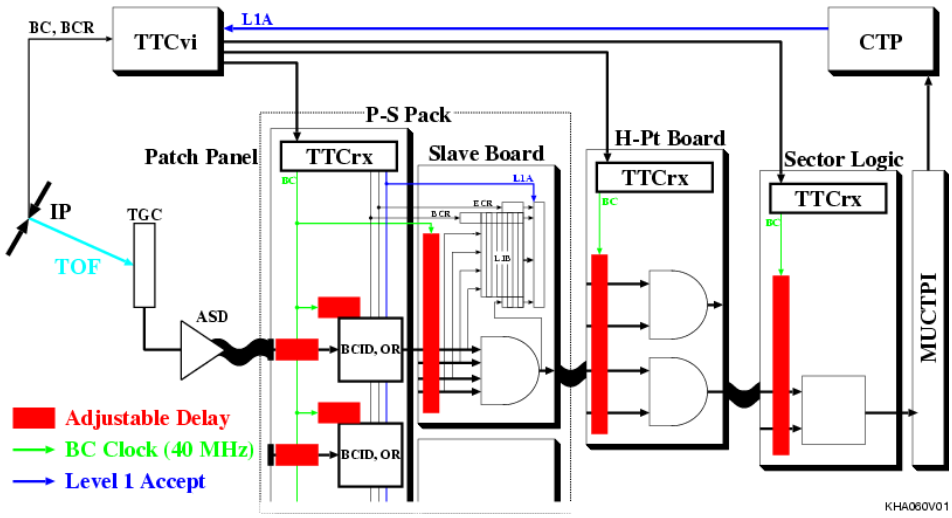


図 7.1.1: TGC トリガーシステムに設置される遅延回路

これらの原因の中で、配線遅延と TOF は、検出器の位置と配線長に依存するが、イベント毎にばらついたりはせず、個々のチャンネルで一定の値を取る。しかし、TGC のタイムジッターについては、ミューオンが TGC のワイヤー間のどの部分に入射するかによって異なるので、イベント毎にタイミングがばらつく。そこで、Patch Panel ASIC では、1ns 以下の精度で最大 25ns まで調整可能な遅延回路を設け、ミューオンがワイヤーの近傍に入射した場合の信号が LHC クロックのエッジに同期するように調整することにより、TGC のタイムジッターの範囲 ($0 \sim 25ns$ 程度) でバンチ化している。また、タイムジッターが 25ns を越えてしまった場合にも対処できるように、バンチ化するタイムジッターの範囲も広げることが出来る。

Slave Board ASIC でのタイミング調整

Patch Panel ASIC により信号はすでにバンチ化されているので、Patch Panel 以降の各デバイスの遅延回路は 0.5 クロック単位の精度を持てば十分である。そこで Slave Board は、0.5 クロックの精度で、$0 \sim 1.5$ クロックの範囲でタイミングを調整出来る遅延回路が搭載しており、これは主に次の 2 つの役割を果たす。

まず 1 つ目の役割は、シグナルがそれを受け取る LHC クロックのエッジ付近に来た場合の対処である。図7.1.2のように、クロックのエッジ付近にくるシグナルをラッチしようとした場合、クロックのわずかなタイミングの差で出力の値が変わってしまい、正しい動作が期待できない。そこでこのようなタイミングが生じた場合、クロックの下りエッジでラッチをかけることで対処している。

次に 2 つ目の役割は、ケーブル長の違いによって生じるシグナルの到達時間のばらつきを調整することである。Patch Panel では、LHC クロックに同期させているだけなので、同一バンチの信号であってもケーブル長の違いにより、異なるクロック位相にバンチ化されてしまうことがありうる。例えば、図7.1.3 に示すように、TGC のダブレット間 (middle と pivot) には、ケーブル長に差があるので、このままでは $Low - P_T$ のコインシデンス処理が出来ない。そこで遅延回路を用いて、このような信号の位相のずれを補正している。

HPT/SL(Sector Logic) でのタイミング調整

HPT/SL のタイミング調整の役割は、Slave Board ASIC とほぼ同じである。HPT では、図7.1.3で示すようなトリプレットとダブレット間のケーブル長の違いから生じるタイミングのずれを調整するために、$0 \sim 3.5$ クロックまで調整出来る遅延回路が設けられている。

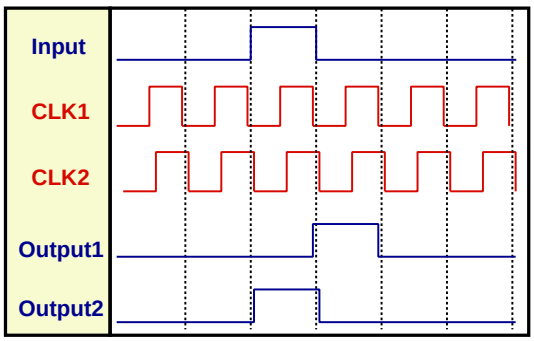


図 7.1.2: クロックのエッジ付近にシグナルがきた場合のタイミングチャート

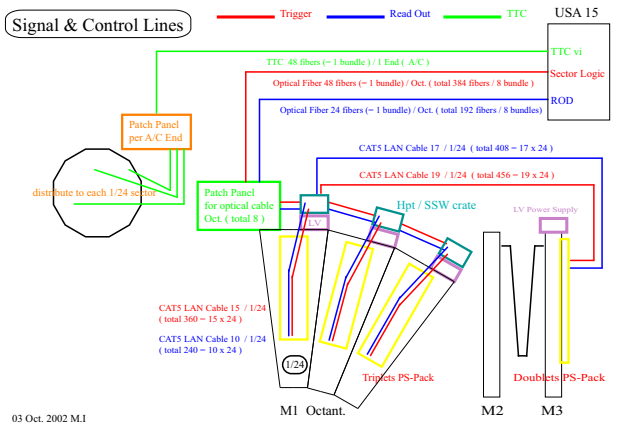


図 7.1.3: TGC のケーブルの配線長の違い

7.1.2 実際の ATLAS 実験におけるタイミング調整

TOF やシグナルのケーブルによる遅延時間、配線による遅延時間については、あらかじめ測定することが出来る。本番の ATLAS 実験に望む際もこれらのデータは全チャンネルについて正確に把握し、データベースとして用意しておく必要がある。このデータベースの見積もりが正しいかどうかは、テストパルスを用いて確認する。テストパルスを用いたタイミング調整の詳細については、7.3.2節で述べる。実際の ATLAS 実験では、まずビームが出る前に、このテストパルスを用いたタイミング調整行なうことでデータベースの正当性を確認し、その後、ビームを用いて最終的なタイミング調整を行なう。

テストパルスを用いたタイミング調整が終了した段階での不定量は、ビーム衝突が起きた後、最初のクロックが TTC_{RX} より出力されるまでの時間である。この時間のことを OFFSET と定義する。この値だけは、実験のセットアップの段階では把握することは出来ないので、加速器のラン時に探らなければならない値である。OFFSET の値がわかれば、各遅延回路の設定値は決まり、ASD からのシグナルはただ 1 つのクロックにバンチ化されることになる。従って、ビームを用いたタイミング調整は、OFFSET の正確な値を探ることと同じである [17]。

タイミング調整を行なう際に、役に立つのは LHC のビーム構造である。LHC の 1 周毎のビーム構造と定義を図7.1.4に示す。これからわかるように、LHC では常に 25nsec 毎にビーム衝突が起きるわけではなく、その構造上[1]、PS リングから SPS リングに移るのにかかる時間 (SPS injection kicker gap:200nses)、SPS リングから LHC 主リングに移るのにかかる時間 (LHC injection kicker gap:950nsec) によって、ところどころにビーム衝突が起きないバンチが存在する。このバンチの隙間を指標にして、タイミング調整の確認を行なうことが出来る。

OFFSET の探し方は、OFFSET の値を変えながら、それに合った遅延回路の設定を行ない、図7.1.4に示すような分布図を取る。この分布図は、すべての BCID に対して L1A 信号を送りデータを読み出し、BCID 毎にボード上のヒット数の総和を取ったものの概念図である。仮に自分の設定した OFFSET の値が間違っていれば、図7.1.5の左側のようにビーム構造は見えてこない。逆に自分の設定した OFFSET の値が正しければ、図7.1.5の右側のようにビーム構造は見えてくる。このような分布図が得られるような OFFSET を探し出すことによって、TGC エレクトロニクスのタイミング調整を行なうことが出来る。

この方法はビームを用いるために確実であり、原理的には、この方法のみでタイミング調整が可能である。しかし、様々な OFFSET の値に当たりをつけて分布図を取らなければならないため、時間がかかり、全てのチャンネルで行なうのは現実的ではない。したがって、テストパルスを用いたタイミング調整は重要である。

[1]陽子はコッククロフトウォルトン型加速器、リニアック、ブースター、PS、SPS からなる加速器群で加速されてから LHC リングに入射される。

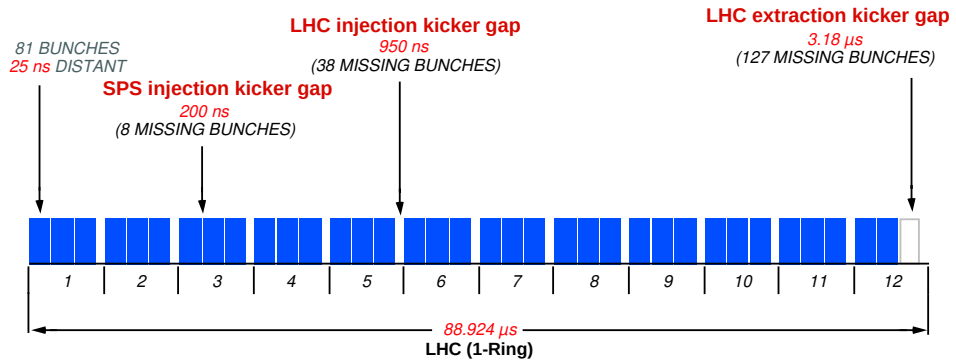


図 7.1.4: LHC のビーム構造

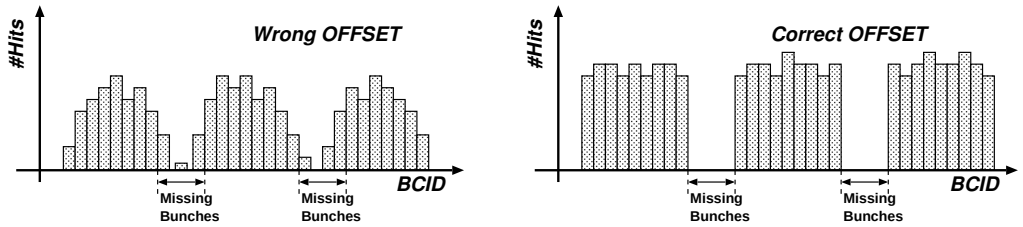


図 7.1.5: BCID に対するヒット数の総和の分布 (概念図)

7.2 スライステスト

今まで TGC エレクトロニクスの各デバイスは、それぞれ単独に開発し、単体のみの動作検証が行なわれてきたが、それぞれのパート毎にまだ改善すべき点はあるものの十分使用出来るものが揃ってきた。そこで、2001 年秋から、TGC エレクトロニクスのシステム全体の動作検証を行なうために、統合評価テスト (スライステスト) が進められている。図7.2.1に、スライステストの全体図を示す。次節から述べるタイミング調整のテストは、このセットアップを利用して行なった。

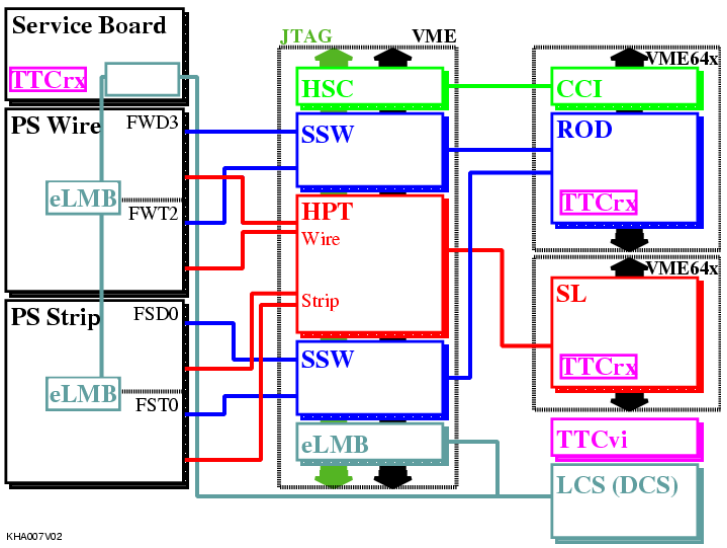


図 7.2.1: スライステストの全体図

図7.2.2に、スライステスト用いられている PS Board を示す。PS Board 上に載る JRC は、CPLD にロジックを書き込むことで実現しており、またタイミング調整でもっとも重要な役割を果たす Patch Patch

ASIC については、PLL 回路の変わりに、DLL(Delay Locked Loop) 回路を搭載している試作の ASIC[1]が設置されている。この Patch Panel は、ディレイセルのレゾリューションが PLL 回路を搭載したものと比べて悪くなるが、今回のタイミング調整のテストで用いるには十分である。また、PP/SLB の制御を行なうための信号は、JRC を経由して SSW から送られるが、SSW がまだ設計中ということもあり、3 つの FPGA を搭載した汎用の VME モジュールである PT4 にロジックを書き込むことで代用している。

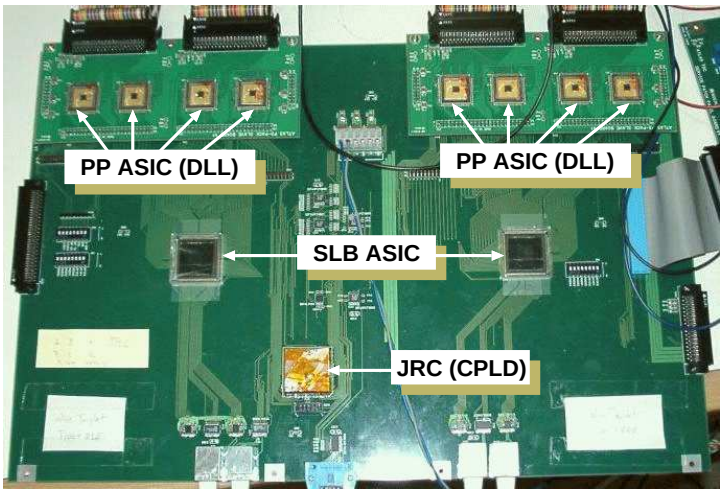


図 7.2.2: スライステストで用いられている PS Board

7.3 タイミング調整のテスト

今回のタイミング調整は、2 通りの方法で行なった。1 つ目は、実際にビームが出ている状態を想定して、TGC から出力されるシグナルをエミュレートしたタイミング調整である。ここでのタイミング調整が実証されれば、本番の ATLAS 実験でも OFFSET の値さえ探ってやれば、システム全体のタイミング調整は可能であると言える。もう一つは、ASD は Patch Panel からテストパルス信号を受け取ると、Patch Panel に向けて信号を出力する。これを用いて、タイミング調整が可能である。本番の ATLAS 実験でも、ビームを用いたタイミング調整を行なう前に、テストパルス回路を用いて、大雑把なタイミング調整をまず行なうことが望ましい。また、今回の測定で用いた Patch Panel ASIC は、7.2節で述べたように、DLL 回路を搭載したものである。

7.3.1 シグナルをエミュレートしたタイミング調整

ここでは、TGC のシグナルをエミュレートしたタイミング調整について述べる。またこの測定は、次に述べるテストパルス回路を用いたタイミング調整の予備測定の意味も含む。

7.3.1.1 セットアップ

図7.3.1に、今回の測定のセットアップ図を示す。バンチ衝突が起こり、TGC が信号を出力して ASD で処理されるまでの状態は、約 3psec の精度で最大 200ns まで遅延調整可能な CAMAC モジュールの TDC テスター[2]と NIM-to-LVDS の変換モジュール[3]を用いて実現した。TDC テスターには、トリガー入力とスタート、ストップの 2 つの出力があり、トリガー信号を受けると、設定した遅延間隔をスタート、ストップ間に持たせて、NIM 規格の信号を出力する。トリガー入力には、測定を容易にするため、FF(Flip

[1]DLL 回路については、5.1節の脚注2を参照。
[2]TDC テスターは本来、CAMAC モジュールの TDC(Time Digital Converter) の保守、点検とキャリブレーションに使われる。
[3]NIM 信号を LVDS 信号に変換する NIM モジュール。処理時間は、約 4.7*ns*。

Flop) モジュールを用いて、TGC エレクトロニクスに供給するクロックに同期させた信号を用いた。この TDC テスターでミューオンの TOF と TGC のタイムジッターを作り出すことで、TGC からのシグナルをエミュレートした。

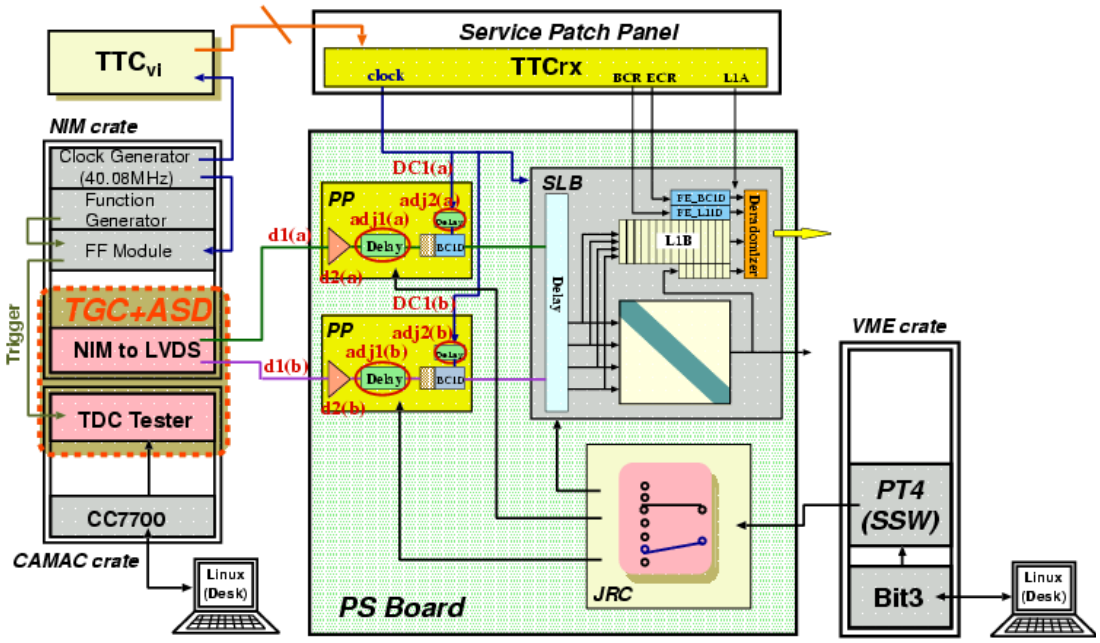


図 7.3.1: ビームが出てる状態を想定した場合のブロック図

図7.3.2に、今回の測定のタイミングチャートを示す。今回、ビーム衝突が起きた後、最初のクロックが TTC_{RX} から出力されるまでの時間を表す OFFSET の値は 12.5nsec とした。この値は、実際の ATLAS 実験では、加速器のラン時に探り当てていかなければならない値である。

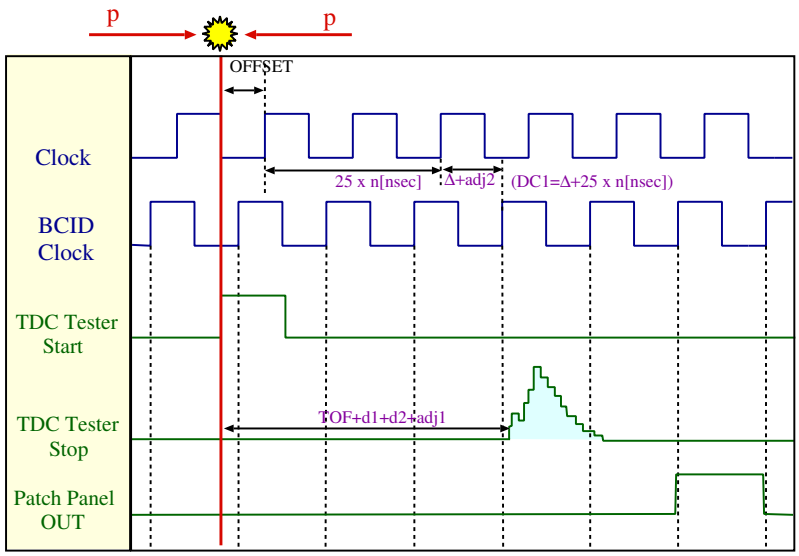
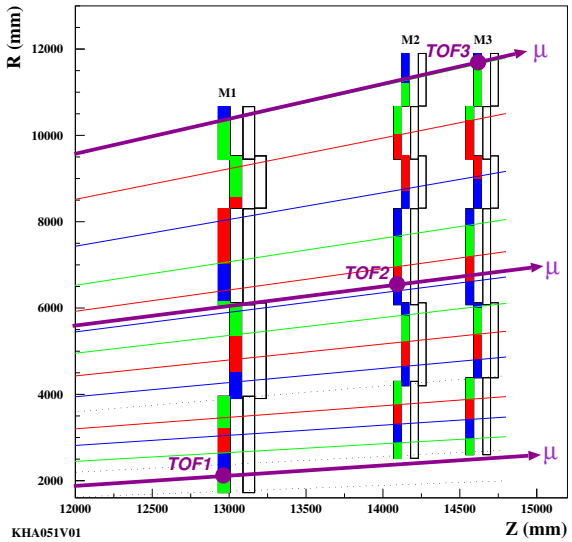


図 7.3.2: ビームが出てる状態を想定した場合のタイミングチャート

また今回の測定では、図7.3.3に示すような位置に TGC が設置されている状態を仮定し、3 パターンの TOF の数値を用いて、タイミング調整を行なった。また TGC のタイムジッターの値は、実際の ATLAS 実験よりも厳しい状態を仮定して、$0 \sim 35nsec$ とした。

次に、Patch Panel ASIC の遅延回路の設定値を求め方を示す。配線遅延などからくる信号の経路による



	座標 $(R[mm], Z[mm])$	TOF[nsec]
TOF1	(2000,13000)	43.84
TOF2	(6000,14200)	51.39
TOF3	(11500,14700)	62.21

図 7.3.3: タイミング調整テストの TOF の設定

遅延、TGC の位置によって決まる TOF の値、そして OFFSET の値が正確にわかれば、Patch Panel ASIC の遅延回路の設定値は、一意に決まり、シグナルはバンチ化される。

Patch Panel ASIC に搭載される BCID 回路に入力されるシグナルとクロックの遅延要素を、表7.3.1に示す。この表における TOF は、NIM-to-LVDS の処理時間、TDC テスターと NIM-to-LVDS までの配線遅延、TDC テスターで設定した遅延の 3 要素を加えて、表7.3.3の値にそれぞれ設定している。

遅延要素	遅延時間 [ns]	意味
OFFSET	12.5	ビーム衝突が起きてから最初のクロックが TTC_{RX} から出力されるまでの時間
TOF	TOF1∼3	ビーム衝突から粒子が TGC に到着するまでに要する時間
d1	5.0	TDC テスターから PP までのケーブル (1m) による遅延時間
d2	6.7	LVDS Receiver の処理時間
adj1	$0.84x$	PP ASIC の可変ディレイの設定値 (32 段階で合計：26.88nsec)
DC1	$\Delta(11.2)+25\times n$	TTC_{RX} から PP ASIC までの配線等によるクロックの遅延時間。Δ は、TTC_{RX} の出力時と PP ASIC の入力時におけるクロックの立上りのずれを測定したもの $(0<\Delta<25)$。
adj2	$0.84y$	BCID Clock の可変ディレイの設定値 (32 段階で合計：26.88nsec)

表 7.3.1: ビームが出てる状態を想定した場合の Patch Panel に入力されるクロック、シグナルに関係する遅延時間

表7.3.1で表すパラメータを用いると、ビーム衝突が起きてから、シグナル及びクロックが Patch Panel ASIC に搭載される BCID 回路に到達するまでの時間はそれぞれ、次のようになる。

$$\text{シグナル}: TOF+d1+d2+adj1(=0.84x)\ [nsec]$$
$$\text{クロック}: OFFSET+DC1(=\Delta+25\times n)+adj2(=0.84y)\ [nsec]$$
$$(x,y,n: \text{整数}, 1\leqq x,y\leqq 32)$$

シグナルとクロックの差を可能な限り最小にしたいので、次の条件を要求する。

$$0\leqq TOF+d1+d2+0.84x-(OFFSET+25\times n+\Delta+0.74y)\leqq 0.84 \tag{7.1}$$

また、可変ディレイがない場合でのシグナルとクロックの差を可能な限り最小にするための条件式は、

$$0\leqq TOF+d1+d2-(OFFSET+25\times n+\Delta)\leqq 25 \tag{7.2}$$

となり、これらの不等式から、n の値、及び Patch Panel ASIC の可変ディレイの設定値を決めることが出来る。式7.2から、n の値は次のようになる。

$$0 \leqq \frac{TOF + d1 + d2 - (OFFSET + \Delta)}{25} - n \leqq 1$$
$$n = \left[\frac{TOF + d1 + d2 - (OFFSET + \Delta)}{25} \right] \tag{7.3}$$

ただし、[] はガウス記号[1]である。ここで、TOF, d1, d2, OFFSET, Δ は既知の値であるので、n の値は一意に決まることになる。また、式7.1より、Patch Panel ASIC の可変ディレイを決めるための条件式は、次のようになる。

$$0 \leqq \frac{TOF + d1 + d2 + 0.84x - (OFFSET + \Delta + 25 \times n)}{0.84} - y \leqq 1$$
$$y = \left[\frac{TOF + d1 + d2 + 0.84x - (OFFSET + \Delta + 25 \times n)}{0.84} \right] \tag{7.4}$$

n の値は、式7.3より一意に決まるので、式7.4を満たす x,y の値で、Patch Patch ASIC の遅延回路の設定を行なえば、シグナルはバンチ化されることになる。今回の測定では、複雑さをさけるために x の値を 0 とし、Patch Panel 内で、シグナルにディレイは課さないことにした。表7.3.2に、この計算から求めた各 TOF における y の値 (Patch Panel ASIC の遅延回路の設定値) と、BCID 回路の入力直前に生じるシグナルとクロックの差 ΔT を示す。

	y の値	遅延回路の値 [ns]	ΔT[ns]
TOF1	8	8.14	0.12
TOF2	17	17.13	0.11
TOF3	0	0.	0.21

表 7.3.2: 各 TOF に置ける Patch Panel ASIC の遅延回路の設定値

また今回の測定では、TGC のタイムジッターが $0 \sim 35ns$ であると仮定して、TDC テスターの遅延調整を行なったので、Patch Panel ASIC のゲート幅を $35ns$ に設定して、測定を行なった。

7.3.1.2 測定結果

本番の ATLAS 実験では、タイミング調整の確認には TGC トリガーエレクトロニクスの読み出し系から得られる情報を利用するが、まだ SSW 以降の読み出し系の各モジュールが開発中であることと、今回は Patch Panel ASIC のタイミング調整に重点を置いて測定したので、Patch Panel ASIC の出力を、直接オシロスコープで測定することで動作を確認した。バンチ ID が N の信号を入力し、タイミング調整を行なった結果を各 TOF ごとに図7.3.4~7.3.6に示す。この図の横軸は、TDC テスターの遅延設定の値、すなわち TGC のタイムジッターを表し、縦軸は Patch Panel によってバンチ識別されたバンチ ID を示す。この図から、タイミング調整の結果、TOF3 を除いて、タイムジッターである $0 \sim 35ns$ の範囲で、期待通りのバンチ ID が出力されており、またゲートによるフェイクバンチ ID($N \pm 1$) も正常に見られた。TOF3 で 2.4ns 程、タイミング調整に失敗した原因は、DLL 回路によるものだと思われる。今回用いた Patch Panel ASIC は、選択するディレイセルの段数によって、ディレイセルのレゾリューションが変化し、段数が小さくなればなる程、ディレイセルの精度は落ちてしまう。これは、DLL 回路の不安定性からくるものである。TOF3 の測定を行なった際、表7.3.2に示すように、遅延回路の設定は、0 段のディレイセルを選択しており、そのため、タイミング調整がうまくいかなかったように考えられる。PLL 回路では、図5.1.21で示すように、ディレイセルの段数が伝播遅延と比例関係が成り立っているので、このよ

[1] [x] は $y \leq x < y+1$ を満たす整数 y である。

うな段数によるディレイセルの不安定性は見られない。従って、今回設計した Patch Panel ASIC を用いれば、タイミング調整は、正確に行なわれると思われる。これについては、今回設計した Patch Panel を搭載した新しい PS Board が完成次第、検証を試みる必要がある。

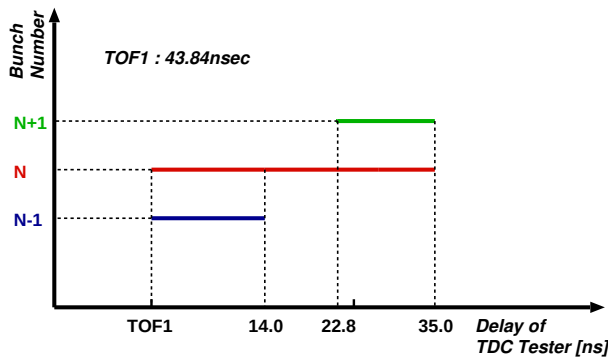


図 7.3.4: タイミング調整の結果 (TOF1)

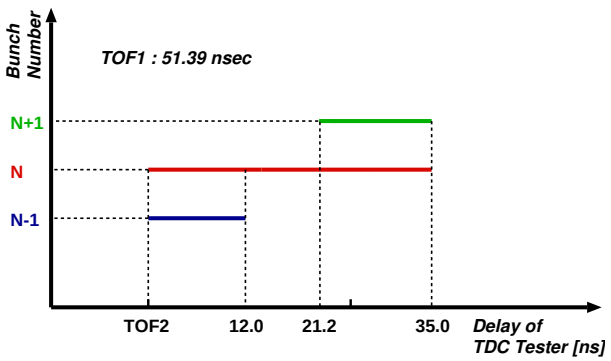


図 7.3.5: タイミング調整の結果 (TOF2)

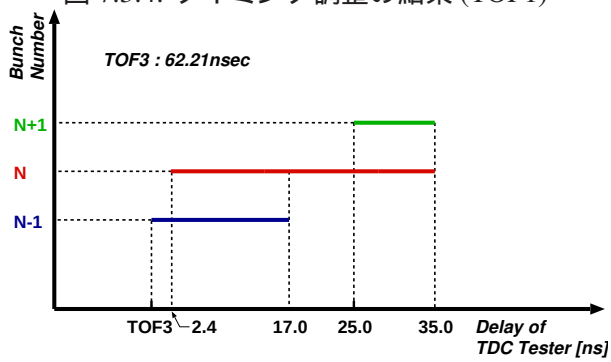


図 7.3.6: タイミング調整の結果 (TOF3)

次に、TOF1 の位置に設置された TGC からの信号のタイムジッターが、図7.3.7のような場合に、タイミング調整を行ない、BCID のバンチ ID 毎のカウント数をプロットしたものを、図7.3.8に示す。この図は、あるバンチ N の信号が、バンチ ID が N だけでなく、$N \pm 1$ としても認識されていることを示している。これは、タイムジッターがバンチ間隔よりも長い場合を許容する以上、不可避な結果である。従って、ビームを使ってタイミング調整を行なう際には、バンチの隙間にも若干の ” 洩れ出し ” が必然的に存在することを考慮に入れて調整の度合いを評価する必要がある。

7.3.2 テスト・パルスを用いたタイミング調整

ここでは、Patch Panel ASIC に搭載されているテストパルス回路を用いたタイミング調整について述べる。Patch Panel は、TTC_{RX} から、テストパルストリガー信号を受けると、パルス幅 $3\mu s$ の電流ドライブの差動型信号を ASD Board に向けて送る。この信号を受信した ASD Board は、即座に Patch Panel ASIC に向けて信号を返し、TGC からヒット信号を受けた時のように振舞う。これについて、差動信号の片側で見た時のタイミング図を図7.3.9に示す。

テストパルス回路だけでは、TGC の配置 (TOF) やミューオンの入射角度 (タイムジッター) を考慮したタイミング調整は出来ない。しかし、テストパルス回路には、TPG FINE(1ns 以下の精度で、最大 25ns まで調節可能な遅延回路) と TPG COARSE(1 クロック単位で、最大 8 クロックまで調節可能な遅延回路) の 2 つの遅延回路が搭載されており、これを使って、TOF やタイムジッターに相当する遅延要素を作り

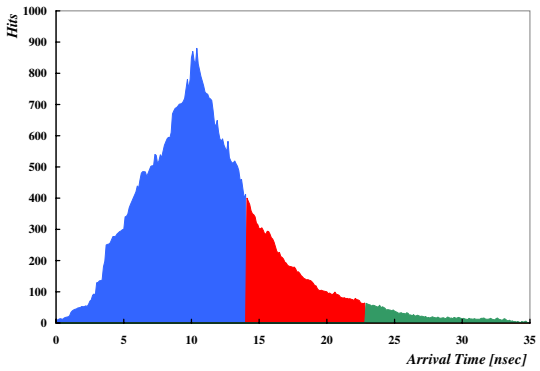


図 7.3.7: TOF1 の位置に設置された TGC のタイムジッター

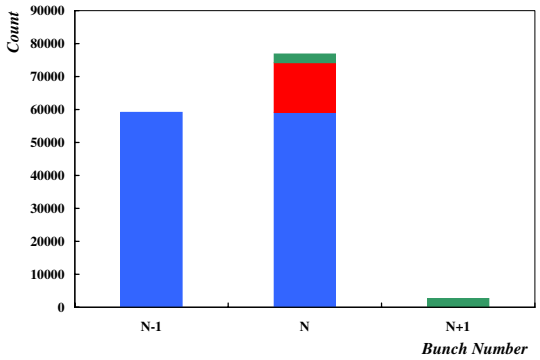


図 7.3.8: BCID 回路からの出力結果

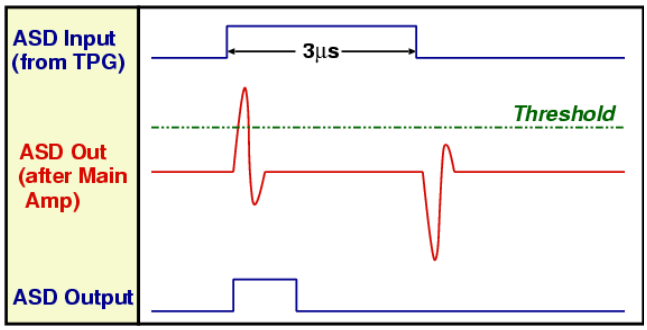


図 7.3.9: Patch Panel から、テストパルスを受けた時に ASD が行なう処理

出すことが出来る。つまり、7.3.1節で行なったタイミング調整のテストと全く同様な試験を、TGC エレクトロニクスシステムだけで、実現することが出来る。

7.3.2.1 セットアップ

図7.3.10に今回行なったテストパルス回路を用いたタイミング調整のセットアップ図及び、タイミングチャートを図7.3.11に示す。今回設計した Patch Patch ASIC では、テストパルストリガーのパルス幅がどのような値であっても、ASD に向かって出力する信号のパルス幅は、$3\mu s$ [1]になるように、チップ内部で処理を行なっているが、測定に用いた Patch Panel では、内部でそのような処理はせず、入力信号のパルス幅でそのまま出力するだけである。そこで、今回の測定で用いるテストパルストリガーのパルス幅を $3\mu s$ に設定した。

表7.3.3に、テストパルス回路を用いたタイミング調整で考慮しなければならない遅延要素を示す。ここで、DT1 と DC1 については、シグナルとクロックが BCID 回路まで到達する時間の差を取ると打ち消しあって消える値なので測定しなかった。

TOF については、配線遅延、ASD Board の処理時間を考慮して、図7.3.3に示す 3 パターンになるべく近い値を、TPG COARSE、TPG FINE の 2 つの遅延回路を用いて設定した。ここで、本来 ASD Board の処理時間は、TOF の一部として、考えるべき時間ではないが、7.3.1節の結果と今回の結果との比較を行なうために、含めることにした。

また、タイムジッターについても、TPG FINE と TPG COARSE を用いて、$0 \sim 35.0ns$ の範囲に設定した。

表7.3.3を用いると、TTC_{RX} から BCID 回路に入力する直前までの到着時間は、シグナルとクロックで、

[1]ASD のアンプの特性を考えると、ASD に入力するテストパルスは、ある程度のパルス幅が必要である。そこで、今回設計した Patch Panel では、入力信号に依らず、出力する信号のパルス幅は $3\mu s$ に固定するようにした。

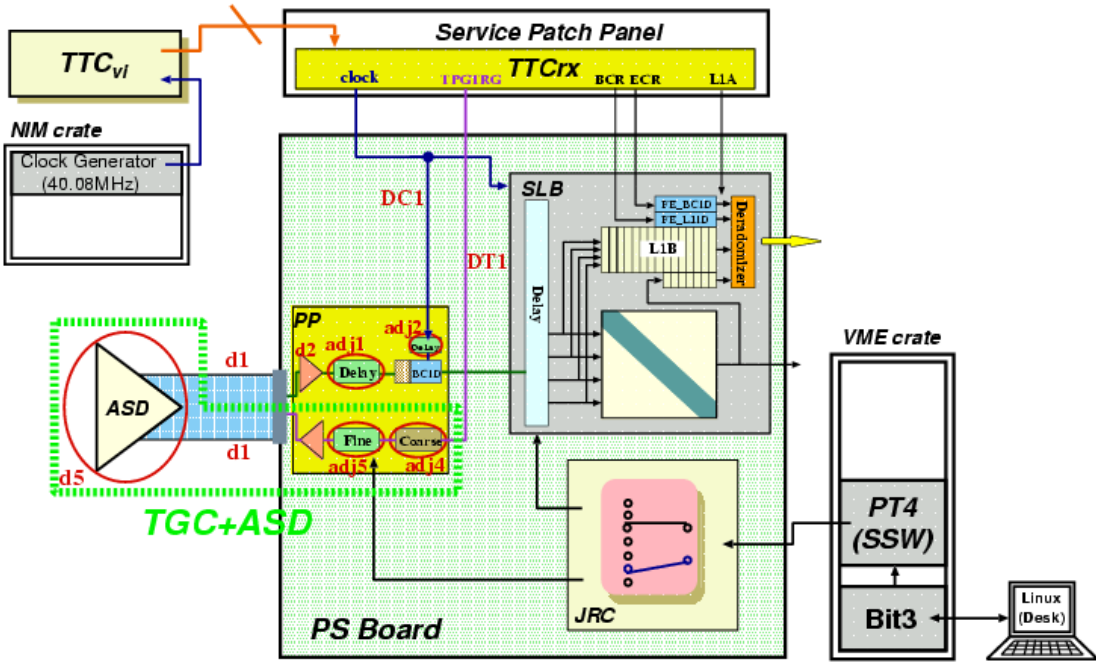


図 7.3.10: テスト・パルスを用いた場合のブロック図

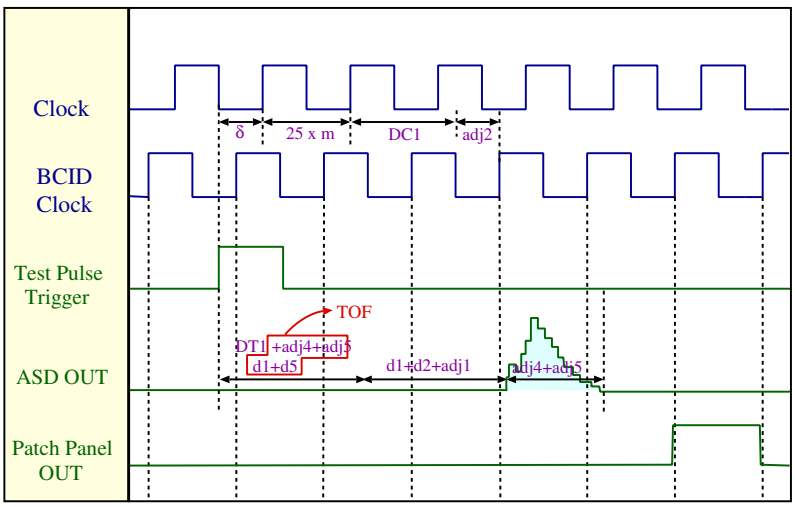


図 7.3.11: テスト・パルスを用いた場合のタイミングチャート

遅延要素	遅延時間 [ns]	意味
adj4	$25.0 \times k$	TPG COARSE のディレイの設定値 (1 クロック単位で最大:200.0nsec)
adj5	$0.84z$	TPG FINE のディレイの設定値 (32 段階で合計:26.88nsec)
DT1		TTC_{RX} から PP ASIC までの配線等によるテストパルストリガーの遅延時間。DC1 と同じ値。
$25 \times m+\delta$	δ:21.2	テストパルストリガーが入力された後、テストパルスが BCID 回路に入力されるまでの時間。δ は、TTC_{RX} 出力時のテストパルストリガーとクロックの立上りのずれを測定したもの $(0 < \delta < 25)$。
TOF		ビーム衝突から粒子が TGC に到着するまでに要する時間
d5	20.0	ASD Board の処理時間 (d5))
d2	6.7	LVDS Receiver の処理時間
adj1	$0.84x$	PP ASIC の可変ディレイの設定値 (32 段階で合計:26.88nsec)
DC1		TTC_{RX} から PP ASIC までの配線等によるクロックの遅延時間。DT1 と同じ値。
adj2	$0.84y$	BCID Clock の可変ディレイの設定値 (32 段階で合計:26.88nsec)

表 7.3.3: テスト・パルスを用いたタイミング調整に必要な遅延要素

それぞれ次のようになる。

$$\text{シグナル}: DT1 + TOF(= adj4 + adj5 + d1 + d5) + d1 + d2 + adj1(= 0.84x)\ [nsec]$$
$$\text{クロック}: DC1 + \delta + 25 \times m + adj2(= 0.84y)\ [nsec]$$
$$(x, y, m : \text{整数}, 1 \leqq x, y \leqq 32)$$

シグナルとクロックの差を可能な限り最小にする為に、次の条件を要求する。

$$0 \leqq TOF + +d1 + d2 + 0.84x - (25 \times m + \delta + 0.84y) \leqq 0.84 \tag{7.5}$$

ここで、DT1 と DC1 は同じ値なので打ち消した。後は、7.3.1節と同様な方法で計算すると、m、x、y の値は次式より決められる。

$$m = \left[\frac{TOF + d1 + d2 - \delta}{25} \right] \tag{7.6}$$

$$y = \left[\frac{TOF + d1 + d2 + 0.84x - (OFFSET + \delta + 25 \times m)}{0.84} \right] \tag{7.7}$$

今回の測定でも複雑さをさけるため、$x = 0$ として、Patch Panel ASIC のシグナル側の遅延回路は、使用しなかった。7.7式から求めた Patch Panel ASIC の遅延回路の設定値と、BCID 回路の入力直前にシグナルとクロックの差 ΔT を表7.3.4に示す。

	y の値	遅延回路の値 [ns]	ΔT[ns]
TOF1	8	8.14	0.22
TOF2	17	17.13	0.21
TOF3	0	0.	0.31

表 7.3.4: テストパルス回路を用いたタイミング調整での各 TOF に置ける Patch Panel ASIC の遅延回路の設定値

また、今回の測定もタイムジッターの範囲を $0 \sim 35ns$ になるように、TPG FINE と TPG COARSE の調整を行なったので、Patch Panel ASIC のゲート幅を $35ns$ に設定して、測定を行なった。

7.3.2.2 測定結果

テストパルスを用いたタイミング調整の結果を図7.3.12∼7.3.14に示す。ここでの測定も、7.3.1節と同様に、Patch Panel からの出力を直接オシロで測定した。ここで得られた結果は、7.3.1節で得られた結果と理想的には同じになるはずであり、実際、両者の結果を比べると、ほぼ同様な結果が得られ、テストパルス回路を用いたタイミング調整は、ほぼ正確に行なわれたと思われる。ここで見られる両者の結果の微妙な違いは、TGC の TOF やタイムジッターを設定するのに、TDC テスターと比べ、精度が劣る TPG FINE と TPG COARSE を用いてることによるいものである。これは、今回設計した Patch Panel ASIC を用いれば、改善されると思われるが、新しい PS Board が届き次第、検証を試みる必要がある。

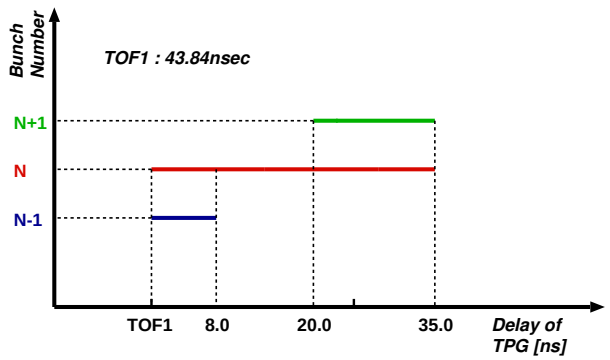


図 7.3.12: テストパルス回路を用いたタイミング調整の結果 (TOF1)

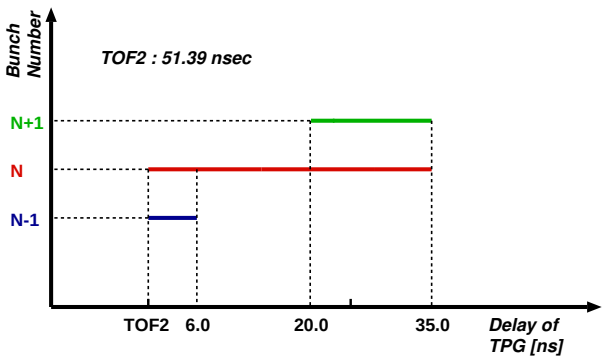


図 7.3.13: テストパルス回路を用いたタイミング調整の結果 (TOF2)

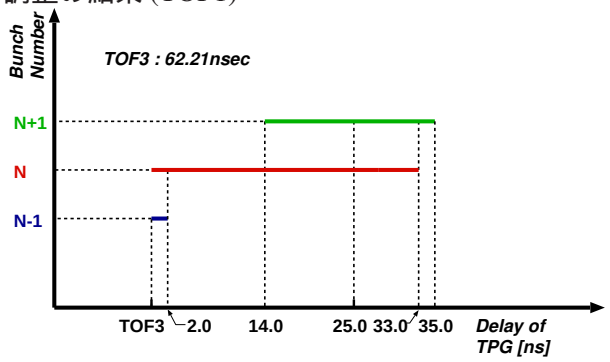


図 7.3.14: テストパルス回路を用いたタイミング調整の結果 (TOF3)

7.4 統合接続テストに関するまとめ

今回 Patch Panel ASIC が、TGC エレクトロニクスの全体のシステムの中で、正しくタイミング調整が出来、実際にバンチ識別が可能かどうかを 2 通りの方法で検証した。両者の結果を見ると、タイミング調整は、ほぼ正確に行なわれており、ビームを用いる前の大雑把なタイミング調整を行なうには、十分な性能を持っていることがわかった。

今回のタイミング調整で不十分な点は、今回設計した Patch Panel ASIC を搭載した PSBoard を用いれば、改善されると思われるが、現在設計中の新しい PS Board が完成次第、測定し直す必要がある。

また、今後 SSW 以降の読み出し系の開発が進み次第、今回行なった測定結果を読み出し系を使って、確認出来るようにしなければならない。この際、レベル 1 バッファに入れる L1A や BCR といった信号を入れるタイミングが重要になり、研究開発が必要な部分である。

さらに今回、システムとしてタイミング調整を行なうのが初めてということもあり、シグナルをエミュレートしたタイミング調整を行なう際、複雑さを避けるため、ビーム構造の隙間を一切考慮しないで行なった。今後は本番の ATLAS 実験に向けて、ビーム構造も考慮に入れたより実践的なタイミング調整の試験が必要である。しかし、ビームを使わずにこのような疑似信号を作り出すのは困難なので、今後予定される TGC に TGC エレクトロニクスを組み込んで行なうビームテストなどの機会を利用するのが最良な方法であると思われる。

第8章　全体のまとめ

ATLAS 実験では 40.08MHz という高頻度でビーム衝突が起こり、膨大な数のイベントが生成され、この中から必要なデータだけを効率良く迅速に処理出来るトリガーシステムが必要である。TGC 検出器は初段階でのトリガー処理を担い、総チャンネル数は約 32 万チャンネルになる。今回、TGC ミューオントリガーシステムと、それを構成する ASIC のうち、初段でのタイミング調整を担う Patch Panel ASIC、コントロールを担う JRC ASIC、初段のトリガー判定を行なう Slave Board ASIC の計 3 種類の ASIC の開発と動作検証を行なった。

Patch Panel ASIC は、信号処理の初段にあたり、TGC からの各チャンネル間のタイミングのずれを調整し、さらに TGC のタイムジッターの影響で、イベントごとに異なるタイミングで到着する信号に対し、バンチ識別を行なう。今回、Patch Panel ASIC を 0.35μ プロセスで設計した。動作検証は将来の量産を見据えて、基本的な動作の確認だけでなく、IC の動作条件の変化や製造過程から生じる IC の個体差も考慮し、様々な条件で各機能ごとに行なった。検証の結果、すべての検証項目において正常な動作が得られ、今後は量産体制に移行する予定である。

JRC ASIC は、PS Board 上に設置され、Patch Panel ASIC と Slave Board ASIC にアクセスするためのインターフェイスとなり、PS Board 上の各 ASIC は、JRC を経由して JTAG 設定が行なわれることになる。今回、照射試験用にリングオシレーターとシフトレジスタを搭載し、0.35μ プロセスで設計した。動作検証の結果、各ロジックは期待通りの動作を示し、今後は量産体制に移る予定である。

Slave Board ASIC は、コインシデンス処理、$Low-P_T$ トリガー判定、リードアウトを担い、入力部、制御部、トリガー部、リードアウト部の特徴的なブロックに分かれることが出来る。動作検証の結果、トリガー部、リードアウト部は正常に動作していることを確認出来たが、入力部に修正すべき点がみつかった。さらに機能を増加したい所も出て来たので、現在設計を進めており、2003 年 2 月に設計したマスク図を VDEC を通じて、半導体メーカーであるローム社に提出する予定である。

今回設計を行ない、単体の動作検証で十分な性能評価が得られた Patch Panel ASIC と JRC ASIC であるが、実際の ATLAS 実験で実用可能であると実証するには、以下の 2 つの動作検証が必要になる。

1 つ目は放射線耐性の評価である。今回設計した ASIC は、実験ホール内に設置され、γ 線や中性子を大量に浴びる放射線環境下の中、少なくとも 10 年間は安定した動作が求められる。特に Patch Panel には、レイアウトレベルから設計した多数のアナログ回路を搭載しているので、放射線による半導体素子の影響が懸念される。そこで、γ 線及び陽子ビームを用いて Patch Panel ASIC の放射線耐性の評価を行なった。その結果、TID や SEE といった半導体素子が放射線によって受ける影響は小さく、ATLAS 実験で使用するのに十分な放射線耐性を満たしていることが実証された。

2 つ目はシステム全体としての動作検証である。特にタイミング調整とバンチ識別を担う Patch Panel ASIC は、単体の動作検証で十分な性能が得られても、システム全体の中で機能させた時に正しくタイミング調整出来る保証はない。そこで今回、TDC テスターでシグナルをエミュレートした方法とテストパルスを用いた方法の 2 通りの方法で、タイミング調整とバンチ識別の試験を行なった。ボード設計の関係上、ディレイセルのレゾリューションが今回設計したものより劣る DLL 回路を搭載した試作の ASIC を用いたため、一部タイミング調整がうまくいかなかった所はあったものの、ほぼ思い通りのタイミング調整とバンチ識別が行なえることが分かった。また、今回タイミング調整がうまくいかなかった所は、今回設計した Patch Panel ASIC に変えることで、十分改善出来る見込みがある。

以上の結果から、今回設計した Patch Panel ASIC は、本番の ATLAS 実験で使用するのに十分なスペックを兼ね備えていることが実証出来た。

今後の課題としては、まずは Slave Board ASIC の開発である。今後、TGC エレクトロニクスのシステ

ムとしての本格的な動作検証を行なうためにも個々のパートを、可能な限り早急に仕上げていかなければならない。従って、今度マスク図を提出する際も綿密な動作検証を行ない、完全にバグのない状態に仕上げる必要がある。Slave Board に関しては現在設計を進めているところである。

次に今回のタイミング調整の試験は、初期段階ということと SSW 以降の読み出し系のモジュールが設計段階だったこともあり、タイミング調整の確認に本来使用すべき読み出し系を使わず、さらにシグナルをエミュレートした際もビーム構造などを一切考慮に入れないで行なった。今後、本番の ATLAS 実験に向け、より実践的なタイミング調整の試験を行なう必要があり、研究開発を進めていかなければならない。

付 録A　放射線が半導体素子に与える影響

放射線が半導体素子に与える影響には、劣化量が積算線量に依存する効果と高エネルギー粒子の単発的な事象によって引き起こされるシングルイベント効果 (SEE) の 2 種類がある。ここでは、それぞれの現象について説明する [11]。

A.1　積算線量による劣化

半導体素子に放射線が定常的に入射すると、正電荷捕獲[1]、バルク損傷[2]、界面準位生成[3]といった現象が起こり、半導体素子の特性を大きく変えてしまう。積算線量による効果は、電離的エネルギー損失によるもの (TID) と非電離的エネルギー損失によるもの (NIEL) とがある。以下にそれぞれについて簡単に説明する。

- TID(Total Ionising Dose)

  入射粒子の積算的な電離エネルギー損失を評価した量を TID と呼び、一般的に放射線の効果を吸収線量 (absorbed dose) で測定する。吸収線量は単位質量当たりに吸収される放射線のエネルギー量で定義し、単位は Gy などが使われる。TID は、主に電子線や陽子線、γ 線などの放射線によって引き起こされる。図A.1.1に、γ 線が半導体に及ぼす影響を示す。γ 線は、半導体プロセス中のゲート部分に用いられる酸化膜に影響を及ぼす。入射したγ 線によって、酸化膜中に電子と正孔のペアが生成し、このうち正孔は移動度が遅いた取り残され、これが酸化膜中の欠陥に捕獲される (正電荷捕獲) とこれ以上移動しなくなる。その結果、ゲート電圧の閾値の変化を引き起こし、ゲート電圧 (V_{gs}) に電圧を供給してなくてもゲートに + の電圧を印加した状態になってしまう。このため、nMOS トランジスタの場合は、$V_{gs} = 0V$ でもゲート電流が流れてしまい、逆に pMOS トランジスタでは、V_{gs} に規定の電圧を印加してもドレイン電流が流れなくなってしまう。しかしこの現象は、時間の経過に伴って電離状態が消滅する性質 (アニール効果) がある。

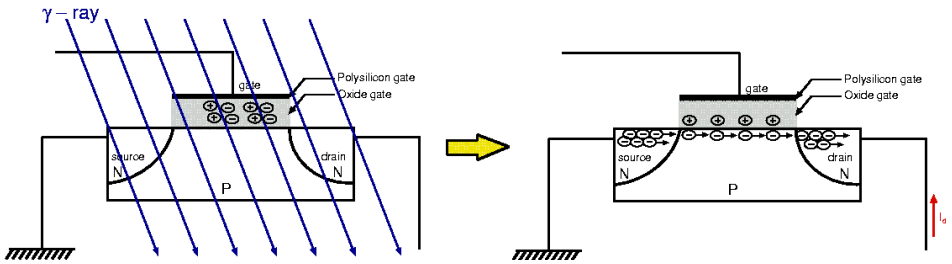


図 A.1.1: γ 線による nMOS トランジスタの影響

また、IC の製造工程上、シリコン (Si) の上に酸化膜 (SiO_2) を形成する時に、ごく微量ではあるが水素原子が混じってしまう。この水素原子が $Si - SiO_2$ 界面まで移動し、シリコン原子と結合して、$Si - H$ という分子が出来る。この分子がシリコン半導体中の欠陥となり、今までにない準位を作り

[1]放射線が酸化膜中の電子を弾き出した後に酸化膜中の電子を弾じき出した後に酸化膜中に正孔が残ってしまい、あたかも正孔が捕獲されるように見れる現象

[2]放射線の通過によって、シリコンの結晶構造が部分的に壊れてしまう現象

[3]シリコン基板と酸化膜 (SiO_2) などという異なる物質が接触している面 ($Si - SiO_2$ 界面) に本来ある電気準位とは違う準位が生成されてしまう現象

出す (界面準位生成)。界面準位はキャリアの移動度を低下させたり、電圧を印加した結果として誘起されたキャリアを取り込んでしまうため、トランジスタが通過するのを送らせたり、導通後の電導度を低下させ、回路全体の動作速度の低下を引き起こす。水素原子の移動度が遅いため、界面準位は生成まで生成までに相当時間がかかり、長期間に渡って影響を及ぼすことになる。最後に TID の影響によるトランジスタの電気的特性の変化を図A.1.2に示す。

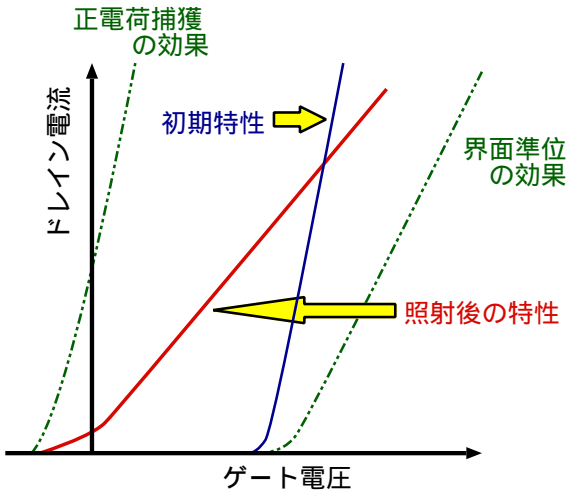


図 A.1.2: 照射による MOS トランジスタの基本特性の変化

- NIEL(Non Ionising Energy Loss)

  NIEL は、入射粒子の非電離エネルギー損失による積算的評価のことで、一般的に等価フルエンスを用いて評価する。等価フルエンスとは、入射粒子のエネルギーや種類に依らず、それらを 1 つの標準的な粒子とエネルギーに統一するための量で、半導体素子の場合、バルク損傷が非電離エネルギーの格子への転移により生成するという仮定に基づき、あらゆる粒子のフルエンスは等価 1MeV の中性子に帰着される。

A.2　シングルイベント効果 (SEE)

SEE は、吸収線量に比例して損傷の程度も大きくなる積算的な効果と異なり、単発の高エネルギーのハドロン粒子によって、引き起こされる現象である。SEE には、半導体デバイスが一時的に誤動作するもの (SEU) と半導体デバイスが永久的に故障してしまうもの (SEL/SEB) の 2 種類の現象がある。以下にそれらの現象について簡単に説明する。

- SEU(Single Event Upset)

  SEU は、集積回路に流れている電荷量が小さいために、高エネルギーのハドロン粒子の通過によって生じる電荷量が、集積回路に流れている電荷量と同程度になり、メモリ端子などで記憶している情報が反転するなどの誤動作を起こす現象である。図A.2で示すように、p-n 結合部の空乏層領域に高エネルギー粒子が入射すると、空乏層内に共有結合されている電子が弾き飛ばされ、電子と正孔のペアが生成し、逆バイアスされている電場に向かって電子は + 方向へ、正孔はー方向へ移動する。この電子と正孔の流れが電流になり、カットオフ状態のトランジスタが ON になってしまう。この現象がメモリセル内で起こると、フリップフロップの値が反転するなどの現象が起きる。この記憶情報を反転させるのに必要な最小電荷を臨海電荷 (Q_C) と呼び、この値は半導体部品の構造や集積度に依存する。また回路に吸収される電荷は、荷電粒子の種類やエネルギーに依存する。しかし、図A.2に示すように、単位長さ当たりに失うエネルギー LET(Liner Energy Transfer) が、大きくなると SEU の反応段面積は飽和してしまうので、ある程度の高エネルギーの粒子であれば、

SEU の発生確率を評価するのに荷電粒子のエネルギーの依存性は無視して考えて良い。また図A.2 において、グラフの曲線と横軸が交わる点は、スレッショルド LEC と呼ばれ、荷電粒子が電離で失ったエネルギーが Q_C と等しくなる点である。

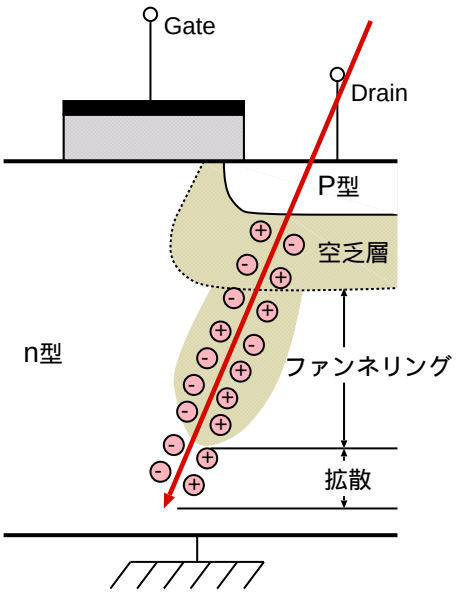


図 A.2.1: SEU のメカニズム

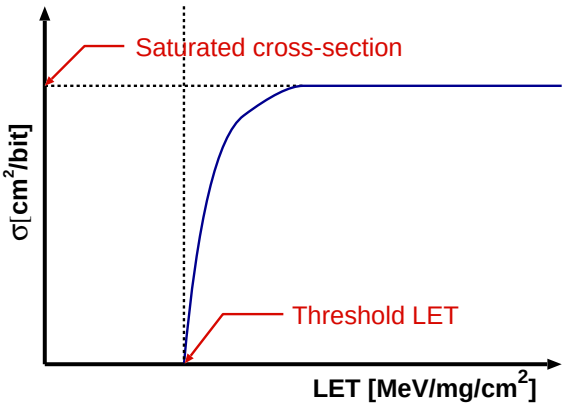


図 A.2.2: SEU 発生確率の LET 依存性

- SEL(Single Event Latchup)/SEB(Single Event Burnout)

  半導体素子が永久に壊れてしまう現象には、SEL、SEB などがある。SEL の発生メカニズムは基本的には、SEU と同じであるが、違う点としては、メモリセル以外の部分でも起こることである。現象としては、図A.2.3で示すように、ある一定以上の電荷が発生した場合、半導体素子の製造工程等で生成される pnpn 型のサイリスタ構造の下側にある npn 結合の寄生トランジスタのスイッチが勝手に動作し、ON 状態になっていしまう。これによって、寄生サイリスタには大電流が流れ続けることになり、最悪の場合はジュール熱により半導体デバイスが永久的に故障してしまう恐れがある。また、SEB は主にパワー MOSFET で起こる現象で、電離によって形成される電子ー正孔のうち、移動の遅い正孔が原因で引き起こされる現象である。ATLAS 実験では、SEL/SEB が発生しないようなシステムを設計していかなければならない。

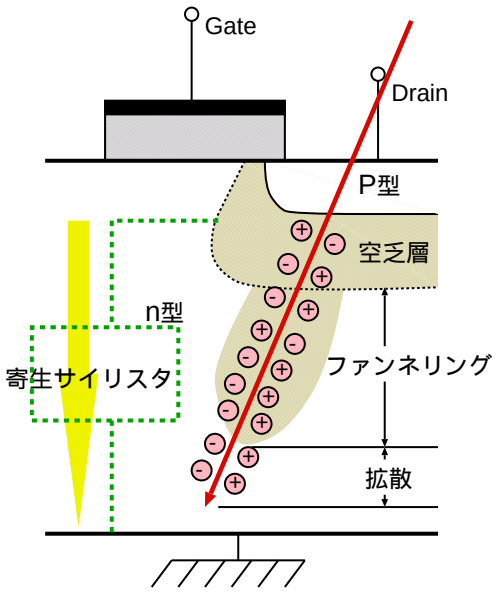


図 A.2.3: SEL のメカニズム

参考文献

[1] *Radiation Levels Simulated for Various ATLAS Locations ATLAS project Document*. http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm.

[2] *IEEE Standard Test Access Port and Boundary-Scan Architecture*. IEEE Std 1149.1-1990, 1993.

[3] *ATLAS Trigger Performance Status Report*. CERN/LHCC 98-15, 25 August 1998.

[4] *ATLAS Detector and Physics Performance Technical Design Report Volume 1*. CERN/LHCC 99-14, 25 May 1999.

[5] *ATLAS Detector and Physics Performance Technical Design Report Volume 2*. CERN/LHCC 99-15, 25 May 1999.

[6] *ATLAS First-Level Trigger Technical Design Report*. CERN/LHCC/98-14, 30 June 1998.

[7] *ATLAS First-Level Trigger Technical Design Report*. CERN/LHCC 99-14, 30 June 1998.

[8] *LVL1 Muon Trigger(User) Requirements Document(DRAFT version1.4)*. 9 March 1998.

[9] Radiation Hardness Assurance(RHA). *http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm*.

[10] Physics Laboratory Physical Reference Data. *http://physics.nist.gov/PhysRefData/*.

[11] Martin Dentan. *RADIATION EFFECTS ON ELECTRONIC COMPONENTS AND CIRCUIT*. http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm, 2000.

[12] Martion Dentan. *ATLAS Policy on Radiation Tolerant Electronics ATLAS project Document*. http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm, 2000.

[13] K.Jakobs et. al. *Search for the Standard Model Higgs Boson in ATLAS using Vector Boson Fusion(in preparation for ATLAS NOTE PYTHICS)*. 2003.

[14] GLENN F.KNOLL. 放射線計測ハンドブック 第 3 版 第 12 章「ゲルマニウム γ 線検出器. 日刊工業新聞社, 2001.

[15] H.Kano. *High-pT Chip (HITACHI-GA Version 2.0)*. http://atlas.kek.jp/tgcelec/index.html, Aug 28, 2002.

[16] P.Moreira J.Christiansen, A. Marchiro and T. Toil. *TTC_{rx} Reference Manual*. http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, June 2002.

[17] O.Sasaki K.Hasuko, S.Matsuura. *STRATEGY FOR TIMING ADJUSTMENT OF ATLAS END-CAP/FORWARD MUON TRIGGER SYSTEM*. http://www.icepp.s.u-tokyo.ac.jp/ hasuko/.

[18] F.Faccio M.Huhtinen. *Computational method to estimating Single Event Upset rates in an accelerator environment*. http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/WWW/RAD/RadWebPage/Tutorial/seu.pdf.

[19] Mitsuhiro Yoshida Osamu Sasaki. *ASD IC for the Thin Gap Chambers in the LHC Atlas Experiment*. IEEE TNS Vol.46, 1999.

[20] O.Sasaki. *Patch-Panel ASIC*. http://atlas.kek.jp/tgcelec/index.html, Dec 2, 2002.

[21] RD12 Project. *TTC-VMEbus INTERFACE* $TTC_{vi} - MkII$. http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, May 2000.

[22] R.Ichimiya. *Sector Logic Implementation for the ATLAS Endcap Level-1 Muon Trigger*. http://atlas.kek.jp/tgcelec/index.html, 2002.

[23] Nicholas Tsoulfanidis. 放射線計測の理論と演習 下巻 応用編第 12 章「ガンマ線・X 線スペクトル測定. 現代工学社, 1986.

[24] T.Takemoto. *JRC(JTAG Route Controller) Data Sheet ATLAS TGC Electronics Group*. http://atlas.kek.jp/tgcelec/index.html, Aug 29, 2002.

[25] T.Takemoto, S.Asai, J.Kanzaki, and R.Tanaka. *Study of* $H \to \tau\tau$ *(lepton and hadron mode) via Vector Boson Fusion in ATLAS(in preparation for ATLAS NOTE PYTHICS)*. 2003.

[26] 香取勇一. 東京大学修士学位論文「アトラス実験ミューオントリガーシステム用 IC の開発」. 2001 年 1 月.

[27] 坂巻佳壽美. JTAG テストの基礎と応用. CQ 出版社, 1998.

[28] 松浦聡. 東京大学 修士学位論文「ATLAS 実験前後方ミューオントリガーシステムの開発」. 1999 年 1 月.

[29] 戸塚真義. 信州大学修士学位論文「ATLAS 実験ミューオン検出器用トリガーシステム現実的シミュレーターの開発研究」. 2002 年 1 月.

[30] 西田昌平. 京都大学 修士学位論文「ATLAS TGC エレクトロニクス読み出し系の開発」. 2000 年 2 月.

[31] 中村佳央. 東京大学修士学位論文「ATLAS 実験ミューオントリガー用リモートコントロールシステムの開発」. 2002 年 1 月.

[32] 田中賢一. 東京都立大学修士学位論文「ATLAS 実験ミューオントリガーシステム用 LSI の開発」. 2002 年 1 月.

[33] 東京大学原子力総合センター. *http://www.rcnst.u-tokyo.ac.jp/indexj.html*.

[34] 東北大サイクロトロン RI センター, CYRIC. *http://www.cyric.tohoku.ac.jp/index-j.html*.

[35] 小沢利行. PLL 周波数シンセサイザ・回路設計法. 総合電子出版社, 1994.

謝辞

二年間の研究生活において、本研究を行なう機会と適切な指導並びに助言を頂いた指導教官小林富雄教授[a]に深く感謝致します。また本研究において、終始懇切丁寧な御指導と多くの助言を頂きました佐々木修氏[b]に深く感謝致します。本研究で技術面を中心に多大なる御支援と御指導を頂いた池野正弘氏[b]と狩野博之氏[a1]にも深く感謝致します。また TGC エレクトロニクスグループにおいて、様々な御指摘と助言を頂いた坂本宏氏[a]、福永力氏[c]、蔵重久弥氏[d]、新井康夫氏[b]、前野忠嗣氏[d]、蓮子和巳氏[a2]、長谷川庸司氏[e]にも深く感謝致します。また様々な面で貴重な意見と御指導を頂いた近藤敬比古氏[b]、岩崎博行氏[b]、田中秀治氏[b]、石井恒次氏[d]、石野雅也氏[a]、竹下徹氏[e]、川本辰男氏[a]、神前純一氏[b]、浅井祥仁氏[a]、上田郁夫氏[a]、田中礼三郎氏[h]他 ATLAS 日本グループの方々に深く感謝致します。TGC エレクトロニクスグループで共に研究を行ない議論した一宮亮氏[d]、辻伸介氏[f]、小松知氏[c]、里山曲彦氏[e]、片岡洋介氏[a]、澁谷和弘氏[a]、作間考雄氏[g]、高田徳之氏[e]にも深く感謝致します。研究生活を通じて惜しみない協力を頂いた田中純一氏[a]、吉田光弘氏[a]、戸谷大介氏[a]、南条創氏[a]、坂東隆哲氏[a]、松本悠氏[a]に感謝致します。また放射線テストでは、池田秀松氏を始めとする東京大学原子力研究総合センターの方々や東北大学サイクロトロン・ラジオアイソトープセンターの方々に大変お世話になり、この場を借りて感謝したいと思います。また ASIC を開発する上でお世話になった石原亨氏を始めとする VDEC(東京大学大規模集積システム設計教育センター) の方々、ローム株式会社の方々、凸版印刷株式会社の方々にも感謝致します。

上記の方々の協力がなければ、私の研究生活は成り立たなかったと思います。最後に全ての方々に、心から感謝を申し上げたいと思います。

所属 :東京大学素粒子物理国際研究センター $(ICEPP)^a$、高エネルギー加速器研究機構 $(KEK)^b$
東京都立大学 理学研究科[c]、神戸大学 自然科学研究科[d]、信州大学 理学系研究科[e]
京都大学 理学研究科[f]、東京農工大学 工学系研究科[g]、岡山大学自然科学研究科[h]

[1]現在、高エネルギー加速器研究機構 (KEK) 研究員。
[2]現在、理化学研究所研究員。