修士学位論文
ATLAS 実験ミューオントリガー用検出器に用いる
読み出しエレクトロニクスの開発及び統合テスト

東京大学理学系研究科物理学専攻

26061

澁谷和弘

2004 年 1 月

概 要

現在欧州原子核研究機構(CERN) にて、2007 年の実験開始にむけて、重心系エネルギー 14TeV の衝突エネルギーを持つ、大型陽子陽子衝突型加速器 (LHC) が建設中である。この LHC 計画の中の実験の一つに、ATLAS 実験がある。ATLAS 検出器はヒッグス粒子、超対称性粒子の発見などを目指す汎用検出器である。また ATLAS 実験では、バンチ衝突頻度が 40.08MHz と高く、多くのバックグラウンドが生じるためデータ量が膨大になる。この膨大なデータを高速かつ効率よく、重要なイベントを選び出すトリガーシステム及びデータ収集システムが必要である。ATLAS 実験のトリガーシステムは、3 段階に分れていて、イベントの選別により、段階的にデータ量を減らしていく。そして、エンドキャップミューオントリガー検出器 (Thin Gap Chamber(TGC)) は、第一段目のトリガーシステムの一部を担っている。この TGC の総チャンネル数は 32 万チャンネルにもなり、迅速に処理するために ASIC を使用する必要がある。

今回、TGC エレクトロニクスの中で、コインシデンス処理、Low-p_T 判定、読み出しの機能を担う Slave Board ASIC について、開発および動作検証を行った。さらに、実験を想定して、読み出し系エレクトロニクスを接続した統合テストを行い、正常に動作することが確認できた。また、ASIC の設定を行うインターフェースとなる JRC は使用個数が少ないため、ASIC からコストの低い Anti-Fuse FPGA に変更する予定である。この Anti-Fuse FPGA が、ATLAS 実験 10 年間稼動の放射線環境下で耐えられるか、放射線照射試験を行い評価した。

目 次

第 1 章　序論 **1**

第 2 章　LHC 計画と ATLAS 実験 **2**
2.1 LHC 計画 . . . 2
2.2 LHC で期待される物理 . . . 2
2.2.1 ヒッグス粒子 . . . 2
2.2.2 超対称性粒子 . . . 6
2.2.3 その他の物理 . . . 6
2.3 ATLAS 検出器 . . . 9
2.3.1 内部検出器 . . . 10
2.3.2 カロリメータ . . . 11
2.3.3 ミューオン検出器 . . . 11
2.3.4 マグネットシステム . . . 12

第 3 章　ATLAS 実験のトリガーとデータ収集システム **15**
3.1 全体のトリガーシステム . . . 15
3.2 DAQ システム . . . 16
3.3 検出器の制御 . . . 16
3.4 Level-1 Trigger システム . . . 16
3.4.1 ミューオントリガーシステム . . . 17
3.4.2 CTP . . . 17
3.4.3 TTC . . . 17

第 4 章　TGC ミューオントリガーシステム **20**
4.1 TGC の構造と特徴 . . . 20
4.2 TGC の配置 . . . 22
4.3 トリガーの処理方法 . . . 22
4.4 TGC エレクトロニクス . . . 25
4.5 放射線による影響 . . . 32

第 5 章　ASIC の開発 **36**
5.1 CMOS プロセス . . . 36
5.2 回路の表現 . . . 36
5.3 開発の流れ . . . 37

第 6 章　Slave Board ASIC の開発 **40**
6.1 Slave Board ASIC の機能 . . . 40
6.1.1 入力部 . . . 40
6.1.2 制御部 . . . 40
6.1.3 トリガー部 . . . 43

6.1.4 リードアウト部 49
6.2 Slave Board ASIC の動作検証 50
6.2.1 トリガー部の動作検証 50
6.2.2 入力部の動作検証 52
6.2.3 制御部の動作検証 53
6.2.4 リードアウト部の動作検証 53
6.3 Slave Board ASIC の設計 56

第 7 章 読み出しシステムの統合テスト **58**
7.1 テスト方法 58
7.2 シミュレーション 58
7.3 セットアップ 59
7.4 ソフトウェア 64
7.5 テスト結果 65
7.6 スライステストのまとめ 68

第 8 章 放射線照射試験 **70**
8.1 γ 線照射試験 72
8.1.1 実験時のセットアップ 72
8.1.2 測定結果と考察 75
8.2 陽子ビームテスト 75
8.2.1 実験時のセットアップ 78
8.2.2 測定結果と考察 79
8.3 放射線照射試験のまとめ 87

第 9 章 まとめ **88**

付 録 A 略語表 **89**

図 目 次

2.1 LHC . . . 3
2.2 ATLAS 検出器の図 . . . 3
2.3 CMS 検出器の図 . . . 3
2.4 ALICE 検出器の図 . . . 3
2.5 LHC B 検出器の図 . . . 3
2.6 ヒッグス粒子の生成過程のファインマンダイアグラム . . . 4
2.7 ヒッグス粒子の質量と生成断面積 . . . 5
2.8 ヒッグス粒子の質量と分岐比 . . . 6
2.9 ヒッグス粒子の発見ポテンシャル . . . 7
2.10 超対称性理論における結合定数の統一 . . . 7
2.11 トップクォークの質量と W の質量からのヒッグス粒子の質量の予言 . . . 8
2.12 ATLAS 検出器 . . . 9
2.13 内部検出器 . . . 10
2.14 内部検出器の断面図 . . . 10
2.15 カロリメータ . . . 11
2.16 ミューオンスペクトロメータ R-z 断面図 . . . 12
2.17 ソレノイドマグネットとトロイダルマグネット . . . 13
2.18 積分磁場強度 (横軸 η、積分磁場強度 . . . 13
2.19 エンドキャップ部の磁束の構造 (XY 平面:Z=10.5m) . . . 14

3.1 ATLAS 実験におけるトリガーシステムの概要図 . . . 15
3.2 Level-1 トリガ処理の流れ . . . 17
3.3 ミューオントリガーシステムのデータの流れ . . . 18
3.4 TTC システム概要図 . . . 19

4.1 TGC 構造とその配置 . . . 20
4.2 TGC 検出器の断面図 . . . 21
4.3 TGC のタイムジッターの角度依存性 . . . 22
4.4 TGC のレイアウト (R-Z 断面) . . . 23
4.5 12 分の 1 の構造 . . . 23
4.6 δR,$\delta\phi$ の定義 . . . 24
4.7 TGC トリガーの判定方法 . . . 24
4.8 TGC エレクトロニクスの流れ . . . 26
4.9 トリガーのデータの流れ . . . 26
4.10 リードアウトデータの流れ . . . 26
4.11 コントロールデータの流れ . . . 26
4.12 ASD ボード . . . 27
4.13 JRC の内部構造 . . . 28
4.14 PS Board の構成 . . . 29

4.15 PS-Pack . . . 29
4.16 ビッグウィールの図 . . . 30
4.17 TGC エレクトロニクスの配置 . . . 31
4.18 USA15 に置かれるモジュールと UXA15 に置かれるモジュール . . . 32
4.19 TID の Z-r 分布 . . . 34
4.20 多数決回路 . . . 35

5.1 CMOS の断面図 . . . 36
5.2 ASIC の開発行程 . . . 39

6.1 Slave Board ASIC のブロック図 . . . 41
6.2 Slave Board ASIC の入力部 . . . 41
6.3 ワイヤーダブレットのコインシデンスマトリックス . . . 43
6.4 ワイヤーダブレットのコインシデンスマトリックスの詳細構造 . . . 44
6.5 ワイヤートリプレットのトリガーの構成 . . . 45
6.6 ワイヤートリプレットのコインシデンスロジック . . . 45
6.7 ストリップトリプレットのトリガーの構成 . . . 46
6.8 ワイヤーストリップのコインシデンスロジック . . . 47
6.9 EI/FI の構成 . . . 47
6.10 EI/FI のコインシデンスロジック . . . 48
6.11 デクラスタリングの手法 . . . 48
6.12 リードアウト部のブロック図 . . . 49
6.13 テストベクタ . . . 50
6.14 SLB 動作検証のセットアップ . . . 51
6.15 動作検証に妥当なパターン数の計算方法 . . . 51
6.16 2 号機でのトリガーの出力の演算方法 . . . 52
6.17 正しいトリガーの出力の演算方法 . . . 52
6.18 ３号機での誤り (1) . . . 52
6.19 ３号機での誤り (2) . . . 52
6.20 入力遅延のデバッグ方法 (1 クロック遅延の場合) . . . 54
6.21 入力遅延の 0.5 クロックでのタイミングと出力の関係 . . . 54
6.22 従来の入力部の遅延回路 . . . 56
6.23 新たに導入した入力部の遅延回路 . . . 56
6.24 従来の TTC 信号受信回路 . . . 57
6.25 新たに導入した TTC 信号受信回路 . . . 57
6.26 Slave Board ASIC のレイアウトマスク . . . 57

7.1 スライステストの検証の流れ . . . 59
7.2 トリガーシミュレーションの流れ . . . 60
7.3 スライステストのセットアップ (写真) . . . 61
7.4 スライステストのセットアップ . . . 62
7.5 スライステストの検証方法 . . . 63
7.6 テストパルストリガー信号と L1A 信号のタイミングの設定 . . . 66
7.7 テストパルストリガー信号に対するレベル 1 アクセプト信号の遅延とレベル 1 バッファの深さの関係 . . . 66
7.8 SSW での圧縮方法 (ゼロサプレスの方法) . . . 67
7.9 ゼロサプレスされた結果 . . . 67

7.10 RODの出力結果 68
7.11 イベントディスプレイ 69

8.1 リングオシレータの回路図 71
8.2 シフトレジスタ回路図 71
8.3 γ 線照射試験のセットアップ図 73
8.4 γ 線の吸収線量と距離の関係 (シリコンに対する値) 73
8.5 γ 線源の構造 74
8.6 ガンマ線照射試験用テストボード 74
8.7 チップ 4 の γ 線照射中の電流の推移 (横軸:時間 (秒), 縦軸:電流値 (mA)) 76
8.8 チップ 4 の γ 線照射中の電流の推移 (横軸:吸収線量 (Gy), 縦軸:電流値 (mA)) . . . 76
8.9 γ 線照射中の電流の推移 (横軸:吸収線量 (Gy), 縦軸:電流値 (mA)) 77
8.10 γ 線照射中の周波数の推移 (横軸:吸収線量 (Gy)、縦軸:周波数 (MHz)) 77
8.11 陽子線照射試験セットアップ図 78
8.12 陽子ビーム照射試験セットアップ図 (上から見た写真) 79
8.13 照射ボードと X-Y ステージのセットアップ 80
8.14 ゲルマニウム検出器のセットアップ図 80
8.15 Cu フォイルからの γ 線スペクトル 81
8.16 CHIP1 のビームプロファイリング (縦軸、横軸ともに単位は mm である) 81
8.17 CHIP2 ビームプロファイリング (縦軸、横軸の単位は mm) 81
8.18 CHIP3 ビームプロファイリング (縦軸、横軸の単位は mm) 82
8.19 CHIP4 ビームプロファイリング (縦軸、横軸の単位は mm) 82
8.20 チップ 1 の陽子フルエンス 83
8.21 陽子線照射中の電流の推移 (横軸:照射時間 (秒)、縦軸:電流値 (mA)) 84
8.22 陽子線照射中の電流の推移 (横軸:吸収線量 (krad)、縦軸:電流値 (mA)) 85
8.23 陽子線照射中の電流の推移 (横軸:照射時間 (秒)、縦軸:周波数 (MHz)) 85
8.24 陽子線照射中の電流の推移 (横軸:吸収線量 (krad)、縦軸:周波数 (MHz)) 86

表 目 次

2.1 LHC のパラメータ 2
2.2 ミューオン検出器の構成 12

3.1 TTC シグナルの概要 18

4.1 TGC エレクトロニクスで使用するボード および ASIC 25
4.2 放射線量のシミュレーションによる見積もり 33
4.3 SRL の安全係数 33

5.1 TGC エレクトロニクスの ASIC と開発状況 39

6.1 Slave Board ASIC の JTAG レジスタリスト 42
6.2 モジュールタイプとトリガー出力 43
6.3 SLB ASIC トリガー部のテスト結果 53

7.1 リードアウトスライステストの結果 68

8.1 ASIC と FPGA の開発における特徴 70
8.2 放射線照射テストの目的と内容 71
8.3 γ 線照射試験の測定内容 72
8.4 各チップの 100Gy 照射したときの電流と周波数の変化とその割合 (リングオシレータとシフトレジスタのクロックがオンの時) 75
8.5 陽子線線照射試験の測定内容 78
8.6 照射線量と陽子フルエンス 84
8.7 各チップの 100Gy 照射したときの電流と周波数の変化とその割合 (リングオシレータとシフトレジスタのクロックがオンの時) 86
8.8 陽子線照射テストからの SEU 断面積の計算結果 87

第1章　序論

現在欧州原子核研究機構 (CERN) にて、2007 年の実験開始に向けて、重心系エネルギー 14TeV の衝突エネルギーを持つ、大型陽子陽子衝突型加速器 (LHC) が建設中である。LHC では高い衝突エネルギー、高ルミノシティーを利用して、ヒッグス粒子や、超対称性粒子の発見が期待されている。LHC で行われる実験のひとつに、ATLAS 実験がある。

LHC ではバンチ衝突頻度が 40.08MHz と高く、高ルミノシティーでは陽子陽子衝突頻度は約 1GHz になる。この膨大なデータの中から高速かつ効率よく、重要なイベントを選別するトリガーシステム及びデータ収集システムが必要となる。ATLAS 実験では、トリガーシステムはレベル 1, レベル 2、イベントフィルタの 3 段階のトリガーに分れている。データは各トリガーシステムで段階的に処理されて、興味のあるイベントだけが選ばれていく。ATLAS 実験のエンドキャプミューオントリガー用検出器 (Thin Gap Chamber:TGC) は、レベル 1 トリガーシステムの一部を担っている。

この TGC は総チャンネル数 32 万チャンネルに及ぶので、高速に処理を行うために、ASIC の使用が必要不可欠である。TGC エレクトロニクスの中の Slave Board ASIC について動作検証及び、開発を行った。Slave Board ASIC は、何層にも重なった TGC 間のコインシデンスをとることによりバックグラウンドを除去し、TGC からの信号に対して最初にトリガー判定を行う。また、レベル 1 トリガー判定が行われたデータの読み出しを行うという二つの役割がある。

この Slave Board ASIC の開発を残し、ほぼすべての ASIC の開発が終わり、モジュール単体としてのテストが行われてきた。そして、実験を想定して、モジュールを接続した統合的な動作検証を行わなければならない。今回、初めて読み出しエレクトロニクスの統合テストを行い、モジュールが接続された状態で正しく読み出しが行えるか検証した。

また、ASIC の設定を行うときのインターフェースである JRC は、ASIC で開発されていたが、使用個数が少ないため、コストの低い FPGA を採用する予定である。FPGA は本来 ASIC よりも放射線耐性は優れていない。そこで、FPGA の中でも、放射線耐性に優れている Anti-Fuse FPGA を採用した。この FPGA が ATLAS 実験で使用できるためには、ATLAS 実験 10 年分の放射線を浴びても、正常に動作することを証明する必要がある。今回、γ 線、陽子線を用いて、FPGA の放射線耐性の評価を行った。

本論文の構成であるが、2 章では、LHC の特徴と期待される物理そして ATLAS 検出器を構成する各検出器について述べ、3 章では ATLAS 実験のトリガー及びデータ収集システムについて説明する。続いて 4 章では TGC ミューオントリガーシステムを構成するエレクトロニクス及び設置環境について説明する。6 章から本論文の主題に入り Slave Board ASIC の開発及び動作検証について述べる。7 章では読み出し系エレクトロニクスの統合テストについて述べ、8 章では Anti-Fuse FPGA の放射線耐性を評価するために行なった γ 線及び、陽子線を用いた照射試験について述べる。最後に 9 章で本論文のまとめを行なう。

第2章　LHC計画とATLAS実験

まず始めに、LHC 計画と ATLAS 実験について述べる。まず実験で利用される加速器について述べ、観測が期待されている物理現象、そして ATLAS 検出器について述べる。

2.1　LHC 計画

LHC はスイスとフランスの国境に位置する CERN にて、現在建設中の大型陽子陽子衝突型加速器である。LHC は 2000 年まで稼動していた電子陽電子衝突型加速器 LEP(Large Electron Positron Collider) と同じトンネル内に設置され、周長はおよそ 27km である。LEP とは異なりハドロンを加速させているため、電子陽電子を加速させるよりシンクロトロン放射[1] によるエネルギー損失が少なくなる。これにより、14TeV という衝突エネルギーを作ることができ、理論的上限である 1TeV の質量を持つヒッグス粒子の探索まで行える。表 2.1 に LHC 加速器のパラメータを示す。

図 2.1 に示すように LHC には合計 4 つのビーム交差点があり、汎用検出器である ATLAS(A

主リング周長	26.66km	陽子ビームエネルギー	7.0TeV
低ルミノシティ	$10^{33}\mathrm{cm}^{-2}\mathrm{s}^{-1}$	高ルミノシティ	$10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$
入射エネルギー	450GeV	衝突頻度	40.08MHz
バンチ間隔	24.95ns	バンチあたりの陽子数	10^{11}
バンチの長さ	75mm	バンチ数	2835 個
衝突点でのビーム半径	16 μm	ビーム衝突角度	200μrad

表 2.1: LHC のパラメータ

Toroidal LHC Apparatus)(図 2.2),CMS(Compact Muon Solenoid)(図 2.3)、重イオン衝突実験用の ALICE(A Large Ion Collider Experiment)(図 2.4),B 物理の測定に適した LHC-B(図 2.5) が設置される。

2.2　LHC で期待される物理

2.2.1　ヒッグス粒子

LHC が目指す物理の最大の目標は、ヒッグス粒子の発見である。この粒子を発見することで、素粒子の質量の起源を探ることができる。ここでは、標準模型ヒッグス粒子について述べる。まず、ヒッグス粒子の生成過程について述べる。図 2.6 にヒッグス粒子の生成過程のファインマンダイアグラム、図 2.7 にヒッグス粒子の生成断面積を示す。

[1] 一周あたりのエネルギー損失が

$$\delta E \propto \gamma^4 R^{-1} \tag{2.1}$$

($\gamma = E/mc^2$,R:半径) であり、質量が大きく軌道半径が大きくなるにつれてシンクロトロン放射によるエネルギー損失が少ないことがわかる。陽子を加速させたときのエネルギー損失は電子のエネルギー損失に比べて 10^{13} 分の 1 となる。

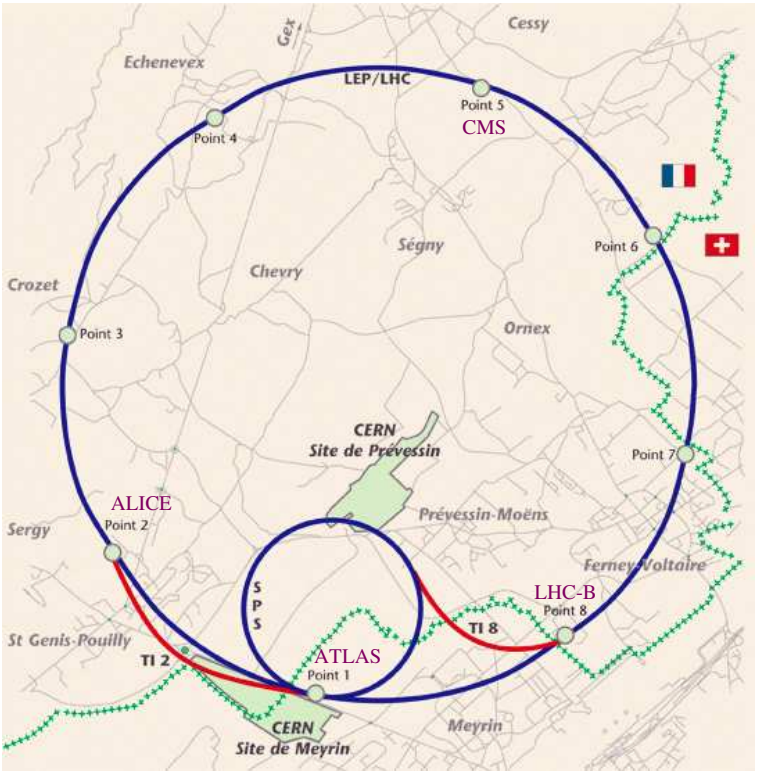

図 2.1: LHC

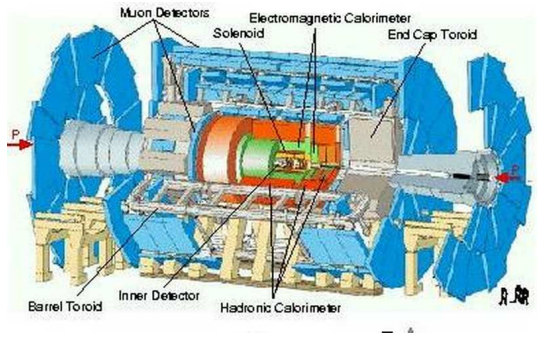

図 2.2: ATLAS 検出器の図

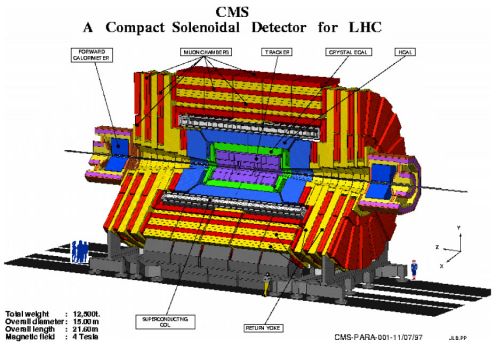

図 2.3: CMS 検出器の図

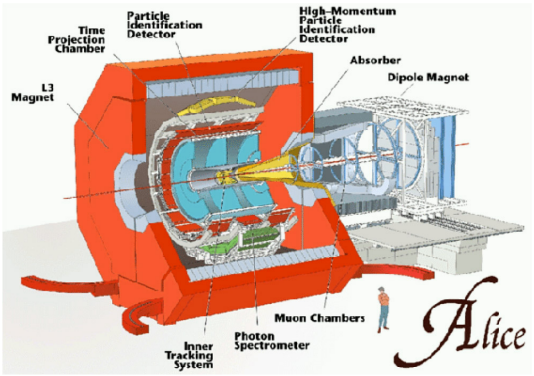

図 2.4: ALICE 検出器の図

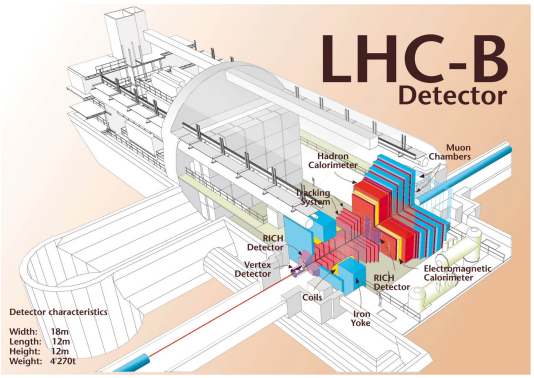

図 2.5: LHC B 検出器の図

- gluon fusion
  gluon fusion はトップクォーク、ボトムクォークを介した過程で、生成断面積が最も大きい過程である。ヒッグス粒子の崩壊から出てきた粒子以外は大きな横運動量を持たないため、シグナルを識別する手段が少なく、バックグラウンドが非常に厳しい。$H \to \gamma\gamma$、ZZ、WW だけが有望な崩壊過程である。

- vector boson fusion
  二番目に生成断面積が大きく、二つのベクターボソンが融合してヒッグス粒子が生成される過程である。ベクターボソンの質量は重いので、ベクターボソンを放出した二本のジェットは大きな横運動量をもつ。さらにベクターボソンを放出したジェット間で、カラーの交換がないことにより、二本のジェット間の QCD の activity が少なく、イベント選定が行いやすい。従って、この生成過程では様々な崩壊過程でのヒッグス粒子の探索が期待されている。

- associate production
  クォークペアが対消滅して生成されたゲージボソンから、ヒッグス粒子が放出される過程である。$W^{\pm}$、Z がレプトンに崩壊した場合に、シグナルとバックグラウンドを容易に識別できる。

- top associate production
  対生成されたトップクォークに伴ってヒッグス粒子が生成される過程である。この過程は生成断面積が小さいが、特徴のあるトップクォークが終状態に二つ含む。それにより、QCD バックグラウンドを大幅に減らすことができる。そしてこのモードでは、トップクォークの湯川結合の情報を含んでいるので、大変重要なモードである。

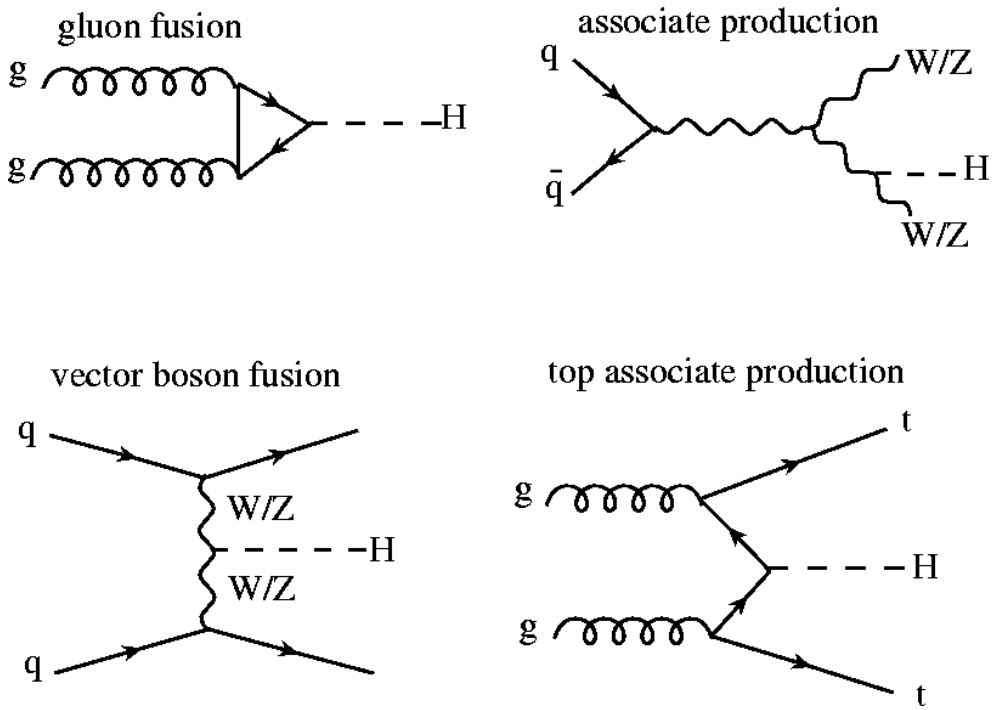

図 2.6: ヒッグス粒子の生成過程のファインマンダイアグラム

次に、標準模型のヒッグス粒子の崩壊過程について述べる。ヒッグス粒子の質量と崩壊分岐比の関係を図 2.8 に示す。これからわかるように、各質量領域において特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

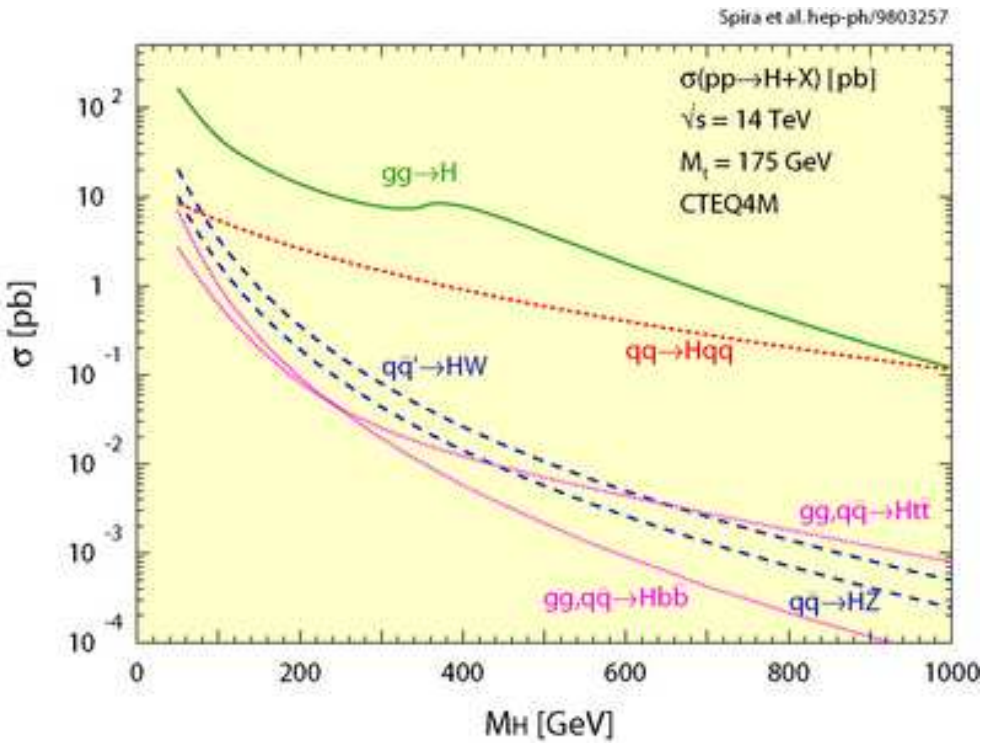

図 2.7: ヒッグス粒子の質量と生成断面積

- $m_H \to \gamma\gamma$
  この崩壊モードは稀崩壊モードではあるが、ATLAS 検出器及び CMS 検出器は、光子に対するエネルギー及び、角度分解能が大変優れているので、多量のバックグラウンドの中からでも、鋭いピークとして測定することができる。

- $m_H \to bb$
  このモードは $m_H \leq 2m_W$ の質量領域で、分岐比が 90% も占めるので重要なモードである。しかし QCD バックグラウンドが大変大きいため、有効なトリガーが難しい。しかし W、Z、トップクォークを含むイベントでは有効なトリガーが行える。

- $m_H \to ZZ^* \to 4l$
  4 つのレプトンのエネルギーを測定することにより、きれいな信号を得られるとして期待されている。一対のレプトンに対して不変質量が Z の質量に等しくなるという条件を課すことができ、バックグラウンドを落とすことができる。

- $m_H \to ZZ \to 4l$
  このモードはゴールデンモードといわれる。2 組のレプトン対の不変質量がともに Z の質量に等しいという条件を課すことで、バックグランドを大変落とすことができる信頼性の高いモードと言える。

- $m_H \to WW \to ll\nu\nu$
  ヒッグス粒子が 500GeV 以上になると、ヒッグス粒子の生成断面積が小さくなり、さらに崩壊幅も 100GeV を超えてしまう。そのためヒッグス粒子の質量のピークが広がってしまう。そのため $H \to ZZ \to 4l$ だけでは統計的に不十分になってしまうため、レートが 6 倍高いこのモードを用いる必要がある。しかしこのモードは ν を含むため、消失横エネルギーの測定が重要になる。

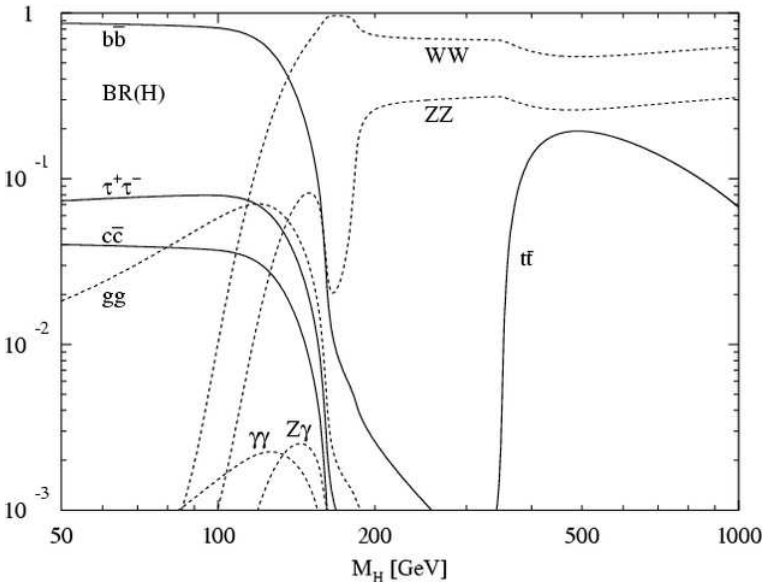

図 2.8: ヒッグス粒子の質量と分岐比

図 2.9 に積分ルミノシティが $100fb^{-1}$ のときの、ATLAS 検出器の標準模型ヒッグス粒子の発見能力を示す。この図では、gluon fusion,top associated production 過程のみである。この図から ATLAS 検出器は、115GeV から 1TeV の領域で、10σ 以上の確からしさでヒッグス粒子を発見できることがわかる。現在では vector boson fusion の研究が進み、低い質量領域での発見能力も、$H \to \gamma\gamma$,$H \to \tau\tau$ などのモードの寄与により、改善された。

2.2.2 超対称性粒子

超対称性理論は、ヒッグス粒子の質量の補正の発散を抑えることができ、エネルギースケールを高くすると、あるスケールで結合定数が統一される可能性を示す理論である (図 2.10)。超対称性理論ではすべてのフェルミオン、ボソンに対して、スピンが 1/2 だけ異なる、スーパーパートナの存在を予言している。クォーク、レプトンのスーパーパートナはスクォーク $\tilde{q}$ 、スレプトンと $\tilde{l}$ よばれ、ゲージボソンにたいしてはゲージーノが予言されている。R パリティが保存していると、超対称性粒子は必ず対になって生成される。生成された粒子は崩壊して最終的に最も質量の小さい超対称性粒子 LSP(Lightest SuperSymmetric Particle) になる。この LSP の候補に、ニュートラリーノ $\tilde{\chi}$ がある。ニュートラリーノは直接検出できないが、解析において消失横エネルギーとして現れるので、それをもとに探索する。

2.2.3 その他の物理

LHC では、ヒッグス粒子探索、超対称性粒子の発見のほかに、トップクォーク、ボトムクォークの精密測定、QCD の精密測定などがある。トップクォークは実験開始わずか数年 (30fb^{-1}) で 2.5×10^7 もの大量のトップクォークの対生成イベントが生じる。この大量に生成されるトップクォークの質量の精密測定をすることにより、ヒッグス粒子の質量を予言することが可能になる (図 2.11)。ヒッグス粒子の発見、研究とつながり、標準理論の精密測定の検証を行うことができる。

宇宙における物質と反物質の非対称性のなぞを解く鍵と期待されている CP の破れを、B メソンを用いて精密に測定する。またボトムクォークの稀崩壊現象を探索することにより、標準模型を超える新物理を探る重要な手段にもなる。

また、QCD の精密測定では、高い横運動量を持ったジェットイベントの生成断面積を測定を通

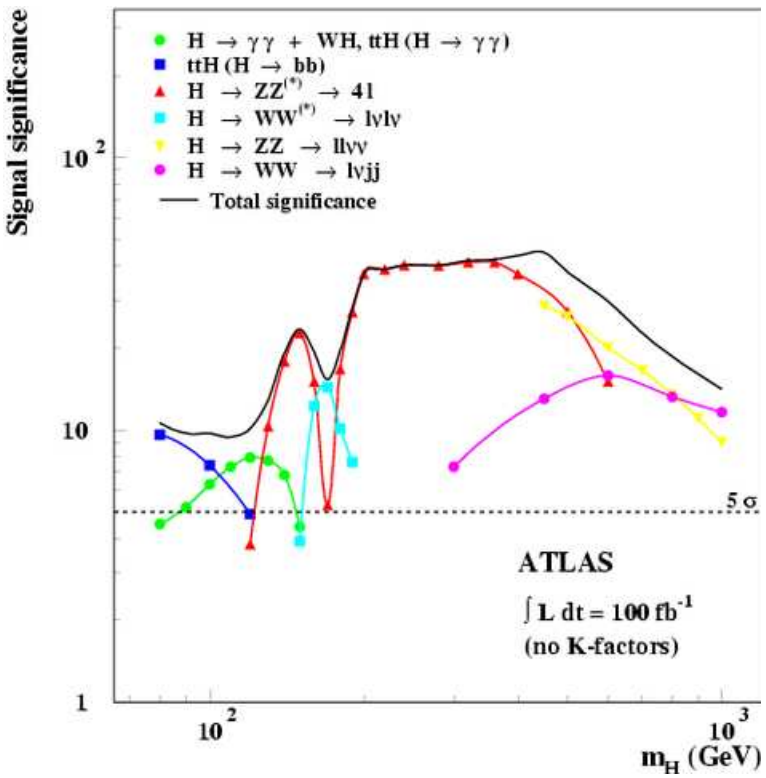

図 2.9: ヒッグス粒子の発見ポテンシャル

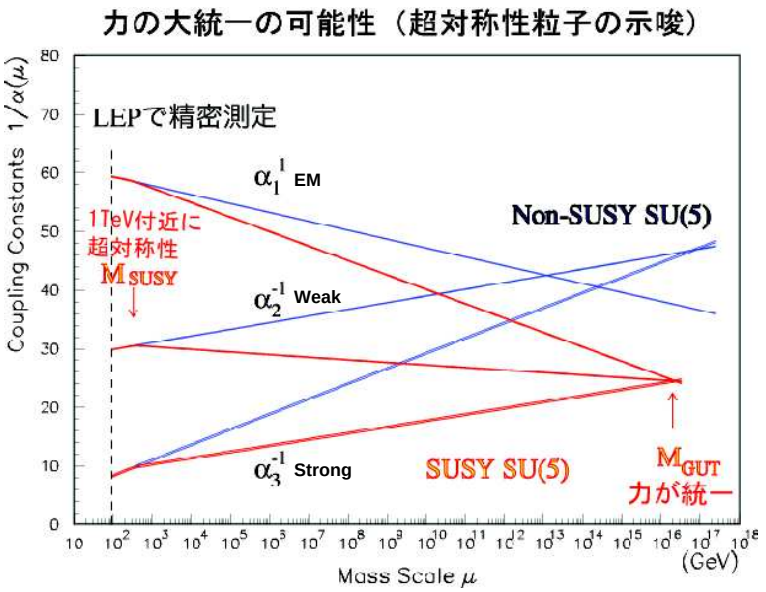

図 2.10: 超対称性理論における結合定数の統一

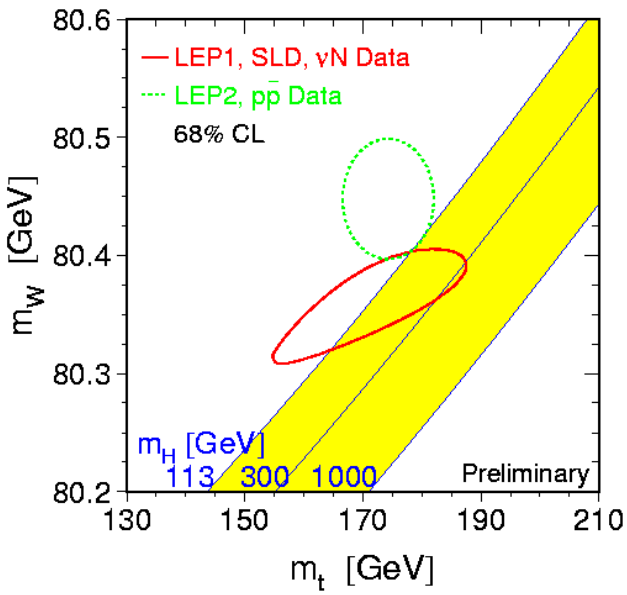

図 2.11: トップクォークの質量と W の質量からのヒッグス粒子の質量の予言

して、超微細なスケールでクォークを観察することが可能になり、現在「素粒子」として考えられているクォークに、内部構造がないか探ることができる。

2.3 ATLAS 検出器

ATLAS 検出器は、LHC の衝突点の一つに設置され、直径 22m, 長さ 44m の円筒形で、総重量は 7000 t にもなる大型汎用検出器である (図 2.12)。ATLAS 検出器は内側から内部検出器、カロリーメータ、ミューオンスペクトロメータで構成されている。内部検出器、カロリメータの間にはソレノイドマグネット、カロリメータの外側にトロイダルマグネットが設置される。また、LHC では高いルミノシティーのため、イベントレートが高く、放射線量も多いため、ATLAS 検出器は高速かつ、正確なデータ収集、データ処理、放射線耐性が必要となる。ATLAS 検出器は次のよう

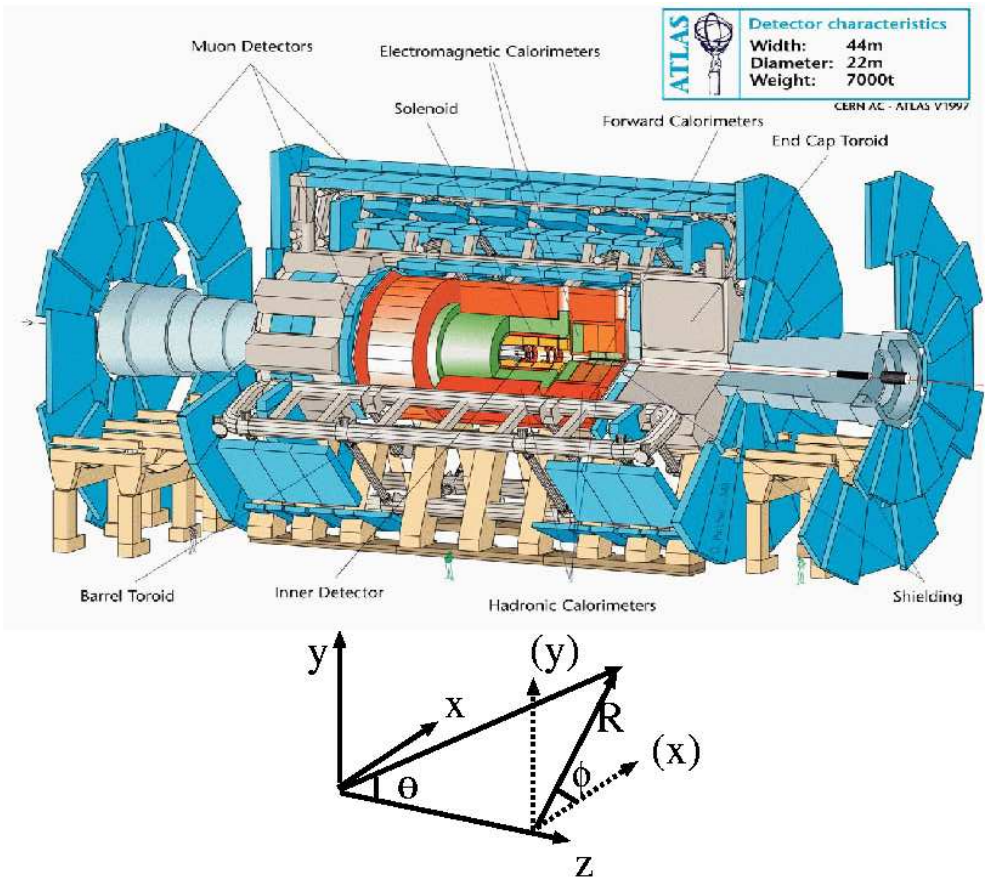

図 2.12: ATLAS 検出器

な要求を満すよう設計されている。

- 電子、光子のエネルギー、位置、角度をバランスよく測定出来る電磁カロリメータ
- ハドロンカロリメータによるジェットと消失横エネルギーの高精度測定
- 効率のよいトラッキングと電子識別を行う内部飛跡検出器。
- スタンドアロンでも高精度でミューオンの測定が行えるミューオンスペクトロメータ。
- 広いラピディティη [2] と完全な方位角のカバー
- 高レートのイベントを逃すことなく処理するシステム
- 大量のバックグラウンドに耐える放射線耐性

[2] η は疑ラピディティと呼ばれ θ をビーム軸とのなす角とすると $\eta = -\ln(\tan\theta/2)$ で定義される。ハドロンコライダーでは散乱断面積がおよそ η に比例するのでよくこの量が使われる。

2.3.1 内部検出器

内部検出器の目的は、荷電粒子の飛跡認識と運動量測定である。運動量測定はソレノイド磁場と組合せることにより行える。内部検出器は図 2.13 に示すように 3 種類の検出器で構成され、いずれも中心磁場 2 T の超伝導ソレノイドの内側に設置されている。以下に内部検出器の説明を簡単にする。

- Pixel Detector
  一つの要素が $50\mu m \times 300\mu m$ の半導体検出器で、高い位置分解能を持っている。

- Semiconductor Tracker
  シリコンマイクロストリップとよばれ、$80\mu m$ ピッチの細長い有感領域を持った半導体検出器である。

- Transition Radiation Tracker
  径 4mm のストローチューブを束ねた検出器で、トラッキングのほかに遷移放射を利用した電子の同定を行うことができる。

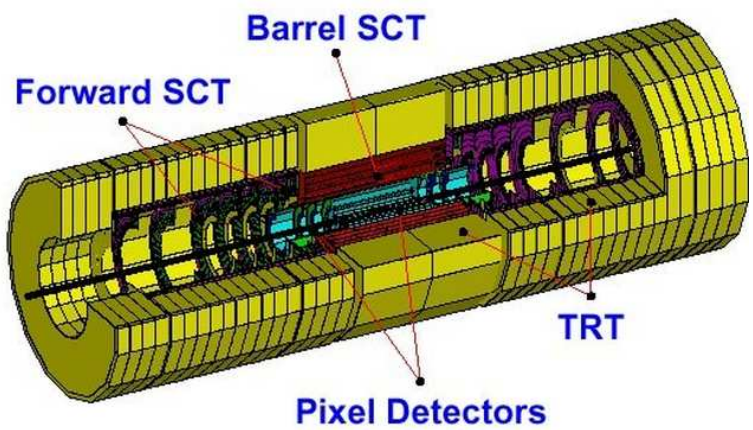

図 2.13: 内部検出器

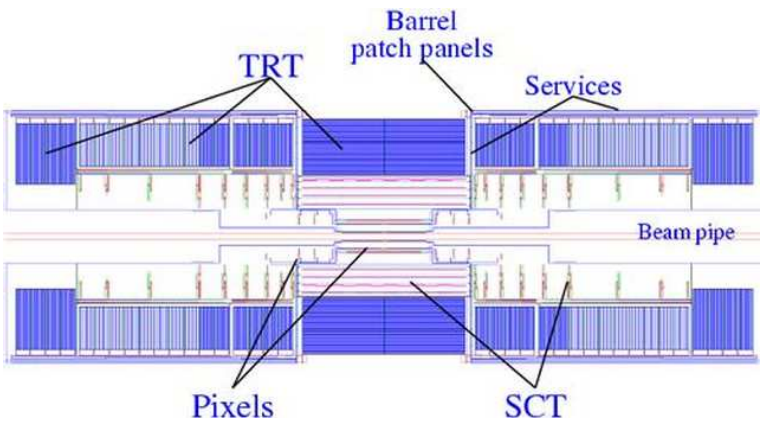

図 2.14: 内部検出器の断面図

2.3.2　カロリメータ

カロリメータの主な役割は、電子、光子やジェットについて、高い位置分解能、高いエネルギー分解能に基いた情報から、粒子のエネルギーを測定することである。ATLAS 実験に使用されるカロリメータは電磁カロリメータとハドロンカロリメータがあり、広い η 領域をカバーするように設置される。図 2.15 に構造を示し、以下に簡単にカロリメータについて説明する。

- 電磁カロリメータ
  電磁カロリメータは、耐放射線性に優れ、安定性のよい液体アルゴンカロリメータである。電極及び鉛吸収体を入射粒子に対して、横方向にジグザグさせるアコーディオン型にする。ジェットと電子の識別を良くするため、横方向 (η, ϕ) にセルが細かく分かれている。

- ハドロンカロリメータ
  ハドロンカロリメータは、カバーする領域によって、タイプが 3 種類に分かれる。バレル部では、鉄の吸収体とタイル状のシンチレータ及び、波長変換ファイバーからなるタイル型カロリメータを用いる。エンドキャップ領域では放射線量が多いので、銅吸収体と、液体アルゴンの組み合わせを用いる。超前方領域では粒子が込み合うため、ハドロンシャワーの横の広がりを最小にするため、吸収体にタングステンを用いる。これらのハドロンカロリメータは電磁カロリメータの外側に設置され、ハドロンの同定、エネルギー測定、ジェットの再構成を行う。

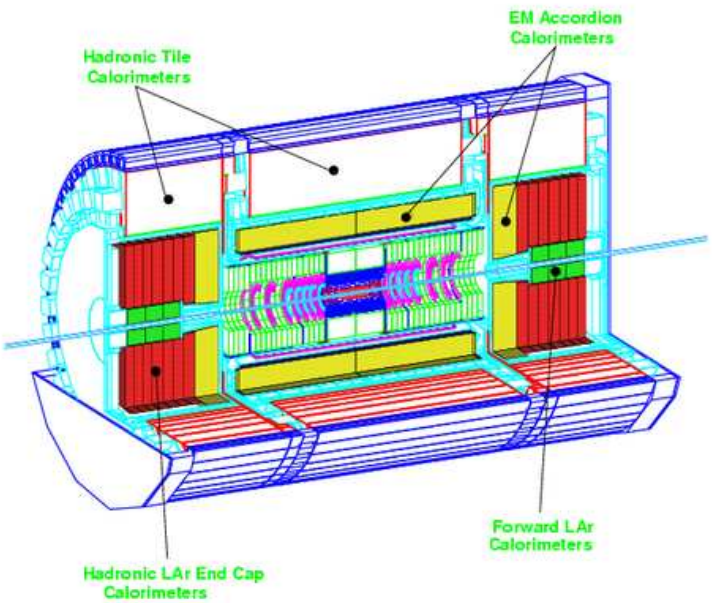

図 2.15: カロリメータ

2.3.3　ミューオン検出器

ATLAS 実験において、ミューオン検出器は多くの重要な物理に関わっていて、大量なバックグラウンドがある環境でも、きれいな信号を取り出すことができるため重要な役割を果たす。また空芯

の超伝導トロイダル磁石のおかげで、ミューオンシステム単体で精度よくミューオンの運動量測定が行える。ミューオン検出器は運動量精密測定を MDT(Monitor Drift Tube),CSC(CathodeStrip Chamber) で行い、トリガーを RPC(Resistive Plate Chamber),TGC(Thin Gap Chamber) で行う。トリガーチェンバーの主な働きは、トリガー信号を出す以外に、バンチ識別を行うことである。MDT の時間分解能は 500ns 程度であり、MDT だけでは信号がどのバンチに属しているのか判断することができない。トリガーチェンバーの情報を用いることにより、それを知ることができる。また MDT が測定しない第二座標の読み出しを行う。測定器の断面図を図 2.16 に示す。そして、ミューオン検出器の構成及び特徴を表 2.2 に示す。

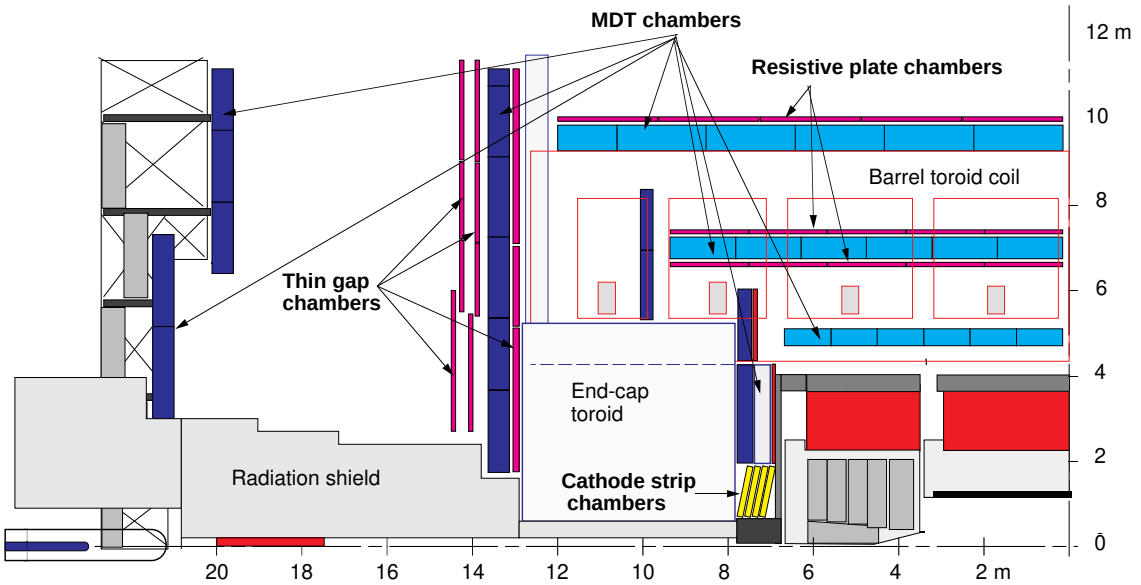

図 2.16: ミューオンスペクトロメータ R-z 断面図

検出器名	役割	$\|\eta\|$ 領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	$30mm\phi$ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu$m	30 万
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu$m	10 万
RPC	トリガー 第 2 座標測定[3](z)	0 ~ 1.05	平行平板ガス検出器 時間分解能 σ_t =1ns	40 万
TGC	トリガー 第 2 座標測定 (ϕ)	1.05 ~ 2.4	薄ギャップのワイヤーチェンバー 時間分解能 σ_t =4ns	32 万

表 2.2: ミューオン検出器の構成

2.3.4 マグネットシステム

ATLAS 検出器のマグネットシステムは、2 つの超伝導マグネットから構成されている。一つは内部検出器とカロリメータの間にあるソレノイドマグネットである。そしてもう一つは、カロリメータの外側にあるトロイダルマグネットである。図 2.17 にソレノイドマグネットとトロイダル

[3]理想的なトロイダル磁場によって曲がるほうこうを第一座標、曲がらない向きを第二座標と呼ぶ。第二座標はバレルでは z 座標、エンドキャップでは ϕ 座標のことをである。

マグネットの図を示す。トロイダルマグネットはエンドキャップ、バレル部で異なるマグネットが使用され、図 2.18 に示す、積分磁場強度は、バレル部で $2{\sim}6\mathrm{Tm}(\eta{=}\ 0\ {\sim}\ 1.3)$ エンドキャップ部で $4{\sim}8\mathrm{Tm}(\eta{=}1.6\ {\sim}\ 2.7)$ になる。図 2.19 にトロイダルマグネットの R-ϕ 平面の磁束を示す。ここでトロイダル磁場は不均一性のため、R 方向の磁場を持ってしまい、ミューオンが通過した時に、ϕ 方向へまがってしまう。そのため、ミューオン運動量の測定には ϕ 方向の測定も考慮に入れなければならない。

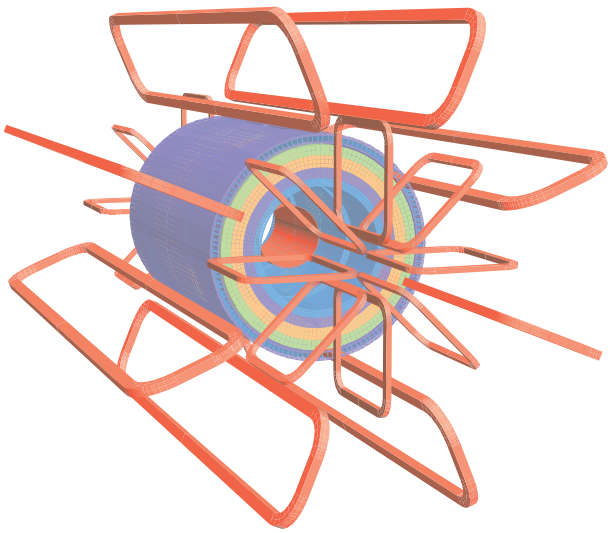

図 2.17: ソレノイドマグネットとトロイダルマグネット

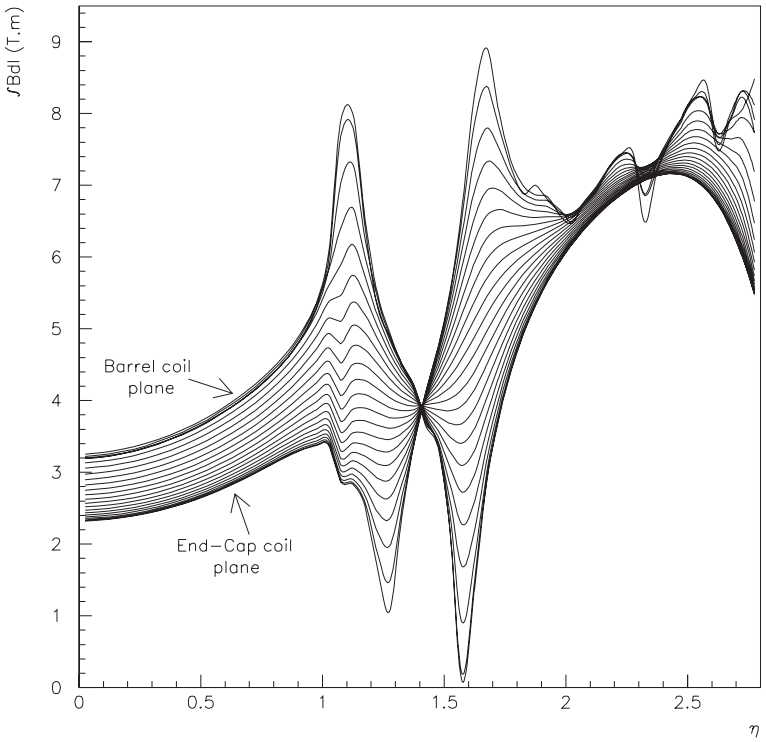

図 2.18: 積分磁場強度 (横軸 η、積分磁場強度

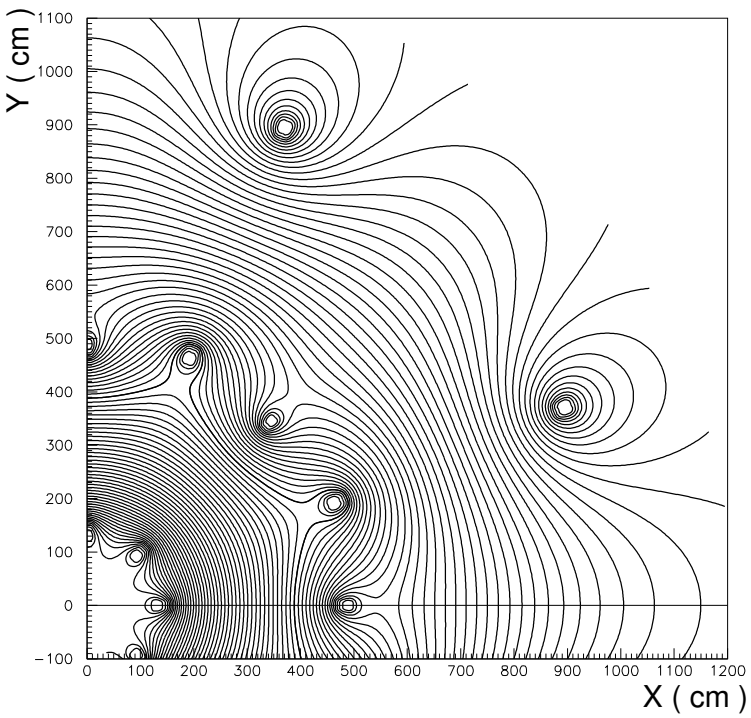

図 2.19: エンドキャップ部の磁束の構造 (XY 平面:Z=10.5m)

第3章　ATLAS実験のトリガーとデータ収集システム

LHC では 40.08MHz の頻度でバンチ衝突が起こり、高ルミノシティでは陽子、陽子反応頻度は約 1GHz になる。また、この 1GHz のデータには、目指している物理に関する情報は、ほとんど含まれていない。そして 1 イベントを記録するのに必要なデータ量としては、約 1MByte と見積もられている。計算機、記録装置の制限により、記録されるデータの頻度は 100Hz に落とす必要がある。このデータリダクションを行うために、各検出器からの情報を効率よく、高速に選別するシステムが考えられている。ここでは、ATLAS 実験のトリガーシステム及びデータ収集システムについて述べる。

3.1　全体のトリガーシステム

ATLAS 実験におけるトリガーシステムは、図 3.1 に示すようにレベル 1、レベル 2、イベントフィルタという 3 段階のトリガーに分かれている。データは各システムで段階的に処理され、興味あるイベントのみが最終的に記録される。

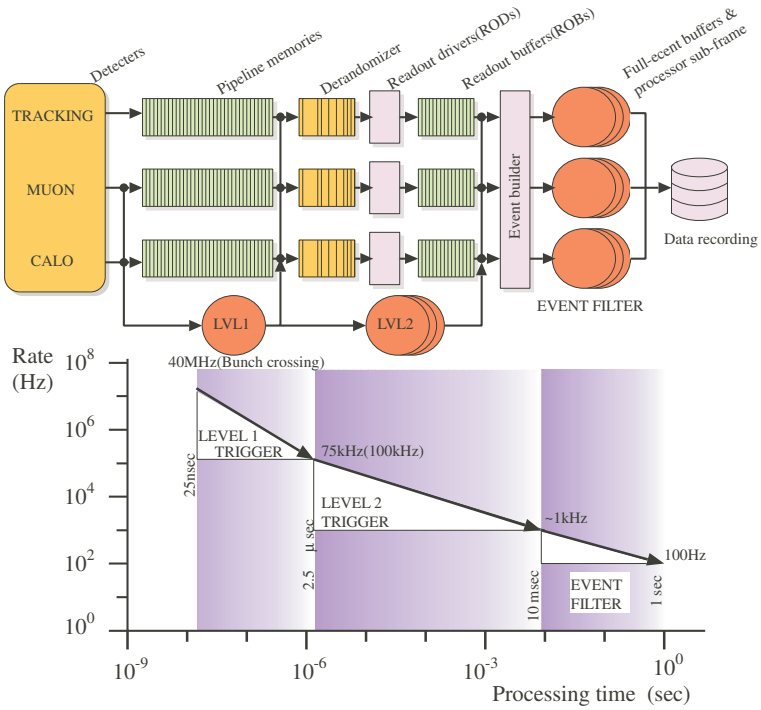

図 3.1: ATLAS 実験におけるトリガーシステムの概要図

- レベル 1 (LVL1)
  レベル 1 トリガーは、カロリメータとミューオン検出器の情報をもとに、40.08MHz の各バンチ衝突に対してトリガー判定を行う。カロリメータからは電子、光子、ジェット、エネルギー

情報、ミューオン検出器からはミューオンの位置と運動量の情報を用いる。これらの情報はCTP(Central Trigger Processer)で集められ、トリガー判定が行われる。そして、L1A(Level 1 Accept)という判定信号が各検出器に送られる。このレベル1の判定を出すまでのレイテンシー[1]は約2.5μsである。イベントレートは、100kHz程度まで落とす必要がある。

- レベル2(LVL2)
  レベル2トリガーはレベル1トリガーの情報の中からROI(Region Of Interest)と呼ばれる領域の情報を用いる。ROIとは、高い横運動量を持つジェット、電子、ミューオンなどの粒子が検出された領域である。レベル2ではミューオンの情報、内部検出器、カロリメータの情報を用いて判定を行うため、測定の精度が上がり、より重要なイベントを選定することができる。レベル2トリガーの判定を出すまでのレイテンシーは約10msecで、イベントレートで1kHzまで落とす必要がある。

- イベントフィルタ(EF)
  イベントフィルタでは、すべての検出器の完全な位置情報を用いてトリガー判定が行われる。ここでは、通常オフラインで行うアルゴリズムをオンラインで採用している。イベントフィルタのレイテンシーは1sでレートにすると100Hzまで落とす必要がある。

3.2 DAQシステム

DAQシステムは、図3.1に示すように、まず各検出器からの信号はレベル1判定が下されるまで各検出器のパイプラインメモリに保存される。そしてレベル1の処理時間の$2.5\mu s$の間保持するように100バンチ分のバッファが必要となる。レベル1アクセプトが与えられるとデランダマイザー[2]に送られ、ROD(Read Out Driver)で読み出される。このRODには、信号がどのバンチに属するかを示すBCID、どのレベル1アクセプトに属するかを示すL1IDの情報もあわせて送られてくる。RODは集めたデータのBCID,L1IDの整合性を確認し、最終的なフォーマットに変換する。変換されたデータはROB(Read Out Buffer)におくられ、レベル2判定が行われるまでデータを保持する。レベル2ではROBに蓄えられた情報のうち、ROIのデータを使って処理を行う。レベル2トリガーが与えられると、ROBデータはイベントビルダを通って、イベントフィルタに送られる。イベントフィルタで処理を行った後、最終的にイベントレートは100Hzになる。1イベントあたりのデータ量は平均1MB程度なので、最終的に100MB/sの記録が行われる。

3.3 検出器の制御

ATLAS実験では検出器の制御と監視を行うために、DCS(Detector Control System)とよばれるシステムを導入する。これではフロントエンドエレクトロニクスの閾値電圧を設定することができ、電源系統の監視、温度測定、ガス系の圧力、流量などの検出器の安全性を確保するようなものを監視する。

3.4 Level-1 Triggerシステム

図3.2に示すように、レベル1トリガーシステムはカロリメータ、トリガー用ミューオン検出器、CTP、TTC(Timing Trigger Control)から構成される[6]。まずカロリメータはe/γ、ジェット、横消失エネルギーの情報を用いて、ミューオン検出器はミューオンの横運動量の情報を用いて、検

[1]バンチ衝突後からL1A信号が出されそれがフロントエンドエレクトロニクスに到達するまでに許される時間
[2]ランダムで起こるイベントを一定の間隔で読み出せるようにするもの

出器毎に独立に処理する。CTP でカロリメータ、トリガー用ミューオン検出器の情報を統合して、レベル 1 トリガー判定が行われる。トリガー判定が下されると、CTP より L1A 信号が TTC を経由して、フロントエンドエレクトロニクスに分配され、必要なデータの読み出しが行われる。

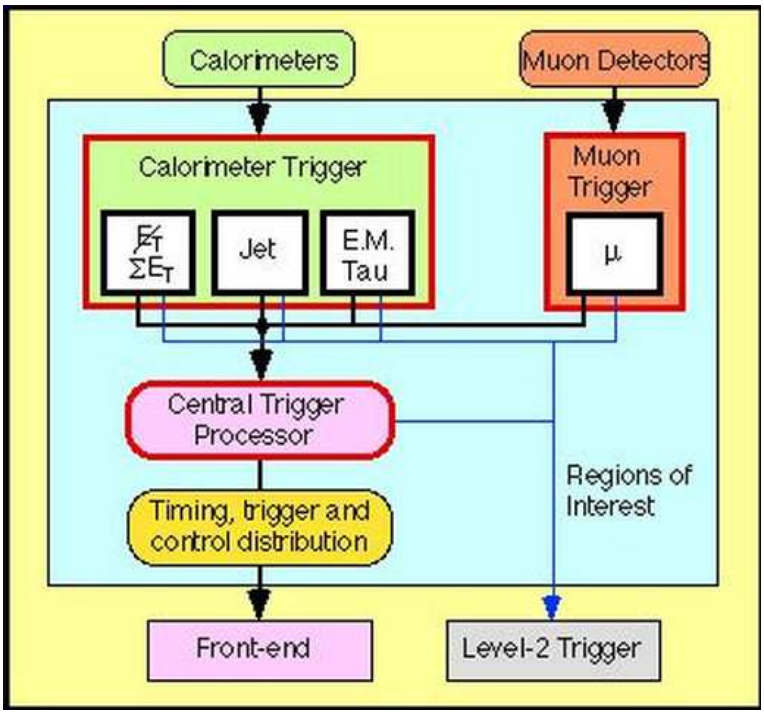

図 3.2: Level-1 トリガ処理の流れ

3.4.1 ミューオントリガーシステム

図 3.3 にミューオントリガーシステムのデータの流れを示す。RPC と TGC は各々セクタと呼ばれる単位ごとに p_T の大きなミューオンの候補を挙げて、MUCTPI(Muon Central Trigger Processer Interface) に送る。MUCTPI は、これらのトラックの候補を受け取り、境界部分での処理を行ってからミューオン候補についての情報を、CTP、レベル 2 トリガー、読み出し部分などに送る役割を担う [8]。

3.4.2 CTP

CTP の役割はカロリメータ、ミューオンのトリガー情報を統合して、最終的なレベル 1 判定を行うことである。CTP では入力情報が同一バンチに揃えられ、予め用意されているトリガー判定条件を比較することにより、最終的なレベル 1 トリガー判定が行われ、TTC に対して L1A 信号とトリガー情報をあらわす 8 ビットの情報を送信する。また L1A はフロントエンドの読み出しを容易にするため、一度 L1A を出力したら、それ以降 4 バンチ (100ns) の間は、L1A を出力しないように決められている。判定条件は最大 96 個設定することができる。

3.4.3 TTC

TTC システムはフロントエンドエレクトロニクスの同期をとるため、BC クロックや L1A などの信号を分配するシステムである。表 3.1 に主な TTC 信号を示す。TTC は図 3.4 に示すよう

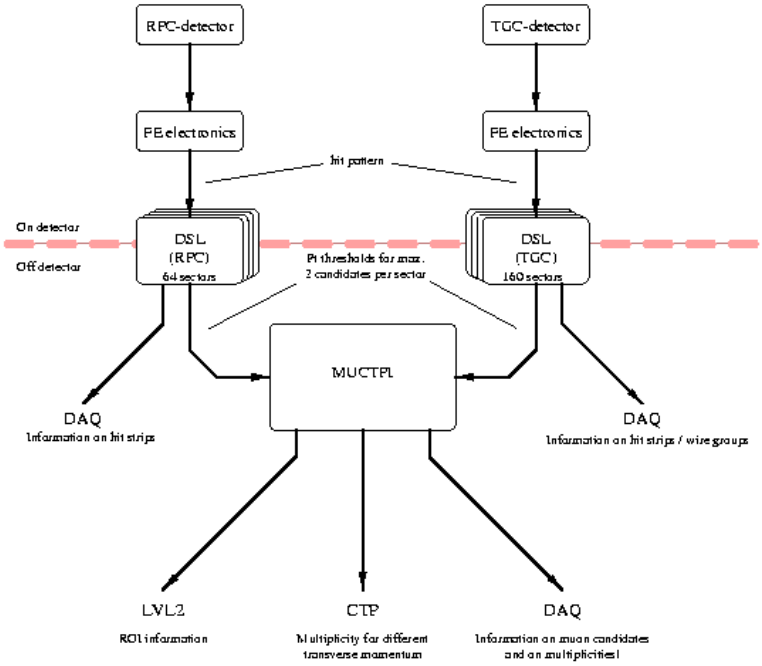

図 3.3: ミューオントリガーシステムのデータの流れ

に、TTCvi[16] と呼ばれる VME インターフェースで LHC から 40.08MHz の BC クロック、周期 88.924μs の ORBIT 信号を受信し、CTP からは L1A 信号を受信する。これらの情報は TTC クレートに送信され、TTC クレートで受信した情報を加工し、フロントエンドに設置される TTCrx[14] と呼ばれる ASIC へ分配される。また TTCvi では A-channel,B-channel という 2 種の信号を分配し、A-channel では L1A だけであるが、B-channel では TTCrx に送付される同期コマンドと TTCrx に送信する非同期コマンドを扱うことができる。同期コマンドはテストパルスの発生に用いられ、非同期コマンドはパラメータの設定などに用いることができる。TTCrx では受信した信号をフロントエンドエレクトロニクスに分配する。

信号	内容
BC Clock(Bunch Crossing Clock)	LHC のビーム衝突頻度に同期させるためのクロック
L1A (Level 1 Accept)	CTP から送られてくる
BCR (Bunch Counter Reset)	BCID (データがどのバンチに属するかを示す) がリセットされる。LHC の ORBIT 信号に同期して出力されるが任意に出力することも可能
ECR(Event Counter Reset)	L1ID(データがどの L1A に属するかを示す) のリセットに使用
BCID (Bunch Crossing IDentifer)	ROD,ROB でのバンチクロッシングのチェックに使用
EVID(Event IDentifer)	ROD,ROB での L1ID のチェックに使用

表 3.1: TTC シグナルの概要

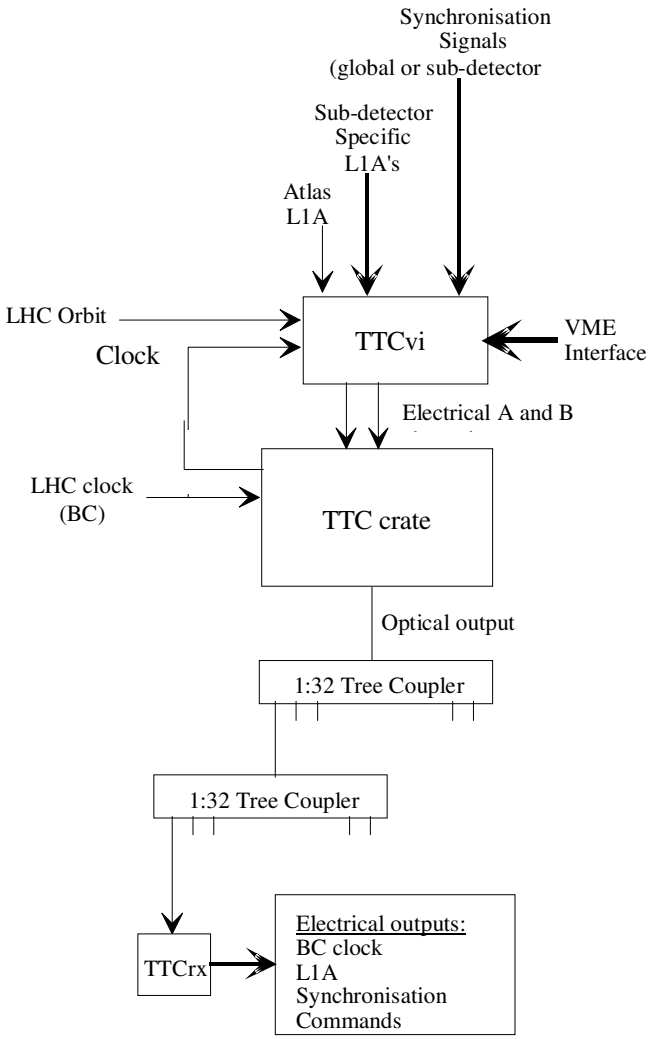

図 3.4: TTC システム概要図

第4章　TGCミューオントリガーシステム

この章では本論文の主題である、TGC ミューオントリガーシステムのエレクトロニクスを中心とし、TGC の構造、トリガー処理、設置環境について述べていく。

4.1　TGC の構造と特徴

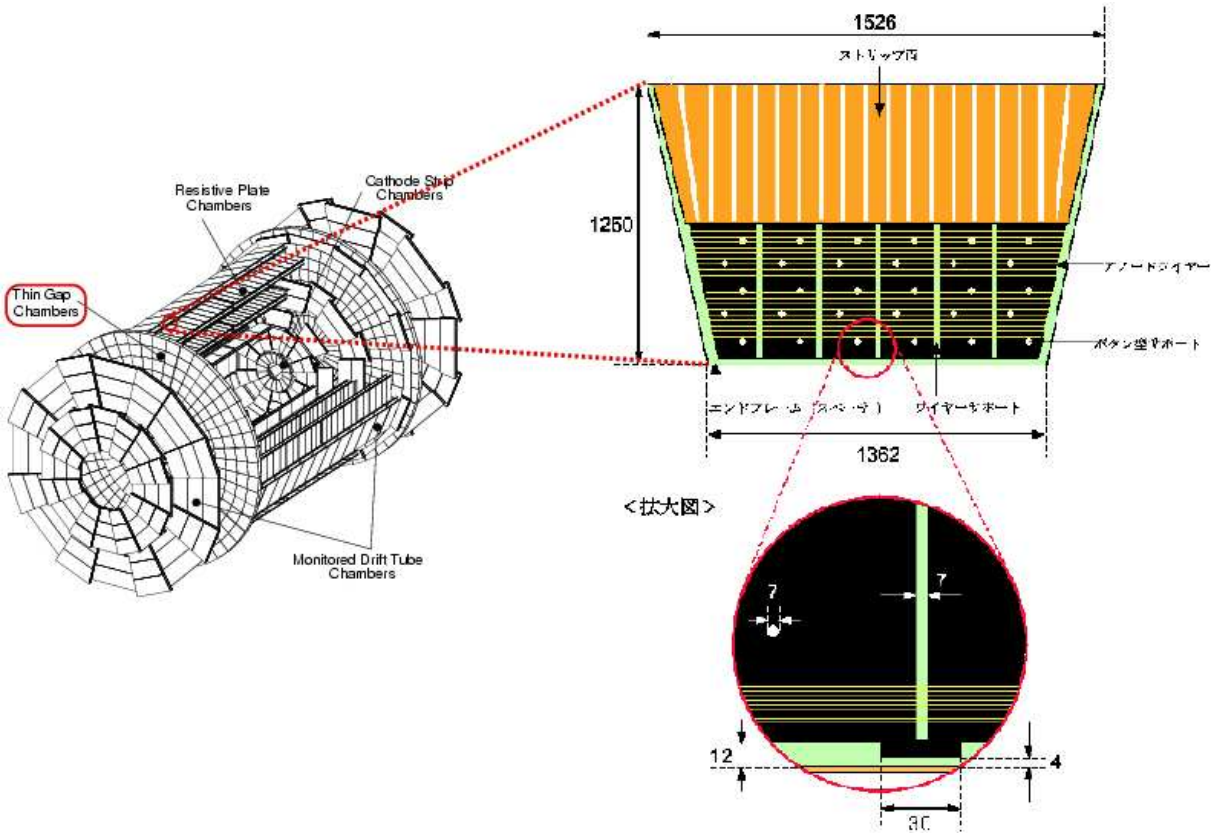

図 4.1: TGC 構造とその配置

ミューオントリガー検出器は、バレル部とエンドキャップ部から構成されるが、エンドキャップ部に設置されるのが、図 4.1 に示す TGC(Thin Gap Chamber) である。TGC は二次元の位置読み出しが可能な MWPC [1]である。ワイヤーで R 方向、ストリップで ϕ 方向の位置を検出することができる。TGC の形は、エンドキャップ部分を円盤状にカバーするため台形になっている。そして大きさは設置場所により異なるが、縦長のもので下底が 1.8m, 高さ 2.4m になる。ワイヤーは台形の底辺と平行、ストリップはそれと直交に張られている。図 4.2 に示すように、TGC の特徴は、アノードカソード間隔が 1.4mm と狭いことである。これは陽イオンのドリフト距離を短くし、LHC のバンチ間隔 25ns という早いバンチ衝突においても、正しくバンチ識別が行えるためであ

[1]Multi-Wire Proportional Chamber。2 枚の平行陰極板に等間隔に並んだワイヤーが配置されたチェンバーである。高エネルギー実験ではよく用いられる。

る。このチェンバーの中には、CO_2 と n-pentane が 55:45 の比率の混合ガスで満され、2.9kV の高電圧を印加している。TGC 内に荷電粒子が通過すると、それに伴い混合ガス分子がイオン化される。そしてイオン化された電子が、高電圧によりアノード カソード 間の電場によってアノードへ向かう。そしてワイヤー付近では電場が大きくなっているので、アノードへ向かってきた電子が、その周辺のガスと相互作用を起こし、二次電子を生成する。そして電子雪崩を起こし、信号として読み出される。TGC では、CO_2 に混ぜられた n-pentane により、紫外線を吸収し放電をおこりにくくしている (クエンチ効果)。またカソード面には高抵抗のガーボンを塗装を施しており、その外側でストリップに誘起された誘導電荷を読み出す構造となっている。

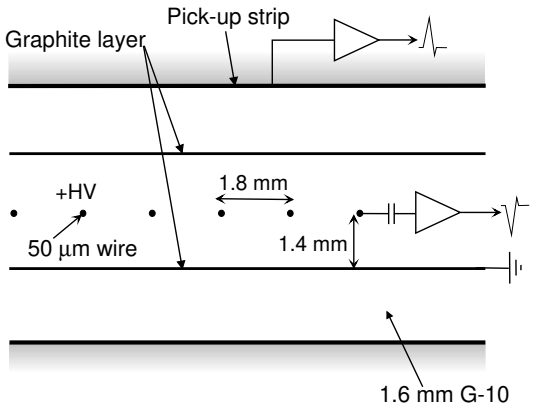

図 4.2: TGC 検出器の断面図

アノードワイヤーからの信号は 6 本から 20 本を束ねて 1 グループとして、読み出される。またストリップは 1TGC あたり 32 本ある。実際の実験では TGC 単体として用いず、2 層 (ダブレット)、3 層 (トリプレット) にしたモジュール構造にする。ダブレットの場合は 2 層のワイヤー、2 層のストリップから信号を読み出し、トリプレットの場合は 3 層のワイヤー、2 層のストリップから読み出しが行われる。ATLAS 実験で使用される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万チャンネル、ϕ 方向で約 10 万チャンネルになる。

また図 4.3 に粒子が TGC を通過してから信号を出すまでの時間のばらつき (タイムジッター) を入射角度ごとに示した。これは 3GeV の π を用いたビームテストの結果である。これより、タイムジッターはほぼ 25ns 以内に収まっている。このことは TGC を通過した粒子がどのバンチに属しているかを識別するときに重要である。

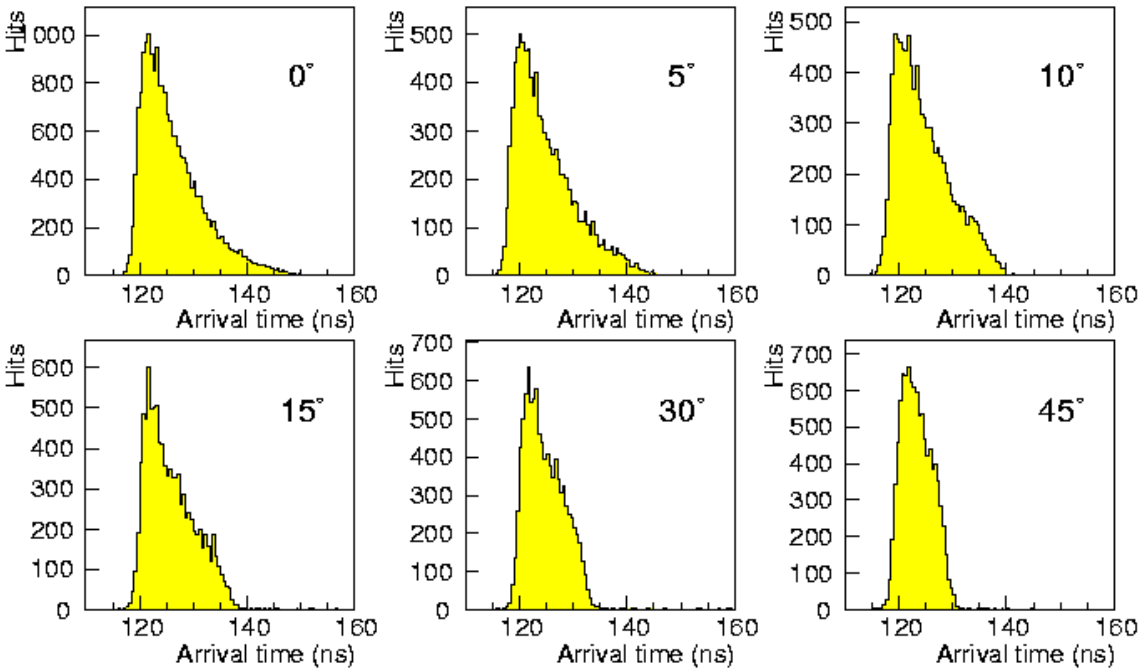

図 4.3: TGC のタイムジッターの角度依存性

4.2 TGC の配置

TGC は図 4.4 のように、M1(triplet)、M2(middle)、M3(pivot)、EI(Endcap Inner)、FI(Forward Inner) の各層から構成されている。M2、M3 はダブレット、M1 はトリプレットで構成されていて、トリガーの判定にはこの 7 層が使われている。EI/FI についてはトリガーの補助の役割をする。EI/FI は Z=7m に設置さて、M1,M2,M3 は Z=13m $\sim$ 15m の領域に設置される。$|\eta| \geq 1.9$ の領域をエンドキャップ、$|\eta| \leq 1.9$ の領域をフォワードと呼ぶ。TGC は図 4.5 に示す円形を ϕ 方向に 12 分割したものが一つの大きな単位である。データの処理はこの 12 分の 1 の単位で行われる。この 12 分の 1 を、フォワード領域で ϕ 方向に 2 分割、エンドキャップ領域で ϕ 方向に 4 分割したものを、トリガーセクターと呼ぶ。このトリガーセクターの ϕ 方向の幅は、TGC1 枚の幅と一致している。さらにトリガーセクタを、エンドキャップ部では η 方向に 37 分割、ϕ 方向に 4 分割され、フォーワード領域では、ϕ 方向に 4 分割、η 方向 16 分割したものをサブセクターと呼ぶ。このサブセクターは、8 ワイヤーグループ、8 ストリップに対応して、これがトリガー処理の最小単位であり、一つの ROI である。また、TGC の境界に不感領域を作らないために、TGC が少しオーバーラップした配置がなされている。トリガーセクタ単位でも、オーバーラップした配置をしている。

4.3 トリガーの処理方法

次にトリガーの処理について説明する。TGC のトリガーは、各層のチェンバーの信号のコインシデンスをとり、バックグラウンドによる偶発的なトリガーを抑えることができる。コインシデンスの方法として M2,M3 のダブレットを用いて、ワイヤーおよびストリップの場合 3-out-of-4[2]の条件を要求する。また、トリプレットではワイヤーの場合 2-out-of-3、ストリップの場合には 1-out-of-2 の条件を要求する。そしてコインシデンスが取られた後に、ミューオンの横運動量 p_T が求められる。p_T の判定の方法は、図 4.6 を用いて説明する。Pivot と衝突点を結ぶ直線は、ミューオンの運動量が無限大であると仮定して、磁場の影響をまったく受けずに直進してきた仮想なトラックである。この直線が Middle, および Triplet で交差する点と、実際のミューオントラックが

[2] 4 層のうち 3 層の TGC にヒットがあるという条件。

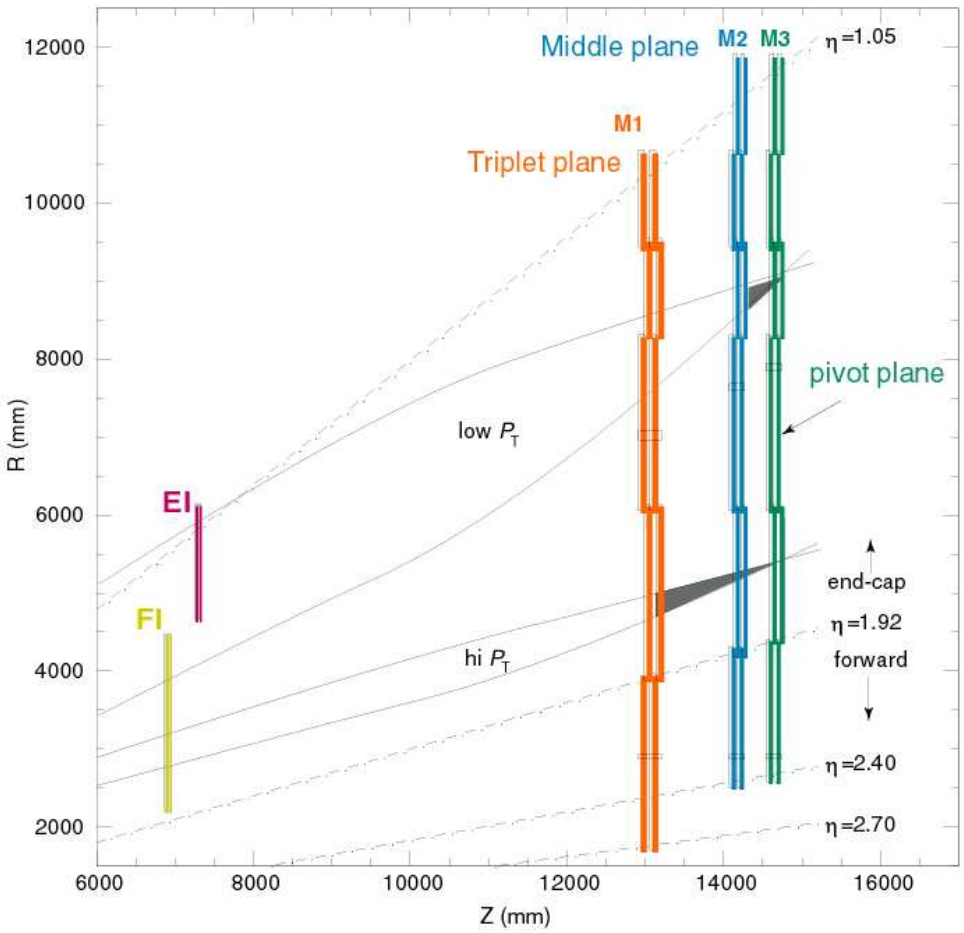

図 4.4: TGC のレイアウト (R-Z 断面)

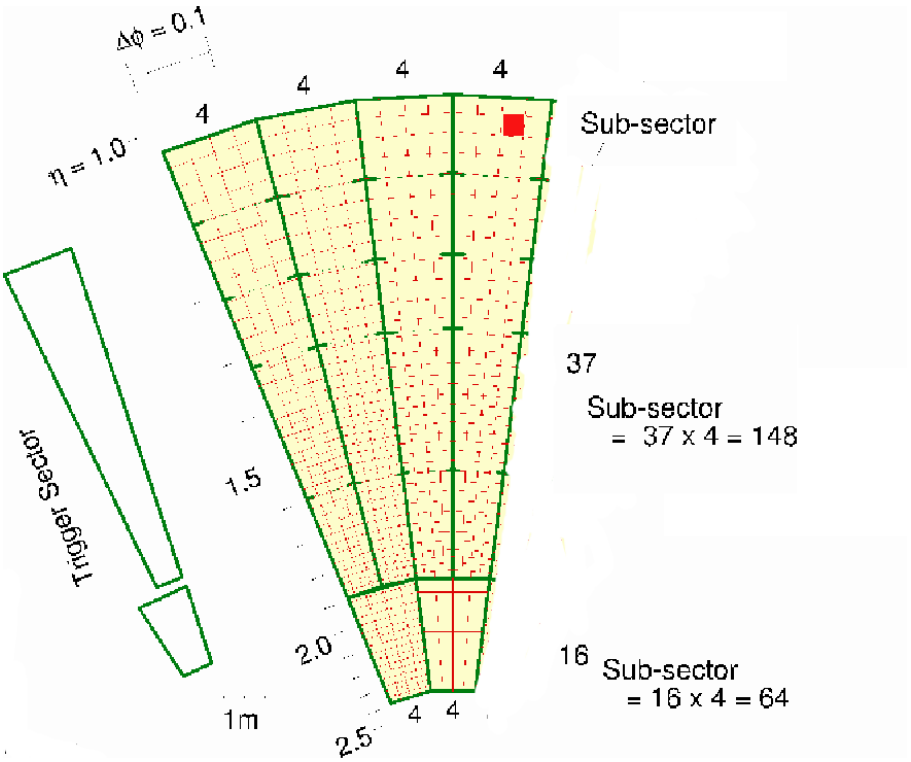

図 4.5: 12 分の 1 の構造

通過した点の R,ϕ の位置の差 $\delta R, \delta\phi$ の値により、ミューオンの p_T が測定される。Middle,Triplet では、それぞれ $\delta R, \delta\phi$ の上限が設定があり、上限の $\delta R, \delta\phi$ で形成される領域をウィンドウと呼ぶ。

ミューオンのトリガーには、2 種類の p_T に関する閾値があり、その閾値によって、Low-p_T,High-p_T に分かれる。閾値の値は、Low-p_T は 6GeV 以上,High-p_T は 20GeV 以上である。

Low-p_T のトリガーでは Middle,Pivot の情報を用いて、ある一定の幅のウィンドウに入った時、Low-p_T のミューオンの候補として扱われる。また、High-p_T トリガーの場合には、Low-p_T の条件に加えて、Triplet の情報を用いて、ある一定の幅のウィンドウに入った時のみ、High-p_T ミューオンの候補として扱われる。ここまではワイヤー、ストリップ独立に処理されていて、次にワイヤー、ストリップを統合した R-ϕ コインシデンスをとることにより、トリガー判定が下される (図 4.7)。

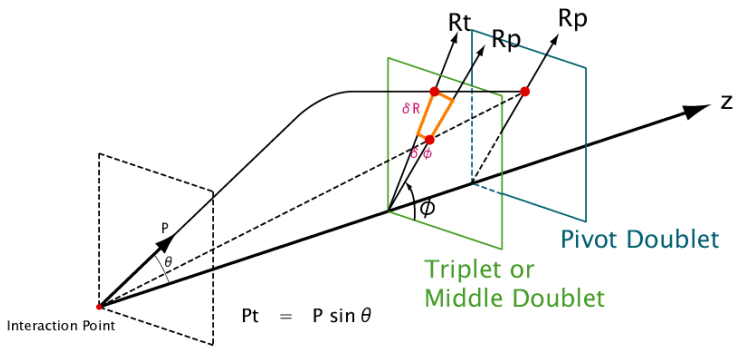

図 4.6: δR,$\delta\phi$ の定義

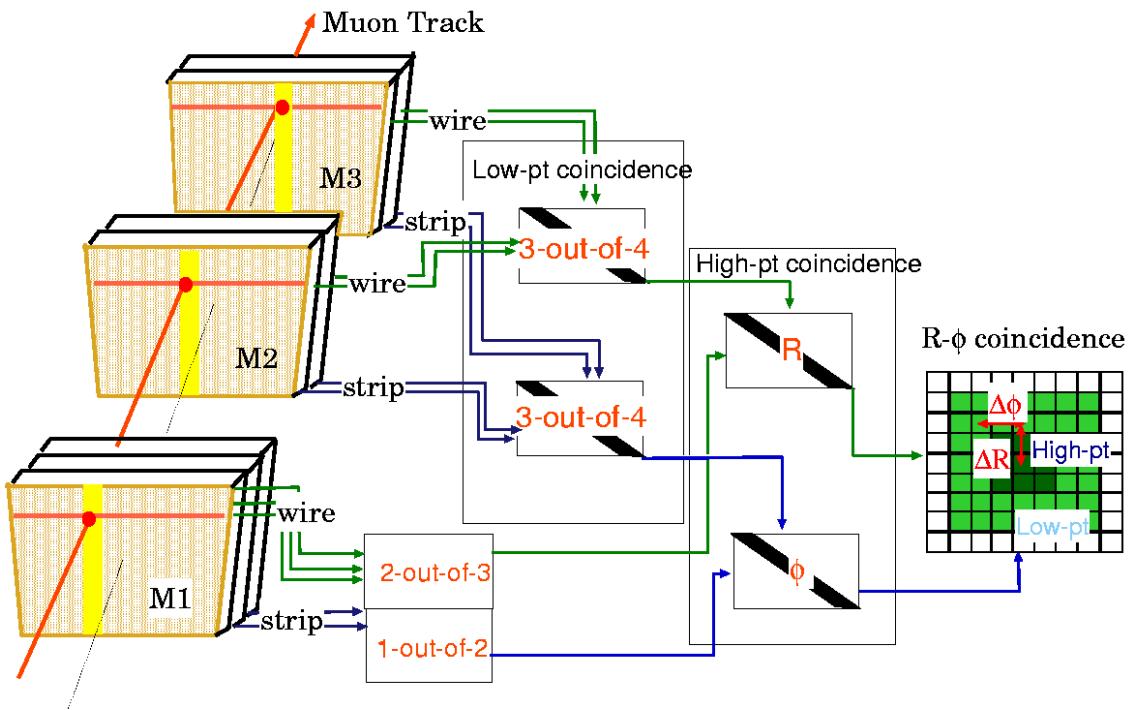

図 4.7: TGC トリガーの判定方法

4.4 TGCエレクトロニクス

TGCエレクトロニクスで使用されるボードと、それに搭載されるASICを表4.1に示す。8種類のボードおよび、4種類のASICを使用している。TGCエレクトロニクスのデータの流れを図

ボード名	搭載ASIC
ASD Board	ASD ASIC
PS Board	Patch Panel ASIC 、Slave Board ASIC
High-P_T Board(HPT)	HPT ASIC
Sector Logic(SL)	
Star Switch(SSW)	
ReadOut Driver(ROD)	
Crate Control Interface(CCI)	
Service Patch Panel(SPP))	

表 4.1: TGCエレクトロニクスで使用するボードおよびASIC

4.8に示す。データ処理の流れはトリガー、リードアウト、コントロールと3つに分かれている。まず、トリガーの流れは図4.9に示すように、チェンバーのアナログ信号がASD(Amplifer Shaper Discriminator)ボードで増幅、整形され、デジタル信号でPP(Patch-Panel) ASICに送られる。PPでは、TOFやケーブル遅延からなるタイミングのずれを調整し、どのバンチに属しているかを識別する。SLB(SlaveBoard) ASICはPPからの信号を受け取り、4層からなるPivot,Middleのダブレットからの信号をもとにコインシデンス処理を行われ、Low-p_T 判定を行う。また、トリプレットに関してはコインシデンス処理のみ行う。HPT(High-P_T Board)ではSLBで測定した情報をもとに20GeV以上の横運動量を持つミューオンがあるか判定を行う。SL(Sector Logic)では、独立に行われていたR,ϕの情報が統合され、コインシデンス処理される。最終的にp_Tが大きい2つのトラックをセクタ毎に選び出す。SLの結果はMUCTPI(Muon CTP Interface)におくられ、RPCの情報とあわせ、ミューオンの最終的なトリガー判定が下される。

リードアウトは図4.10に示すように、SLB ASICでPPから送られてきたデータが、レベル1バッファに蓄えられる。レベル1トリガー判定を受けたデータは、デランダマイザに記録され、SSW(Star Switch)へ送られる。SSWではデータの圧縮を行い、要求されたフォーマットに変換する。変換されたデータはROD(Read Out Driver)に送られる。RODは最大13個のSSWの情報を収集できる。そして、異なるSSWからきたデータを各イベント毎にまとめてROB(Read Out Buffer)へ送信する。

コントロールは図4.11に示すように、データの流れとは逆で、CCI(Crate Control Interface)により実験室にあるHSC(High-P_T Star Switch Controller)をリモートコントロールし、SSW、HPTを操作する。さらにSSWからPP,SLBの制御を行うことができる。また、eLMB(embeded Local Monitor Box)からPP,SLBの設定も行える。

ここから、TGCエレクトロニクスに使用するモジュールについて説明する。

- ASD(Amplifer Shaper Discriminator)
  ASDボードはTGCの側面に取り付けられる(図4.12)。ASDボードはASD ASICが4チップ搭載されて、1ボードあたり16チャンネルの処理を行うことができる。そのうち1チャンネルはアナログ信号も出力することができる。ASD ASICの機能はTGCからのアナログ信号を増幅して、ある閾値を超えたパルスのみを、LVDS信号[3]に変換して、PPに送る。ASD

[3]Low Voltage Differential Signaling、低電圧の差動型の信号の規格である。シングルエンド方式に対して同相ノイズの影響を受けにくい。

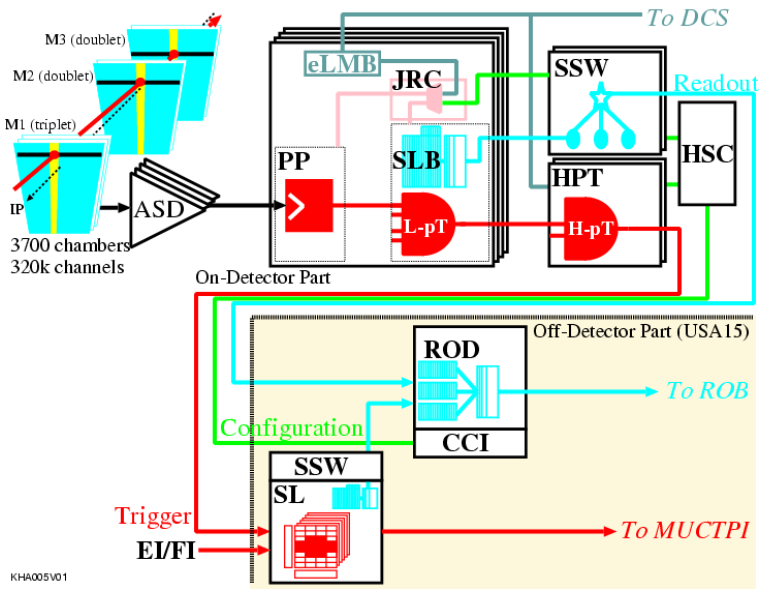

図 4.8: TGC エレクトロニクスの流れ

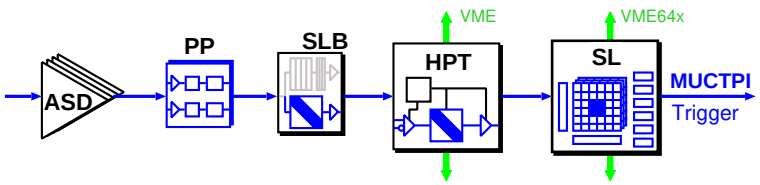

図 4.9: トリガーのデータの流れ

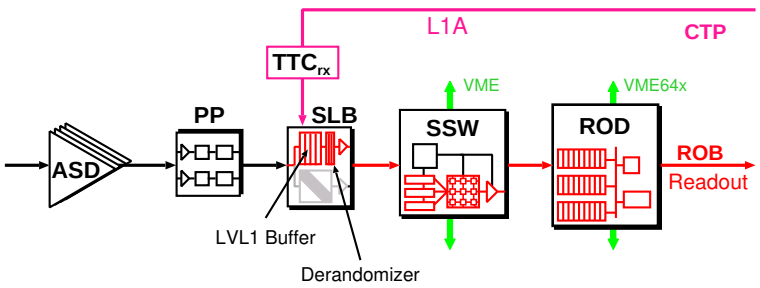

図 4.10: リードアウトデータの流れ

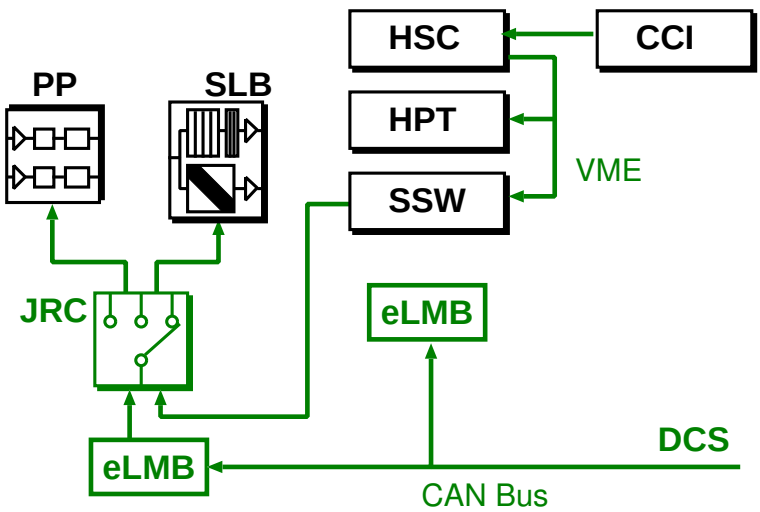

図 4.11: コントロールデータの流れ

ボードは PS-Board から ±3V の電源電圧を供給され、回路の診断やタイミング調整のためのテストパルス信号を受ける機能がある。

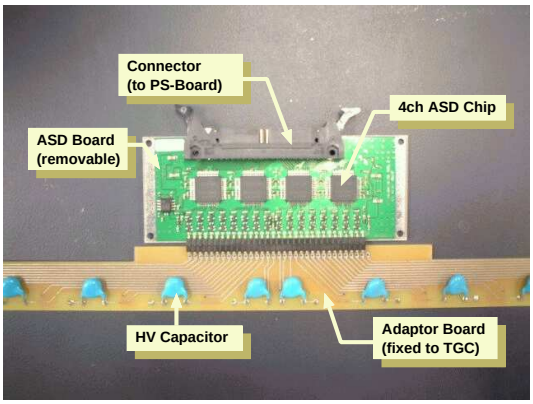

図 4.12: ASD ボード

- Patch Panel
  ASD ボードから送られてきた信号は TOF、ケーブル遅延により、到達時間が必ず合うとは限らない。Patch Panel ではタイミング調整とバンチ識別を行う。ASD ボードから LVDS 信号で送られてきた信号は CMOS レベルに変換され、ケーブル遅延による位相差をなくすため、ディレイ回路によりタイミング調整を行う。タイミングを調整した後に、BCID 回路にて LHC クロックと同期を取る。また、ASD ボードへアナログのテストパルス信号を送ることができる。このテストパルス信号の設定は、JTAG プロトコル[4] で設定することができる。

- Slave Board ASIC
  Patch Panel でタイミング調整、バンチ識別をされた後、信号は SLB (Slave Board)ASIC により、コインシデンスが取られる。このコインシデンスの取り方としてはワイヤー、ストリップ、そしてダブレット、トリプレットは独立に処理を行う。そのため SLB ASIC はワイヤーダブレット、ストリップダブレット、ワイヤートリプレット、ストリップトリプレット、EI/FI の 5 つのタイプに分かれている。ダブレットについては TGC のダブレットのペアからの信号をとって 3-out-of-4 のコインシデンスをとり、Low-p_T 判定を行う。またトリプレットではストリップについては 1-out-of-2, ワイヤーについては 2-out-of-3 のコインシデンス処理のみ行う。このコインシデンスの結果は LVDS 信号に変換されて、High-P_T ボードへ送られる。

  SLB ASIC のもう一つの機能は、レベル 1 トリガー判定を受けたデータを、全て読み出すことである。レベル 1 トリガー判定を受けたデータは、その前後 1 バンチを含む計 3 バンチのデータがデランダマイザに送られ、シリアル化されて SSW へ送られる。SLB ASIC の詳細については 5 章で述べる。

- JRC(JTAG Routing Contorller)
  JRC の役割は PP ASIC ,SLB ASIC の設定を行うときのインターフェースである。JRC の構造は、図 4.13 に示すように、二つの入力ポート、7 つの出力ポートを備えている。一つの入力ポートは SSW からで、もう一つは DCS からのものである。出力ポートは 4 つが PP,2 つは SLB へのものである[5]。

[4]LSI の入出力端子にレジスタを設けデータの出入りをモニタするための規格 (IEEE1149.1) であり LSI のデバッグ用に作られたものである。ユーザ定義のインストラクションおよびレジスタを持つことができるためそれらの LSI に対する動作命令や機能設定に利用できる。JTAG は TDI、TDO、TCK、TMS の四本でプロトコルを形成することができ、少ない配線で通信が可能である。

[5]PS ボードで SLB が 3 チップ搭載されるときに残りの 1 つのポートは使われる。

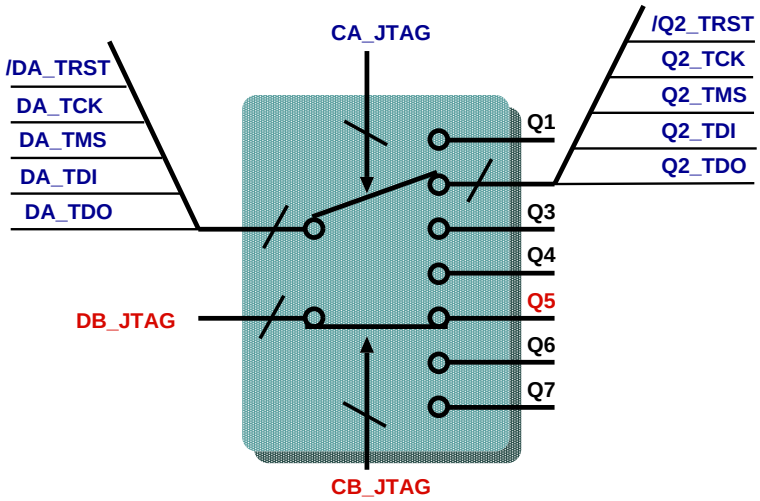

図 4.13: JRC の内部構造

- eLMB (embeded Local Monitor Box)
  eLMB は DCS の中で TGC を扱うサブシステムである。温度モニターやエレクトロニクスの DC 電源の電流と電圧をモニターする。また、TGC の内部のガスの流れや圧力などをモニターする。これらのモニターなどの eLMB の動作は CAN [6] バスによって制御されている。

- SPP(Service Patch Panel)
  SPP には TTCrx が搭載されたメザニンボード [7] があり、TTC からの信号を受け取りそれらの信号を各 PS ボードに分配する。

- PS Board
  図 4.14 に示すように、PP,SLB,JRC ASIC は PS Board に搭載される。PS Board は 1 ボードあたり 256 ~320 チャンネルの入力を持ち、Patch Panel ASIC を出た信号は TGC のオーバーラップ領域でのダブルカウントを防ぐため、OR 論理回路を通過し、SLB ASIC に送られる。SLB ASIC ではトリガー用データは HPT、読み出し用データは SSW へ LVDS 信号で送られる。SSW、eLMB から PP,SLB ASIC の設定を行う信号は、JRC ASIC を経由して各 PS Board 上の各 ASIC に分配される。

  さらに、ASD ボードに ±3V の電源電圧を供給する。PS Board と SPP は図 4.15 のように PS-Pack にまとめられ、トリプレットの側面、Pivot の側面に設置される。PS-Pack12 分の 1 に 2 つ設置され、1 枚の SPP と複数の PS-Board (トリプレットは 10 枚、ダブレットは 17 枚) から構成される。

- HPT(High-p_T Board)
  HPT と後述する SSW,HSC は、TGC を支える構造体であるビッグウィール (図 4.16) の外縁に設置される 9U の VME クレート (HSC クレート) に収められる。このクレートは 12 分の 1 毎に 2 つ設置される。PS ボードとクレートまでのケーブル長は約 15m であり、カテゴリー 5 ケーブルが使用される。

  HPT では、コインシデンス処理されたトリプレット、ダブレットの位置情報と横運動量をもとに、20GeV 以上の p_T をもつミューオンがあった場合、High-p_T 判定を下す。High-p_T

[6] Controller Area Network マルチマスターのシリアルバスシステムでアドレス概念がなく、送信側は識別子をつけてメッセージを配信し、受信側はその識別子をみてメッセージを受信するかを決めるプロトコル
[7] 拡張カードやドータボードの上に更に追加で装着する小型の拡張基盤。

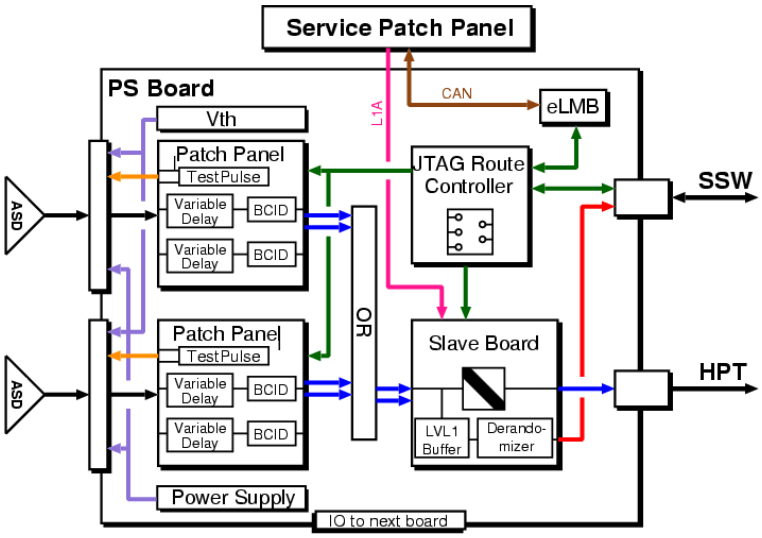

図 4.14: PS Board の構成

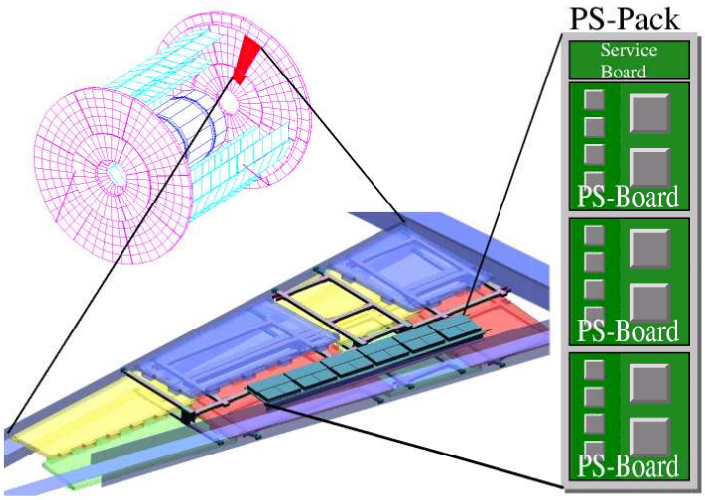

図 4.15: PS-Pack

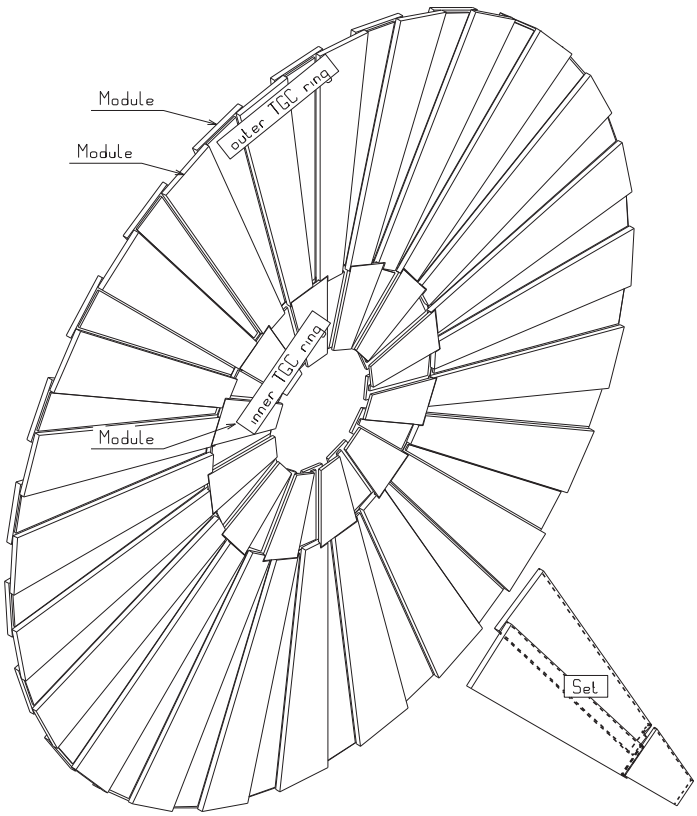

図 4.16: ビッグウィールの図

判定が下されたものは、新たに HPT で測定された運動量情報をエンコードし、G-link [8] でシリアル化し、光信号に変換し、Sector Logic へ送る。また、20GeV 以上のミューオンがなかった場合は、Slave Board の Low-p_T の情報をそのまま SL におくる。

- SL(Sector Logic)
  Sector Logic と後述する ROD は HSC クレートから、ケーブル長約 90 mはなれたエレクトロニクスハットに設置されている。Sector Logic は主に R-ϕ コインシデンス、トラックプレセレクタ、トラックセレクタから構成されている。まず、今まで独立に処理されていた、ワイヤー、ストリップのデータを統合し、R(Wire)-ϕ(Strip) コインシデンスを取る。それによりミューオンのトラックを構成し、そのトラックを 6 段階の p_T の閾値によって分類する。この閾値は探索する物理、実験状況によって変更することが可能である。トラックプレセレクタは 6 段階の範囲で p_T の大きいトラックが 2 つ選ばれ、最大１２トラックがトラックセレクタに送られる。トラックセレクタでは選ばれたトラックのうち p_T が高い 2 つのトラックが選ばれ、位置情報とともに MUCTPI へ送られる。また Sector Logic にはレベル 1 バッファ、デランダマイザ[9]が設置されていて、HPT、Sector Logic 双方の出力を読み出すことができる。

- SSW(Star Switch)
  SSW は、SLB からの読み出しで送られてくるデータは、膨大になるため、それを集約させ、データ圧縮を行うモジュールである。これによって最終的に読み出しのデータをまとめる ROD まで、効率よくデータを転送することができる。SSW は SSWtx,SSWrx で構成され、

[8] 16 ビットのをパラレルで受信し前後 2 ビットずつフラッグビットをつなげてシリアルで転送するシリアルリンクの一種
[9] 実際は SLB ASIC が搭載されている。

SSWrx ではデータ圧縮のほかに、PS ボードの設定を JTAG プロトコルで行う機能もある。SSWtx で要求されるフォーマットに変換して、光信号に変換し、ROD に送信する。

- ROD(Read Out Driver)
  ROD は、TGC エレクトロニクスの読み出しデータが、最終的に集められるモジュールである。まず、ROD は SSW から送られてくるデータを FIFO に収める。そして、イベントの同定などを行うため、TTCrx が搭載されており、TTC 信号を受信することができる。この TTC 信号をもとに読み出しデータとトリガー情報をイベント毎にまとめ、S-link というリンクモジュールにより、ROB(Read Out Buffer) へ送信する。

- HSC
  HSC は HSC クレートに搭載する VME [10] マスターモジュールである。次に述べる CCI と、光ケーブルで繋がれていて、CCI からの命令を受ける。そして、その命令に対応した処理を行い、その後 CCI に応答を返す。この命令は HPT,SSW に対するものなので、HSC が VME バスのマスタモジュールとなり、スレーブモジュールである HPT,SSW に対して命令を伝える。

- CCI
  CCI はローカルホストからの命令を受け取り、命令専用レジスタに格納したあとに HSC へ送信する。そして、HSC からの返信は一旦レジスタに格納されてローカルホストによって読み出される。

ここで TGC エレクトロニクスのモジュールの設置場所について説明する。まず実験ホール内の UXA15 と、エレクトロニクスハットの USA15 に分けられる。また UXA15 内でエレクトロニクスの設置場所は、TGC の側面、TGC を支える構造体のビッグウィールを分けられる (図 4.17)。この 3 ヶ所に設置されるモジュールについて説明する。まず TGC の側面に PS ボードが設置される。PS ボードは、信号のケーブル遅延を少くするため、全て TGC 側面に設置する。PS-Pack は 12 分の 1 毎に 2 つ設置される。次にビッグウィールには VME9U クレートが搭載される。この VME クレートの中に HPT,SSW、HSC が収められる。このとき VME クレートから PS パックまでは、ケーブル長約 15 mである。そしてケーブル長約 90 m離れた、エレクトロニクスハットには SL,ROD,CCI が VME64x クレートの中に収められている (図 4.18)。

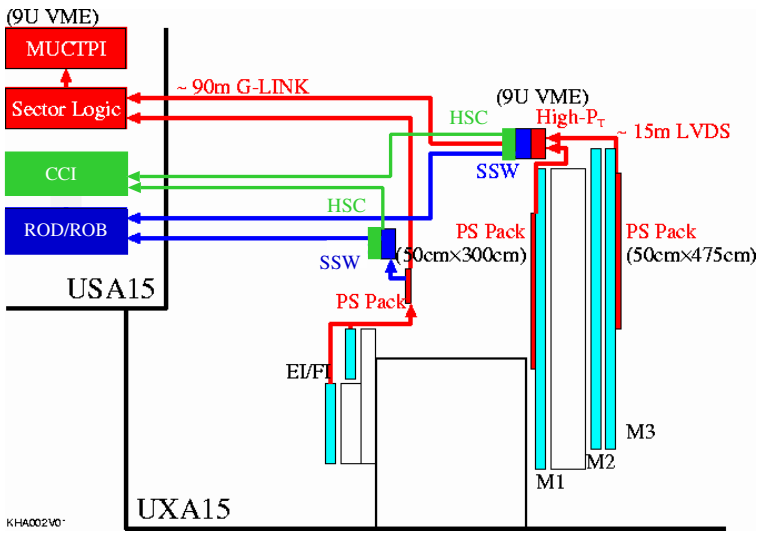

図 4.17: TGC エレクトロニクスの配置

[10] モジュールのアドレスを指定することで、アクセスできるバス規格。通信速度は最高で約 50MB/sec

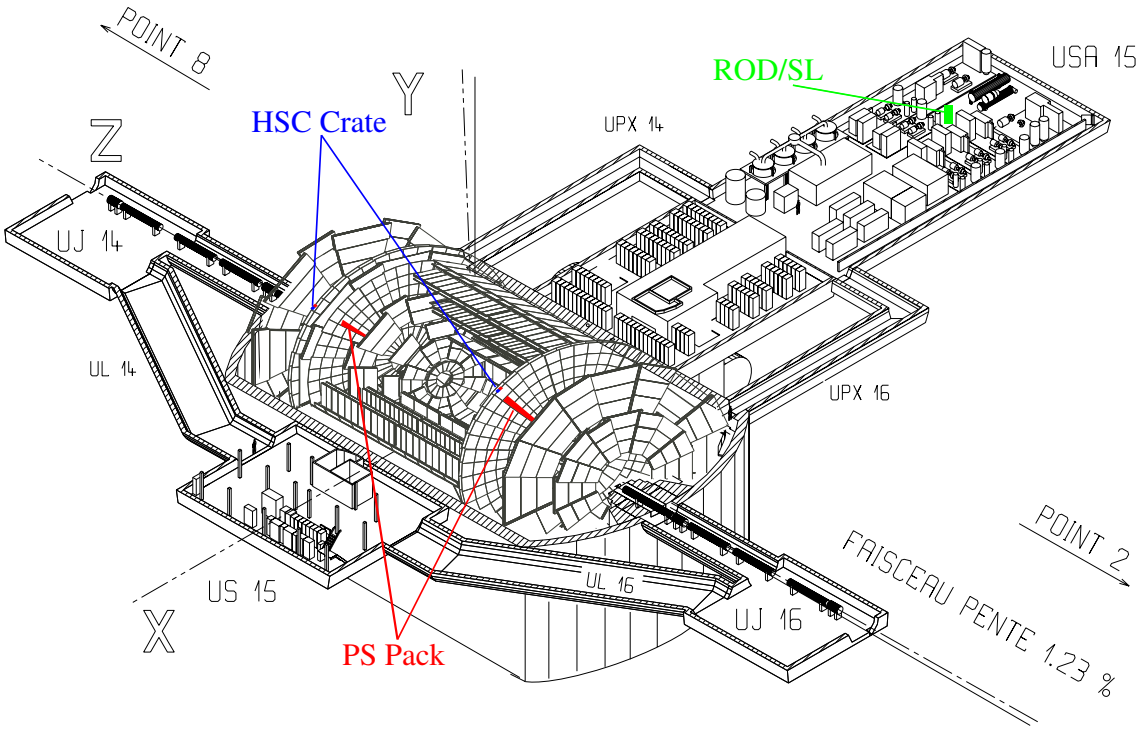

図 4.18: USA15 に置かれるモジュールと UXA15 に置かれるモジュール

4.5 放射線による影響

TGC エレクトロニクスが設置される環境は、ハドロンコライダー特有の膨大なバックグラウンドが発生するため、エレクトロニクスに大量の γ 線、中性子などの放射能をあびることが予想されている。放射線が半導体に与える影響のうち、吸収線量の積算的な効果によるものとして TID(Total Ionizing Dose) と NIEL(Non Ionizing Energy Loss) がある。

- TID(Total ionizing Dose)
  入射粒子の積算的な電離エネルギー損失を評価した量である。TID は、主に電子、陽子などの荷電粒子や γ などに引き起こされる。半導体素子のゲート電極や酸化絶縁膜の中で電離が引き起こされ、電源電流や入力電流の増加を引き起こす。

- NIEL(Non Ionizing Energy Loss)
  入射粒子の非電離的なエネルギー損失による積算的な評価のことで、一般的に等価フルエンスを用いて評価する。等価フルエンスとは、入射粒子のエネルギーや種類によらず、それらを 1 つの標準的な粒子のエネルギーに統一するための量である。このフルエンスは、等価 1MeV の中性子として換算される。

また、吸収線量に関係なく単発の放射線粒子によって引き起こされるものとして SEE(Single Event Upset) がある。

- SEE(Single Event Effect)
  単発の高エネルギーのハドロンによって、引き起こされる現象である。SEE ではレジスタのビット反転などの誤作動を起すソフトエラーと、半導体デバイスが永久的に故障してしまうハードエラーの二種類の現象がある。ソフトエラーは SEU(Single Event Upset) といい、高エネルギーのハドロン粒子の通過によって生じる電荷量が、集積回路に流れる電荷量と同程度となり、メモリ端子で記憶している情報が反転するなどの誤作動を起す現象である。ハードエラーとして SEL(Single Event Latch up) があり、これはメモリセル以外の部分でも起

こることである。電極間が導通状態になり、大量の電流が流れることにより、デバイス自体の動作に問題を起す恐れがある。

ATLAS 実験では、RHA(Radiation Hardness Assuarance) ワーキンググループが、Geant をベースにシミューレションを行い、各サブシステムについての放射線基準値を定め、使用するチップなどについて安全性をチェックする。TGC エレクトロニクスの設置される場所は、トリプレットの位置は (R,Z)=(715-1180cm,1280-1290cm), ダブレットの位置は (R,Z)=(680-1180cm,1470-1480cm) であり、RHA のシミュレーションより、放射線基準値は SRL(Simulated RadiationLevel) は表 4.2 のようになる。

	SRL_{tid}(Gy/10y)	SRL_{niel}(MeV.n.cm^{-2}/10y)	SRL_{see}(20MeV.h.cm^{-2}/10y)
	10 年間の積算線量	10 年間の中性子のフルエンス (1MeV 中性子に換算)	10 年間のハドロンのフルエンス (20MeV ハドロンに換算)
トリプレット	2.27	2.58E+10	6.54E+09
ダブレット	2.49	1.42E+10	4.53E+09

表 4.2: 放射線量のシミュレーションによる見積もり

各現象における、放射線基準レベル SRL は、SRL_{TID} については、10 年間の積算吸収量[11]、SRL_{NIEL}、SRL_{SEE} については、10 年間のフルエンス[12]で評価される。SRL には、シミュレーションの不定性などがあり、そのために安全係数が用意されている。SRL の安全係数を表 4.3 に示す。 これら安全係数をすべて考慮したものが耐放射線基準 RTC(Radiation Tolerance Criteria)

安全係数名	説明	SF_{tid}	SF_{niel}	SF_{see}
SF_{sim}	シミュレーションの誤差	3.5	5	2
SF_{ldr}	低線量率での長時間照射の効果	5	1	1
SF_{lot}	チップ製造時のロット差による効果	4	2	1

表 4.3: SRL の安全係数

であり、TID,NIEL,SEE について以下のように見積もられている。

$$RTC_{tid} = SRL_{tid} \times SF_{sim} \times SF_{ldr} \times SF_{lot} = 2.49 \times 3.5 \times 5 \times 2 \sim 1.0 \times 10^{2}[\mathrm{Gy}] \tag{4.1}$$

$$RTC_{niel} = SRL_{niel} \times SF_{sim} \times SF_{ldr} \times SF_{lot} = 2.58 \times 10^{10} \times 5 \times 1 \times 2 \sim 3.0 \times 10^{11}[\mathrm{cm}^{-2}] \tag{4.2}$$

$$RTC_{see} = SRL_{see} \times SF_{sim} \times SF_{ldr} \times SF_{lot} = 6.54 \times 10^{9} \times 5 \times 1 \times 2 \sim 7.0 \times 10^{10}[\mathrm{cm}^{-2}] \tag{4.3}$$

ATLAS 実験において、TGC エレクトロニクスは上記の RTC の値に相当する照射を行って、安定に動作することが求められている。TID についての基準値は約 100Gy 相当の γ 線をデバイスに照射を試み、放射線耐性を評価すればよい。NIEL に対しては、CMOS デバイスによるテストをしなくてもよいと RHA で決められている。それは中性子による損傷は中性子と核子の弾性散乱によるバルク中の格子欠損であり、CMOS デバイスは表面付近のゲート領域のみで動作するので、この影響はバイポーラに比べて少なく、NIEL の耐性がある [10]。TGC エレクトロニクスグループでは、CMOS デバイスを使用しているため、NIEL のテストを行う必要はない。

[11] 線量は物質の単位質量あたりに吸収されるエネルギーで定義されており単位には Gy,rad が使われる。(1Gy=1J/kg)
[12] 単位面積を通過する放射線の個数を全照射時間で積分したもの

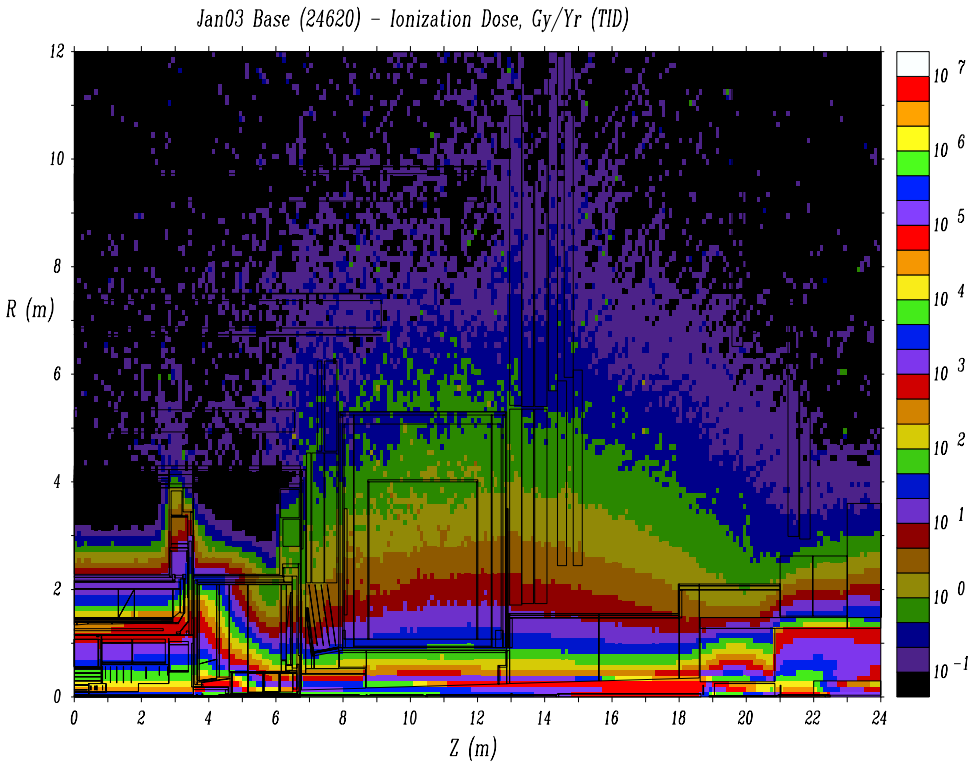

図 4.19: TID の Z-r 分布

SEE に対しても、ハドロンのフルエンスの基準値に基づき評価すればよい。しかし SEE の発生率に関してはデバイスの構造、集積度に依存するので、ATLAS 実験全体での統一的な発生率の基準値は与えられていない。したがって、TGC エレクトロニクスグループに用いるデバイスについては、照射試験を行って、SEE の発生率を調べ、システムへの影響がどの程度のものか調べる必要がある。例として、SLB ASIC についての SEU の発生頻度を見積もってみる。ハドロンのフルエンス Φ と SEU 断面積 σ が分れば以下の式で見積ることができる。T は LHC の稼働時間 10 年 $(10^8\mathrm{sec})$ とする。

$$SEU = \frac{\Phi\sigma}{T} \tag{4.4}$$

SEU 断面積は、デバイスに依存するが、20MeV 以上のハドロンに対しては、断面積は $10^{-13} \sim 10^{-15}[\mathrm{cm}^{-2}/\mathrm{bit}]$[15] であると見積もられている。SLB では SEU の影響を問題となるのは、設定レジスタであり、1 チップあたり 674 ビット存在する。また ATLAS 実験では SLB ASIC は 2880 個使用するので、断面積を $10^{-13}[\mathrm{cm}^{-2}/\mathrm{bit}]$ と仮定して、SEU 発生率は

$$\begin{aligned} SEU_{rate} &= \frac{\sigma \times RTC_{SEE}}{T} \times \text{全ビット数} \times \quad \text{使用チップ数} \\ &= \frac{1.0 \times 10^{-13} \times 7.0 \times 10^{10}}{10^8} \times 674(bit) \times 2880 \\ &\sim 12[SEU/day/TGC_All_System] \end{aligned} \tag{4.5}$$

となる。この見積もりから LSI の設定レジスタには SEU 対策をすべきであることがわかる。この SEU 対策は、ASIC に搭載される各設定レジスタに、図 4.20 に示す多数決論理回路を導入することである。この多数決論理回路は、2 つのレジスタで、同時に発生しない限り、設定レジスタへの影響が起こらない。この多数決論理回路の導入により、SEU による IC の誤作動を防止することができる。そして SEU が起こったことを知らせる回路も搭載され、常時 SEU が起こったか、監視することができる。

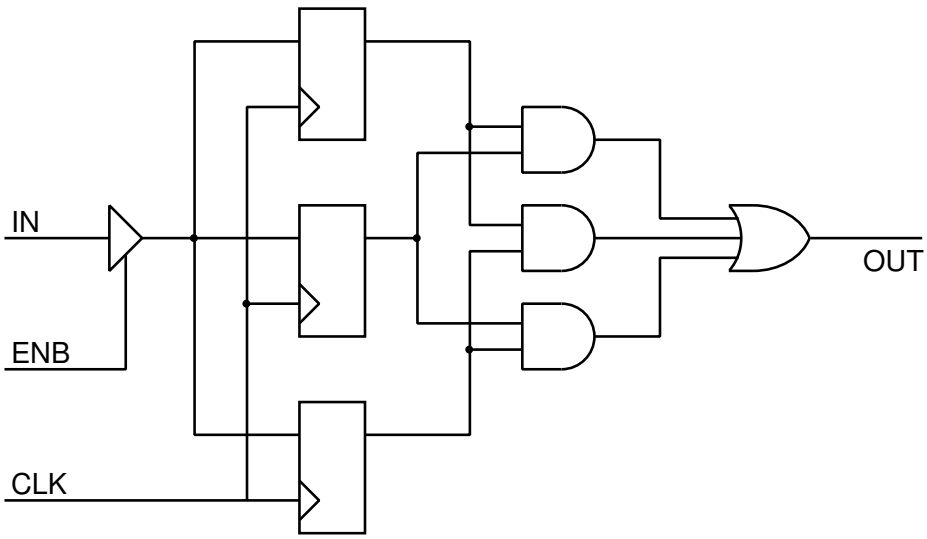

図 4.20: 多数決回路

第5章　ASICの開発

ATLAS 実験における、TGC ミューオントリガーシステムの信号の読み出し総チャンネルは 32 万以上になる。また、これらの信号の処理を行うエレクトロニクスは、強い放射線環境下に置かれるので、SEU などに積極的に対処することのできる ASIC で実現されるのが望ましい。ここでは次章からの TGC の信号処理用 ASIC の説明の前に ASIC の設計、開発について述べる。

5.1　CMOSプロセス

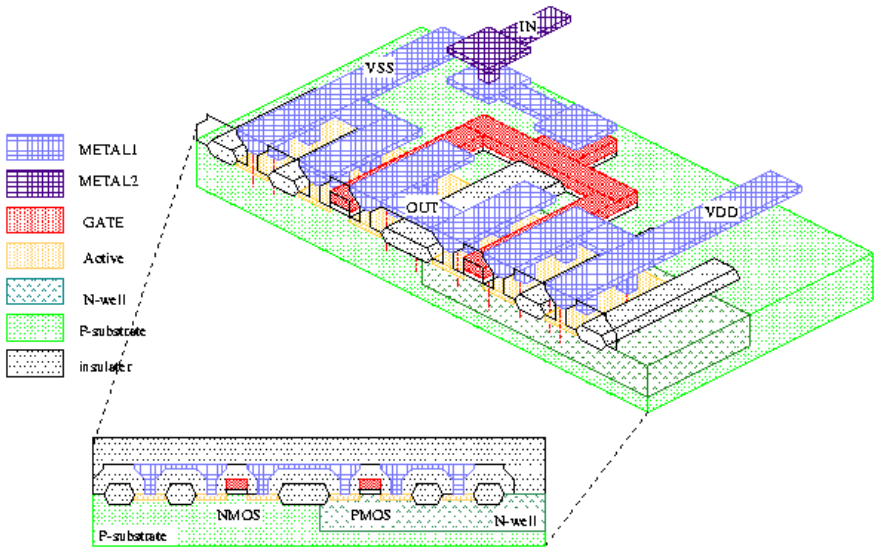

図 5.1: CMOS の断面図

図 5.1 に CMOS プロセスの模式図を示す。CMOS は導体、絶縁体、拡散層、ポリシリコンなどのトランジスタを形成する物質を何層か重ねて作られる。トランジスタには NMOS、PMOS の二種類があり、NMOS は p 型の基板上に二つの n 型の拡散層をつくり、その間にゲートと呼ばれる絶縁体をはさんだポリシリコンの電極を配置した構造になる。また PMOS は n 型の基盤に 2 つの p 型の拡散層をつくり、その間にゲートを配置した構造になる。またゲートの感覚はそのプロセスの構造の細かさ、あるいは性能を表す目安になる。今回 ASIC の設計に用いるプロセスの場合は、ゲート間隔は 0.35μm である。

5.2　回路の表現

現在 IC の設計には主に、ソフトウェアを通して行われる。ソフトウェアで回路を表現する方法として用途に応じて以下のような記述の仕方がある。

- HDL(Hardware Description Language) コード

デジタル回路の記述に使われる言語で verilog HDL ,VHDL の二種類が主流である。今回の設計ではすべて verilog を用いている。verlog HDL は C 言語のような抽象度の高い言語で、サブルーチンに対応する module があり、変数を定義するように wire (ワイヤー) ,reg (レジスタ) で定義する。また各種の論理演算や、条件分岐や繰り返しの記述が可能である。デジタル回路の大部分はこの HDL で記述され、またその回路をテストするために入出力部の回路を記述し HDL シミュレータにかけ、その回路の動作を波形で確認することができる。

- ネットリスト (ゲートレベル記述)
  ネットリストは、製造テクノロジーに応じて用意されるライブラリをもとに構成するものである。ライブラリには各種の論理回路やプリップフロップなどの機能と、モジュールや入出力部の名前が記述されている。ネットリストには、使用するモジュールとそれらを結ぶワイヤーを記述する。また、ネットリストも HDL と同様に、HDL シミュレータにより動作を確認することができる。

- Schmeatic(回路図)
  Schematic による記述は主にアナログ回路の記述に用いられる。単体の CMOS をもとに記述する。Schematic により記述された回路は、アナログ回路シミュレータの SPICE により、その回路の動作を確認することができる。

- レイアウト
  実際 IC を構成する金属配線層や、トランジスタを構成するゲートポリシリコンを二次元の図形で記述したもの。最終的に IC は、アナログ、デジタルすべてをこの形式で記述することになる。

次節では、これらの回路表現を使った ASIC 設計の手順を簡単に述べる。

5.3 開発の流れ

ASIC の開発は図に示すように、仕様設計、設計、動作検証を行い、最後に配置配線を行って、マスクレイアウトを作り、これを半導体ベンダーに渡す。そして、半導体ベンダーから試作が送られてきて、試作の動作検証を行い、動作が仕様通りであれば量産へ移るという流れになっている。以下に各過程に関して概要を述べる。

- 仕様の設計
  ASIC へ内蔵する機能、性能的な要求、システムからみた制約などから ASIC デバイスの選定や要求性能の評価をする。

- デジタル回路図の設計
  デジタル回路は、まず HDL を記述し、論理シミュレーション、論理合成を行って回路を設計していく。通常の IC をテストするときは、まずチップをテスタにセットし、テストパターンを入力し、その IC の動作を測定することを行う。ASIC の開発にも、これと同様のことを計算機上で模擬的に行う。論理シミュレーションには、デジタル回路に関して行うもので、高速に大規模な回路の検証ができる。シミュレーションをするには回路を記述したコードのほかに、回路に入力するパターンを記述したコードを用意する必要がある。テストする回路は HDL の抽象的なコード及びネットリストで、入力パターンに対する出力の波形を確認することでき、論理やタイミングの検証ができる。

  論理合成とは抽象度の高い HDL コードを実際の回路素子に対応させる変換のことであり、ロジックコンパイラーなどのツールを用いて行う。また、ライブラリには各種の論理素子、

フリップフロップなどの情報が含まれている。また抽象殿高い HD+記述の場合、論理合成ができないこともありうるので、HDL 記述の段階から対応する回路を考える必要がある。

- アナログ回路設計
  アナログ回路設計はレイアウトエディタと回路図エディタを用いて行う。レイアウトにはトランジスタを構成するゲートやメタルから、回路を記述するもので、記述には長い時間を要するが、性能の良い IC を設計刷ることができる。またこのレイアウトや回路図の動作の検証は SPICE などのアナログ回路シミュレータを用いて行う。SPICE シミュレーションは回路図やレイアウトのデータから、半導体のパラメータ、抵抗、容量を考慮して行うシミュレータである。回路図のデータの場合は、記述した素子のパラメータのみを使ってシミュレーションを行う。一方レイアウトの場合は、素子のパラメータに加え配線のもつ抵抗、容量、またトランジスタの各部にある寄生容量、寄生抵抗を考慮したシミュレーションが可能である。

- 配置配線
  配置配線はデジタル回路の設計で行ったネットリストや、アナログ回路設計で記述したレイアウト、また半導体ベンダーから提供されるライブラリをもとに、セルを二次元上に配置し、その間を配線していく処理である。最終的に半導体ベンダーに渡す IC のマスクレイアウトは配置配線で作る。

- デザインの検証
  設計の最終段階、設計過程において、DRC、LVS といったデザインの検証を行う。DRC(Design Rule Check) は、レイアウトに対して行う回路の検証で、製造テクノロジーに応じて用意されるデザインルールを満しているか確認するものである。主にトランジスタの各要素、配線などの最小間隔、隣接する素子との間隔に関するルールがある。LVS(Layout vs Schematc) はレイアウトと回路図が、対応していることを確認する検証である。レイアウトの編集により手配線で回路を設計する場合、レイアウトと同時に対応する回路図を記述し、それらが等価であることを確認する必要がある。

- マスクレイアウトの提出
  マスクレイアウトデータが完成すると、これを半導体ベンダーに提出し、ASIC の試作が行われる。

- 試作の動作検証
  ベンダーにより試作された ASIC が完成したら、動作検証を行う。ASIC が仕様通りの動作をすることを確認することと、スペックを調べ問題がないようであれば、量産に移る。

図 7.5 に仕様設計から量産までに流れを示す。

そして、現在 TGC エレクトロニクスグループは 4 種類の ASIC を使用している。4 種類の ASIC は設計及び動作検証が繰り返され開発されてきた。そして、今現在 4 種類の ASIC のうち 3 種類の ASIC の開発が終了し、量産も済んでいる。しかし、SLB ASIC だけが開発途中である。表 5.1 に各 ASIC とその開発状況についてまとめた。次章では、この開発中である SLB ASIC について述べる。

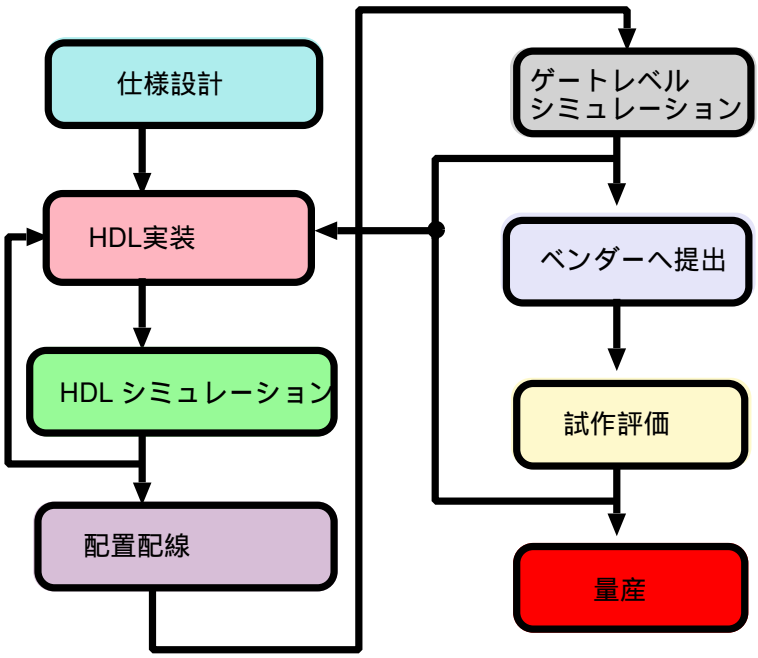

図 5.2: ASIC の開発行程

ASIC の種類	開発状況
ASD ASIC	量産済
PP ASIC	量産済
SLB ASIC	開発中 (2004 年 1 月に新な試作をベンダーに提出する予定)
HPT ASIC	量産済

表 5.1: TGC エレクトロニクスの ASIC と開発状況

第6章　Slave Board ASICの開発

TGCの総チャンネル数は32万チャンネルであり、これらの信号を高速に処理を行うために、ASICを使用することが必須となる。この章では、PS-Board上に設置されるSLB(Slave Board) ASICの動作検証及び、開発について述べていく。このSLB ASICはTGCトリガーシステムにおいてコインシデンス処理、Low-p_T判定、読み出しの機能を持っている。SLBは規模が巨大なためCPLDなどを用いて、後述する各機能ごとに試作が繰り返されてきた。各機能を統合して大規模なASICが試作されたが、1号機ではタイミングに難があったため、満足な動作が得られなかった。そこで2号機では1号機の修正を行い試作された。しかし2号機では仕様の不備と一部信号の動作の不具合があった。そして3号機ではこれらの修正を行い試作された。

今回、3号機の動作検証を行なった。3号機で追加された機能が正しく動作することを確認した。しかし、3号機に設計に一部誤りがあったため4号機で修正予定である。

6.1　Slave Board ASICの機能

ここでは、SLB ASICの機能について説明する。図6.1にSLBのブロック図を示す。SLBは大規模なASICであり、大きくわけて入力部、制御部、トリガー部、リードアウト部の4つのパートに分かれている。まず各パートについての特徴を述べる。

6.1.1　入力部

入力部は、図6.2に示すように、Patch Panel ASICから送られてきた信号が、バウンダリースキャンセルを通過して、その後、遅延回路に入る。この遅延回路は、各チェンバーのケーブル遅延による位相差をなくすためにあり、0.5クロックの単位で遅延させることができる。2号機では、(A,B)列、(C,D)列[1]の組み合わせで遅延することができる予定であったが、入力部に誤りがあったため、Pivot,Middleの入力に対して、別々に遅延の設定を行うことができなかった。3号機からは、A,B,C,D列独立に遅延の設定を行えるようになった。遅延回路を通った信号は、次にマスク回路により信号をマスクすることができる。次にSLB ASICや、それ以降のデバイスのテストを行うために、入力ラインに対してテストパターンを流すためのテストパルス回路がある。テストパルスパターンは、JTAGを用いてすべての入力チャンネルに対してHigh,Lowのどちらかに設定できる。TTCからのテストパルストリガー信号を受けると、トリガー部、リードアウト部の両方にこのテストパターンが送られる。さらにトリガー部の入力に対してマスク回路が設けられている。これはリードアウト部から故障している入力の位置を調べたいときに、トリガー部に影響を与えないために用いられる。

6.1.2　制御部

制御部では、JTAGプロトコルによって、SLB ASICの各パラメータの設定を行うことができる。各データレジスタとインストラクションレジスタはSEU対策として多数決論理回路を採用し、

[1] A、B列はPivotからの入力、C、D列はMiddleからの入力チャンネルである。

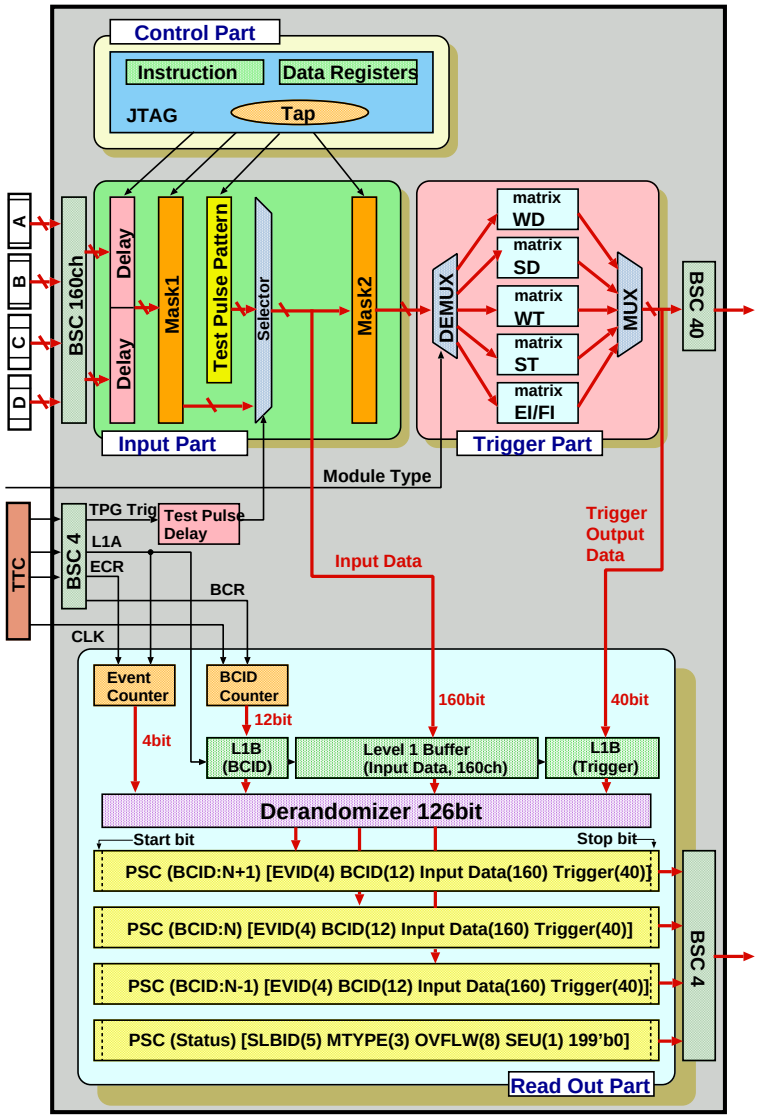

図 6.1: Slave Board ASIC のブロック図

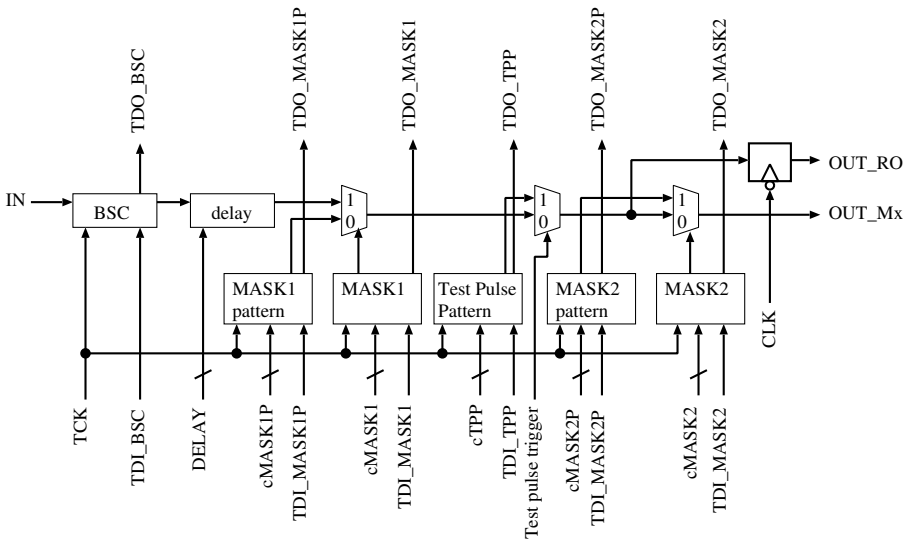

図 6.2: Slave Board ASIC の入力部

SEU の有無も読み出すことができる。表 6.1 に各パラメータとその設定レジスタについて示した。

レジスタ名	ビット数	モード	機能
DEPTH	21	R/W	レベル 1 バッファの深さの調整
TESTPULSE	5	R/W	テストパルストリガーの遅延調整、テストパルスの veto
DELAY	4	R/W	入力信号の遅延調整
DELAY A	3	R/W	A ブロックの遅延調整
DELAY B	3	R/W	B ブロックの遅延調整
DELAY C	3	R/W	C ブロックの遅延調整
DELAY D	3	R/W	D ブロックの遅延調整
SCHEME	1	R/W	コインシデンス処理の設定
L1VETO	1	R/W	L1A 信号の VETO
CLKINV	1	R/W	クロック反転の設定
RESET	1	R/W	イベントカウンター、バンチカウンターのリセット
DRDRST	1	R/W	デランダマイザーのリセット
DCVETO	1	R/W	DC バランスの設定
SET	1	RO	SEU フラグの読み出し
MODULE	8	RO	モジュールタイプとモジュールアドレスの読み出し
OVERFLOW	8	RO	デランダマイザーのオーバーフローカウンターの読み出し
ID	32	RO	チップ ID の読み出し
MASK1P	160	R/W	マスクパターンの設定
MASK1	160	R/W	マスクイネーブルの設定
MASK2P	160	R/W	トリガー部へのマスクパターンの設定
MASK2	160	R/W	トリガー部へのマスクイネーブルの設定
TPP	160	R/W	テストパルスパターンの設定

表 6.1: Slave Board ASIC の JTAG レジスタリスト

6.1.3 トリガー部

トリガー部では、TGC の信号をコインシデンス処理、Low-p_T 判定を行う。SLB ASIC ではワイヤーとストリップ、ダブレットとトリプレットは別々に処理を行うので表 6.2 に示すようなの 5 種類の機能が必要になる。しかし、主な処理はほぼ同じであり、パラメータが異なるくらいなので費用を節約するために、1 つの ASIC によりすべて処理できるように設計されている。

TYPE	Input	Output	Coincidence
WDSB	Pivot: (2+32+2) × 2wire Middle:(6+32+6) × 2wire	(4(δR)+5(R)) × 2(A,B)=18bit	3/4 or 4/4 ($\delta R = \pm 7$)
SDSB	Pivot: 32 × 2strip Middle:32 × 2strip	(3$\delta\phi$+5(ϕ)) × 2(A,B)=16bit	3/4 or 4/4 ($\delta\phi = \pm 3$)
WTSB	Pivot: (2+32+2) × 3wire	(1+5(R)) × 3hit	2/3 or 3/3
STSB	32ch × 2strip × 2TGC	(1+4(ϕ))× 4hit × 2TGC	2/3 or 3/3
EI/FI	32ch × (2wire +2strip)	EI:6bit FI:8bit	1/2 or 2/2

表 6.2: モジュールタイプとトリガー出力

次にそれぞれの機能について簡単に説明していく。

- WDSB(Wire Doublet Slave Board)
  ワイヤーダブレットは、Pivot,Middle の 2 つのダブレットのワイヤー 4 層から、それぞれ 32 チャンネル入力される。また、不感領域をなくすために、隣接した部分からも入力を得るため、Pivot では両隣接部から 2 チャンネル、Middle では両隣接部から 6 チャンネルずつ入力される。合計 160 チャンネルの信号が入力される。コインシデンス処理は、Pivot でミューオンのヒットポジションを決めて、Middle の位置情報からミューオンの p_T を求める。図 6.3 に、ワイヤーダブレットのコインシデンスマトリックスのブロック図を示す。このマトリッ

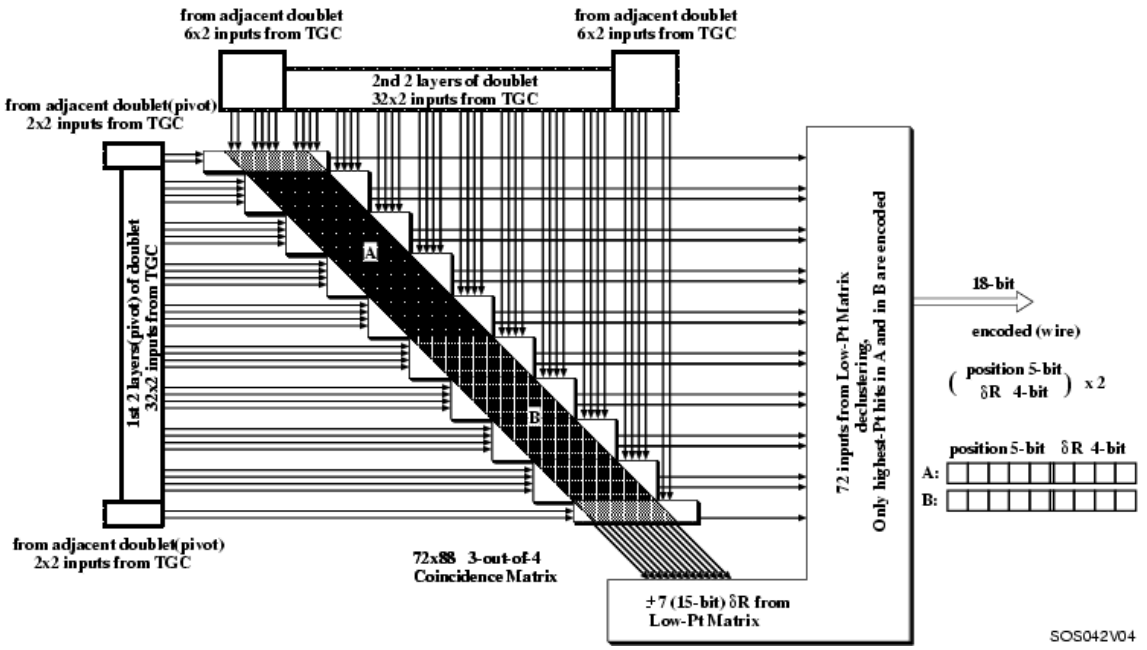

図 6.3: ワイヤーダブレットのコインシデンスマトリックス

クスは A、B の二つのサブマトリックスに分れて、図 6.4 に示す構造になっている。このサ

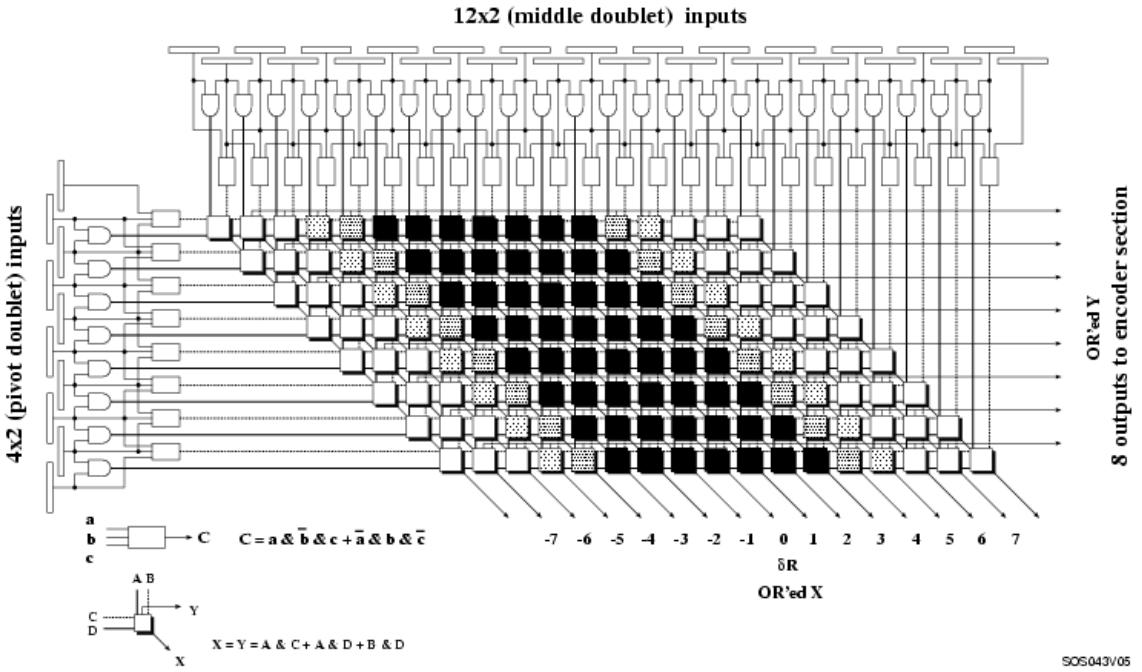

図 6.4: ワイヤーダブレットのコインシデンスマトリックスの詳細構造

ブマトリックスは、Pivot からは 4 チャンネル × 2 層、Middle からは 12 チャンネル ×2 層の信号が入力される。ダブレットのワイヤーは、二つの層でワイヤーグループのピッチが半分だけずらされていることにより、位置分解能が二倍になる。そして、ワイヤーダブレットでは Pivot の信号に対する Middle の信号のずれ δR が ± 7 の中にあるものがコインシデンスを取られる。これらは対角成分ごとに OR 出力される。またデフォルトでは、3-out-of-4 コインシデンス処理がとられるが、バックグラウンドが多いときなどは、コインシデンスの条件を厳しくするために、4-out-of-4 に変更することができる。Low-p$_T$ 判定された後、5 ビットの位置情報、4 ビットの δR の情報にエンコードされる。4 ビットのうち最上位ビットが符号ビットで、下位 3 ビットが δR の値である。

- SDSB (Strip Doublet Slave Board)
  ストリップダブレットについては、ワイヤーダブレットと同じマトリックスのロジックを使用している。しかし、理想的なトロイダル磁場からのずれにより ϕ 方向に曲げられる。そのため、Low-p$_T$ 判定の範囲を $\delta\phi$ が ± 3 の範囲とする。またストリップでは隣接したチェンバーからの入力はないので入力チャンネルは 32 ×4 の 128 チャンネルである。Low-p$_T$ 判定された後、5 ビットの位置情報、3 ビットの $\delta\phi$ の情報にエンコードされる。

- WTSB (Wire Triplet Slave Board)
  ワイヤートリプレットでは、コインシデンス処理だけ行うため、トリガーマトリックスは存在しない。ワイヤートリプレットではチェンバー 1 枚に対して 1 チップで処理を行う。そして両隣接部からの 2 チャンネルの入力があり、合計 108 チャンネルの信号が入力される。また、ワイヤーグループのピッチが 1/3 だけずらして設置されているので、位置分解能が 3 倍になる。ワイヤートリプレットに入力された信号は、図 6.6 の示すような 2-out-of-3 のコインシデンス処理が行われる。その後、5 ビットのヒット情報にエンコードされ、ヒットの有無を示すヒットフラグが付け加えられる。またコインシデンス処理を 3-out-of-3 に変更することができる。

- STSB (Strip Triplet Slave Board)

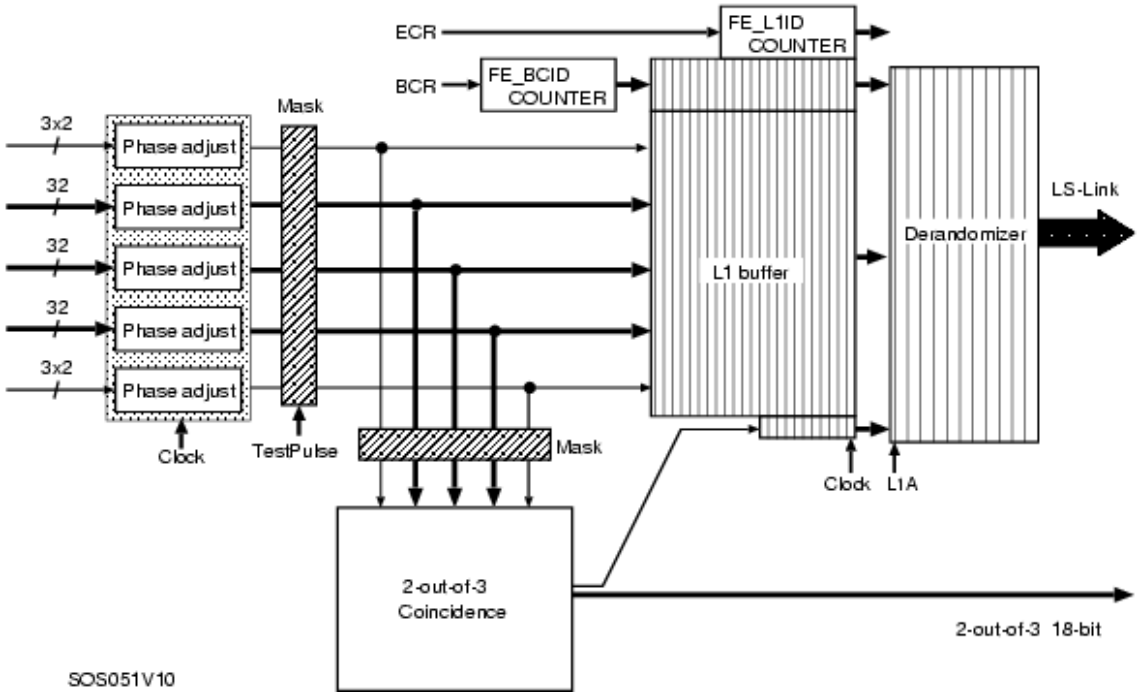

図 6.5: ワイヤートリプレットのトリガーの構成

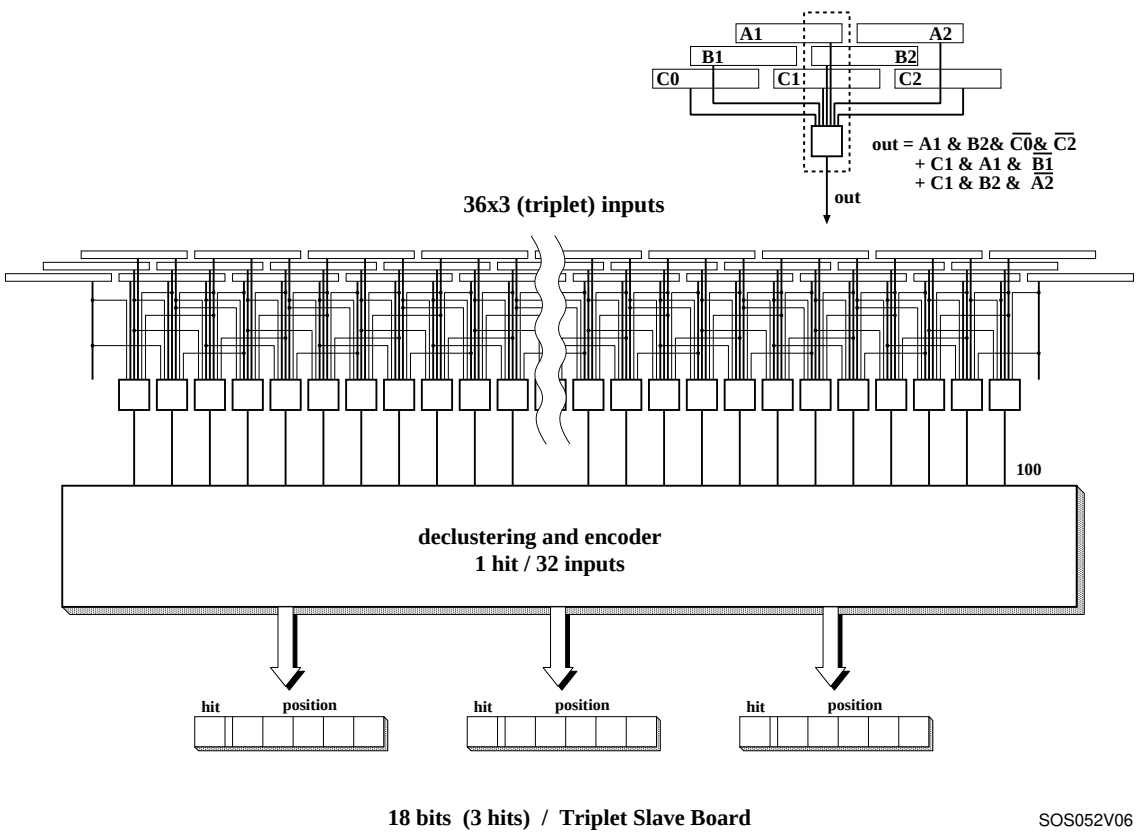

図 6.6: ワイヤートリプレットのコインシデンスロジック

図 6.7 に、ストリップトリプレットのブロック図を示す。トリプレットのストリップは 2 層で構成されているため、1 つの SLB で 2 つの TGC の信号を処理することができる。また、隣接したチェンバーからの入力はないので、入力チャンネルは合計 128 チャンネルとなる。ストリップトリプレットでは、図 6.8 に示す 1-out-of-2 のコインシデンス処理が行われる、

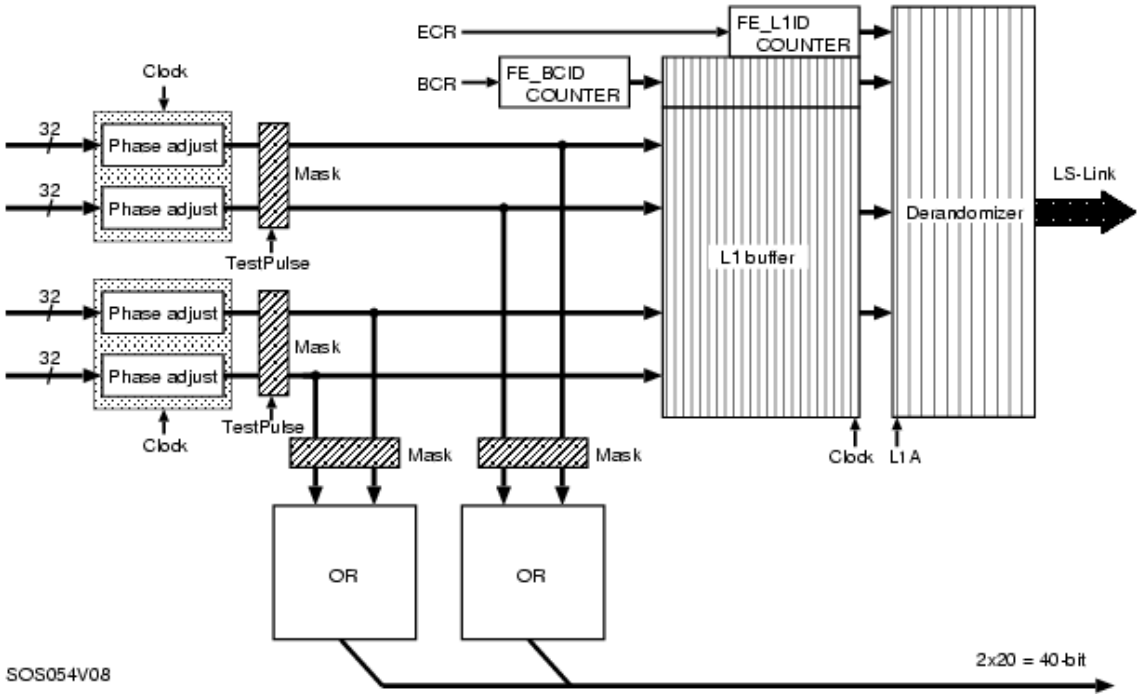

図 6.7: ストリップトリプレットのトリガーの構成

これも 2-out-of-2 の処理に変更することも可能である。

- EI/FI
  EI/FI は低エネルギー粒子によるバックグラウンドの影響が懸念されるときにこのチェンバーの情報を用いて、バックグラウンドを除去することができる。図 6.10 に EI/FI のブロック図を示す。この入力はワイヤー信号、ストリップ信号の 2 種類があり、ともに 32 チャンネルが二層分あるので合計 128 チャンネルになる。コインシデンス処理はストリップトリプレットと同じだが、ヒットポジションの有無だけを出力する

複数チャンネルに渡るヒットがあった場合には、図 6.11 に示すデクラスタリングという処理を行なう。この処理はヒットポジションを集約するために、複数チャンネルに渡るヒットがあったときに、チャンネルが小さいほうから二番目のポジションの出力を与える。また複数トラック入力された場合には、コインシデンスマトリックスを 2 分割されたサブマトリックス A,B に対して各 1 トラックずつの、最大 2 トラックまでしか出力しない。もしサブマトリックスに 2 トラック入力された場合には、p_T が高いトラックだけが選び出される[2]。

[2]もしサブマトリックスを跨ぐヒットがあった場合は、どちらのサブマトリックスに属するか決定するのは Pivot のヒットポジションである。

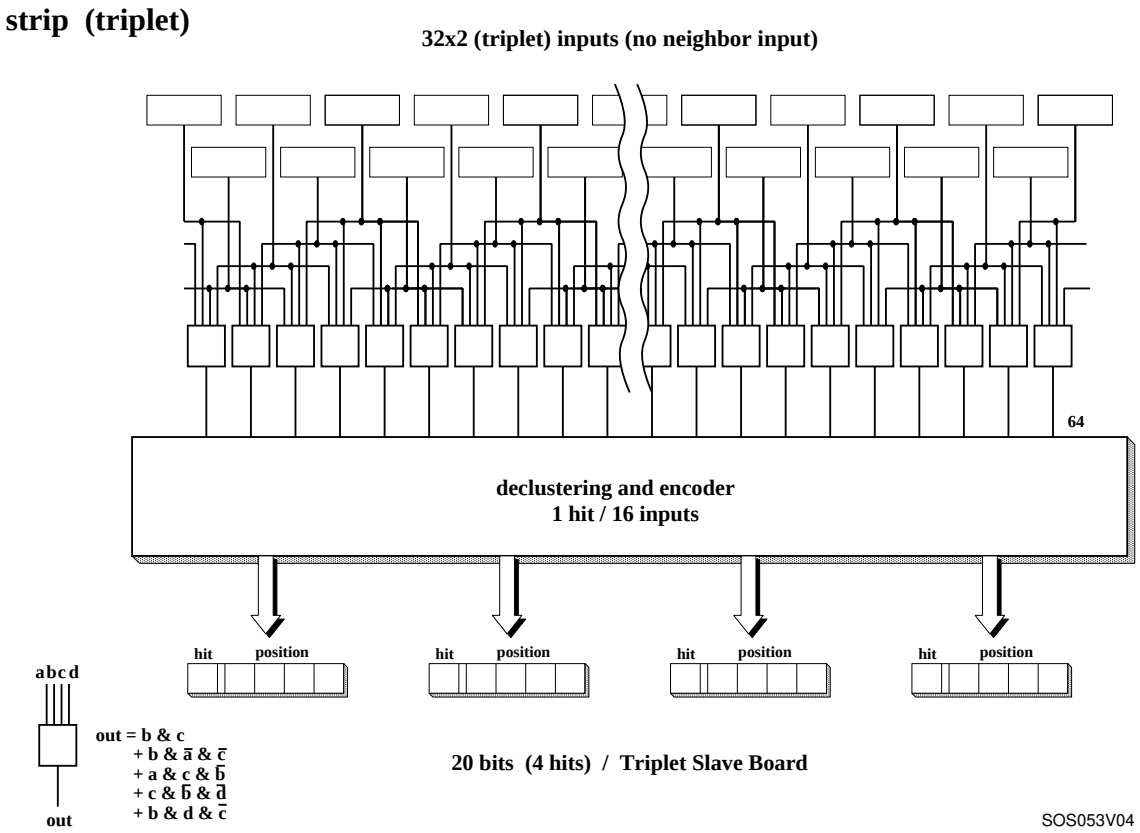

図 6.8: ワイヤーストリップのコインシデンスロジック

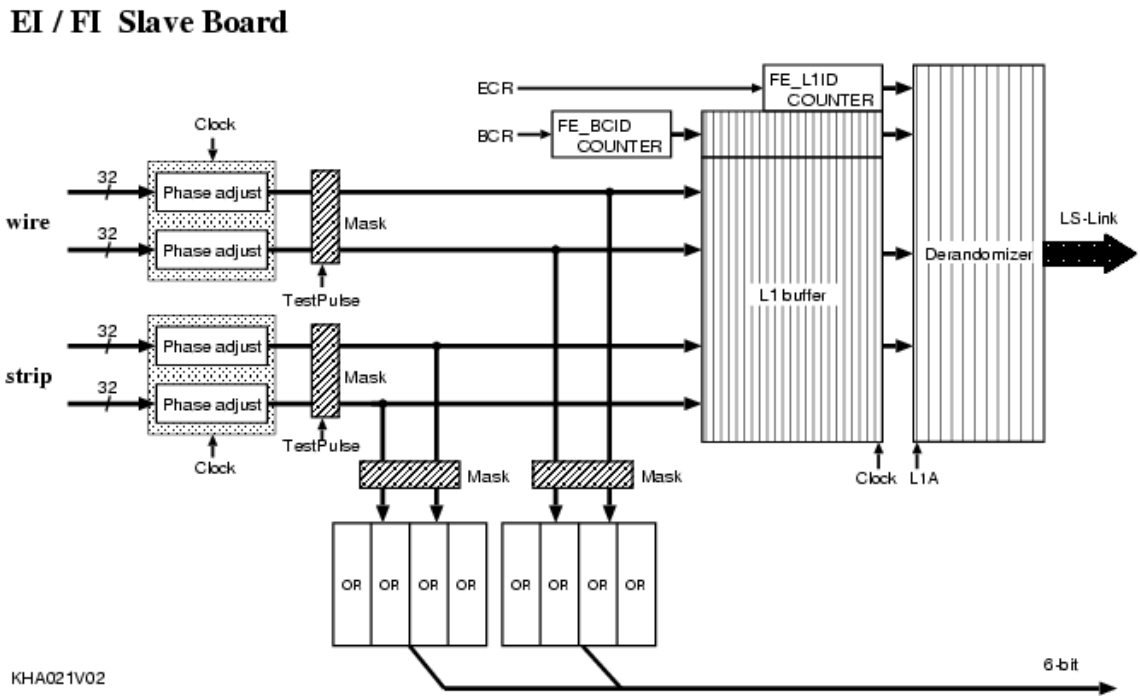

図 6.9: EI/FI の構成

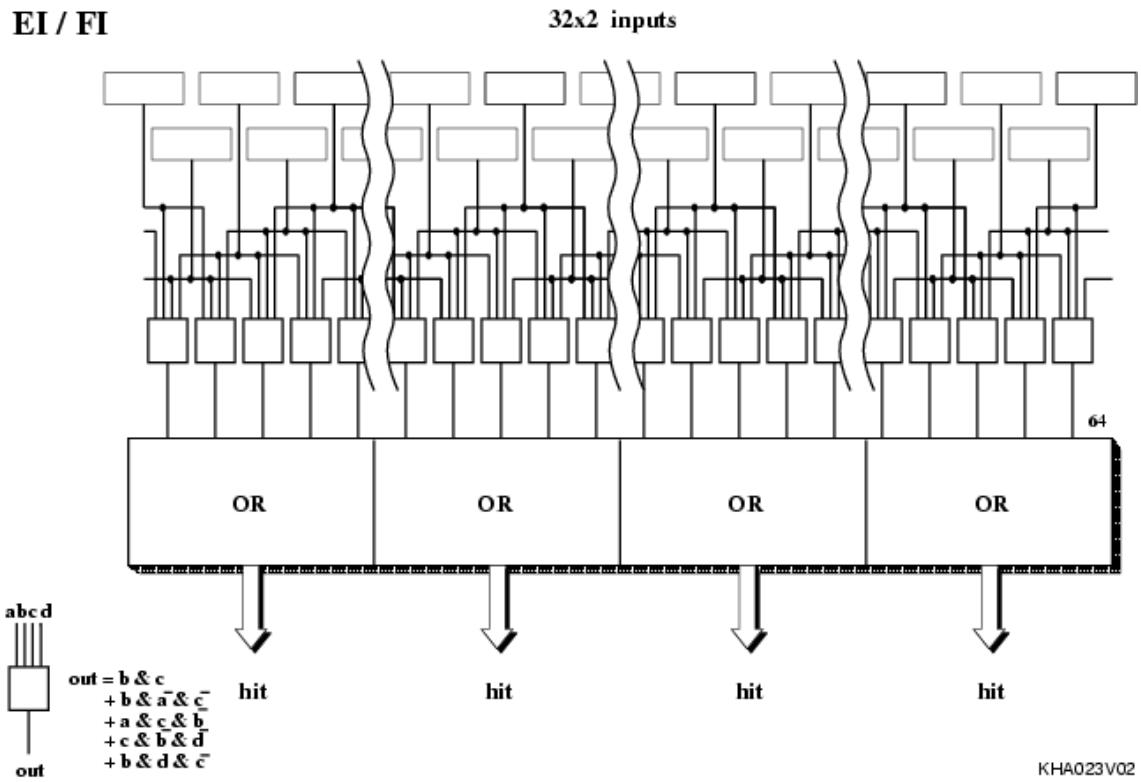

図 6.10: EI/FI のコインシデンスロジック

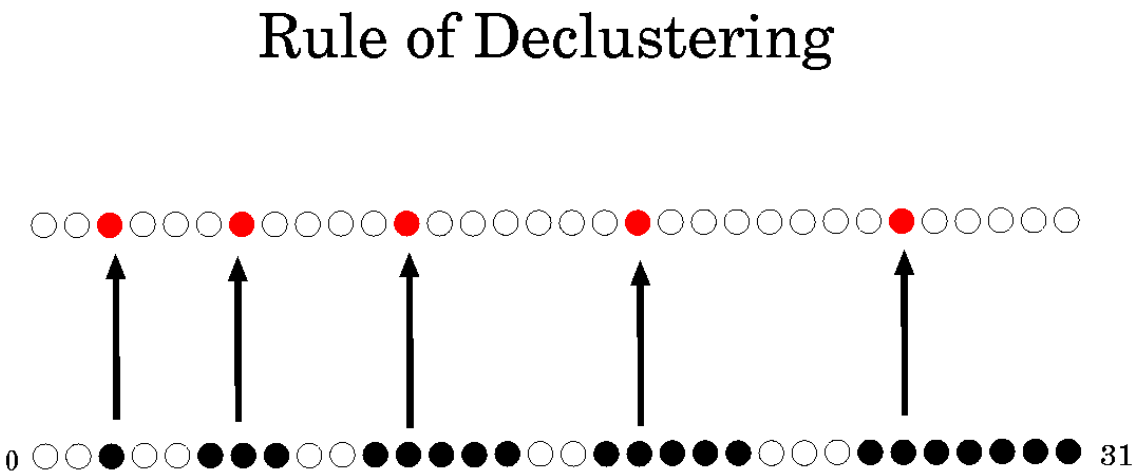

図 6.11: デクラスタリングの手法

6.1.4 リードアウト部

リードアウト部は、レベル 1 判定が下されたデータの読み出しを行なう部分である。図 6.12 にリードアウト部のブロック図を示す。図からわかるようにリードアウト部は、レベル 1 バッファ、デランダマイザ、パラレルシリアルコンバータで構成されている。以下これらの説明をする。

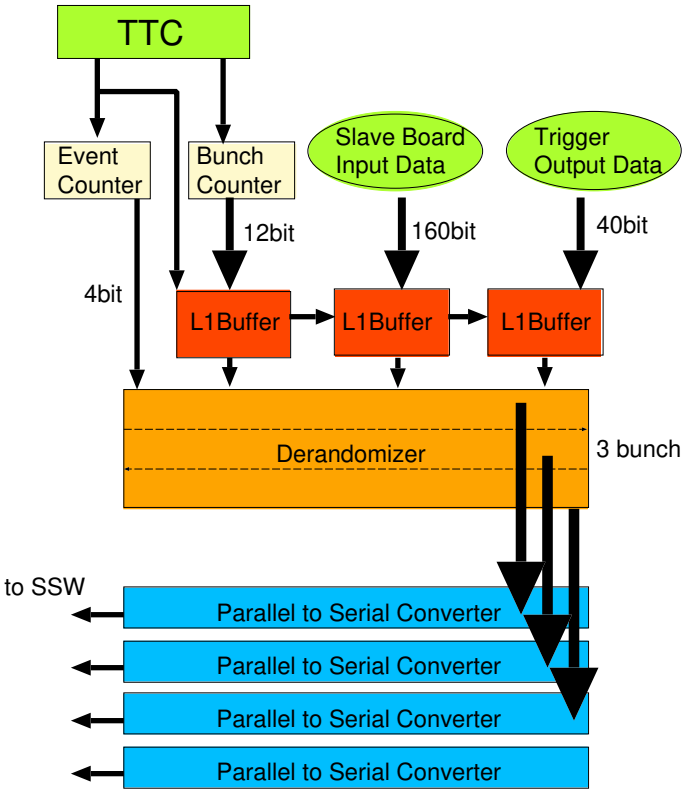

図 6.12: リードアウト部のブロック図

- レベル 1 バッファ
  PP ASIC から来た信号をレベル 1 トリガー判定が行なわれるまで、一時的に確保するためのパイプラインバッファである。このパイプラインバッファは、レベル 1 トリガー判定のレイテンシーである $2.5\mu s$ の間保持されなければならない。そのためバッファの深さは 128 段あり、JTAG プロトコルにより深さを変更することができる。このバッファに入れられるデータは、SLB の入力信号 160 ビット、トリガー出力 40 ビット、及び、バンチカウンタ 12 ビットの合計 216 ビットである。このレベル 1 バッファには、大量のメモリが必要である。通常のレジスタを使用すると、非常に大面積を費やし、また配置配線などのタイミングのずれが生じる恐れがある。そのため、今回の試作ではローム社の提供するマクロメモリが使われた。

- デランダマイザー
  デランダマイザは、レベル 1 で採用されたイベントを保持する FIFO である。保持するデータとしては L1ID,BCID,SLB の入力信号、トリガー出力である。L1A 信号を受けたバンチと、その前後 1 バンチを含む合計 3 バンチ分のデータが書き込まれる。

- パラレルシリアルコンンバータ
  パラレルシリアルコンバータは 4 本あり、そのうち 3 本はデランダマイザからのデータをコピーして転送するものである。残る一本はモジュールアドレスや SEU のフラッグなど、ASIC の状態を転送するために使われる。

6.2 Slave Board ASIC の動作検証

ここでは SLB の動作検証について述べる。動作検証については各パート毎独立に検証を行なった。以下に、それぞれの動作検証方法と結果を述べる。

6.2.1 トリガー部の動作検証

トリガー部のトリガーマトリックスについての動作検証は、7.2 節で詳しく説明するトリガーシミュレーションを用いて行った。このトリガーシミュレーションは入力パターンから ASIC の出力パターンをシミュレートするものであり、今回 SLB 用入力信号 (テストベクタ) を用いた。

そして、実際に SLB から出力されたものと、シミュレーションから出力されたものを比較し、正しく動作しているか検証した。このトリガーシミュレーションは、(η, ϕ) の領域を指定して、その範囲に存在するチェンバーに対して、ランダムに粒子を入射したときにエレクトロニクスの各モジュールがどのように、処理を行うかをシミュレートするものである。図 6.13 にテストベクタの一例を示す。動作検証は図 6.14 に示すようなセットアップで行った。まず、動作検証に用いた

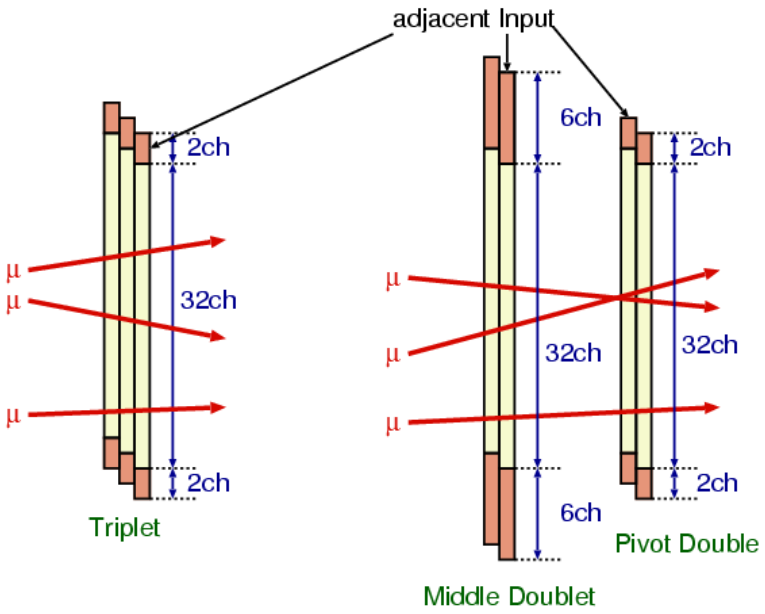

図 6.13: テストベクタ

モジュールについて説明する。

- PPG(Pulse Pattern Generator)
  PPG は幅 32bit、深さ 64k のメモリをもち、32 チャンネルの出力を出す VME モジュールである。メモリにはユーザが自由にデータを記述できる。外部クロックを入力すると、そのクロックに同期して出力できる。今回は 40.08MHz のクロックを入力した。

- TOM
  TOM は幅 32bit、深さ 64k のメモリを搭載した FIFO モジュールである。FIFO に書き込まれたデータは、VME を経由して読み出すことができる。

- PT4(ProtoType4)
  プロトタイプとテストベンチを構成するために開発された、FPGA が搭載されたモジュールである。

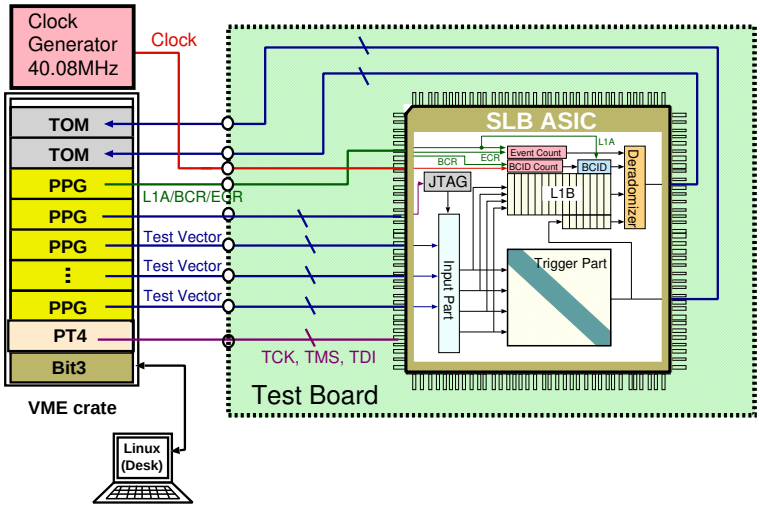

図 6.14: SLB 動作検証のセットアップ

- BIT3
  PCI/VME アダプターであり、VME マスターモジュールとなる。

シミュレーションから生成されたテストベクタを、PPG を用いて SLB に入力した。また、L1A などの TTC 信号の入力も PPG で入力した。SLB からの出力は、TOM を用いて VME 経由で読み出した。テストベクタは各モジュールごと 1 つ、2 つ、3 つの粒子が入射された場合、それぞれ 1 万パターン入力した。

ここで入力パターンが、1 万パターンで妥当であるか見積もってみる。入力チャンネル 160 ビットに対してすべて、ヒットがあるかないかというパターンを検証しようとすると、2^{160} という天文学的な数字になってしまうため、まず、トリガーされるパターンだけ考える。コインシデンスおよび Low-p_T 判定を行う基準は、Pivot のヒットであるので図 6.15 に示すようにある pivot では $\delta = \pm 7$ の 15 通りある。そして Pivot はポジションの数が 64(2 倍の位置分解能があるので) あるので各ポジションにおいて 15 通りで、$64 \times 15 \sim 1000$ 通りとなる。また、4 層のうち 3 層のヒットの場合を含めたとして、ファクター 5 を考慮する。そして、コインシデンスで落とされたり、δ の範囲外というパターンを含めることにより 1 万パターンは動作検証としては妥当な値である。

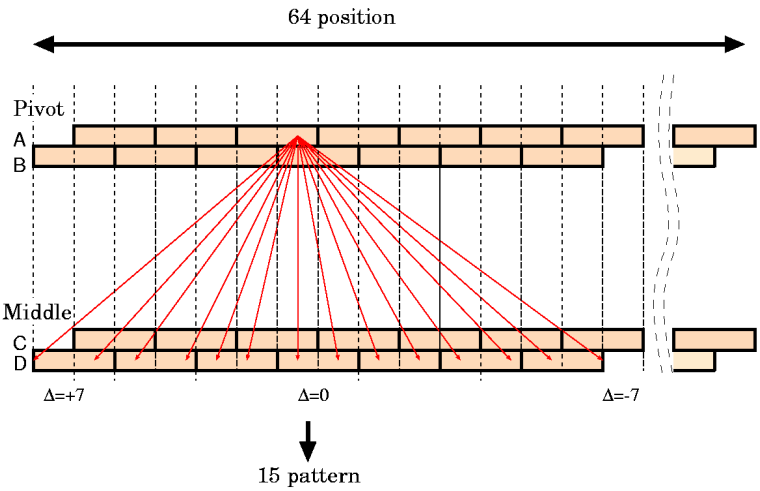

図 6.15: 動作検証に妥当なパターン数の計算方法

動作検証を行って、以下のような仕様の誤りを発見した。まず、2 号機ではダブレットの処理で

Middle,Pivot のマトリックスの要素が一致していなかった。そのため図 6.16 に示すように無限運動量トラック[3] の信号を入力すると、$\delta R, \delta\phi$=1 を出力していた。この無限運動量トラックは、横運動量を決めるための基準点となるので $\delta R, \delta\phi$ は 0 を出力しなければならない。そこで 3 号機では、それを修正するために $\delta R, \delta\phi$ をロジックの最後で 1 引くという設計をした。そのため図 6.18 のように-8$\leq \delta R \leq$6 の範囲を選ぶようになっていた。

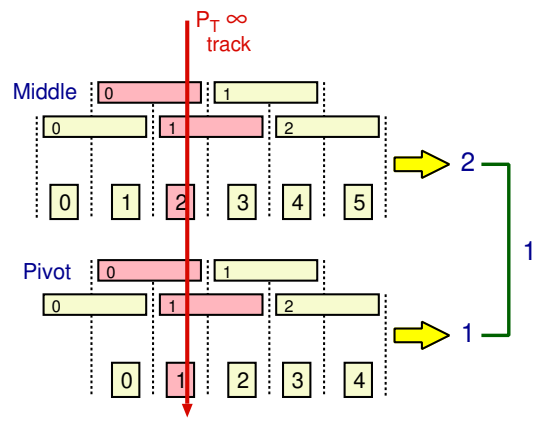

図 6.16: 2 号機でのトリガーの出力の演算

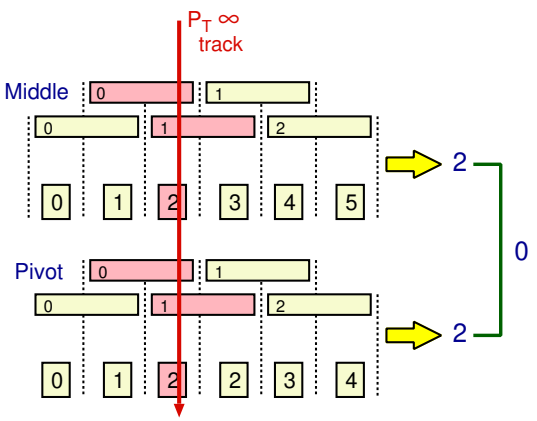

図 6.17: 正しいトリガーの出力の演算方法

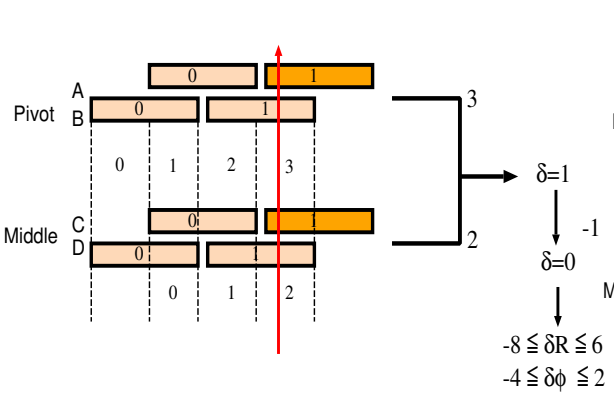

図 6.18: 3 号機での誤り (1)

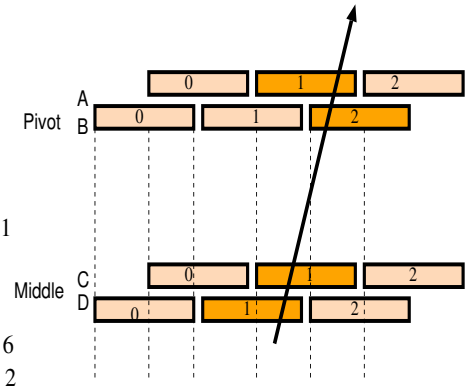

図 6.19: 3 号機での誤り (2)

図 6.19 のような $\delta = -1$ を出力するパターンを入力するとヒットがないと出力された。これは、配置配線で最終的に手で配置配線をしたときの配線ミスであった。

以上の誤りを除いて、40.08MHz で動作させ、各モジュール 1 万パターンを 1 トラックから 3 トラックまでの比較結果を表 6.3 に示す。表からわかるように、上で述べた誤り以外の問題はなく、動作したことが確認された。

6.2.2 入力部の動作検証

3 号機で新たに加わった、Pivot,Middle の独立な入力遅延の機能の動作検証について述べる。入力遅延回路は Pivot の入力 A,B 列、Middle の入力 C,D 列についても、独立に遅延が行える。検証方法としては、図 6.20 に示すように、まず 1 イベントだけトラックを入力する。そして、A,B,C,D 列のどれか一列を 1 クロック遅延させる。このとき、3-out-of-4 の設定ではトリガー出力がでる。

[3]磁場に曲げられることな飛跡が直線となるトラック、現実には存在せず、ヒットなしと考える。

種類	トラック数	エラー数
WDSB	1track	0
	2tracks	0
	3tracks	0
SDSB	1track	0
	2tracks	0
	3tracks	0
WTDB	1track	0
	2tracks	0
	3tracks	0
STSB	1track	0
	2tracks	0
	3tracks	0

表 6.3: SLB ASIC トリガー部のテスト結果

4-out-of-4 の設定にすると、遅延機能が正しく動作していれば、トリガー出力は出てこない。この検証の結果、1 クロックの遅延に対しては正しく動いていることが確認できた。また、0.5 クロックを遅延させた場合、トリガー出力は SLB にデータが入力されるタイミングに依存する。PPG と SLB のクロックを同期させているので、このタイミングの依存性を調べるためには PPG のクロックを SLB のクロックに対して遅延させた。この遅延を行った結果が、図 6.21 のようになる。この図は横軸が SLB のクロックに対する PPG のクロックの遅延時間、縦軸はトリガー出力の結果である。トリガー出力があるときは 1 としている。これから、0.5 クロック単位で出力が変化していることがわかる。これにより 0.5 クロック単位で遅延が行えることが確認できた。

6.2.3 制御部の動作検証

制御部の動作検証は SLB ASIC のユーザ定義レジスタの各データレジスタ、インストラクションレジスタにあるパラメータを書き込み、書き込んだパラメータを正しくよめるか確認すればよい。PT4 に JTAG プロトコルを行えるよう実装し、表 6.1 のすべてのユーザ定義レジスタについて検証を行った。また設定したパラメータが正しく動いているかも確認した。その結果、制御部については問題なく動作することが確認できた。

6.2.4 リードアウト部の動作検証

リードアウト部であるが、データを読み出す部分でタイミングに問題があり、リードアウト部の動作検証が満足にできなかった。しかし、どの部分に不具合があるのか調べたので、それについて述べる。リードアウトのデータは SLB の入力信号、トリガー出力信号、イベントカウンタ、バンチカウンタ及び SLB の設定であり、L1A 信号を受けたバンチと前後 1 バンチずつの合計 3 バンチ分のデータが読み出される。まず、最初に同じパターンを入力し続けることを行った。このとき、入力信号、トリガー出力は正しく出力されていた。しかし、3 バンチのデータでイベントカウンタの値が揃っていなく、バンチカウンタも正しくカウントされていなかった。これより、デランダマイザ、パラレルシリアルコンバータは問題がなく動いてる。また、固定したパターンではなく、1 クロック毎に入力パターンを変えてしまうと、入力パターン、トリガー出力すら正しく読

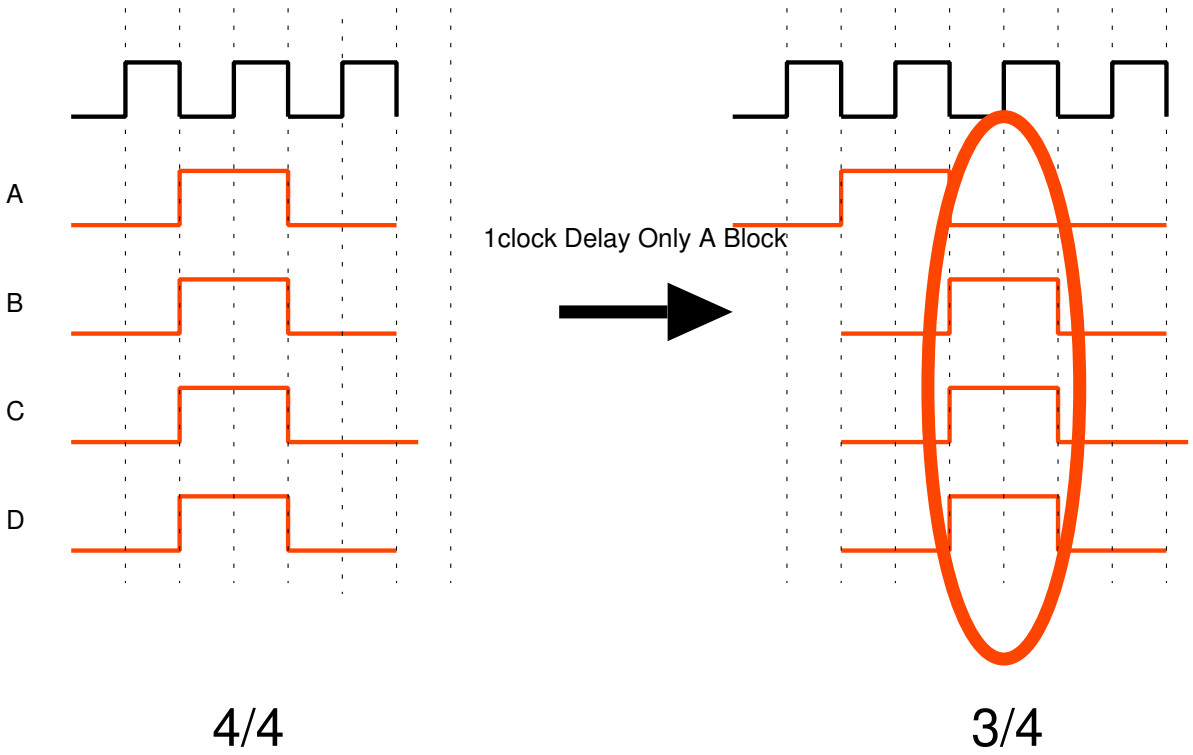

図 6.20: 入力遅延のデバッグ方法 (1 クロック遅延の場合)

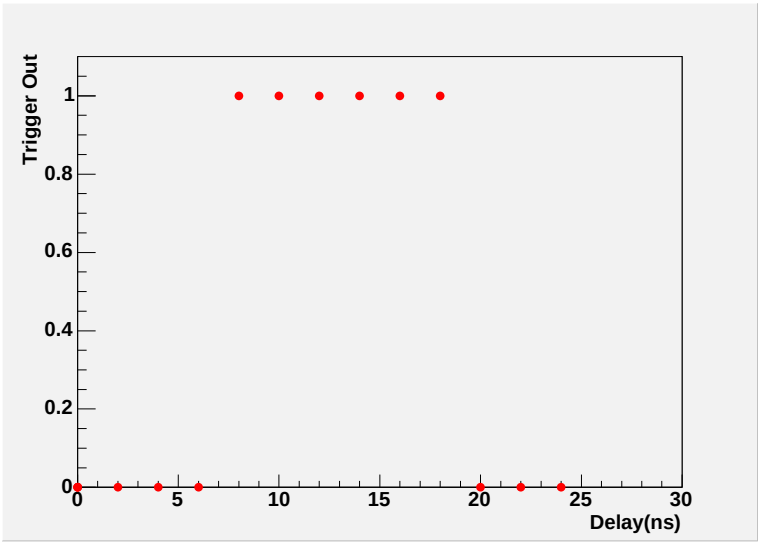

図 6.21: 入力遅延の 0.5 クロックでのタイミングと出力の関係

み出すことができなかった。

このリードアウト部の問題点を調べるために、HDL コードでシミュレーションを行った結果、L1A 信号を受け取る部分で不定状態になっていることがわかった。その影響によりデランダマイザ、パラレルシリアルコンバータ以降も不定状態になっていた。ハードウェアとソースコードのシミュレーションの双方の結果、レベル 1 バッファに問題があるとわかった。

6.3 Slave Board ASICの設計

今回SLB ASICでは、トリガー部、リードアウト部は仕様どおりの動作を示さなかった。そしてまた、機能を変更したい部分があったため、以下に示すような点を変更して、SLB ASICの設計を行った。

- コインシデンスマトリックスの範囲の変更
  コインシデンスマトリックスで$\delta R, \phi$の範囲が異なった設計となっていたため、範囲を-3$\leq \delta\phi \leq$3、-7$\leq \delta R \leq$7に修正した。

- リードアウト部のレベル1バッファの修正
  リードアウト部では、L1A信号を受けるタイミングに問題があり、正しく読み出すことができなかった。しかし2号機では正しく動いていることが確認されているので、2号機のものを使用する。

- 入力部の遅延回路の改良
  入力部の遅延回路において、3号機では図6.22のように少々複雑な回路であったが、4号機では図6.23のような遅延回路に修正した。

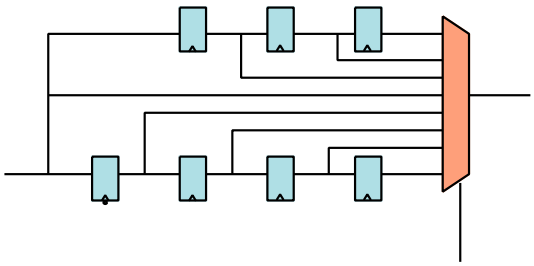

図 6.22: 従来の入力部の遅延回路

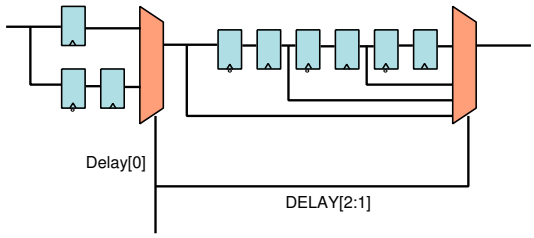

図 6.23: 新たに導入した入力部の遅延回路

この遅延回路は、JTAGのデータレジスタの最下位ビットで昇りエッジ、下りエッジでラッチをするか決定して、ほかの2ビットで遅延する長さを決定する。この方法で、0.5クロック単位で遅延させることができる。

- TTC信号受信回路の設定
  3号機では、TTC受信回路は図6.24の回路であったが、これではラッチするタイミングを変更する設定を行っても、SLB内部に対してリードアウト部のクロックは相対的に変化していない。しかし、このラッチのタイミングを変更する設定は、リードアウト部の読み出しタイミングを変更するために設けられた設定であるが、この回路ではあまり有効に使われていない。そのため、4号機では図6.25の回路を導入することにより、リードアウト部のタイミングだけを変更することができるようになる。

以上の点を修正したSlave Board ASICを2004年1月にマスク図をローム社の0.35μmプロセスでVDECを通して提出する予定である。図6.26にSLBのマスク図を示す。

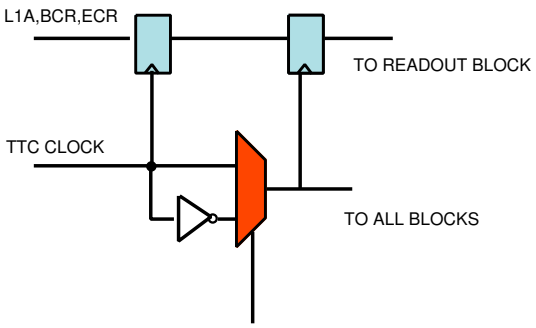

図 6.24: 従来の TTC 信号受信回路

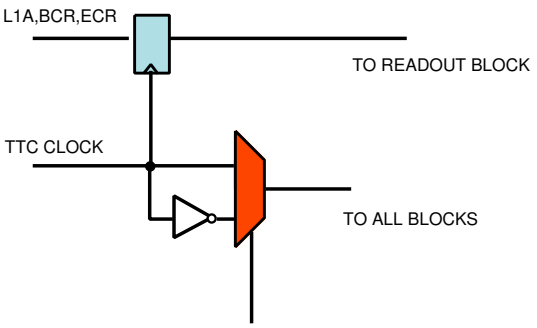

図 6.25: 新たに導入した TTC 信号受信回路

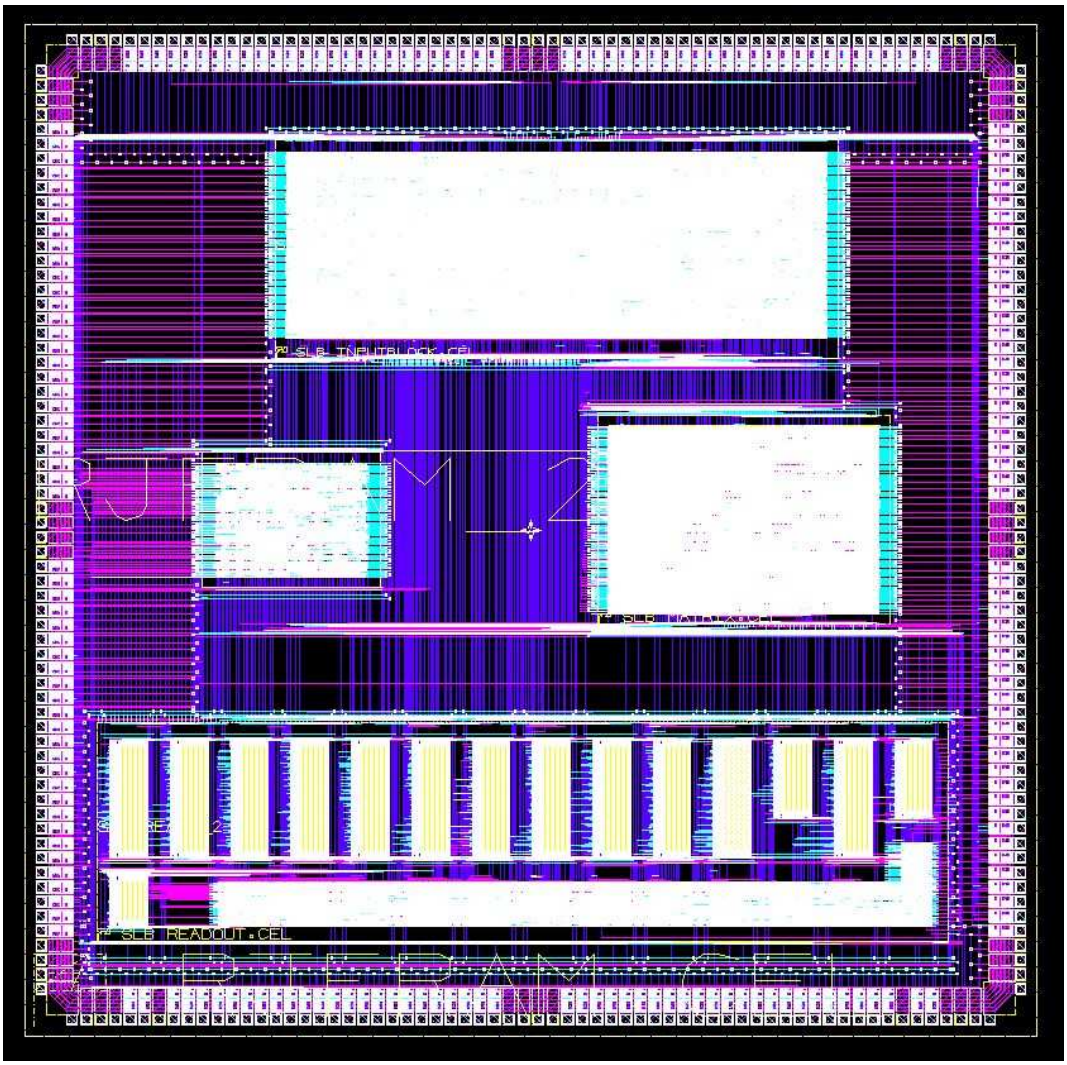

図 6.26: Slave Board ASIC のレイアウトマスク

第7章　読み出しシステムの統合テスト

現在、TGC エレクトロニクスで開発された ASIC がほぼ完成の段階に入り、モジュール単体でのテストが行われてきた。そこで、次なる段階として、実験を想定したモジュールを接続する統合テストを行い、モジュールを接続した状態で、正しく動作することを確かめなければならない。すでにトリガーパートでは統合テストが行われて、正常な動作をすることが確認された [19]。しかし、まだリードアウトパートについてはモジュールが完成していなかったため、統合テストが行われていなかった。

今回、初めてリードアウトのモジュールの統合テストを行い、各モジュールを統合した状態で正しく動作することが確認できた。またこの統合テストをスライステストと呼んでいる。

7.1　テスト方法

スライステストは、それぞれのモジュールを接続して、入出力をチェックすることにより、正常に動作しているかを検証する。この検証方法として、入力信号からハードウェアの出力結果を計算して、比較するのは信頼性にかける。そのため、トリガーシミュレーションが開発されていて [20]、それをスライステストで活用した。トリガーシミュレーションについては次節で述べる。トリガーシミュレーションによって得られた入力データ (テストベクタ) を PS ボードに入力し、最終的な出力を VME 経由で読み出しを行い、そのデータがトリガーシミュレーションによって得られた出力と比較することによりハードウェアの動作を検証することができる (図 7.1)。

7.2　シミュレーション

今回使用したトリガーシミュレーションについて簡単に述べる。このシミュレーションの目的は、スライステストで用いるテストベクタの生成、各エレクトロニクスの設計の妥当性、トリガー効率の評価である。シミュレーションは大きく 3 段階に分かれている。

- Geant3 DICE
  Geant3 は keV から TeV 領域までの高エネルギー粒子と検出器との相互作用をシミュレートし、検出器の性能評価を行なうものである。DICE は Geant3 によって陽子衝突から TGC までに到着するまでのシミュレーションを行なうものである。このとき TGC を通過した位置情報がトリガーシミュレーションに用られる。

- Digitizer
  DICE の出力はの (x,y,z) 座標の値になっているため、これを TGC のワイヤーグループ、ストリップナンバーに変換する必要がある。この作業を行なうのが Digitizer である。

- T1ME(Trigger Level1 Muon Endcap)
  Digitizer で得られたデータから Patch Panel、Slave Board、High-Pt、Sector Logic にそれぞれの入力出力データをファイルに出力する。このデータには各モジュールの入出力信号以外にバンチクロッシング ID や位置、p_T の情報がつけ加えられている。

シミュレーションの流れをまとめると、図 7.2 のようになる。

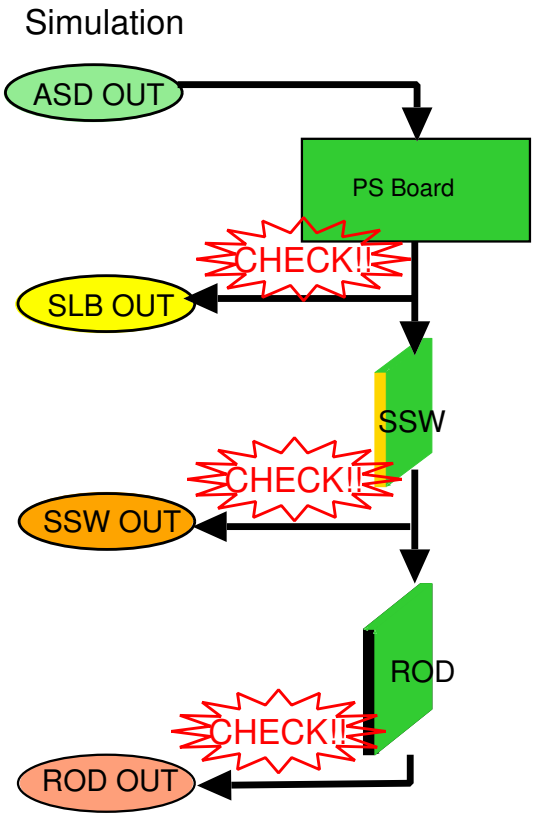

図 7.1: スライステストの検証の流れ

7.3 セットアップ

次に、統合テストのセットアップについて説明する。図 7.3 にスライステストの写真を示す。

図 7.4 のように各モジュールをつないでスライステストを行った。ここでスライステストに用いたモジュールを説明する。

- PS Board
  Patch Panel ASIC がダブレット側 4 チップ、トリプレット側 4 チップの計 8 チップ搭載されている。またダブレット用、トリプレット用 SLB の 2 チップ、JRC が 1 チップ搭載されている。SLB は 2 号機のものを使用している。

- SPP Board
  SPP には TTCrx が搭載されたメザニンボードがあり、TTC からの信号を受け取りそれらの信号を PS ボードに分配する。

- SSW
  SLB からのデータを集約、圧縮して、ROD へデータを送る。このボードで PS ボードのコンフュギュレーションを JTAG プロトコルを用いて行なう。

- HSC/CCI
  この二つのモジュールはリモートコントロールシステムであり、HSC が SSW の VME マスターモジュールとなる。

- ROD
  ROD は TGC エレクトロニクスの読み出しのデータが最終的に集められるモジュールであ

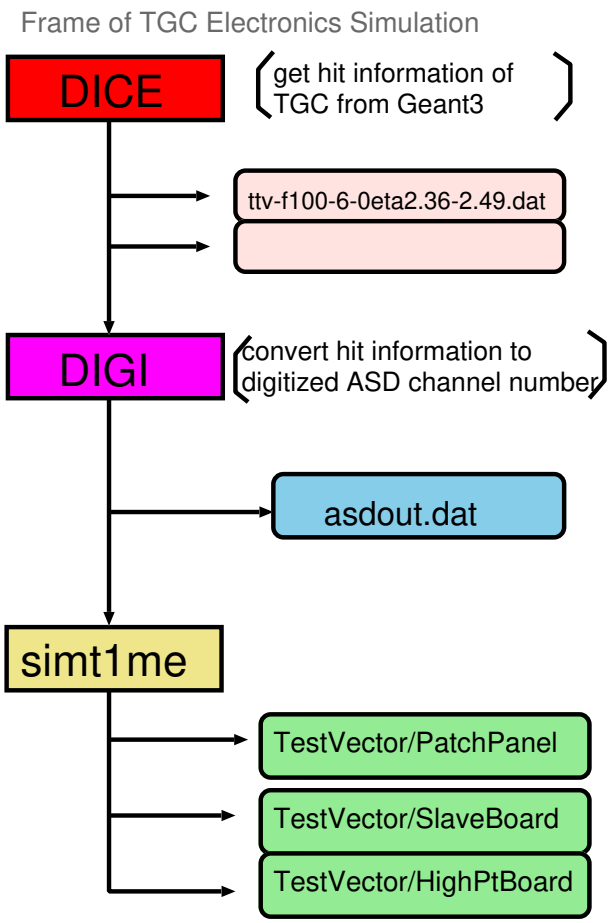

図 7.2: トリガーシミュレーションの流れ

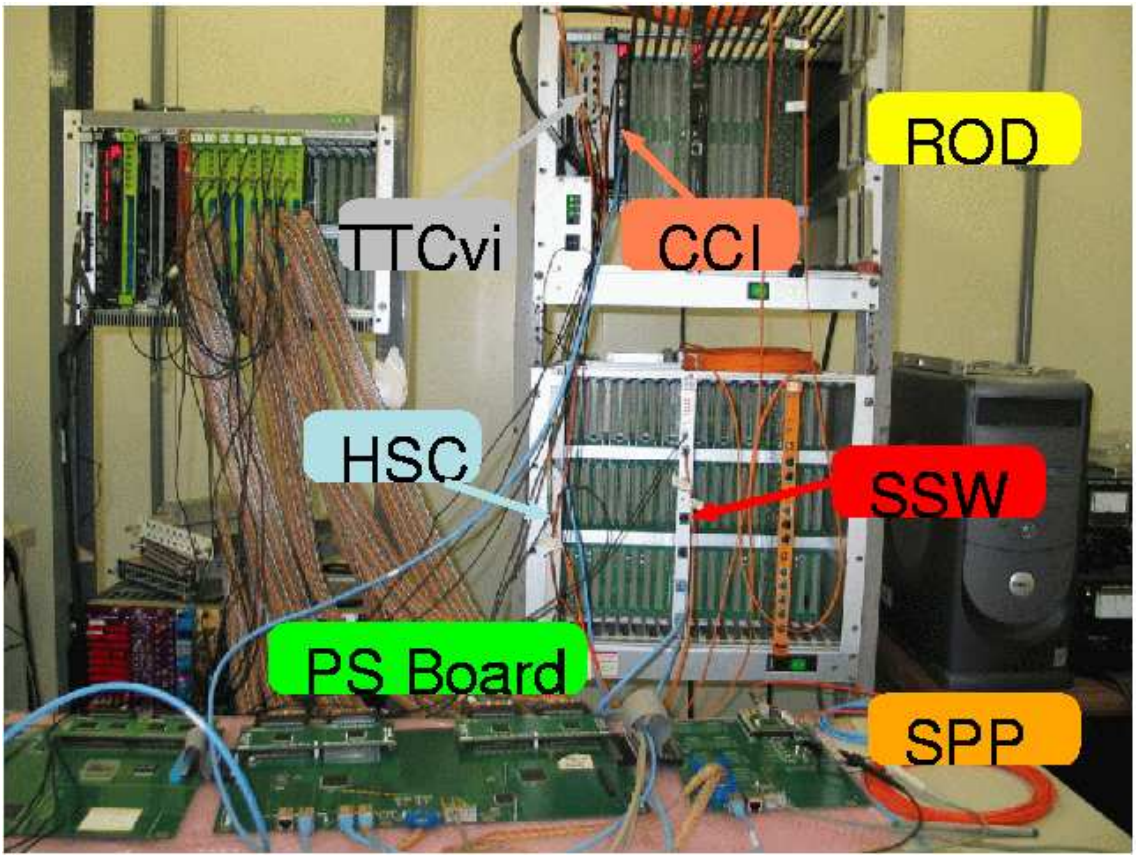

図 7.3: スライステストのセットアップ (写真)

る。ROD は SSW を経由してくるフロントエンドからのデータをオプティカル信号から電気信号に変換してパラレルの圧縮データに戻して FIFO に収める。今回この FIFO に収められたデータを VME で読み出し、シミュレーションの結果と比較した。

- TTCvi
  TTC 信号を作り出し、各モジュールにクロックなどの TTC 信号を配ることができる。また VME 経由で TTCvi のレジスタを設定することにより、TTC 信号の出力をコントロールすることができる。

- TTCrx
  SPP に搭載されており、TTCvi からの TTC 信号を受け取り、各モジュールへ TTC 信号を送る。

- PT4
  テストベンチを構成するために開発された、FPGA が搭載された VME モジュールである。

このテストでは SSW、ROD、TTCvi、HSC、CCI は VME クレートに接続されている。ROD が入るクレートは Bit3 を経由して PC に接続される。また SSW は HSC と同じクレートに接続されていて、ROD クレートにある CCI から HSC を経由して通信される。また Bit3 は PCI/VME アダプターであり VME マスターモジュールとなる。

次にスライステストの流れを説明する。リードアウトのスライステストでは L1A(レベル 1 アクセプト) 信号が読み出しの際、重要な役割を果たしている。PS ボードの PP へデータを入力するタイミングと、L1A 信号を出力するタイミングを同時に操作することが困難であるため、SLB のテストパルスという機能を用いてスライステストを行った。このテストパルスという機能は、PP で

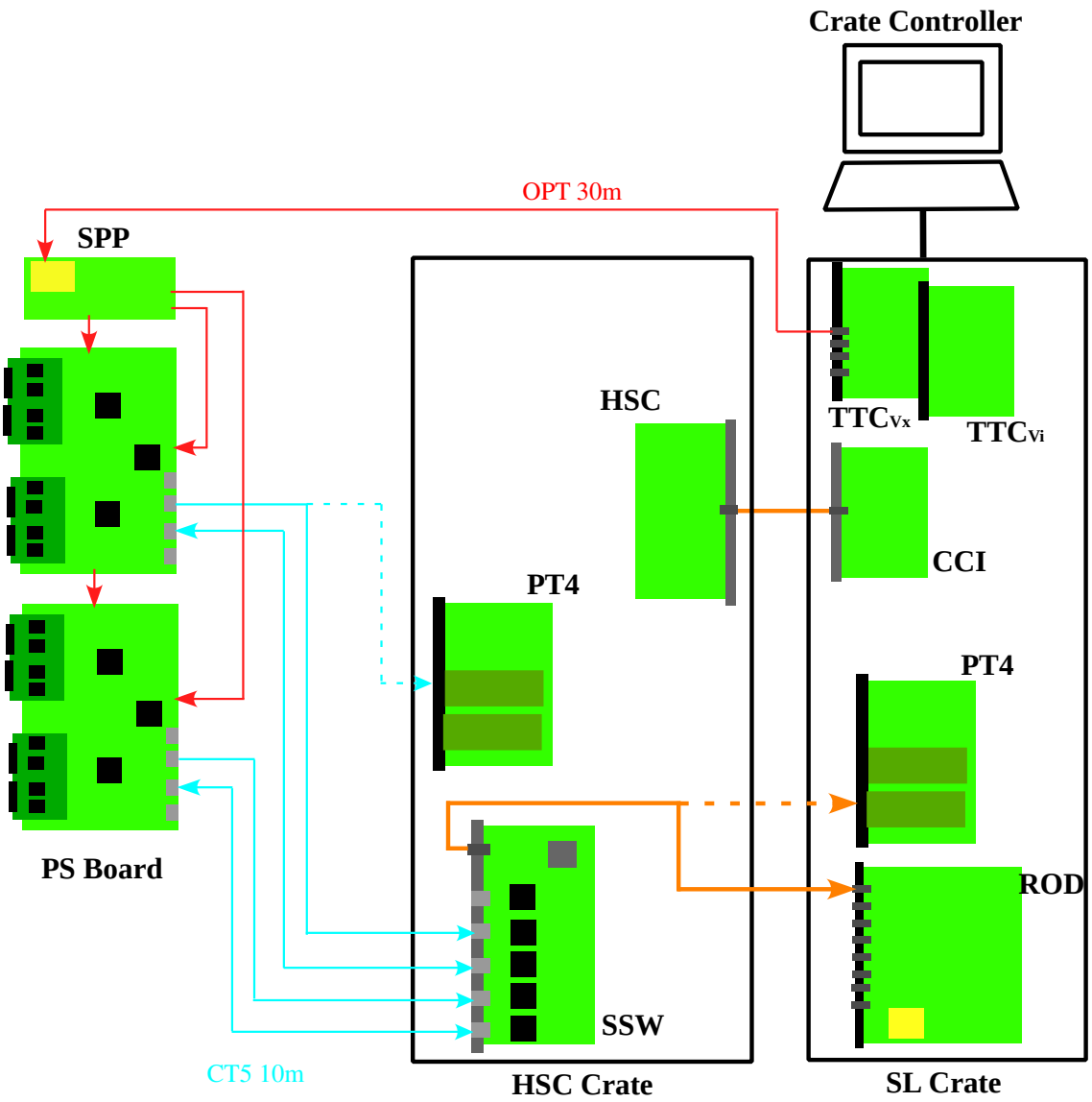

図 7.4: スライステストのセットアップ

はケーブル遅延などの調整のために備わっているが、SLB のテストパルスは SLB 以降のモジュールが繋がって、正常に動作することを確認すること目的としている。このテストパルスのパターンは SSW から JTAG プロトコルにより書き込むことができる。この書き込んだパターンがテストパルストリガー信号が入力されたときに、SLB の入力信号となる。図 7.5 にスライステストの流れについて示す。簡単に手順をまとめると以下のようになる。

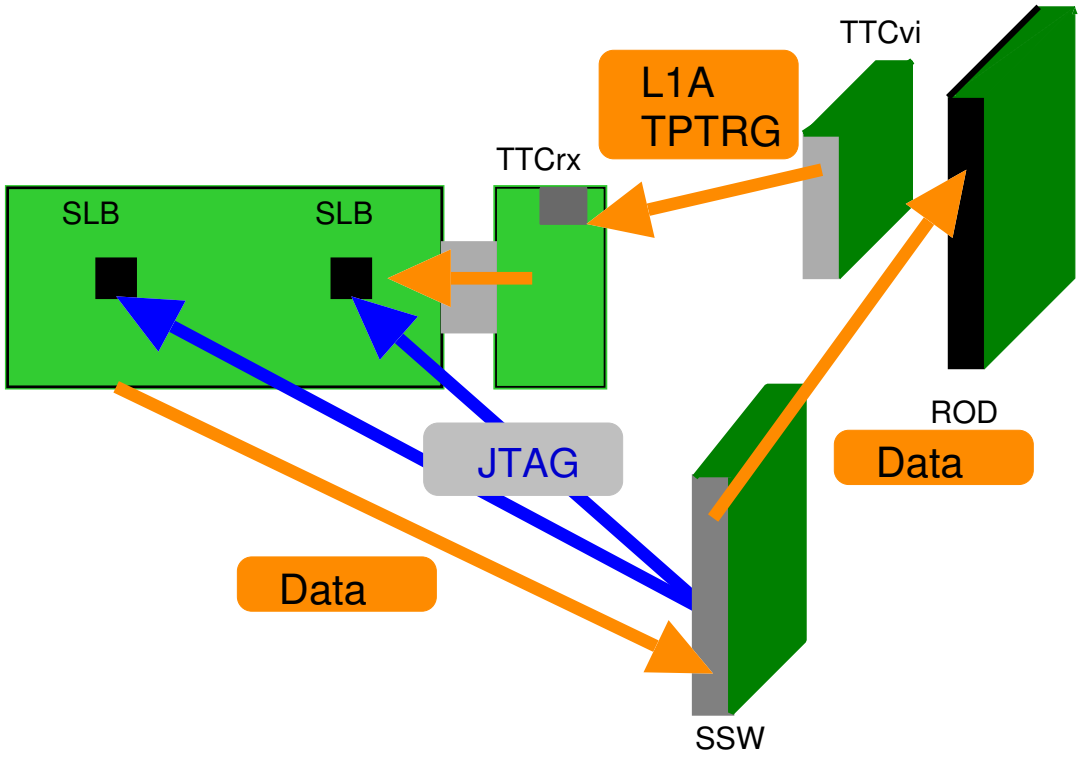

図 7.5: スライステストの検証方法

- SSW から JTAG プロトコルにより、SLB の入力のテストベクタのパターンをテストパルスパターンに書き込む。
- TTCvi からテストパルストリガ信号を出力する。その後、L1A 信号を出力。
- L1A 信号を受け取った SLB が、読み出しデータを SSW に送る。
- SSW がデータを受け取り、圧縮を行い、ROD へ送信。
- ROD は SSW のデータを収集し、FIFO にデータを収める。
- ROD の FIFO から VME 経由でデータを読み出し、シミュレーションの出力結果と比較する。

ここで注意しなければならない点は、テストパルストリガー信号と L1A 信号の出力する時間差である。SLB に入力されたデータは $2.5\mu s$ までしか保持されない。つまり、テストパルストリガー信号を出力して L1A 信号を出力するまでの時間を $2.5\mu s$ 以内にしなければならない。

また、全てのモジュールを接続する前に、段階的に出力を見るが、ほとんどのモジュールには VME バスのデータを読み出す機能がついていないため、各モジュールの出力を PT4 を用いることにより読み出した。PT4 はメザニンカードにより LVDS 信号、光信号などの様々なレベルの信号を受けることができる。そして、PT4 の FPGA に FIFO ロジックを作ることで、データを読み出すことを可能にする。

7.4 ソフトウェア

統合テストで使用したソフトは ATLAS Online software をベースに作られた。ここで簡単に ATLAS Online Software について説明する。ATLAS Online Software は、ATLAS 実験における検出器の制御及び、DAQ などのために用意されたソフトウェアである。この中身は core components と、trigger/DAQ detector integration component にわけられる。core components は以下に示す 5 つから構成されている。

- Configuration Database(ConfDB)
  DAQ システムの膨大な数のパラメータを記述するもので、ランニングモードやステータスに関するハードウェアやソフトウェアのコンポーネントが記述される。ATLAS DAQ の設計において ConfDB の内容によってパラメータ化され、できるだけ柔軟性を持つことが重要になってくる。

- Message reporting System(MRS)
  分散化された環境の中で、ほかのコンポーネントにソフトウェアのコンポーネントがメッセージを送ることが可能にするシステムである。MRS はメッセージの転送、フィルタリング、ルーティングを行なう。

- Information Service(IS)
  ソフトウェアコンポーネント間の情報交換を可能にする。これによりさまざまな部分からの多数の情報が分類され、非同期あるいはオンデマンドに利用することが可能になる。

- Process Manager(PMG)
  ソフトウェアコンポーネントの基礎的なジョブをコントロールする。根本的なオペレーティングシステムと独立したコンポーネントのスタートストップ、モニタリングなどが可能になる。

- Run Control(RC)
  DAQ サブシステム、バックエンドソフトウェアおよび外部システムのオペレーションを調整し、データ収集をコントロールする。またオペレーションの変更や、データ収集の変更のためにユーザインターフェースを持っている。さらにコマンドやステータス、制御情報を交換するために DAQ サブシステムやバックエンドソフトウェアとのソフトウェアインターフェースも持っている。

次に trigger/DAQ/detector integration components を簡単に説明する。

- Resource Manager(RM)
  自由に共有できないハードウェアとソフトウェアの資源を割り振り。いくつかのグループが妨害しあわず並列に動作することを可能にする。

- Partition Manager
  いくつかのパーティションの同時動作を許すために RM を拡張する。

- Test Manager(TM)
  ハードウェアとソフトウェアの個々のテストを行なうためのものである。

- Diagnostics Package(DP)
  問題を分析し、個別のコンポーネントのステータスを機能確認を行なう。また全システム中でコントロールを行い、分析し、自動もしくはオペレータ援助モードでシステムの機能の異なるフェイズで問題を解決する。

- Intgrated Graphical User Interface(IGUI)
  ディテクターのコンフュギュレーション、トリガーレート、バッファの占有率、サブシステムの状態など、オンラインでデータ収集状況やコントロールをモニタする。

- Online Bookkeeper
  DAQ システムによって記録されたデータを保管するもので、ラン毎の情報を記録する。また情報を検索更新するための多くのインターフェイスを提供する。

- Event Dump
  イベントの保全、構造の確認のため、データフローの中からサンプルを取り出す。

というような構成になっている。今回スライステスト用に Run Contol を改良し、スライステストに用いた。

7.5 テスト結果

スライステストは、一度に全てのモジュールをつなげるのではなく、SLB から順々に確認しながら行った。各モジュールで読み出しのチェックを行ったときに注意した点を以下に示す。

- SLB　正しいタイミング読み出すことができる。

- SSW　正しい圧縮方法がなされているのか。

- ROD　SSW のデータを収集でき、読み出しを行えるか。

まず、SLB についての出力をみるときに重要となってくるのが、L1A 信号、テストパルストリガー信号である。これらの信号を生成する TTCvi の設定がこのとき重要であったので、簡単に説明する。TTCvi は内部で L1A 信号、テストパルストリガー信号を生成して、操作できるモジュールである。これらの信号は LHC orbit に対応する orbit クロックという 88.924μs の周期のパルスと同期して出力することができる。また、L1A 信号だけは外部から NIM 入力によって生成することも可能である。今回、ROD から読み出す時 VME 経由で読み出したため、orbit クロックに同期させて L1A 信号を出力すると、ROD への書きこみ速度が VME 経由の読み出しの速度を上回ってしまう。そのため、今回プリスケーラを用いて、orbit クロックに同期して、10Hz 程度にレートを落とした信号を L1A 信号として用いた。しかし、実際の実験では、ROD のデータは S-link という光信号を伝達するリンクモジュールで読み出されるため 100kHz で読み出しが可能である。

テストパルストリガー信号は、orbit クロックに同期して処理が行われるが、遅延回路が設けられて、TTCvi の設定レジスタにより orbit クロックより遅らせることができる。しかし、このままでは L1A 信号とテストパルストリガー信号が同期してしまうため、テストパルスで入力したデータを読み出すことができない。そのため、L1A 信号の NIM 入力の前にディレイモジュールを使い、orbit クロックより遅らせて出力するようにした (図 7.6)。以上が今回行った TTCvi の設定である。

そして、次に設定することは SLB のレベル 1 バッファの深さである。テストパルストリガー信号によりテストパルス信号が出力され、レベル 1 バッファに蓄えられる。正しくテストパルスで入力された信号を読み出すために、L1A 信号を出力するタイミングとレベル 1 バッファの深さを調整しなければならない。深さとテストパルストリガー信号がでてから L1A 信号を出すタイミングが正しくあったとき、テストパルスパターンが読み出した 3 バンチのデータの真中に出力される。これを調べるために、SLB の読み出しデータを PT4 を使い、直接読み出した。図 7.7 にレベル 1 バッファの深さとテストパルストリガー信号と L1A 信号のタイミングの関係を示す。

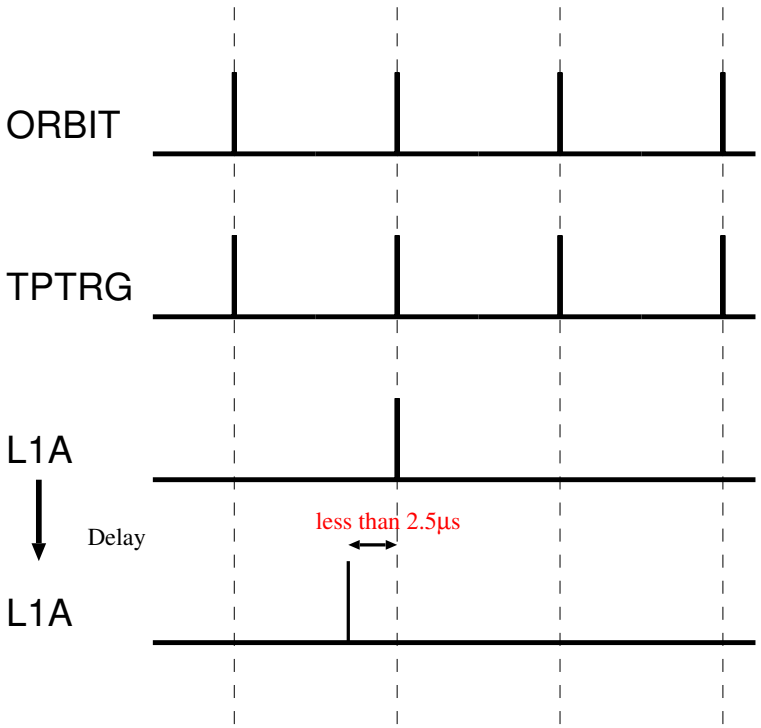

図 7.6: テストパルストリガー信号と L1A 信号のタイミングの設定

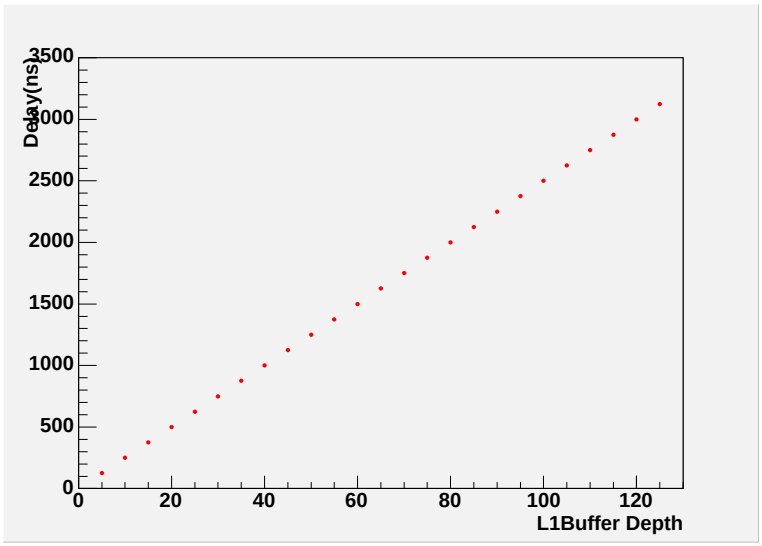

図 7.7: テストパルストリガー信号に対するレベル 1 アクセプト信号の遅延とレベル 1 バッファの深さの関係

次に、SSW の出力ついて調べた。SSW はゼロサプレスという圧縮方法を行うが、ここで簡単に説明する。図 7.8 に示すように、まず SLB の出力である 200 ビット (SLB の入力信号 160 ビット+トリガー出力 40 ビット) を 8 ビットのセルに分割する。セルの中に 1 が存在していたら、その 8 ビットとセル番号、3 バンチのどのデータであるかフラグをつける。セルは 25 分割されているので、セル番号のフラグは 5 ビットである。図 7.9 に、ある 1 イベントでのゼロサプレスされた

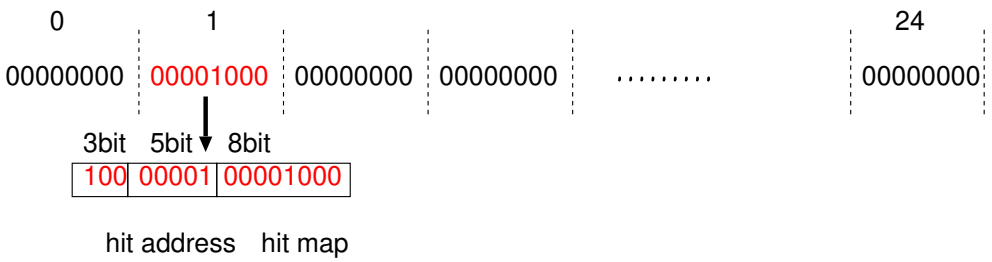

図 7.8: SSW での圧縮方法 (ゼロサプレスの方法)

データを示す。この図より、赤い枠で括られている場所が SLB の出力データであり、それ以外は

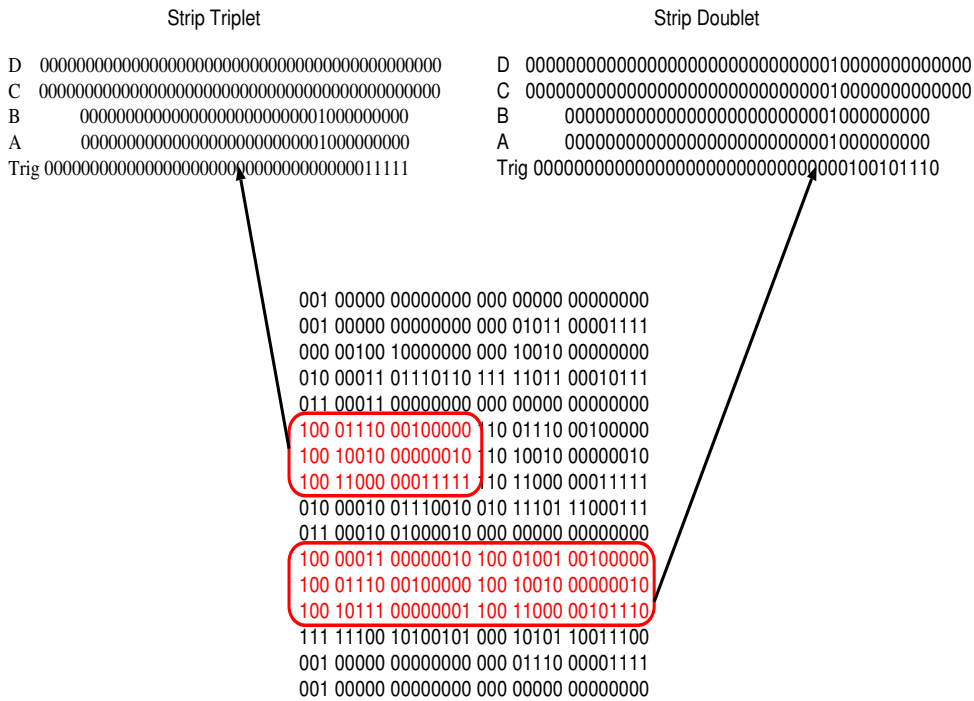

図 7.9: ゼロサプレスされた結果

ヘッダーとテイラーである。これより、SSW でゼロサプレスの圧縮が正しく行えたことが確認できた。

ROD は SSW から来たデータを集約し、L1ID が一致しているか確認してイベント毎にまとめる。図 7.10 に、ある 1 イベントの ROD の出力を示す。もし ROD の ID と SSW の ID が合わなかった場合は、青で括られた場所が 1 になる。これより、ROD では SSW からきたデータが集約され、ROD と SSW の L1ID が一致していることが確かめられた。

そして、全てのモジュールを接続して、テストベクタを 1 トラックから 3 トラックまで 5000 イベントを 40.08MHz のクロックでテストした。

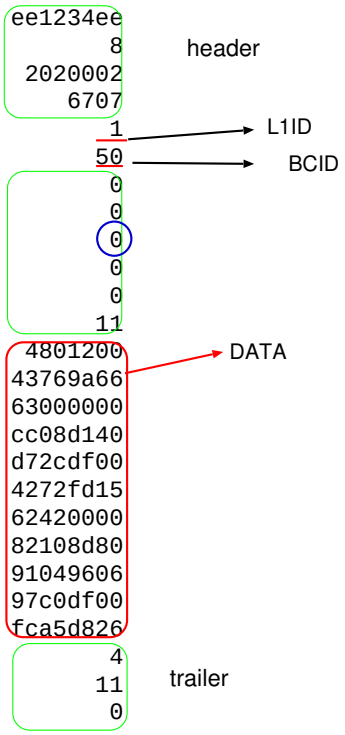

図 7.10: ROD の出力結果

また、少ないイベント数でテストするときに図 7.11 のイベントディスプレイ [26] を用いた。このイベントディスプレイは ROD の読み出した結果から、リアルタイムでどのようなイベントが入力されているかがわかる。表 7.1 にスライステストの結果を示す。この結果より、シミュレーションと 5000 パターン全て一致し、正常に動作することが確認できた。

トラック数	サンプル数	エラー数
1 トラック	5000	0
2 トラック	5000	0
3 トラック	5000	0

表 7.1: リードアウトスライステストの結果

7.6 スライステストのまとめ

今回、初めて読み出しエレクトロニクスを接続した統合テストを行った。検証は、モジュールを段階的に接続して、各々のモジュールの出力を確かめながら行った。SLB では正しいタイミングで読み出すことができ、SSW では正しい圧縮方法が行えた。そして ROD では SSW のデータを正しく集約することが確認できた。また、シミュレーションとの比較の結果、読み出しエレクトロニクスを統合して問題なく読み出しが行えていることを確認した。

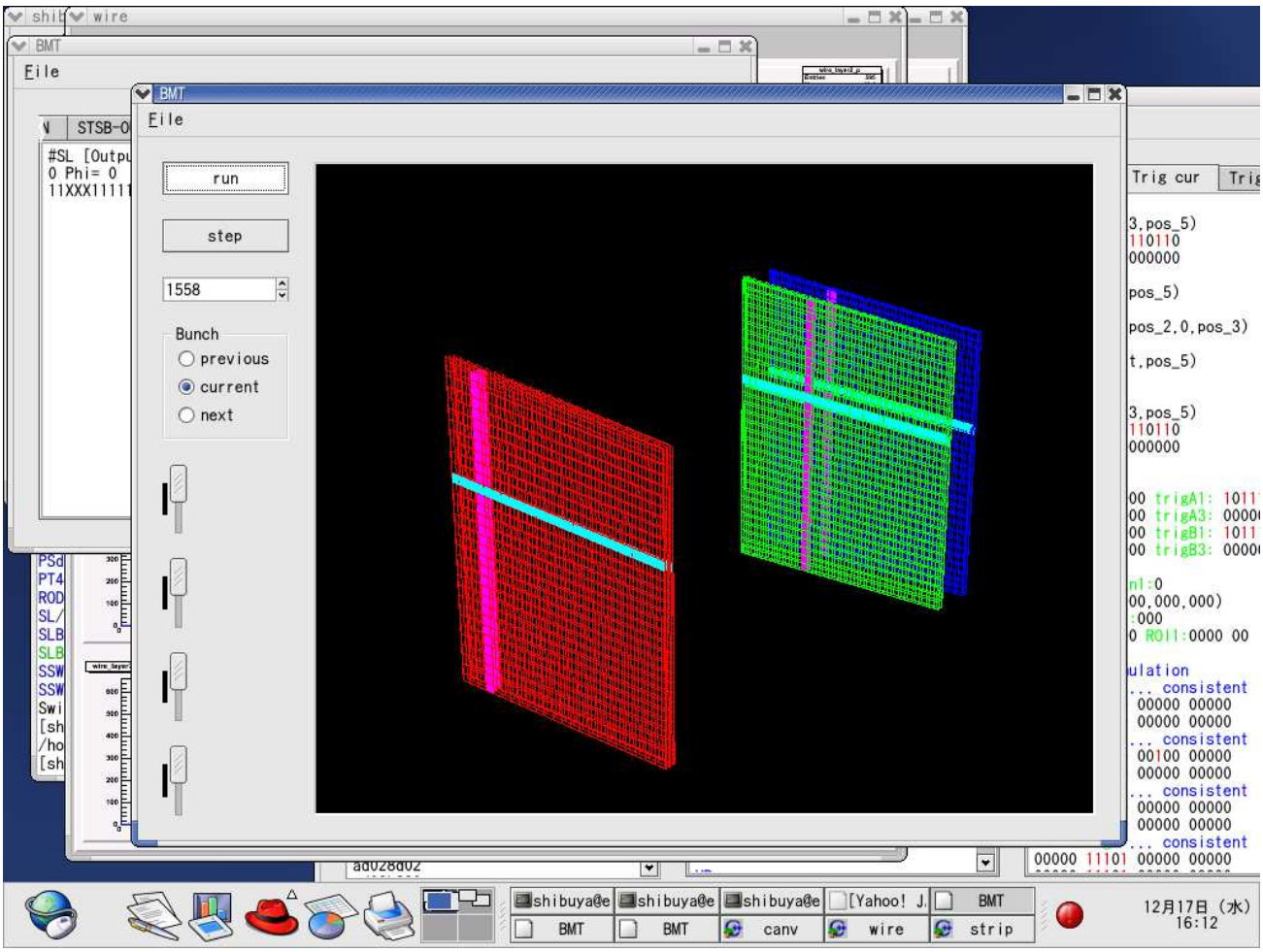

図 7.11: イベントディスプレイ

第8章　放射線照射試験

ATLAS 実験で使用されるエレクトロニクスは、ATLAS 実験の稼動期間の 10 年間以上は正しく動作する必要がある。そして、使用されるエレクトロニクスは大量の放射線環境に設置されるため、放射線耐性を必要とし、4.5 節で提示した ATLAS 実験に使用可能な条件をクリアせねばならない。

これまで TGC エレクトロニクスは、PP,SLB,HPT,JRC と実験室内に設置される ASIC すべてにおいて照射試験が行われ、ATLAS 実験 10 年分の照射量に耐えられることが、確認されている [21] [22] [17]。JRC は ASIC で開発されていたが、使用個数が少いため表 8.1 のように ASIC では開発期間が長く、少量の場合は開発投資額などで FPGA よりコストが高くなってしまう。そのため FPGA を採用した。

条件	ASIC	FPGA
開発期間	長い	短い
機能、性能	高い	やや低い
規模	大きい	やや小さい
開発投資額	大きい	少ない
開発のしやすさ	やや難易	容易
製品単価	安い	高い
生産量とゲート単価	少ないと高い	多くなっても安くならない

表 8.1: ASIC と FPGA の開発における特徴

今回、採用した FPGA は、Actel 社の Anti-Fuse FPGA A54SX32A (ゲート数 32,000 ユーザ IO249) である。この Anti-Fuse FPGA は、まだ照射試験にて ATLAS10 年分の照射量に耐えられるか検証を行っていない。今回、この Anti-Fuse FPGA に対して、γ 線、陽子線を用いて放射線照射試験を行った。その結果、Anti-Fuse FPGA は RHA グループが提示した ATLAS 実験で使用できる条件をクリアしていることを検証した。この Anti-Fuse FPGA は、普通の SRAM タイプの FPGA とは異なり不揮発性 FPGA であり、電圧を加えることにより配線が導通する構造になっているので、放射線耐性に優れているものとして知られている [9] [1] 。この照射試験で Anti-Fuse FPGA に搭載したロジックは 101 段の NAND ゲートで構成したリングオシレータ (図 8.1)、256×4 段のシフトレジスタである (図 8.2)。リングオシレータでは、FPGA に使われる半導体素子自体の速度を測ることができ、シフトレジスタでは放射線における SEU の発生回数を調べるのに適している。そして、このシフトレジスタは LHC バンチクロッシングの 40.08MHz で動作させた。表 8.2 に今回の照射テストの内容と目的を示す。また、NIEL に関しては 4.5 節に述べたように、CMOS プロセスに関してはテストを行わなくてもよい。

[1] アンチヒューズとはヒューズの逆で電圧を加えることによってその部分の配線が導通する構造のものをいう。いったん導通した素子は元に戻せないため、消去再書き込みが行えない。

	線源	実験施設	目的
γ 線照射	^{60}Co	RCNST (東京大学原子力総合センター)	TID に対する評価
陽子線照射	70MeV 陽子	CYRIC (東北大サイクロトロン RI センター)	SEE に対する評価および SEU 断面積の測定

表 8.2: 放射線照射テストの目的と内容

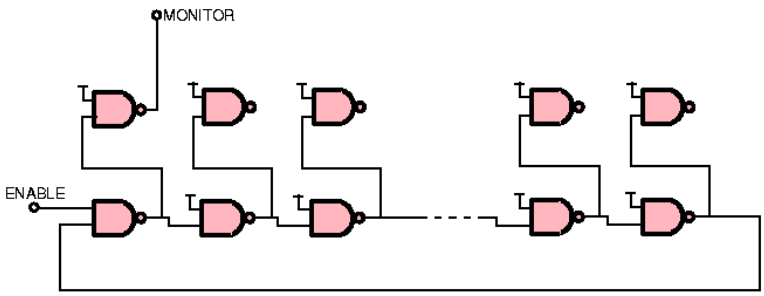

図 8.1: リングオシレータの回路図

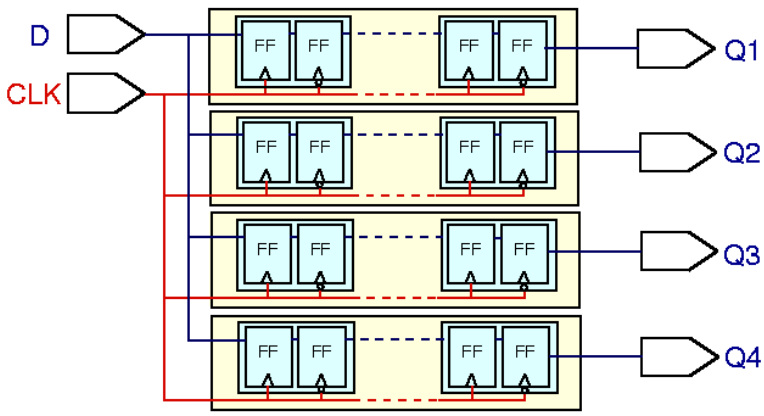

図 8.2: シフトレジスタ回路図

8.1 γ 線照射試験

γ 線照射テストは、東京大学原子力総合センター (RCNST) にて ^{60}Co を用いて行い、Anti-Fuse FPGA の TID に対する評価をした。TGC エレクトロニクスが満たさなければならない TID の耐放射線基準値 RTC は、4.5 節で示したように約 100Gy(10krad) である。つまり約 100Gy 以上の放射線を浴びてもチップが正しく動作していることを示す必要がある。今回の γ 線照射試験は 4 チップ照射を行った。実験精度の誤差を考慮し、また安全係数をさらに厳しくし、2 チップは 300Gy, もう 2 チップは 1100Gy 照射した。測定項目としてはリングオシレータの周波数、SEU 発生回数、電源電圧のリーク電流を測定した。また FPGA の停止時のリーク電流も測定を行いたかったため照射中にリングオシレータおよび、シフトレジスタのクロックを動作、停止を交互に行った。

8.1.1 実験時のセットアップ

図 8.3 に照射試験のセットアップ図を示す。照射室は二階建てになっていて、二階に ^{60}Co の線源が収納されていて、照射時に一階の照射室へ降りてくる構造になっている。線源は円柱状のものが 58 本円筒容器に密封された状態になっている。線源の最大強度は 22TBq になっており、水に対する最大線量率は約 1000Gy/h である。γ 線強度の値は原子力総合センターから提供されたフリッケ測量計[2]によって測定された値である。照射されるボードの線源と照射チップの距離を調整することにより照射率を設定した。また、提供された線量率は水に対するものであるので、シリコンに対する線量率に変換した[3] 。図 8.4 に距離とシリコンに対する線量率の関係を示す。今回照射はボード、線源間の距離を 30mm にして 840Gy/h の線量率で行った。照射に使用したボードを図 8.6 に示す。一つのボードに Anti-Fuse FPGA が 2 チップ、インターフェイスとして 34 ピンフラットケーブルコネクタ、LVDS-TTL 変換チップが搭載されている。照射中は Anti-Fuse FPGA に 3.3V 電源を供給し照射を行い、50 秒リングオシレータ、シフトレジスタのクロックをオンにし、その後 10 秒間リングオシレータ、シフトレジスタのクロックをオフにして測定を行った。また、1 分ごとにリングオシレータの周波数を測定した。今回の測定では各照射対象毎の線量の評価を厳密に行なったわけではないので、照射ごとの線量の不確定性が約 10% [4]おきる可能性があるが、RHA の定める放射線基準値よりも線量を多くすることで対処した。表 8.3 に各チップの照射時間と測定項目を示す。

	照射時間 $[min]$		照射中の測定内容
Anti-Fuse FPGA	Chip1	25	リーク電流
	Chip2	25	周波数
	Chip3	80	
	Chip4	80	

表 8.3: γ 線照射試験の測定内容

[2]硫酸鉄 (II) 硫酸性水溶液に放射線を照射し、水の放射線分解物との反応で Fe^{+2} イオンが Fe^{+3} イオンに酸化される。この酸化反応の変化量から吸収線量を求める線量計を鉄線量計またはフリッケ線量計という

[3]吸収線量を D とし、Z を分子を構成する全原子番号の和、A をすべての質量数の和とすると、$D_1 \times A_1/Z_1 = D_2 \times A_2/Z_2$ の関係が成り立つ。ここで 1 と 2 はそれぞれ基準となる分子と変換したい分子を表す。Si の場合は Z/A=0.498 である。

[4]線源と照射対象の距離を 30mm としているが最大 $\pm$5mm 程度ずれて測定した可能性があり、フリッケ線量計の評価によると最大で約 10% 線量率が異なる。

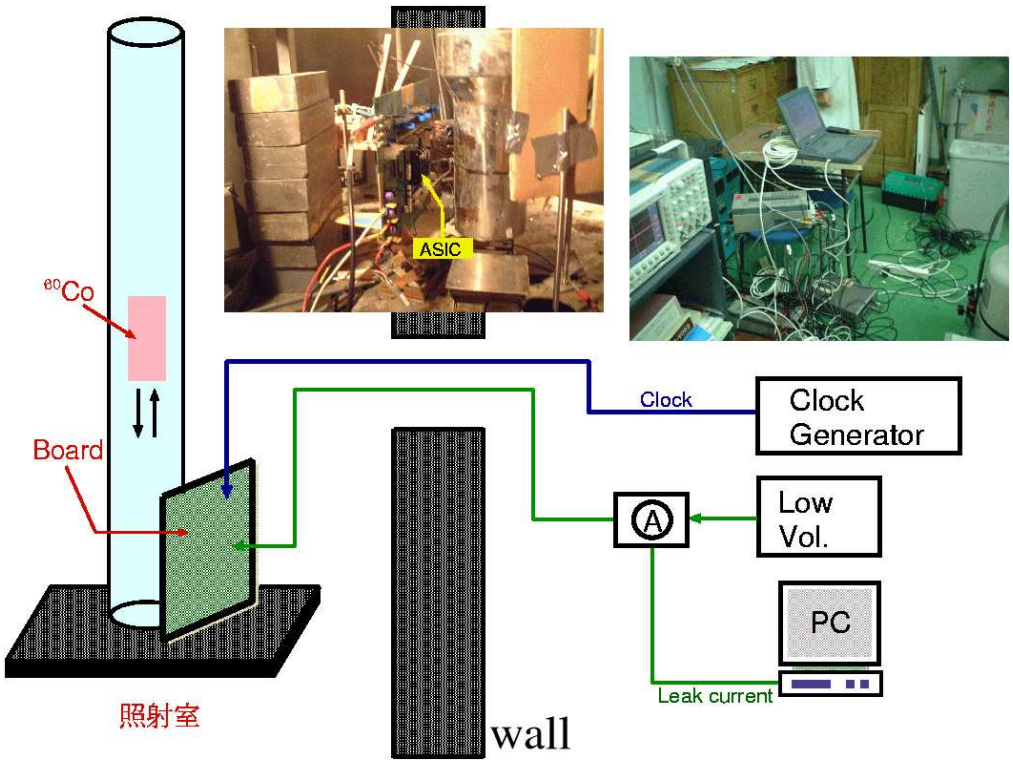

図 8.3: γ 線照射試験のセットアップ図

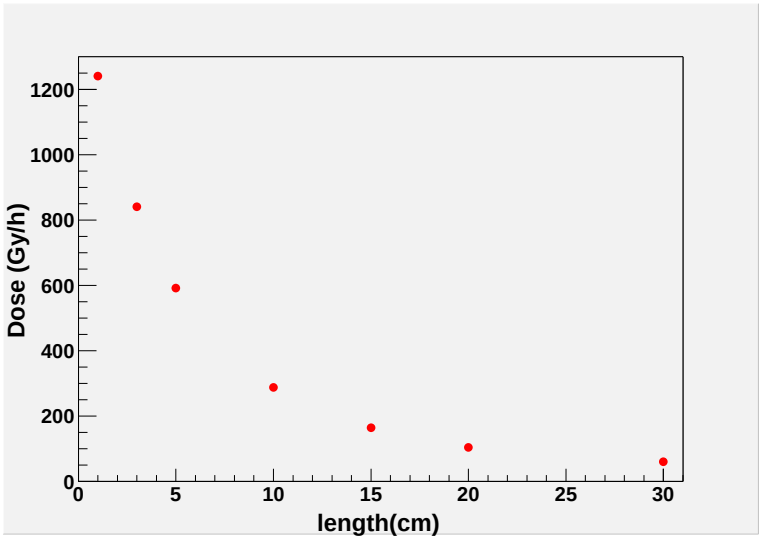

図 8.4: γ 線の吸収線量と距離の関係 (シリコンに対する値)

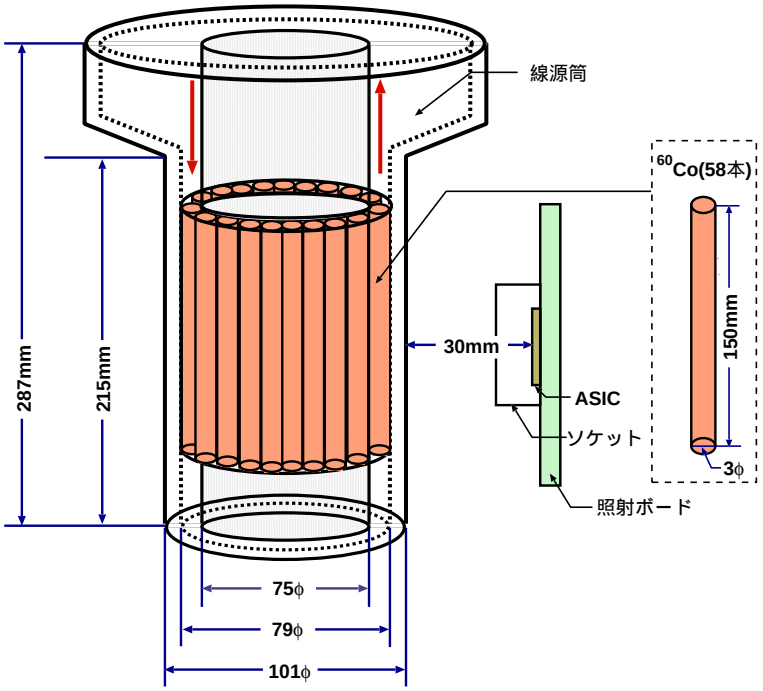

図 8.5: γ 線源の構造

.

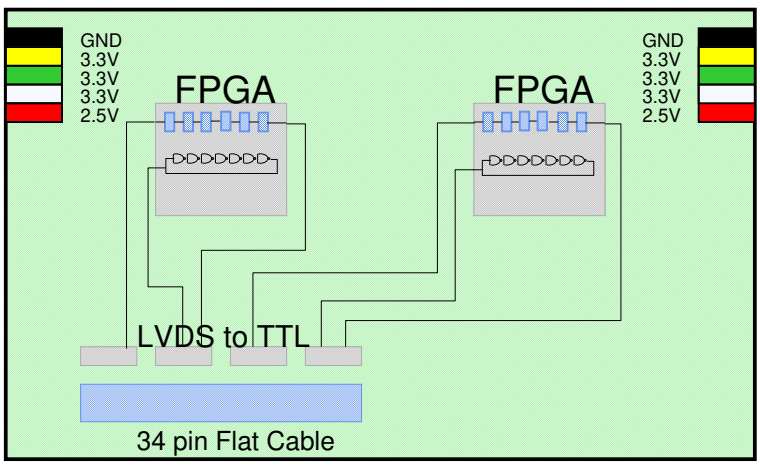

図 8.6: ガンマ線照射試験用テストボード

8.1.2 測定結果と考察

図 8.7 に CHIP4 の照射時間と電流の推移を示す。この図は 50 秒リングオシレータ、シフトレジスタをオンにし、10 秒リングオシレータ、シフトレジスタをオフにしているため、オフにしたときは電流値が下がっていることがわかる。今回、線源からチップを 30mm 離して照射を行ったので、線量率は図 8.4 より 840Gy/h である。この値から時間を吸収線量に置き換えることができる。時間を吸収線量に置き換えたものが図 8.8 である。図 8.9 に全チップの吸収線量と電流値の推移を示す。積算線量による劣化でリーク電流の増加が起こっていることがわかるが、TGC エレクトロニクスが ATLAS 実験で使用できるための RHA の条件値である 100Gy(10krad) では、リングオシレータ、シフトレジスタのクロックがオンのとき 0.07mA しか上昇していない。600Gy あたりからリーク電流の急激な増加がみられ、1100Gy(110krad) を照射したチップ 4 では、リングオシレータ、シフトレジスタのクロックがオンのとき 10mA 程度の電流の増加が見られた。

また、リングオシレータの吸収線量と周波数の推移を、図 8.10 に示す。図 8.9, 図 8.10 からわかるようにリーク電流の増加に伴い、リングオシレータの周波数が急激に落ち始めている。つまり電流が余分に流れることにより、回路の動作速度が遅くなっていることがわかる。今回の γ 線照射試験で RHA で決められた耐放射線基準値の 100Gy(10krad) では、電流、周波数は表 8.4 のような変化があった。

チップ名	電流の増加 (増加の割合)	周波数の減少 (減少の割合)
CHIP1	0.1mA (2.6%)	0.014MHz(0.13%)
CHIP2	0.05mA (1.4%)	0.013MHz(0.12%)
CHIP3	0.02mA (0.5%)	0.01MHz(0.09%)
CHIP4	0.07mA (1.8%)	0.01MHz(0.09%)

表 8.4: 各チップの 100Gy 照射したときの電流と周波数の変化とその割合 (リングオシレータとシフトレジスタのクロックがオンの時)

しかし、ここれくらいの変化は FPGA の動作に問題ないので、TID に関する RHA の要求を十分に満たしているといえる。

8.2 陽子ビームテスト

ここでは、東北大学サイクロトロン RI センター (CYRIC) で行った Anti-Fuse FPGA の陽子線における SEE 発生率の評価について述べる。SEE は、ハドロンの通過により偶発的におきる現象であり、TID のように RHA からのシミュレーションによる基準値がない。システムの設計次第で SEE の被害を少くすることができる。しかし、SEE の被害をなくすための設計をするためには、SEE の断面積を知る必要がある。今回使用する、Anti-Fuse FPGA について初めて放射線照射テストを行うので、プロトン照射により SEE の断面積を測定し、ATLAS の実験での使用に支障がないかどうか調べる。放射線による SEU の影響は主に 20MeV 以上のハドロンビームによって引き起こされ断面積は、それ以上のエネルギーになるとほぼ一定になる [15]。今回の照射試験では 70MeV 陽子ビームを用いて照射を行った。これは、RHA で定められた SEE 検査方法を満たしている。陽子線照射試験の測定内容を表 8.5 に示す。4 チップ照射し、陽子線による TID の影響も調べるため、電流値、周波数を測定した。

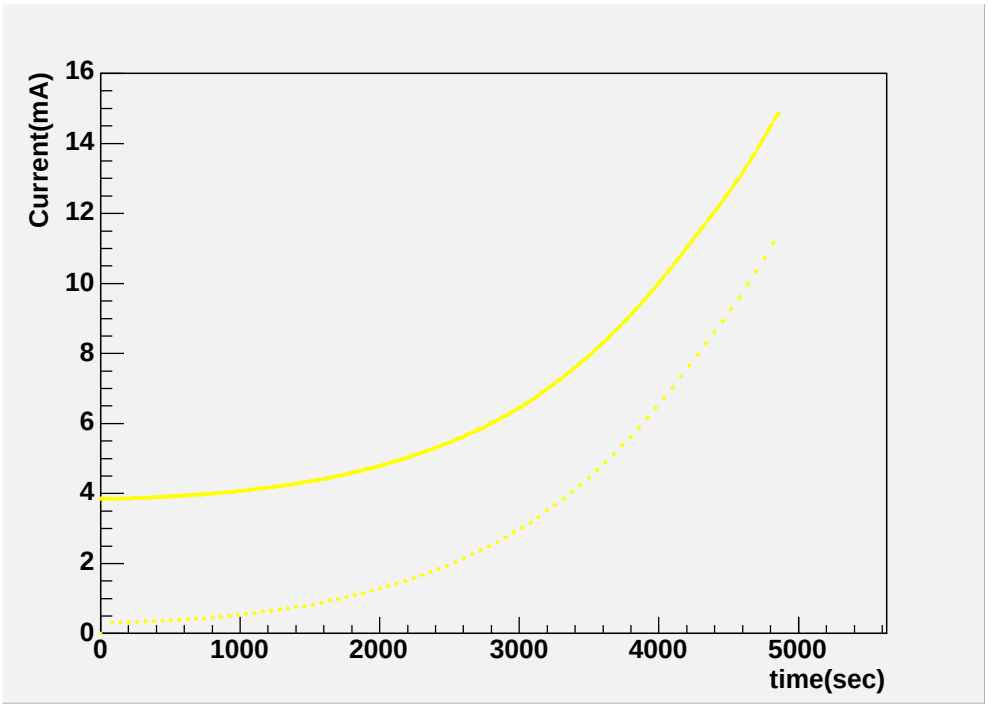

図 8.7: チップ 4 の γ 線照射中の電流の推移 (横軸:時間 (秒), 縦軸:電流値 (mA))

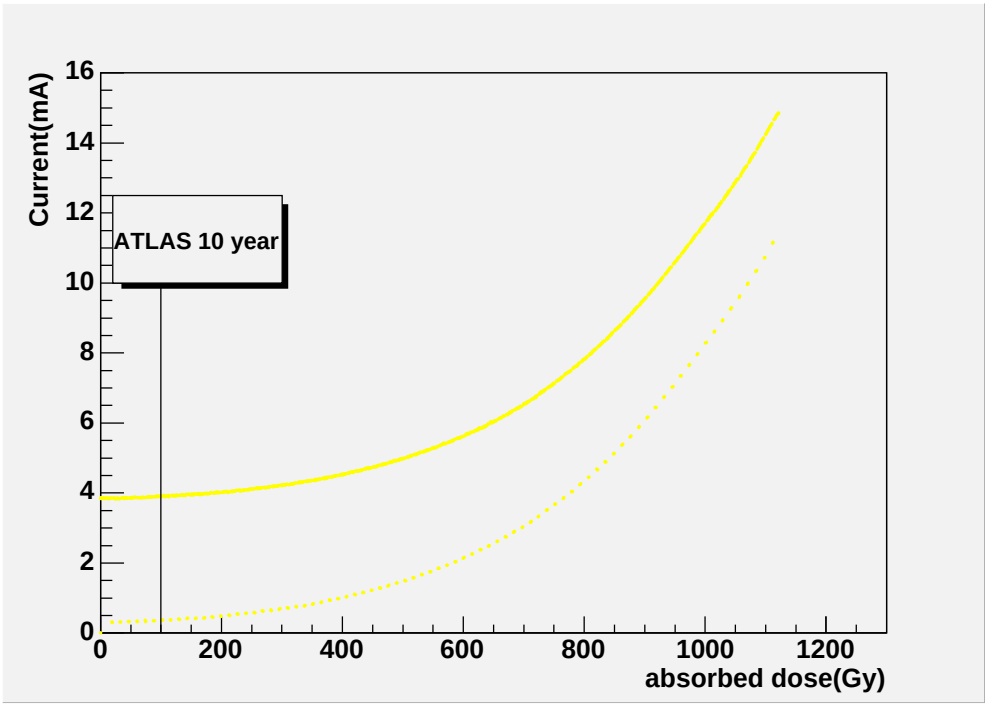

図 8.8: チップ 4 の γ 線照射中の電流の推移 (横軸:吸収線量 (Gy), 縦軸:電流値 (mA))

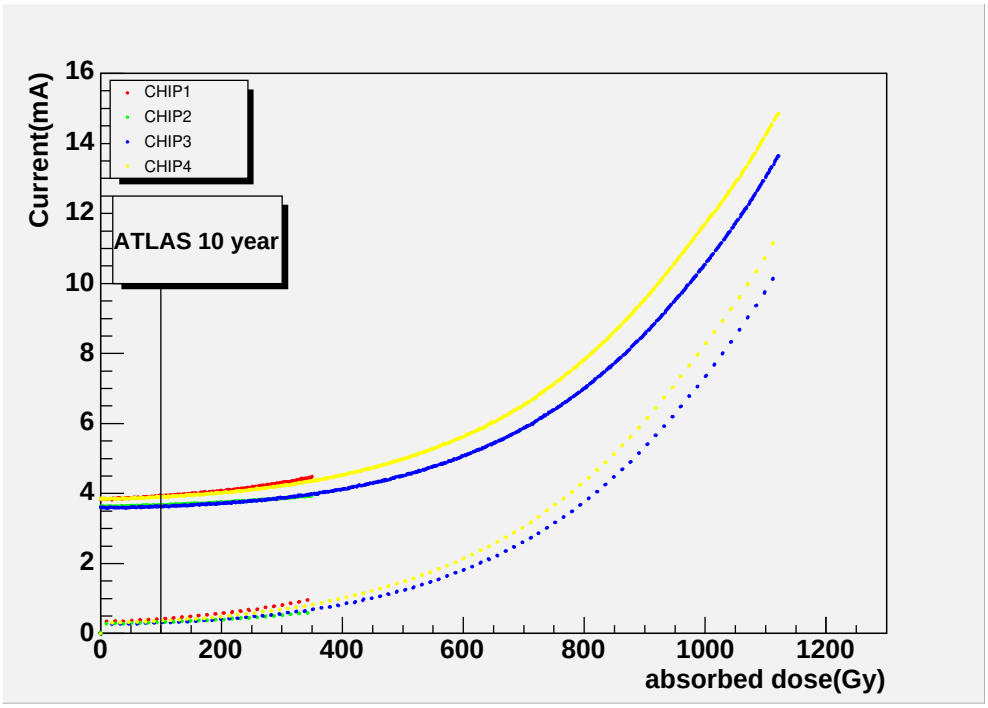

図 8.9: γ 線照射中の電流の推移 (横軸:吸収線量 (Gy), 縦軸:電流値 (mA))

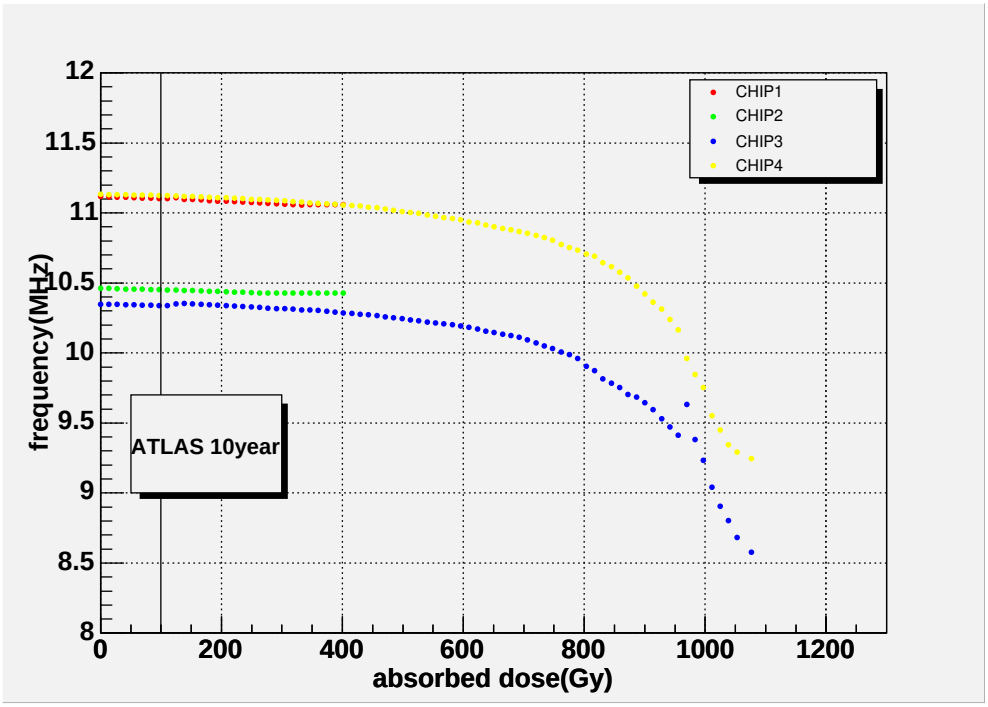

図 8.10: γ 線照射中の周波数の推移 (横軸:吸収線量 (Gy)、縦軸:周波数 (MHz))

	照射時間 $[min]$		照射中の測定内容
Anti-Fuse FPGA	Chip1	22	リーク電流
	Chip2	20	周波数
	Chip3	20	SEU 発生回数
	Chip4	20	

表 8.5: 陽子線線照射試験の測定内容

8.2.1 実験時のセットアップ

今回照射するチップが搭載されたボードは、γ 線照射試験のときと同様のボードである。図 8.11 に実験全体のセットアップ図を示す。照射室に設置された照射ボードから Anti-Fuse FPGA をコントロールするためのフラットケーブル、FPGA の電源ケーブル、X-Y ステージ[5]のコントロール用のフラットケーブルが伸ばされる。FPGA のコントロール用ケーブルは VME クレート内の PT4 [6] に接続される。PT4 のコントロールは Linux OS を用いて操作を行なった。また X-Y ステージのコントロールケーブルは専用コントローラに接続し Winodows OS の PC で X-Y ステージを動作させる。さらに、電流を測定するためにデジタルマルチメータを用いて測定した。このデジタルマルチメータは RS232 コネクタで WindowsPC に接続した。また周波数を測定するために周波数カウンターを設置した。これら照射室に置かれている PC はネットワークを経由して制御室から VNC [7] または SSH を用いて遠隔操作した。また周波数カウンターはネットワークカメラを用いて制御室から測定できるようにした。

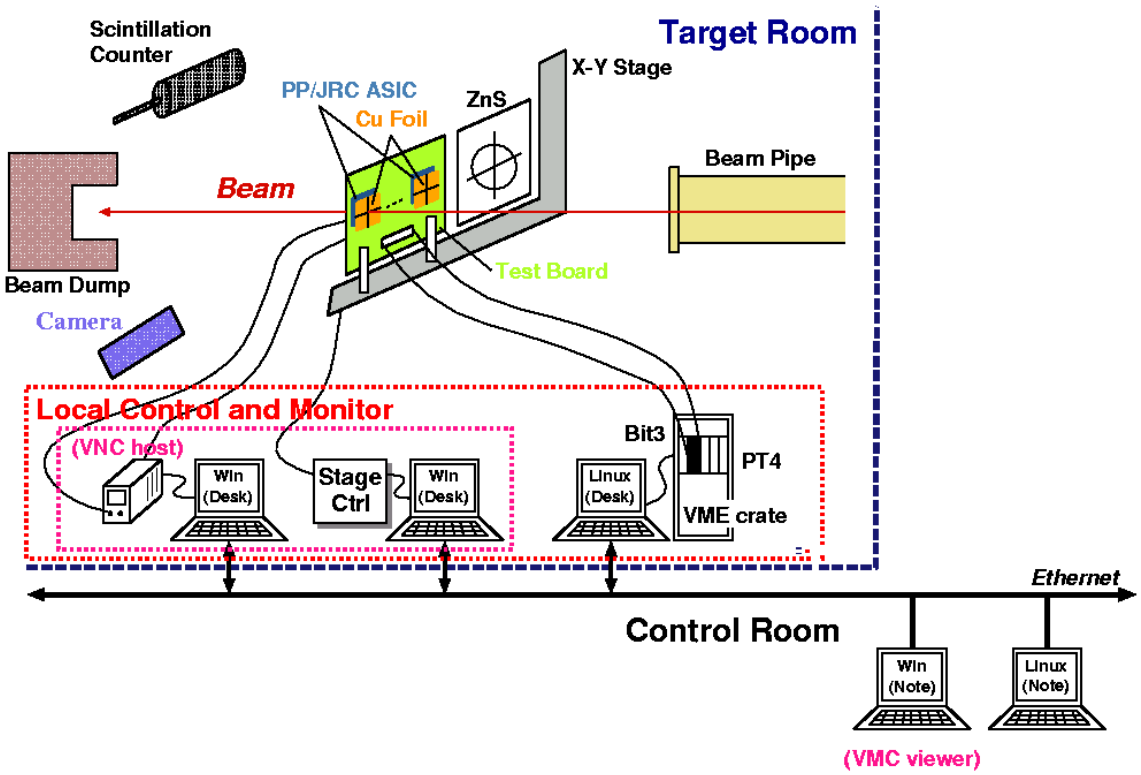

図 8.11: 陽子線照射試験セットアップ図

[5]ターゲットやビームモニタの位置調整を遠隔操作で行なえる装置

[6]TGC エレクトロニクスグループのプロトタイプとテストベンチを構成するために開発された汎用の FPGA を搭載した VME モジュールである。

[7]VNC:Virtual Network Control ネットワークに繋がった他のコンピュータの画面を遠隔操作するソフトウェア。

図 8.12 に照射室の写真を示す。ビームはビームパイプを通過から出てきて、テストボード上のチップに照射される。そして、ビームダンプ付近にはビームのモニタに使うためにファイバーシンチレータを設置した。そして照射ボードの後ろにはファラデーカップを内蔵したビームダンプがある。

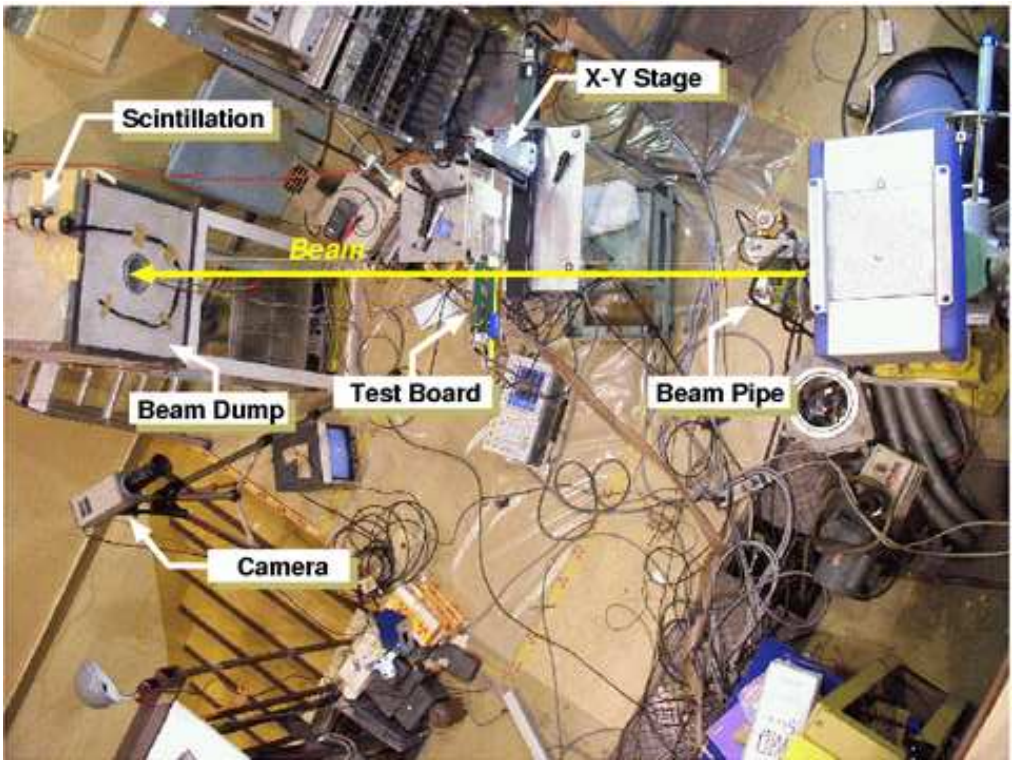

図 8.12: 陽子ビーム照射試験セットアップ図 (上から見た写真)

次に、X-Y ステージのセットアップ図を 8.13 に示す。X-Y ステージには照射ボードをモニターするために、アルミフォイルに ZnS を塗った蛍光性のスクリーンを設置した。照射中はまずこのスクリーンモニターすることによりビームの照準を合わせ、それからターゲットをビーム位置に動かした。実際のビームプロファイルと強度の測定は、チップの上に Cu のフォイルを貼り付け、照射後の Cu から線量測定などを行った。ビームラインの最終段のストッパーで測定したビームの電流は、約 3nA でありビームの直径は最大 20mm まで広げることができる。

次に照射中の測定手順を説明する。測定手順としては、γ 線照射試験と同じである。照射中 50 秒リングオシレータ、シフトレジスタのクロックを ON、その後 10 秒間リングオシレータ、シフトレジスタのクロックを OFF にする工程を繰り返す。そして、1 分ごとに周波数の変化を測定する。またシフトレジスタのクロックを ON にしているときは、シフトレジスタの入力と出力の値を比較した。この比較で間違っていたとき SEU がおきたことになるので、比較した結果を測定した。それにより、Anti-Fuse FPGA の SEU 断面積を計算することができる。このときのシフトレジスタの駆動クロックは 40MHz でテストした。

8.2.2 測定結果と考察

まず、照射線量を定量的に押さえるため、今回の照射試験では金属フォイルを使用して線量測定を行った。今回使用した金属フォイルは Cu 0.25mm(99.99%以上) である。これを 25mm 角にし、チップに貼り付けて照射した。照射後の Cu フォイルの γ 線スペクトルを測定する。セットアップを図 8.14 に示す。アクリル板の中央に Cu フォイルを貼り付け、Cu フォイルとゲルマニウム検出器の距離を 5cm になるようにおく。検出器の Dead Time を除いて 1000 秒間 γ 線測定を行った。

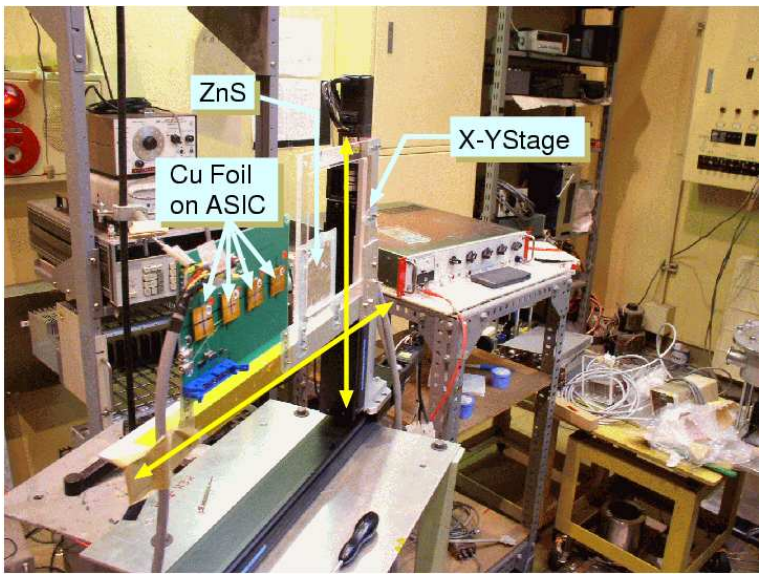

図 8.13: 照射ボードと X-Y ステージのセットアップ

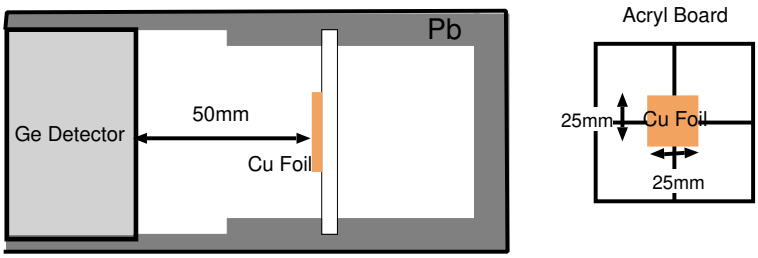

図 8.14: ゲルマニウム検出器のセットアップ図

例としてチップ 1 に張った Cu フォイルの γ 線スペクトルを図 8.15 に示す。線量測定はこの図に書かれている γ 線のピークを用いて行い、各チップ毎のゲルマニウム検出器で観測される γ 線の種類に違いはなかった。

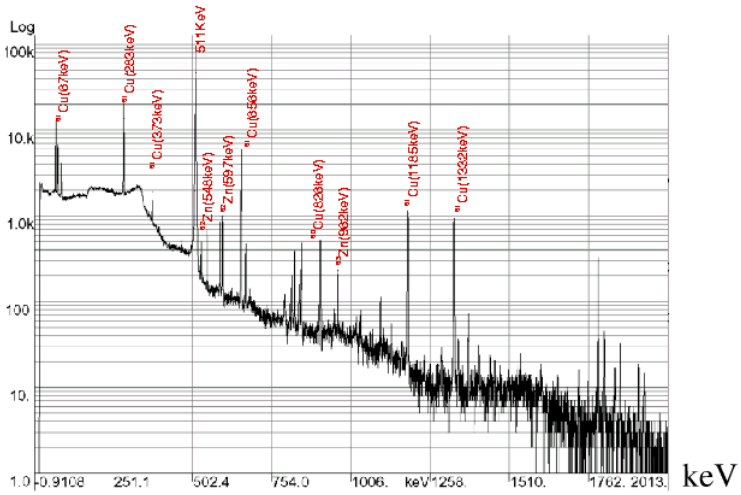

図 8.15: Cu フォイルからの γ 線スペクトル

また、各チップの相対強度の補正を行うために、Cu フォイルに対してイメージングプレートを用いてビームプロファイルを行った。イメージングプレートとは、輝尽性発光体が塗布されたフィルム状の画像センサーである。X 線、電子線、中性子などの放射線を高感度で検知し、2 次元の画像が得られる。輝尽性発光体[8] に放射線を照射したのちレーザーを照射すると、放射線照射を受けた部分が発光する。この光を光電子増倍管で電流に変換し、画像化する。イメージングプレートの輝尽性蛍光体の強度は PSL 値という単位で表現され照射線量に比例した値となっている。各チップのイメージングプレートで測定したものを図 8.16 ~ 8.19 に示す。

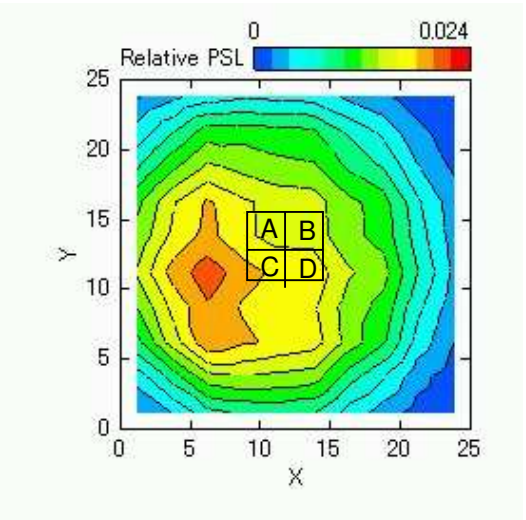

図 8.16: CHIP1 のビームプロファイリング (縦軸、横軸ともに単位は mm である)

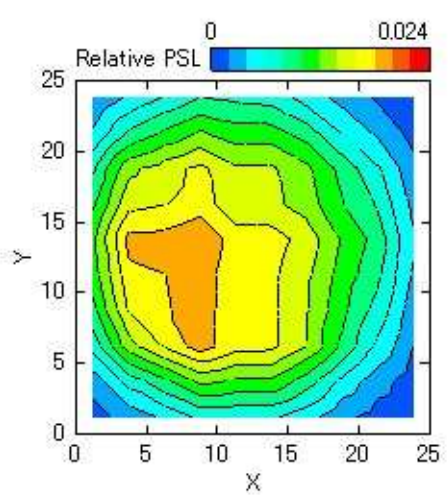

図 8.17: CHIP2 ビームプロファイリング (縦軸、横軸の単位は mm)

[8]輝尽発光 (Photo-Stimulated Luminesence;PSL) とは、物質に放射線などの第 1 の刺激を与えた後で、第 2 の刺激を励起光としてその物質に照射した時に、第 2 の光よりも波長が短く、かつ最初の刺激に対応した第 3 の光を発する発光現象のこと。

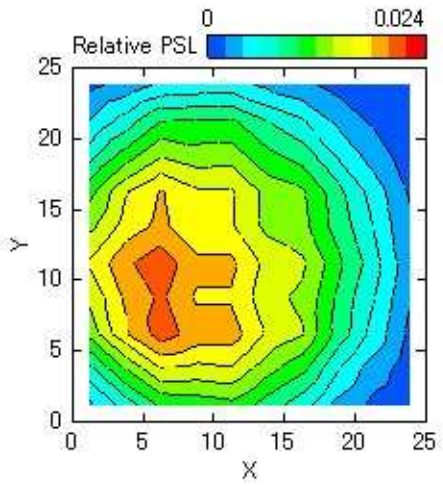

図 8.18: CHIP3 ビームプロファイリング (縦軸、横軸の単位は mm)

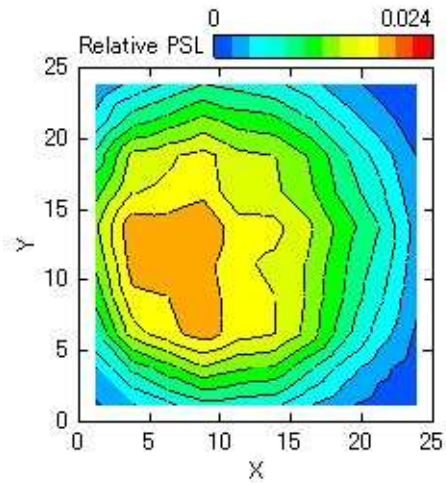

図 8.19: CHIP4 ビームプロファイリング (縦軸、横軸の単位は mm)

この等高線では PSL 値の全体を 1 として表現しており、相対強度 ϵ_r は式 8.1 から PSL 値の分布図を 100 ピクセルに分割して、FPGA のコアが 5mm× 5mm であるので、中央の 4 ピクセルを使用して求めた。

$$\epsilon_r = \frac{\sum_{j=A,B,C,D} PSL_j}{\sum_{i=1}^{100} PSL_i} \tag{8.1}$$

次に陽子のフラックスの見積もりについて述べる。陽子により Cu フォイルから生成された核の個数を N、陽子のフラックス $\Phi[\mathrm{cm}^{-2}\mathrm{sec}^{-1}]$、ターゲットである Cu フォイルの原子数 N_t、陽子とターゲットの有効断面積 σ_{eff}、陽子により生成された核の崩壊定数 $\lambda[\mathrm{sec}^{-1}]$ とする。陽子によって、Cu フォイルから生成される核の生成速度は

$$\frac{dN}{dt} = \phi \cdot \sigma_{eff} \cdot N_t - \lambda \cdot N \tag{8.2}$$

となる。ここで有効断面積は陽子と直接反応することによって生成される断面積である。式 8.2 を陽子線照射時間 $\mathrm{T}_r[\mathrm{sec}]$ で積分すると

$$N = \frac{\phi \times \sigma_{eff} \times N_t}{\lambda} \times (1 - \exp(-\lambda \times T_r)) \tag{8.3}$$

になる。ここで Cu フォイルの原子数 N_t を計算する。Cu フォイルの厚さ $\mathrm{t}(100\mu\mathrm{m})$、面積を $\mathrm{S}(2.5\mathrm{cm}\times 2.5\mathrm{cm})$ 密度を ρ、原子量を A、アボガドロ数を N_A なので、

$$N_t = t \times S \times \rho N_A / A = 5.27 \times 10^{21}[\text{個}] \tag{8.4}$$

と求められる。照射終了時刻を t=0 として、時刻 t にこの Cu フォイルから放出する放射能の強さ B[Bq] は

$$B(T) = \lambda \cdot N(t) = \lambda N \cdot \exp(-\lambda t)[Bq] \tag{8.5}$$

になる。
照射後 Tm[sec] から Tc[sec] 間ゲルマニウム検出器で得られた γ 線の数 C_γ、生成された核が γ 線

への分岐比 Br と検出効率 ϵ とすると、

$$C_\gamma = Br\epsilon \int_{T_m}^{T_m+T_c} B(t)dt \tag{8.6}$$
$$= Br\epsilon N(\exp(\lambda T_m) - \exp(-\lambda(T_m - T_c)))$$

となり、式 8.3 に代入すると、陽子のフラックス ϕ は

$$\phi = \frac{C_r\lambda}{\epsilon Br\sigma_{eff}N_t}(1 - \exp(\lambda T_r))(\exp(\lambda T_m) - \exp(-\lambda(T_m + T_c))) \tag{8.7}$$

となる。ただし、ここで求めた陽子のフラックスは 25mm 角の Cu フォイルにビームが一様に照射している仮定をしている。しかし、図 8.16 からわかるようにビームは一様ではない。それなので、式 8.1 で求めた相対強度を用いることによりチップのコア部分のフルエンスつまり、FPGA に対する陽子のフルエンスを換算することができる。

$$F = \phi \times T_r \times 2.5^2 \times \epsilon_r/0.5^2 \tag{8.8}$$

図 8.20 にいくつかの γ 線ピークに対し、式 8.7 から求めたチップ 1 の照射時の陽子のフルエンス

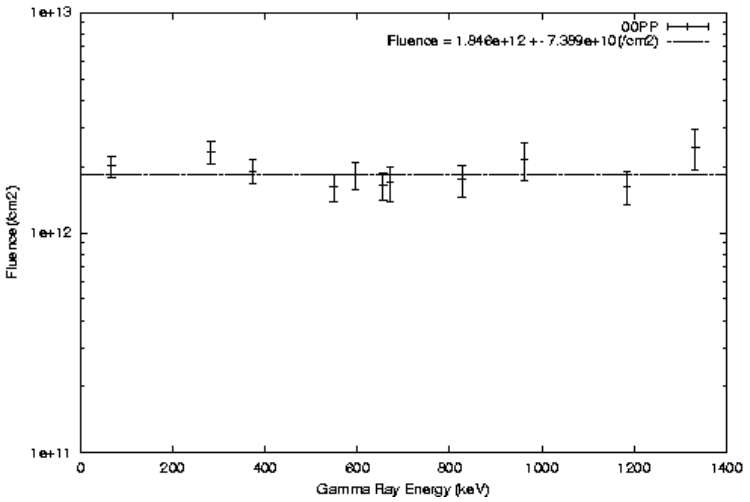

図 8.20: チップ 1 の陽子フルエンス

を示す。次に各チップが受けた吸収線量 X を求める。70MeV 陽子によるシリコン中のエネルギー損失 dE/dx は

$$\frac{dE}{dx} = 7.6[\text{MeV cm}^2/\text{g}] = 1.6 \times 10^{-5} \quad [\text{erg} \cdot \text{cm}^2/\text{g}] \tag{8.9}$$

である [13]。このエネルギー損失と陽子フルエンスから吸収線量は以下のようになる。

$$X = \frac{dE}{dx} \times F \tag{8.10}$$
$$= 1.6 \times 10^{-5} \times F[\text{erg/g}]$$
$$= 1.6 \times 10^{-5} \times F[\text{Gy}]$$

線量測定から求めた陽子のフラックスには 10%の不確定性を含んでいる。以上の結果を表 8.6 に示す。

照射時間と電流値の推移を図 8.21 に示す。そして、線量測定結果より、照射中に陽子ビームによる吸収線量が常に一定であると仮定して、照射時間を吸収線量に直したものが図 8.22 である。

チップの種類	ビーム電流	照射時間 (s)	吸収線量 (Gy)	フルエンス (cm^{-2})
No.1	2.8nA	1320	782.5±43.0	$4.89 \times 10^{11} \pm 2.71 \times 10^{10}$
No.2	2.2nA	1200	666.6±2.9	$4.17 \times 10^{11} \pm 1.79 \times 10^{9}$
No.3	4.3nA	1200	1232.2±59.5	$7.70 \times 10^{11} \pm 3.71 \times 10^{10}$
No.4	3.9nA	1260	1103.5±51.8	$6.90 \times 10^{11} \pm 2.44 \times 10^{10}$

表 8.6: 照射線量と陽子フルエンス

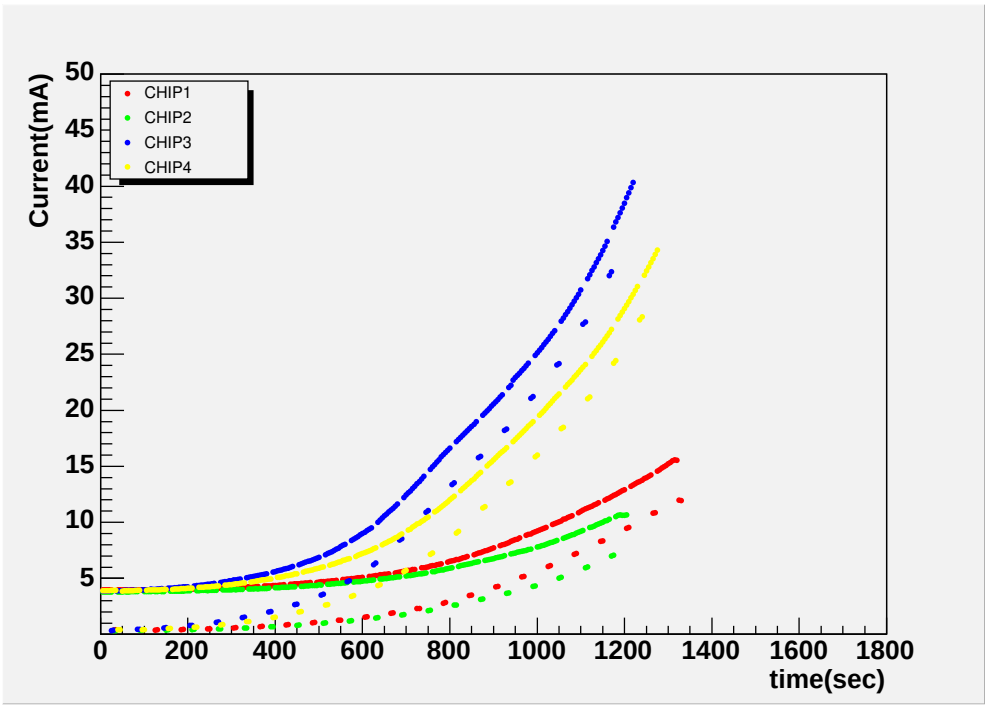

図 8.21: 陽子線照射中の電流の推移 (横軸:照射時間 (秒)、縦軸:電流値 (mA))

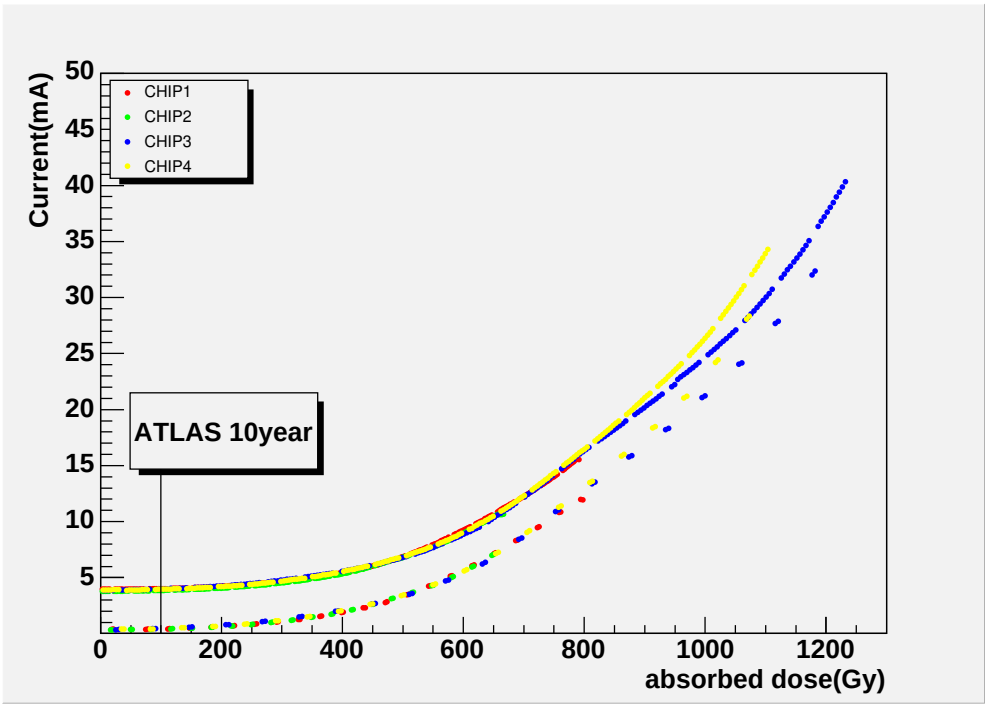

図 8.22: 陽子線照射中の電流の推移 (横軸:吸収線量 (krad)、縦軸:電流値 (mA))

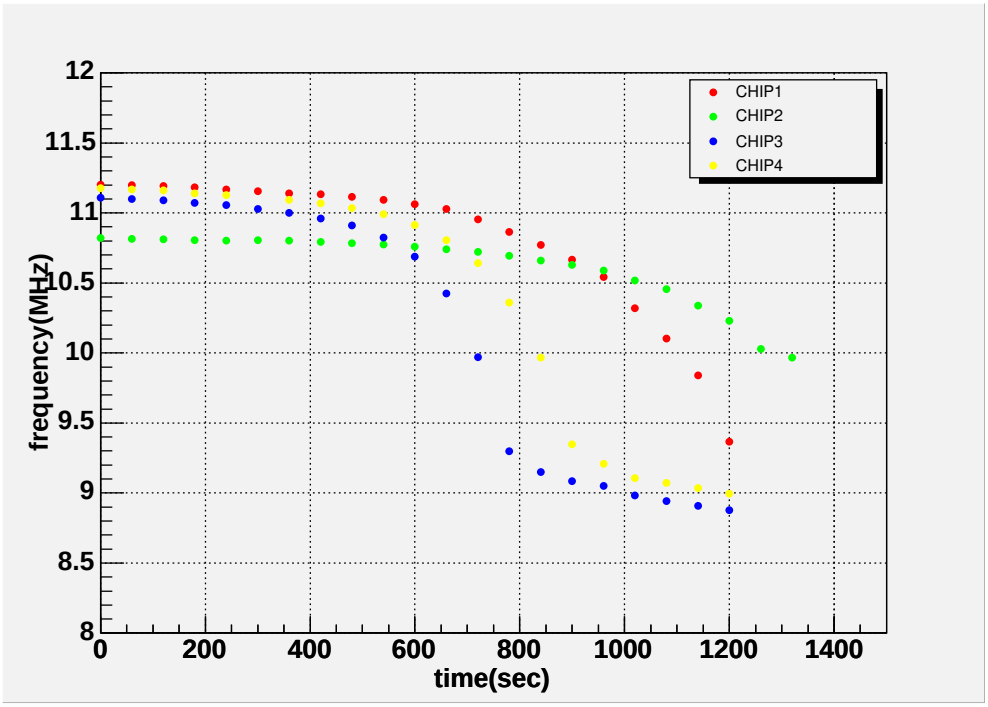

図 8.23: 陽子線照射中の電流の推移 (横軸:照射時間 (秒)、縦軸:周波数 (MHz))

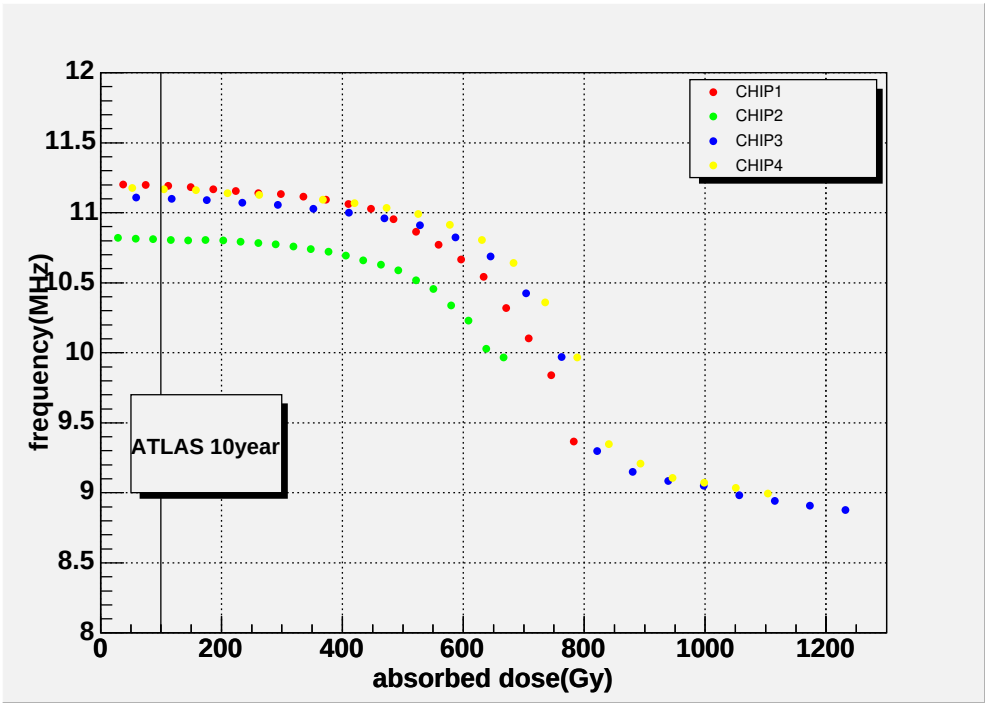

図 8.24: 陽子線照射中の電流の推移 (横軸:吸収線量 (krad)、縦軸:周波数 (MHz))

また、照射時間と周波数の変化の図を 8.23 に示し、吸収線量に直したものを図 8.24 に示す。 γ 線照射試験と同様、RHA で決められた耐放射線基準値の 100Gy では、電流、周波数は表 8.7 に示す変化がみられた[9]。

チップ名	電流の増加 (増加の割合)	周波数の減少 (減少の割合)
CHIP1	0.04mA (1.1%)	0.009MHz(0.08%)
CHIP2	0.08mA (2.0%)	0.014MHz(0.13%)
CHIP3	0.14mA (3.5%)	0.011MHz(0.10%)
CHIP4	0.07mA (1.8%)	0.009MHz(0.08%)

表 8.7: 各チップの 100Gy 照射したときの電流と周波数の変化とその割合 (リングオシレータとシフトレジスタのクロックがオンの時)

表 8.4 と表 8.7 を比べると、γ 線照射試験の電流と周波数の変化と陽子線照射試験での電流と周波数の変化はほぼ一致していることがわかる。

次にシフトレジスタから測定された SEU の回数をもとに、Anti-Fuse FPGA の SEU の断面積を求める。今回の陽子線照射試験では SEU は一回も起こらなかったため、90% 信頼基準の上限値を使って SEU 断面積の上限を求めた [13]。

$$\sigma_{SEU} < (2.44)/\mathrm{Fluence}/(1024\mathrm{bit})[\mathrm{cm}^2/\mathrm{bit}] \tag{8.11}$$

SEU 断面積の測定結果及び、計算結果を表 8.8 に示す。

次に、この測定した断面積から、ATLAS10 年間稼動したときを想定したフルエンスの値を用いて、TGC エレクトロニクス全体のすべての Anti-Fuse FPGA に対する SEU 発生率を求める。

[9] この Anti-Fuse FPGA ではリーク電流が約 1A まで動作が保障されている。

チップ	ビーム電流	Proton Fluence(proton/cm^2)	No. of SEU	Cross Section(cm^2/bit)
No.1	$\sim$ 2.8nA	4.9×10^{11}	0	$<3.8\times10^{-15}$
No.2	$\sim$ 2.2nA	4.1×10^{11}	0	$<5.8\times10^{-15}$
No.3	$\sim$ 4.3nA	7.7×10^{11}	0	$<2.9\times10^{-15}$
No.4	$\sim$ 3.9nA	6.9×10^{11}	0	$<3.1\times10^{-15}$
合計		2.6×10^{12}	0	$<1.5\times10^{-15}$

表 8.8: 陽子線照射テストからの SEU 断面積の計算結果

TGC エレクトロニクスでは Anti-Fuse FPGA は 2700 個使用し、FPGA のレジスタの数は 1024 ビットとして計算した。

$$
\begin{aligned}
SEU_{rate} &= \frac{\sigma_{SEU}[cm^2/bit] \times RTC[cm^2/10years]}{ATLAS \text{ の } 10 \text{ 年分の稼働時間 } [s]} \times \text{全ビット数 } [bit] \times \text{使用チップ数} \qquad (8.12)\\
&= \frac{1.5 \times 10^{-15} \times 7.0 \times 10^{10}}{10^8} \times 1024[bit] \times 2700\\
&< 0.2[SEU/day/TGC_All_System]
\end{aligned}
$$

となる。つまり 5 日で一回 SEU が起こってしまうかもしれない。しかし、多数決論理回路を導入することにより、同一レジスタに SEU が二回発生しない限り、レジスタの値は変わらない。そして、同一レジスタに SEU が二回発生する確率はほぼ皆無である。つまり、多数決論理回路を用いることで SEU による IC の誤作動する確率は非常に小さくすることができる。

8.3 放射線照射試験のまとめ

JRC は ASIC で開発されていたが、使用個数が少いということにより、コスト、開発期間のかからない Anti-Fuse FPGA を採用することになった。この Anti-Fuse FPGA が ATLAS10 年間の放射線に耐えられるか、γ 線、陽子線を照射して評価した。γ 線では TID に対する評価をし、陽子線では SEE に対する評価を行った。γ 線照射試験では、放射線基準値 100Gy を照射しても、電源電流の増加は最大で 0.1mA の上昇があったが、FPGA の動作には問題にならない。また、陽子線照射試験においては、SEU が一回も起こらないことが確認され、SEU 断面積の上限値を求めることができた。そして、SEU 断面積が十分に小さいことにより、多数決論理回路を用いることで、SEU による影響をほぼ皆無にすることができる。この 2 つの照射試験の結果、Anti-Fuse FPGA が ATLAS 実験で使用するのに十分な放射線耐性を持っていることが検証できた。また、使用個数の少ない JRC では FPGA を採用することにより、ASIC を採用するよりもコスト、開発期間を減らすことができる。

第9章　まとめ

ATLAS 実験では、バンチ衝突頻度が 40.08MHz と高く、ハドロンコライダーのため、多くのバックグラウンドが生じる。その膨大なバックグラウンドの中から必要なデータだけを効率よく高速に処理できるトリガーシステムが必要である。TGC 検出器は第一段目のトリガーシステムの一部を担い、総チャンネル数は 32 万チャンネルになる。このデータを高速に処理するため、フロントエンドエレクトロニクスに ASIC を使用している。

TGC エレクトロニクスにおいて、TGC の側面に設置される PS ボードに搭載され、コインシデンス処理、Low-p_T 判定そして読み出しの機能を担う、Slave Board ASIC の開発及び動作検証を行なった。動作検証の結果、トリガー部、リードアウト部に一部設計の誤りがあることを発見した。しかし、この一部の誤り以外は、問題なく動作していることを確かめた。次回試作では、この設計の誤りの修正を行い、また入力部の遅延回路、TTC 信号受信回路の改良を行い、2004 年 1 月に、設計したマスク図を VDEC を通じて、半導体メーカのローム社に提出予定である。

そして、ASIC の開発が終わりに近づき、これからは実験を想定して、モジュールを接続した統合テストを行わなければならない。今回、読み出し系エレクトロニクスの統合テストを初めて行った。検証は、モジュールを段階的に接続して各々のモジュールの出力を見て確かめながら行った。SLB では正しいタイミングでデータを読み出すことができ、SSW では SLB からのデータを正しい圧縮方法で圧縮し、ROD では SSW のデータの集約を正しく行えることを確認した。そして、シミュレーションとの比較の結果、読み出し系エレクトロニクスを統合した状態で、正常に動作していることを確かめた。

また、使用個数の少ない JRC は ASIC で開発されていたが、ASIC では少量の生産ではコストがかかり、開発期間もかかる。そのため、開発期間が短く、コストがかからない Anti-Fuse FPGA を採用する予定である。この Anti-Fuse FPGA が ATLAS 実験で使用できるためには ATLAS 実験 10 年間分の放射線環境下で耐えられなければならない。そこで、Anti-Fuse FPGA の放射線耐性を γ 線、陽子線を照射することにより評価した。照射試験の結果、TID,SEE といった半導体素子が放射線によって受ける影響は小さく、ATLAS 実験で使用するのに十分な放射線耐性があることを検証した。

付 録A　略語表

hoge

hoge

付録A 略語表

ALICE: A Large Ion Collider Experiment
ASD: Amplifer Shaper Discriminator
ATLAS: A Toroidal LHC ApparatuS

BCID: Bunch Crossing IDentifer
BCR: Bunch Counter Reset

CCI: Crate Contorol Interface
CMS: Compact Muon Solenoid
CPLD: Complex Programable Logic Device
CSC: Cathord Strip Chamber
CTP: Cerntral Trigger Processer

DCS: Detector Control System
DRC: Design Rule Check

ECR: Event Counter Reset
EF: Event Filter
EI: Endcap Inner
eLMB: embeded Local Monitor Box

FI: Forward Inner
FPGA: Field Programable Gate Array

HDL: HardWare Description Language
HPT: High-Pt Board
HSC: High-Pt Star Switch Contoroller

JRC: JTAG Route Controller
JTAG: Joint Test Action Group

L1A: Level-1 Accept
L1ID: Level 1 IDentifer
LEP: Large Electron Positron Collider
LHC: Large Hadron Collider
LVDS: Low Voltage Differential Signaling
LVL1: Level 1
LVL2: Level 2

MDT: Monitor Drift Tube
MUCTPI: Muon Central Trigger Processer Interface
MWPC: Multi Wire Proportioanl Chamber

NIEL: Non Ionizing Energy Loss

PP: Patch Panel
PPG: Pulse Pattern Generator
PSL: Photo-Stimulated Luminesnece

RHA: Radiation Hardness Assuarance
ROB: Read Out Buffer
ROD: Read Out Driver
ROI: Region Of Interest
RPC: Resistive Plate Chamber
RTC: Radiation Tolerance Criteria

SDSB: Strip Double Slave Board
SEE: Single Event Effect
SEL: Single Event Latchup
SEU: Single Event Upset
SL: Sector Logic
SLB: Slave Board
SPP: Service Patch Panel
SRL: Simulated Radiation Level
SSW: Star Switch
STSB: Strip Triplet Slave Board

TGC: Thin Gap Chamber
TID: Total Ionizing Dose
TTC: Timing Trigger Control

WDSB: Wire Doublet Slave Board
WTSB: Wire Triplet Slave Board

参考文献

[1] *Radiation Levels Simulated for Various ATLAS Locations ATLAS project Document.* http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm.

[2] *IEEE Standard Test Access Port and Boundary-Scan Architecture.* IEEE Std 1149.1-1990, 1993.

[3] *ATLAS Trigger Performance Status Report.* CERN/LHCC 98-15, 25 August 1998.

[4] *ATLAS Detector and Physics Performance Technical Design Report Volume 1.* CERN/LHCC 99-14, 25 May 1999.

[5] *ATLAS Detector and Physics Performance Technical Design Report Volume 2.* CERN/LHCC 99-15, 25 May 1999.

[6] *ATLAS First-Level Trigger Technical Design Report.* CERN/LHCC 99-14, 30 June 1998.

[7] *ATLAS First-Level Trigger Technical Design Report.* CERN/LHCC/98-14, 30 June 1998.

[8] *LVL1 Muon Trigger(User) Requirements Document(DRAFT version1.4).* 9 March 1998.

[9] Actel. http://www.actel.com/.

[10] Radiation Hardness Assurance(RHA)
. http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm.

[11] Physics Laboratory Physical Reference Data. http://physics.nist.gov/PhysRefData/.

[12] Martion Dentan. *ATLAS Policy on Radiation Tolerant Electronics ATLAS project Document.* http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm, 2000.

[13] Particle Data Group. http://ccwww.kek.jp/pdg/.

[14] P.Moreira J.Christiansen, A. Marchiro and T.Toil. *TTC_{rx} Reference Manual.* http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, June 2002.

[15] F.Faccio M.Huhtinen.
Computational method to estimating Single Event Upset rates in an Accelerator enviroment.
http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/WWW/RAD/RadWebPage/Tutorial/seu.pdf.

[16] RD12 Project. *TTC-VMEbus INTERFACE*
. http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, May 2000.

[17] 香取勇一. 東京大学修士学位論文「アトラス実験ミューオントリガーシステム用 IC の開発」. 2001 年 1 月.

[18] 坂巻佳壽美. JTAG テストの基礎と応用. CQ 出版社, 1998.

[19] 小松知. 東京都立大学修士学位論文「ATLAS 実験におけるエンドキャップレベル 1 ミューオントリガーシステムの統合テスト」. 2003 年 1 月.

[20] 戸塚真義. 信州大学修士学位論文「ATLAS 実験ミューオン検出器用トリガーシステム現実的シミュレーターの開発研究」. 2002 年 1 月.

[21] 竹本享史. 東京大学 修士学位論文「ATLAS 実験ミューオントリガーシステム用 LSI の開発と統合評価テスト」. 2003 年 1 月.

[22] 中村佳央. 東京大学修士学位論文「ATLAS 実験ミューオントリガー用リモートコントロールシステムの開発」. 2002 年 1 月.

[23] 田中賢一. 東京都立大学修士学位論文「ATLAS 実験ミューオントリガーシステム用 LSI の開発」. 2002 年 1 月.

[24] 東京大学原子力総合センター. http://www.rcnst.u-tokyo.ac.jp/indexj.html.

[25] 東北大サイクロトロン RI センター, CYRIC. http://www.cyric.tohoku.ac.jp/index-j.html.

[26] 片岡洋介. 東京大学修士学位論文「ATLAS 実験ミューオントリガーシステムのビームテスト及びシミュレーションによる総合評価」. 2004 年 1 月.

謝辞

2 年間の研究生活において、本研究を行う機会と適切な指導並びに助言を頂いた指導教官小林富雄教授 ^{A} に深く感謝致します。また本研究において終始懇切丁寧な御指導と多くの助言を頂きました佐々木修氏 ^{B} に深く感謝致します。またエレクトロニクスグループにおいて様々な指導、助言を頂いた。坂本宏氏 ^{A}、福永力氏 ^{C}、蔵重久弥氏 ^{D}、池野正弘氏 ^{B}、新井康夫氏 ^{B}、長野邦浩氏 ^{B}, 前野忠嗣氏 ^{H}、長谷川庸司氏 ^{E} にも深く感謝致します。また様々な面で貴重な意見と御指導を頂いた近藤敬比古氏 ^{B}、岩崎博行氏 ^{B}、田中秀治氏 ^{B}、石井恒次氏 ^{D}、石野雅也氏 ^{A}、竹下徹氏 ^{E}、川本辰男氏 ^{A}、神前純一氏 ^{B}、浅井祥仁氏 ^{B}、上田郁夫氏 ^{B}、田中礼三郎氏 ^{G} 他 ATLAS 日本グループの方々に深く感謝致します。TGC エレクトロニクスグループで共に研究を行ない議論した一宮亮氏 ^{D}、辻伸介氏 ^{D}, 豊島克幸氏 ^{C}、片岡洋介氏 ^{A}、野本裕史氏 ^{A}, 羽根八尋氏 ^{A}, 藤井祐介氏 ^{A}, 作間考雄氏 ^{F}、高田徳之氏 ^{E} にも深く感謝致します。研究生活を通じて惜しみない協力を頂いた田中純一氏 ^{A}, 戸谷大介氏 ^{A}、南条創氏 ^{A}、竹本享史氏 ^{I} に感謝致します。また放射線テストでは、池田秀松氏を始めとする東京大学原子力研究総合センターの方々や東北大学サイクロトロン・ラジオアイソトープセンターの方々に大変お世話になり、この場を借りて感謝したいと思います。

所属:
東京大学素粒子物理国際研究センター (ICEPP)^{A}、高エネルギー加速器研究機構 (KEK)^{B}
東京都立大学 理学研究科 ^{C}、神戸大学 自然科学研究科 ^{D}、信州大学 工学系研究科 ^{E}
東京農工大学 工学系研究科 ^{F}、岡山大学 自然科学研究科 ^{G} 欧州原子核研究機構 (CERN)^{H}
東京大学 新領域創成科学研究科 ^{I}