修士学位論文

ATLAS 実験 前後方部ミューオントリガー システムの開発

東京大学大学院 理学系研究科
物理学専攻

76131
松浦 聡

1999 年 1 月

概 要

欧州原子核研究機構 (CERN) では 14 TeV の重心系エネルギーを持つ大型陽子陽子衝突型加速器 (LHC) の建設が計画されており、LHC の検出器のひとつである ATLAS においても、2005 年の実験開始を目指して研究・開発が進められている。ATLAS では、標準理論およびそれを越える新しい物理の検証を目的として様々な物理事象の測定が期待されているが、そのためには、膨大なバックグラウンドのなかから必要なイベントだけを選択して、効率よくデータを収集する必要があり、トリガー・システムの果たす役割は重要である。

ここでは、前後方部ミューオン・トリガー・システムについて、LHC のバンチ・クロッシング・レート (40MHz) に同期して正しく処理をおこなうために必要な、シグナルのタイミング調整に関するスキームについて論じるとともに、システム用 ASIC の開発とその動作試験について述べる。

目 次

1 序論 **4**

1.1 LHC 計画 . . . 4
1.2 LHC の物理 . . . 5
1.2.1 標準 Higgs 粒子 . . . 5
1.2.2 超対称性 Higgs 粒子 . . . 6
1.2.3 超対称性粒子 (SUSY) . . . 8
1.2.4 トップ・クォーク物理 . . . 8
1.2.5 B 物理 . . . 9
1.3 ATLAS 測定器 . . . 10
1.4 ミューオン検出器 . . . 12
1.5 ATLAS 実験のトリガー, DAQ システム . . . 14
1.5.1 トリガー・スキーム . . . 14
1.5.2 LVL1 トリガー・システム . . . 15
1.5.3 ミューオン・トリガー・システム . . . 17
1.6 前後方部ミューオン・トリガー・システム . . . 19
1.6.1 全体のスキーム . . . 19
1.6.2 Thin Gap Chamber (TGC) . . . 21
1.6.3 ASD ボード . . . 21
1.6.4 Patch Panel . . . 23
1.6.5 スレーブ・ボード . . . 25
1.6.6 high-p_{T} ボード . . . 28
1.6.7 セクター・ロジック . . . 29

2 シグナルのタイミング調整 **33**

2.1 TTC (Timing, Trigger and Contorol) . . . 34
2.2 タイミング調整のスキーム . . . 35
2.3 Patch Panel でのシグナルのバンチ化 . . . 39
2.4 スレーブ・ボードにおけるタイミング調整 . . . 41
2.5 テスト・パルスを用いたタイミング調整 . . . 45
2.6 まとめ . . . 46

3 Patch Panel 用 ASIC の製作 **47**

3.1 実装した回路 . . . 47
3.2 プロセス . . . 47
3.3 設計 . . . 48
3.3.1 LVDS レシーバー . . . 48
3.3.2 テストパルス・ジェネレータ . . . 49
3.3.3 DLL 回路 . . . 52
3.4 レイアウト . . . 58
3.5 論理合成 . . . 60
3.6 配置配線 . . . 60
3.7 動作テスト . . . 61

3.7.1 LVDS レシーバー 62
3.7.2 テストパルス・ジェネレーター 63
3.7.3 DLL 回路 64
3.8 まとめ 66

4 まとめと今後の予定 **67**

1 序論

1.1 LHC 計画

現在、我々の世界は、3 世代のレプトンとそれと対をなす同じく 3 世代のクォークから成り立つと考えられており、それらの相互作用がゲージ粒子によって媒介されるとする標準理論も、これまで得られた実験結果と実験誤差の範囲で見事な一致を示していて広く支持されている。しかし、標準理論の中で、質量の起源として存在が予想されている Higgs 粒子がまだ発見されていないことや、理論的な動機から提唱されている超対称性理論のような標準理論を越えた物理の検証が十分に行なわれていないことなど残された問題も多い。

Higgs 粒子の質量は $100 \sim 1000$GeV 領域にあると理論的に予想され、また LEPII の実験などのデータも間接的ながら $90 \sim 300$ GeV 領域にあることを示している。これらのエネルギー領域に到達し、しかも十分な Higgs 粒子の発生頻度を実現するには、新しい高エネルギー加速器が必要である。加速器には電子陽電子型と陽子陽子型があるが、前者は円形型ではシンクロトロン放射がはげしいので線形加速器になり加速器の技術がの開発が進行中である。一方、後者の陽子陽子型の加速器は技術的には解決しており、実験環境はきびしいが実験の実現が可能である。

スイスの欧州原子核研究機構 (CERN) では、14 TeV の重心系エネルギーを持つ大型陽子陽子衝突型円形加速器 LHC (Large Hadron Collider) の建設が計画されている。LHC は、現在稼働中の大型電子陽電子衝突型加速器 LEP-II が使用している全長 27km のトンネル内部に設置され、2005 年の実験開始が予定されている。

LHC の最大の特徴は、重心系エネルギーの大きさである。陽子陽子衝突型の加速器であるために、シンクロトロン放射によるエネルギー損失が少なく、LEP-II と同じ軌道を使用して、14 TeV まで到達することができる。これにより、Higgs 粒子の探索では、LEP-II の探索上限である約 100 GeV から、約 1 TeV までの広い領域をカバーできるほか、超対称性粒子および現在知られていない未知の粒子の発見も期待される。さらに、既存の加速器と比較して、桁違いに多くのトップ・クォークやボトム・クォークが生成されるため、トップ・クォーク物理および B 物理の精密測定も可能である。

一方で、陽子が構造を持つために膨大なバックグラウンドがあること、ルミノシティをかせぐためにビーム・クロッシング・レートが 40 MHz と非常に高いことから、これらの物理事象を解析するために必要なデータをいかに正確に、そして効率よく収集するかが問題となる。

表 1: LHC の主なパラメータ

重心系衝突エネルギー (陽子陽子)	14 TeV
周長	26.66 km
ビーム・ルミノシティー (高ルミノシティ時)	$10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$
ビーム・ルミノシティー (低ルミノシティ時)	$10^{33}\mathrm{cm}^{-2}\mathrm{s}^{-1}$
ビーム・クロッシング・レート	40 MHz, 25 ns

図 1 は LHC の全体図である。LHC には、4 つのビーム衝突点があり、その一ヶ所に ATLAS 測定器が、そのちょうど反対側に CMS 測定器が設置される。他に、重イオン衝突実験を目的とした ALICE, B 物理の測定を目的とした LHCB といった実験も計画されている。表 1 に LHC の主要なパラメータを示す。

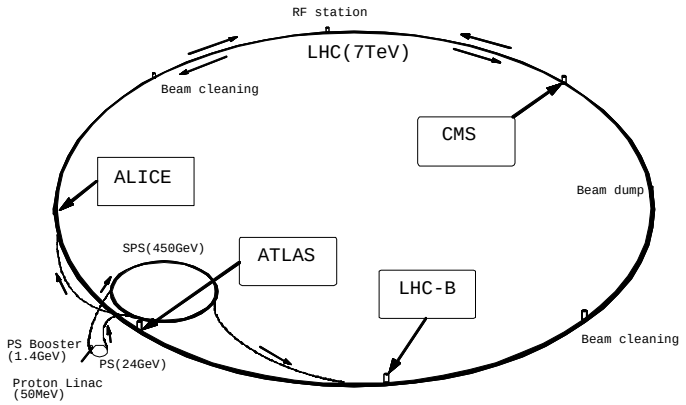


図 1: LHC の全体図

1.2 LHC の物理

ここでは、LHC において観測が期待される物理について概略を述べる。

1.2.1 標準 Higgs 粒子

LHC での Higgs 粒子の主な生成過程としては、

(a) $gg \to H$
(b) $qq \to Hqq$
(c) $q\bar{q} \to W/Z + H$
(d) $gg, q\bar{q} \to t\bar{t}/b\bar{b} + H$

がある。図 2 に示した各過程の生成断面積からわかるように Higgs 粒子の質量の広い範囲にわたって、(a) の過程が優性であるが、あとで述べるように、Higgs 粒子とともに生成される粒子のシグナルが、バックグラウンドを落すのに利用できることを考えると、$80 < \mathrm{m}_H < 130$ GeV の範囲では、(c), (d) の過程、600 GeV $< \mathrm{m}_H < 1$ TeV の範囲では、(b) の過程も有用である。

Higgs 粒子の全崩壊幅と崩壊分岐比は、図 3 の通りである。これらから、各質量範囲での Higgs 粒子の探索モードとしては、以下のものが考えられている。

80 GeV $< \mathrm{m_H} < 130$ GeV

- $H \to \gamma\gamma$: 2 つの光子から、直接的に質量を再構成する。このチャンネルは分岐比が小さいので、エネルギー・位置・角度を精度よく測定する必要があり、カロリメータの性能が鍵をにぎることになる。
- 他に、$q\bar{q} \to HW$, $q\bar{q} \to Ht\bar{t}$ の過程で生成された Higgs 粒子を、この質量範囲で支配的な $H \to b\bar{b}$ モードを使って、測定する方法もある。

130 GeV $< \mathrm{m_H} < 2\mathrm{m_Z}$

- $H \to ZZ^* \to 4l^{\pm}$: 4 つのレプトンのエネルギーを精度良く測定することにより、きれいなシグナルが期待できるモードである。1 対のレプトンの不変質量が $\mathrm{m_Z}$ の質量になることなどの効果的な条件づけで、バックグラウンドを落すことが重要になる。

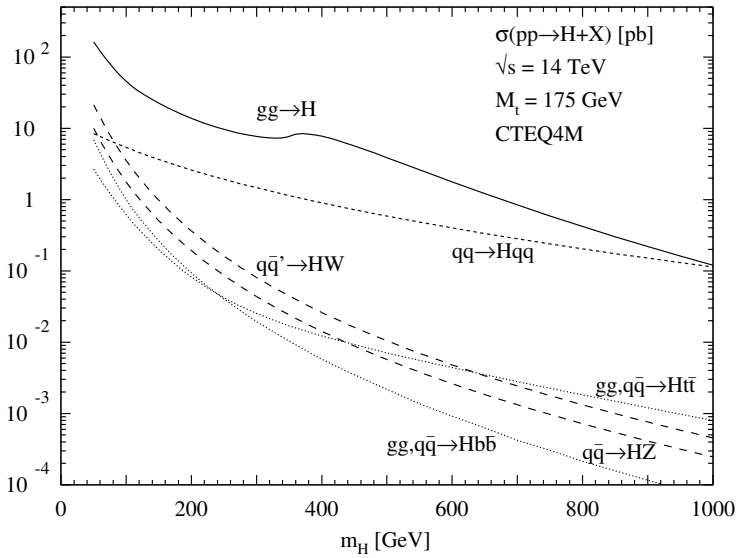


図 2: Higgs 粒子の生成断面積 [2]。

$2\mathrm{m_Z} < \mathrm{m_H} < 1$ TeV

- $H \to ZZ \to 4l$: この領域は、LHC の最も得意とする領域で、"gold-plated" モードと呼ばれる。それぞれのレプトン対の不変質量に条件づけができるため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれて崩壊幅が急激に大きくなるため Higgs 粒子の質量があまりに大きくなると、有効性が落ちる (図 3)。

- $H \to WW \to ll\nu\nu$: Higgs 粒子の質量が 600 GeV 以上の領域では、このモードの方が、$4l$ より 6 倍レートが高い。ν に起因する missing $\mathrm{E_T}$ の分布を測定することになる。

- $H \to WW \to l\nu jj$, $H \to ZZ \to lljj$: 分岐比では、$4l$ モードに比べて 150 倍も大きい。このモードでは、Higgs 粒子の生成過程のうち、$q\bar{q} \to Hq\bar{q}$ に注目して、反応後の quark による散乱角前方のジェットを指標にすることによって、シグナルを選び出す。

1.2.2 超対称性 Higgs 粒子

超対称性理論のなかで、最も単純な超対称性模型である最小超対称性標準模型 (Minimal Supersymmetric Standard Model: MSSM) では、2 つの Higgs 二重項が必要とされ、その結果 5 つの Higgs 粒子 $(h, H, H^{\pm}, A)$ が存在することになる。

先に述べたもの以外で、MSSM Higgs 粒子の崩壊モードで観測が期待されるものを以下に述べる。

- $H/A \to \tau\tau$: 標準 Higgs 粒子の場合は、$H \to \tau\tau$ モードはレートが低く測定に適さないが、MSSM では高いレートが期待される。
  生成された τ 粒子の両方がレプトンに崩壊する l-l チャンネルと、一方はハドロンに崩壊する l-h チャンネルの 2 種類のモードが利用できる。

- $H/A \to \mu\mu$: 上に比べて、分岐比は $(\mathrm{m}_\mu/\mathrm{m}_\tau)^2$ 倍低いが、精度よく測定が行なえることから、$\tau\tau$ モードでの測定を補う役割が期待される。

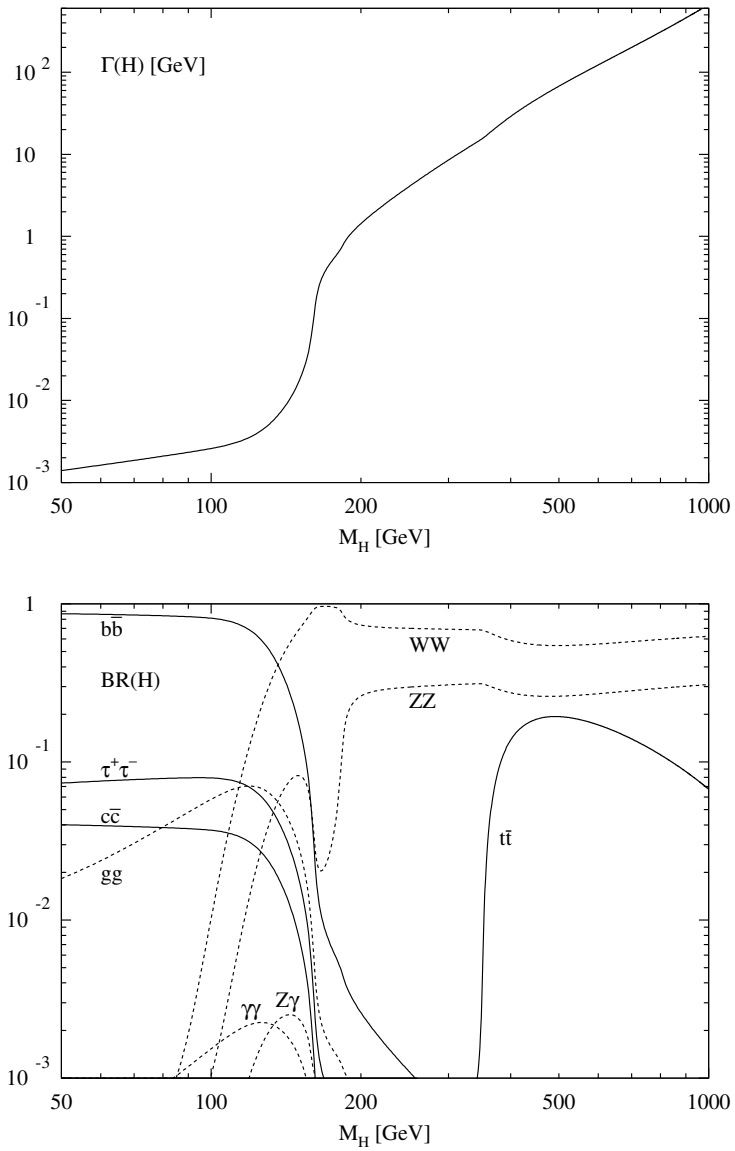


図 3: 標準 Higgs 粒子の全崩壊幅と崩壊分岐比 [3]。

- $H \to hh$: 崩壊モードは $hh \to b\bar{b}b\bar{b}$ が支配的だが、このモードでは、効率のよいトリガーが行なえないため、$hh \to \gamma\gamma b\bar{b}$ チャンネルで観測されることが期待される。イベント・レートは低いが、2 つの異なる Higgs の反応という意味で非常に興味深い。

- $A \to Zh$: このモードも、2 つの Higgs が関係した反応として、興味深い。Z の崩壊で生じる 2 つのレプトンでトリガーを行なう。$Zh \to llb\bar{b}$。

1.2.3 超対称性粒子 (SUSY)

LHC では、強い相互作用をするスクォーク $(\tilde{q})$ やグルイーノ $(\tilde{g})$ の対が大量に生成されるなど超対称性粒子の探索が期待されている。R-parity の保存則から超対称性粒子は必ず対で生成され、最終的に超対称性粒子の中で一番軽い質量をもつ粒子 LSP に崩壊する。LSP の候補としては、最軽量ニュートラリーノ $(\tilde{\chi}^0)$ が考えられる。この粒子は検出されず、missing $\mathrm{E_T}$ として現れることになるので、終状態の多数のジェットとともに、この missing $\mathrm{E_T}$ を指標として探索を行なう。

1.2.4 トップ・クォーク物理

LHC では、運転開始時の低ルミノシティの際にも、1 日に 60,000 個もの大量の $t\bar{t}$ 対が生成される。したがって、トップ・クォークの質量などの精密測定が可能である。質量の精密測定としては、次の 2 つのモードが考えられている。

- $t \to jjb$ 崩壊モード (図 4):
  $t\bar{t} \to (l\nu b)(jjb)$ によって生じる 3 つのジェットを使って直接的に質量を再構成する。High-p_{T} のレプトンと、その反対方向に、1 つが b ジェット 、残りの 2 つの不変質量が m_W となるジェットが存在することが条件になる。

- multilepton モード (図 5):
  $t\bar{t} \to (l + X)(ll + X)$
  W 崩壊で生じた 2 つのレプトンと、ボトム・クォークの崩壊で生じた 1 つのレプトンが存在することが条件になる。

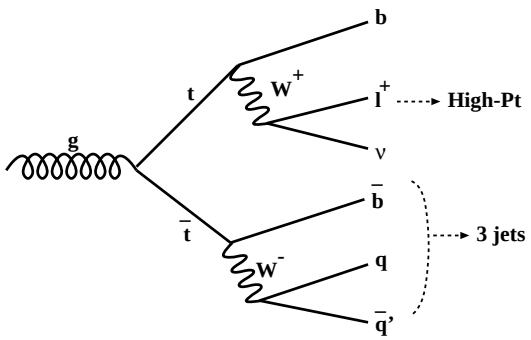


図 4: $t \to jjb$ 崩壊モード

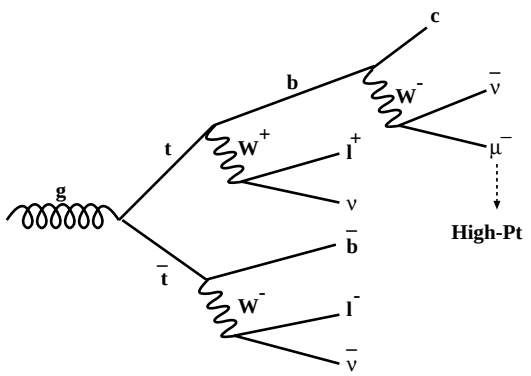


図 5: multilepton モード

1.2.5 B 物理

B 物理に関しても、広範囲の測定が行なえる。

- $B_d^0 \to J/\Psi K_s$
- $B_d^0 \to \pi^+\pi^-$
- $B_s^0 \to J/\Psi\phi$

のそれぞれの B メソン崩壊における非対称性から、ユニタリティ三角形の角度を、また、B_S^0 と $\bar{B_S^0}$ との混合比 x_s と、B_d^0 と $\bar{B_d^0}$ との混合比 x_d を測定することにより、ユニタリティ三角形の辺について知ることができる。また、$B_d^0 \to \mu^+\mu^-$ などの稀崩壊の観測も期待されている。

1.3 ATLAS 測定器

ATLAS 測定器は、LHC の高いルミノシティ($10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$) においても、電子・光子、ハドロン・ τ 粒子、ミューオン、ジェット、missing $\mathrm{E_T}$ などのシグナルを確実に得ることができるように設計されており、LHC で起こるさまざまな物理現象を的確に捕らえることが期待されている。

図 9 は、ATLAS 測定器の全体図である。直径 22 m, 長さ 44m, 総重量 7000 トンという巨大な測定器で、内部飛跡検出器、カロリメータ、ミューオン検出器から構成されている。簡単に特徴をあげる。

内部飛跡検出器　内側には高位置分解能をもつシリコン・ピクセル検出器・シリコン・ストリップ検出器、外側にはストロー・チューブを積層してつくられた連続飛跡測定器用の TRT(Transition Radiation Tracker) を配置し、それらの組合せで、効率よく、反応点の検出、τ 粒子、b 粒子の tagging 、電子識別を行なう。外側に配置された超伝導ソレノイド・マグネットを用いることによって、運動量の測定が行なえる。この領域では非常に高い放射線にさらされるので、検出器には放射線に対しての耐久性が要求される。

カロリメータ　$|\eta| < 5$ の広いラピディティ範囲で、電子や光子のエネルギー、位置、角度をバランス良く測定するために、内側には放射線耐性にすぐれた液体アルゴン・カロリメータを、外側にはシンチレータと鉄の組合せのハドロン・カロリメータを配置する。

ミューオン検出器　運動量精密測定用のミューオン検出器と、トリガーおよび第二座標測定用のミューオン検出器との組合せで構成されている。空芯の超電導トロイド・マグネットをもちいることによって、高精度な運動量測定と低い $\mathrm{p_T}$ までのトリガーを可能にする。(ミューオン検出器については、次の節で詳しく述べる。)

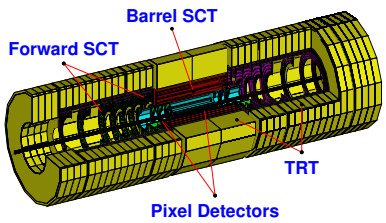


図 6: 内部検出器

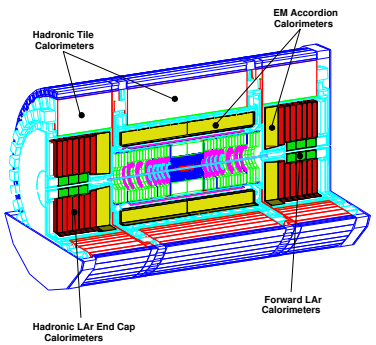


図 7: カロリメータ

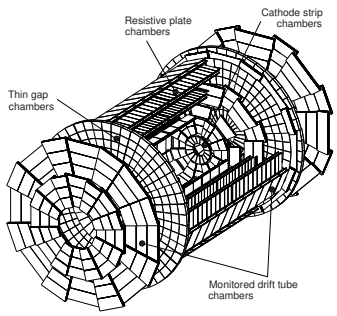


図 8: ミューオン検出器

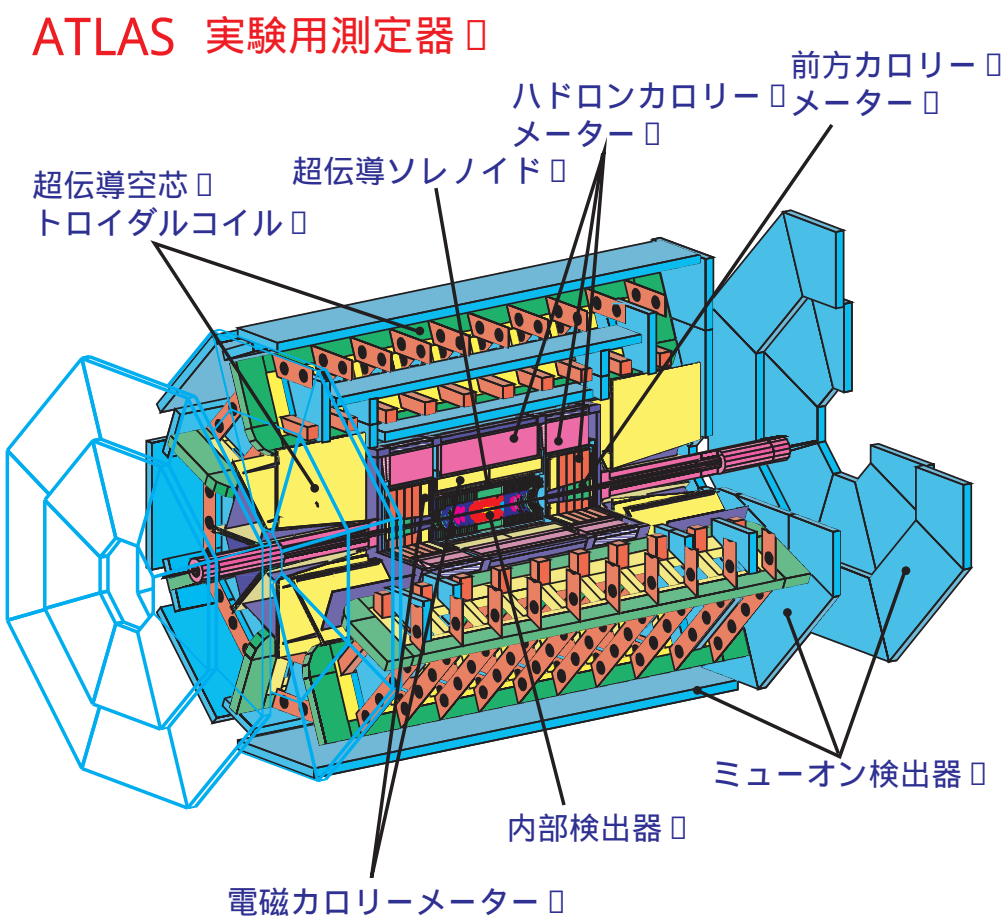

ATLAS 実験用測定器
前方カロリー
メーター
ハドロンカロリー
メーター
超伝導ソレノイド
超伝導空芯
トロイダルコイル
ミューオン検出器
内部検出器
電磁カロリーメーター

図 9: ATLAS 検出器

1.4 ミューオン検出器

LHC 実験においては、ミューオンの検出は、

- ほとんどすべての重要な物理に関わっていること
- LHC の非常に厳しい実験環境の中でも、きれいなシグナルを得ることができること

などの理由により、必要不可欠なものである。

ATLAS 測定器では、ミューオン検出器単体でも、ミューオンの測定を精度よく行なえるように、空芯の超電導トロイド・マグネットを用いる。これにより、多重散乱の効果を最小限におさえられる他、ミューオンの測定可能なラピディティを広くとれ、かつ、内部の検出器と独立にできるという利点がある。

ミューオン検出器は、運動量精密測定用のミューオン検出器とトリガーおよび第二座標測定用のミューオン検出器から構成される [4]。

運動量測定用のミューオン検出器としては、MDT (Monitored Drift Tube) と CSC (Cathode Strip Chamber) の 2 種類があり、それぞれ、図 10 のように配置される。バレル部 ($|\eta| < 1.05$) と前後方部の一部 ($1.05 < |\eta| < 1.4$) では、コイルの内部と直前・直後の 3 ヶ所に MDT を配置することができるため、3 点の位置測定により運動量を求める方法 (sagitta 測定) を用いる。それに対し、$1.4 < |\eta| < 2.7$ の領域では、エンドキャップ・トロイド・マグネットの内部にチェンバーを配置することができないため、その前後と実験ホールの壁ぎわに MDT または、CSC を配置し、変向角から運動量を測定する方法を用いる。

MDT　第一座標方向 (r-z) の運動量精密測定用のドリフト・チューブである。MDT は、直径 30 mm の薄壁アルミニウム製ドリフト・チューブで、3 気圧の下で動作をさせる。位置分解能は約 80μm である。

CSC　3 次元の運動量精密測定用のカソード・ストリップ読みだし型の MWPC である。カソード・ストリップ上の電荷の重心読み出しを行ない、位置分解能として 60μm が得られる。前後方部のうち、特に粒子頻度の高い場所 ($2 < |\eta| < 2.7$) に配置される。

ミューオン検出器の内側には、かなりの物質量があるとはいえ、まだバックグラウンドはかなり多い。この中からミューオンを効率よく選び、かつ Bunch-ID (bunch crossing identification: 25ns) をおこなうためには、トリガー用の検出器が必要になる。同時に、この検出器は第二座標 (r-ϕ) の測定の役割を果たすことも期待されている。ATLAS では、バレル部 ($|\eta| < 1.05$) に建設コストの比較的安い RPC (Resistive Plate Chamber) を、前後方部 ($1.05 < |\eta| < 2.4$) には粒子の入射頻度の高いなかでも安定した動作が可能な TGC (Thin Gap Chamber) を配置する。

RPC　トリガーおよび第二座標測定用の平行平板ガス検出器である。限定的放電パルスを互いに直行するストリップ電極から読み出す。ワイヤーがなく、構造が簡単であるため、比較的安く製造できる。

TGC　トリガーおよび第二座標測定用の薄ギャップのチェンバーである。ワイヤーおよびストリップから読み出しを行なう。

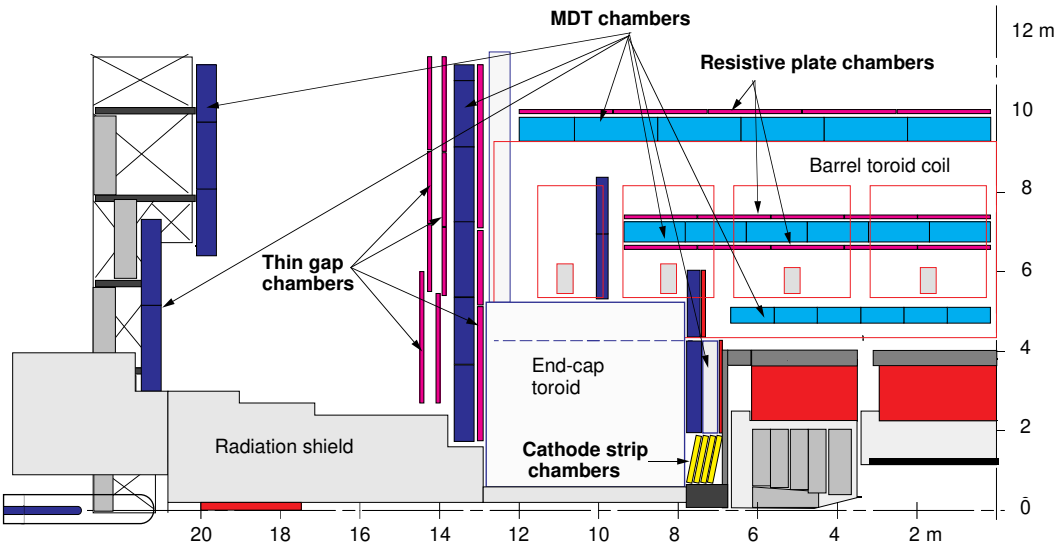


図 10: ATLAS 検出器の r-z 断面図

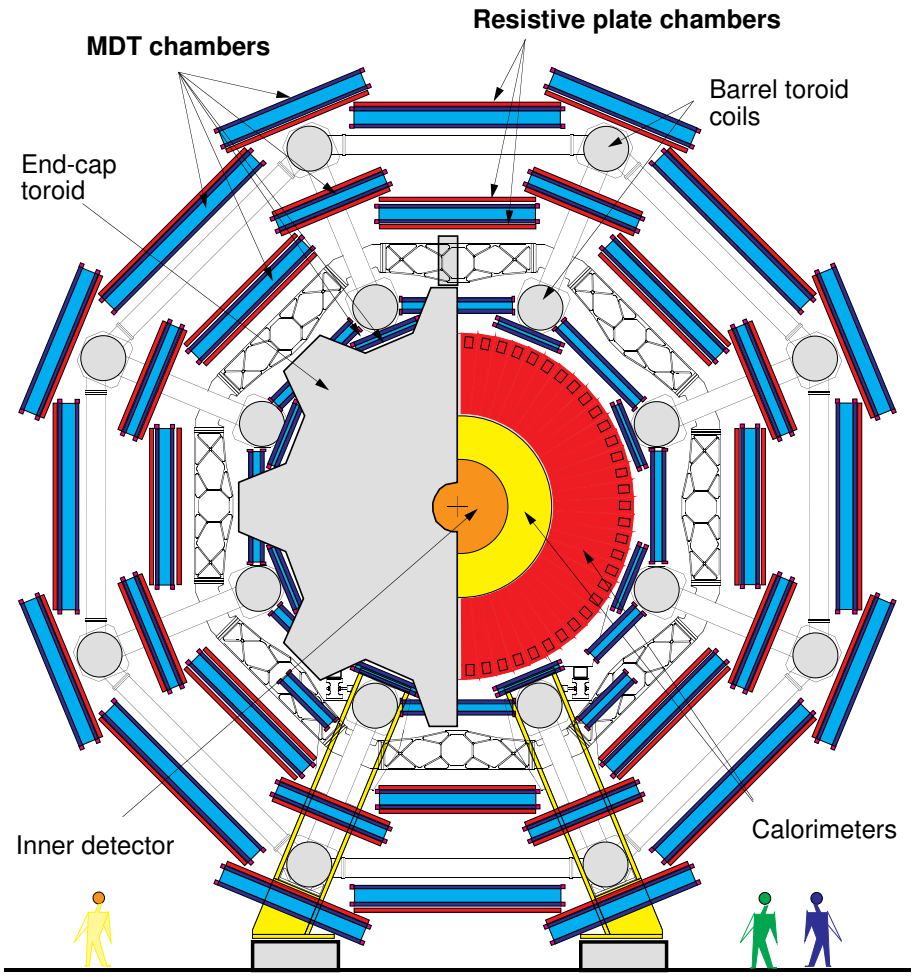


図 11: ATLAS 検出器の x-y 断面図

1.5 ATLAS 実験のトリガー, DAQ システム

LHC の高ルミノシティ ($10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$) 時では、1 回のビーム・クロッシングに対して、平均約 25 個のイベントが発生する。これら大量のイベントのなかから、物理的に重要なイベントを選択し効率よくデータを収集するためには、トリガー・システムの役割が重要になってくる。

ここでは、ATLAS 実験のトリガー・スキームを概観した後、LVL1 トリガー、特に、ミューオン・トリガー・システムについて述べる [1][5]。

1.5.1 トリガー・スキーム

ATLAS 実験でのトリガー、DAQ システムは図 12 のように、3 段階のトリガー・レベル (LVL1, LVL2, イベント・フィルター) から成り立つ。各レベルで条件を順に付加していき、最終的に目的にあったイベントだけをオフライン用のデータとして記録する。

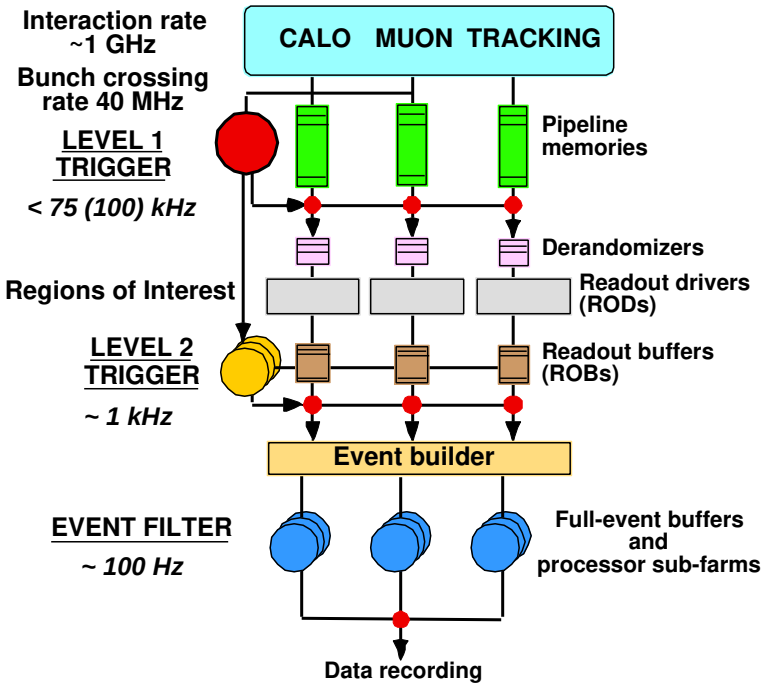


図 12: ATLAS におけるトリガースキーム

LVL1 このトリガー・レベルでは、カロリメータとミューオン検出器からの情報だけが使われる。各検出器からのシグナルは、それぞれのサブ・システムで処理されたのち、CTP (Central Trigger Processor) に集められ、イベントを受け入れるかどうかが決定される。イベントが発生してから、この決定が全サブ・システムに伝えられるまでに要するまでの時間は 2.5μs で、その間、データは LVL1 バッファと呼ばれるパイプ・ライン・メモリー内に保持される。この段階で、はじめ 40 MHz であったデータ・レートが 75 kHz にまで落される。

LVL2 LVL2 では、カロリメータ、ミューオン検出器に加えて、内部飛跡検出器からの詳細情報も利用し、粒子の飛跡とその p_{T} を求めるなど、より複雑な選択を行なう。このとき、high-p_{T} の電子、光子、

ジェット、ミューオンなど、LVL1 の段階で重要なイベントを含むと判断された領域 (RoI) だけにアクセスすることにより、効率を高める。LVL2 の判定に要するまでの時間は最大で 10ms、この段階でデータレートは、1 kHz まで落される。

イベント・フィルター LVL2 で選択されたイベントは、イベント・ビルダーを通してイベント・フィルターに送られる。この段階では、完全なイベントの再構成が可能で、選択されたイベントのデータは、オフライン解析用のデータとして記録される。イベント・フィルターでの処理に要する時間は約 1 s で、データ・レートは 10 ∼ 100 MB/s が目標とされているが、例えば Higgs 粒子の候補になるようなイベントであれば、データ・サイズは ∼ 1 MB におよぶので、イベント・レートとしては 100 Hz 程度になる。

1.5.2 LVL1 トリガー・システム

LVL1 トリガー・システムは、図 13 のように、カロリメータ、ミューオン・トリガー, CTP, TTC (Timing, trigger and control distribution) の各サブ・システムから構成される。

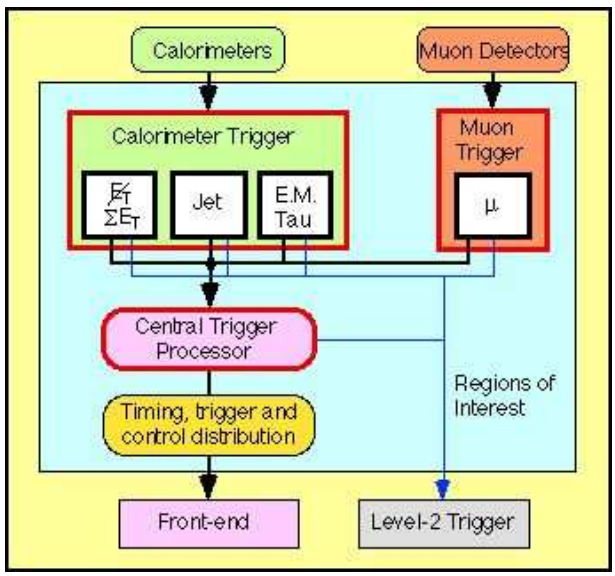


図 13: LVL1 トリガー・システムのブロック・ダイアグラム

ミューオン・トリガー、カロリメータには、それぞれ独立にプロセッサが存在し、トリガーの候補となるイベントの情報を CTP に送る。CTP では、これらを総合して全体的な LVL1 でのトリガーの有無を決定する。その決定は、TTC を通して全てのフロント・エンド・エレクトロニクスに L1A (LVL1 Accept) シグナルとして分配される。そして、その情報によって、データの読み出しが行なわれることになる。

その他、LVL2 に対しては L1A の源になったイベントの領域の情報を RoI (Region of Interest) として送り、LVL2 でのイベント選択の効率を高める。

CTP (Central Trigger Processor) CTP の役割は、カロリメータ、ミューオン・トリガーの各プロセッサからの情報を総合して、LVL1 の有無を決定することである。この決定は、TTC を通じて、検出器のフロントエンド・エレクトロニクスに L1A (LVL1 Accept) シグナルとして送られ、それにした

がって、データの読み出しが行なわれる。また、トリガー・タイプの情報も同時に TTC を通じてフロントエンド・システムに送られる。

CTP の受けとるデータは、

- いくつかの閾値に対して選択された、電子・光子の情報。
- いくつかの閾値に対して選択された、ハドロン・τ 粒子の情報。
- いくつかの閾値に対して選択された、ジェットの情報。
- いくつかの閾値に対して選択された、ミューオンの情報。
- missing E_T の情報。

である。これらの情報とあらかじめ用意したトリガー・メニューとを比較し、条件を満たすものが存在すれば、L1A シグナルを送る。

表 2 に LVL 1 でのトリガー・メニューの例とそのレートを示す。LVL1 の段階では、気になるデータはすべて取り込むという方針のもとで、概して、トリガー条件は緩いものとなっている。

表 2: LVL1 トリガー・メニューの一例 (左: 低ルミノシティ運転時、右: 高ルミノシティ運転時)[6]。

トリガー	レート (kHz)
MU6	23
EM20I	11
EM15×2	2
J180	0.2
J75×3	0.2
J55×4	0.2
J50+χE50	0.4
T20+χE30	2
other trigger	5
Total	**44**

トリガー	レート (kHz)
MU20	3.9
MU6×2	1
EM30I	22
EM20I×2	5
J290	0.2
J130×3	0.2
J90×4	0.2
J100+χE100	0.5
T60+χE60	1
MU10+EM15I	0.4
other trigger	5
Total	**40**

ここで MU, EM, J, T χE はそれぞれ、ミューオン、電子・光子、ジェット、τ 粒子・ハドロン、 missing E_T を示し、そのあとの数字が閾値を表す。また、数値のあとの I はそれが孤立したものであることを示している。other trigger は、検出器キャリブレーション用のトリガーなどのことである。

1.5.3 ミューオン・トリガー・システム

ミューオン・トリガー・システムの検出器は、バレル部と前後方部の 2 つの部分から成り立ち、バレル部 ($|\eta| < 1.05$) には RPC、前後方部には TGC が用いられる。

それぞれの検出器は、図 14 のように配置されるが、図の中で太線で描かれているものは、すべて層構造をなしており、RPC のすべてと外側 2 枚の TGC (図 14 の TGC2, TGC3) は 2 重層 (doublet)、内側に配置される TGC (図 14 の TGC1) は 3 重層 (triplet) になっている。

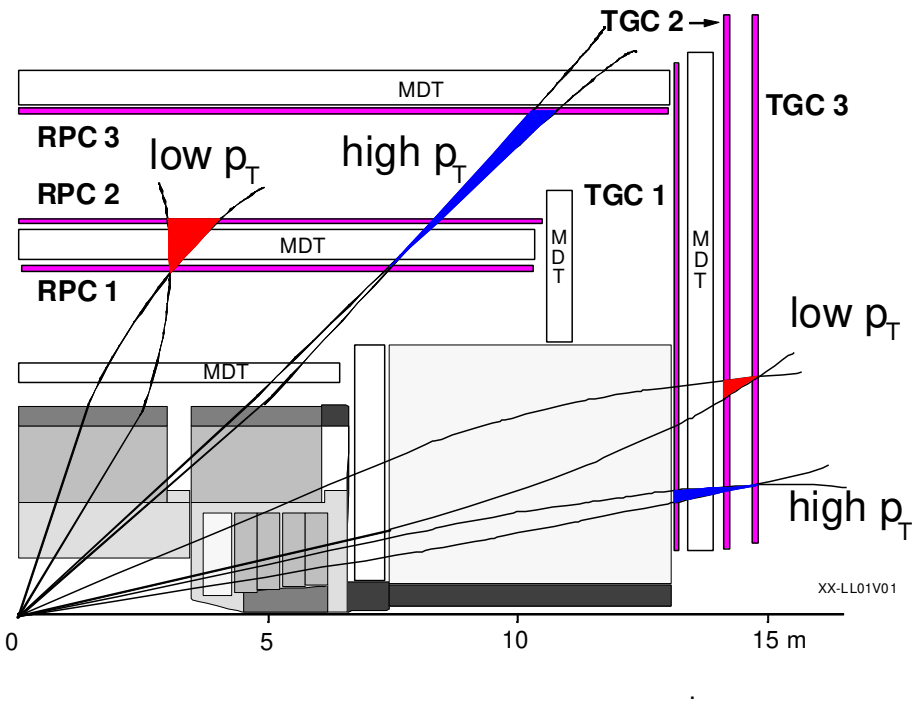


図 14: ミューオン・トリガー・システム

ミューオンのトリガーには、high-p_{T} と low-p_{T} の 2 種類がある。

low-p_{T} トリガーには、図 14 で示したように、TGC では外側の 2 つの doublet、RPC では内側の 2 つの doublet を用いる。条件としては、2 つの doublet つまり 4 層のチェンバーでコインシデンスをとり、ある幅の window 内に粒子が通過することが要求される。ここで、ある幅の window とは p_{T}= 6 GeV のミューオンが 90 % 効率で検出できる幅のことである。4 層のチェンバーのコインシデンスの条件としては、3-out-of-4 (4 層のうち 3 層以上にヒットがある) が要求され、この条件が独立に R, ϕ または z, ϕ の両方向で満たされる必要がある。

high-p_{T} のトリガーには、図 14 で示したように、TGC では内側の triplet, RPC では最も外側の doublet も追加して用いられる。TGC については、low-p_{T} の条件に更に triplet で、2-out-of-3 (3 層のうち 2 層以上にヒットがある) が要求される。コインシデンスの幅としては、p_{T}= 20 GeV のミューオンが 90 % の効率で検出できる window を設定することになる。

このように、2-out-of-3, 3-out-of-4 の条件を課すことにより、バックグラウンドによる偶発的なヒットを抑えることができる他、チェンバーの不感領域による検出効率の低下を抑える効果がある。

ミューオン・トリガー・システムでは、検出器をセクターと呼ばれる区分に分割して、それぞれその領域で独立にトリガーの決定を行なう。そして、セクター毎の情報を MUCTPI (the MUon trigger / CTP Interface) で集計し、ミューオン・システムとしての最終的な LVL1 トリガー候補として、LVL1 CTP にその情報を送る。

バレル部では、ϕ 方向に 32 分割、z 方向に 2 分割、計 64 のセクターに、前後方部では、ϕ 方向に関しては、$1.05 < |\eta| < 1.92$ の endcap 部が 48 分割、$1.92 < |\eta| < 2.4$ の forward 部が 24 分割、R 方向には 2 分割されており、計 144 のセクターに分割される。

それぞれのセクターからは、最大 2 個のトリガー候補が MUCTPI に送られる。このとき、MUCTPI に送られる情報は、high-p_{T}, low-p_{T} を それぞれ 3 段階 (higher-H-p_{T}, middle-H-p_{T}, lower-H-p_{T}, higher-L-p_{T}, middle-L-p_{T}, lower-L-p_{T})、に分けたうちの、各レベルのトリガー候補の数とその位置の情報である。

チェンバーには、オーバー・ラップ領域があるため、その領域を通過したミューオンはそれぞれセクターから、トリガー候補として情報が送られる可能性がある。MUCTPI では、各セクターからの情報をもとに、こうしたダブル・カウントを防ぐ役割も果たす。

1.6 前後方部ミューオン・トリガー・システム

前節では、ミューオン・トリガー・システムの概念を述べたが、ここでは、特に、前後方部のミューオン・トリガー・システムをどのように実現するかについて述べる [7]。

1.6.1 全体のスキーム

前節でも述べたように、TGC は前後方部 $(1.05 < |\eta| < 2.4)$ の領域をカバーするミューオン・トリガー検出器である。図 15 で示すように、$|z| \sim 14$ m の場所に、ビーム衝突点に近い方から順に、triplet, doublet, doublet の計 7 層が配置される。

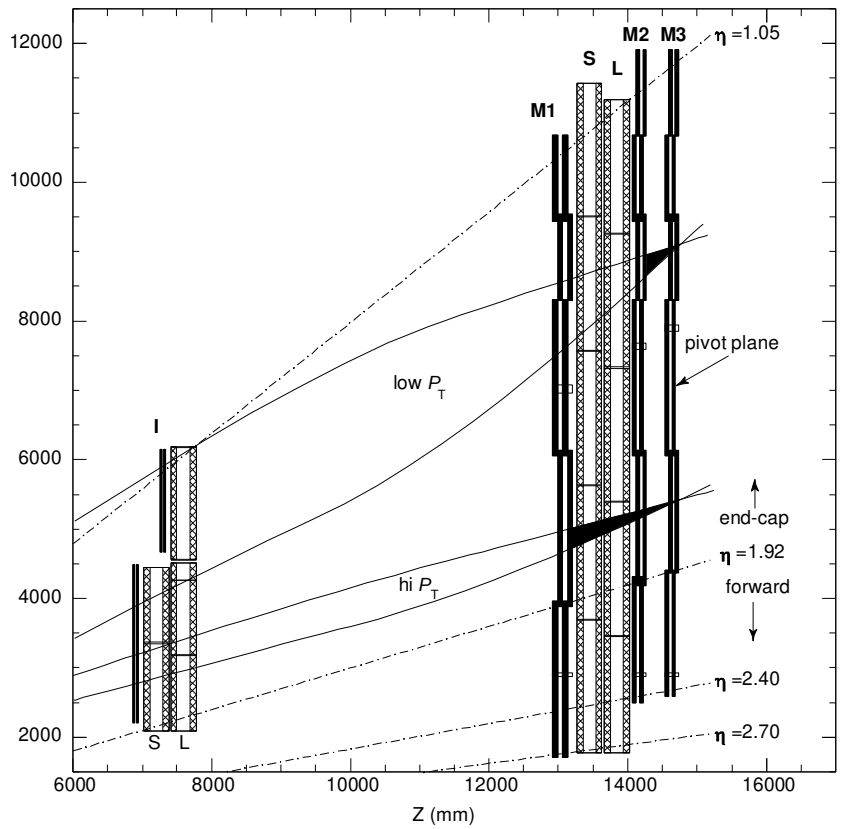


図 15: TGC の r-z 断面図。

R 方向の読み出しは、6 本から 20 本のワイヤーをひとつのグループにわけたまとめ読み出しで行なう。このとき、このワイヤー・グループの幅は 10.8mm から 36mm となるが、図 16 に示すように、粒子から見て、2 層のワイヤー・グループが互い違いに配置されているので、実効的な位置精度はあがる。(実際のロジックについては、図 28, 図 30 を参照のこと)。ϕ 方向の読みだしは、endcap 部では 4 mrad 、forward 部では 8 mrad に相当するストリップ・パターンによって行なう。ストリップ・パターンを層の中で、互い違いにすることによって、ワイヤー同様、実効的な位置精度は増している (図 28, 図 32)。

トリガーの判定方法を説明するために、図 17 を参照してほしい。図の拡大図中には layer2 での通過点とビーム衝突点とを点線で結んであるが、有限の運動量をもつ粒子は TGC の手前にあるトロイド磁場によって軌道が曲げられるため実線のような軌道をとる。したがって、layer1 におけるこの 2 つの軌跡の通過点

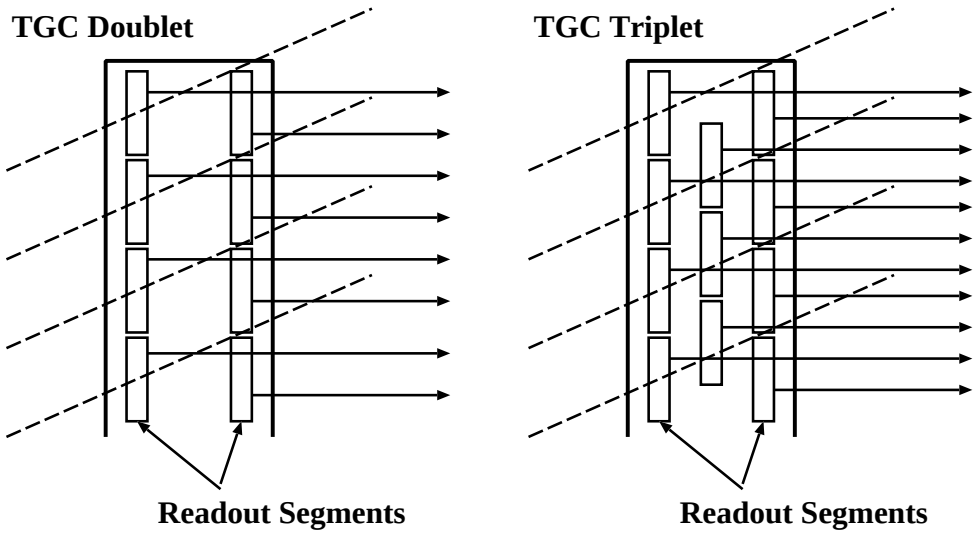


図 16: 直進粒子の軌道 (点線) とワイヤー・グループ

を比べることにより、運動量を測定することができる。low-$p_{\rm T}$ の判定の際には、layer2 に相当するのが最も外側の doublet (pivot plane) 、layer1 に相当するのがその内側の doublet (middle doublet) で、この 2 つの TGC の間で 3-out-of-4 のコインシデンスをとることによって、ワイヤー (R 方向)、ストリップ (ϕ 方向) 独立に δR, $\delta\phi$ を求める。high-$p_{\rm T}$ の判定の際は、layer2 に相当するのが同じく pivot plane, layer1 に相当するのが triplet であり、既に low-$p_{\rm T}$ の判定で 3-out-of-4 を満たした pivot plane の結果と、2-out-of-3 を満たした triplet の結果をもちいてコインシデンスがとられ、同様に δR, $\delta\phi$ を求める。最終的にはワイヤーから求めた δR とストリップから求めた $\delta\phi$ の間で、図 18 のようなコインシデンス・マトリックスが評価されトリガーを決定する。図のなかの “1” の部分にシグナルが来たときにトリガーをだすことにして、この “1” の領域を変化させることが、window の大きさを選ぶことに対応し、$p_{\rm T}$ の閾値を決定することになる。

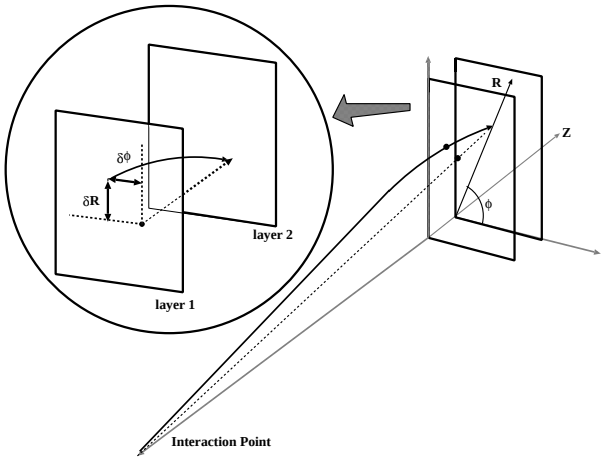


図 17: $\delta R, \delta\phi$の定義

図 19 が前後方部ミューオン・トリガー・システムの全体図である。TGC のシグナルは ASD (Amplifier-Shaper-Discriminator) ボード、Patch Panel を通して、LHC のシステム・クロックに同期したデジタル・

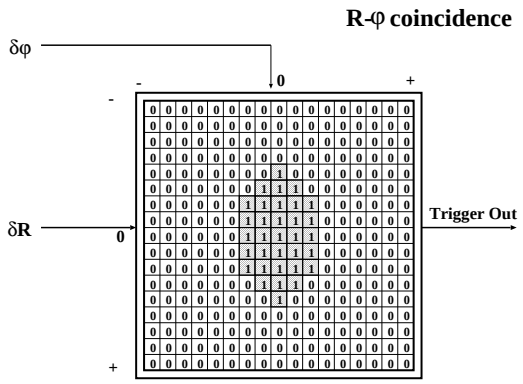


図 18: コインシデンス・マトリックス

シグナルに変換された後、スレーブ・ボード, High-p_{T} ボード, セクター・ロジック上で、順にコインシデンス・マトリックスが評価され、最終的に、 6 段階の p_{T} レベルそれぞれの候補の数と位置情報が MUCTPI に送られる。なお、このトリガー・ロジックは 144 に分割されたセクター毎に独立に判定される。

以下では、各構成要素

- TGC (Thin Gap Chamber)
- Patch Panel
- スレーブ・ボード
- High-p_{T} ボード
- セクター・ロジック

について順に説明していく。

1.6.2 Thin Gap Chamber (TGC)

図 20 に TGC の構造を示す。アノード・ワイヤーとそれに直行するカソード・ストリップの両方から読みだしが可能で、第二座標の測定も行なえる。特徴としては、アノード・ワイヤーとカソード面との間隔が非常に狭く (1.4 mm)、 デッド・タイムが少ないことである。これにより、LHC のような粒子の入射頻度の高い中でも、トリガー・チェンバーとしての役割をはたすことができるようになっている。

TGC のシグナルは、検出器に取り付けられた ASD ボード上で LVDS レベルのデジタル信号に変換されたのち、Patch Panel に送られる。このとき、シグナルの到着時間には、図 21 のようにバンチ・クロッシング時間 (25 ns) なみのばらつきがある。一方で、トリガー・システムは、LHC のバンチ・クロッシング・レートに同期して処理を行なうので、イベントの選択を正しく行なうためには、その時間間隔 (25 ns) にシグナルをバンチ化し、どのビーム・クロッシングで起こった事象であるかを正確に識別する必要がある。このことについては、あとで詳しく論じることにする。

1.6.3 ASD ボード

ASD ボード上には、TGC 読みだし用に開発された ASD チップ (Amplifier Shaper Discriminator IC) が 4 つ載っている。ASD チップは、プリ・アンプ、メイン・アンプ、コンパレータを備えたモノリシック

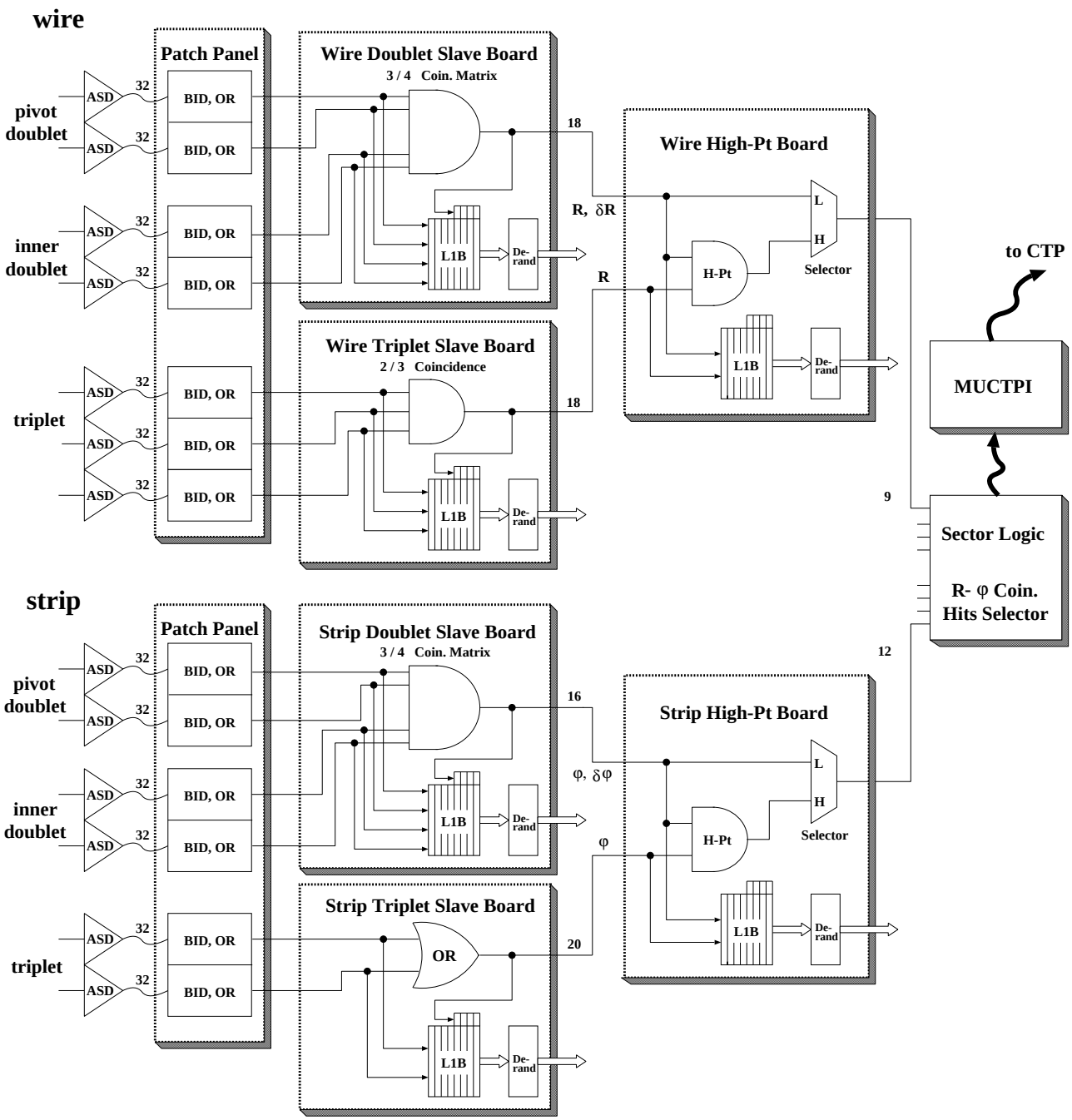


図 19: 前後方部ミューオン・トリガー・システムの全体図

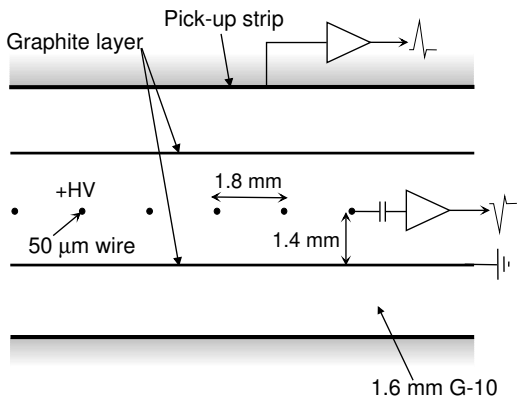


図 20: TGC の構造

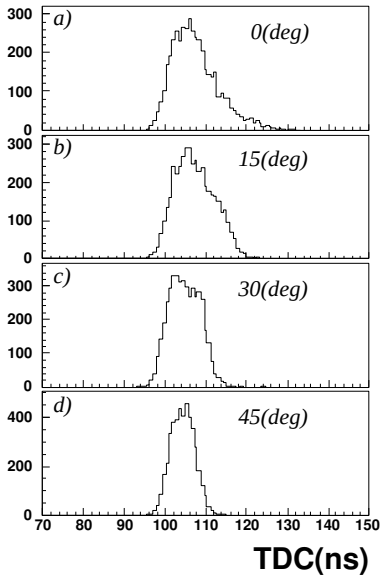


図 21: 到着時間の分布。角度はミューオンが TGC 平面に入射するときの入射角を示す。

IC で、1 チップ 4ch 分の読み出しが可能であり、ASD ボード 1 つあたりで、合計 16 ch 分のシグナルを処理できる。TGC からの入力シグナルは、ここで LVDS レベルのデジタル信号に変換され、Patch Panel に送られる。

1.6.4 Patch Panel

図 22 は、Patch Panel の機能を図示したものである。ASD ボードでデジタル化されたシグナルは、Bunch-ID 回路でバンチ化された後、OR ロジックを通って各スレーブ・ボードに分配される。

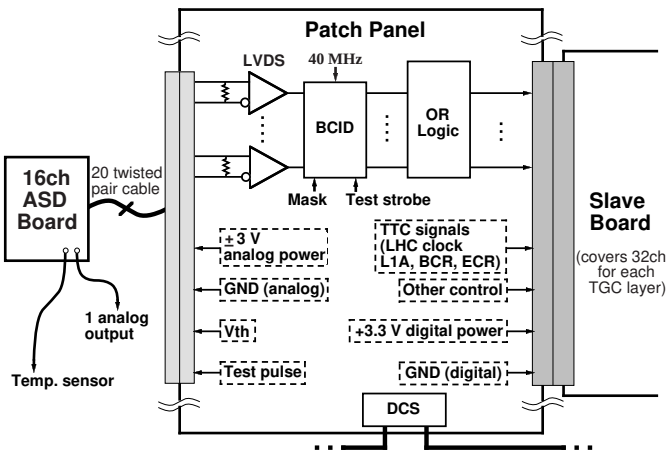


図 22: Patch Panel の機能

Bunch-ID 回路 (図 23) では、シグナルの立ち上がりを検知して、1 クロック分のデジタル・パルスに変

換する他、図の下側の遅延させたシグナルとの OR をとることにより、エフェクティブなゲートをつくりだす機能もある。これは、もし TGC からの到着時間のばらつきが 25ns を越えてしまうようなことがあっ

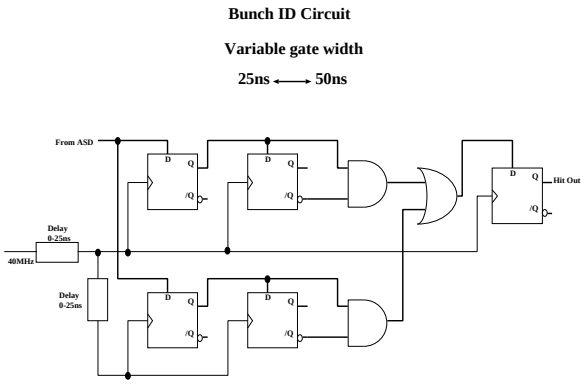


図 23: Bunch-ID 回路

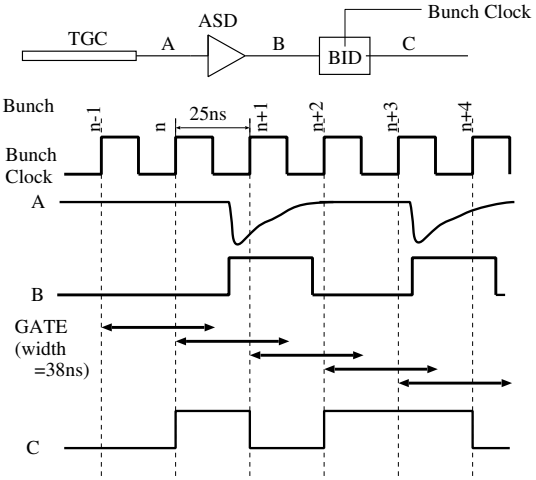


図 24: 到着時間のばらつきが 38ns あるときの概念図

た場合の処置である。図 24 は、TGC からの到着時間のばらつきが 38 ns であったと仮定した場合のタイムミング・チャートを示している。後の方のシグナルでは、$n+2$ のバンチ・クロッシング時間で発生したものか、$n+3$ のものなのかの区別ができないため、両方にシグナルを出すようになっているのがわかる[1]。また、Bunch-ID の際に最も重要なのが、クロックとシグナルとのタイミング調整である。そのために、Patch Panel 上には他数の遅延調節用回路 (DLL) を配置する予定である。

また、ここでの OR ロジックとは、TGC のオーバーラップ領域に対する処理を行なうところである。TGC は境界でギャップが生じないよう、オーバーラップをとって配置される。このとき、その領域を通過する粒子は前後 2 つの TGC にヒットを与えるが、図 25 のように OR をとることでひとつのヒットに直し、ダブル・カウントを回避する。[2]

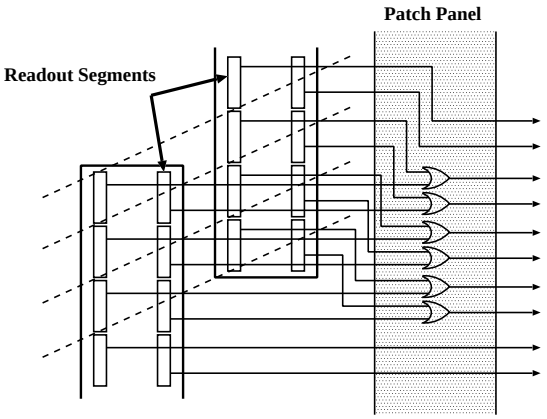


図 25: OR ロジック

その他、ASD ボードに対して ±3 V の DC 電源、threshold 電圧 (Vth)、テスト・パルスを、スレーブ・

[1] このロジックにより生じるミス・トリガーの可能性は、連続してトリガーがでたときにはうしろ側をとるというロジックを入れることで減らすことができる。詳しくは文献 [8] を参照のこと。

[2] これは、R 方向 (ワイヤー) の読みだしの場合の処理であり、ϕ 方向に関しては一方のシグナルをマスクすることで処理を行なう。

ボードに対して L1A, クロックなどの TTC シグナル、3.3V の DC 電源などを供給する。Bunch-ID 回路でのシグナルとクロックのタイミング調整、TTC システムについてはあとで述べることにする。

1.6.5 スレーブ・ボード

スレーブ・ボード の役割は、パッチ・パネルからのシグナルをうけ、2-out-of-3, 3-out-of-4 の判定を行なうことである。スレーブ・ボードには、図 19 からわかるように、doublet・triplet のためのものがそれぞれワイヤー用、ストリップ用とある

doublet 用スレーブ・ボード　2 層の doublet のシグナルをうけて、3-out-of-4 コインシデンスをとり、low-p_{T} の判定を行なう。図 26 は、ワイヤー doublet 用スレーブ・ボードのブロック・ダイアグラムである (ストリップのものも出力のビット数が異なるが、同様のものである)。Patch Panel から入力されたシグナルはケーブル遅延がまちまちであることなどから、一般に位相がずれているので調整を行なったあと、3-out-of-4 のコインシデンス・マトリックスに入る。パッチ・パネルからの入力は、1 層につき 32 であるが、それに加えて、他の領域の middle doulet を通過して、pivot plane にヒットしたイベントを検出しそこねないように、隣接する両側のスレーブ・ボードから 1 層につき 6 個の入力を。そして、そのためのダブル・カウントを防ぐために、pivot plane に関しても、1 層につき 2 個の入力を受け付ける。したがって、計 72×88 のシグナルの間でコインシデンスがとられることになる (図 27)。このとき、図 27 のように、A, B 2 つの領域にわけ、その中からそれぞれ最も大きな $p_{\mathrm{T}}(|\delta \mathrm{R}|$ が最小) のものだけを選ぶ。

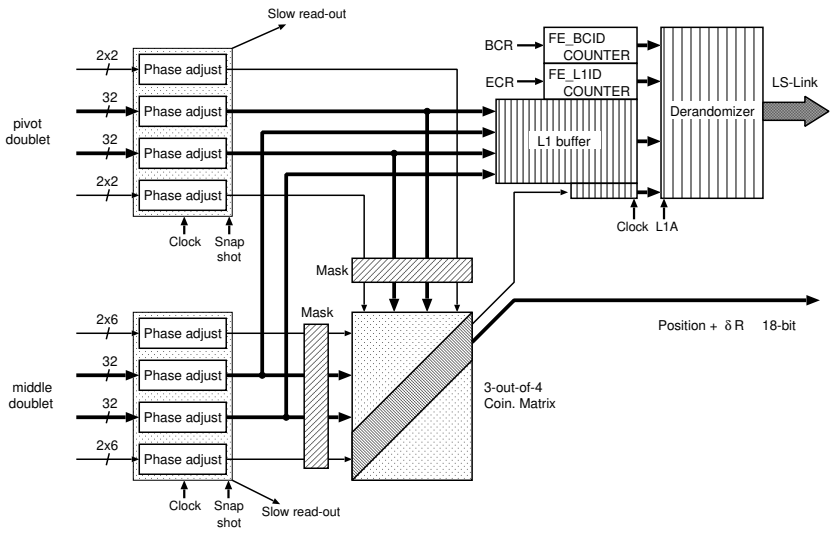


図 26: ワイヤー doublet 用スレーブ・ボード (ストリップでは出力は 16 ビットである。)

また、図 26 の右上にかかれているのは、データの読み出しの部分である。データは、L1A の判定が行なわれるまでの間 (2.5μs)、L1 buffer で保持され、L1A が発せられると、どのバンチ・クロッシングで起きたかイベントであるか (FE_BCID)、どの L1A でのイベントであるか (FE_L1ID) の識別子をつけて Derandomizer と呼ばれるバッファに移され、読み出されるまで蓄えられる。

ワイヤー triplet 用スレーブ・ボード　ここでは、triplet からのシグナルを受けて、2-out-of-3 のコインシデンスがとられる。入力は、1 層につき 32 個と両側の隣接するボードからの 1 層につき 2 個のシグナルである (図 29)。

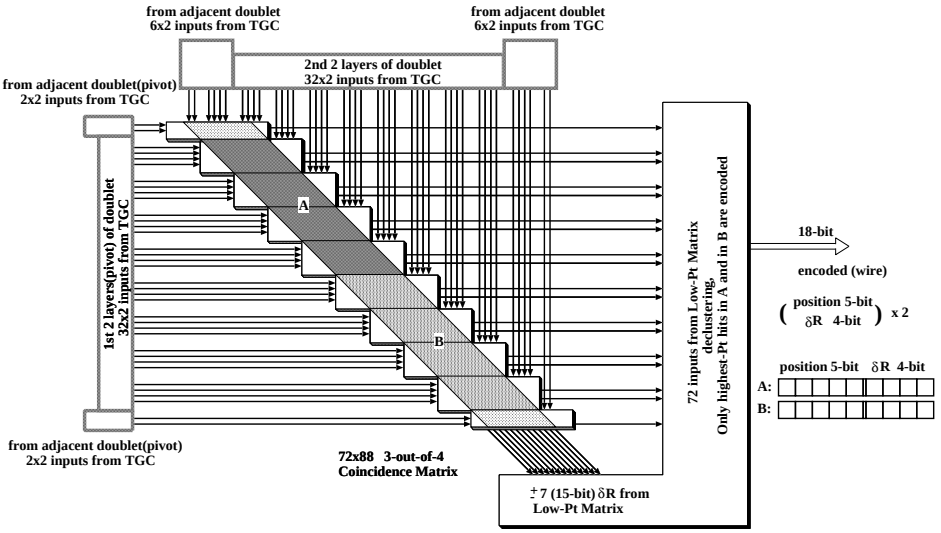


図 27: 3-out-of-4 マトリックス・コインシデンス。図に示したものはワイヤーのもので、ストリップでは $\phi = \pm 3$ である。

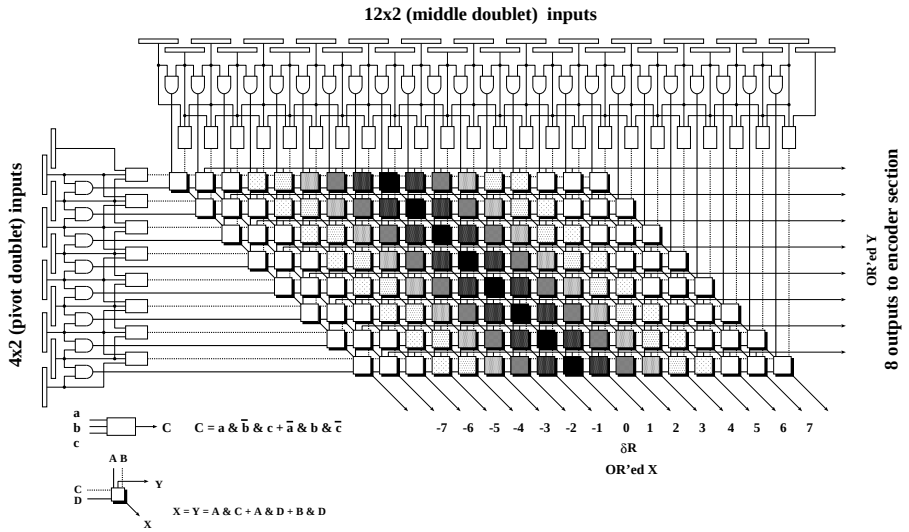


図 28: 3-out-of-4 マトリックス・コインシデンスの詳細。図に示したものはワイヤーのもので、ストリップでは $\phi = \pm 3$ である。

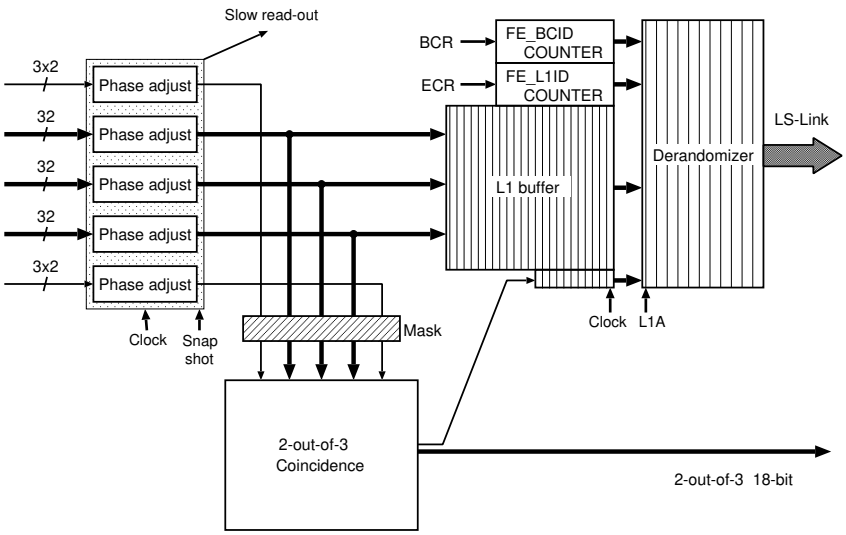


図 29: ワイヤー triplet 用スレーブ・ボードのブロック・ダイアグラム

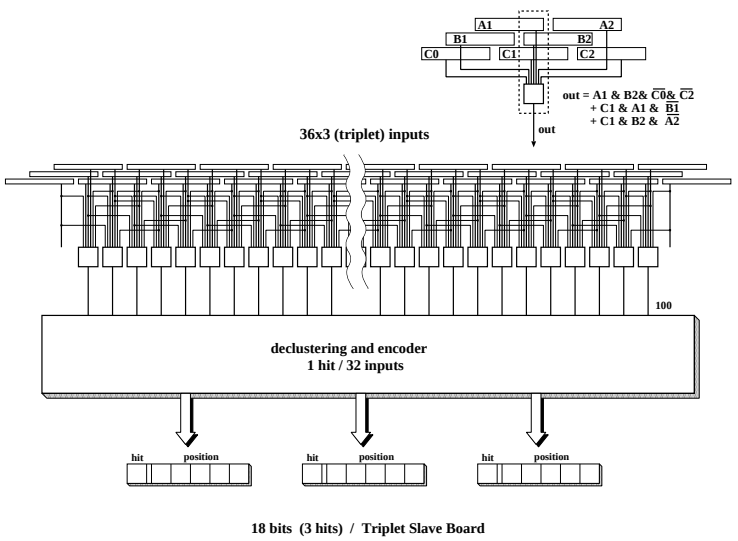


図 30: ワイヤー triplet 用スレーブ・ボードの機能図

ストリップ triplet 用スレーブ・ボード　TGC の 3 重層構造のうち、真中にはストリップ・パターンがないため、triplet であっても、ストリップに関していえば、2 重層である。そのため入力は 2 層分で、それぞれ 32 である。ここでは、1-out-of-2 つまり、OR ロジックがとられる。

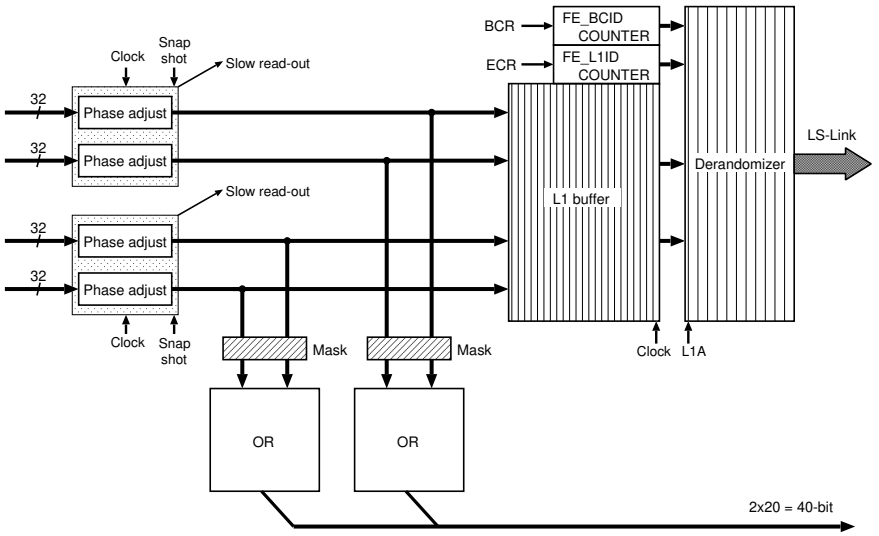


図 31: ストリップ triplet 用スレーブ・ボードのブロック・ダイアグラム

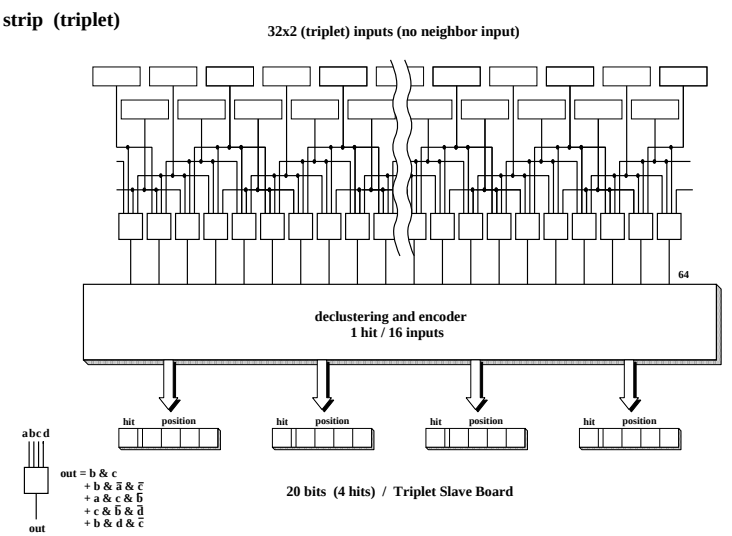


図 32: ストリップ triplet 用スレーブ・ボードの機能図

1.6.6 high-p_{T} ボード

high-p_{T} ボードは、4 枚の doublet 用スレーブ・ボードからのデータと、それと同じ領域に相当する 3 枚の triplet 用スレーブ・ボードからのデータを受け、high-p_{T} の判定を行なう。送られてくるデータは、デコードされているため、まず、エンコードを行なった後、2-fold コインシデンスをとる。このときの入力の数は、256×288 である。この結果とスレーブ・ボードから送られてくる low-p_{T} トリガー候補の情報とを合わせて high-p_{T} の決定を行なう。

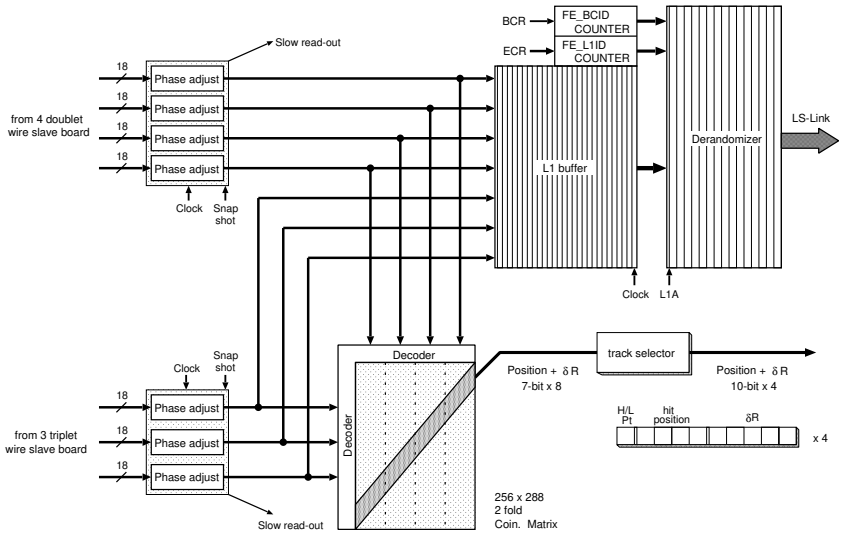


図 33: high-p_{T} ボードのブロック・ダイアグラム

図 34 は、コインシデンス・マトリックスを示したもので、図 33 に示したものの 4 分の 1 の部分に相当するものである。スレーブ・ボードと同じ構造であるが、δR は ± 15 までとスレーブ・ボードより詳細に求められる。コインシデンスを満たしたもののうち、$|\delta \mathrm{R}|$ が最小となるものを、図の A, B の領域、C, D の領域からそれぞれ 1 つずつ選択するが、このとき、コインシデンスを満たすものがないときは、low-p_{T} からきたトリガー候補が選択される。もし、high-p_{T}, low-p_{T} それぞれが満たされた場合は、high-p_{T} の候補が選択される。high-p_{T} ボードには、図 34 と同一のものが 4 つあり、合計 8 つの候補が Track selector に送られる。

Track selector は、最大で 4 つまでのトリガー候補を選択して、セクター・ロジックにその情報をおくることができる。もし、4 つを越えている場合は、そのなかで R の大きい場所で発生したイベントから候補を選ぶ。その理由は、ミューオンの分布は、ほとんど R によらないはずだが、バックグラウンドは R が大きくなるにつれ減少するからである。

以上は、ワイヤー用の high-p_{T} について述べたが、ストリップ用のものもほぼ同じである。ただ、ストリップに関しては、1 つのマトリックスに対応する検出器の領域がワイヤーに比べて広いため、8 候補までトリガーを選択が可能で、したがって、track selector は存在しないことと、$\delta\phi$ の範囲が ± 7 であることが異なる。

ここでの結果は、セクター・ロジックに集められ、セクターとしての最終的なトリガー候補を決定する。

1.6.7 セクター・ロジック

セクター・ロジックは、r-ϕ コインシデンス、Track Pre-selector, Track Selector から構成される (図 36)。これまで、R, ϕ 方向の独立の情報だったものが、ここではじめて、完全な p_{T} の情報として評価される。

high-p_{T} ボードから送られた δR, $\delta\phi$ の情報はデコードされた後、r-ϕ コインシデンスによって、high-p_{T} の 3 段階、low-p_{T} の 3 段階の計 6 段階のレベルにわけられる。図 37 からわかるように、ここでレベルわけを決定するのは、マトリックスのパターンであるが、このマトリックスは、FPGA を用いて実現されるので書換えが可能で、これにより、閾値を変更することができるようになっている。

Preselector では、r-ϕ コインシデンスの結果をもとに pivot TGC 毎に p_{T} の高い方から 2 つのトラックを選択し、領域の情報 (RoI) と 6 段階の p_{T} の情報を Selector に送る。

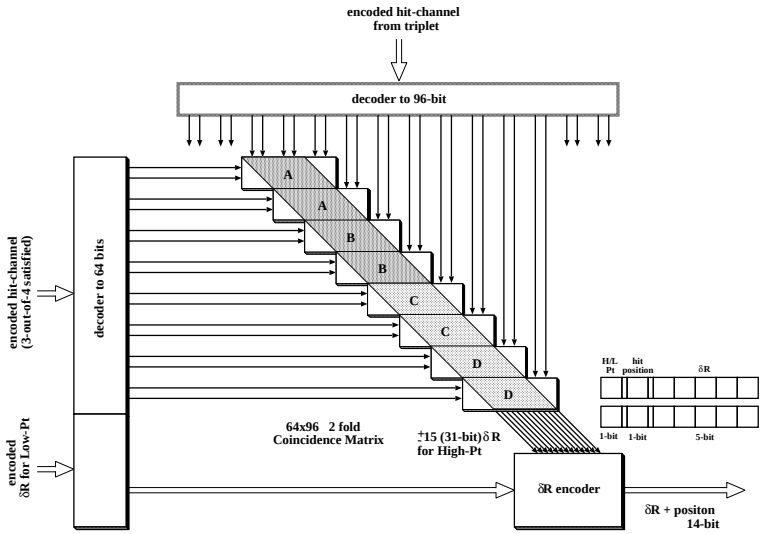


図 34: high-p_{T} ボードのコインシデンス・マトリックス

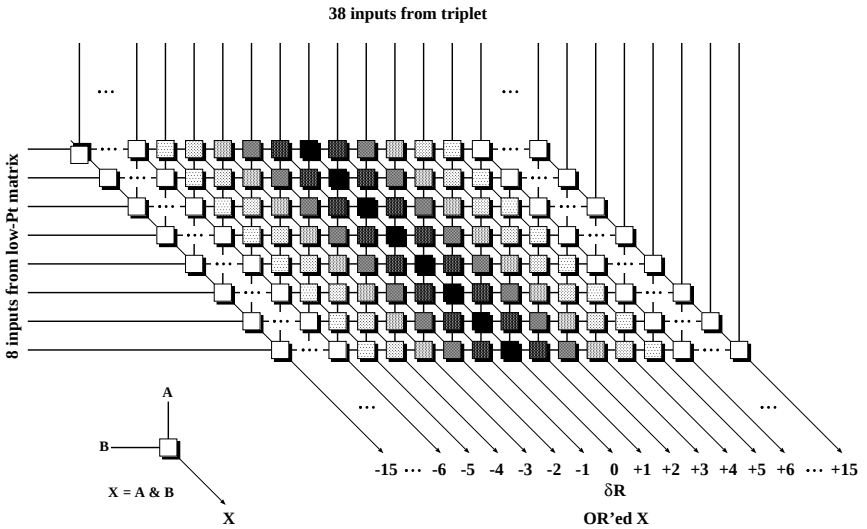


図 35: high-p_{T} ボードのコインシデンス・マトリックスの詳細

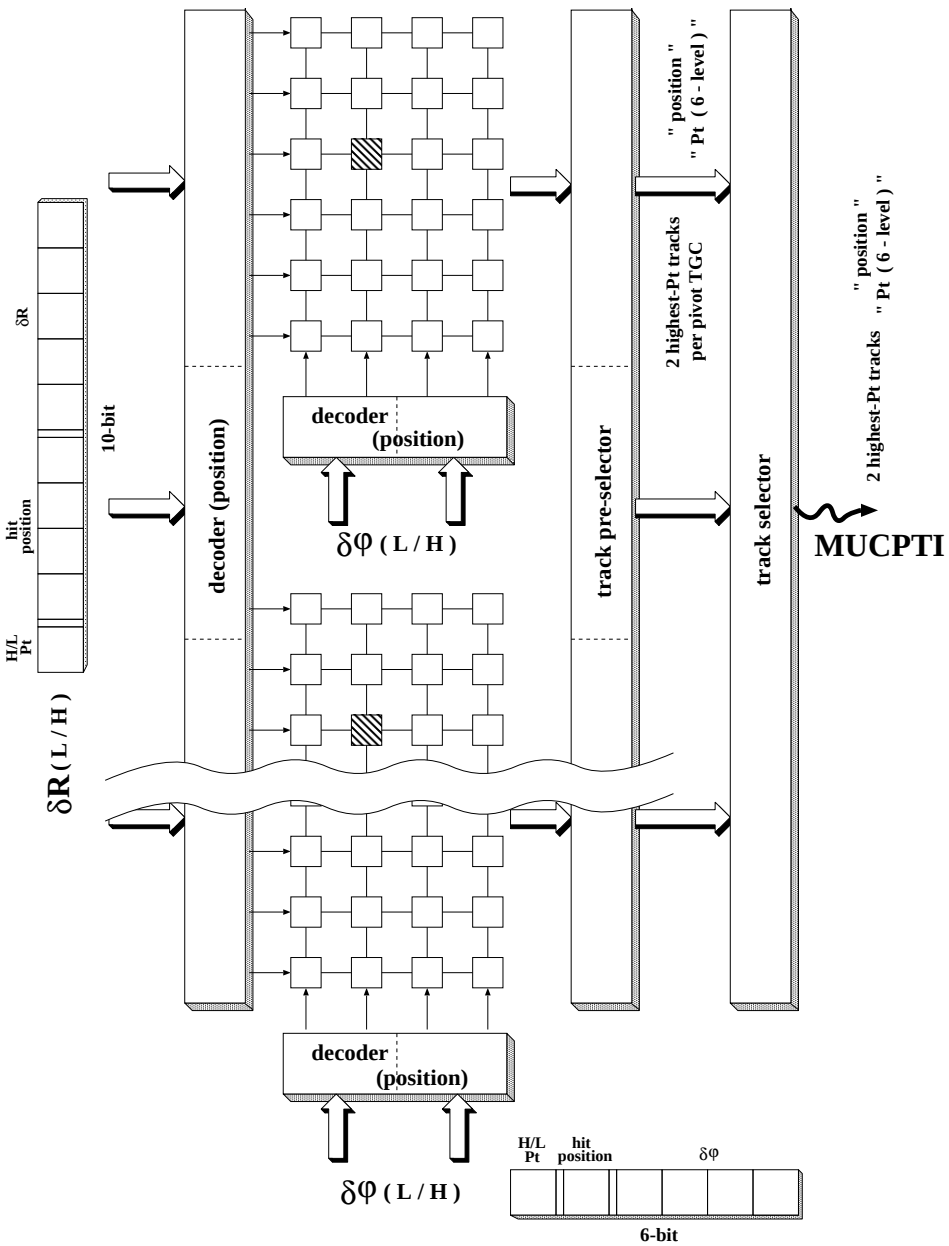


図 36: セクター・ロジックのブロック・ダイアグラム

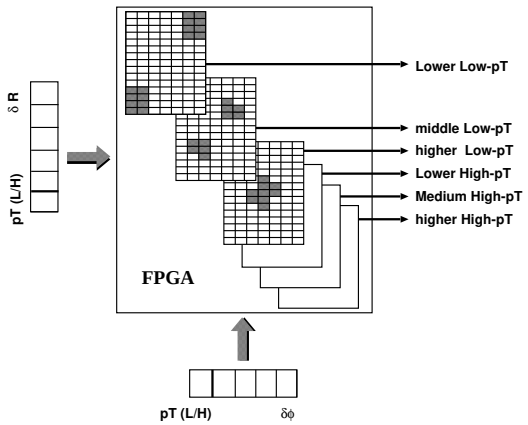


図 37: r-ϕ コインシデンス

Selector では、入力されたすべてのトラックの中から、最も高い p_{T} をもつトラックを 2 つ選び、MUCTPI にトリガーの候補として送る。

これまで述べてきたように、ATLAS のトリガー・システムは階層構造を成しており、多数の構成要素から構成されるが、これらすべてが歩調を合わせて処理を行なうことが、正しくイベントを選択するために重要となる。本論文では、前後方部ミューオン・トリガー・システム内の同期をどのように保ち、それを全体のタイミングに合わせるかについて論じる。また、Patch Panel 用の ASIC の開発とその動作試験について述べる。

2　シグナルのタイミング調整

LVL1 トリガー・システムでは、検出したイベントが重要なものであるかを判断し、それがどのバンチ・クロッシングで起きたものであるかを確実に識別することが必要である。そのためには、シグナル間およびクロックとのタイミングを慎重に調節しなければならないが、LHC のバンチ・クロッシング時間が 25 ns と非常に短いこと、総読み出しチャンネルが既存の実験に比べて桁違いに多いこと、そして、測定器とそのエレクトロニクスが広い領域に分散して配置されることなどの理由から、ATLAS 実験では困難が予想され、深刻な問題と考えられている。

前後方部ミューオン・トリガー・システムにおいても、もちろん例外ではない。前節で述べたトリガー・ロジックを正しくはたらかせるためには、様々な場所からくるシグナルのタイミングを調整し、システム全体を 40MHz のシステム・クロックに正しく同期させる必要があるのだが、上に挙げたことに加えてシステムに関わるエレクトロニクスの配置がこの問題をさらに難しくしている。図 38 は ATLAS 実験ホール、図 39 はエレクトロニクスの配置を示しているが、膨大な量のケーブルをエリアの外に運び出すことができないため、このようにセクター・ロジック以外のエレクトロニクスはすべて、実験中にはアクセスすることのできない場所に配置され、シグナルのタイミングを合わせる際にもオシロ・スコープを使うなど直接的な確認方法をとることができない。したがって、あらかじめなんらかの間接的な方法を用意しておく必要があり、ボードおよびチップを設計する段階からこれらのことを考慮に入れておかなければならない。

ここでは、前後方部ミューオン・トリガー・システムについて、どのようにシステム内の同期を保ち、イベントを識別するかについて述べていく。なお、以降に述べることは、ビーム衝突が起きてから粒子が TGC に到達するまでの時間 (TGC: Time Of Flight) 、シグナルのケーブルによる遅延時間、配線による遅延時間などすべて既知であるとして、はじめて成り立つものである。実際、実験に望む際にはあらかじめこれらをデータ・ベースとして用意する予定である。

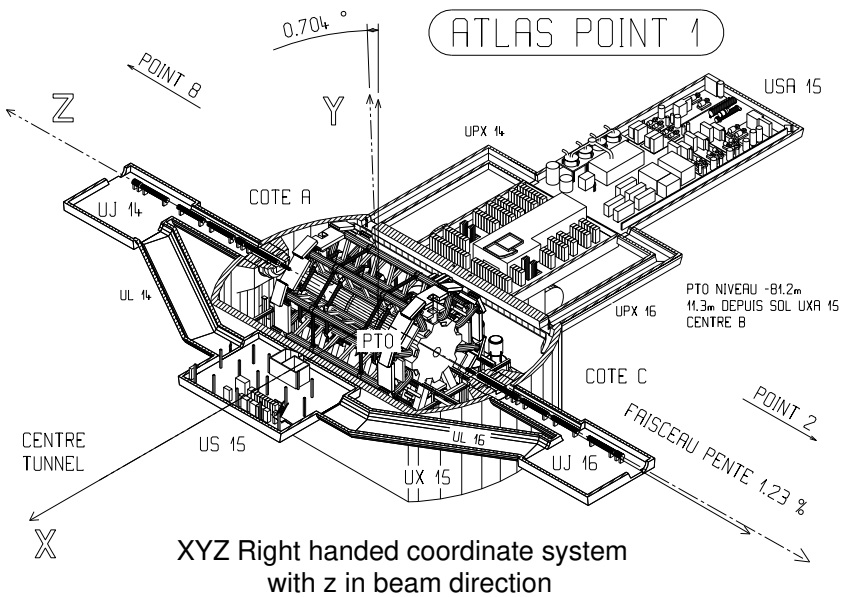


図 38: ATLAS 実験ホールの全体図

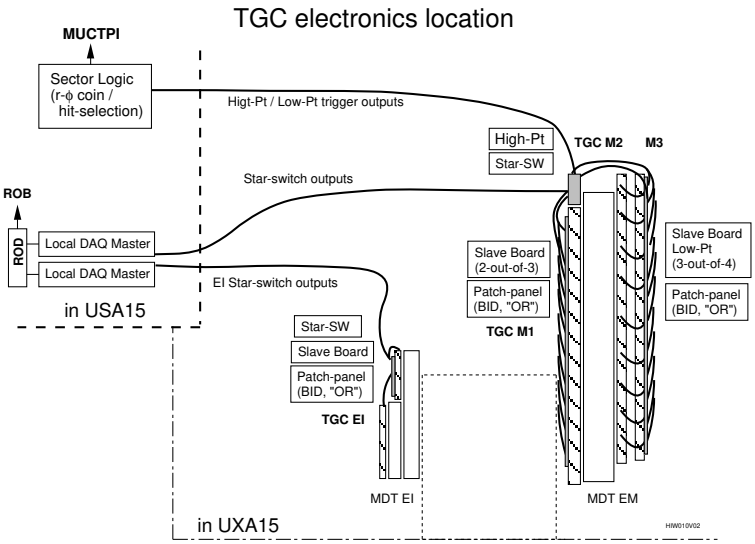


図 39: 前後方部トリガー・エレクトロニクスの配置

2.1 TTC (Timing, Trigger and Contorol)

前後方部ミューオン・トリガー・システムでのタイミング調整のスキームを述べる前に、ATLAS 実験として、どのようにイベントを識別するかについて述べる [5]。ATLAS では、各検出器が BCID [3](Bunch Crossing Identifie), L1ID [4](LVL1 Trigger Accept Identifier) という 2 つの数値をデータにつけることでイベントを識別することになっており、これらの数値[5] を実験全体を通じて共通なものに保つために TTC (Timing, Trigger and Control) システム [9] が存在する。

TTC システムは LHC の 40 MHz クロック (正確には 40.08MHz), CTP からのトリガー情報、その他の制御シグナルなどを検出器全領域のフロント・エンド・エレクトロニクスに分配するもので、ハイパワーの 1310mm レーザーを用いることにより、千を越える各検出器に安定したシグナルを送ることが可能になっている。

検出器側では、TTCrx (TTC receiver) [10] と呼ばれる専用のチップでこれらのシグナルを受け、光信号から電気信号に変換し、配られた各シグナルを利用する。前後方部ミューオン・トリガー・システムでは、この TTCrx をすべての Patch Panel, high-p_{T} ボード、セクター・ロジックに配置し、以下のシグナルを利用する。このとき、出力シグナルには TTCrx の内部でディレイをかけることができる。

BC Clock (LHC Clock) 104ps ステップで、25ns までのディレイ。
40.08 MHz の LHC Clock。

L1A (LVL1 trigger Accept) 1 クロックのステップで、15 クロックまでのディレイ。
LVL1 のトリガー条件が満たされたことを示すシグナルで、CTP から送られる。

BCR (Bunch Counter Reset) 1 クロックのステップで、15 クロックまでのディレイ。
LHC の軌道周期 (89μs) に同期したシグナル 。BCID はこのシグナルでリセットされる。

[3]どのバンチ・クロッシングで起きたイベントであるかを示す識別子 (12-bit)。
[4]何番目の L1A に対応したイベントであるかを示す識別子 (24-bit)。
[5]フロント・エンドの段階でつける BCID, L1ID に相当する FE_BCID, FE_L1ID に関しては桁をおとしても構わない。TGC の場合は、これをともに 8 ビットで指定し、データの読み出しの段階で上位のビットを付け加えることにしている。

ECR (Event Counter Reset) 1 クロックのステップで、15 クロックまでのディレイ。
L1ID はこのシグナルでリセットされる。

2.2 タイミング調整のスキーム

図 40 は、前後方部ミューオン・トリガー・システムの全体図で、これから述べるようにシグナルおよびクロックのタイミング調整が必要となるところには、黒の囲みをいれた。また、そのために必要な遅延調節回路 (ディレイ) はハッチをかけて示してある。まず、それぞれの箇所で必要となることを述べたあと、タイミング調整のスキームについて述べる。

Patch Panel でのシグナルのバンチ化 (図 40(1))　ASD でデジタル化されたシグナルは、Patch Panel 上の Bunch-ID 回路でバンチ化され、そのあとは、40MHz のクロックに同期して処理を受ける。ここで考えなければいけないことは、ASD からのシグナルとクロックとのタイミングである。1.6.2 でも述べたように、TGC のシグナルの到着時間には最大 25 ns 近くのばらつきがある。したがって、バンチ化を正しく行なうためには、クロックとシグナルとの相対時間を 1ns 以下の精度であわせる必要がある。図 41 のように、ASD からのシグナルと 40MHz クロックのタイミングによっては、イベント毎に異なるクロックに同期することになる。このため、Patch Panel では $0 \sim 25$ns まで設定可能なサブ・ナノ単位のディレイを用意し、クロックを遅らせることによりシグナルとのタイミングを調整する (図 42)。

スレーブ・ボードにおけるタイミング調整 (図 40(2))　スレーブ・ボードではコインシデンスをとるため、異なるケーブル (ASD ボード) から来るシグナル間のタイミングを合わせる必要がある。シグナルは既にバンチ化されているため、可変ディレイの精度はクロック周期 (25ns) の半分があればよい。なお、1 クロックではなく、半クロックのディレイを用意する理由はシグナルがクロックのエッジ付近にくる場合の処置である。IC のセット・アップ時間、ケーブル内でのジッターを考えると常に正しくシグナルを受けるためには、半クロック分のディレイを用意する必要がある。

High-p_{T} ボード (図 40(3)), セクター・ロジック (図 40(4)) におけるタイミング調整　図 40 を見てわかるように、ここにおける状況はスレーブ・ボードのものと同じである。ただ、広い領域に配置されたボードからの入力が集まるため到達するシグナルのケーブル長の違いが大きくなるので、配置する可変ディレイの設定幅を広くとっておく必要がある。ここでも、半クロック分のディレイを用意する。

TOF やケーブルによる遅延時間などのすべては既知であるので、あとで述べるように、これら可変ディレイの設定値は、ある未知の値を仮定すれば一意に求めることができる。ある未知の値とは、ビーム衝突が起きたあと、最初のクロックが TTCrx から出力されるまでの時間のことである。この時間に関しては、検出器が受けとることのできる情報からでは、あらかじめ知ることはできない。以降、この時間を OFFSET と表すことにする (図 43)。

ここでは、ビームを用いたタイミング調整を行なう方法について述べる。手順としては、まず、TGC のシグナルの可変ディレイの設定値を決定しシステム内での同期をあわせたあと、BCR, L1A, ECR のタイミングを合わせていく。この作業を行なうときには、LHC のバンチ構造が助けになる。図 44 のように LHC では、ところどころにビーム衝突の起きないバンチが存在するので、これらを指標としてタイミングを合わせることができる。

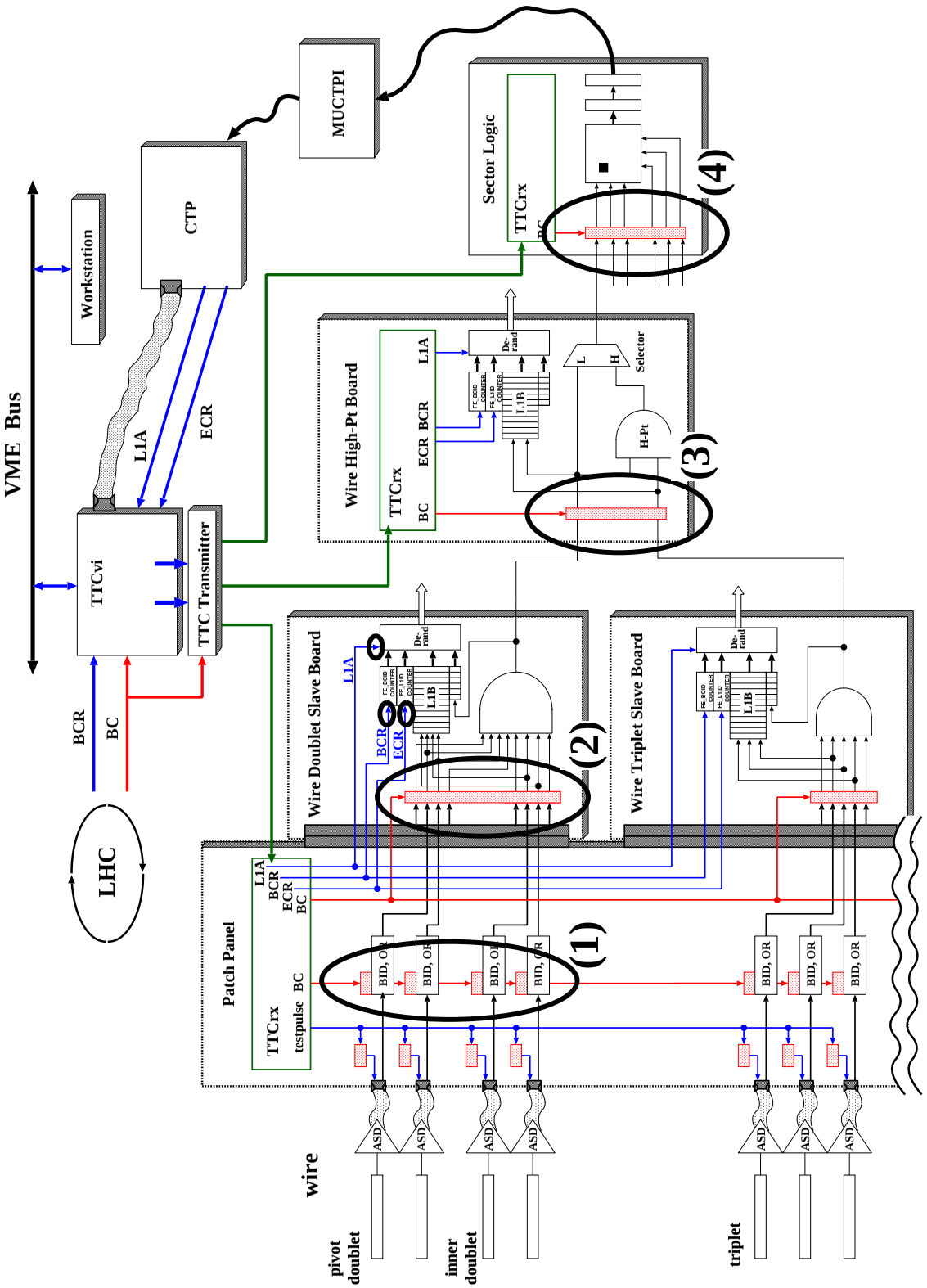


図 40: 前後方部ミューオン・トリガー・システムの全体図 (ハッチのかかっている箇所がディレイを示す。)

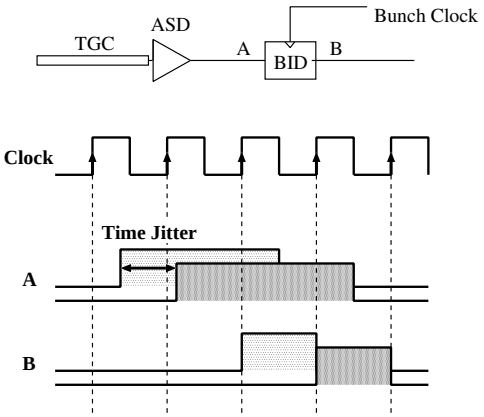


図 41: タイミング・チャート (正しくバンチ化されない場合)

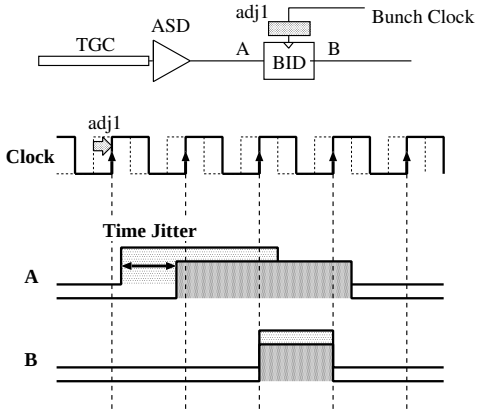


図 42: タイミング・チャート (ディレイを用いてタイミングを調整した場合)

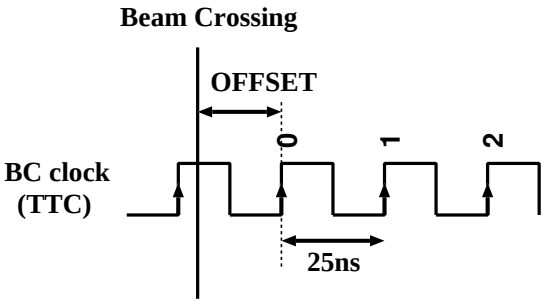


図 43: OFFSET の定義

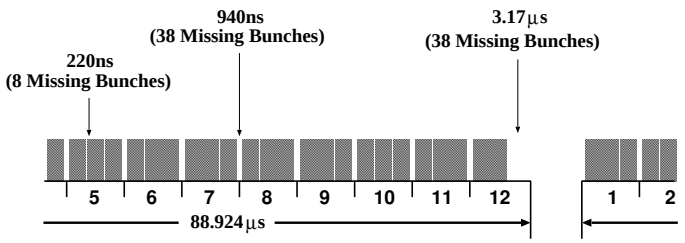


図 44: LHC のバンチ構造

シグナルは、トリガー・ロジックに関わる部分と、読み出しを受ける部分に常に枝別れしながら進んでいくので、読み出しの部分からデータの確認ができる。図 45 は読み出し部分のブロック・ダイアグラムである。スレーブ・ボード、High-p_{T} ボードのすべてがこの構造になっている。入力されたシグナルは、L1A の判定がおこなわれるまでの間 L1 バッファと呼ばれるバッファで保持され、L1A が発せられると Derandomizer と呼ばれるバッファに移されて読み出しをうける。このとき、FE_BCID, FE_L1ID の 2 つの値も同時に付加される。BCR, L1A, ECR の入力するタイミングが FE_BCID, FE_L1ID の値を正しくつけるために重要となる。

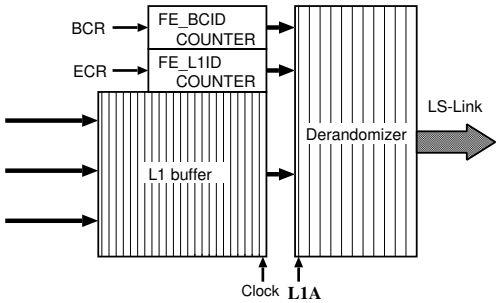


図 45: 読みだし回路のブロックダイアグラム

TGC シグナルのタイミング調整　まず最初に行なうことは、システム内のタイミングを合わせることである。OFFSET がわかっているとすると、一意に各々の可変ディレイの設定値が決まり、そのときは、ASD からのシグナルはただ 1 つのクロックにバンチ化される。さらに、スレーブ・ボード、High-p_{T} ボード、セクター・ロジック上では、入力したすべてのシグナルが同じクロックに同期することになるということに注意してほしい。つまり、OFFSET を探ることがシステム内のタイミングを正しく設定することと等価なこととなる。したがって、OFFSET の値を変えながら可変ディレイを順に設定していき、すべてのシグナルが 1 つのバンチで、かつ同じクロックに同期してくるような OFFSET 値を求めればいいわけである。

そのために、すべての BCID に対して L1A を送りデータを読み出すことにする。そうすると、データからは図 46 のような分布が得られる。ここで、この分布は BCID に対するボード上のヒット数の総和そとったものである。タイミングが正しく設定されていないときには、図 46 下図のように LHC のバンチ構造が見えるが、逆に、設定が正しくなければ LHC のバンチ構造は見えない。このように、図 46 下図のような分布になる OFFSET を探すことによりシステム内のタイミング調整が行なえる。

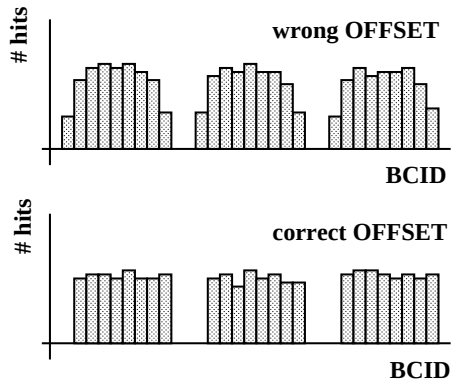


図 46: BCID に対するヒット数の総和の分布

BCR のタイミング調整　図 46 下図の分布が得られたとき、一般に BCID の値はずれている。したがって、LHC のバンチ構造と見比べながら、正しい位置に BCID=1 が来るように BCR のタイミングを調整する。

L1A のタイミング調整　BCID=1 など固定した値で L1A を発するようにしておき、そのときのデータの FE_BCID を確かめる。これが期待した値と一致するように L1A のタイミングを調整する。

ECR のタイミング調整　BCID と L1ID の対応が合うように ECR のタイミングを調整する。

ここで述べた方法は、実際のビームを用いるので確実である。したがって、実験の初期の段階には必要なものであると言える。ただし、この方法では分布をとらなければいけないため時間がかかり、実験途中での検出器の診断などの役割は果たせない。2.5 では、テスト・パルスを用いた方法を考えるが、その前に、実際、可変ディレイの設定値をどのように選んでいけばいいのか、具体的に説明をしていくことにする。

2.3 Patch Panel でのシグナルのバンチ化

ここでは、到着時間に最大で 25ns 近くのばらつきがある ASD からのシグナルを正しくバンチ化するために、$0 \sim 25$ns まで設定可能なサブ・ナノ単位の可変ディレイ $adj1$ を用意し、クロックを遅らせることによりクロックとシグナルとの相対時間を 1ns 以下の精度であわせることが必要になる (図 42)。ここでは、$adj1$ が 25ns の D 分の 1、つまり $25/D$ ステップで設定可能であるとして[6]、$adj1$ の設定値を求める。

ビーム衝突が起きてから、シグナルおよびクロックが Patch Panel に到着するまでに要する時間はそれぞれ、

$$\begin{aligned} &\text{シグナル:} \quad \mathrm{TOF}_{(i)} + d1_{(i)} \\ &\text{クロック:} \quad \mathrm{OFFSET} + 25 \times n_{(i)} + d2_{(i)} + adj1_{(i)} \end{aligned}$$

となる。

ここで考えているクロックとは、シグナルの直前に Patch Panel に到着するクロックの立ち上がりエッジのことで、これがビーム衝突が起きてから何番目に TTCrx から出力されるものであるかを n で表している (図 47)。その他の変数、式の意味は表 3 を参照のこと。

Delay	Meaning
TOF	ビーム衝突から粒子が TGC に到着するまでに要する時間。
d1	TGC から Patch Panel までのケーブルによる遅延時間。
d2	Patch Panel 上での配線によるクロックの遅延時間。
adj1	可変ディレイの設定値 ($0 \sim 25$ns)。
$25 \times n$	シグナルの直前に到着するクロックが TTCrx から出力されるまでの OFFSET からの時間。
25	LHC のバンチ・クロッシング時間 25ns。
i	ケーブル番号。

表 3: Patch Panel に入力するクロック、シグナルに関係する遅延要素

$adj1_{(i)}$ は、この到着時間の差が可能な範囲で最小になるように設定する必要があるので (図 48)、

$$0 \leq \mathrm{TOF}_{(i)} + d1_{(i)} - \mathrm{OFFSET} - 25 \times n_{(i)} - d2_{(i)} - adj1_{(i)} < \frac{25}{D}$$

[6]現在は、25 ns の 32 分の 1。つまり、約 780 ps 単位で設定が可能なディレイを配置する予定である。

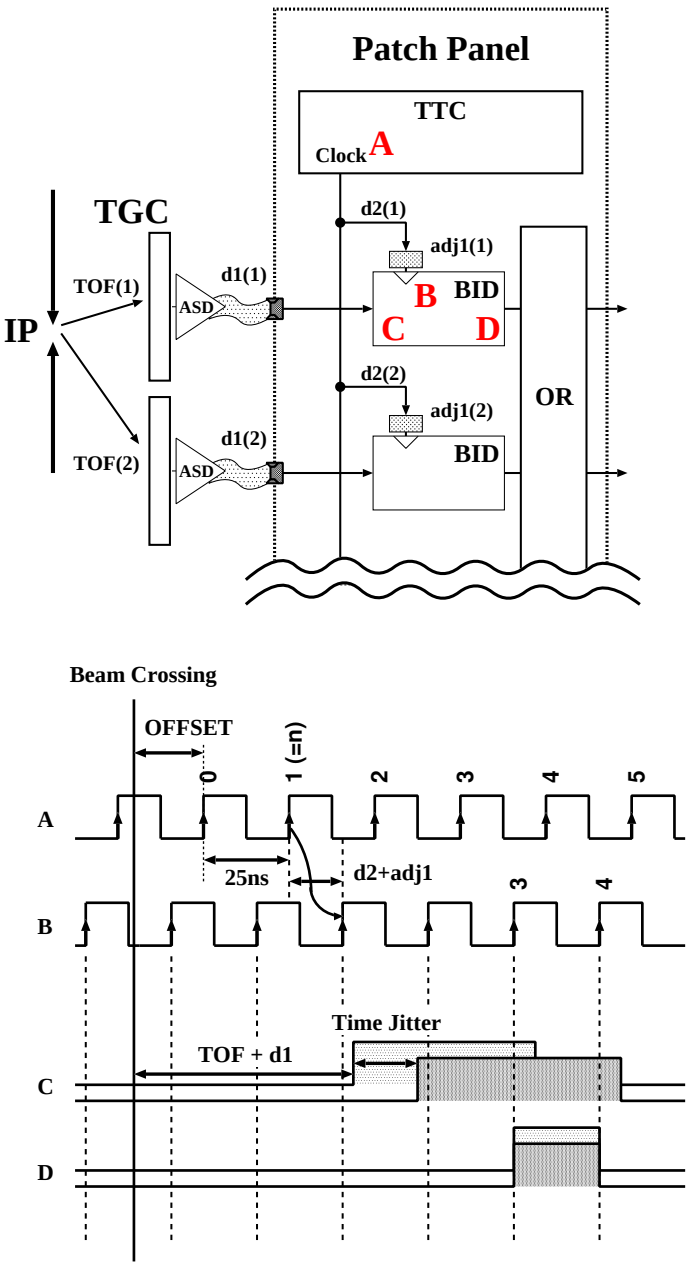


図 47: Patch Panel のブロック・ダイアグラムとタイムミング・チャート

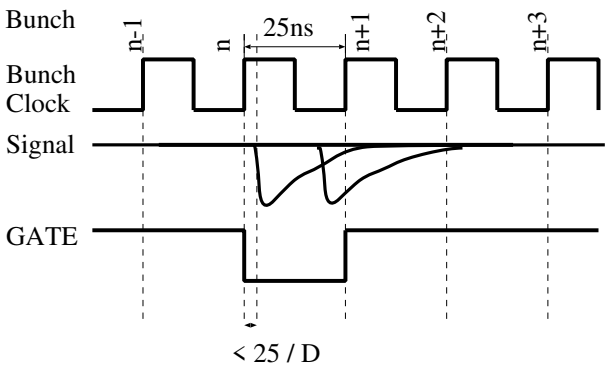


図 48: ディレイ設定後の ASD からのシグナルとクロックとの関係の概念図

これが $adj1_{(i)}$ および $n_{(i)}$ を決定する条件となる。$adj1_{(i)}$ を整数 $m_{(i)}$ $(0 \leq m < 25)$ を用いて、$adj1_{(i)} = 25/D \times m_{(i)}$ と表すことにすると、$n_{(i)}, m_{(i)}$ は次のようになる。

$$n_{(i)} = \left[\frac{\mathrm{TOF}_{(i)} + d1_{(i)} - \mathrm{OFFSET} - d2_{(i)}}{25} \right] \tag{1}$$

$$m_{(i)} = \left[\frac{D \times (\mathrm{TOF}_{(i)} + d1_{(i)} - \mathrm{OFFSET} - 25 \times n_{(i)} - d2_{(i)})}{25} \right] \tag{2}$$

ただし、[ ] はガウス記号[7]である。ここで、D, $\mathrm{TOF}_{(i)}$, $d1_{(i)}, d2_{(i)}$ は既知であるので、$n_{(i)}$, $m_{(i)}$ は一意に決めることができる。

$n_{(i)}$ を下付き文字を用いて表していることからもわかるように、この段階でのシグナルは、ケーブル毎に異なるクロックに同期する可能性がある。これについては、スレーブ・ボードの入力段階で調整が必要となる。

2.4 スレーブ・ボードにおけるタイミング調整

スレーブ・ボードではコインシデンスをとるため、異なるケーブル (ASD ボード) から来るシグナル間のタイミングを合わせる必要がある。そのため、前節で述べた $n_{(i)}$ およびケーブル遅延による位相の違いを調整するためのディレイを用意する。ただし、シグナルは既にバンチ化されているため、精度は 25 ns の半分があればよい。半クロック分のディレイは、シグナルがクロックのエッジ付近にくる場合の処置であり、実際には、シグナルのラッチをシステム・クロックの立ち上がりエッジで行なうか、たち下がりエッジで行なうかを選択することにより実現する。

先ほどと同様に、Bunch-ID 回路からのスレーブ・ボードへの入力シグナルと 40MHz クロックの到着時間を考えてみる (図 49,) と、

$$\begin{aligned} &\text{シグナル:} \quad \mathrm{OFFSET} + 25 \times n_{(i)} + d2_{(i)} + adj1_{(i)} + d3 + d4_{(i)} + adj2_{(i)} \\ &\text{クロック:} \quad \mathrm{OFFSET} + d5_{(j)} + 25 \times n'_{(j)} \end{aligned}$$

となる。変数の意味は表 4 を参照のこと。$n'_{(j)}$ は先ほどと同様、シグナルがどのクロックに同期するかを表したものであるが、Patch Panel ではそれぞれのシグナル毎に決まる値であったのに対し、スレーブ・ボード上ではすべてのシグナルが共通の値をとることに注意してほしい。

[7] $[x]$ は、$y \leq x < y + 1$ を満たす整数 y である。

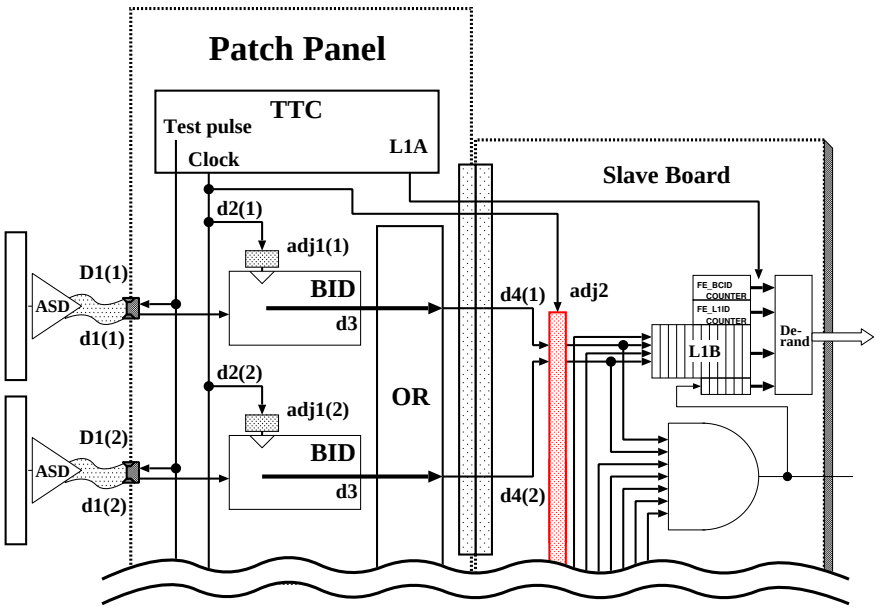


図 49: Patch Panel とスレーブ・ボードのブロックダイアグラム

Delay	Meaning
OFFSET	ビーム衝突が起きたあと、最初のクロックが TTCrx から出力されるまでの時間。
$d2_{(i)}$	TTCrx から Bunch-ID 回路までの配線によるクロックの遅延時間。
$adj1_{(i)}$	Patch Panel でのディレイ設定値 $(0 \sim 25\mathrm{ns})$。
d3	Patch Panel での処理時間 (Bunch-ID 回路、OR ロジック)。
$d4_{(i)}$	Patch Panel からスレーブ・ボードまでの配線による遅延時間。
$d5_{(j)}$	TTCrx からスレーブ・ボードまでの配線によるクロックの遅延時間。
$adj2_{(i)}$	シグナルのディレイ設定値。
i	ケーブル番号。
j	スレーブ・ボード番号

表 4: スレーブ・ボードに入力されるクロック、シグナルに関係する遅延要素

まず、$n'_{(j)}$ を求める。ここではシグナルの方を遅らせるために、クロックは到着時間の一番遅いシグナルに合わせる必要がある。そのため、入力シグナル全体の中から、

$$25 \times n_{(i)} + d2_{(i)} + adj1_{(i)} + d3 + d4_{(i)}$$

が最大となるものを選び出し、そのシグナル番号 i を $imax$ で表す。ここでは最も遅く到着するシグナルを選んでいるので、このシグナルは遅延させる必要はなく、$adj2_{(imax)} = 0$ となることを考慮した上で、シグナルがどのクロック $n'_{(j)}$ に同期されるかを考えると (図 50)、

$$0 \leq \mathrm{OFFSET} + d5_{(j)} + 25 \times n'_{(j)} - \left(\mathrm{OFFSET} + 25 \times n_{(imax)} + d2_{(imax)} + adj1_{(i)} + d3_{(imax)} + d4_{(imax)}\right) < 25$$

を満たすという条件から、

$$n'_{(j)} = n_{(imax)} + \left[\frac{d2_{(imax)} + d3_{(imax)} + d4_{(imax)} + adj1_{(imax)} - d5_{(j)}}{25}\right] + 1 \qquad (3)$$

と $n'_{(j)}$ が決まる (ここで、[ ] は先ほど同様ガウス記号を表す。)。もし、シグナルがクロックのエッジ付近

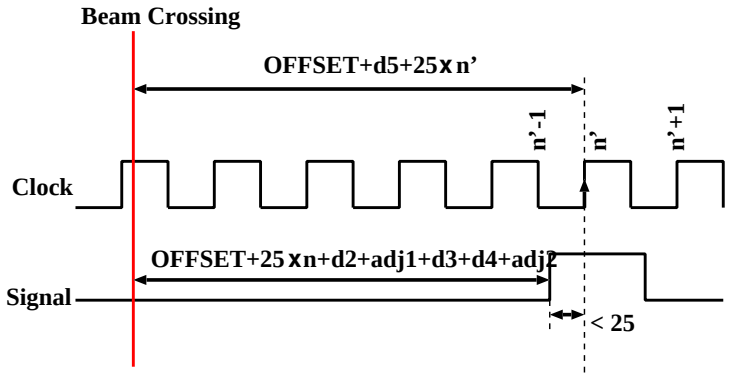


図 50: スレーブ・ボード上のタイミング・チャート

にくることの対処を考えず、$adj2_{(i)}$ の設定を 25ns 単位とすれば、$\mathrm{adj2}_{(i)} = 25 \times m'_{(j)}$ とおけ、

$$0 \leq d5_{(j)} + 25 \times n'_{(j)} - 25 \times n_{(i)} - d2_{(i)} - adj1_{(i)} - d3 - d4_{(i)} - 25 \times m'_{(i)} < 25$$

を満たすように、

$$m'_{(i)} = n'_{(j)} - n_{(i)} - \left[\frac{d5_{(j)} - adj1_{(i)} - d2_{(i)} - d3 - d4_{(i)}}{25} \right] \tag{4}$$

と設定すればよいことがわかる。

半クロック遅延調節回路　ここまでは、クロックのエッジ付近にシグナルがきたときの対処を無視した場合のはなしで、セット・アップ時間、ホールド時間が 0 の理想的な IC を使用していて、かつ、シグナルの到着時間が常に一定である場合には有効であるが、実際にはクロックのエッジ付近にくるシグナルに対しては正しい動作が期待できない。このため、スレーブ・ボードでは図 51 に概念図を示したようにこの回路ではパラメータとして A, B 2 つのフラグを用意し、図中の表に示した組合せでディレイをかけることができるようにする。

A	B	delay
1	1	0 ns
1	0	12.5 ns
0	1	25 ns
0	0	37.5 ns

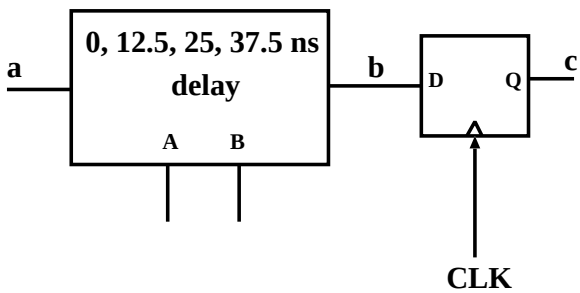


図 51: 半クロック遅延調節回路の概念図

前に考えた簡単なモデルでは設定値は $m'_{(i)} \times 25$ となる。以下では実際の遅延調節回路にみあうように、この値に修正を加える。

まず、クロックの立ち上がりエッジのすぐ直前にシグナルがくる場合を考える。問題になる時間範囲がど

こまでであるかは IC の性能などによるが、ここでは、その間隔を t_{setup} [8]という値と仮定してはなしを進める。つまり、

$$0 \leq 25 \times n'_{(j)} + d5_{(j)} - 25 \times n_{(i)} - d2_{(i)} - adj1_{(i)} - d3 - d4_{(i)} - 25 \times m'_{(j)} < t_{setup} \tag{5}$$

となるときには、下がりエッジで受けなければならないことになる。図 52 はこのときの図 51 の A, B, C 各点におけるタイミング・チャートを示している。これからわかるように、立ち下がりエッジで受けるときにも、立ち上がりエッジのときと同じ出力を得るようにするには、ディレイを 12.5 前に設定すればよいことがわかる。つまり、設定値は $(m'_{(i)} \times 25 - 12.5)$ になる。

ただし、到着時間の最も遅いシグナルに対しては注意が必要である。クロックはこのシグナルに対して合わせてあるため、これ以上遅らせることができない。そのため、もし

$$0 \leq 25 \times n'_{(j)} + d5_{(j)} - 25 \times n_{(imax)} - d2_{(imax)} - adj1_{(imax)} - d3 - d4_{(imax)} - 25 \times m'_{(j)} < t_{setup} \tag{6}$$

となるならば、$n'_{(j)}$ を 1 つ遅らせなければならないことになる。つまり、式 (3) の値を

$$n'_{(j)} = n_{(imax)} + \left[\frac{d2_{(imax)} + d3_{(imax)} + d4_{(imax)} + adj1_{(imax)} - d5_{(j)}}{25} \right] + 2 \tag{7}$$

と変更し、ボード上のすべてのシグナルを 1 つうしろのクロックに同期させることにする。

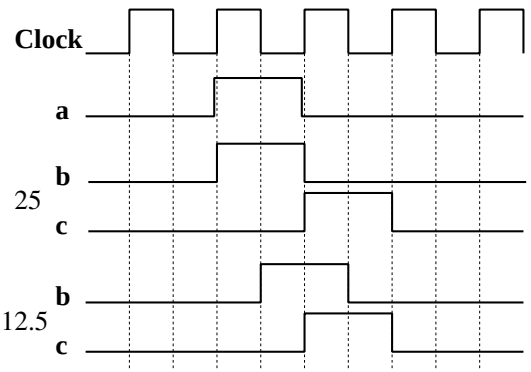


図 52: クロックのすぐ直前にくるシグナルのタイミング・チャート

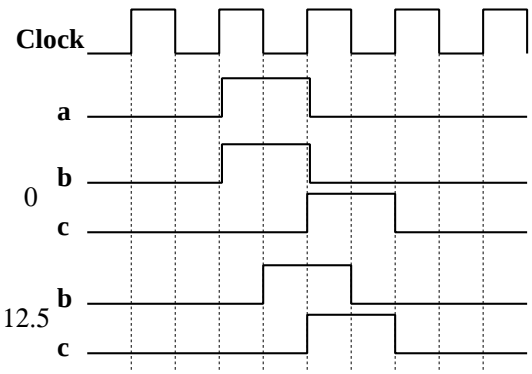


図 53: クロックのすぐ直後にくるシグナルのタイミング・チャート

次に、クロックの立ち上がりエッジのすぐ直後にシグナルがくる場合を考える。さきほど同様、この間隔を t_h [9]とおいて考える。つまり、

$$25 - t_h < 25 \times n'_{(j)} + d5_{(j)} - 25 \times n_{(i)} - d2_{(i)} - adj1_{(i)} - d3 - d4_{(i)} - 25 \times m'_{(j)} < 25 \tag{8}$$

となるときがこれにあたる。図 53 を参考に同様のことを考えると、この場合はディレイを 12.5 後に設定すればよいことがわかる。つまり、設定値は $(m'_{(i)} \times 25 + 12.5)$ になる。

[8]セット・アップ時間は 10ns 以下が十分に期待できるので、このように半クロックの遅延でよい。

[9]ここでは、ホールド時間を意識して変数名をつけているが、実際の IC はホールド・タイムは 0 である。むしろここで問題になるのはケーブル伝達の際のシグナルのジッターである。

High-p_{T} ボード、セクター・ロジック　図 40 を見てもらうとわかるように、High-p_{T} ボード、セクター・ロジックの状況はスレーブ・ボードとまったく同じである。ただ、到達するシグナルのケーブル長の違いが大きくなるので、ディレイの幅を広げる必要があるだけである。したがって、これらに関しても同様の方法で設定値を求めることができる。

2.5　テスト・パルスを用いたタイミング調整

2.2 でも述べたように、ビームを用いる方法の他に、診断用またはビームが利用できない初期の段階での大雑把なセット・アップの確認用としてテスト・パルスを用いる方法も用意しておく必要がある。ここでは、再び図 49 を参照してほしい。

変数の意味は表 4 と同じであるが、新しく $D1_{(i)}$ を導入した。これは、TTCrx から ASD ボードまでのケーブルおよび配線によるテストパルスの遅延時間である。このとき、シグナルとクロックの到着時間はそれぞれ、

$$\begin{aligned} &\text{シグナル:} \quad D1_{(i)} + d1_{(i)} \\ &\text{クロック:} \quad 25 \times N_{(i)} + d2_{(i)} + adj1_{(i)} \end{aligned}$$

となる。$N_{(i)}$ はどのクロックに同期するかを示すものであるが、これは

$$0 \leq D1_{(i)} + d1_{(i)} - 25 \times N_{(i)} - d2_{(i)} - adj1_{(i)} < 25$$

から求まり、

$$N_{(i)} = \left[\frac{D1_{(i)} + d1_{(i)} - d2_{(i)} - adj1_{(i)}}{25} \right]$$

となる。また、スレーブ・ボード上への到着時間はそれぞれ、

$$\begin{aligned} &\text{シグナル:} \quad 25 \times N_{(i)} + d2_{(i)} + adj1_{(i)} + d3 + d4_{(i)} + adj2_{(j)} \\ &\text{クロック:} \quad d5_{(j)} + 25 \times N'_{(j)} \end{aligned}$$

となるが、ここでは 2 つの方法が考えられる。この値をみると、2.4 で考えたものと同じであることがわかるので、同様の手順で $N'_{(j)}$ およびディレイの設定値を決めることもできる。例えば、実験の前段階でビームがまだ利用できないときなどは、この方法でセット・アップの確認ができる。もうひとつの場合は、既にセット・アップが終わっていてディレイの設定を変更したくない場合である。実験の途中に検出器の診断を行ないたいときなどはこれにあたる。そうすると、

$$d5_{(j)} + 25 \times N'_{(i)} - 25 \times N_{(i)} - d2_{(i)} - adj1_{(i)} - d3 - d4_{(i)} - adj2_{(i)} < 25$$

から同期するクロックがそれぞれに対し求まり、

$$N'_{(i)} = N_{(i)} + \left[\frac{d2_{(i)} + d3 + d4_{(i)} + adj1_{(i)} + adj2_{(i)} - d5_j}{25} \right]$$

となる。この差を埋めるためには、テスト・パルスに対しディレイを用意すればよい。N' の中で最大のものを求めてこれを N'_{MAX} とすると、テスト・パルスに対しそれぞれ $(N'_{MAX} - N'_{(i)})$ クロック分のディレイをかければいいことになる。

さて、これらのシグナルを読み出すためにはシグナルが LVL1 バッファを出るときに合わせて、L1A を送りださなければならない。シグナルが LVL1 バッファをでるのはバッファの深さを N_{buf} とすると、テス

ト・パルスが TTCrx を出てから $25 \times (N'_{MAX} + N_{buf}) + d5_{(j)}$ 後であるから、Derandomizer までの配線による遅延時間を $d6_{(j)}$ とすると、テスト・パルスを出力した $(N'_{MAX} + N_{buf}) + \left[(d5_{(j)} - d6_{(j)}/25)\right]$ クロックあとに L1A を送ればよいことがわかる。

2.6 まとめ

ここまで述べてきたことは最初に仮定したように、すべてのケーブル長、配線長などが既知であってはじめて成り立つものである。したがって、セット・アップの段階でこれらを正確に把握しておく必要がある。特に、クロックのエッジ付近に到着するシグナルに対する取り扱いに関するところは重要であるので、実験にのぞむ前の段階で慎重に試験を行なわなければならない。

3 Patch Panel 用 ASIC の製作

ATLAS 実験において、前後方部ミューオン・トリガーチェンバー (TGC) の読みだし総チャンネル数は、30 万チャンネルに及ぶ予定である。そのため、信頼性、実装面積、実装費用、製造費用の面から考えて、エレクトロニクスの ASIC (Apprication Specific Integrated Circuit) 化が必要となる。これらの要請から、Patch Panel に必要とされる機能をもった ASIC の試作を、東京大学大規模集積システム設計教育研究センター (VDEC) を通して行なった。

VDEC は大規模集積回路 (VLSI) 設計教育を支援するための全国共同利用センターで、研究・教育を目的とした ASIC の開発であれば、開発ツール及び必要なデータの提供を受けることができる。ただ、主にデジタル回路[10]を前提にサポートが行なわれるため、アナログ回路に関しては不向きな面もある。特に、メーカで開発を行なう際には用意されているはずの ADC , DAC などの汎用の回路でさえライブラリがなく、そのレイアウトのすべてを自分の手で行なわなければならないのは困難なところである。しかし、今回は 1 回目の試作ということもあり、ASIC 開発の理解を深めるという意味もこめて、VDEC を通じて開発を行なうことにした。また、安価に試作を行なえる[11]ことも選択の理由である。なお、VDEC では大量生産のサポートはされていないため、最終的にはメーカを通じて開発を行なうことにしている。

3.1 実装した回路

LVDS レシーバー　ASD ボードからの入力を受けるためのレシーバー。前後方部ミューオン・トリガー・システムでは、消費電力・信頼性を考え、ASD ボードから Patch Panel への伝達は LVDS シグナルで行なう。なお、信頼性に関しては、通常の 20 対ツイストペア・フラット・ケーブルを用いて 40 Mbps のデータがエラーなく 40m 以上到達できることを確かめてある。

テストパルス・ジェネレータ　ASD チップへテストパルスを送るための回路。タイミングの確認を行なうために必要となるが、それだけでなく、ASD チップの診断用にも使用できるよう、出力レベルを可変にする。

シグナル・ディレイ用 DLL 回路　サブ・ナノ単位で設定が可能な遅延調整用回路。前に述べたように、TGC のシグナルとクロックとのタイミングを調整するために必要となる。

今回は、上記 3 つの回路を実装した。必要とされる機能としては他に、threshold 電圧を設定するための DAC, Bunch-ID 回路があるが、DAC に関してはメーカを通じて開発を行なう際にはライブラリとして用意されていること、Bunch-ID 回路に関しては図 23 からわかるように、シグナル・ディレイ以外の回路は通常のロジック回路であるため、今回は見送ることにした。

3.2 プロセス

選択したプロセスは、ローム (株) の CMOS 0.6μm フルカスタムで、チップサイズ 4.5mm×4.5mm、利用可能な信号ピンは 87 である。開発に必要なトランジスタ・パラメータなどのプロセスに関するデータは、HSPICE パラメータとして提供された。フルカスタムであるので、設計規則 [12]さえ守れば、任意の大

[10] 正確には、verilog, VHDL などの RTL 言語で記述が行なえる論理回路。
[11] VDEC では、試作ラン参加者の設計データを集め、「相乗りチップ」として製作するため、1 チップ当たりの単価がおさえられ、安価に試作を行なえる。
[12] 製造プロセス上達成できる電気的特性とプロセス上許容される寸法についての一連の規則。

きさのトランジスタを利用することができるが、一例として、LVDS レシーバーなどで今回利用した nmos、pmos の $I_D - V_{DS}$ 特性を以下に示す。

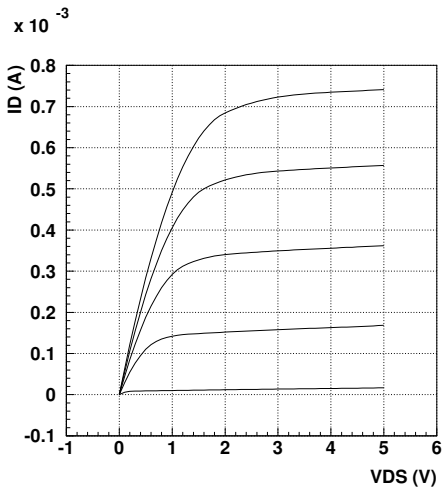


図 54: nmos (l= 0.6μm, w= 1.8μm)

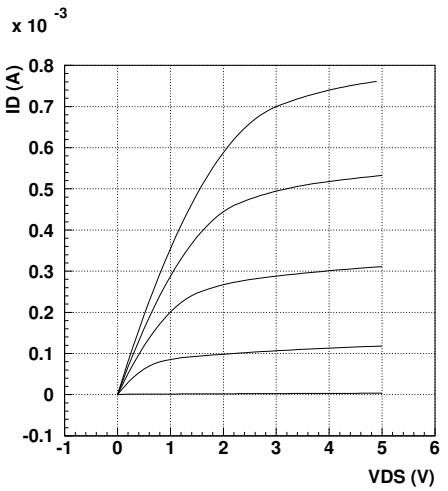


図 55: pmos (l=0.6μm, w=3.6μm)

3.3 設計

回路設計は、HSPICE パラメータを用いて回路シミュレーションを行ないながら進めていった。LVDS レシーバー、テストパルス・ジェネレーター、DLL それぞれの設計について順に述べていく。

3.3.1 LVDS レシーバー

LVDS (Low Voltage Differencial Signaling) は差動型のインターフェイス規格で、電圧レベルは図 56 に示した通りである。低電力を実現するために振幅電圧が 400 mV と小さいことが特徴だが、それによりノイズ・マージンが狭くならないよう、図のように上下 1V までのシフトを許している。これにより、出力側と入力側のグラウンド・レベルに違いがあったとしても、正確にシグナルが伝わるようになっている。この

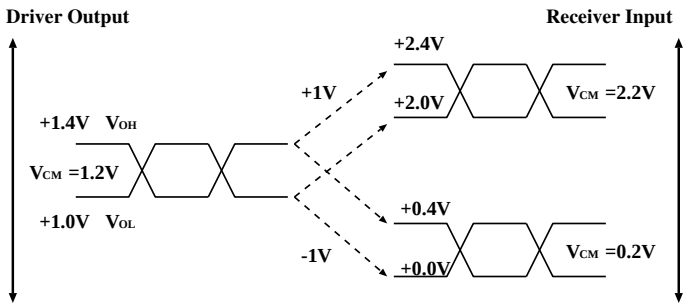


図 56: LVDS の電圧レベル

ように LVDS シグナルでは、電圧の絶対値にはあまり意味がなく、ただ入力電圧と反転入力電圧の差が論理を決定している。したがって、レシーバーとしては $0 \sim 2.4$V の範囲でコンパレータのように動作することが求められる。

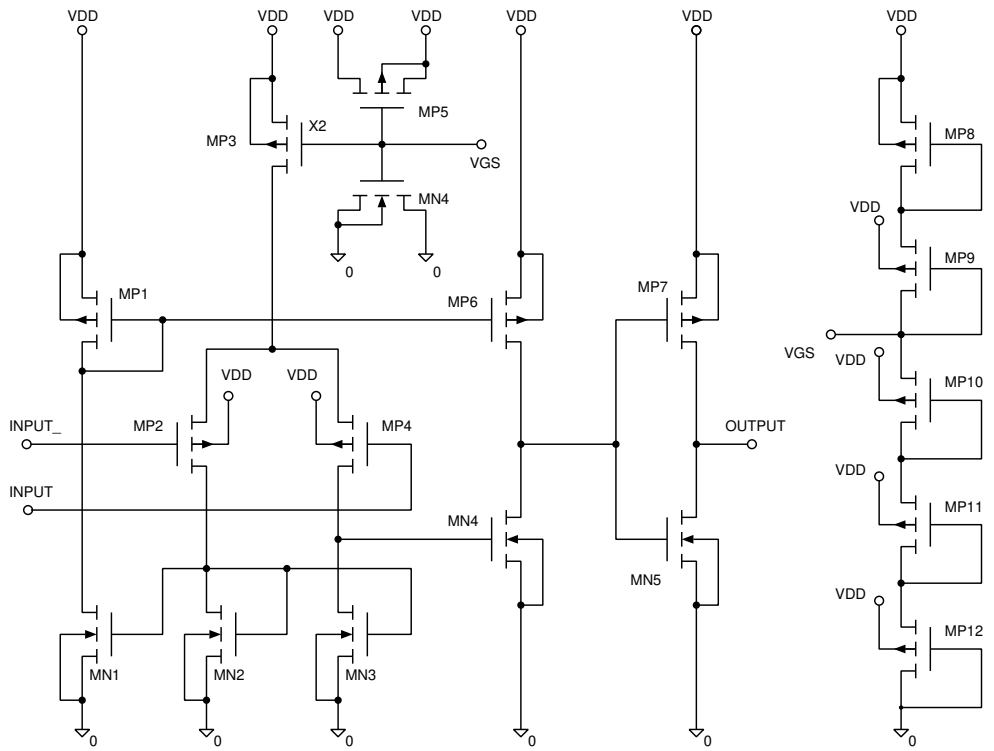


図 57: LVDS レシーバーの回路図。nmos: w= 1.8μm, pmos w= 3.0μm。

実際に設計した LVDS レシーバーの回路図は図 57 に示したもので、MP2-MP4, MN1-MN4 の 2 段の差動アンプになっているが、1 段目は主に同相位相を除く役割をしており、増幅は 2 段目で行なわれる。シグナルは、最終的に MP7-MN5 のインバータで波形を整形されたあとで出力される。

この回路の利得をシュミレーションで求めたものは、図 58 のようになる。図 58 は IN_ の電圧を固定し、IN を DC 的に掃引した時の OUTPUT を示したものである。LVDS の振幅電圧は 400 mV であるので、利得は十分であると言える。

LVDS レベルのシグナルを入力した場合の出力を、図 59 と図 60 に示した。実際の LVDS シグナルは矩形波であるがここでは正弦波を入力していること、振幅電圧も 100mV に減らしてしることなど動作条件を厳しくしているが、80Mbps のシグナルであっても十分な波形が得られるのがわかる。

3.3.2 テストパルス・ジェネレータ

実際に設計したテストパルス・ジェネレータの回路図は図 61 に示したものである。trigger に入力を与えることにより、テスト・パルスを出力するが、このとき VO の電圧を変化させることにより出力電圧のレベルを制御できるようになっている。これは、実験からの要請で ASD チップのテストパルス入力値を可変にしたいためであが、、VO に対する線形性は特に必要がないので、設計の際にも留意しなかった。図 62 は VO の電圧を変化させながら trigger を入力させたときの OUT のシュミレーション値を示したものである。また、このときの VO と出力電圧との関係は、図 63 のようになる。

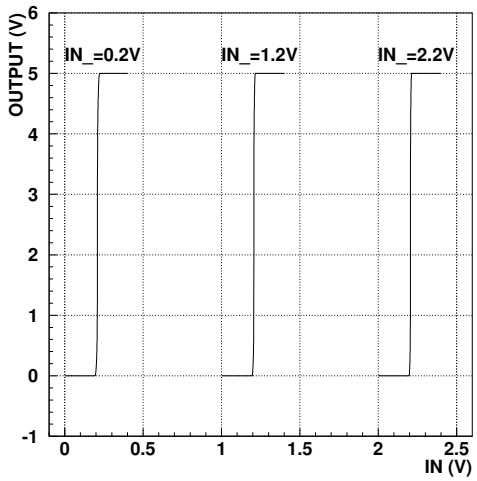


図 58: シュミレーションから求めた LVDS レシーバーの利得

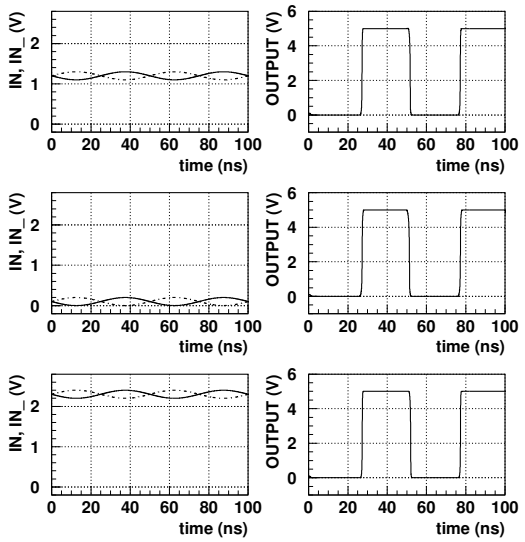


図 59: 40Mbps の LVDS シグナルに対する出力。左側に入力 (実線が IN, 破線が IN_) を、それに対する出力を右側に示す。振幅電圧は 200mV (シュミレーション)。

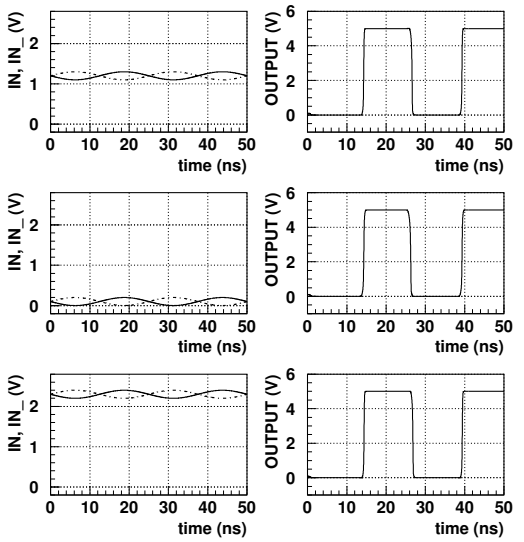


図 60: 80Mbps の LVDS シグナルに対する出力。左側に入力 (実線が IN, 破線が IN_) を、それに対する出力を右側に示す。振幅電圧は 200mV (シュミレーション)。

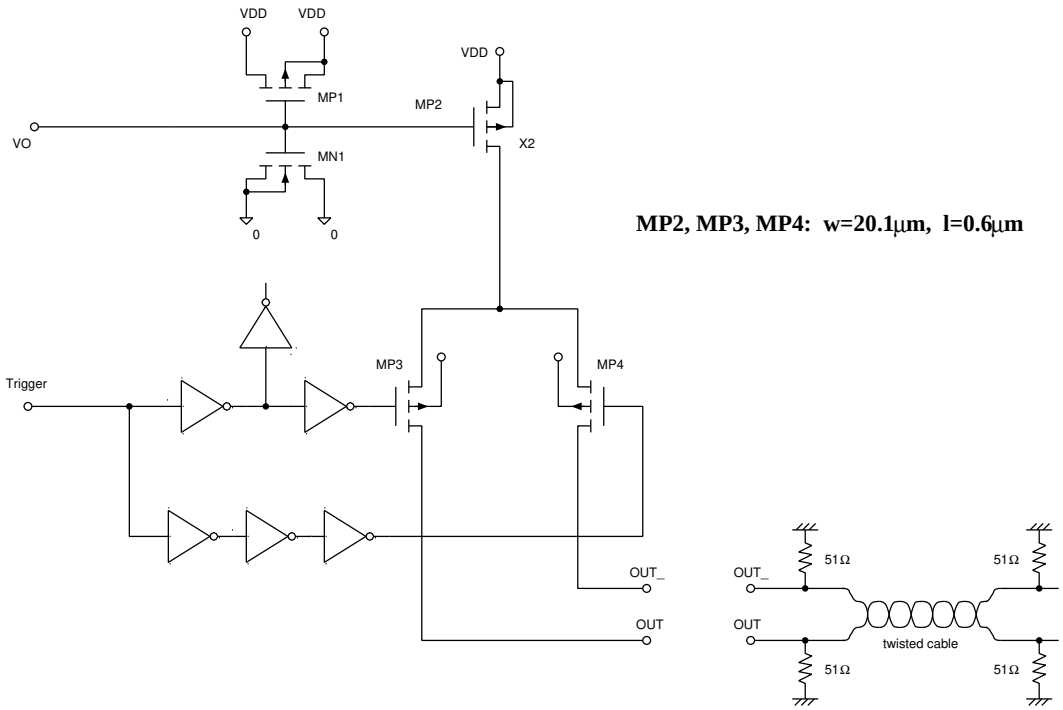


図 61: テストパルス・ジェネレータの回路図 (左) とチップ外部の回路 (右)。特に指定のないものは、nmos: w= 1.8μm, pmos w= 3.6μm。l= 0.6μm。

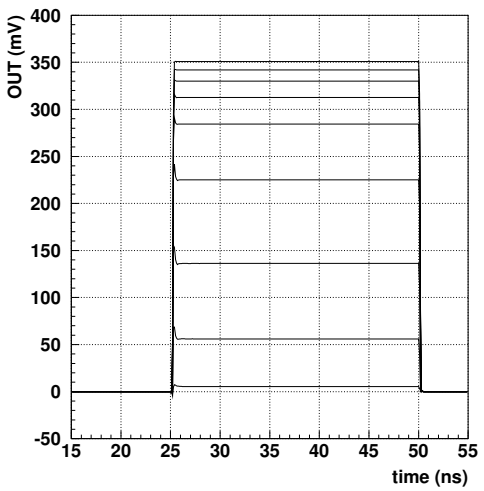


図 62: VO を変化させたときの OUT のシュミレーションによる波形。VO の値は上から、0V, 0.5V, 1V, 1.5V, 2V, 2.5V, 3V 3.5V, 4V。

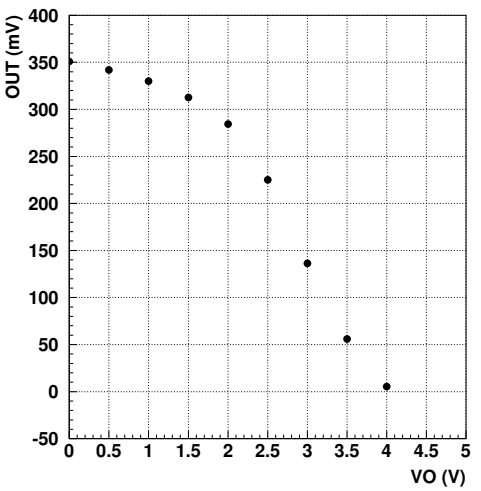


図 63: シュミレーションから求めた VO と出力電圧の関係。

3.3.3 DLL 回路

DLL 回路はサブ・ナノ単位のシグナル・ディレイを実現するための回路である。DLL 回路を理解するために、図 64 のブロック・ダイアグラムを参照してほしい。回路は 2 つの部分から成り立っていて、上部はクロックの位相を比べて制御電圧 (VCON) を調整する部分、下部はシグナルを遅延させる部分になっている。

上部に入力されたクロックは 2 又にわかれて、1 つは直接位相検出回路に入り、もう 1 つは 32 個のディレイ・セルからなるディレイ・ブロックを通って位相検出回路に入る。ディレイ・セルでの遅延時間は、制御電圧 (VCON) によって調節可能になっていて、位相検出回路では入力された 2 つの位相がそろうようにこの VCON を設定する。このとき、ディレイ・ブロックでは 1 クロック分だけ遅れることになり、結局、25 ns の遅延が得られることになる。

下部は、上部のディレイ・ブロックと同一のものになっていることに注意してほしい。VCON も共通のものが入力されるようになっているので、ここでも、ディレイ・ブロック全体で 25 ns の遅延が得られる。したがって、ディレイ・セル 1 つにつき、約 780 ps (25ns/32) 遅れることになるので、どのディレイ・セルの出力を取り出すかによって、780 ps ステップ毎の遅延調整が行なえることになる。

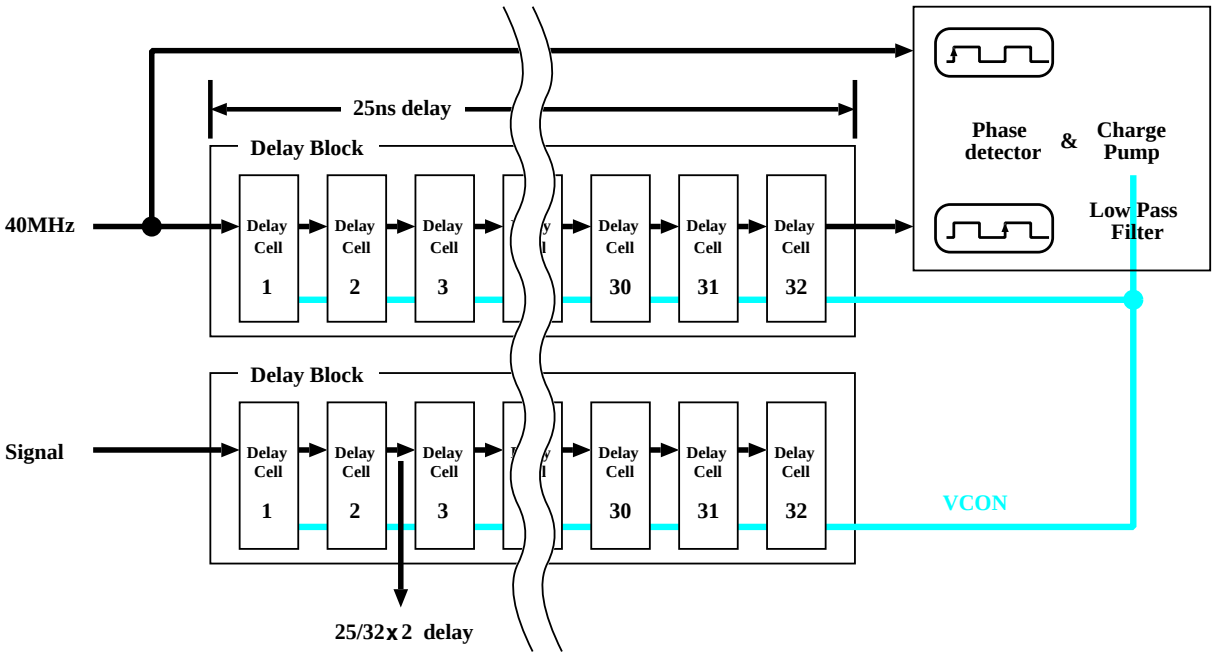


図 64: DLL 回路の概念図

実際に設計を行なった回路図は図 65, 69, 70, 75 に示したものである。以下では、それぞれについての説明とシュミレーションの結果を示していく。

ディレイ・セル　図 65 がディレイ・セルの回路図である。基本的には 2 つのインバータをつなげたバッファであるが、VCON によってシグナルの遅延を制御できるようになっている。図 66 はクロック (破線) を入力したときの出力波形をシュミレーションによって求めたもので、VCON の変化とともに出力時間も変化しているのがわかる。このときの、VCON と遅延時間の関係は図 67 に示したようになる。

ディレイ・ブロックでは、このディレイ・セルを 32 個ならべてシグナルを 25 ns 遅らせることを目的としている。したがって、複数段ならべたときの遅延時間を知る必要があるが、それは図 68 に示した通りで

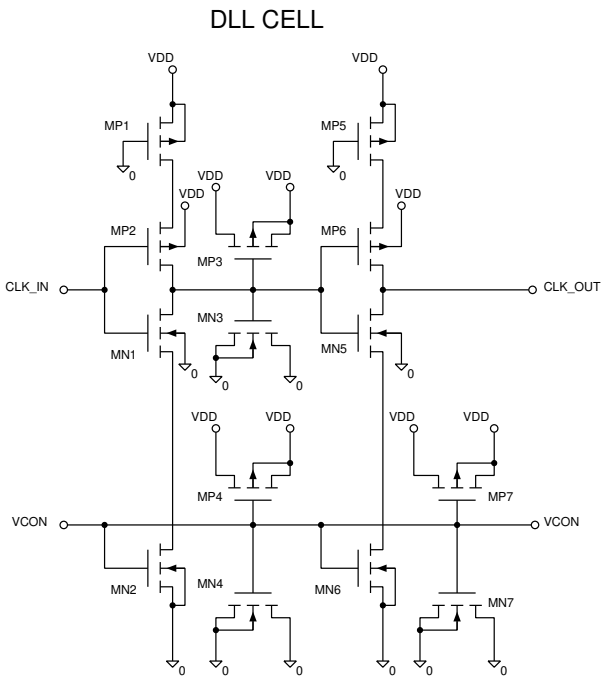


図 65: DLL の回路図 (ディレイ・セル)。nmos: w= 1.8μm, pmos w= 3.6μm。。l= 0.6μm。

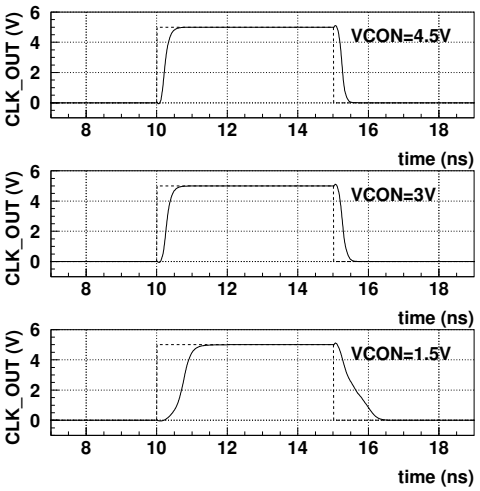


図 66: ディレイ・セルのシュミレーションによる出力波形。

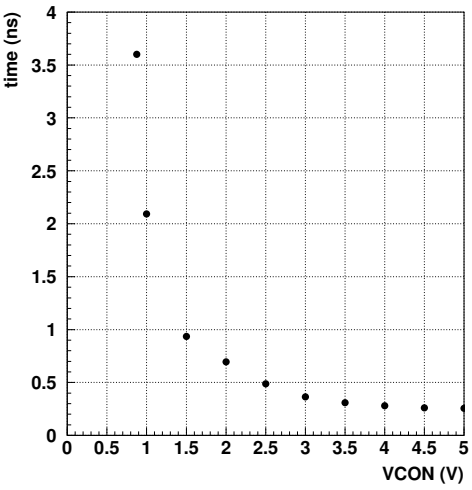


図 67: シュミレーションから求めたディレイ・セル 1 つあたりの遅延時間

ある。ここでは、ディレイ・ブロックにシグナルを入力してから、そのシグナルが 8, 16, 24, 32 段目のディレイ・セルを通過するまでに要する時間を VCON に対して示してある。図から、VCON は 約 1.6 V あたりに調整される必要があることがわかる。

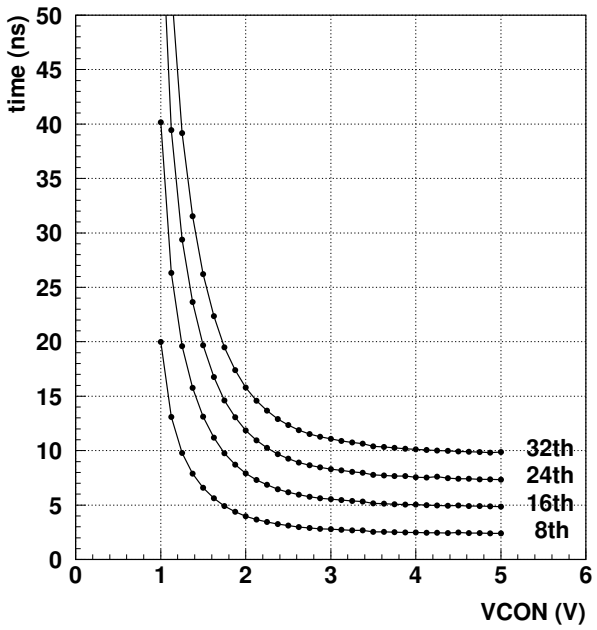


図 68: シュミレーションによって求めたディレイ・ブロックでの遅延時間

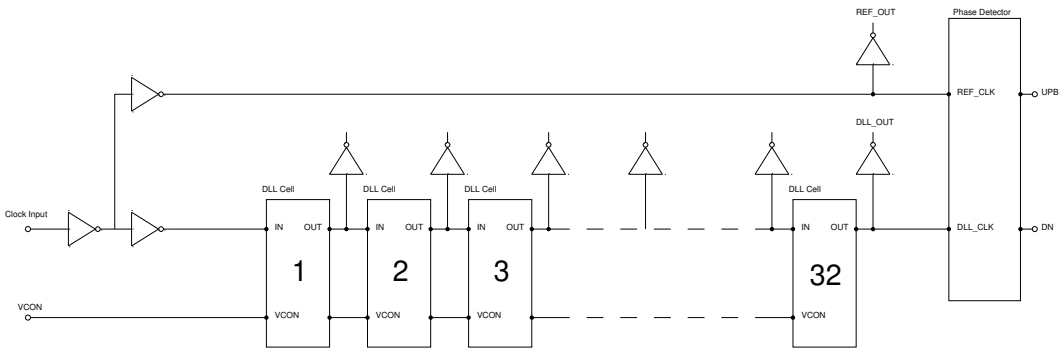


図 69: DLL の回路図 (クロック部)

電圧制御回路　電圧制御回路では、経路の異なる 2 つのクロックの入力をうけ、その位相があうように VCON を調節する。電圧制御回路は 2 つの部分から成り立っており、図 70 の左側が位相検出回路、右側がチャージ・ポンプになっている。

位相検出回路の動作について簡単に説明をすると、最初の状態すなわち 2 つの入力端子 REF_CLK、DLL_CLK ともに 1 (H) のときは、UPB は 1 (H), DN は 0(L) となる。この状態は両入力の位相が一致した場合である。次に REF_CLK のみが 1 から 0 に変化したときを考えると、UPB は 0、DN は 0 (現状維

持) の状態になる。これは、DLL_CLK が REF_CLK に対して遅れ位相になった場合である。この様子をタイミング・チャートにしたものが図 71 で、基準クロック REF_CLK に対し DLL_CLK が遅れ位相になると UPB が 0 になり、進み位相になると DN が 1 になることを示している。

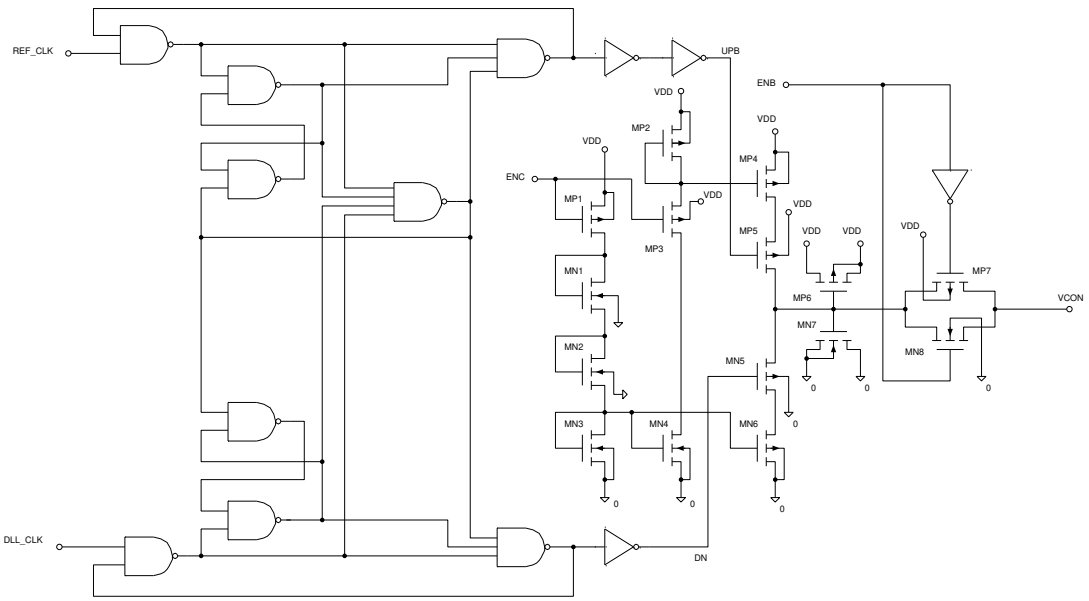
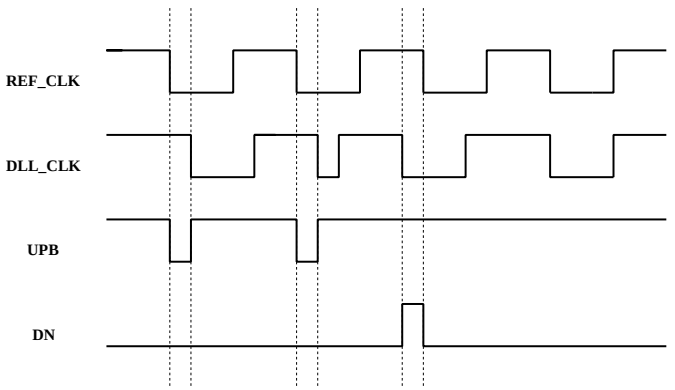


図 70: DLL の回路図 (電圧制御回路)。nmos: w= 1.8μm, pmos w= 3.6μm。l= 0.6μm。



状態	UPB	DN
同位相	H	L
遅れ位相	L	L
進み位相	H	H

図 71: 位相検出器の動作の概念図

次に、右側のチャージ・ポンプ部分であるが、この部分は MP6, MP7 の負荷容量と、MP7, MP8 の伝送ゲートから成り立っている。ENB は 伝送ゲートをオン状態にするために 1 (H) にしておく。UPB が 1, DN が 0、 つまり同位相のときは、 図 75 の MP5, MN5 ともオフ状態になるため VCON には変化がない。では、 DLL_CLK が遅れ位相になり UPB が 0 になったときはどうなるであろうか。このとき、MP5 がオンになるため MP5, MN5 間の電位があがり、それにつれて VCON の電位もあがる。VCON の増加がディレイ・セルの遅延時間を減少させることを思い出せば、これは DLL_CLK の位相を進ませる方向であることがわかる。つまり、位相検出回路とチャージ・ポンプの組合せで、DLL_CLK の位相の遅れを補うこ

とになる。また、このとき MP6, MP7 を充電しながら VCON に伝わること、さらに、MP7, MP8 の ON 抵抗とディレイ・セルの VCON についている負荷がロー・パス・フィルターの役割をしていることから、急激な VCON の変化を防いでいることにも注意してほしい。逆に、進み位相のときは MN5 がオン状態になり、負荷容量 MP6, MN7 の放電を行ないながら、VCON を下げる。これにより、DLL_CLK は位相を遅らせることになり、このときも REF_CLK と DLL_CLK の位相のずれを修正する方向にはたらく。したがって、入力の 40 MHz クロックが安定であるかぎり、VDD の変化、温度の変化などもこの様なフィード・バック回路によって補充され、安定なディレイ回路を実現できることになる。

以上述べてきたところまで (図 69, 75) を組み合わせて、シュミレーションを行なった結果を図 72, 73, 74 に示す。それぞれ、VCON の初期値を 0V, 3V, 5V にとった場合の REF_CLK (点線)、DLL_CLK、VCON であるが、図をみてわかるように、どの初期値に対しても、時間を追う毎に位相がそろうように遷移していることがわかる。また、VCON も予想通り 1.6V 付近に収束している。

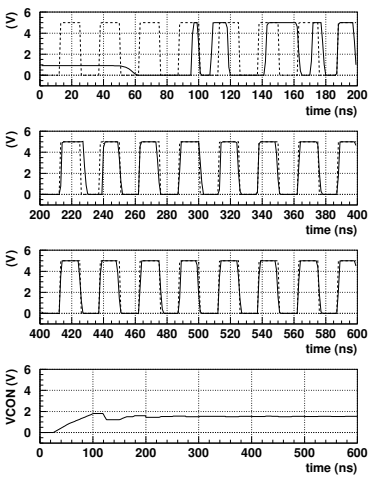


図 72:
VCON の初期値が 0V の場合。

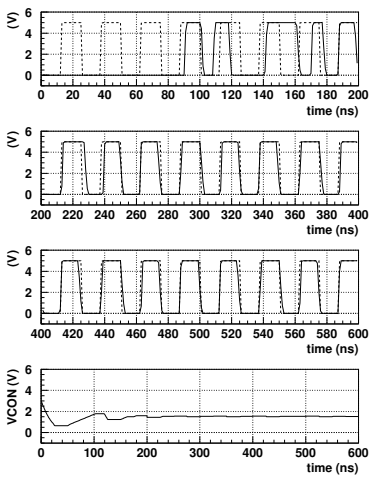


図 73:
VCON の初期値が 3V の場合。

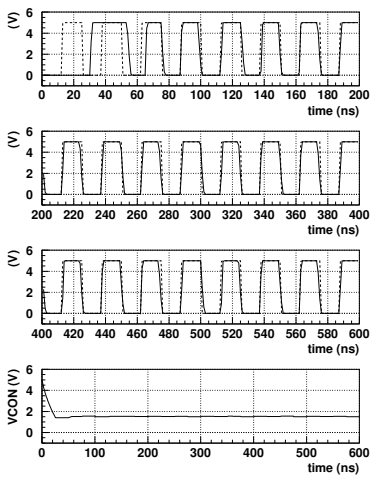


図 74:
VCON の初期値が 5V の場合。

シグナル・ディレイ部　これで、本来の目的であったサブ・ナノ単位のシグナル・ディレイを行なうことができる。この部分の回路図は図 70 に示したものである。ディレイ・ブロックは図 69 に共通で、各ディレイ・セルからの出力をセレクタで選んで取り出すことができるようになっている。基準クロックを用いて、VCON は調節してあるので、ディレイ・ブロック全体を通過するのに要する時間は 25ns であり、したがって、n 段目のディレイ・セルからの出力は 780ps $\times n$ 遅延していることになる。

図 76 にシミュレーションの結果を示した。初期値は図 72 と同じであるが、シグナル・ディレイ部を足したせいで、変化のしかたはゆるやかになっている。また、VCON の安定した頃 (500ns) を見計らってシグナルを入力したときの、8, 16, 24, 32 段目の出力を図 77 に示した。図からわかるように、予定した通りの遅延が得られている。

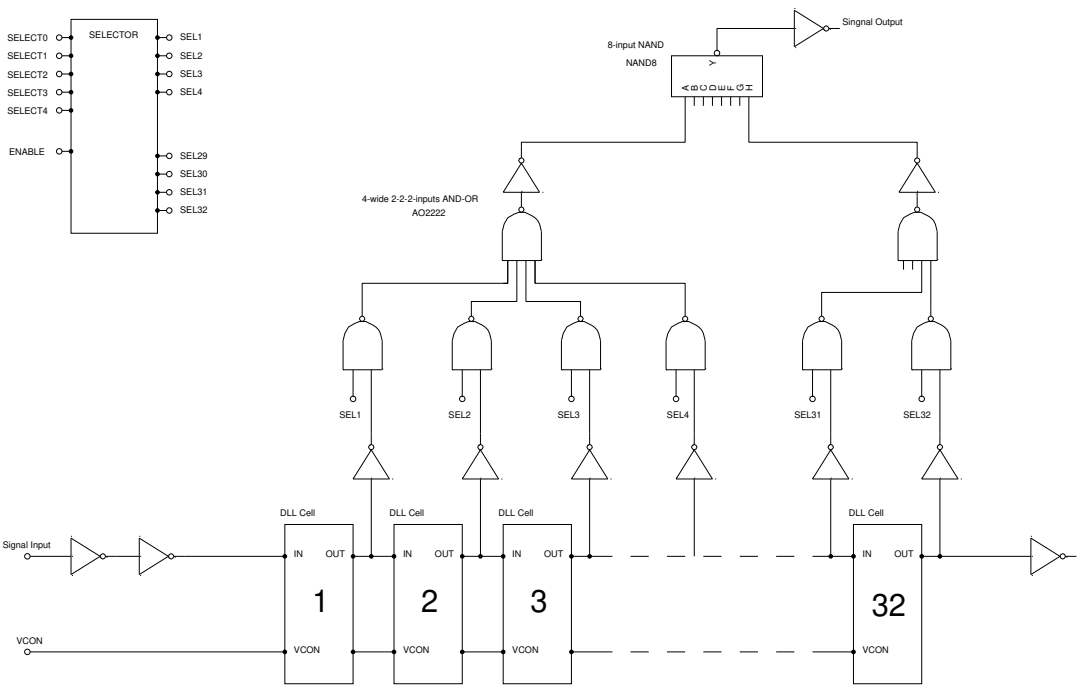


図 75: DLL の回路図 (シグナル遅延部)

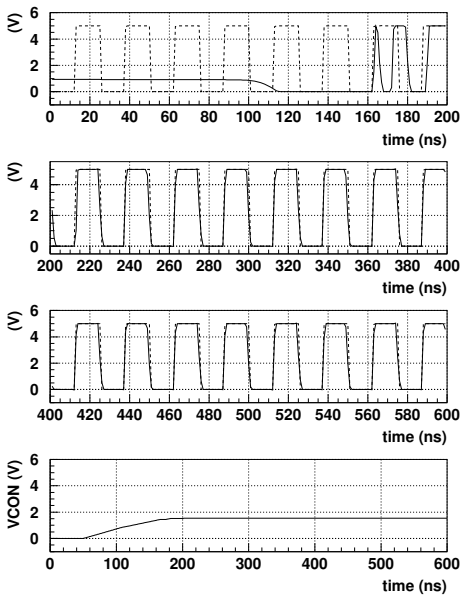


図 76: VCON の初期値 0V での REF_CLK と DLL_CLK の出力 (シュミレーション)。

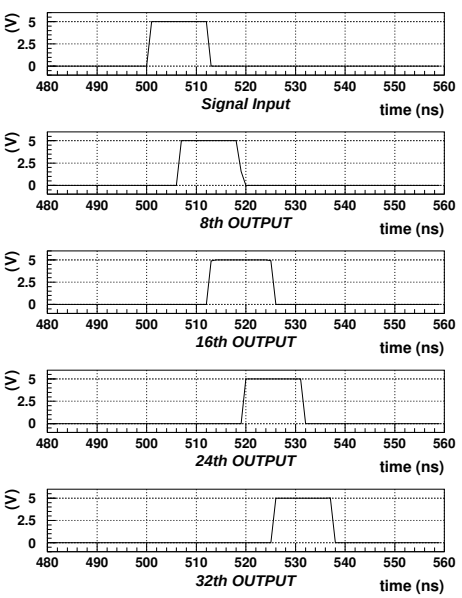


図 77: シグナルを入力したときの、8, 16, 24, 32 段目のディレイ・セルからの出力 (シュミレーション)。

3.4　レイアウト

設計した回路のうち、DLL 回路のセレクタと位相検出回路以外のものは、レイアウト・エディタを用いてレイアウトを行なった。

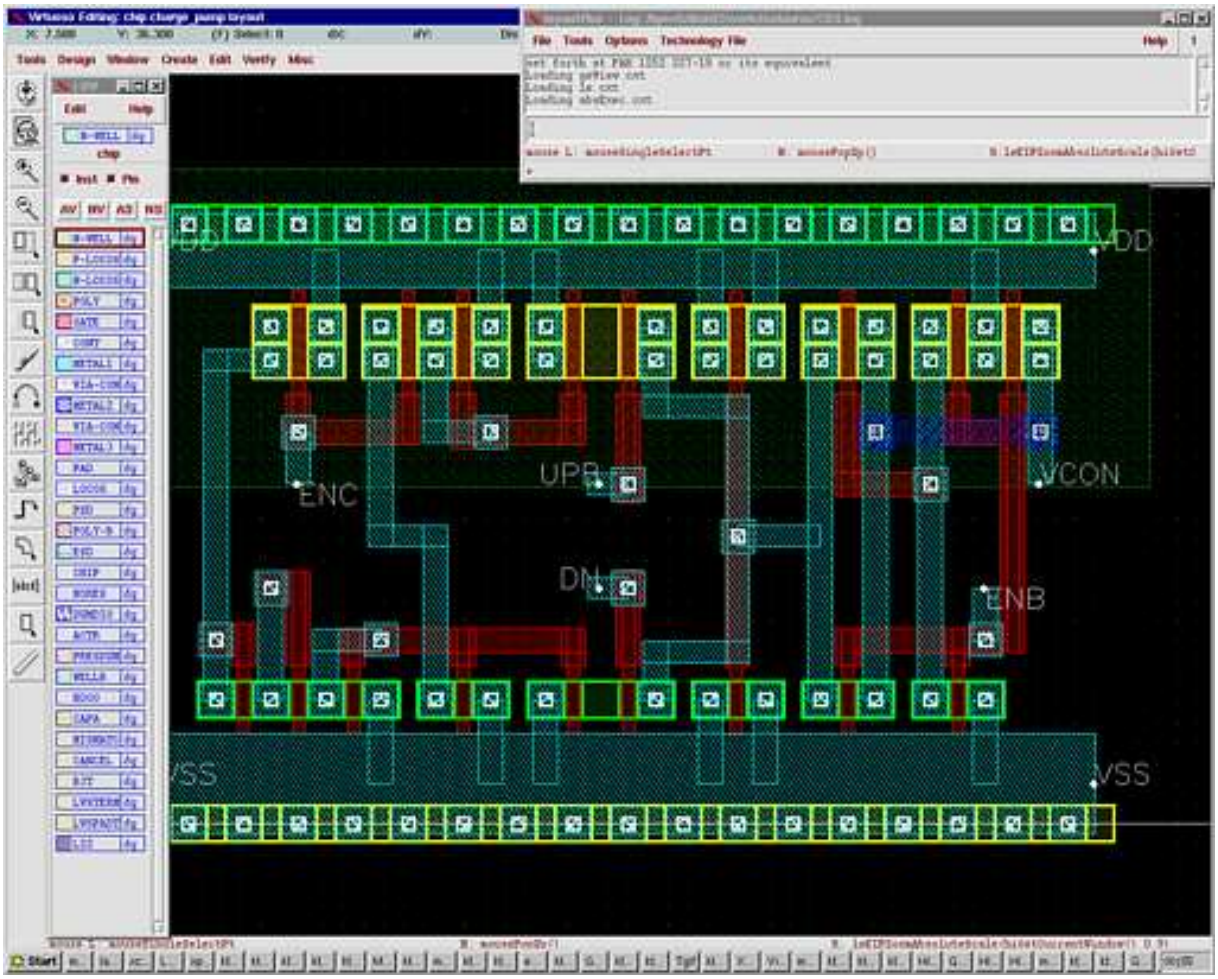


図 78: レイアウト・エディタの作業画面 (チャージ・ポンプ)

プロセスは p 型半導体基板がベースのため、pmos のトランジスタに関してはウェルと呼ばれる n 型半導体を設けて、このなかに実現することになる (図 79)。レイアウトで実際に行なったことは、ウェル、ゲート、拡散領域、メタル、コンタクトのそれぞれをどの位置に設けるかの指定である。例として、LVDS レシーバーのレイアウトを図 80 に示す。

このとき注意を要するのは、細部にわたって定められた設計規則である。プロセスが 0.6μm であるという意味は、ゲート幅を 0.6μm 以上にしなければいけないということであるが、それ以外にも拡散領域とメタルをつなぐコンタクトに制限があるなどで、フル・カスタムであっても実現できないトランジスタも存在する。なお、実はこれらをあらかじめ考慮して設計も行なう必要がある。また、あとでも述べるが、配置配線を自動化して行なうために、すべてのレイアウトをスタンダード・セルとして実現した。

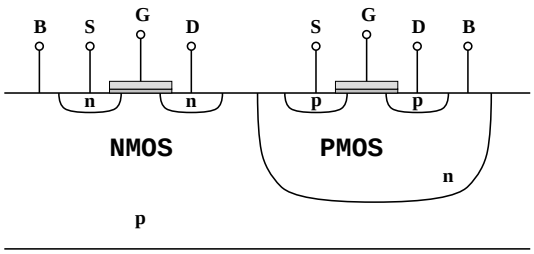


図 79: nmos と pmos の実現

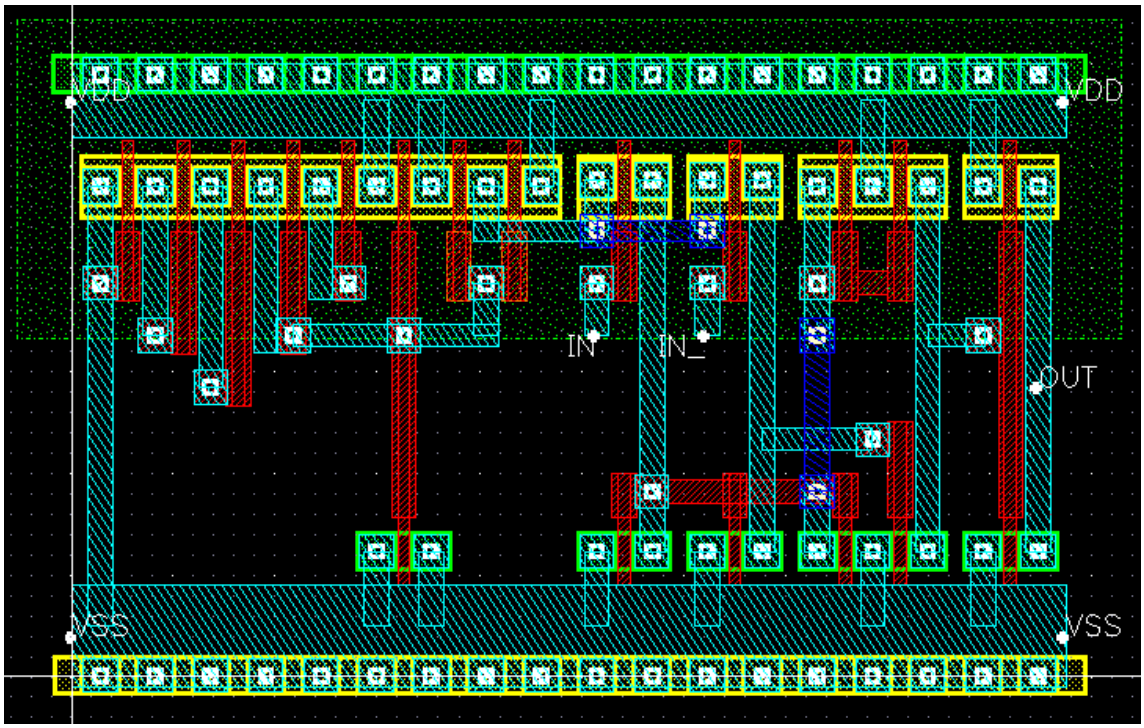


図 80: LVDS レシーバーのレイアウト

3.5 論理合成

DLL 回路のセレクタ(デコーダ)は、verilog で動作を記述し、論理合成ツールを用いてネット・リストを作成した。論理合成ツールとは、verilog などの RTL 言語でかかれた回路をあらかじめ用意された NAND, フリップ・フロップなどゲート・レベルの回路に変換するものである。

3.6 配置配線

配置配線は、レイアウトしたものをスタンダード・セルとして登録することにより、自動的に行なわせた。一般的に自動配置配線を行なうと、配置に無駄が生じることや配線が長くなることなど問題もあるが、今回はそれを考慮しても利点の方が多いと判断して自動配置配線を選択した。まず第一に、セルの数が多いということがある。プロセッサのように何万という規模ではないにしても、百を越えるセルを手動で配線することは時間的にも労力的にも現実的ではなかった。また、自動配置配線を行なえば、VDEC から提供された I/O バッドをそのまま利用できたことも選択の理由である。

なお、自動配置配線のためのネット・リストは、論理合成ツールで作成したセレクタのものも取り込んで、チップ全体のものを手動で作成した。

配置配線を行なった後、そのデータから HSPICE パラメータを抽出することができ、動作を確認することができる。それについては、次節の DLL の動作テストのところで述べる。設計データに設計規則違反がないことを確認した後、提出を行なった。

3.7 動作テスト

設計したチップは、160 ピンの QFP パッケージとして実装された。図 81 は製作した ASIC の顕微鏡写真である。本来、大規模なデジタル回路を目的としたものであるので、未使用の領域が多い。このチップのなかに、LVDS レシーバ、テストパルス・ジェネレータ、DLL 回路、そして、独立にテストが行なえるように、電圧制御回路、ディレイ・セルが入っている。

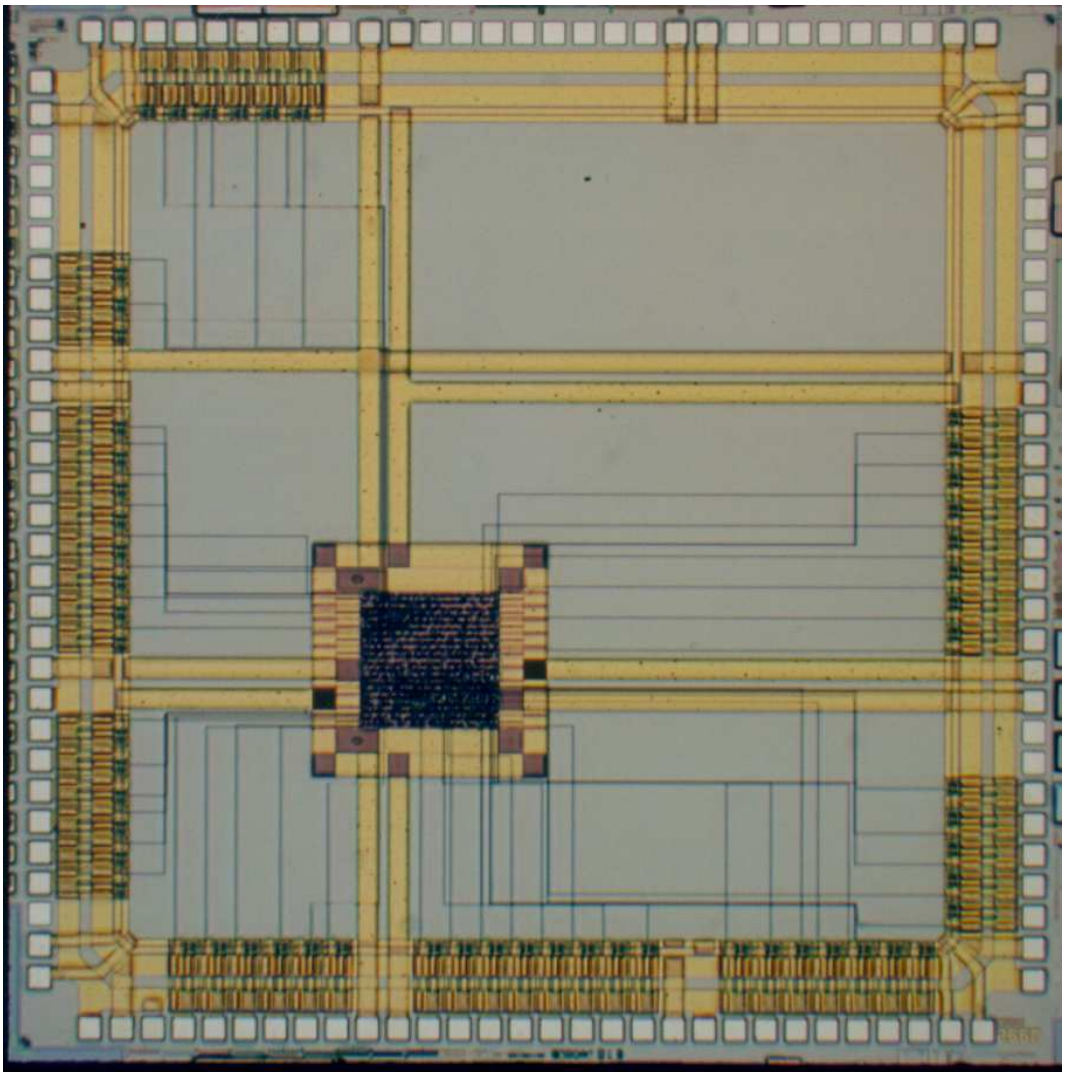


図 81: 製作した ASIC の顕微鏡写真

この ASIC を評価するために、シミュレーションの結果と比べながら動作テストを行なった。

3.7.1 LVDS レシーバー

シミュレーションによる図 59 と同様に、電圧の中心値を 0.1V, 1.2V, 2.3V と変化させながら出力を測定したものが、図 82 である。振幅は 200mV としてあるが、波形は矩形波である。40Mbps で十分な波形が得られているのがわかる。

またレシーバーとしては、入力の振幅電圧の違いによる出力時間のずれがないことが望ましい。ここでは、図 83 に示したように、IN_ を 1.2V に固定しながら、IN の入力電圧を変化させ、出力までの遅延時間を測定した (図 84)。LVDS では、入力電圧の差は 400mV であるから、それに対応する範囲 (1.4V 以上) での遅延時間の違いは問題ないことがわかる。

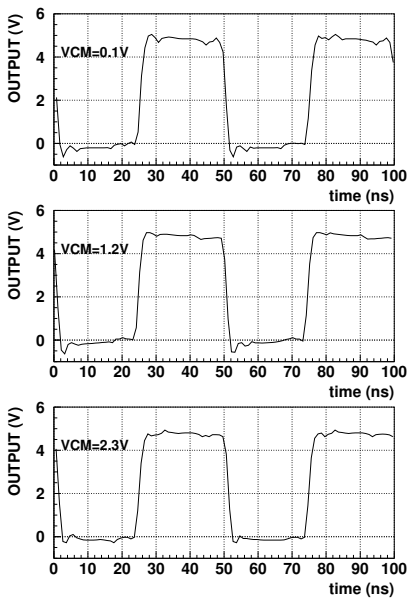


図 82: LVDS レシーバーの出力波形。振幅電圧は 200mV, 電圧中心値はそれぞれ上から, 0.1V, 1.2V, 2.3V。

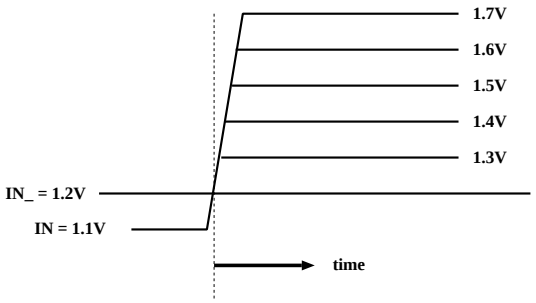


図 83: 図 84 を測定した際の変数の定義

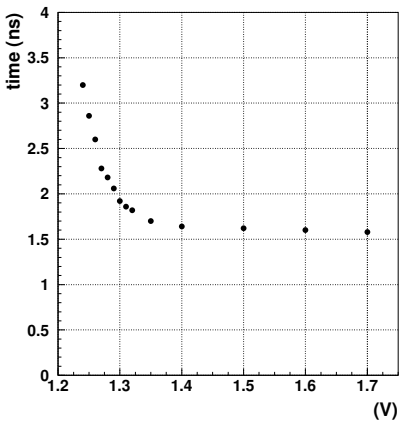


図 84: 入力電圧と遅延時間の関係

3.7.2 テストパルス・ジェネレーター

VO を 0V にしたときのテストパルス・ジェネレータの出力を図 85 に示す。また、図 86 には、VO と出力電圧の関係を図 63 で得られたシミュレーションの結果 (実線) とともに示した。図からわかるように、実際の出力の方が高い電圧を示してはいるが、傾向は酷似していることがわかる。前にも述べたように線形性は必要でないので、われわれの目的には十分なものとなっている。

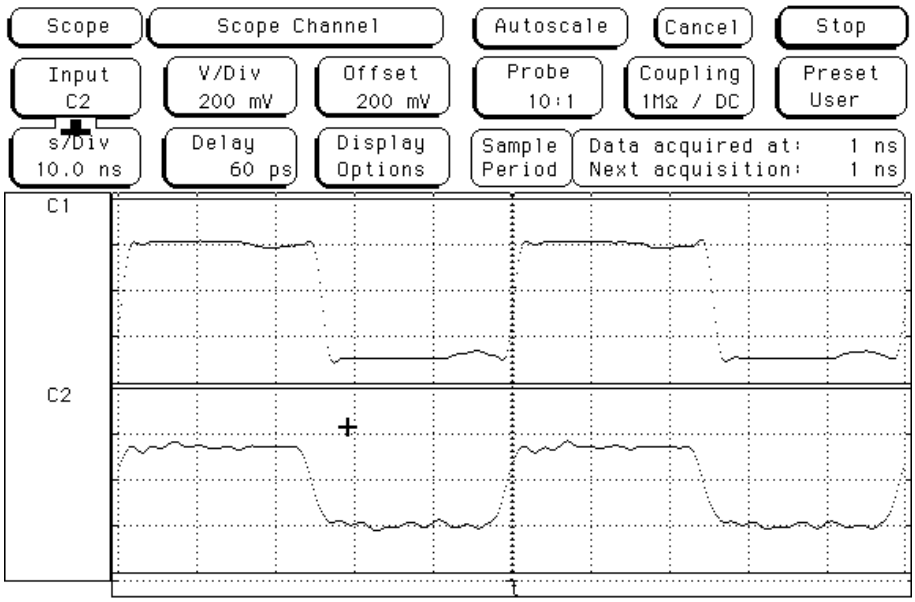


図 85: テストパルス・ジェネレータの出力波形 (下)。

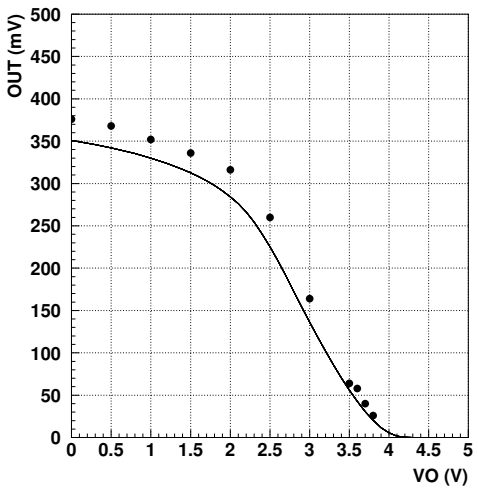


図 86: テストパルス・ジェネレータの性能評価

3.7.3 DLL 回路

図 87 は、シュミレーションによる図 68 と同様に、VCON を変化させたときの入力シグナルの遅延時間を、ディレイ・ブロックの 8, 16, 24, 32 段目に対して測定したものである。比べてみると明らかなように、シュミレーションの結果と違うことがわかる。

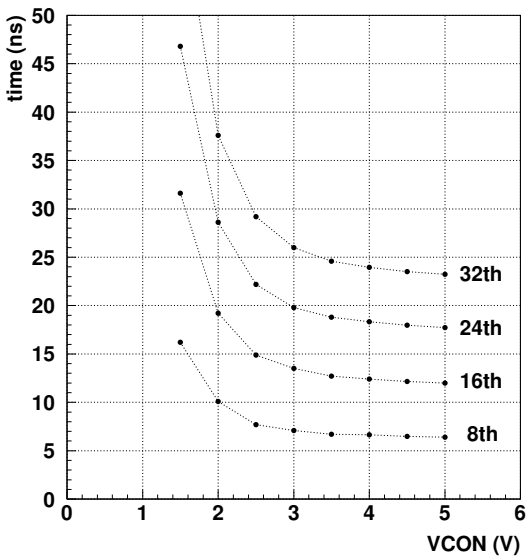


図 87: ディレイ・ブロックでの遅延時間

行なったシュミレーションが回路図レベルのものだけだったことが理由だと思われたが、レイアウト後のデータから拡散領域、拡散周囲長、配線間の容量などを抽出して行なったシュミレーション (図 88) でも、実際の結果を一致するものは得られなかった。これは、HSPICE パラメータが絶対なものではなく、LVDS レシーバー、テストパルス・ジェネレータなどの規模の小さいものに関しては有効な動作検証を行なえるが、DLL 回路のようにある程度素子数が多くなると信頼できる結果を与えないのだと考えられる。したがって、設計の段階からこれらの誤差を補えるような余裕をもったものにすべきだった。

今回の設計では、ディレイ・セルにつけた負荷などは、シュミレーションを繰り返しおこないながら決めたもので、逆にいうと、これらの値が変化してしまうと安定した動作が得られないことがわかっていた。実際、製作した IC は単体では動作しなかった。図 89, 90 はチップの外部から VCON に負荷を加えた場合の結果で、このようにある条件のもとでは動作させることができたが、チップ単体で動作しなかったことは、次回の課題である。

なお、図 89 は Signal Input にクロック[13](最上段) を入力したときの、8, 16, 24, 32 段目からの出力をみたもので、ディレイ回路としてはたらいていることがわかる。また、このときの REFOUT と DLLOUT は図 90 に示した。このように、REFOUT と DLLOUT の位相があえば、サブ・ナノ単位のディレイの調整を行なうことができる。

[13]動作テスト用の基板では入力は NIM レベルで与えるものにしたので、位相は反転している。

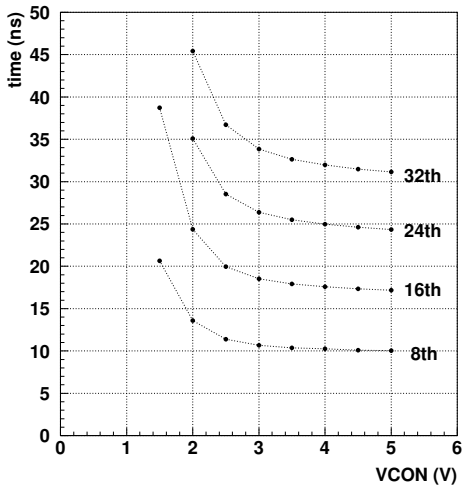


図 88: レイアウト後に抽出したパラメータを用いて求めたディレイ・ブロックでの遅延時間

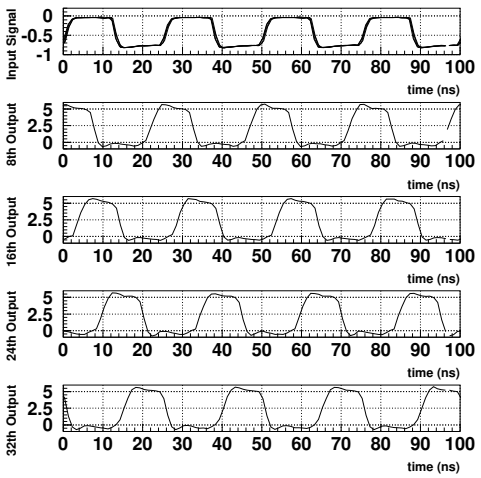


図 89: クロック (再上段) を入力したときの、8, 16, 24, 32 段目からの出力。

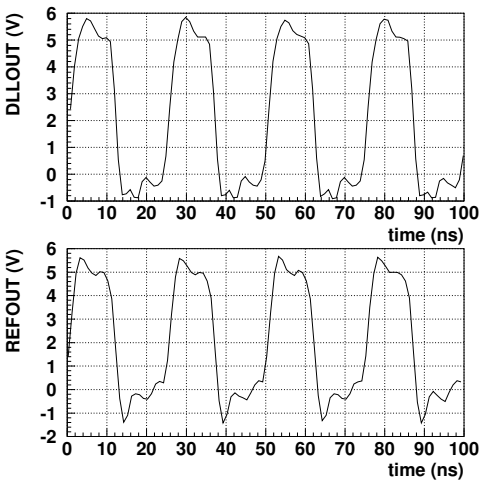


図 90: DLLOUT (上) と REFOUT (下) の出力波形。位相があっていることがわかる。

3.8 まとめ

LVDS レシーバーに関しては、十分な性能を示していると判断した。スタンダード・セルとして作成してあるので他のチップにも流用でき、実際、近く製作予定の MWPC の読みだしチップ[14] に組み込む予定である。

テストパルス・ジェネレータに関しても満足のいく結果であった。出力電圧のシュミレーションとの違いに関しては、HSPICE パラメータと実際のプロセスとの相違や単なる個体差など種々の原因が考えられるが、いずれにせよその誤差も 10% 以下にとどまっており、われわれの目的には十分である。

DLL 回路に関しては、シュミレーションの結果と実際の IC との違いが大きく、今回のフィード・バック回路ではこれらの差を補うことができなかった。今回は、レイアウトや開発手法の理解などに要する時間が多く、設計に関しては満足のできるものではなかったことが大きな理由である。シュミレーションが絶対ではないことから動作の検証は難しいが、ある程度のずれを補える安定したフィード・バック回路を設計することが必要であると考えている。

なお、今回行なったチップの試作は、東京大学大規模集積システム設計教育研究センターを通し、ローム (株) および凸版印刷 (株) の協力で行なわれたものである。

[14] マルチ・ワイヤー・チェンバーからのシグナルを得て、ある与えれたゲート内でのヒット情報を取り出すチップ。1 チップあたり 16 チャンネルの読み出しを予定している。

4　まとめと今後の予定

シグナルのタイミング調整　前後方部ミューオン・トリガー・システムが 40MHz クロックに同期して、正しくトリガー・ロジックを行なうために必要となるタイミング調整のスキームについて述べた。そして、各エレクトロニクスに多数の遅延調整回路 (ディレイ) を用意する必要があること、また、それらに必要となる調整精度に関して理解をした。スキームに関しては、その妥当性や他の方法についてなど、議論をしていく余地が残っていると思われるが、いずれにせよ、エレクトロニクスに多数のディレイを用意する必要があることに変わりはない。これらを考慮してボードおよびチップの開発を進めていく。

ASIC の製作　Patch Panel 用の ASIC の試作を行なった。LVDS レシーバー、テストパルス・ジェネレータに関しては十分な動作を示したが、DLL 回路については課題が残った。ただ、ASIC 開発の手法を学ぶという点では成果があり、次回は設計に集中できると考えている。

今後の予定　図 5 に示したものが、前後方部ミューオン・トリガー・システムのエレクトロニクスに関するスケジュールである。このスケジュールに沿って開発、量産を行ない、2005 年の実験開始に備える予定である。今回開発を行なった ASIC は、表の中で黒で示したもので “Patch-panel IC prototype-0” に相当するものである。次回の “Patch-panel IC prototype-1” に関しては、既に VDEC のテスト・ランへの申し込みを済ませており、3 月 10 日の締め切りに向け準備中で、特に、今回の結果を踏まえて DLL 回路を実現することが目標となる。さらに γ 線、中性子を照射して放射線耐性の試験も行なう。その後は量産に向け、メーカを通じての開発に移行していく予定である。

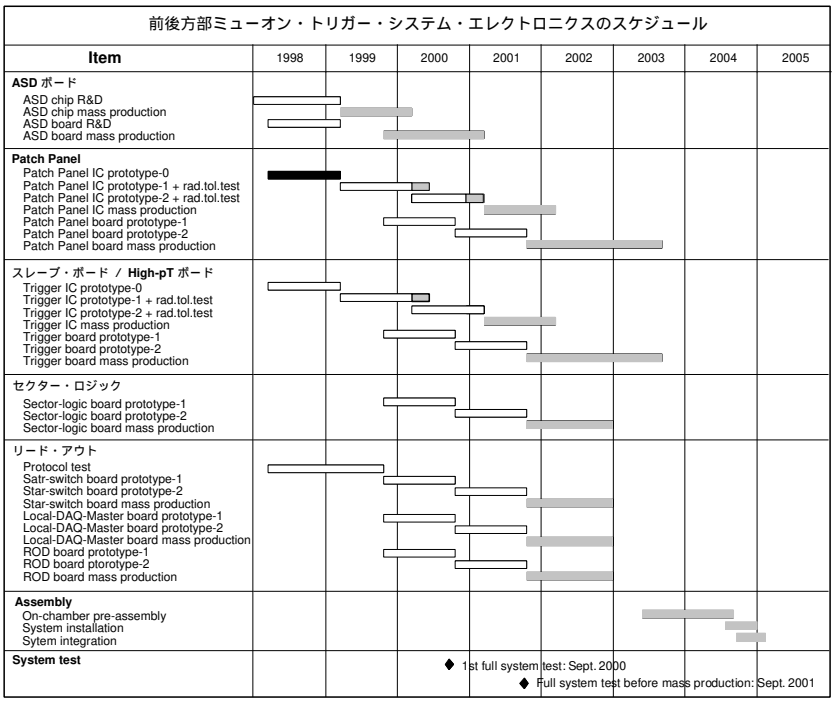


表 5: 前後方部ミューオン・トリガー・システム・エレクトロニクスのスケジュール

参考文献

[1] ATLAS Technical Proposal, CERN/LHCC/94-43

[2] Abdelhak Djouadi. 1997. hep-ph/9712334.

[3] M.Spira. 1997. hep-ph/9705337.

[4] ATLAS Muon Spectrometer Technical Design Report, Cern/LHCC/97-22

[5] Trigger & DAQ Interfaces with Front-End Systems: Requirement Document version 2.0

[6] ATLAS Trigger Performance Status Report, CERN/LHCC/98-15

[7] ATLAS First-Level Trigger Technical Design Report, CERN/LHCC/98-14

[8] 東京大学 陣内修 修士学位論文「ATLAS 実験ミューオン検出器用トリガーエレクトロニクスの開発」

[9] TTC Distribution for LHC Detectors, B.G.Taylor, for the RD12 Project Collaboration, IEEE Trans. Nuclear Science, Vol. 45, No. 3, June 1998, pp. 821-828

[10] TTCrx Reference Manual, J.Christiansen, A.Marchioro and P.Moreira, CERN-ECP/MIC, Geneva Switzerland

[11] 高木茂孝著 昭晃堂,「MOS アナログ電子回路」

[12] 富沢孝、松山泰男監訳 丸善 「CMOS VLSI 設計の原理」

[13] John Keown 著 町好雄監訳 東京電機大学出版局「SPICE による電子回路設計」

表 目 次

1 LHC の主なパラメータ 4
2 LVL1 トリガー・メニューの一例 16
3 Patch Panel に入力するクロック、シグナルに関係する遅延要素 39
4 スレーブ・ボードに入力されるクロック、シグナルに関係する遅延要素 42
5 前後方部ミューオン・トリガー・システム・エレクトロニクスのスケジュール 67

図 目 次

1 LHC の全体図 5
2 標準 Higgs 粒子の生成断面積 6
3 標準 Higgs 粒子の全崩壊幅と崩壊分岐比 7
4 $t \to jjb$ 崩壊モード 8
5 multilepton モード 8
6 内部検出器 10
7 カロリメータ 10
8 ミューオン検出器 10
9 ATLAS 検出器 11

10 ATLAS 検出器の r-z 断面図 . . . 13
11 ATLAS 検出器の x-y 断面図 . . . 13
12 ATLAS におけるトリガー・スキーム . . . 14
13 LVL1 トリガー・システムのブロック・ダイアグラム . . . 15
14 ミューオン・トリガー・システム . . . 17
15 TGC の r-z 断面図。 . . . 19
16 直進粒子の軌道 (点線) とワイヤー・グループ . . . 20
17 $\delta R, \delta\phi$ の定義 . . . 20
18 コインシデンス・マトリックス . . . 21
19 前後方部ミューオン・トリガー・システムの全体図 . . . 22
20 TGC の構造 . . . 23
21 到着時間の分布 . . . 23
22 Patch Panel の機能 . . . 23
23 Bunch-ID 回路 . . . 24
24 Bunch-ID 回路のタイミングチャート . . . 24
25 OR ロジック . . . 24
26 ワイヤー doublet 用スレーブ・ボード . . . 25
27 3-out-of-4 マトリックス・コインシデンス。ワイヤー . . . 26
28 3-out-of-4 マトリックス・コインシデンスの詳細 . . . 26
29 ワイヤー triplet 用スレーブ・ボードのブロック・ダイアグラム . . . 27
30 ワイヤー triplet 用スレーブ・ボードの機能図 . . . 27
31 ストリップ triplet 用スレーブ・ボードのブロック・ダイアグラム . . . 28
32 ストリップ triplet 用スレーブ・ボードの機能図 . . . 28
33 high-p_{T} ボードのブロック・ダイアグラム . . . 29
34 high-p_{T} ボードのコインシデンス・マトリックス . . . 30
35 high-p_{T} ボードのコインシデンス・マトリックスの詳細 . . . 30
36 セクター・ロジックのブロック・ダイアグラム . . . 31
37 r-ϕ コインシデンス . . . 32
38 ATLAS 実験ホールの全体図 . . . 33
39 前後方部トリガー・エレクトロニクスの配置 . . . 34
40 前後方部ミューオン・トリガー・システムの全体図 . . . 36
41 タイミング・チャート (正しくバンチ化されない場合) . . . 37
42 タイミング・チャート (ディレイを用いてタイミングを調整した場合) . . . 37
43 OFFSET の定義 . . . 37
44 LHC のバンチ構造 . . . 37
45 読みだし回路のブロックダイアグラム . . . 38
46 BCID に対するヒット数の総和の分布 . . . 38
47 Patch Panel のブロック・ダイアグラムとタイムミング・チャート . . . 40
48 ディレイ設定後の ASD からのシグナルとクロックとの関係の概念図 . . . 41
49 Patch Panel とスレーブ・ボードのブロックダイアグラム . . . 42
50 スレーブ・ボード上のタイミング・チャート . . . 43
51 半クロック遅延調節回路の概念図 . . . 43
52 クロックのすぐ直前にくるシグナルのタイムミング・チャート . . . 44
53 クロックのすぐ直後にくるシグナルのタイムミング・チャート . . . 44

54 nmos (l= 0.6μm, w= 1.8μm) . . . 48
55 pmos (l=0.6μm, w=3.6μm) . . . 48
56 LVDS の電圧レベル . . . 48
57 LVDS レシーバーの回路図 . . . 49
58 シュミレーションから求めた LVDS レシーバーの利得 . . . 50
59 40Mbps の LVDS シグナルに対する出力 (シュミレーション)。 . . . 50
60 80Mbps の LVDS シグナルに対する出力 (シュミレーション)。 . . . 50
61 テストパルス・ジェネレータの回路図 (左) とチップ外部の回路 (右) . . . 51
62 テストパルス・ジェネレータのシュミレーションによる波形。 . . . 51
63 テストパルス・ジェネレータの VO と出力電圧の関係 (シュミレーション)。 . . . 51
64 DLL 回路の概念図 . . . 52
65 DLL の回路図 (ディレイ・セル) . . . 53
66 ディレイ・セルのシュミレーションによる出力波形。 . . . 53
67 シュミレーションから求めたディレイ・セル 1 つあたりの遅延時間 . . . 53
68 シュミレーションによって求めたディレイ・ブロックでの遅延時間 . . . 54
69 DLL の回路図 (クロック部) . . . 54
70 DLL の回路図 (電圧制御回路) . . . 55
71 位相検出器の動作の概念図 . . . 55
72 VCON の初期値が 0V の場合。 . . . 56
73 VCON の初期値が 3V の場合。 . . . 56
74 VCON の初期値が 5V の場合。 . . . 56
75 DLL の回路図 (シグナル遅延部) . . . 57
76 VCON の初期値 0V での REF_CLK と DLL_CLK の出力 (シュミレーション)。 . . . 57
77 シグナル・ディレイからの出力 (シュミレーション)。 . . . 57
78 レイアウト・エディタの作業画面 (チャージ・ポンプ) . . . 58
79 nmos と pmos の実現 . . . 59
80 LVDS レシーバーのレイアウト . . . 59
81 製作した ASIC の顕微鏡写真 . . . 61
82 LVDS レシーバーの出力波形 . . . 62
83 図 84 を測定した際の変数の定義 . . . 62
84 入力電圧と遅延時間の関係 . . . 62
85 テストパルス・ジェネレータの出力波形 (下)。 . . . 63
86 テストパルス・ジェネレータの性能評価 . . . 63
87 ディレイ・ブロックでの遅延時間 . . . 64
88 レイアウト後に抽出したパラメータを用いて求めたディレイ・ブロックでの遅延時間 . . . 65
89 クロック (再上段) を入力したときの、8, 16, 24, 32 段目からの出力。 . . . 65
90 DLLOUT (上) と REFOUT (下) の出力波形。 . . . 65

謝辞

本研究を最初から最後まで御指導して下さいました佐々木修氏に心から感謝します。また、回路および基板設計に関して様々なアドバイスをしていただいた池野正弘氏、ASIC の設計に関して貴重な情報を提供していただいた新井康夫氏、ASIC のテスト用基板をレイアウトしてくださった林栄精器の大川久氏に感謝します。さらに、近藤敬比古氏、岩崎博行氏、田中秀治氏、山内一夫氏をはじめとする ATLAS 日本グループの方々には本当にお世話になりました心からお礼申しあげます。また、研究生活を通して様々な支援をしてくださった本間謙輔氏、陣内修氏、吉田光宏氏、深津吉聡氏、津野総司氏、佐藤構二氏、戸谷大介氏、仁木太一氏、そして、神戸大学、都立大学、信州大学、東京農工大学、素粒子物理国際研究センターの方々にこころから感謝します。

最後に、この研究を行なう機会を与えてくださり、また御指導をしていただいた素粒子物理国際研究センター所属、指導教官小林富雄教授に深く感謝します。