修士学位論文

ATLAS 実験 ミューオン検出器用
トリガーエレクトロニクスの開発

東京大学大学院 理学系研究科
物理学専攻

56094
陣内 修

1997 年 1 月

概要

欧州原子核研究機構CERN において，世界最大の重心系衝突エネルギーを持つ大型陽子陽子衝突型加速器 LHC が，ヒッグス粒子や超対称性粒子などの探索、そしてトップ・クォーク物理、CP 非保存の精密測定などの素粒子物理研究を行なうことを目的に計画・建設されている。LHC の測定器の 1 つである ATLAS では、それら様々な物理事象の測定をカロリーメータ、内部飛跡検出器、そしてミューオン検出器を組み合わせることにより、バランス良く行なおうとしている。一方，既存の実験では経験したことのない膨大なバックグラウンドが予想されているため，実験を成功させるためには，必要なデータを効率よく収集するためのトリガー・システムの役割が重要になってくる。そこで、ここでは ATLAS のトリガー・データ収集システム全体の設計について述べ、いかにして物理的に重要なイベントを選別するかを論じた。特に、ミューオン・トリガーの判定をするコインシデンス・ロジックの設計について詳しく探求し、シミュレーションによって設計の妥当性を評価した。また、今回トリガー専用ミューオン検出器用のトリガー・ロジック・モジュールを設計・製作をし、その動作試験を行なった。

目次

1 序論 **4**

1.1 LHC 計画 4

1.2 ATLAS 実験 4

1.2.1 ATLAS 実験で期待される素粒子物理 4

1.2.2 ATLAS 測定器 8

1.3 ミューオン・スペクトロメータ・システム 11

2 ATLAS 実験におけるトリガー /DAQ **13**

2.1 ATLAS 全体のトリガー・スキーム 13

2.2 LVL1 トリガー・システム 14

2.2.1 CTP(Central Trigger logic Processor) について 15

2.2.2 TTC(Timing,trigger and control distirbution) 17

2.3 ミューオン・トリガー・システム 17

2.3.1 LVL1 ミューオン・トリガーが関わる物理 17

2.3.2 ミューオン・トリガー・プロセッサ 18

3 同期・非同期によるトリガー・ロジック設計の比較 **25**

3.1 同期式設計と非同期式設計とは 25

3.2 シミュレーション 27

3.2.1 タイム・ジッター分布 27

3.2.2 ワイヤの伝搬時間 30

3.3 トリガー効率とミス Bunch ID 30

3.4 ビーム・ハロー効果 34

3.4.1 ビーム・ハロー効果について 34

3.4.2 ビーム・ハローを本物の粒子と間違える確率 36

3.4.3 ビーム・ハローに関するコメント 36

3.5 位相変化依存性 36

3.5.1 位相変化とは 36

3.5.2 トリガー効率の位相変化依存性 37

3.5.3 位相変化に対するコメント 37

3.6 設計様式比較シミュレーション全般に対するコメント 40

4 同期式設計における偶発トリガー発生率の評価 **41**

4.1 シミュレーションでの仮定 41

4.1.1 幾何学的仮定 41

4.1.2 相関バックグラウンドと非相関バックグラウンド 43

4.2 解析的手法による計算 43

4.2.1 相関バックグラウンドの場合 43

4.2.2 非相関バックグラウンドの場合 44

4.3 結果 46

4.3.1 相関バックグラウンドの場合 46

4.3.2 非相関バックグラウンドの場合 46

4.3.3 High-Pt トリガー発生率 47

4.3.4 偶発トリガー発生に対する評価 47

5 トリガーロジックボードの設計 **49**
5.1 概念図からハードウェアまでの話しの流れ 49
5.1.1 ATLAS detector のレイアウト 49
5.1.2 **TGC** のレイアウトと配線 50
5.1.3 Inner Section と Outer Section 51
5.1.4 トリガーロジックの概念 52
5.1.5 Coincidence Matrix のサイズ 53
5.2 **Xilinx** 社製 **FPGA** 55
5.2.1 **FPGA** のデザイン 56
5.2.2 Low-Pt トリガー用 Xilinx FPGA のデザイン 60
5.2.3 High-Pt トリガー用 Xilinx FPGA のデザイン 60
5.3 9U VME モジュール 60
5.3.1 設計の概要 60
5.3.2 トリガーロジックボードの設計仕様 61
5.3.3 トリガーロジックボードの外観 63
5.4 Xilinx FPGA への書き込み 63
5.4.1 Xilinx FPGA の機能ピン 63
5.4.2 書き込みのシーケンス 65

6 トリガーロジックボードの試験 **69**
6.1 タイミングのテスト 69
6.1.1 セットアップ 69
6.1.2 テストの流れ 70
6.1.3 タイミング・チャート 71
6.1.4 BUNCH ID 72
6.1.5 タイミング・テストの結果 72
6.2 ボード全体の CLB のテスト 72
6.2.1 セットアップ 72
6.2.2 テストの流れと結果 72
6.3 テスト全般のまとめ 76

7 まとめと今度の課題 **77**

Appendix A Bunch ID ボードの設計 **79**
A.1 Bunch ID 回路と遅延調節回路の概念 79
A.2 Bunch ID 回路と遅延調節回路の設計 81
A.3 ボード製作の現状 83

Appendix B 最新のトリガーロジック **84**
B.1 2 重層 (doublet) でのトリガーロジック 84
B.2 3 重層 (triplet) でのトリガーロジック 84
B.3 1 スレーブ・ボードでのトリガーロジック 86

1 序論

1.1 LHC 計画

素粒子の種類毎に異なる質量の起源とは一体何なのか？

現代物理学が現在到達しようとしてるこの最も根源的な疑問の解明には、新しくそして直接的な実験が必要とされている。LHC 計画の最も重要な目的は、この標準理論における電弱相互作用での自発的対称性の破れの起源を追求することにある。LHC とは大型陽子陽子衝突型加速器（Large Hadron Collider）の略で、スイス、ジュネーブにある欧州原子核研究機構 CERN(Conseil Européen pour la Recherche Nucléaire) において、TeV エネルギー領域での素粒子物理研究を目指し 2005 年の完成を予定して建設が進められている。LHC では自発的対称性の破れを引き起こすために導入されたヒッグス粒子の探索が、LEP–II[1] での探索上限である約 90GeV から約 1TeV までの全ての領域をカバーすることが出来るほか、超対称性粒子、現在知られていない全く新しい相互作用などの発見も期待される。さらに LHC では既存の加速器と比較して、桁違いに多くのトップ・クォークやボトム・クォークの生成が行なわれるので、トップ・クォークの質量の精密測定や、B メソン崩壊による CP 非保存などが測定出来ることが分かっている。

LHC 加速器の概要 LHC 加速器の主なパラメータとしては、

- 重心系衝突エネルギーは 14TeV の陽子・陽子衝突型加速器である。
- ビーム・ルミノシティー（輝度）は低ルミノシティー運転時では $10^{33}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ であるが、高ルミノシティー運転時においては $10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ である。
- ルミノシティーをかせぐためにビーム・クッロシング・レートは 40MHz である。

のように計画されている。加速器は現在 LEP が使っている周長 27km のトンネル内部に設置される。加速器は 8 対称で、8 アーク部および実験に使う 4 衝突点と、入射やビームダンプのための 4 交差点からなる。その衝突点の一ヶ所に日本の実験グループが参加する ATLAS 測定器が設置され、そのちょうど向かい側の衝突点にもう 1 つの実験装置である CMS 測定器が来る。さらに別の 2ヶ所でそれぞれ重イオンと B 崩壊の実験が行なわれる。残りの 4ヶ所はビームは交差するが衝突はない。上にも書いたが、現在2 つの陽子陽子衝突実験である ATLAS と CMS、重イオン衝突実験 ALICE、B クォーク物理に主眼をおいた LHCB などの実験が提唱・計画されておりいずれも国際共同研究で進められている。
LHC の最大ルミノシティー（ $10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$）においては、これまでの高エネルギー実験が経験したことのない、膨大なバックグラウンドに直面することになる。LHC 実験の成否は各測定器の性能にかかっているということになる。

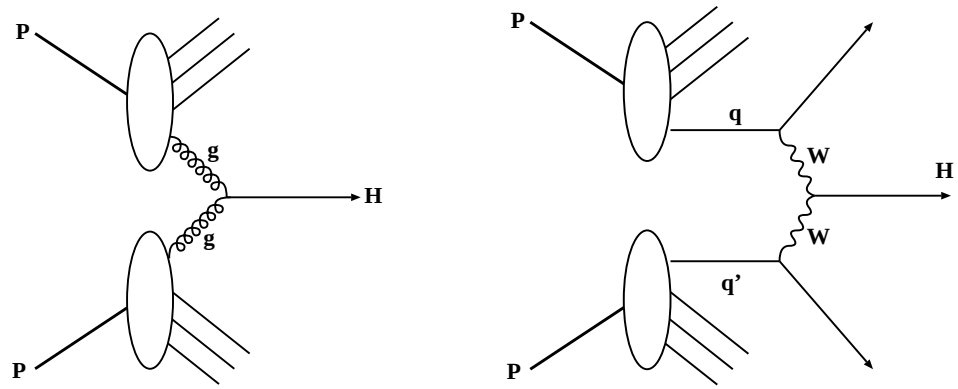
1.2 ATLAS 実験

1.2.1 ATLAS 実験で期待される素粒子物理

ここでは簡単に標準理論ヒッグス粒子と、トップ・クォークの物理、超対称性ヒッグスの物理、SUSY 粒子の物理、そして CP 非保存の物理について説明する。

標準理論ヒッグスの物理 ヒッグス粒子の探索は ATLAS で期待される物理の一番の目玉である。 ヒッグス粒子の生成は主に図 1(a)のような gluon-gluon 融合によるものである。ヒッグス粒子の高質量領域（$m_H \geq 800\mathrm{GeV}$）においては図 1(b)のような W-W 融合も同等、またはそれ以上の割合になってくる。ヒッグス粒子の探索においては、ヒッグス粒子の質量の大きさによって探索する崩壊モードが異なる。質量別に表にまとめると、

[1] CERN で稼働中の大型電子・陽電子衝突型加速器 LEP(Large Electron Positron collider) で、現在重心系衝突エネルギーを 170GeV 付近で運転している



(a) gluon-gluon 融合の場合　　(b) W-W 融合の場合

図 1: ヒッグス粒子の生成。ヒッグス粒子の質量が高くなってくると W-W 融合の割合が増えてくる。

	ヒッグス粒子の質量範囲（GeV/c^2）	測定する主な崩壊モード
(a)	90∼150	H→ $\gamma\gamma$
(b)	130∼2m$_Z$	H→ZZ* →4$\ell^{\pm}$
(c)	m$_H$ > m$_Z$	H→ZZ→4$\ell^{\pm}$
(d)	m$_H$ >400	H→ZZ→2$\ell^{\pm}$2ν
(e)	m$_H$ > 600	H→WW→ $\ell\nu$2jets H→ZZ→ 2$\ell^{\pm}$2jets

となる。ここで ℓ は荷電レプトンのうちでも μ と e をさす。

(a) **H→ $\gamma\gamma$ モード**

このチャンネルは分岐比が小さいので、バックグラウンドをいかに落せるかが重要になってくる。そのため連続したバックグラウンドの上に狭い質量ピークを観測するために、エネルギー分布と角度分布の高い分解能が要求される。

(b) **H→ZZ* →4$\ell^{\pm}$ モード**

このチャンネルと次のチャンネルはきれいなピークが期待できるモードである。ヒッグス粒子の質量幅は質量とともに増加するので、この領域ではかなり狭いピークになる。また、一方の Z は仮想粒子であるから一方のレプトン・ペアの不変質量には制限がない。そのため検出器の高エネルギー分解能が要求される。主なバックグラウンドとしては $t\bar{t}, Zb\bar{b}$ がある。バックグラウンドのカットとして $|\eta| < 2.5$ のそれぞれのレプトン・ペアに対し

- 2 つのレプトンがそれぞれ Pt>20GeV で、かつ不変質量が m$_Z$(91.2GeV)±6GeV であること（Z 起源）。これにより $t\bar{t}$ を落すことが出来る。
- 2 つのレプトンがそれぞれ Pt>7GeV で、かつ不変質量が 20GeV より大きいこと（Z* 起源）。これにより $Zb\bar{b}$ を落すことが出来る。

(c) **H→ZZ→4$\ell^{\pm}$ モード**

このモードはバックグラウンドも少なく最もはっきりとした事象を確認できるモードである。質量が上がるにつれ質量幅が大きくなるので、ここでは検出器の分解能よりも高ルミノシティーであることが要求される。主なバックグラウンドとしては ZZ の連続分布がある。

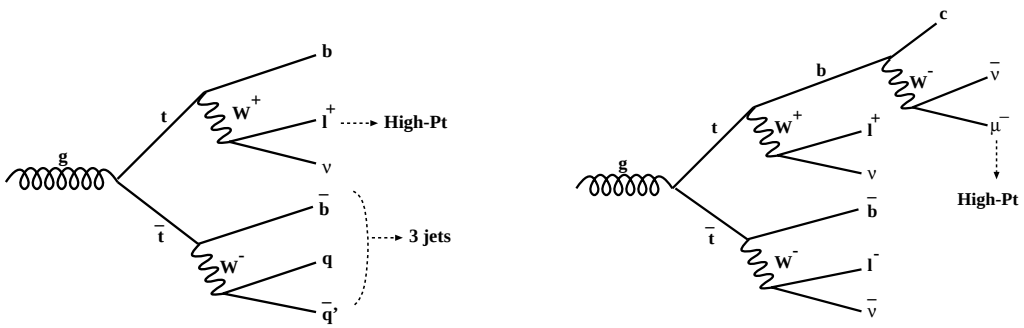
(d) **H→ZZ→2$\ell^{\pm}$2ν** モード

この質量領域ではこのモードの方が $ZZ \to 4\ell$ （ここで $\ell = \mu, e$）モードよりも 6 倍大きいシグナルを得ることが出来る。シグナルとしては ν から来る missing E_t の広い分布でになる。バックグラウンドとしては主に $ZZ \to \ell\ell\nu\bar{\nu}$ の連続分布がある。

(e) **H→WW→ $\ell\nu$2jets** モードと **H→ZZ→ 2$\ell^{\pm}$2jets** モード

この領域ではこのモードは 4ℓ モードに対して WW は約 150 倍、ZZ は約 20 倍の生成断面積がある。H→WW→ $\ell\nu$2jets モードの場合バックグラウンドとしては $t\bar{t}$、W+jets が考えられる。H→ZZ→ $2\ell^{\pm}$2jets モードの場合は Z+jets が考えられる。ところでこの質量領域では既に述べたように、図 1(b)によるヒッグス粒子の生成が有効になってくるが、この時に終状態としての 2 つのクォーク・ジェットを捕らえることにより、バックグラウンドを急激に減らすことが出来る。

トップ・クォークの物理 トップ・クォーク質量の精密測定においては、2 種類のチャンネルが考えられている。



(a) hadronic top decay チャンネル　　(b) multi lepton チャンネル

図 2: 2 種類のトップ・クォークの崩壊モード。

(a) **hadronic top decay** チャンネル

図 2(a)のような Feynman ダイアグラムで表せるモードで、

$$t\bar{t} \to (\ell\nu b)(jjb)$$

である。一方の t が 3 つのジェットに崩壊する。このチャンネルを選択する条件は、まず High-Pt のレプトンの存在。そしてそのレプトンと逆方向の半球に 3 つのジェットが存在することである。また、ジェットは 1 つのジェットが impact parameter カットから b クォーク起源であること、残りの 2 つのジェットの不変質量が M_W であること、が要求される。

(b) **multi lepton** チャンネル

図 2(b)のような Feynman ダイアグラムで表せるモードで、

$$t\bar{t} \to (\ell^{+} + X)(\ell^{-}\mu + X)$$

である。このモードの場合同じ t クォークからの 2 レプトンが存在する。b クォーク崩壊から来る μ は High-Pt であることが条件である。またバックグラウンドを落すために更に別の t クォークからのレプトンが 1 つ要求される。

超対称性ヒッグスの物理 超対称性理論においては2つのヒッグス2重項の存在が要求され、結果的に5つのヒッグス粒子を導入することになる。それぞれ $H^{\pm}$（荷電スカラー）、h（中性軽スカラー）、H（中性重スカラー）、A（中性擬スカラー）と呼ばれる。ATLAS で測定できると期待されるモードの中でもイベント・レートの高いものは、

(a) $A/H \to \tau\tau$ モード
このモードの終状態としては、それぞれの τ がレプトンに崩壊する 2 レプトンの場合と、一方がレプトンにもう一方がハドロンに崩壊する 1 レプトン + ハドロン・モードの場合がある。特に後者の方がイベント・レートが高いことが期待されている。

(b) $H^{\pm} \to \tau\nu$ モード
運動学的に許される場合、$t \to bH^{+}$ の崩壊モードは $t \to bW^{+}$ の崩壊モードと同程度の分岐比になりうる。そのとき $H^{+} \to \tau\nu$ は有力な崩壊モードの一つになり、High-Pt の孤立した荷電レプトン (b クォーク起源) と、τ 崩壊の識別によって選択することが出来る。

がある。他のモード（(c)$h/H \to \gamma\gamma$、(d)$H \to ZZ \to 4\ell$ などがある。）は標準理論物理でのヒッグス崩壊のレートに比べて信号が小さいため高ルミノシティが要求される。

SUSY 粒子の物理 超対称性粒子、特に候補として $\tilde{g}$（グルイーノ）$\tilde{q}$（スクォーク）は生成断面積が大きいため、探索・発見が十分に期待される。R-parity の保存則から SUSY 粒子は必ずペアで生成される。そしてまた R-parity の保存則から、SUSY 粒子の崩壊は一番軽い SUSY 粒子 (LSP) で止まる。この場合 LSP としては $\tilde{\chi}_1^0$（最軽量ニュートラリーノ）が考えられる。この粒子は検出されないので missing Et として現れることになる。主な崩壊モードは 3 つある。

(a) **multi-jets + missing Et** モード
$\tilde{g}$、$\tilde{q}$ の崩壊モードで、

$$\tilde{g} \to q\bar{q}\tilde{\chi}_1^0$$

$$\tilde{q} \to q\tilde{\chi}_1^0$$

で発生する High-Pt のジェットと missing Et の特徴的な組合せが見られる。

(b) 同符合 **2** レプトン・モード

$$\tilde{g} \to q\bar{q'}\tilde{\chi}_i^{+} \to q\bar{q'}W^{+}\tilde{\chi}_1^0$$

のようにして発生した W^{+} から最終的に孤立したレプトンが発生する。このような崩壊が $\tilde{g}$ ペアで起こると同符合のレプトン・ペアを捕らえることが出来る。またクォークから発生するジェット、LSP から発生する missing Et の情報と合わせることにより、特徴的な終状態を得ることが出来る。

(c) $\tilde{\chi}_1^{\pm}, \tilde{\chi}_2^0$ からの **3** レプトン・モード
チャージーノ $(\tilde{\chi}_1^{\pm})$、ニュートラリーノ $(\tilde{\chi}_2^0)$ が LSP に崩壊するときにレプトンを放出する。

$$\tilde{\chi}_1^{\pm} \to \ell\nu + \tilde{\chi}_1^0$$

$$\tilde{\chi}_2^0 \to \ell\ell + \tilde{\chi}_1^0$$

上の 2 式の組合せにより 3 レプトン + missing Et のイベントを得る。

CP 非保存の物理 ATLAS では広範囲の B メソン物理の測定が行なわれる。その中でも特に B メソンの CP 非保存の測定を、以下の 3 つのチャンネルで行なうことが期待されている。

(a) $B_d^0 \to J/\psi K_s^0$

(b) $B_d^0 \to \pi^+\pi^-$

(c) $B_s^0 \to J/\psi\phi$

ユニタリティ三角形の角度を、それぞれのB メソン崩壊における非対称性から測定することが出来る。上の 3 つの崩壊モードには、それぞれ 1 つずつユニタリティー三角形の角度が対応している。また B_s^0 と $\bar{B_s^0}$ との混合比 x_s と、B_d^0 と $\bar{B_d^0}$ との混合比 x_d を B メソン振動から測定することにより、ユニタリティー三角形の辺についても知ることが出来る。

各物理過程におけるモードの選択条件に関しては、後に 2.3.1で捕捉する。ここで述べた物理についての詳細、また未知の相互作用探索などについては文献 [1][2] を参照されたし。

1.2.2 ATLAS 測定器

ATLAS 測定器の基本設計思想としては LHC の高ルミノシティー $(10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1})$ においても e, γ, μ, jet, missing E_t, b-tagging などのシグナルを確実に測定しようと言うものである。
ATLAS 測定器の構成は主にカロリーメータ、内部飛跡検出器、ミューオン検出器からなりそれぞれの特徴を挙げると、

カロリーメータ eや γ のエネルギー、位置、角度をバランス良く測定するために、内側には対放射性にすぐれ安定性のよい液体アルゴン電磁カロリーメータを、外側にはハドロン・カロリーメータを配置している。

内部飛跡検出器 内側には高分解能の測定器群として、シリコン・ピクセル検出器、シリコン・ストリップ検出器、そしてガリウムひ素ストリップ検出器から構成されるシリコン検出器群を配置し、外側には連続飛跡測定器として、小径 (4mm) のストロー検出器を積層して作られてた TRT(Transition Radiation Tracker) を配置する。これらの組合せで効率良く荷電粒子の飛跡検出と電子識別を行なう。またこの検出器と超伝導ソレノイド・マグネットによって運動量の測定も行なう。

ミューオン検出器 バレル部と二つのエンド・キャップ部に空芯の超伝導トロイド・マグネットを配置し、荷電粒子の多重散乱を最小に抑える一方、強力な磁場領域を作り、高精度なミューオンの運動量測定を行なうことが出来る。

図 3は ATLAS 測定器の全体図である。直径 22m、長さ 44m、総重量 7000 トンという巨大な測定器である。この中でも特にミューオン測定は、

- LHC 実験において、多くの目的とする物理的事象の崩壊モードがミューオンを（レプトン粒子を）含んでいるということ、そのためミューオンを高精度で測定することが、起こった物理事象の解明に有力であるということ。
- 荷電レプトンのうち、電子はハドロニック・ジェットに含まれる π^0 からの γ がバックグラウンドとなるが、ミューオンは検出器が最外部に設置されていることにより、かなり高い S/N 比できれいな信号が取り出せるということ。

などから必要不可欠なものである。

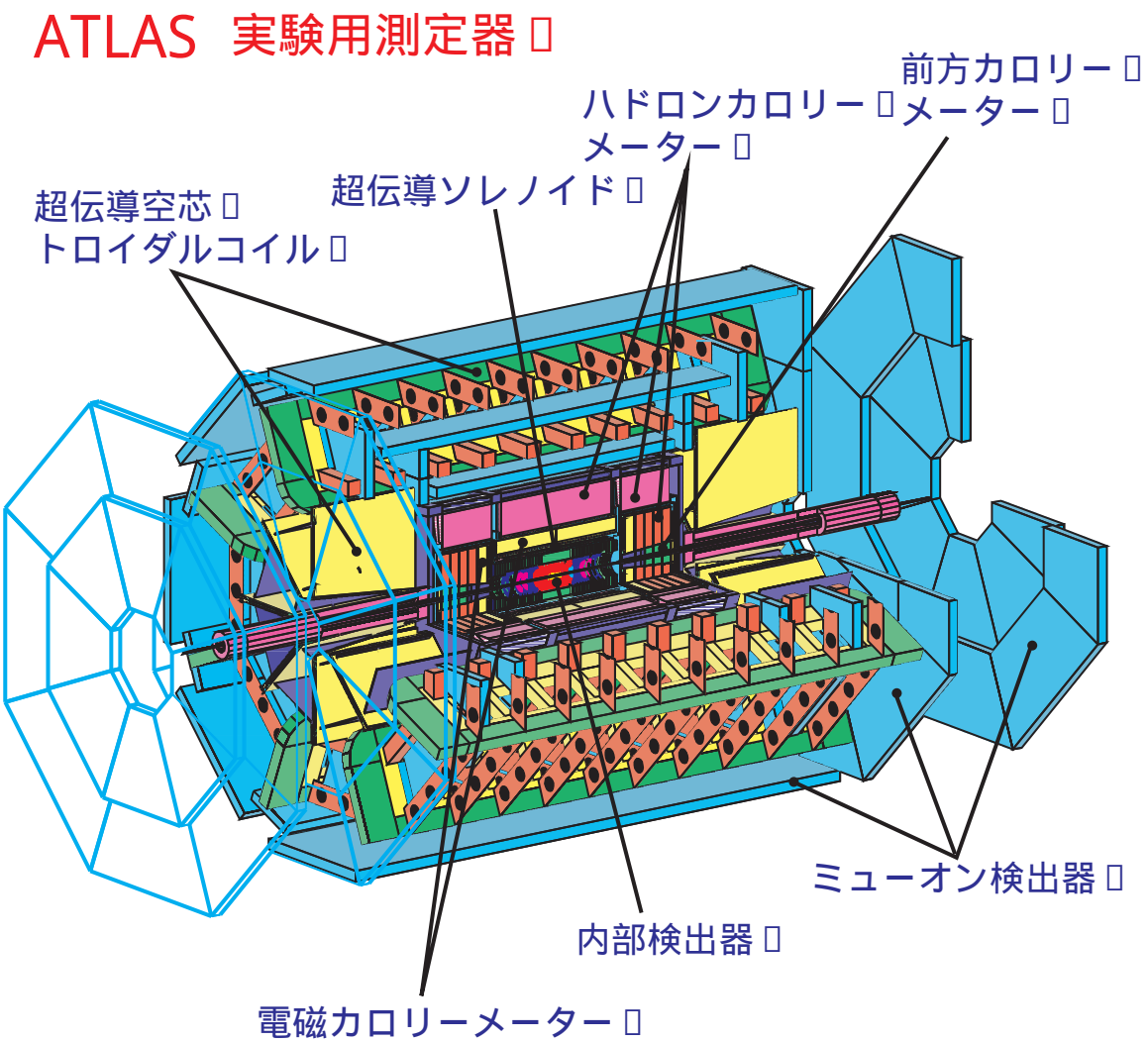


図 3: ATLAS 検出器の全体図

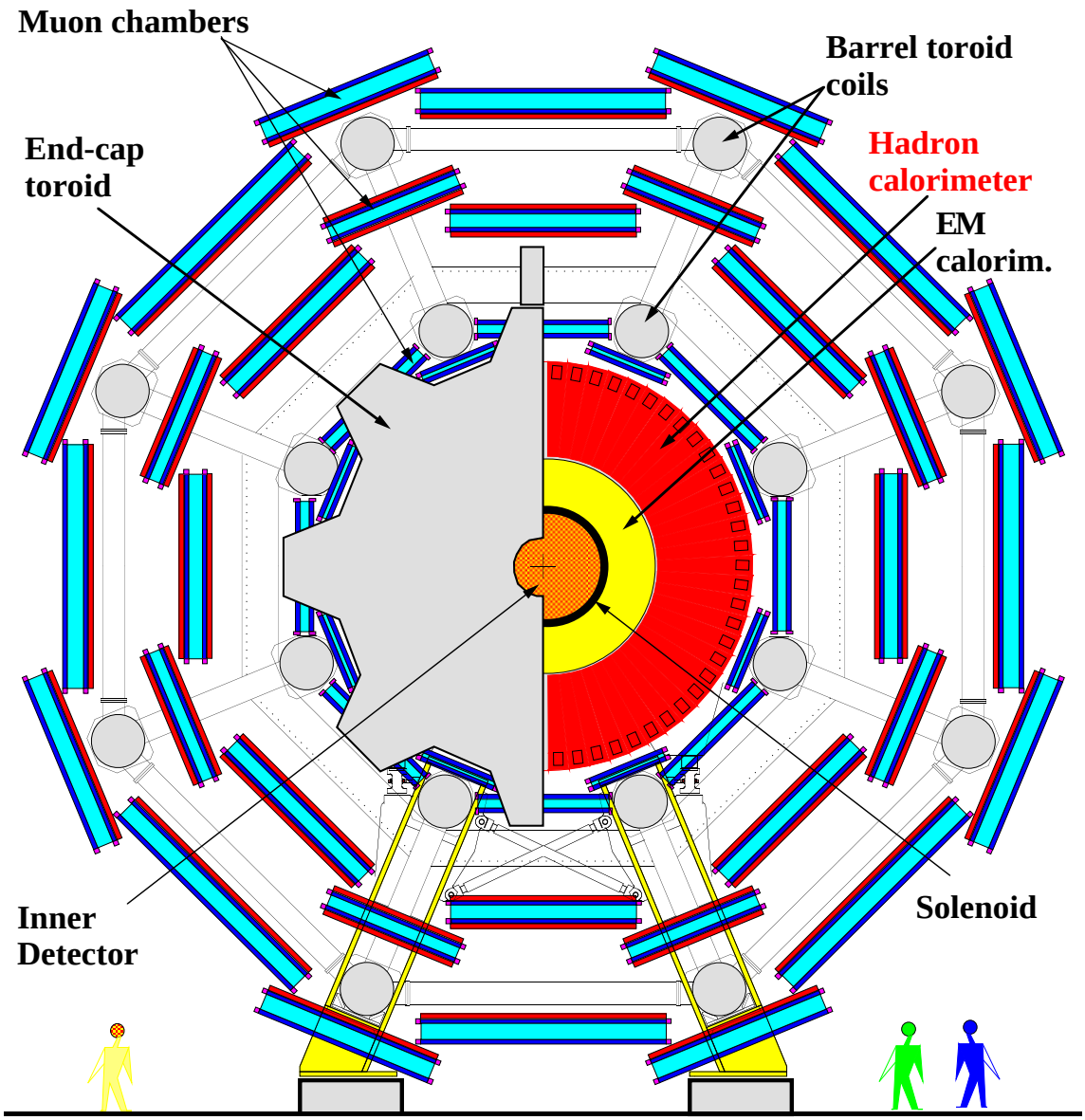


図 4: ATLAS 測定器の R-ϕ 断面図。位置精密測定器に挟まれてトリガー検出器がある。

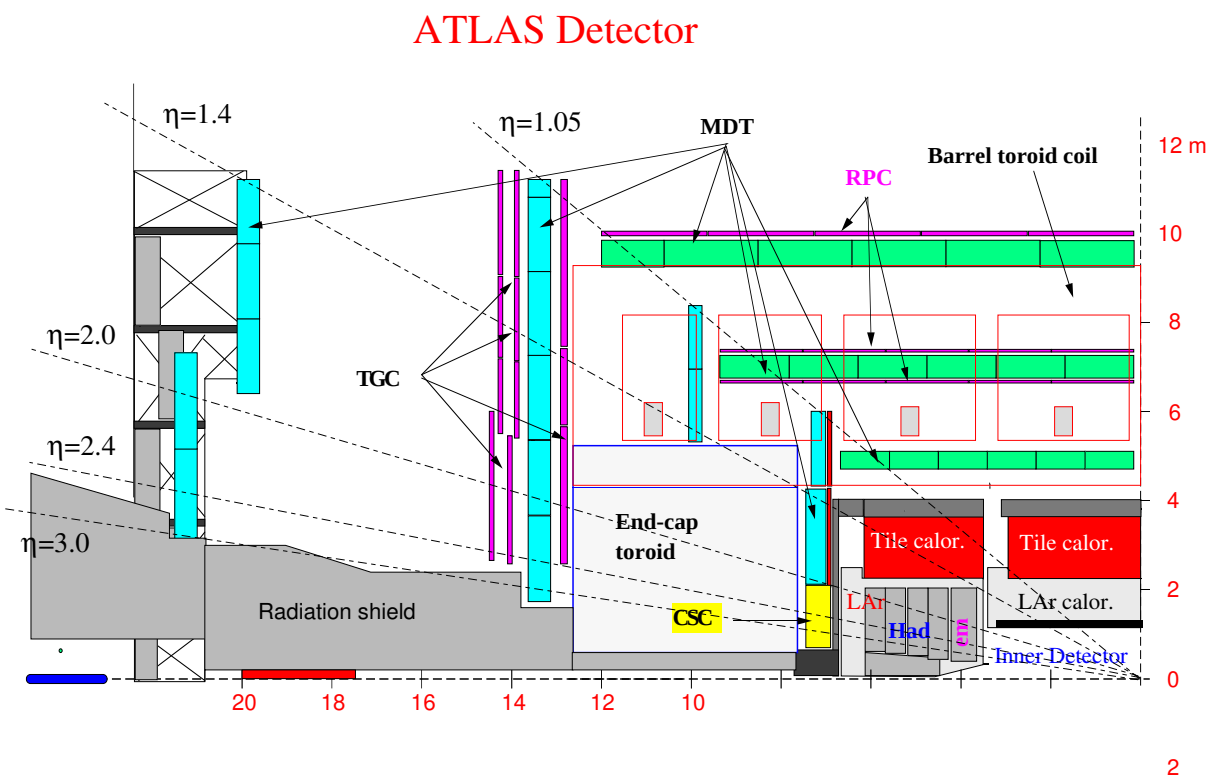


図 5: ATLAS 測定器の R-Z 断面図。トロイド・マグネットとミューオン検出器群の配置が分かる。

1.3 ミューオン・スペクトロメータ・システム

アトラス測定器の R-ϕ、R-Z 断面図はそれぞれ図 4、図 5 のようになる。トロイド・マグネットの配置は図の様にバレル部とエンドキャップ部に分かれる。バレル部は 8 対称配置の超伝導コイルで構成され、外径 20m 長さ 26m の巨大な構造物である。エンド・キャップ部では前後方それぞれ 8 組のコイルがバレル部の内側に配置される。

検出器は運動量精密測定を行なう MDT(Monitored Drift Tube) と CSC(Cathode Strip Chamber) とからなり、そしてトリガー及び第二座標測定用の RPC(Resistive Plate Chamber) と TGC(Thin Gap Chamber) との組合せでミューオン・トリガーを行なう。以下にこれらの検出器の特徴を示す [1][2][3]。

MDT 第一座標方向（r-z）の運動量精密測定用のドリフト・チューブである。バレル部 ($|\eta| < 1.05$) とトランジッション部 ($1.05 < |\eta| < 1.4$) におけるラピディティ[2]の範囲においては図 5 の様にトロイド・マグネットの内側、内部、外側の 3 ヶ所に配置して sagitta 測定により運動量を決める。これに対してエンドキャップ部 ($1.4 < |\eta| < 3.0$) ではエンドキャップ・トロイド・マグネットの内部にはチェンバーを置けないので、図の様にマグネットの前後と実験ホールの壁際に配置する。この場合 saggita 測定は行なえないので 2 点から変向角を求め運動量を決定する。MDT は内部を 3–4 気圧の環境下で使う直径 30mm の薄壁アルミニウム製ドリフト・チューブである。位置分解能は 1 つのセルあたり 60μm が達成されている。

CSC 3 次元の運動量精密測定用のカソード・ストリップ読み出し用 MWPC である。カソード・ストリップ上の電荷の重心読み出しを行ない位置分解能として 50μm が得られる。エンドキャップ部でも特にバッ

[2]発生粒子の分布を表す指標で高エネルギーの加速器では便宜的に疑似ラピディティと言うものが使われる。定義は $\eta = -\ln(\tan(\theta/2))$ のようになる。ここで θ は入射ビームに対する角度

クグラウンドレートの高い場所 $(2.0 < |\eta| < 3.0)$ に配置され、エンドキャップ部の MDT の様に変向角から運動量の測定をする。

これらのミューオン検出器の前にはかなりの物質量があるが、依然としてかなりの高い頻度でバックグラウンドが存在する。そのため多くのイベントの中から物理的に重要なイベントだけを抽出することが必要になってくる。そこで ATLAS ではトリガー専用の 2 つの検出器を採用した。通過するミューオンの横向き運動量 Pt を測定することにより、イベントの採捨を選択し、そして Bunch ID[3]を行なうものである。また MDT では第一座標しか押えてないので、第二座標 $(\text{r-}\phi)$ 方向の読み出しが必要になる。そしてまた MDT では、トロイド磁場によりドリフト電子が影響を受けてしまい、第一座標の位置分解能が悪くなるため、その補正のためにも第二座標 $(\text{r-}\phi)$ の読み出しが重要になってくる。そしてまた、トロイド・マグネットの不均一性からミューオンの曲がる方向は (r-z) 方向だけでないため、第二座標はバックグラウンドを効率良く落すためにトリガー情報としても利用されることになる。

RPC バレル部 $(|\eta| < 1.05)$ をカバーするトリガー専用の平行平板ガス検出器でワイヤ検出器並の位置精度と、1nsec 程度の時間分解能を持つ。また互いに直行するストリップによって第2 座標の読み出しも行なうことが出来る。

TGC 高粒子頻度に強くバックグラウンドの多いエンドキャップ部 $(1.05 < |\eta| < 2.4)$ をカバーする。トリガー専用のワイヤ検出器であり、ワイヤに直行するカソード・ストリップで第2 座標の読み出しを行なう。時間分解能は 4nsec 程度である。

TGC や RPC も図 5にあるように 3ヶ所でミューオンの通過位置を測れるので、変向角を測ることにより横向き運動量の測定を行なう。 TGC の場合図では 3 枚の検出器の層に見えているものは、実際は内側 1 枚は 3 層構造、外側 2 層はそれぞれ 2 層構造になっている。 7 層の検出器において互いのコインシデンスを取ることにより、多いバックグラウンドの中から必要なイベントだけを取り出さなくてはならない。これがトリガー・システムの役割になるわけであり、この論文の主題でもある。

[3]幾つ目のバンチ・クロッシングのイベントであるかを識別すること

2 ATLAS 実験におけるトリガー /DAQ

LHC の高ルミノシティーにおいて（$10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$）は毎ビーム・クロッシングごとに平均 20 個のイベントが発生する。今までの高エネルギー実験に比べて遥かに多いこれらのイベントの中から、いかに重要なイベントだけを効率良く取り出すかが重要な課題になるわけである。ここでは ATLAS 実験全般に共通なトリガーと DAQ の計画について述べる [1][4]。

2.1 ATLAS 全体のトリガー・スキーム

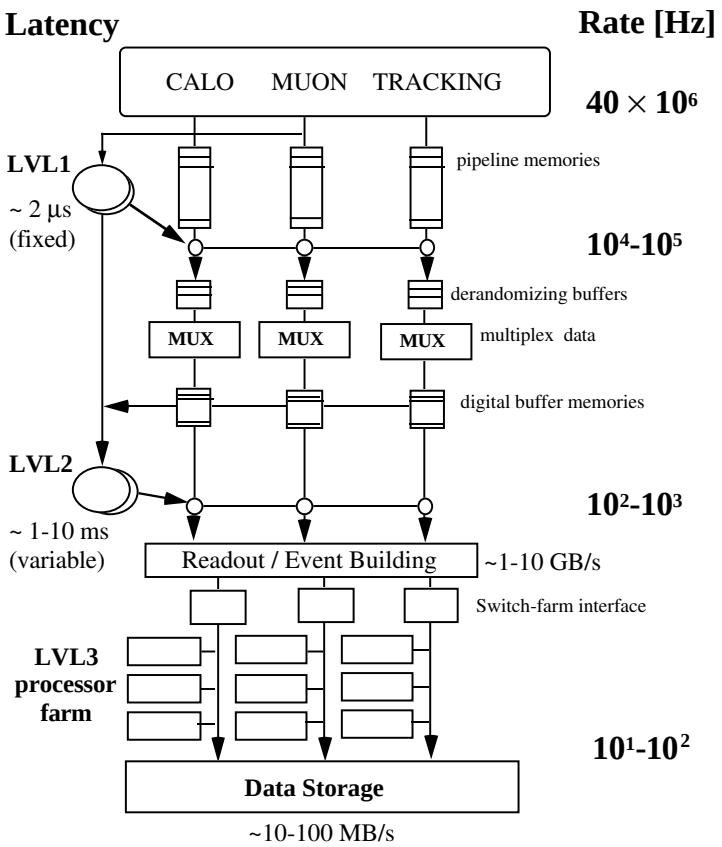


図 6: ATLAS の 3 段階構成のトリガー・システム

ATLAS のトリガー・システムでは興味あるイベントだけを効率良く収集するために、目的と特徴の異なる 3 段階のトリガー・システムを採用する。図 6の様に LVL1,LVL2,LVL3[4] からなる 3 段階のトリガー・レベルで成り立っている。大まかな役割としては

LVL1 LVL1 においては各種の検出器（カロリー・メータ、ミューオン検出器(TGC,RPC)）に専用に用意したトリガー回路が使われ、全領域のデータが処理される。この段階では完全な位置情報を持ってなく、イベントの起こった領域を指定するだけにとどまっている。

[4]LVL は level の略で ATLAS トリガー内での呼び方である。

LVL2 ここでは完全な、イベントの発生した位置情報を持つデータが扱われる。LVL1 の段階で重要なイベントを含むと判断された領域 RoI(Region Of Interest) のデータだけを扱う。

LVL3 LVL2 で重要であると判断されたイベントに対して、最終的な選択を行ないその判定を通過したものは、オフ・ラインの解析のために記録される。

次にそれぞれのレベルでのデータの流れを見ていくと。

LVL1 まず、LVL1 の基本的な数値としては 3 つあり、LVL1 のトリガーは LHC のビーム・クロッシング・レートである 40MHz でデータを受けるということ。LVL1 のトリガーを決定して、全ての検出器にトリガー信号を伝えるまでの時間が 2.5μsec[5] であるということ。そして LVL1 から出されるトリガーのレートとして最大 100kHz を仮定しているということ、である。LVL1 のトリガー決定の段階では、カロリーメータとミューオン検出器からの情報だけが使われる。高ルミノシティー状態でイベントが複雑になりすぎるので、内部飛跡検出器からの情報はここでは使わない。内部検出器からの情報がなくても，ここでは十分に目的のトリガー・レートまで落とせるからである。LVL1 の処理の間，全ての検出器からのデータは LVL1 バッファと言うパイプライン・メモリに保持される。つまりパイプライン・メモリの大きさは、2.5μsec の間データを保持できるだけのものを用意するということになる。そして，LVL1 トリガーに要求されているのは，重要と判断されるイベントの Bunch ID を確実に行うということである。図 6 にあるように LVL1 の段階では初期に 40MHz だったイベント・レートが最大 100kHz のトリガー・レートにまで落とされていることが分かる。

LVL2 LVL2 では受け取った最大 100kHz のトリガー・レートを、最大 1kHz 程度まで落とす。LVL2 の段階では LVL1 トリガーから与えられた情報は，High-Pt の電子，光子，ジェット，ミューオンなどを含む重要なイベントの領域 RoI(Region of Interest) を指定するものとして利用され，全検出器の一部分だけにアクセスすることにより，より詳しく複雑な選択をする事になる。LVL2 のトリガー判定をするのに要する時間は最大で 10msec になる。そして LVL2 トリガー判定を通過したものの完全なデータが、イベント・ビルダ (EB) を通して LVL3 に送られる。

LVL3 LVL3 では完全なイベントの再構成が可能で，そのプロセスに要する時間は約 1sec である。LVL3 の段階でのデータの記録は 10$\sim$100MByte/sec を目標にしている。情報の多いイベントの場合（例としては，ヒッグス・ボソンのイベントなど）、1 つのイベントのデータの大きさが 1MB 程度にもなる。この場合最大で、100Hz 程度の頻度で記録することになる。

これら 3 つのレベルのプロセッサは、トリガーのパラメータをそれぞれ可変に出来るように作られるので，LHC の初期の運転から高ルミノシティーまで幅広く対応できるようになっている。

2.2 LVL1 トリガー・システム

ここでは LVL1 トリガーにだけ範囲を限定して述べる。図 7 はカロリーメータ（電子，光子，ジェット，missing Et 用トリガー），トリガー専用ミューオン検出器からなる LVL1 トリガー・システムのブロック・ダイアグラムである。各検出器に取り付けられているプロセッサは独立に，そして並行にイベントの処理を行う。扱う情報としては

- いくつかのしきい値に対して選択された，電子・光子の情報。
- いくつかのしきい値に対して選択された，ジェットの情報。
- いくつかのしきい値に対して選択された，ミューオンの情報。
- missing Et の情報。

[5] 実際は非常時を想定して 0.5μsec の余裕をとり、設計としては 2.0μsec になるようにしてある。

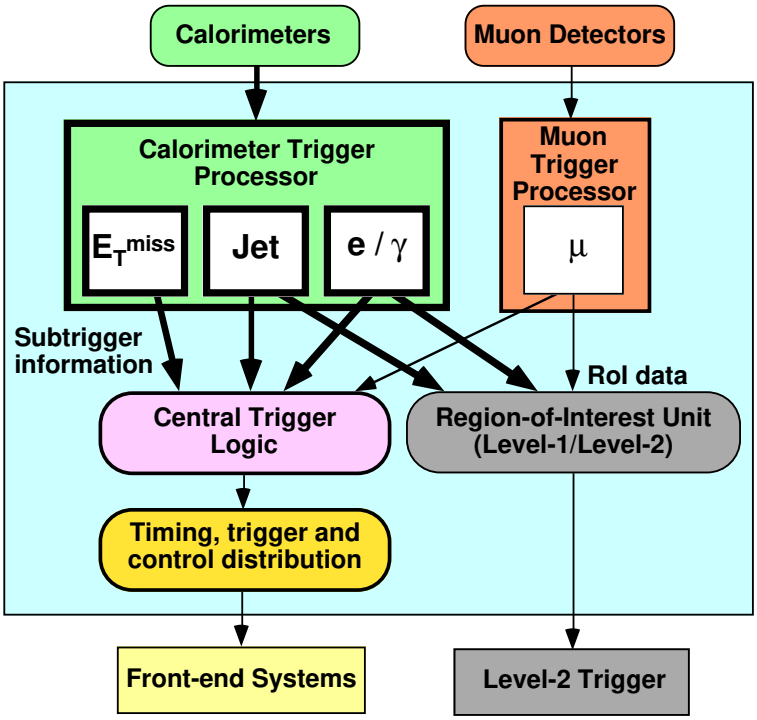


図 7: LVL1 トリガー・システムのブロック・ダイアグラム

になる。各検出器のプロセッサからのトリガー・データは図 7の様に CTP(Central Trigger logic Processor) に送られる。 CTP では LVL1 トリガーの YES/NO の判定を行い，その結果は TTC(Timing,trigger,and control distribution) に渡される。 TTC はトリガーの判定を全てのフロント・エンドのエレキに分配し，LVL1 でトリガーが出たことを L1A(LVL1 Accept) として伝える。その情報によってデータの読み出しが行われることになる。

LVL1 ではまた，意味のあるイベントが起こった検出器の領域の情報を RoI(Region of Interest) としてフラグを立てて LVL2 に送る。これによって LVL2 ではそのイベントの付近の，限定された領域だけのさらに詳しいデータを取り，処理すれば良いことになる。

この様に LVL1 では限定された専用の処理を行うことが目的なため，カスタム化したエレクトロニクスの開発が要求される。これらの処理はパイプライン化され，それぞれの処理は並列化される必要もある。そのため LVL1 での大抵のプロセッサは，構造は固定化されるが，パラメータのレベルでは可変であることが要求される。また，パイプラインからのデータの読み出し，プロセッサでの処理は全て LHC のビーム・クロッシング・レートである 40MHz で行われる。 LVL1 のトリガー・プロセッサはケーブルなどによる遅延を抑えるために，なるべく検出器の近くに置く必要がある。ミューオン検出器用のプロセッサはそのため直接検出器に載ることになる。しかしカロリーメータ用のプロセッサと CTP などは、 LHC の運転中も直にアクセスできるように、地下のエレクトロニクス・ルームに設置されることになっている。

2.2.1 CTP(Central Trigger logic Processor) について

CTP は LVL1 の検出器から（カロリーメータ，ミューオン）送られてきたトリガー情報を総合して全体的な LVL1 でのトリガーの YES/NO を決める。 CTP のブロック・ダイアグラムは図 8の様になる。ここでは大まかなデータの流れだけを説明する。

各検出器の各領域から送られてきたトリガー情報は PA(Phase Adjust circuit) や VLP(Variable Length Pipeline) を通して，まちまちである信号の到着時間を揃え，同じバンチ・クロッシングのもの同士で保持さ

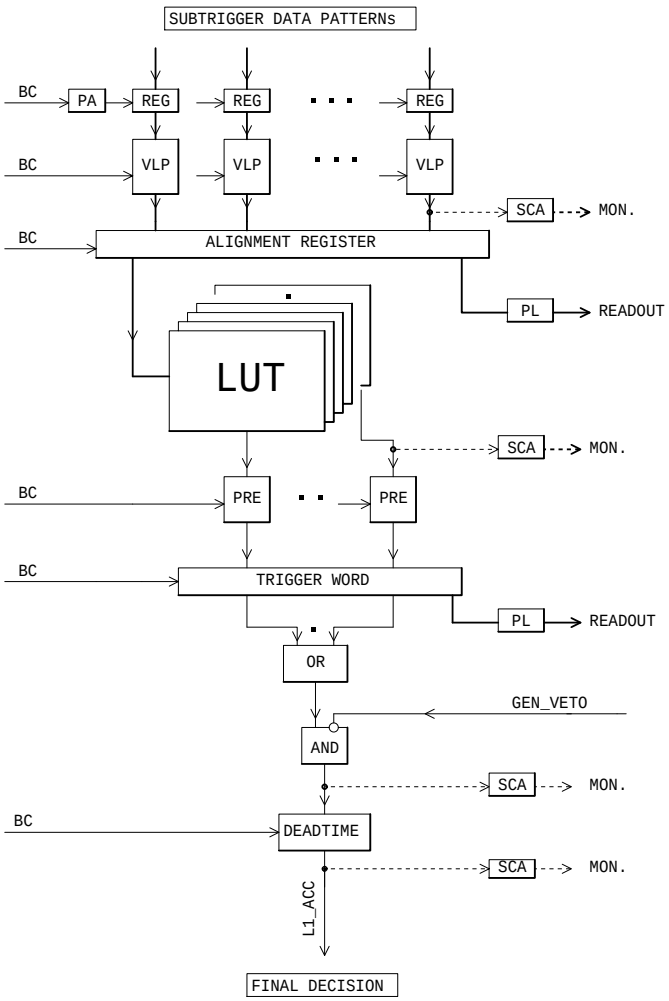


図 8: CTP のブロック・ダイアグラム

れる。これらのデータは最大32入力までのロジックを取ることができ、コインシデンスを取られる。途中の状況はPL(Pipeline)で読み出されたりSCA(Scaler)でモニターされたりしている。同じバンチ同士揃えられたデータは、LUT(Lookup Table)で組み合わせロジックを実行される，その結果が他の領域の結果とのORを取られて、最終的なトリガーの決定となる。CTPでは読み出しのデータ転送能力を考慮して，トリガー決定に対して2種類のveto[6]を用意している，

- LVL1トリガーのインターバルは最小で75nsecである。つまり一度トリガーが出ると、次の2回のバンチに関してはトリガーは出せないということになる。これによるデッド・タイムは最大のトリガー・レートである100kHzにおいて0.5%になる。
- LVL1トリガーは16μsecの間に16回のトリガー（L1A）までしか出せない。これはDerandomizerという読み出し用バッファ（参照5.1.2）が高頻度により溢れるのを防ぐためである。

また、CTPではトリガー判定を、LHCのビーム・クロッシング・レートである毎25nsecで行いその結果をTTCに送っている。

2.2.2 TTC(Timing,trigger and control distirbution)

TTCはCTPからのトリガー情報とLHCの40MHzクロック（正確には40.08MHz），その他の制御信号などを検出器全領域のフロント・エンド・エレクトロニクスに分配するものである[5]。扱われる信号は大別すると2種類あり，

LHCクロックに同期したもの 40.08MHzクロック，LVL1のトリガー判定情報，バンチ&イベントの識別用カウンタ，テスト信号，そして制御用のコマンドなどがある。

非同期のスロー・コントロール信号 個別にアドレスを選択し，そのチャンネルの有効・無効を指定する信号。検出器の校正用の信号などがある。

この2種類の信号は時間別に独立した多重通信を用いることにより、データ収集の最中でもコマンドを送ることが出来るようになっている。1つのチャンネルはL1Aの信号を検出器全体に分配するためのもの、もう1つは検出器全体、または個別のアドレスを指定してコマンドを送るためのものである。
これらの信号はTTCにおいて多重化されTrigger-DAQグループが設計した光ファイバーケーブルで送られる。この光通信によるシステムは既に開発されつつあり、ハイ・パワーの1310nmレーザーを用いて数千ある各検出器に分配されることになる。最末端部分での信号の分配は検出器によって違うが、階層的な光通信構造になる予定である。その終端には各検出器ごとにTTC信号用のレシーバが用意されている（TTCrxと呼ばれる[5]）。光ファイバーで送られてきた来た信号はTTCrxで多重化を解除され、2種類のクロック（独立に位相の調整がなされたもの）とAチャンネル、Bチャンネルに戻される。Aチャンネルは L1A（トリガー情報）、Bチャンネルはコントロール用のコマンドを含んでいる。このTTCrxと言う制御回路は検出器に直接，またはその付近に設置される。

2.3 ミューオン・トリガー・システム

ここではLVL1トリガーの中でもミューオン・トリガーに関する部分について述べる。

2.3.1 LVL1 ミューオン・トリガーが関わる物理

LVL1ミューオン・トリガーが行なうのはLow-Pt(6GeV)とHigh-Pt(20GeV)によるトリガー・カットである。トリガーの条件としては、

$1\mu_{20}$ Pt $>$ 20GeVのミューオンが1つ存在する。

[6] veto信号の出ている間はトリガー出力は出ないことになる

$2\mu_6$　Pt $>$ 6GeV のミューオンが 2 つ存在する。

がある。また参考までにカロリーメータでのトリガー条件として、

$1em_{30}$ Et>30GeV の孤立した電磁クラスタが 1 つ存在する。

$2em_{20}$ Et>20GeV の孤立した電磁クラスタが 2 つ存在する。

$1j_{150}$ Pt>150GeV のジェットが 1 つ存在する。

Et^{miss} 大きな missng Et が存在する。

がある。高ルミノシティー運転時における物理過程と、それを効果的に判別するためのトリガー条件として LVL1 ミューオン・トリガーに要求されている条件とを表にする[7]。また参考までにカロリーメータでのトリガー条件も載せると、

物理過程	LVL1 ミューオン・トリガー	LVL1 カロリーメータ・トリガー
(W$\rightarrow \ell\nu$)+X	$1\mu_{20}$	$1em_{30}$
(Z$\rightarrow \ell^+\ell^-$)+X	$2\mu_6$, $1\mu_{20}$	$2em_{20}$, $1em_{30}$
H$\rightarrow \gamma\gamma$	—	$2em_{20}$
H$\rightarrow$ZZ$^* \rightarrow 4\ell$	$2\mu_6$, $1\mu_{20}$	$2em_{20}$, $1em_{30}$
$t\bar{t} \rightarrow (\ell\nu b)(jjb)$	$1\mu_{20}$	$1em_{30}$
$t\bar{t} \rightarrow (\ell^+ + X)(\ell^-\mu + X)$	$2\mu_6$,$1\mu_{20}$	$2em_{20}$, $1em_{30}$
A$^0 \rightarrow \tau^+\tau^-$	$1\mu_{20}$	$1em_{30}$
SUSY$\rightarrow$leptons	$1\mu_{20}$	$1em_{30}$
SUSY$\rightarrow$jets	—	$1j_{150}$, Et^{miss}
B-physics	$2\mu_6$, $1\mu_{20}$	—

となる。これ以外に LVL2 の段階ではこれらのミューオンが孤立しているなどの条件が足される。またミューオン・トリガーとカロリーメータ・トリガーは荷電レプトンを含む物理過程のトリガー条件として相補的であり、そのため全体としてのトリガー効率があがることになる。気になるデータは全て取るという方針で、概してトリガー条件は緩いものとなっている。

2.3.2　ミューオン・トリガー・プロセッサ

ここでは図 7のミューオン・トリガー・プロセッサの構成や役割について見ていく。ミューオン・トリガー・プロセッサは大別して 2 つの部分から成り立っている。

バレル領域 図 9のようにバレル領域は $|\eta| < 1.1$ の擬ラピディティをカバーする。バレル部はトリガー専用検出器 RPC(Resistive Plate Chamber) で覆われている。図 9の様に 4 層のトリガー用チェンバーが、バレル部のトロイド・マグネットに隣接するようにして 2 層、2 層のグループになり配置されている（図では 2 本の線で書いてある）。2 つのグループは平均 40cm の距離で離れている、またこれら 2 層をグループにしたものを doublet と呼ぶことがある。また、更に別の 2 層がグループになったものがその外層に平均 3m 程離れて配置される [6]。

エンド・キャップ領域 図 10のようにエンドキャップ領域は（トランジション部も含む）$|\eta| < 2.2$ までをカバーする。ここでは実験ホールの広さから来る規制からバレル部よりもスペースが小さく検出器同士の間隔を狭めて配置する必要がある。そこで、ここではトリガー用検出器TGC(Thin Gap Chamber)

[7]詳しい定義と低ルミノシティ運転時でのトリガー条件については参考文献 [1] の Trigger,DAQ,and Computing の章を参照して欲しい。

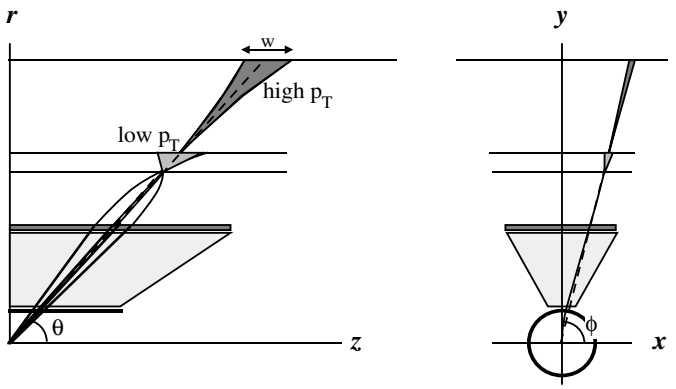


図 9: バレル領域でのトリガー・システム

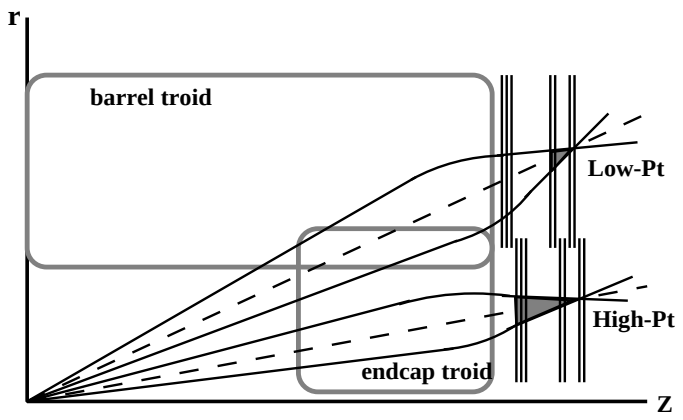


図 10: エンド・キャップ領域でのトリガー・システム

を使用する。図10にある様にTGCの場合3層をグループにした3重層tripletは内側に配置される。そこから平均1.5m離れた外側に、お互いに平均50cm離れた2つの2重層doubletが配置されることになる。

Low-Ptのトリガーを出す条件としては，2つの2重層の間でコインシデンスが取られ，ある幅のwindow内に粒子が通過することが要求される（詳しい具体的な例は5.1を参照）。ここである幅のwindowとはPt≈6GeVのミューオンが90%の効率で捕らえることの出来る幅のことを言う。4層の間のコインシデンスの条件としては3-out-of-4(4層のうち少なくとも3層がヒットすること)が要求され，この条件が独立にR,ϕ両方向で満たされる必要がある。
High-Ptのトリガーを出す条件としては，Low-Ptトリガーの条件に更に3重層で2-out-of-3(3層のうち少なくとも2層がヒットすること)が満たされなくてはいけない。この場合コインシデンスの幅としてはPt≈20GeVのミューオンが90%の効率で捕らえられるwindow幅を設定することになる。この7層によるHigh-Ptトリガー条件は，高輝度運転においてバックグランド・レートによる偶発ヒットを抑えることが必要になる状況で重要になってくる。
これらのコインシデンスによる条件はバレル部，エンドキャップ部に共通なものである。
図11はLVL1におけるエンドキャップ部でのスレッショルド・カーブである。Low-Pt,High-Ptそれぞれのトリガー条件で6GeV,20GeVにおいて90%の効率が出せていることが分かる。これらのスレッショルド・カーブはLVL2においては更に傾きが急で鋭いPtカットの出来るものになる。

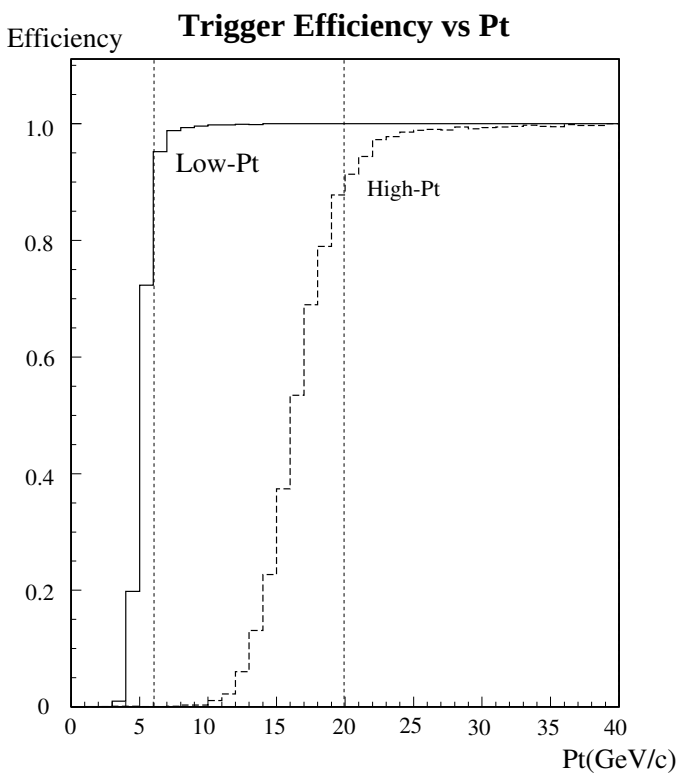


図 11: エンド・キャップ部でのスレッショルド・カーブ。計算はGEANT3.21[7]を用いてATLAS測定器シミュレーションによって行われ，検出器の位置による検出効率も含めて平均されている[8]。

セクター　ミューオン・トリガー・システムとしては検出器の全領域をセクターと呼ばれる区分に分割して、セクターごとにその中のトリガー情報を集計しローカルな集合体を作る。バレル・マグネットとエンドキャップ・マグネットでは磁場への影響が異なってくるため、バレル部とエンドキャップ部ではセクターへの分割の仕方も変わってくる。

バレル部　セクターとしては ϕ 方向に 24 分割、R 方向に 2 分割する。また RoI(Region of Interest) として ϕ 方向に 24 分割、R 方向に 20 分割して 1 つ当たり平均して $\triangle\eta \times \triangle\phi \approx 0.1 \times 0.25$ に分割された領域ごとにローカルなトリガーの・ロジックの判定を行なう。コインシデンスは可変なコインシデンス Matrix を使うことによって行なわれ、これらのコインシデンス Matrix は検出器に直接に、または近接して配置される。

エンドキャップ部　セクターとしては ϕ 方向に 32 分割、R 方向に 2 分割する。同様にして RoI は 1 つ当たり平均して $\triangle\eta \times \triangle\phi \approx 0.1 \times 0.2$ になる。

ここでの分割の値は暫定的なものであり [1]、現在の数値は不確定である。つまり検出器全体としては $2 \times 24 + 2 \times 32 = 112$ のセクターに分割されることになる。エンドキャップ部での、1 つのセクターにおけるトリガー /DAQ の様子は図 12のようになる。 図の左右にある点線内のローカル DAQ ブロックは左の triplet(三

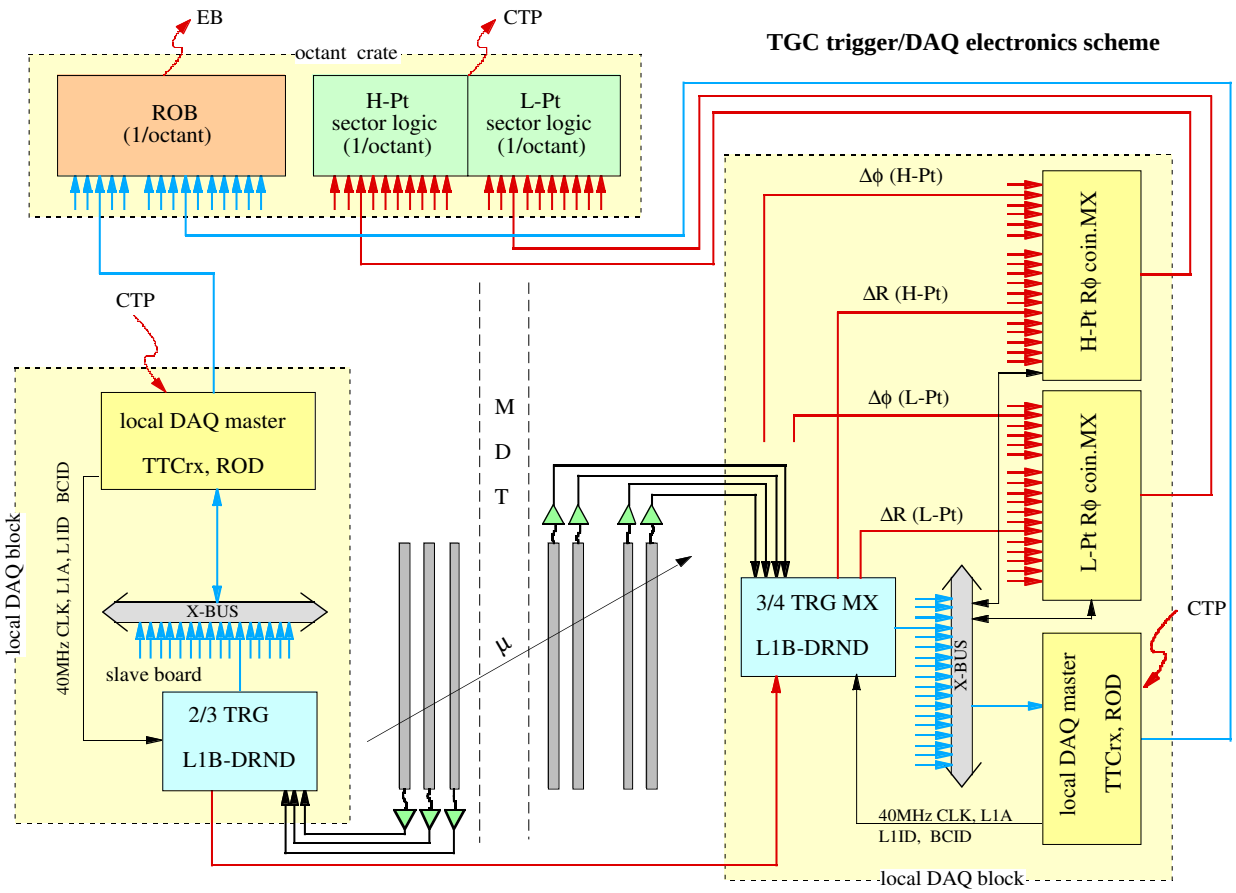


図 12: エンドキャップ部におけるトリガー／DAQ のようす

重層) 用のものが図 13のように、右の doublet （二重層）用のものが図 14のようになる。 X– バスという双

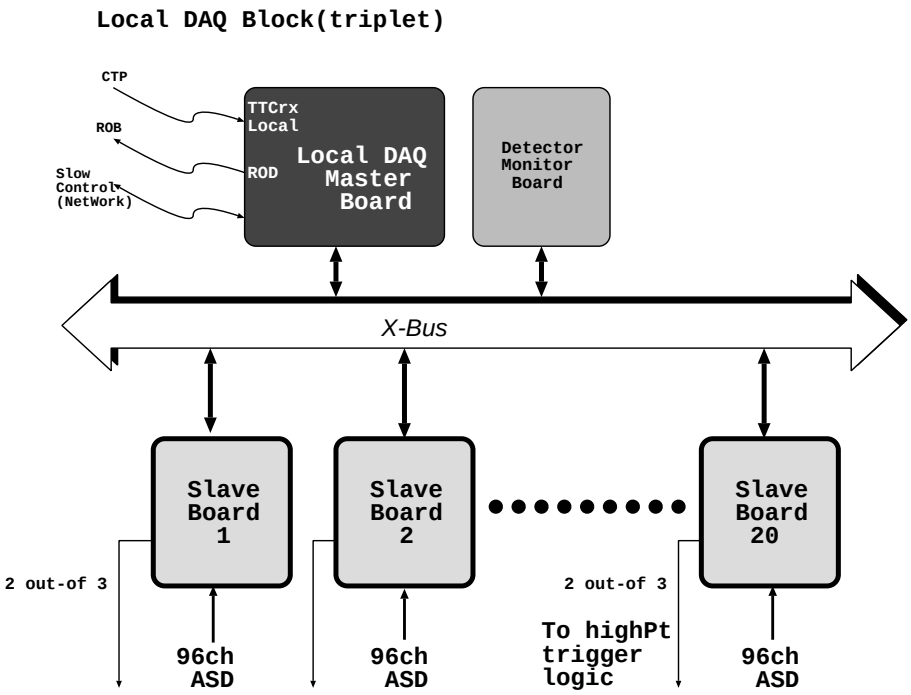


図 13: ローカル DAQ ブロック。 triplet 用

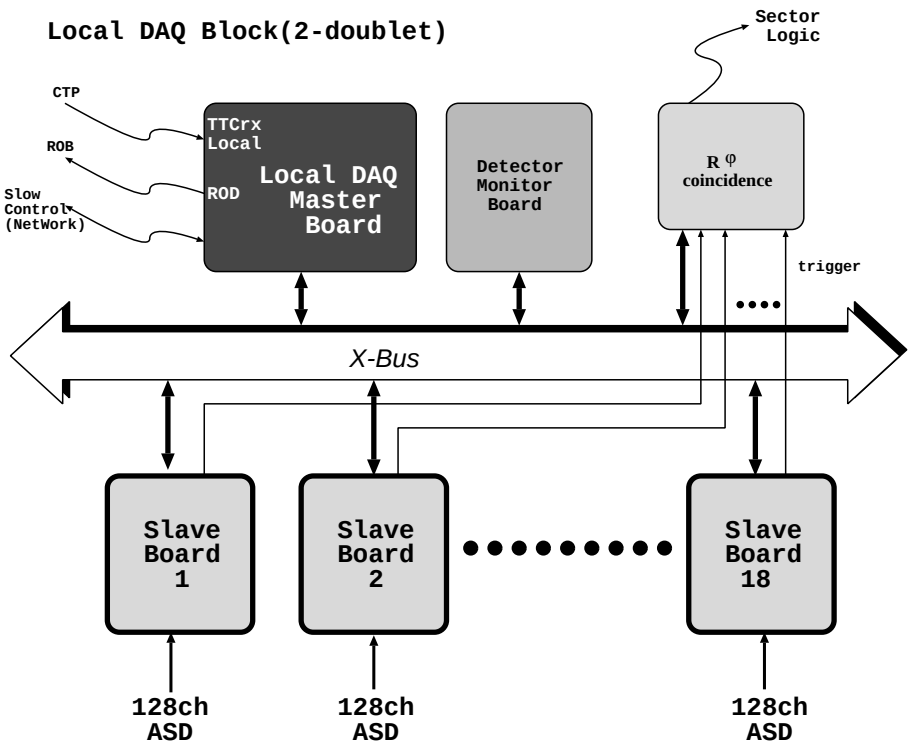


図 14: ローカル DAQ ブロック。 doublet 用

方向のデータ・バスにつながっている数多くのスレーブ・ボードが、トリガーに関してはコインシデンスを行ない、DAQ に関してはデータのバッファリングを行なう。もう少し詳しく見ると、

トリガー triplet の方では 2-out-of-3 コインシデンスをとり doublet 側に結果を送る。 doublet の方では 3-out-of-4 のコインシデンスをとり Low-Pt のトリガーを出す、その結果と triplet からの信号とのコインシデンスをとり High-Pt のトリガーを出す。 High-Pt,Low-Pt それぞれの結果は R・ϕ コインシデンス・マトリクスに送られ、δR と $\delta\phi$ のコインシデンスがとられる。ここで δR と $\delta\phi$ の定義は図 15のようになる。ビーム衝突点で発生した粒子は、ミューオン検出器の前にあるトロイド・マグネットによって軌跡が曲げられる。図の中の拡大図で、 layer1 での通過点とビーム衝突点とを結ぶ直線が点線の軌跡になるが、有限の運動量を持つ粒子は実線のような軌跡になる。したがって layer2 におけるこの二つの軌跡の通過点を比べることにより、運動量を測定することが出来る。このとき layer2 上での、 R 方向の差を δR、ϕ 方向の差を $\delta\phi$ と定義する。図 15では δR、$\delta\phi$ をそれぞれ連続量として考えているが、実際には R 方向には約 1cm、ϕ 方向には約 3cm の幅でデジタル化したものをトリガー信号として扱う。 したがって、 R・ϕ コインシデンス・マトリクスは図16のような構造をしており、マトリクス

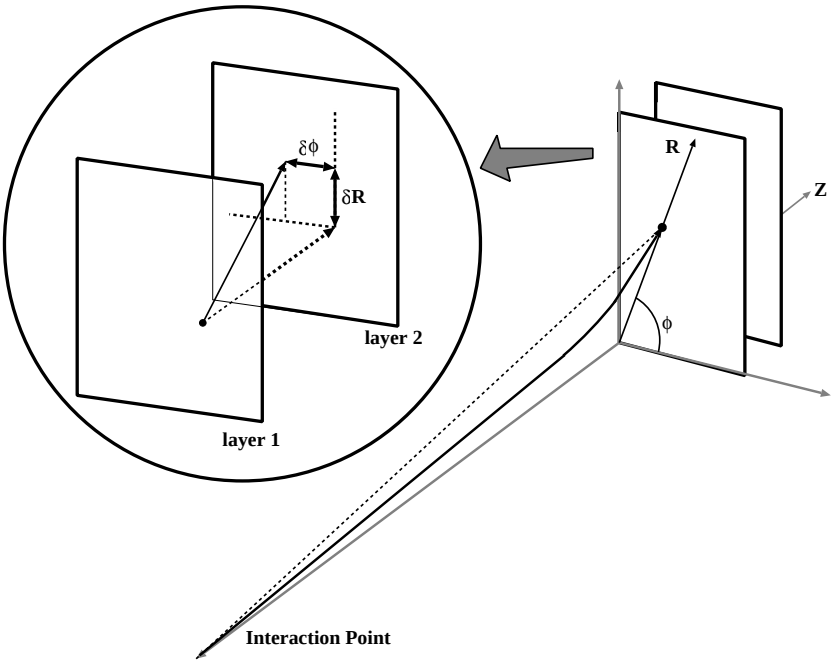


図 15: $\delta R, \delta\phi$ の定義図

中の'1' の部分に来たものにはトリガーを出す。'1' の領域は可変になるようにする。これによって window の大きさを調整し Pt のしきい値を決定する。このような結果がそれぞれセクター毎に集計される（図 12中ではセクター・ロジックと呼ばれている部分。）

DAQ スレーブ・ボードには L1B(LVL1 バッファ) と DRND(Derandomizer) が含まれる。 LVL1 バッファでは L1A が出るまでの 2.5 μsec の間データを貯めておく。また、そのデータを受けた Derandomizer は読み出しがローカル DAQ マスターによって行なわれるまでの間データを貯めておく。 Derandomizer から読み出されたデータはローカル DAQ マスタに集められ、 ROD(Read Out Driver) を通してセクター・ロジックの ROB(Read Out Buffer) に送られる。 ROB は LVL2 バッファのこ

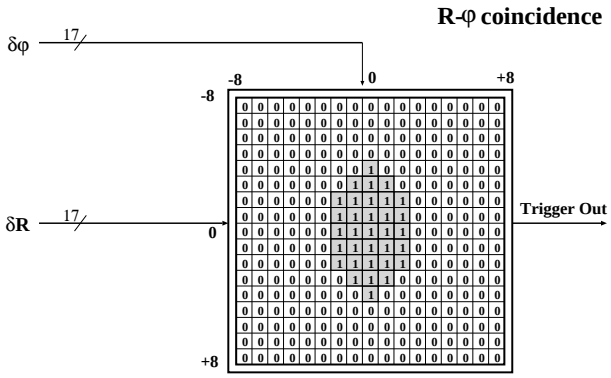


図 16: R・ϕ コインシデンス・マトリクスの構造

とで LVL2 の判定が済むまでの間データを貯めておく。詳しい説明は 5.1.3参照。また正確な用語の定義などは文献 [4] を参照。

それぞれのセクターでは 1 つのセクター当たり最大 2 つのミューオン・イベントの候補を宣言することが出来、セクター全ての情報はミューオン CTP(Muon Central Trigger Processor) に送られる。ここでセクターから送られてミューオン CTP で扱われる情報としては、

- セクター内でのミューオン候補の数。
- セクター内での RoI の場所。
- 各 RoI においてヒットしたうち最大の横向き運動量 Pt。

があり、これらの情報から各しきい値ごとにミューオン候補の数を割だし CTP に送る。

これまで述べてきたように、ATLAS 実験のトリガー /DAQ は階層構造を成しており、各階層ごとに横方向のつながりと、縦方向のつながりがうまくいって始めてシステムとしての性能を発揮することになる。

この論文の主題であるハードウェアの開発は、LVL1 ミューオン・トリガーの中でもエンドキャップ部分で使われるトリガー・ロジック・コインシデンスを実現させるためのものである。

3　同期・非同期によるトリガー・ロジック設計の比較

今回作成したトリガーロジック・ボードは（5.1参照）トリガー出力の判定におけるコインシデンスをLHCのビーム・クロッシング・クロックに同期させて処理している。ここではエンドキャップ部で採用されている同期式設計と、バレル部で採用されている非同期式設計についてシミュレーション比較を行なった。

3.1　同期式設計と非同期式設計とは

同期式設計と非同期式設計の概念は図17,18の様な回路図で表される。この二つの図を見比べることによって二つの設計の本質的な違いのほとんどは理解することが出来る。

主な違いはコインシデンスがBunch ID[8]の後でとられるか（同期式設計）、それともBunch ID[9]の前でとられるか（非同期式）である。

同期式設計　アンプ・ディスクリからの信号が2つのクロック間(40MHz)にあるとき、その信号にBunch IDを割り当て、次のクロックの立ち上がりで1クロック幅のパルスを出すことにより、クロックに同期したデジタル信号に変換する。ここで重要なのは、この設計様式ではBunch ID後全ての信号はシステム・クロックに同期していると言うことである。つまりその後のコインシデンスなどは全てシステム・クロックに同期させながら行なえば良いということになる。

非同期式設計　ここではアンプ・ディスクリからの信号の絶対的な時間ではなく相対的な時間のみを扱ってコインシデンスを取る。入力信号同士の相対的な時間差が、あるゲート幅より小さいかどうかでコインシデンスを決めるのである。Bunch IDはこのコインシデンスの結果に対して行ない、その後システム・クロックに同期することになる。

ゲート幅　ゲート幅の定義は2つの設計様式で異なる。

同期式設計 入力信号がどの時間に来たかによってBunch IDする訳だが、図19の様なBunch ID用回路を用いることにより、ゲート幅を25nsec~50nsecの間で任意の長さに広げることが出来る。このようにここでのゲート幅の定義はアンプ・ディスクリからの信号をデジタル化する際に、信号がどこのバンチに入るかを決める時間幅のことである。図の様に一方のクロック・ソースを遅延させて、それぞれのデータ流で信号をデジタル化し、最後にそのORをとることにより、遅延させた時間だけゲート幅を広げることが出来る。もちろん、ゲート幅を広げた場合は隣のバンチと重なるため、2つの連続したパルスが出ることになる。もしBunch IDを行なった後N番目のBunchであったとすると、アンプ・ディスクリからの信号の到着時間は、

$$25nsec \times N \quad \leq \quad t \quad \leq \quad 25nsec \times N + (gate\ width)$$

の様に表される。

非同期式設計 簡単のため実際の4入力の代わりに2入力のコインシデンスで考える。アンプ・ディスクリからの信号の到着時間がt_1, t_2だとすると、

$$|t_1 - t_2| \quad \leq \quad (gate\ width)$$

をコインシデンスの条件にする。つまり、ここで言うゲート幅とはコインシデンスがとられる時間幅のことになる。

[8]同期式設計の場合、アンプ・ディスクリからの信号をLHCのバンチ・クロッシングに合わせてデジタル化することを意味する

[9]非同期式設計の場合、トリガーの出力をLHCのバンチ・クロッシングに合わせてデジタル化することを意味する

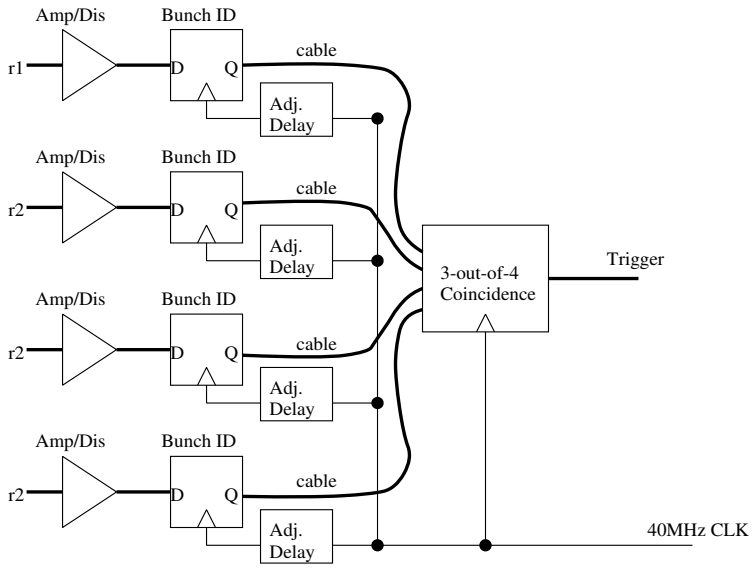


図 17: 同期設計の場合の回路図。簡単のため Low-Pt トリガー用の 4 入力だけを描いてある。 High-Pt トリガー用には更に 3 入力必要である。 Bunch ID は 3-out-of-4 （4 チャンネルのうち 3 チャンネル以上のヒットがある） のコインシデンスがとられる前に行なわれる。

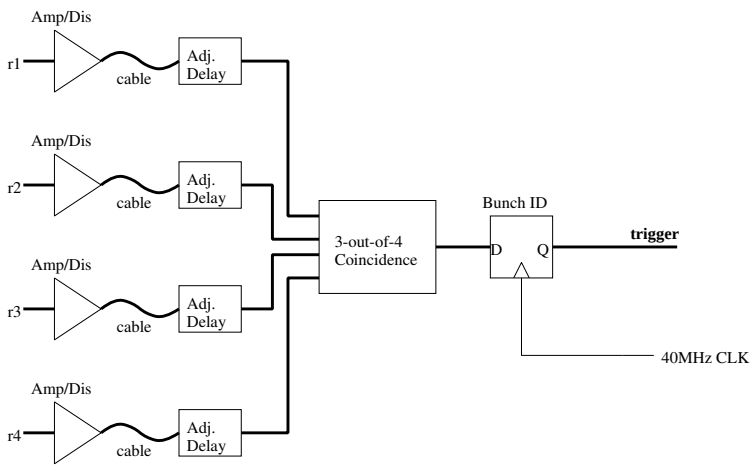


図 18: 非同期設計の場合の回路図。簡単のため Low-Pt トリガー用の 4 入力だけを描いてある。 High-Pt トリガー用には更に 3 入力必要である。 Bunch ID は 3-out-of-4 のコインシデンスをとった後に行なわれる。

このようにゲート幅と言った時に同期式と非同期式では定義が異なってくる。そのため、単にゲート幅に対する性能値を比較しても意味がないということに注意しなくては行けない。このゲート幅の定義は概念図 20のようになる。ここでは 4 入力の代わりに単純に 2 入力での概念図を示している。

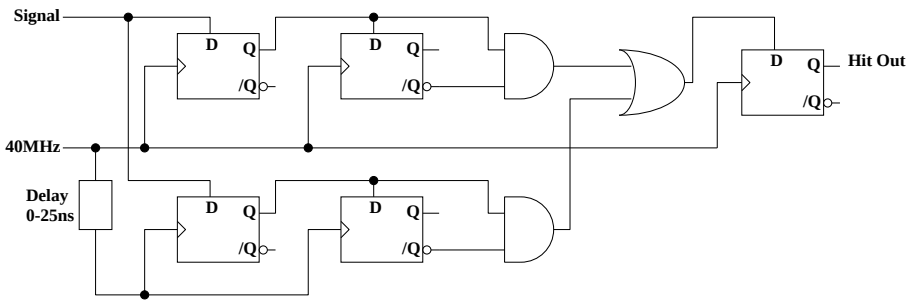


図 19: 同期式設計での Bunch ID 用回路の例。クロック・ソースとしてそのままのものと遅延させたものの 2 種類を用意することにより、可変なゲート幅 (25nsec≤ ゲート幅 ≤50nsec) を作ることを実現している。上下 2 つのデータの流れにおいてそれぞれ、出力のパルス幅を 1 クロックにするために 2 つの D ラッチを連続して並べている。

3.2 シミュレーション

シミュレーションの対象として、エンドキャップ部に配置されているミューオン・トリガー用検出器 TGC を考える。

3.2.1 タイム・ジッター分布

TGC はタイム・ジッター[10]がバンチ・クロッシング時間（25nsec）なみに存在する。タイム・ジッターの分布は既に *Tarfield*[10] と言うシミュレーション・プログラムを使って発生させ利用することが出来る。この *Tarfield* は TGC 専用のシミュレータで電場計算によって TGC のタイム・ジッター、検出効率、信号に関与する電子の数などを求めることが出来るものである。ここでのシミュレーションは *Tarfield* で発生させた分布を元に行なっている。 *Tarfield* を走らせるためには幾つかの TGC のオペレーション・パラメータを設定しなくてはならない。TGC の構造は図 21を参考にして欲しい。 TGC はアノード・ワイヤとカソード面との間隔が MWPC に比べて非常に狭い構造をしており、出力信号が大きい、信号の立ち上がりが非常に早いなどの特徴がある。ここでは、標準的な TGC のパラメータを使う、ちなみにギャップと間隔を比率を維持しつつ狭くするとタイム・ジッターは短くなることが分かっているが（使用ガスが CO_2 + n-pentane の場合）、ここではあくまで標準のパラメータを使った。（パラメータの詳しい意味・数値の妥当性については [11] を参照）。

- アノード・ワイヤとカソード面間のギャップ = 1.6mm
- アノード・ワイヤ同士の間隔 = 2.0mm
- アノード・ワイヤへの印化電圧 = 3100V

その他に基本的なパラメータとして

[10] ミューオンが検出器を通過してから信号が出るまでの時間のばらつき

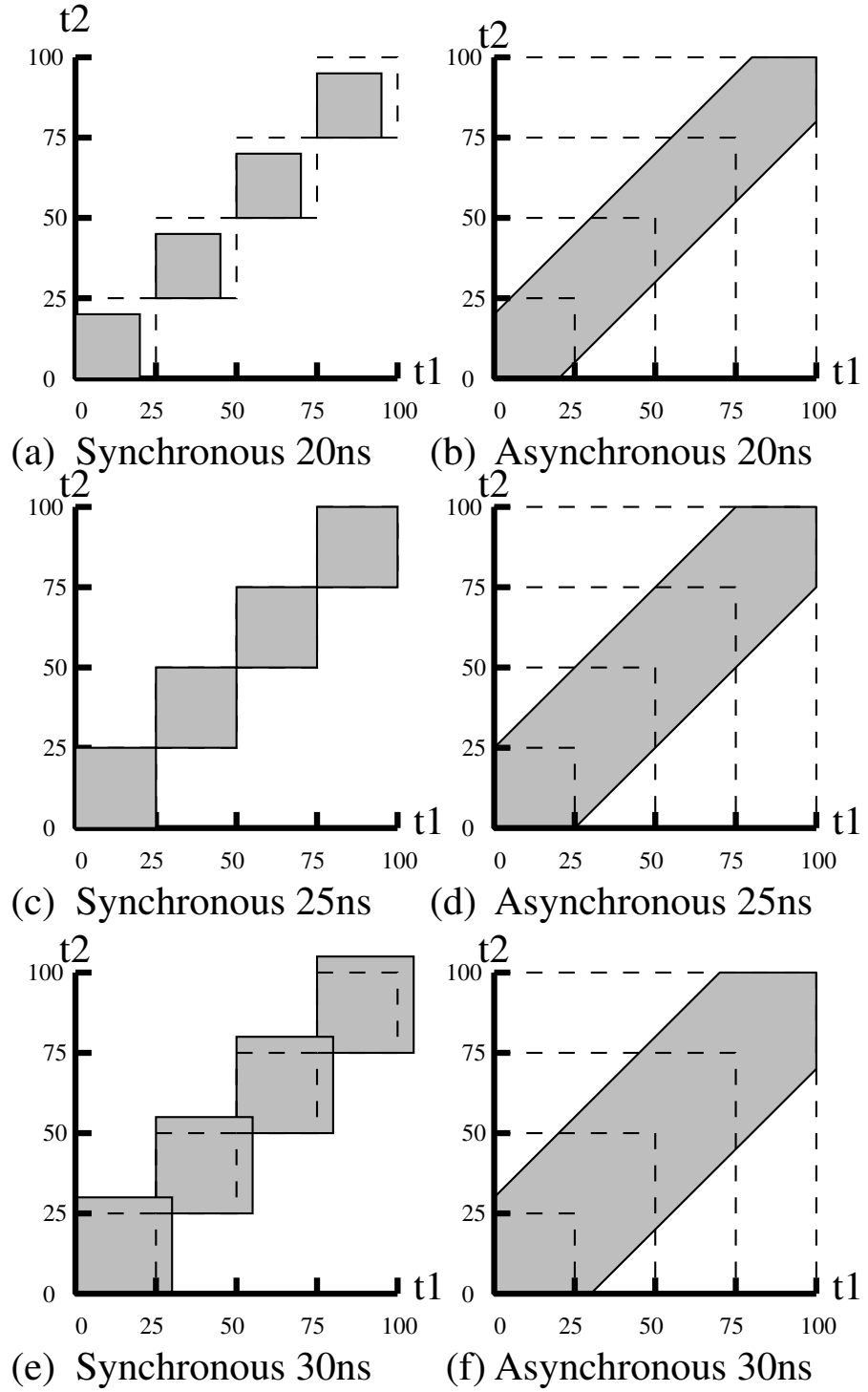


図 20: ゲート幅を変化させた時の同期・非同期式設計でのコインシデンス領域。クロック (40MHz) は点線で表されている。そしてコインシデンス領域には斜がかかっている。2 座標はそれぞれ 2 入力の到着時間 t_1, t_2 を表している。(a) 同期式設計 20nsec ゲート幅。(b) 非同期式設計 20nsec ゲート幅。(c) 同期式設計 25nsec ゲート幅。(d) 非同期式設計 25nsec ゲート幅。(e) 同期式設計 30nsec ゲート幅。(f) 非同期式設計 30nsec ゲート幅。

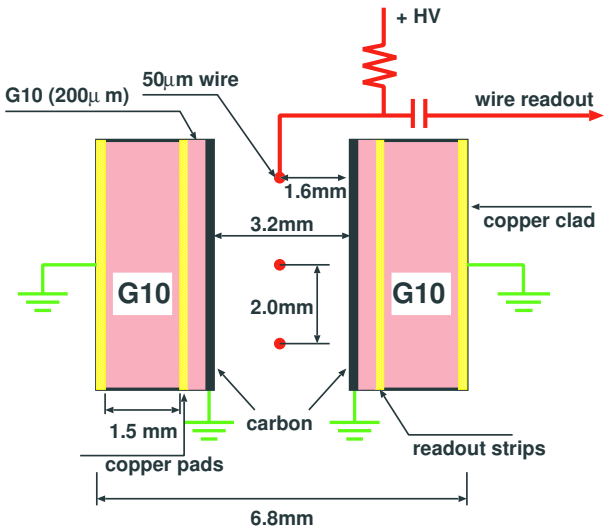


図 21: TGC の構造

- アノード・ワイヤの半径 = 25μm
- 使用ガス = CO_2 + n-pentane (55:45)
- TGC 平面にミューオンが入射する時の入射角= 10 度,30 度（違う角度どうしの比較も後で行なう）

これらのパラメータをプログラムに与えて得られた分布は図22のようになる。 実際問題として、ミューオン

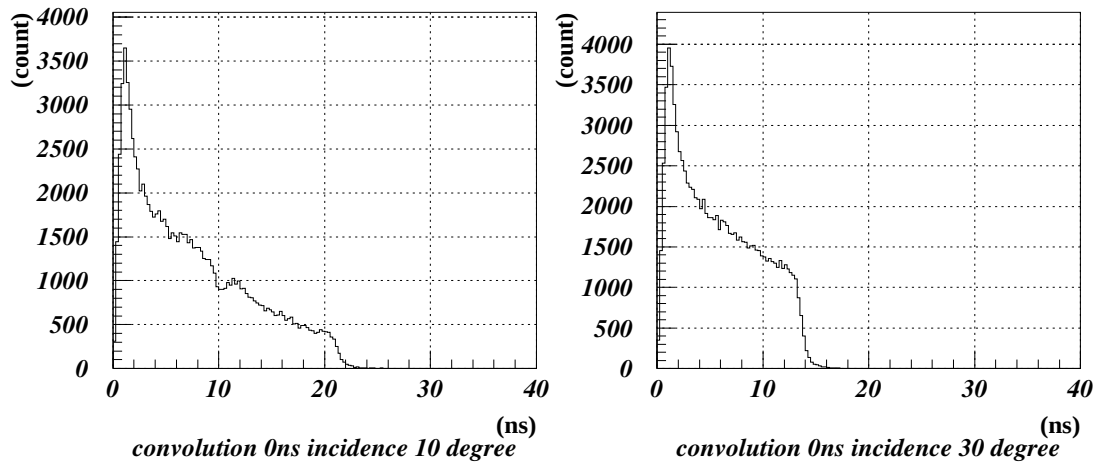


図 22: *Tarfield* の出力

はTGC平面を垂直に通過するものは少なく、むしろ10度から30度くらいのものが多い。図22から分かるが角度が大きくなるとタイム・ジッターが小さくなる。

3.2.2 ワイヤの伝搬時間

今までは検出器において信号が発生するまでのタイム・ジッターを考えてきたが、現実のTGCはワイヤ方向に最大1.67mの長さがある。TGCのどこを（読み出しのコネクタから見て）ミューオンが通過したかによって、通過点から読み出しまでのワイヤの信号伝搬時間が異なって来る。ワイヤの信号伝搬速度は$1/3.6$[m/sec]である [11]。そのためここでは 0~7nsec の一様乱数を発生させ、図22に畳み込むことによって図23の様なより現実的な分布を得た。またカソード・ストリップ方向に関しては、今回シミュレーションを行なっていないが、信号の伝搬速度は$1/6.5$[m/nsec]であり、またストリップ方向は最大1.95mあるので畳み込みとしては13nsecを考慮しなくてはいけない。

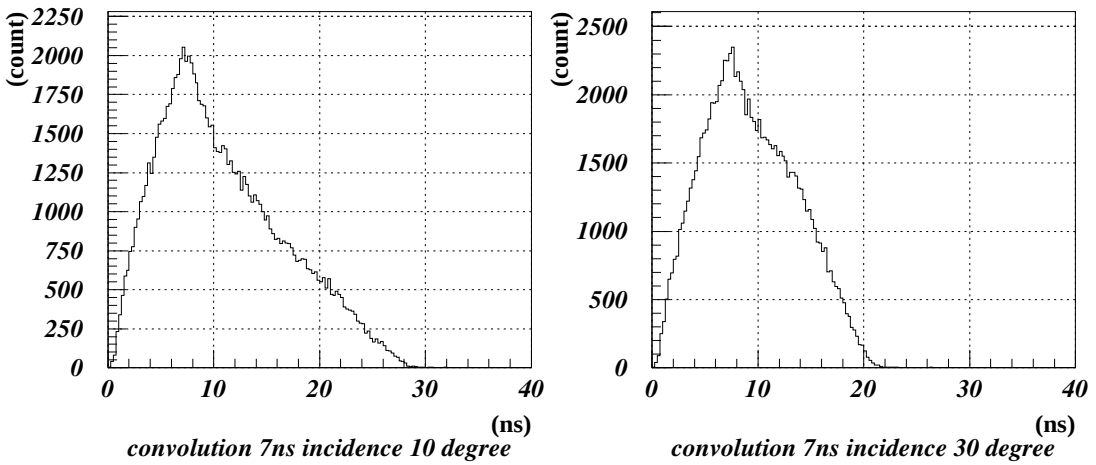
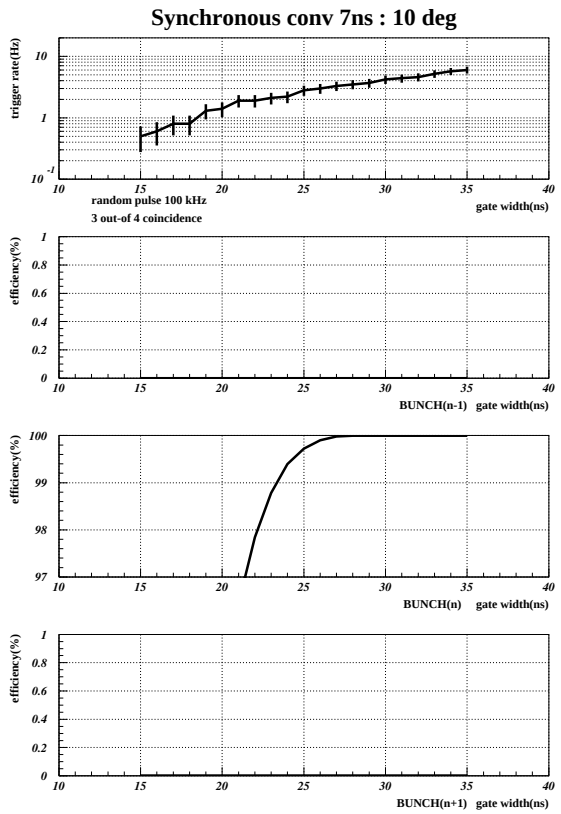


図 23: ワイヤの信号伝搬時間を考慮したあとの *Tarfield* の出力。元の分布より幅が広くなる。

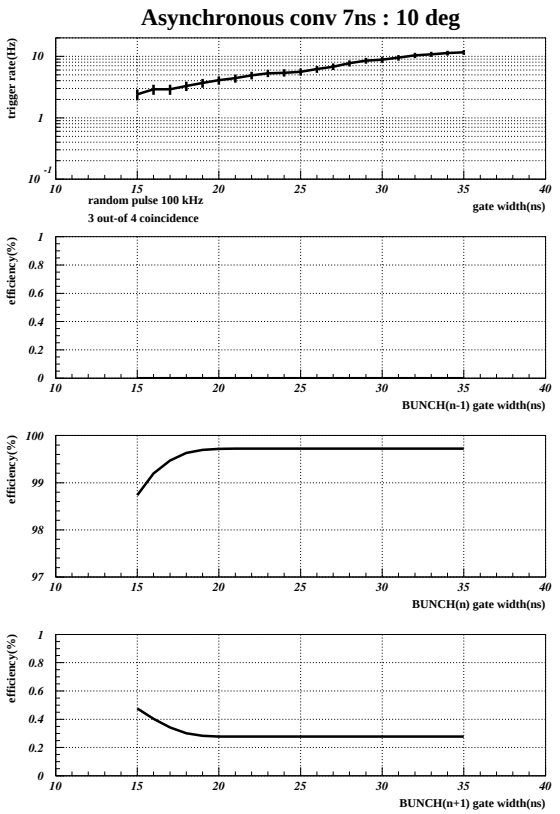
3.3 トリガー効率とミス Bunch ID

バックグラウンド発生率　二つの設計様式の性能はゲート幅に依存することは分かる。しかし少し前で説明したように，二つの設計様式におけるゲート幅の定義は違うため，同じゲート幅で比較する訳にはいかない。そこでまず，ランダム・パルスを入力したときに発生する偶発ヒットをゲート幅の関数として求める。そして同じぐらいの割合で偶発ヒットが発生するゲート幅の対応をお互いにつければ良いことになる。エンドキャップの領域ではバックグラウンドが最大で1kHz/cm^2くらい発生すると考えられている（これは安全ファクタをかけた後の値である）。

そこでここでは各4層のそれぞれ重なり対応してる部分から1信号づつ読み出し、3-out-of-4のコインシデンスを取ることを考える。この場合1信号とは間隔2mmで並んでいるワイヤ5本をまとめて読み出しているので1cmの幅がある。そこで1信号当たり100kHzのランダム・パルスを割り当てる(1cm幅 $\times$1m平均



(a) 同期式設計。ゲート幅が25nsec より大きくなり2つの連続したバンチにヒットがあった場合は、後ろのバンチにだけトリガーを出すようにする。



(b) 非同期式設計。 Bunch ID を決定するタイミングは、コインシデンスが満たされた時最後に入ってきた信号のタイミングで決められる。

図 24: 7nsec の伝搬時間と 10 度の入射角がそれぞれ考慮されている。ランダム・パルス入力による偶発バックグラウンド発生率（上），一つ前のバンチでのトリガー効率曲線（2番目），実際にヒットのあったバンチでのトリガー効率曲線（3番目），1つ後のバンチでのトリガー効率曲線（下）。横軸はゲート幅。

の長さ $\times 1\mathrm{kHz/cm^2}$)。それぞれの設計用式におけるゲート幅の関数としての偶発ヒット発生率は、例えば図24に見られる。この二つの図の偶発ヒット発生率だけをとりだして、横軸方向にずらし重ねたものが図25である。 図から容易に分かるように、同期式設計の 30nsec と非同期式設計の 20nsec がほぼ同じ偶発ヒット発生

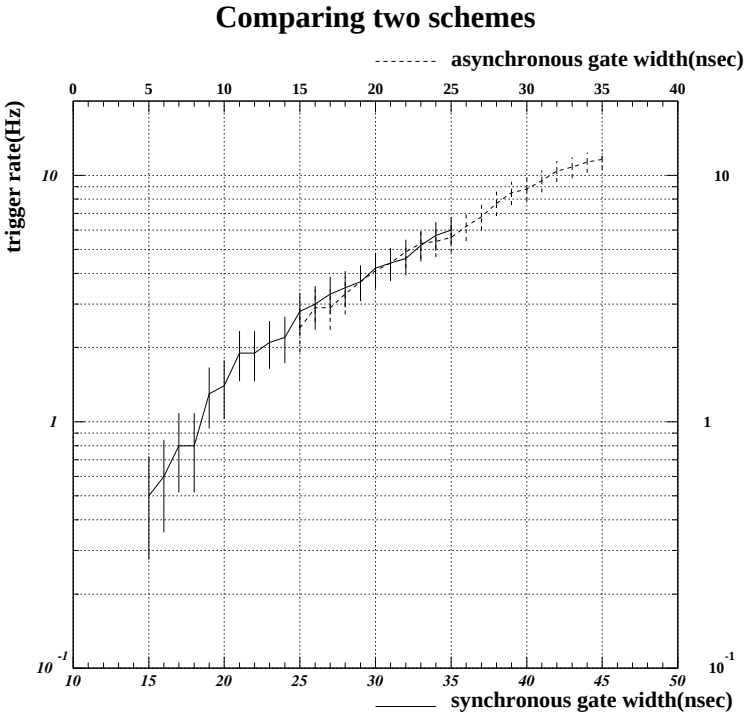


図 25: 二つの設計様式での偶発ヒット発生率を重ね合わせたもの。時間軸は下が同期式設計のもの。上が非同期式設計のものである。ちょうど 10nsec ずらした時に重なることが分かる。

率であることが分かる。

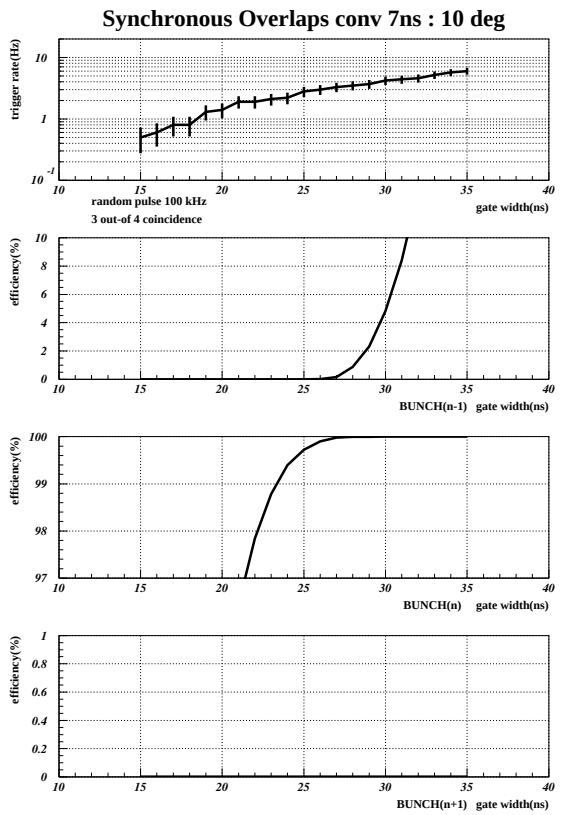
トリガー効率とミス Bunch ID　偶発ヒット発生率と同様に、各 4 層に対応する 4 信号に対してジッター分布に従ってパルスを発生させ 3-out-of-4 のコインシデンスを取る。図24は幾つかのバンチにおけるトリガー効率を表している。ここでのトリガー効率は純粋にトリガーロジックにおける効率であって、TGC 自身の検出効率[11]は考慮されておらず、理想的に 100% として扱っている。ミス Bunch ID がすぐに分かるようにそれぞれのバンチが独立に表されている。 N バンチは理想的には 100% になるはずの本当にヒットのあったバンチである。 N-1 は一つ前のバンチ、 N+1 は一つ後のバンチである。そのためミス Bunch ID は N-1 バンチと N+1 バンチの和。トリガー効率は N バンチとなる。 N-2 バンチ, N+2 バンチは完全に 0 であることは確認されている。それぞれのグラフで、ゲート幅にしたがって図24の様にトリガー効率が変化する理由は図23のジッター分布と図20から予想することが出来る。

同期式設計　図 20(e) から分かる様に、同期式設計の場合ゲート幅が 25nsec を越えると連続したバンチ同士の間に重なりが生じるようになる。もしもトリガーの条件が連続したバンチで満足された場合は（図 20(e) で正方形同士が重なっている部分にヒットがあった場合）、後ろのバンチにのみヒットがあったものとする。図

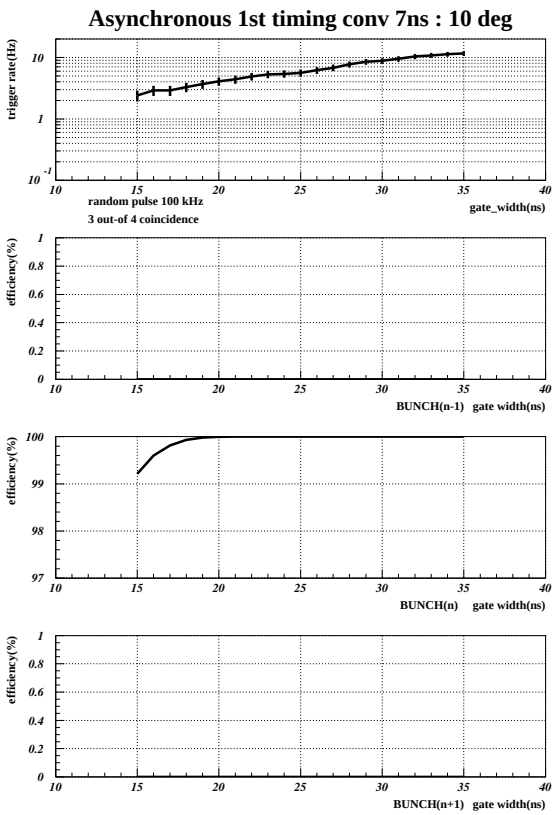
[11] フレーム・サポートの存在などのために 97% 程度になる

24の同期式設計のグラフはこの効果を考慮してある。図23の様にタイム・ジッターは0nsec～10nsec に集中している。そのため、もしも両方のバンチにヒットがあったとすると前のバンチにおけるミス Bunch ID が急激に増えることになる。両方のバンチにヒットがあったとする方法を取ると図 26の同期式設計のようになる。ゲート幅が 25nsec を越えると前のバンチが急激に増加していることが分かる。

非同期式設計　図 20(b)(d)(f) から分かるように、コインシデンスをとった後に点線のクロックでバンチに分けられる。そのときどちらのバンチに入るかは後から来た信号のタイミングで決まる。つまり 2 入力の場合で $t_1 < t_2$ の時 t_2 のタイミングでバンチが決定する。4 入力の場合はどうなるのか。4 入力の信号の到着時間が $t_1 < t_2 < t_3 < t_4$ であったとする。もし、$t_3 - t_1 \leq$25nsec の場合、タイミングを決めるのは t_3 である。また、もし $t_3 - t_1 >$25nsec で $t_4 - t_2 \leq$25nsec の場合タイミングを決めるのは t_4 である。したがって図 24からも分かるように、タイミングが遅れて後ろのバンチにヒットが発生することがある。もしも、一番遅いタイミングの代わりに一番早いタイミングを使ったとしたら図 26のようになる。この場合後ろのバンチにミス Bunch ID しなくなったのが分かる。



(a) 同期式設計。二つの連続したバンチにヒットがあった時に両方を採用した場合



(b) 非同期式設計。 Bunch ID を決定するタイミングを一番早く到着した信号のタイミングで決めた場合。

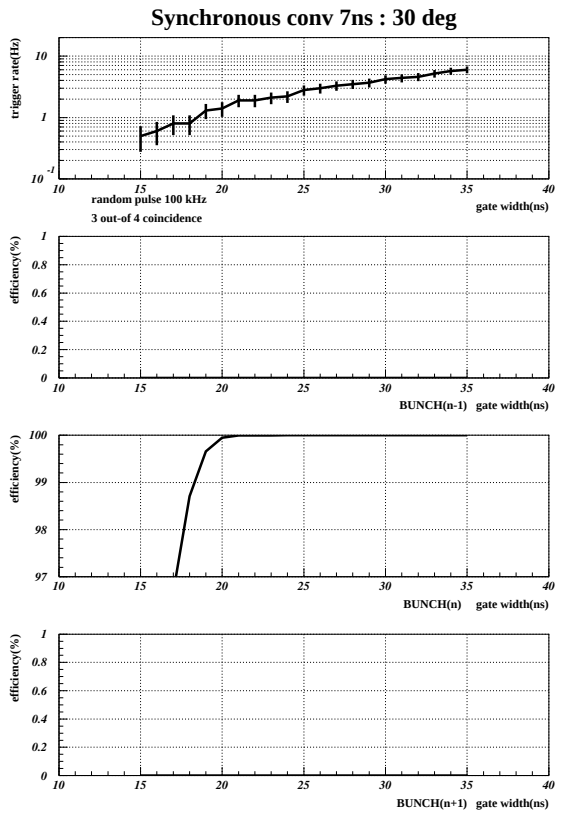
図 26: 7nsec の伝搬時間と 10 度の入射角がそれぞれ考慮されている。ランダム・パルス入力による偶発バックグラウンド発生率（上），一つ前のバンチでのトリガー効率曲線（2 番目），実際にヒットのあったバンチでのトリガー効率曲線（3 番目），1 つ後のバンチでのトリガー効率曲線（下）。横軸はゲート幅，7nsec の伝搬時間と 10 度の入射角がそれぞれ考慮されている。

入射角依存性　以前に述べたように、TGC 平面へのミューオンの入射角は 30 度の時の方が 10 度の時よりもタイム・ジッターの分布が狭くなる。その分ミス Bunch ID が少なくなり真バンチでのトリガー効率が高くなることが両方の設計用式で予想される。結果は図27のようになる。30 度の場合、ゲート幅として同期式設計には 25nsec 以上を、また非同期式設計には 15nsec 以上を設定すれば 2 つの設計用式の間に大きな違いは見られなくなる。

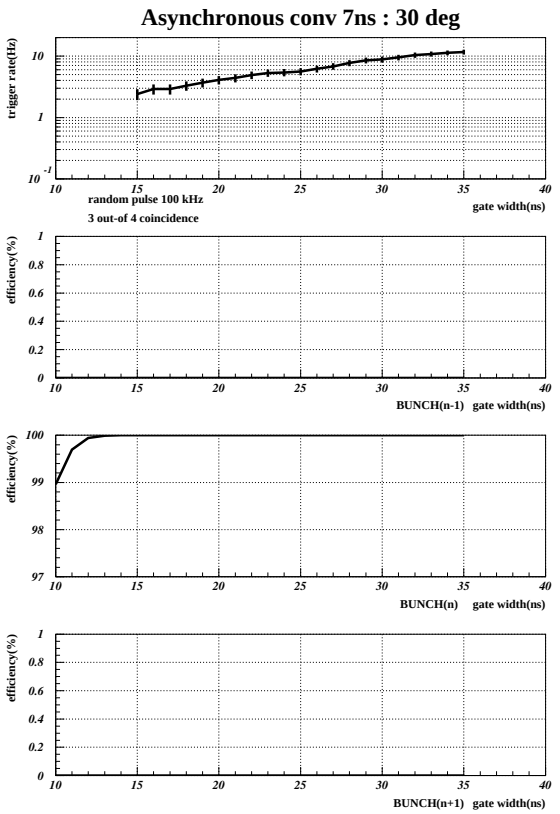
3.4　ビーム・ハローム効果

3.4.1　ビーム・ハロー効果について

η の大きい領域において、加速管の壁とハドロンの相互作用によって発生したミューオンやハドロンはビームと並行に検出器に入射してくる。これらの粒子は「ビーム・ハロー」と呼ばれて、本物のビーム衝突点で発



(a) 同期式設計。入射角 30 度でのもの。連続したバンチに対しては後ろにのみトリガーを出す。



(b) 非同期式設計。入射角 30 度でのもの。トリガーを出すタイミングは、コインシデンスを満たす最後の信号が入って来た時間。

図 27: 入射角 30 度の場合。ランダム・パルス入力による偶発バックグラウンド発生率（上），一つ前のバンチでのトリガー効率曲線（2 番目），実際にヒットのあったバンチでのトリガー効率曲線（3 番目），1 つ後のバンチでのトリガー効率曲線（下）。横軸はゲート幅，7nsec の伝搬時間がそれぞれ考慮されている。

生したミューオンの通過と区別がつかない。唯一の手がかりは粒子が検出器の層を通過する時のタイミングである。なぜならビーム衝突点より上流に位置する検出器にとっては、本物の粒子とビーム・ハローの粒子は全く逆の方向に通過するからである。下流の検出器にとっては全く区別がつかない。

3.4.2 ビーム・ハローを本物の粒子と間違える確率

7枚のTGCの層は図 38 の様に並んでいる。この時LowPtトリガー用の2組の2重層(doublet)を粒子が通過した時の時間の違いは距離が近いために微小なものである。したがってLowPt用のトリガー条件ではビーム・ハローをうまく排除することは出来ない。そこで、ここではHighPtトリガー用の3重層(triplet)と2つの2重層との間の時間差を利用することにする。ここでは簡単のためTGC同士の相互距離を慣用的な値に固定し、ηの値に依存しないようにした。

- 2番目のdoubletとビーム衝突点との距離。$(=14.536[\mathrm{m}])$
- 2つのdoublet同士の距離。$(=0.47[\mathrm{m}])$
- tripletと2番目のdoubletとの距離。$(=1.486[\mathrm{m}])$

そして通過する粒子（本物のミューオンとビーム・ハロー）のTGCを通過する時の速度を簡単のため光の速度にした$(0.30[\mathrm{m/nsec}])$。簡単な計算の後、ビーム・ハローのイベントはそれぞれのTGCでのヒットの時間（シミュレーションで発生させた値）に、以下の時間を足したものであることが分かる。

- tripletの場合。$+13.0[\mathrm{nsec}]$
- 1番目のdoubletの場合。$+6.23[\mathrm{nsec}]$
- 2番目のdoubletの場合。$+3.09[\mathrm{nsec}]$

ビーム・ハローの場合粒子はTGC平面に垂直に入射すると考えられるので、入射角は0度としてタイム・ジッター分布を出す必要がある。また、TGCの各層の間で通過する場所は同じになるはずであるからワイヤでの信号の伝搬時間は同じになるはずである。それらの効果を入れて得られた結果は図28のようになる。

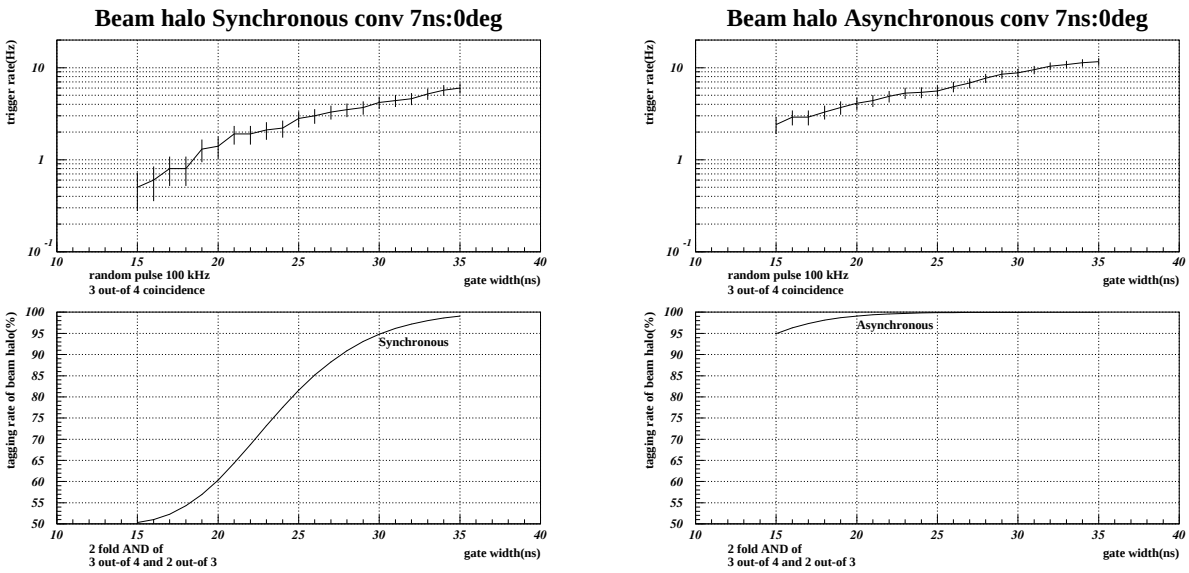
3.4.3 ビーム・ハローに関するコメント

以前に述べたようにATLAS検出器の上流のものしかビーム・ハローを排除することは出来ない。そのため初期値として50%は間違ってトリガーを出してしまう確率になるわけであるから、縦軸は50%から始まっている。以前それぞれの設計様式におけるゲート幅を対応づけたように、採用するゲート幅を同期式設計では30nsecに非同期式設計では20nsecだと仮定する。同期式設計の場合ビーム・ハローにトリガーを間違えて出してしまう確率はゲート幅に大きく依存することが図28からも分かる。しかしながら同期式設計はゲート幅30nsec付近で使うことが分かっているので、ビーム・ハロー効果によってどちらの設計様式が優れていると言うことは出来ないと言う結論になる。

3.5 位相変化依存性

3.5.1 位相変化とは

ATLAS実験では40MHzのシステム・クロックが全ての検出器に同時に分配されることが要求されている。そして分配されるクロックのタイミングはビームのクッロシング・タイムに微調整される必要がある。これまで得られたシミュレーションの結果は全てこのクロックとビーム・クッロシング・タイムのずれ（位相）がないものと仮定して行なってきた。しかしながらハードウェアの設計においては最大5nsec程度の位相変化の可能性がある。そのため、もしもこの位相変化によってトリガー効率が大きく変化するようであったら、設計様式を見直さなくてはならない。



(a) 同期式設計　　(b) 非同期式設計

図 28: ビーム・ハローに間違ってトリガーを出してしまう確率。横軸はゲート幅, 7nsec の伝搬時間と 0 度の入射角がそれぞれ考慮されている。

3.5.2 トリガー効率の位相変化依存性

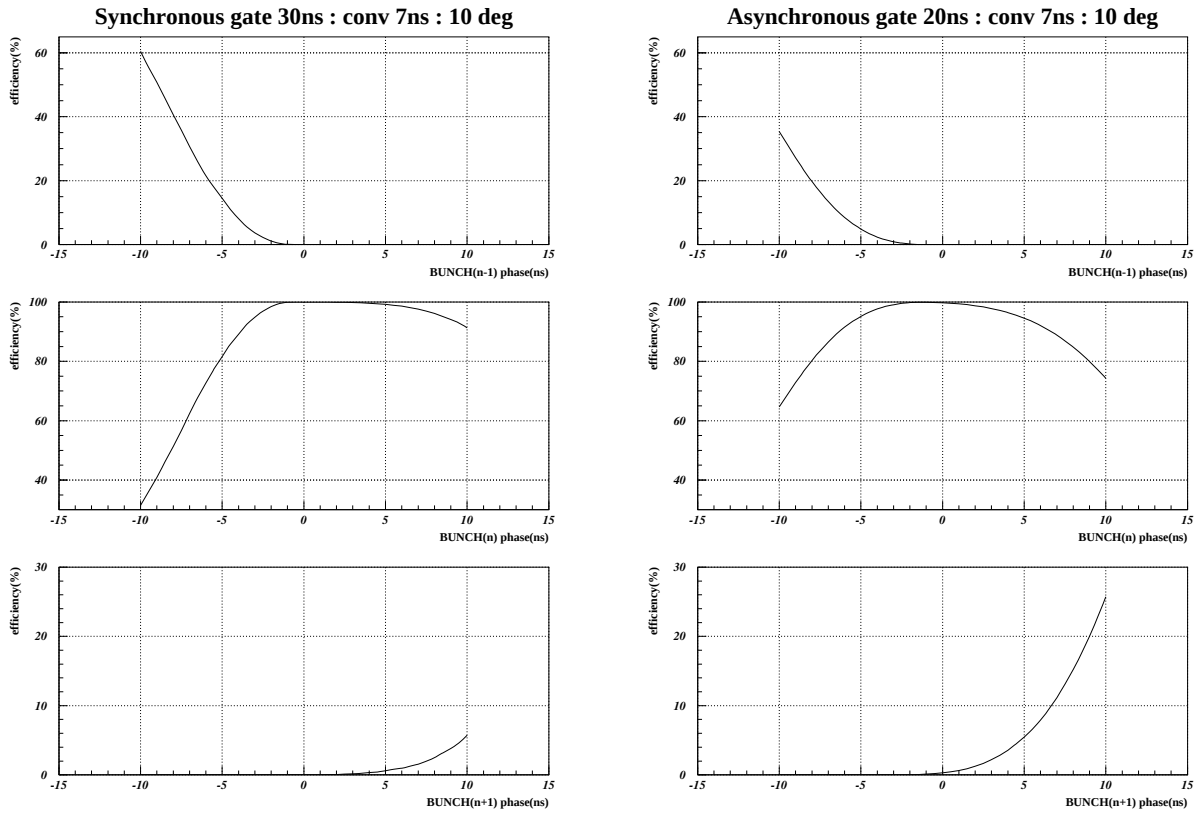
図 29は各バンチのトリガー効率の位相変化依存性である。これらのグラフはミス Bunch ID のシミュレーションと同じような方法でプロットされている。図から分かるように 2 つの設計様式において ±2nsec の領域では比較的安定していることが分かる。図 30は図 29と同じものであるが本物のバンチのトリガー効率の高い部分だけを拡大したものである。位相変化の正の範囲（つまり +(nsec)）は、40MHz のシステム・クロックの方がバンチ・クッロシングよりも早く来た場合と言う意味である。逆に位相変化の負の範囲（つまり -(nsec)）は、40MHz のシステム・クロックの方がバンチ・クッロシングよりも遅く来た場合と言う意味である。このことは前のバンチが負の位相変化の領域で急激に増えていること、また後ろのバンチが正の位相変化の領域で増えていることから確認することが出来る。

3.5.3 位相変化に対するコメント

それぞれの設計様式においてゲート幅は固定して計算してある。同期式設計では 30nsec、非同期式設計においては 20nsec というようにゲート幅を定義している。

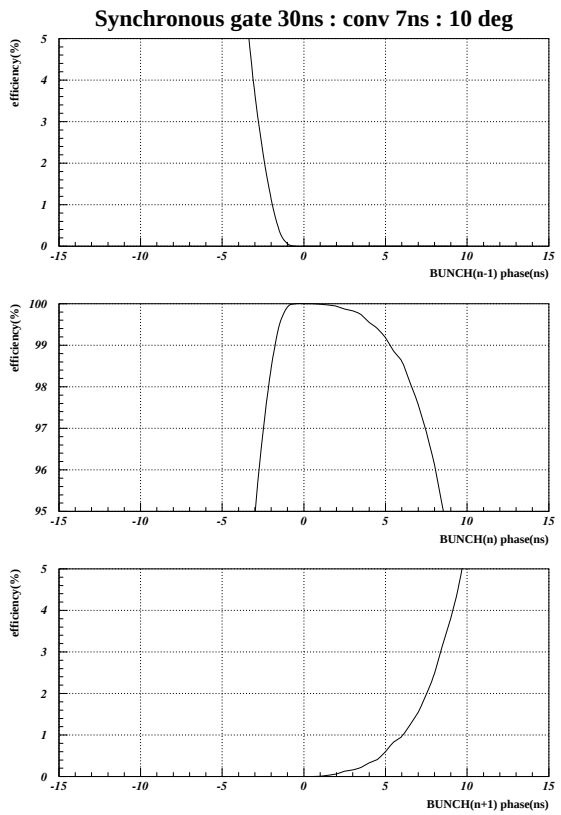
同期式設計　トリガー効率は正の位相変化では比較的安定しているが、負の領域では急激に減少している。99% のトリガー効率を得るためには、−2(nsec)∼+5(nsec) の範囲で位相変化が許される。

非同期式設計　トリガー効率は位相変化に対して対称性を持っている。99% のトリガー効率を得るためには、−3(nsec)∼+2(nsec) の範囲で位相変化が許される。図 30から分かる用に 40MHz クロックの分配を 2(nsec) 遅らせた時にトリガー効率を最大にすることが出来る。

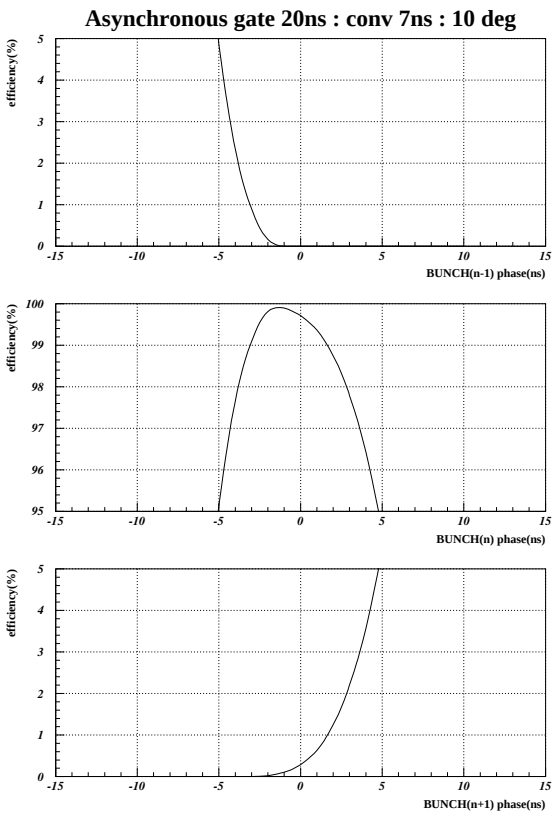


(a) 同期式設計　　(b) 非同期式設計

図 29: トリガー効率の位相変化依存性。ゲート幅は同期式設計では 30nsec、非同期式設計では 20nsec に固定している。ワイヤの伝搬時間として 7nsec 入射角として 10 度が仮定されている。1 つ前のバンチ（上）。本物のバンチ（中）。1 つ後のバンチ（下）。



(a) 同期式設計



(b) 非同期式設計

図 30: 図 29と同じ。本物のバンチのトリガー効率の高い部分だけを拡大している。

3.6 設計様式比較シミュレーション全般に対するコメント

各節で見てきたように、それぞれの効果において2つの設計様式のパフォーマンスの間には微小な差しかない。これらの微小な差からどちらの設計様式が優れているとは言えないというのが結論になる。また、ここで使ったTGCのパラメータは標準的なものであるがタイム・ジッターなどの面であまり良くないものである。パラメータを適当な数値にすれば、各節での結果は更に改良され2つの設計様式の性能の差はさらに小さくなると考えられる。つまり、計算上のパフォーマンスの面ではどちらの設計様式でも変わりがないことが分かった、しかしながらその後の実際のハードウェア設計において大きな差があることは容易に予想のつくことである。図17,18から分かるように非同期式設計の場合は全ての信号線同士のケーブル遅延を同一にする調整作業が必要である。それに対して同期式設計ではBunch ID回路に与えるクロックの分配だけを調整すれば良い。同期式設計ではまた、早めにデジタル化してあるのでコインシデンスを取る時など信号が扱い易く、微妙な調整を気にせずに設計が出来るなどの利点がある。そのような理由も含めて、トリガーロジック・ボードを同期式設計で製作した。

4　同期式設計における偶発トリガー発生率の評価

ここまでトリガーのシステムや設計様式について述べてきたが、コインシデンスによってどこまでバックグラウンドにより発生する偶発トリガーを抑えれるかが重要になってくる。ここではエンドキャップ部でのTGCにおける偶発トリガー発生率をシミュレーションと解析的手法を用いて評価する。バックグラウンドの発生源やそのレートについては文献[12]にまとめられている。ここでは典型的なバックグラウンド・レートを元に評価していく。最終的な評価はあくまで桁の評価なので途中の仮定においては、理想的な状況を設定している。

4.1　シミュレーションでの仮定

同期式設計だけについて行なっている。シミュレーションはトリガーの条件としてLow-Pt用(3-out-of-4)のみを用いている。High-Pt用のものは条件が厳しいためトリガー率が低過ぎシミュレーションでは評価しずらいからである。また、同期式設計なので解析的にトリガー率を計算することも出来る。解析的手法については後にHigh-Pt用の条件についても計算している。

4.1.1　幾何学的仮定

図31のようなR方向に150cm、ϕ方向に120cmの長方形のTGC平面を考える。実際のTGCは台形であるが、ここでは理想的に長方形にしている。

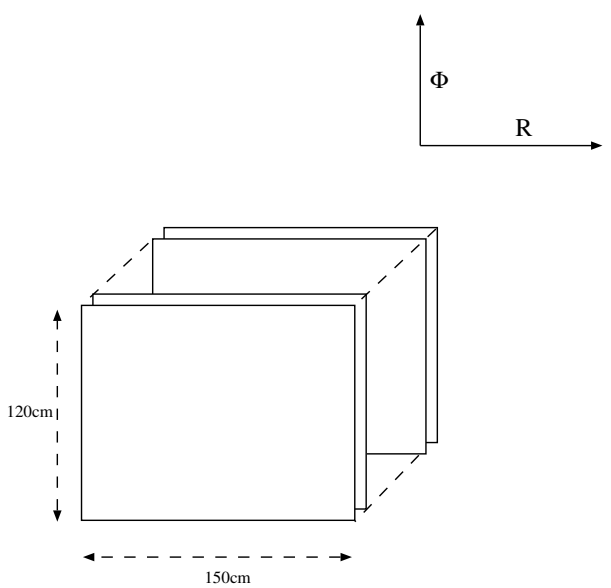


図 31: TGC4層ののレイアウト

- アノード・ワイヤはϕ方向に伸びていてミューオン運動量のR成分を測定する。アノード・ワイヤ同士の間隔は2.0mmで、5本づつまとめて読み出されるのでワイヤ・グループの読み出し幅は1cmであると仮定する。
- カソード・ストリップはR方向に伸びていてミューオン運動量のϕ成分を測定する。ストリップの読み出し幅は3cmと仮定する。

このようにワイヤとストリップの違いは幅だけを考えればよく、特性の違いはここでの計算では無視してよい。図31のようにTGC平面を4枚用意し2つの2重層(doublet)を作る。そしてこの2つの2重層を用いてLow-Ptトリガー用3-out-of-4のコインシデンスを取るわけである。

コインシデンスwindowの大きさ　トリガーシステムのところで既に述べたように（2.3.2参照）、windowの大きさは90%のトリガー効率でミューオンをとらえることの出来るような大きさをラピディティ毎に設定している。ここでは簡単のため以下のような典型的な値を設定する。

- ϕ方向のwindowサイズは9cm
- R方向のwindowサイズは20cm

しかしながらこのようにして単にwindowを開くとTGCの辺の部分ではwindowがはみでてしまう。したがって斜めに入射したミューオンが辺の部分を通った場合2つ目のdoubletでとなりのTGCを通過してしまいトリガー効率が下がる現象が起こる。この問題を解消するために2種類の設計が考えられている[12]。ここでは図32を「2倍重ね」、図33を「等倍重ね」と呼ぶ。

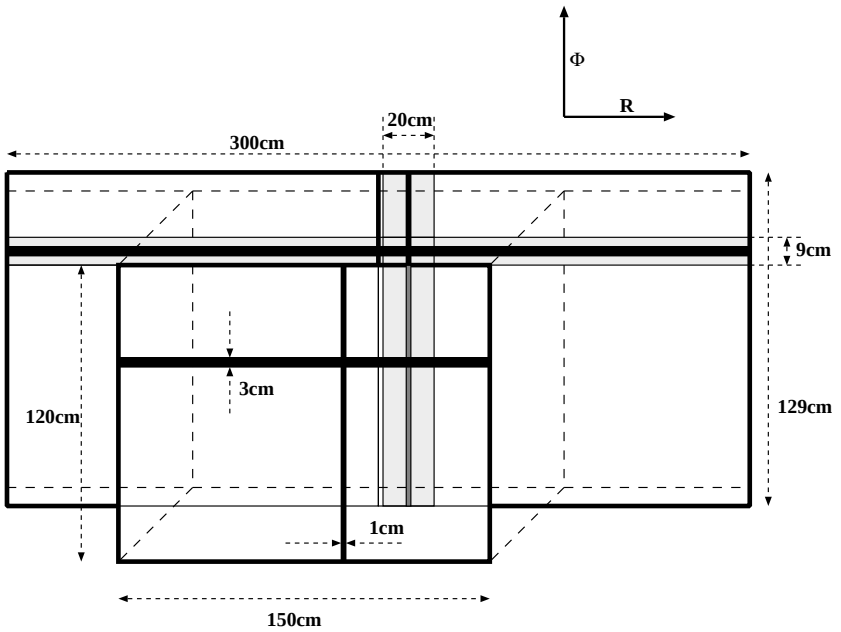


図 32:　2倍重ねのレイアウト。3、4枚目のTGCはR方向に半分ずれて配置され、2枚の大きさでコインシデンスwindowを覆うようにしている。

2倍重ね　図32のように2つ目のdoubletをR方向に半分ずらして配置する。そしてR方向に関しては論理的に（電気的に）2つの和を取ることによってwindowをとる領域をカバーしている。ϕ方向に関しては物理的に隣のTGC同士を少しづつ重ねてカバーしている。ϕ方向の重なりは4.5cmと仮定する（windowサイズの半分）。

[12] TGCの配置される場所によって使い分けられる

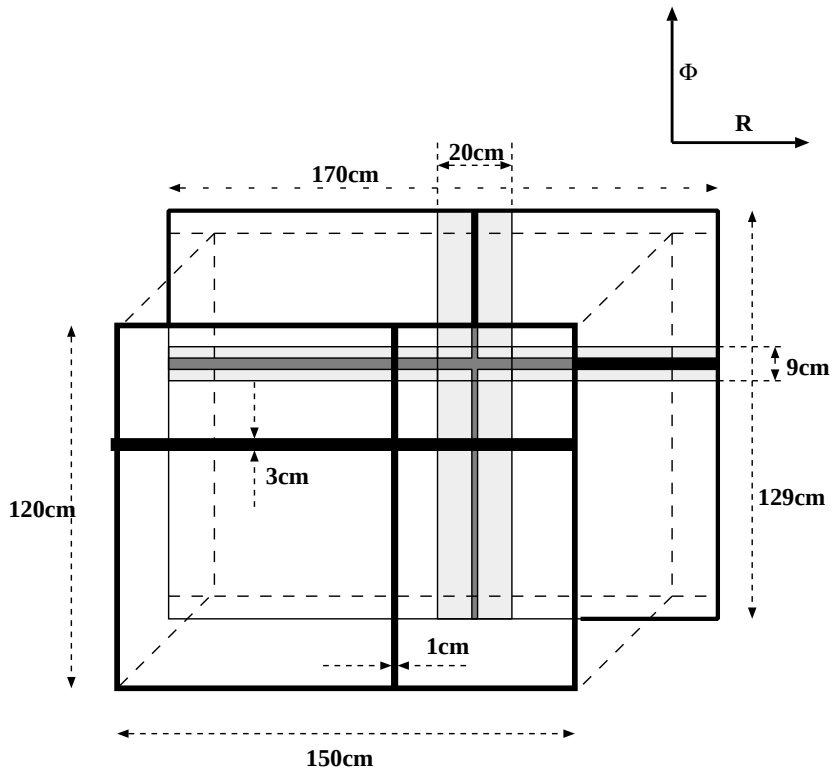


図 33: 等倍重ねのレイアウト。3、4 枚目の TGC は 1、2 枚目の TGC に対して重なるように配置される。

等倍重ね　図 33の場合 2 つ目の doublet はずらさない。その代わりにカソード・ストリップに関しては隣合っている TGC から共通に読み出せる領域を作る。したがってこの場合 ϕ 方向の様な物理的な重なりは必要としない。この領域は両辺に 10cm 幅のものをとる。ϕ 方向の重なりは 4.5cm である。

4.1.2　相関バックグラウンドと非相関バックグラウンド

この章では 2 種類のバックグラウンドを考えている。

- 非相関バックグラウンドの場合、4 層に発生するバックグラウンドは全て独立のものと考え、4 層で独立にイベントを発生させる。
- 相関バックグラウンドの場合イベントを doublet 単位で考える。これはバックグラウンドの元になる粒子が doublet を貫通することによって、2 枚の TGC の同じ点でヒットが発生するという現象である。したがってこの場合 2 つの doublet で独立にイベントを発生させればよい。

シミュレーションの結果は後で解析的計算の結果と一緒に示す。

4.2　解析的手法による計算

今考えているのは同期式設計であるから、シミュレーションと対応した計算をすることが可能である。また、この様にシミュレーションと手計算の 2 通りの手法で評価することによりクロスチェックにもなる。

4.2.1　相関バックグラウンドの場合

相関バックグラウンドの場合アイデアは単純である。次節ではこのアイデアを複雑な場合に応用する。

ビーム・クッロシング・レートに比べてTGC上でのバックグラウンド発生率は非常に低い。そのため、まず始めに仮定することはTGC上でのバックグラウンド発生率がポワソン分布に従うと言うことである。定義から、期待値xのポワソン分布において0の真値を得る確率は、

$$P(0,x) = \frac{x^0 \exp(-x)}{0!} = \exp(-x)$$

であり、この場合の期待値は、

$$x = \frac{\text{面積}(cm^2) \times \text{バックグラウンド・レート}(Hz/cm^2)}{\text{ビーム・クッロシング・レート}(Hz)}$$

である。相関バックグラウンドの場合、3-out-of-4を満たすためにはそれぞれのdoubletに少なくとも1つのヒットが発生すればよい。そのため偶発トリガー発生率は

$$\begin{aligned} R_{\text{相関}} \quad = \quad & (1\text{つ目の}doublet\text{の一点で少なくとも1つ発生}) \times \\ & (2\text{つ目の}doublet\text{での}window\text{内に少なくとも1つ発生}) \times \\ & 40 \times 150 \times (\text{ビーム・クッロシング・レート}) \end{aligned}$$

となる。上の式で40×150は1つ目のdoublet上での全ての点の足し合わせを意味している。

2倍重ねの場合　図32より、上式のカッコは下のようになる。

$$\begin{aligned} & (1\text{つ目の}doublet\text{の一点で少なくとも1つ発生}) \\ & \quad = \left(1 - e^{-(120-3)\times\frac{f_{back}}{f_{beam}}}\right)\left(1 - e^{-(150-1)\times 3\times\frac{f_{back}}{f_{beam}}}\right) + \left(1 - e^{-3\times\frac{f_{back}}{f_{beam}}}\right) \\ & (2\text{つ目の}doublet\text{での}window\text{内に少なくとも1つ発生}) \\ & \quad = \left\{\left(1 - e^{-(129-3)\times\frac{f_{back}}{f_{beam}}}\right)\left(1 - e^{-(300-1)\times 3\times\frac{f_{back}}{f_{beam}}}\right) + \left(1 - e^{-3\times\frac{f_{back}}{f_{beam}}}\right)\right\} \times 3 \times 20 \end{aligned}$$

ここでf_{back}はバックグラウンド・レートを、f_{beam}はビーム・クッロシング・レートを表す。また最終項の3×20は2つ目のdoubletでのコインシデンスwindow内全ての点を足し合わすことを意味している。

等倍重ねの場合　図33をもとに同様の計算をすると、

$$\begin{aligned} & (1\text{つ目の}doublet\text{の一点で少なくとも1つ発生}) \\ & \quad = \left(1 - e^{-(120-3)\times\frac{f_{back}}{f_{beam}}}\right)\left(1 - e^{-(150-1)\times 3\frac{f_{back}}{f_{beam}}}\right) + \left(1 - e^{-3\times\frac{f_{back}}{f_{beam}}}\right) \\ & (2\text{つ目の}doublet\text{での}window\text{内に少なくとも1つ発生}) \\ & \quad = \left\{\left(1 - e^{-(129-3)\times\frac{f_{back}}{f_{beam}}}\right)\left(1 - e^{-(170-1)\times 3\times\frac{f_{back}}{f_{beam}}}\right) + \left(1 - e^{-3\times\frac{f_{back}}{f_{beam}}}\right)\right\} \times 3 \times 20 \end{aligned}$$

となる。

4.2.2　非相関バックグラウンドの場合

非相関バックグラウンドの場合基本的なアイデアは相関バックグラウンドと同じである。しかし非相関バックグラウンドにおいては、4層を独立と考えるので3-out-of-4のコインシデンスを満たすためにはヒットのない層があってもよい。そのため1層で全く発生しない確率を考慮に入れる。図34のようにR方向、ϕ方向独立にヒットの確率を計算し、可能な25パターンの組合せについて全て足し合わせる必要がある。これから省略のために、トリガー発生率を例えば図のR2と$\phi 3$の組合せの時にはt_{23}と記すようにする。

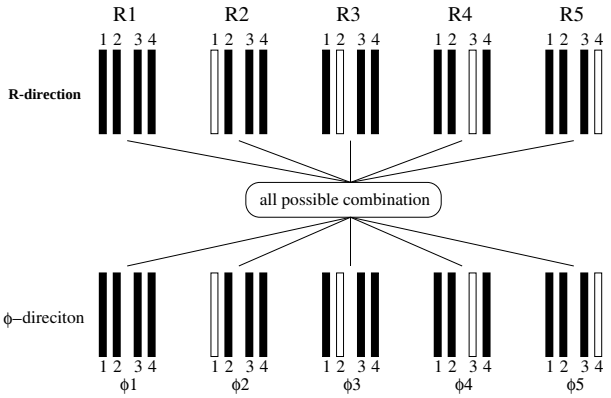


図 34: 非相関バックグラウンドの場合の組合せ。それぞれ 4 層の TGC を R 方向と ϕ 方向から見ている。黒く塗り潰しているのは少なくとも一つはヒットのあった層で、白いものは一つもヒットのなかった層である

2 倍重ねの場合　ここで幾つかの略式を定義する。

$$a_1 = e^{-(150-1)\times 3\times \frac{f_{back}}{f_{beam}}} \qquad a_2 = e^{-(120-3)\times \frac{f_{back}}{f_{beam}}} \qquad a_3 = e^{-3\times \frac{f_{back}}{f_{beam}}}$$

$$b_1 = e^{-(300-1)\times 3\times \frac{f_{back}}{f_{beam}}} \qquad b_2 = e^{-(129-3)\times \frac{f_{back}}{f_{beam}}} \qquad b_3 = e^{-3\times \frac{f_{back}}{f_{beam}}}$$

$$a_{common} = \big((1-a_1)(1-a_2)+(1-a_3)\big)$$

$$b_{common} = \big((1-b_1)(1-b_2)+(1-b_3)\big)$$

これらの省略を使って各項を書き下すと、

$$\begin{aligned}
t_{11} &= a_{common}^2 b_{common}^2 \cdot 3 \cdot 20 \\
t_{12} &= t_{13} = \big((1-a_1)\cdot a_2 \cdot a_3\big)\cdot a_{common}\cdot b_{common}^2 \cdot 3 \cdot 20 \\
t_{21} &= t_{31} = \big((1-a_2)\cdot a_1 \cdot a_3\big)\cdot a_{common}\cdot b_{common}^2 \cdot 3 \cdot 20 \\
t_{14} &= t_{15} = a_{common}^2 \cdot \big((1-b_1)\cdot b_2 \cdot b_3\big)\cdot b_{common} \cdot 3 \cdot 20 \\
t_{41} &= t_{51} = a_{common}^2 \cdot \big((1-b_2)\cdot b_1 \cdot b_3\big)\cdot b_{common} \cdot 3 \cdot 20 \\
t_{22} &= t_{33} = \big(a_1 \cdot a_2 \cdot a_3\big)\cdot a_{common}\cdot b_{common} \cdot 3 \cdot 20 \\
t_{23} &= t_{32} = \big((1-a_1)\cdot a_2 \cdot a_3\big)\big((1-a_3)\cdot a_1 \cdot a_3\big)\cdot b_{common}^2 \cdot 3 \cdot 20 \\
t_{24} &= t_{25} = t_{34} = t_{35} = \big((1-a_1)\cdot a_2 \cdot a_3\big)\cdot a_{common}\cdot \big((1-b_2)\cdot b_1 \cdot b_3\big)\cdot b_{common} \cdot 3 \cdot 20 \\
t_{42} &= t_{52} = t_{43} = t_{53} = \big((1-a_2)\cdot a_1 \cdot a_3\big)\cdot a_{common}\cdot \big((1-b_1)\cdot b_2 \cdot b_3\big)\cdot b_{common} \cdot 3 \cdot 20 \\
t_{45} &= t_{54} = a_{common}^2 \cdot \big((1-b_1)\cdot b_2 \cdot b_3\big)\big((1-b_2)\cdot b_1 \cdot b_3\big)\cdot 3 \cdot 20 \\
t_{44} &= t_{55} = a_{common}^2 \cdot \big(b_1 \cdot b_2 \cdot b_3\big)\cdot b_{common} \cdot 3 \cdot 20
\end{aligned}$$

となる。したがって 25 パターン全て足し合わせると、

$$\begin{aligned}
R_{\text{非相関}} &= (t_{11} + 2t_{12} + 2t_{21} + 2t_{14} + 2t_{41} + 2t_{22} + 2t_{23} + 4t_{24} + \\
&\quad 4t_{42} + 2t_{45} + 2t_{44}) \times 40 \times 150 \times (\text{ビーム・クロッシング・レート})
\end{aligned}$$

となる。これらの結果は次節でシミュレーションと比較される。

等倍重ねの場合　この場合 2 つ目の doublet に関して修正が必要で、

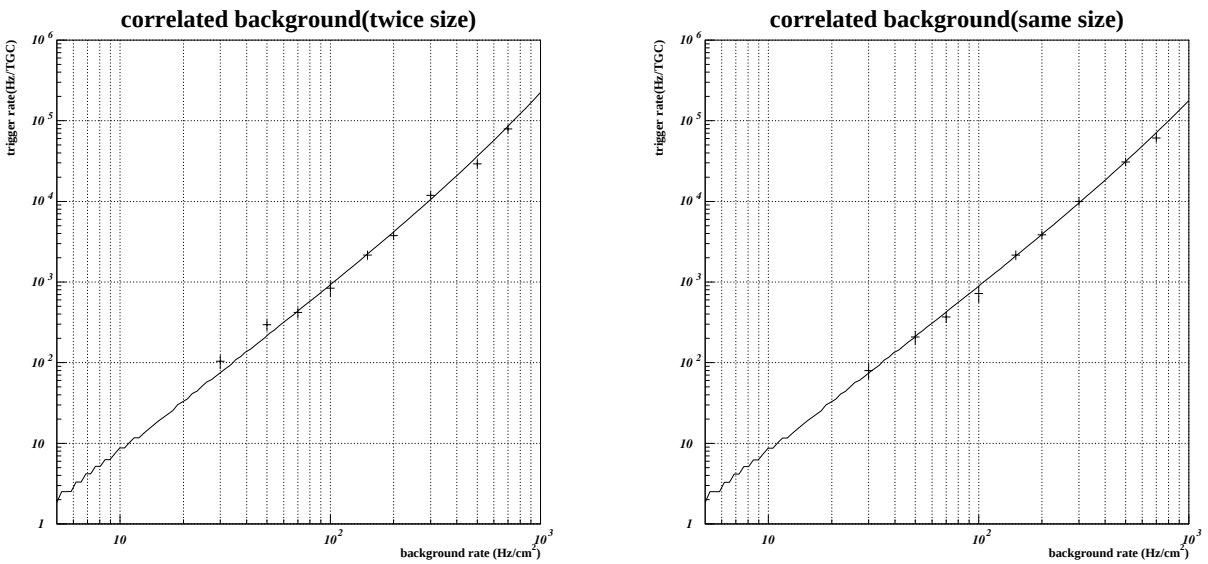
$$c_1 = e^{-(170-1)\times 3\times \frac{f_{back}}{f_{beam}}} \qquad c_2 = e^{-(129-3)\times \frac{f_{back}}{f_{beam}}} \qquad c_3 = e^{-3\times \frac{f_{back}}{f_{beam}}}$$

の様に定義した c_1,c_2,c_3 を 2 倍重ねの式中の b_1,b_2,b_3 に置き換えればよい。

4.3　結果

4.3.1　相関バックグラウンドの場合

結果は図 35のようになる。エラー・バー付きの点がシミュレーションによるもので、曲線が解析的計算によるものである。エラー・バーの垂直成分は単にイベント数から来る統計エラーである。二つの手法は概してよい一致を見せている。

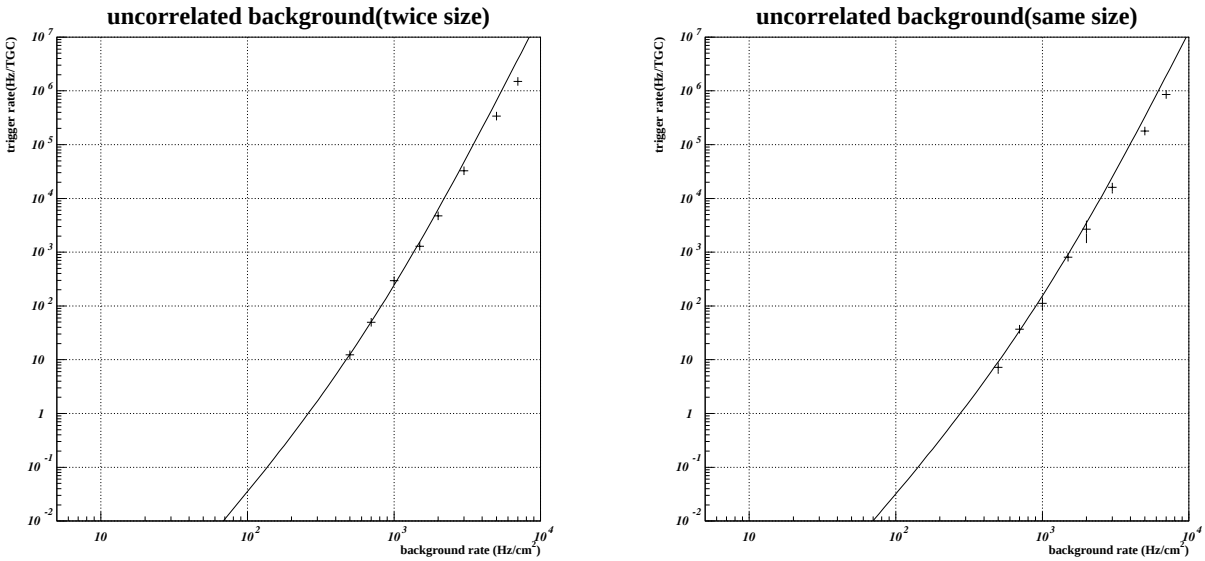


(a) 2 倍重ねの場合　　(b) 等倍重ねの場合

図 35: 相関バックグラウンドにおけるシミュレーションと解析的計算の結果。

4.3.2　非相関バックグラウンドの場合

結果は図 36のようになる。条件が厳しくなるので相関バックグラウンドに比べてトリガー発生率は下がる。バックグラウンド・レートの高い領域で 2 つの手法の不一致が見られるが、これは解析的計算の方では確率計算なので、1 回のビーム・クッロシングには 1 回しかトリガーが発生しないという条件を入れてないからである。シミュレーションの方にはこの条件が入っているので 40MHz に漸近している。相関の場合でも非相関の場合でも 2 倍重ねと等倍重ねとの違いは単にファクタだけのものなので重要ではない。



(a) 2 倍重ねの場合　　(b) 等倍重ねの場合

図 36: 非相関バックグラウンドにおけるシミュレーションと解析的計算の結果。

4.3.3 High-Pt トリガー発生率

ここまで得られた結果から、解析的手法は十分に有用であることが確認された。したがってシミュレーションではイベント数がかせげないため困難な High-Pt トリガー条件での偶発ヒット発生率に解析的手法を応用することが可能である。 High-Pt トリガーの条件では更に 3 層の TGC(triplet) を追加し、その 3 層での 2-out-of-3 が満たされることが必要になってくる。ここで Low-Pt トリガー用の 4 層での状況によって次の 2 通りに場合分けした。

4 層（相関バックグラウンド）& 3 層（2-out-of-3）　結果は図 37(a)のようになる。

4 層（非相関バックグラウンド）& 3 層（2-out-of-3）　結果は図 37(b)のようになる。

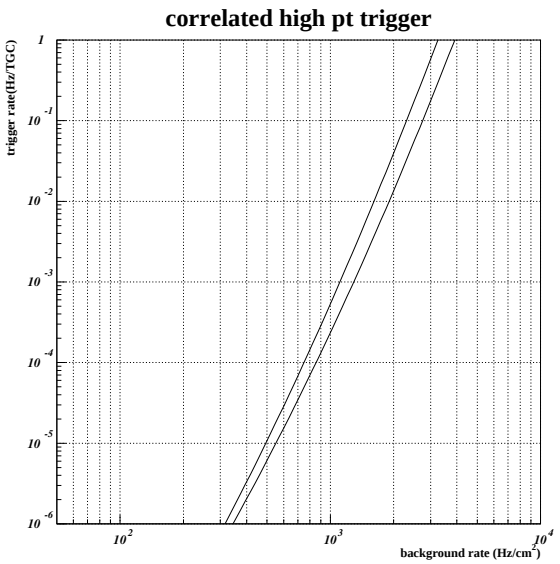
Low-Pt での条件よりも更に、十分バックグラウンドから来る偶発ヒットが抑えられていることが分かる。

4.3.4 偶発トリガー発生に対する評価

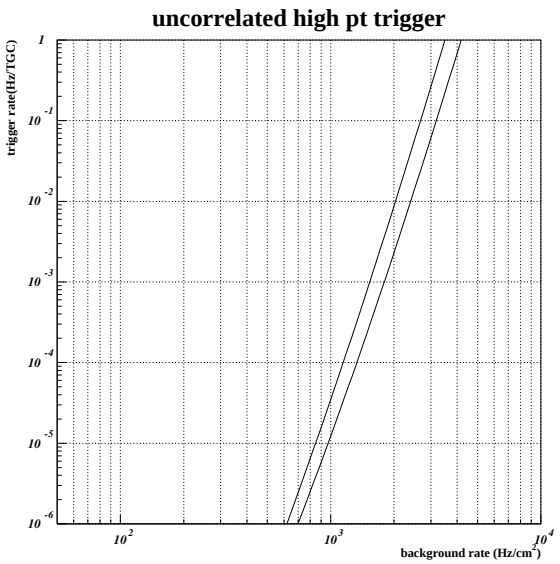
これまで得られた結果は 1 枚の TGC 領域に対するトリガー発生率だったので、エンドキャップ部全体を評価するためには、約 200 倍にする必要がある。

そして、実際の ATLAS 検出器におけるバックグラウンド・レートであるがラピディティごとに下表のようになる [13]。

η	n $(\mathrm{Hz/cm^2})$	γ $(\mathrm{Hz/cm^2})$
1.0∼1.5	1.02	5.18
1.5∼1.9	2.42	6.87
1.9∼2.3	2.81	8.88
2.3∼2.7	4.02	11.3



(a) doublet が相関バックグラウンドの場合



(b) doublet が非相関バックグラウンドの場合

図 37: High-Pt トリガー条件での偶発ヒット発生率。2 つの曲線はそれぞれ 2 倍重ね（上）と等倍重ね（下）に対応している。

この表では neutron と photon に対する検出器の感受性が考慮されている[13]。すでに述べてきてあるように LVL1 での最大トリガー・レートはエレクトロニクスの要請から 100kHz である。内訳としてはミューオン・トリガーに 5kHz、カロリーメータに 33kHz である。これに対してバックグラウンドのトリガー・レートはミューオン・トリガーのエンドキャップ部において 1kHz 程度には抑えたいところである。仮に 1kHz を偶発トリガー率だとすると、1 枚の TGC あたり 5Hz 程度に抑えなくてはならない。その場合図36から分かるようにバックグラウンド・レートとしては 300Hz/cm^2 ∼500Hz/cm^2 位までは許容出来る。表の値と比較すると十分に余裕があることが分かる。したがってエンドキャップ部でのミューオン・トリガー・システムとしては安全性を持って偶発トリガー・ヒットを抑えれていることが分かる。

[13] これらの数値は MDT の感受性で計算されている。 TGC の感受性は測定されていないが同じ数値を用いても問題はないと考えられる。ちなみに neutron には 0.001、 photon には 0.01 の感受性が仮定されている [12]

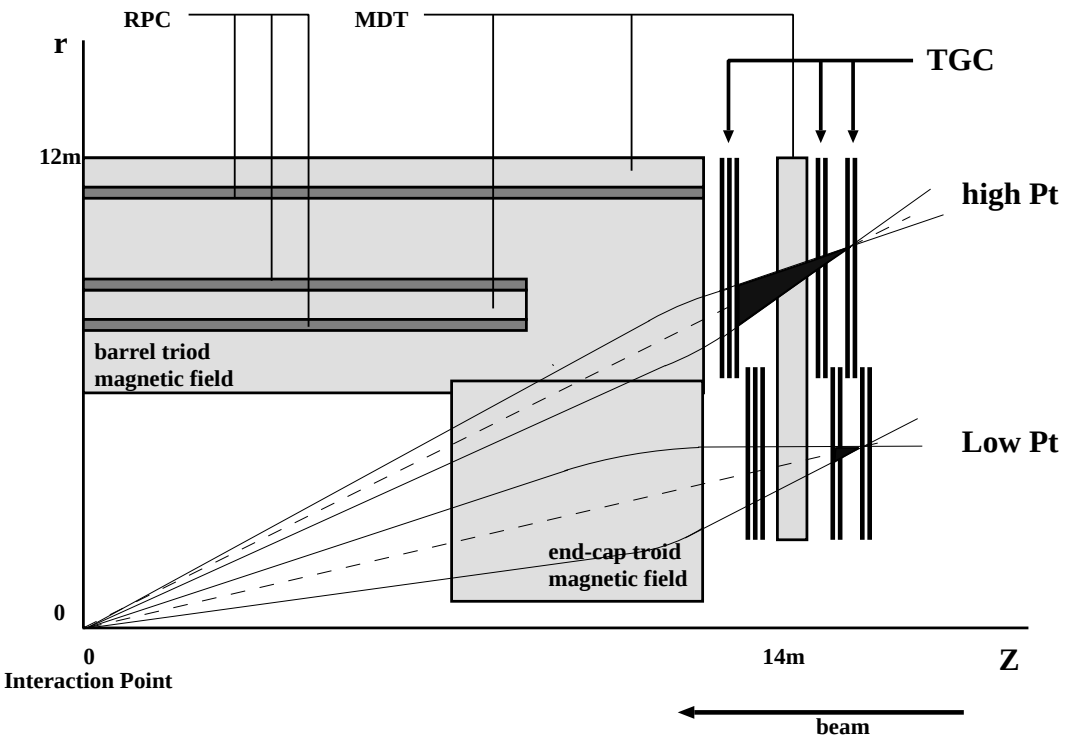


図 38: ATLAS detector の断面図

5　トリガーロジックボードの設計

この章ではこれまでの話しを更に押し進め、実際のハードウェアの設計について説明する。今回製作したものは LVL1 トリガーのエンド・キャップ部、ミューオン用トリガーコインシデンスの部分を実現したテストモジュールであり、このボードを使ってロジックスキームの評価を行なうのが主な目的である。

5.1　概念図からハードウェアまでの話しの流れ

5.1.1　ATLAS detector のレイアウト

図 38は ATLAS 検出器の断面図である。ミューオン・スペクトロメータ・システムとしては、高精度飛跡検出用として **MDT**(Monitored Drift Tube) を、トリガー用としてバレル部に **RPC**(Resistive Plate Chamber) エンドキャップ部に **TGC**(Thin Gap Chamber) を、図のように配置している。ビーム衝突点から出たミューオンは **TGC** の前でトロイダルマグネットによって曲げられる。この時、High-Pt のものは曲がり方が少なく、Low-Pt のものは大きく曲げられる。従って各 **TGC** のヒットした位置から通過荷電粒子の入射角が分かり Pt を測定することが出来る。

High-Pt の場合 図 38の **TGC** において、外側の 2 層で当たった位置に対して内側の 3 層に図のように window を設け、その window の中を通る荷電粒子に対しては High-Pt のしきい値を越えたものとしてトリガーを出す。

Low-Pt の場合 外側の 2 層で当たった位置に対して真中 2 層に window を設け、その中を通る荷電粒子に対しては Low-Pt のしきい値を越えたものとしてトリガーを出す。

上で述べた「window の中を通る」と言うことの判定を行なうのがトリガーコインシデンスの役割になる。また図の **TGC**7 層を 3,2,2 層のようにグループにしているのは、ハドロン衝突型加速器に固有の高頻度のバッ

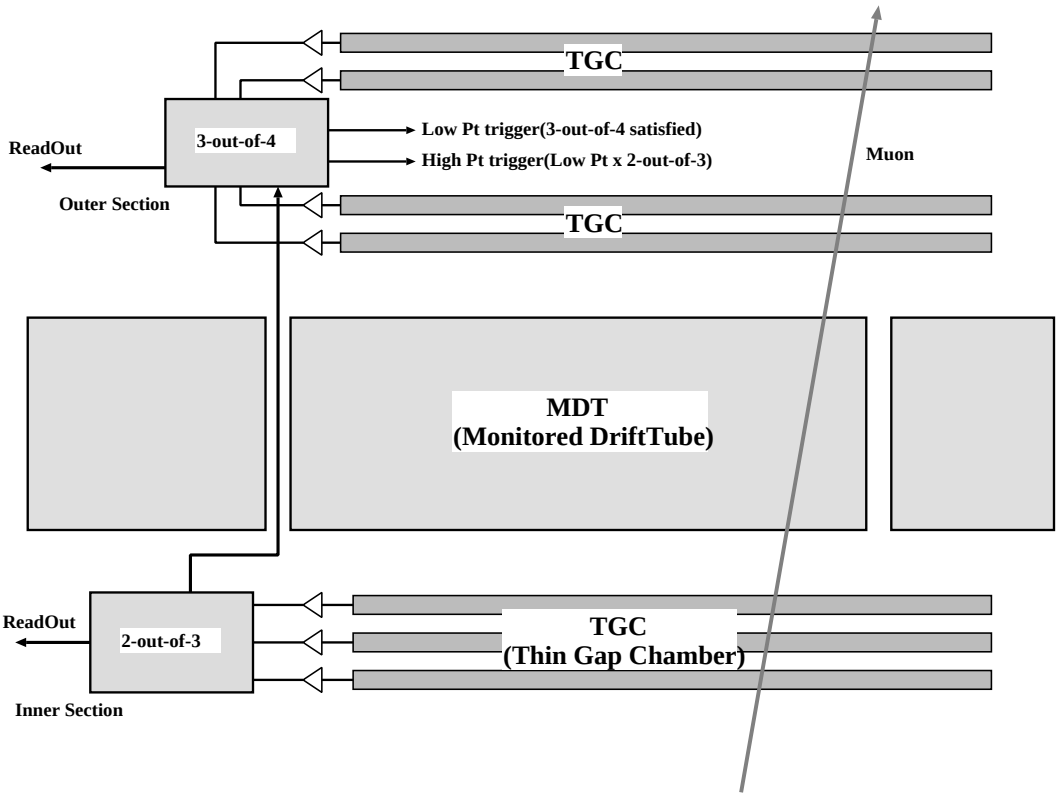


図 39: **TGC** と **MDT** の位置関係

クグラウンドから起こりうる偶発ヒットを排除するために、コインシデンスに条件をつけて本物のシグナルだけを選り分けるためである。

ATLAS 実験側から要請されてる項目としては、40MHz のバンチ・クッロシングに対して

- R 方向について 1cm の位置分解能を、ϕ 方向に対して 3cm の位置分解能を出すこと。
- 確実に Bunch ID を行なうこと。
- これらの処理を $2.0\mu s$ 以内に行なう。（これには **CTP**(Central Trigger Prossesor) までのケーブルによる遅延も含む）

である。また、ここで設定する Pt のしきい値としては現在のところ

- Low-Pt 用に 6Gev
- High-Pt 用に 20GeV

と決定している（可変にすることも考慮されている）。

5.1.2 TGC のレイアウトと配線

図 39は **TGC** と **MDT** が配置されている一部分を拡大した摸式図である。図の下側がビームの衝突点方向になり、上側が検出器の外側になる。

図の innner section は内側 3 層からの signal を処理し、2-out-of-3（3 層のうち少なくとも 2 層でヒットが起こること）の条件を満たすものについては読み出しを行ない、2-out-of-3 の結果を **MDT** の隙間にケーブルを通して outer section に送る。

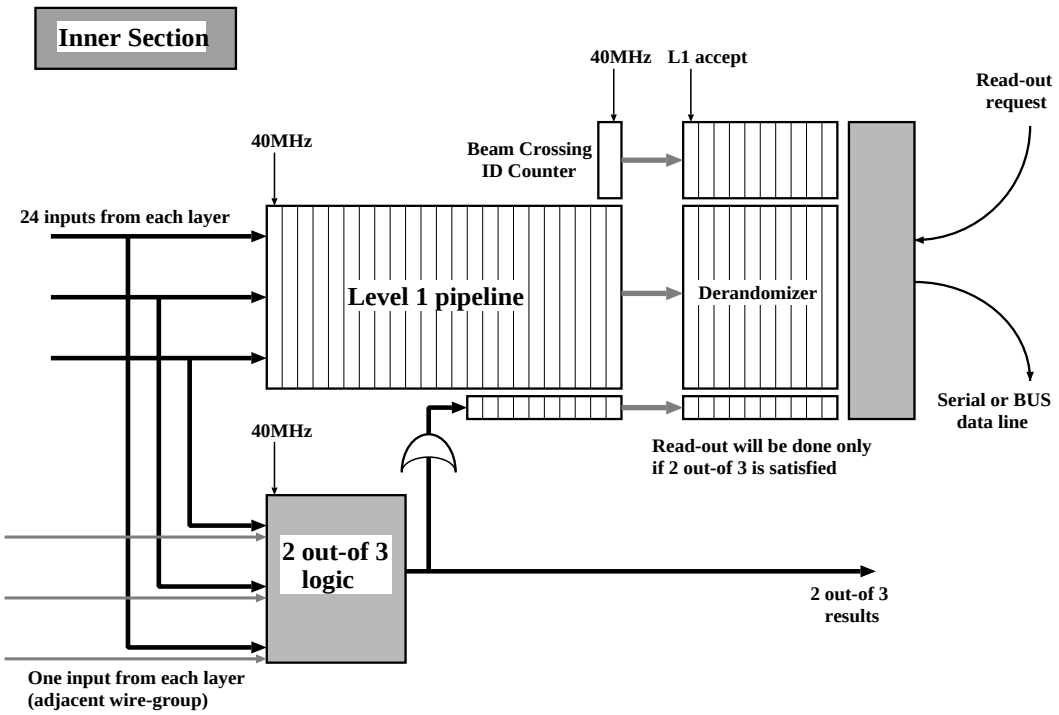


図 40: inner section の Data flow

図の outer section は外側 4 層からの signal を処理し、3-out-of-4（4 層のうち少なくとも 3 層でヒットが起こる）の条件を満たすものについては読み出しを行ない、Low-Pt のトリガーを出力する。また、Low-Pt トリガーを出したもののうち、inner section から 2-out-of-3 の signal を受けているものに対しては High-Pt のトリガーを出す。

5.1.3 Inner Section と Outer Section

図 40、41が図 39の中に出てきた inner section, outer section を拡大したものである。inner section, outer sectioin 共に似通った構造をしている。

共通点 読み出しの部分の構造に関しては共通している。各 **TGC** の層から読み出された信号は、取り敢えず **LVL1 pipeline** と呼ばれる FIFO 構造のバッファに貯められる。この LVL1 バッファは約 $2.5\mu s$ の間データを保持できるだけの深さがある。データは Bunch ID の情報と共に Derandomizer というバッファに送られる。この時 pipeline からはビーム・クッロシング・レートの 40MHz で出力されるが、Derandomizer の方では L1 accept(L1A) 信号を受けた時にだけ LVL1 バッファ情報を受けとる。また inner section では 2-out-of-3、outer section の方では 3-out-of-4 の条件も Derandomizer に送る図（40,41参照）。オプションとして、inner section では 2-out-of-3、outer section の方では 3-out-of-4 の条件がもしも満たされていない場合は読み出しを行なわないということも出来る（Zero Suppression）。そして Derandomizer に貯められたデータは Read-out request を受けて読み出される。Read-out request は非定期的に与えられるので（ある程度の頻度で）Derandomizer のサイズはそれに見合うだけの深さを持っていなくてはいけない。

inner section に固有なもの 3 層の **TGC** からのシグナルで 2-out-of-3 のロジックをとり、読み出しの条件に使うものとして pipeline に貯めるものと、outer section に送ってトリガーのコインシデンス ロジックに使うものとに別れる。

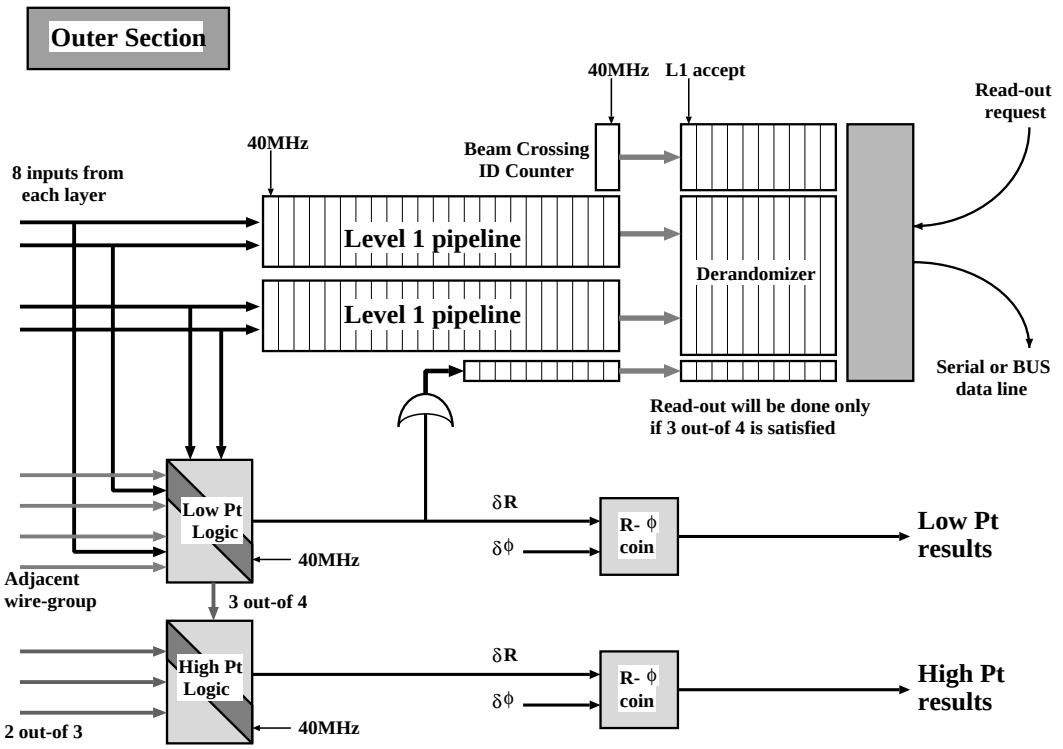


図 41: outer section の Data flow

outer section に固有なもの 4 層の **TGC** からのシグナルで（2 層 、 2 層ごとに束ねて doublet にする）3-out-of-4 のコインシデンス ロジックをとり、読み出しの条件に使うものとして pipeline に貯めるものと、Low-Pt トリガーとして出力するものと、 High-Pt のコインシデンスロジックに送るものとの 3 通りに別れる。 High-Pt のコインシデンス・ロジックでは Low-Pt からの 3-out-of-4 入力と inner section から送られてくる 2-out-of-3 とからなる 2-fold のコインシデンス・ロジックをとり、満たすものに対しては High-Pt のトリガーを出す。

今回のトリガーロジック・ボードの開発では、この outer section 中の Low-Pt と High-Pt のコインシデンス・ロジックの部分をボード化した。今回は δR のモジュールのみを作成したが、$\delta\phi$ のモジュールも全く同じ構造をしている。
このスキームの中核である、トリガーの決定を行なうコインシデンス・ロジックを実現するのが、この開発の目的である。

5.1.4 トリガーロジックの概念

それでは具体的にどのようにして、通過荷電粒子の入射角を（最終的にはビーム垂直方向運動量 Pt ）測定するかと言うことになるが、図42がその模様を示した概念図になる。各 **TGC** の層からの信号でコインシデンスをとるわけであるが、まず真中の 2 層からの信号を下から、外側の 2 層からの信号を左から入力して図42のように各 Channel からの信号で Coincidence Matrix を作る。十分に大きい Pt の場合通過荷電粒子の軌跡は磁場によって曲げられないので、両方向からの信号は Matrix の対角線上で交差することになる。 Pt が小さくなると軌跡が曲がり 1cm 曲がると 1 つずれて、 2cm 曲がると 2 つずれ・・・。

このように交差する点で 4 入力の（それぞれの方向から 2 入力ずつ） 3-out-of-4 をとり、条件を満たすものに対して対角線方向に OR を取れば Pt を測定することが出来る。この結果を Low-Pt の出力とする。（こ

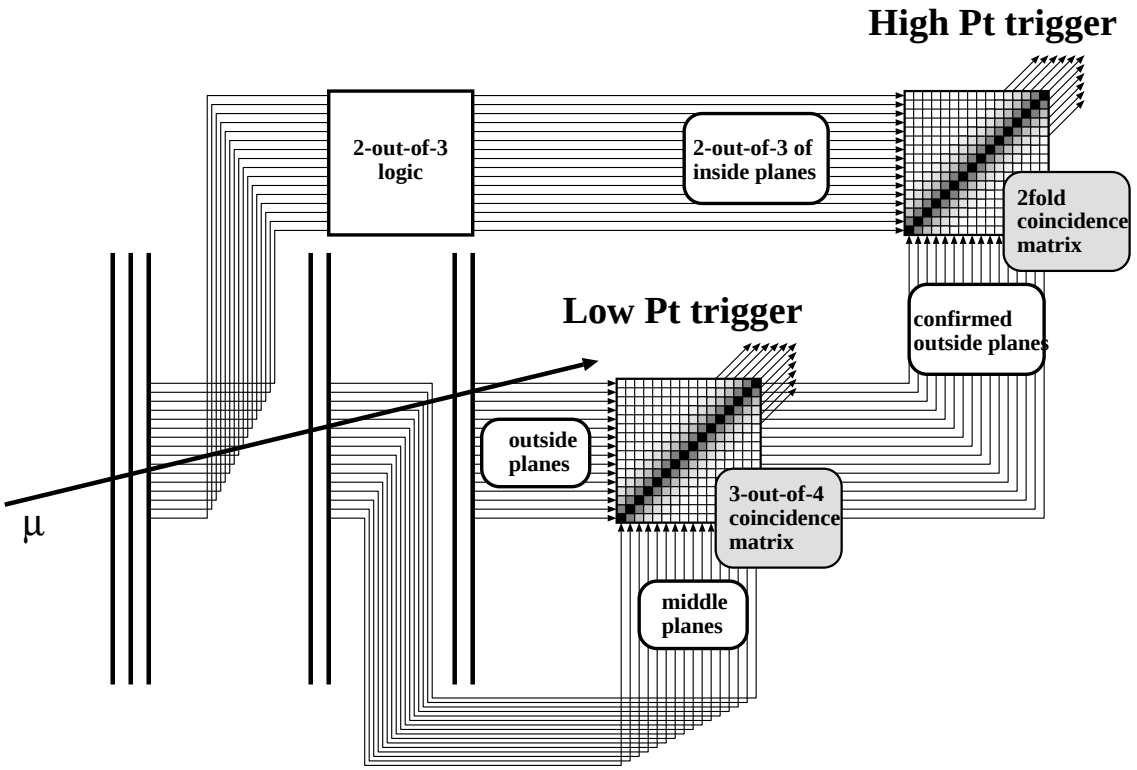


図 42: トリガーロジックの概念図

の後 R 方向と ϕ 方向のコインシデンスを取って Low-Pt のトリガーになる）

同様にして外側の 2 層からの信号のうち 3-out-of-4 を満たすものと、内側 3 層の 2-out-of-3 を満たすものとの 2 fold のコインシデンスをとり、条件を満たすものに対して対角線方向に OR を取れば Pt を測定することが出来る。この結果を High-Pt の出力とする。（この後 R 方向と ϕ 方向のコインシデンスを取って High-Pt のトリガーになる）

5.1.5 Coincidence Matrix のサイズ

図 42では Coincidence Matrix は行、列ともに同じサイズを使っているが実際は対角線付近の領域をカバーする為には、（真中の **TGC** の 2 層に window を開くので、真中の **TGC**2 層からの信号に対して）1 つとなりの Matrix と一部分重複させる必要がある。

そのため 1 つの Coincidence Matrix の大きさを、図 43のように 8x24 個のロジックエレメントの集合というように決める。図 43は Low-Pt 用の Matrix であるが High-Pt 用に関してもサイズは同じであり、図 44の様になる。図 45は 8x24 のサイズの Coincidence Matrix 4 個を、ロジックエレメント 8 個分づつずらして並べ、32x48 のサイズの Coincidence Matrix を Low-Pt,High-Pt 両方について作った様子を示している。ずらして並べることにより、対角線付近の領域だけをカバーするようにしている。

図 45で既に入力信号の数が特定されているが、実際に図 45全体を一つのモジュールにするわけである。したがって図 43にある 8x24 サイズの Coincidence Matrix を 1 つの **FPGA**(Field Programmable Gate Array) で実現し、それを 8 個 1 枚のトリガーロジックボードに搭載するというのが、全体の話しの流れである。**FPGA** は **Xilinx** 社製の XC4000 シリーズを使用する。

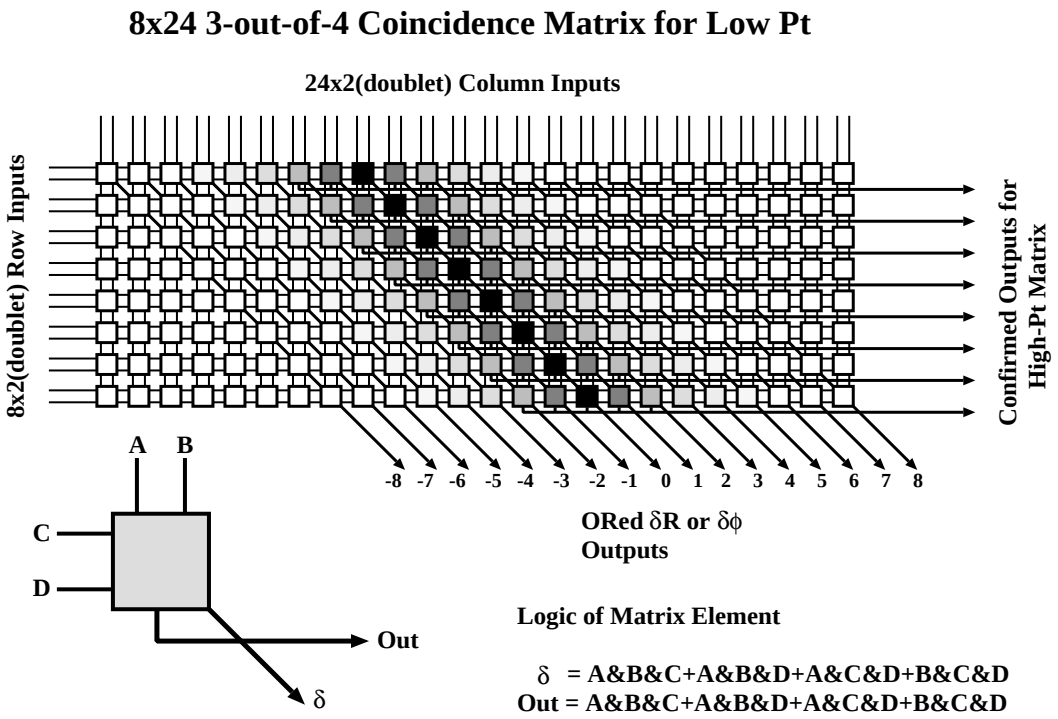


図 43: Coincidence Matrix1 つ当たりの大きさ。図は Low-Pt 用のもの

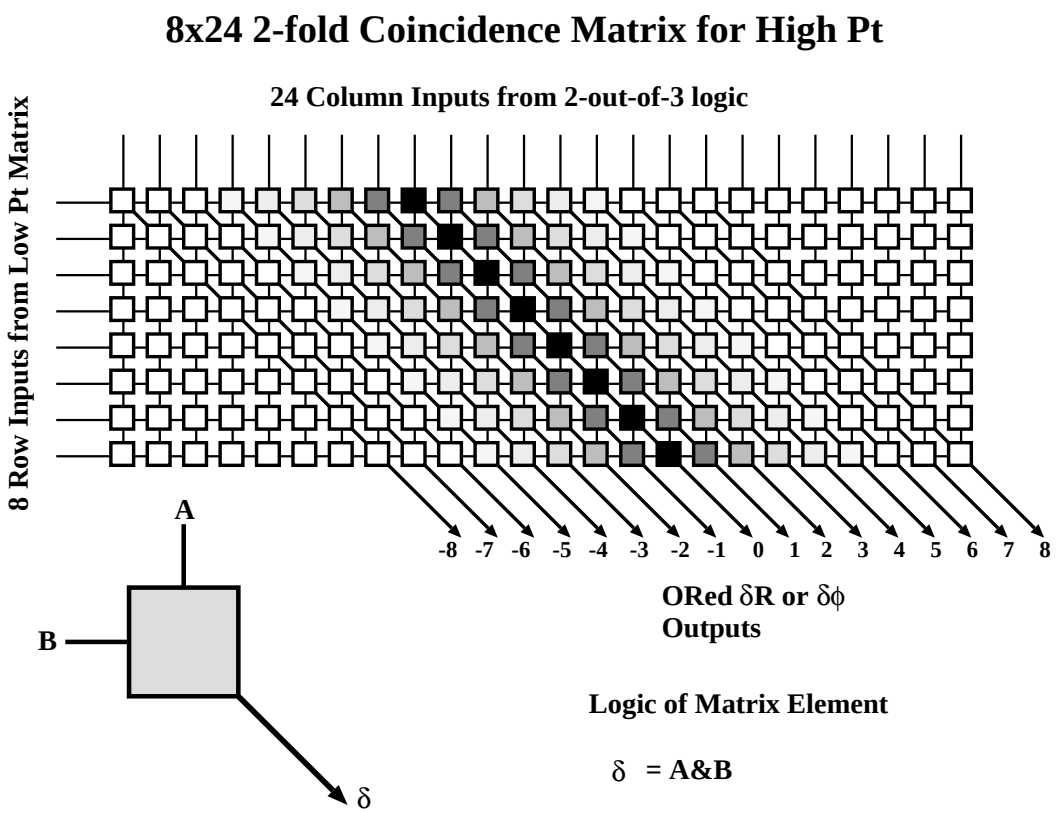


図 44: Coincidence Matrix1 つ当たりの大きさ。図は High-Pt 用のもの。

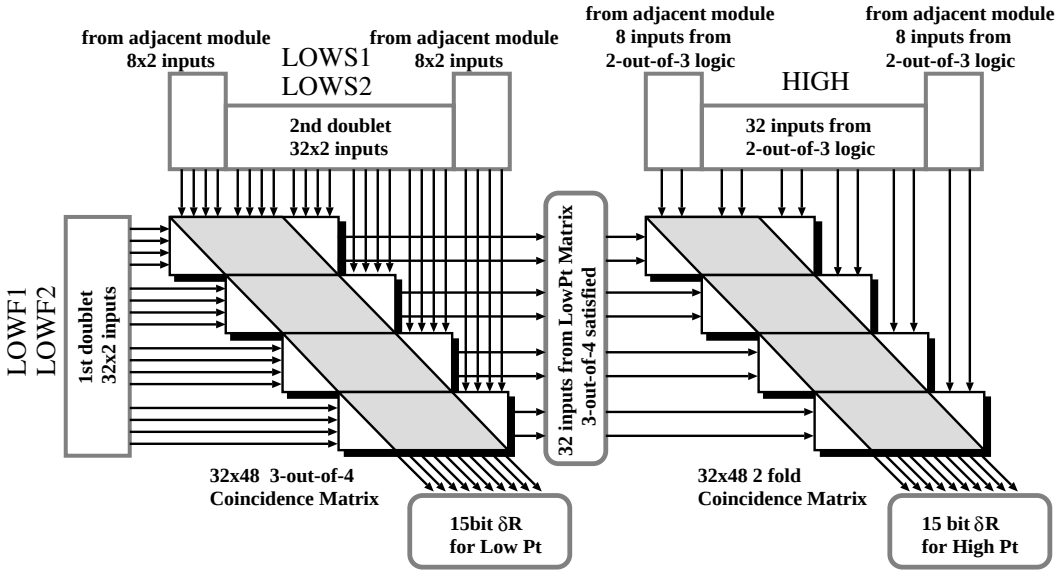


図 45: トリガーロジックボード 1 枚当たりの大きさ

5.2 Xilinx 社製 FPGA

Xilinx 社製 **FPGA**（以後 Xilinx FPGA と略称で呼ぶ）は本トリガーロジックボードの機能の中枢をなすもので，この素子を的確に作動させる事が今回の開発で一番の重要課題になってくる。ここでは Xilinx FPGA の一般的な機能説明，そしてデザイン（プログラミング）などについて述べる。**FPGA** は多数のチャンネル配線が縦横に張りめぐらされ、それらをユーザーが自由に定義できるロジックデバイスに対する総称である。**LCA**(Logic Cell Array) は Xilinx FPGA に対する名称で、Xilinx 社の登録商標になっているが、**FPGA** と同義語で使われる。

特に Xilinx FPGA は、同一のロジック・ブロックから構成されている Matrix を持っており、Matrix は通常正方形でパッケージによってサイズが異なる。今回の我々の設計では図46のような、24x24 の Matrix を含む XC4013 シリーズを使う。これらのロジック・ブロックの間には、垂直・水平の各方向に長・短のメタルが走っている。これらのメタルをユーザーが選択的に接続し、ロジック・ブロック間、ロジック・ブロックと I/O ブロック間を自由につなぐことが出来る。重要なのはロジック・ブロック内のゲートのプログラミングが SRAM 上に実現されるので無制限に再プログラムが可能な点である。

CLB(Configurable Logic Block) ロジック・ブロックは CLB と呼ばれ、図 47(a)のように 13 本の入力と 4 本の出力を持ち、それぞれ内部のファンクション・ジェネレータとフリップ・フロップに接続されている（図 48参照）。CLB を囲む配線リソースは 3 種類あり、

シングル・レングス・ライン 各 CLB 間に張りめぐらされており、CLB の四辺に配置されている Switch Matrix や、配線のつなぎ目（PIP という）をかいしてあらゆる CLB に接続可能である。しかしこのつなぎ目は SRAM で制御しているので、通った分だけ信号の伝搬遅延が起こる。したがってこのリソースは互いに近い CLB どうしをつなぐ短い配線の為に使い、離れた CLB には使わないようにする。

ダブル・レングス・ライン これはシングル・レングス・ラインの 2 倍の長さがあり CLB2 個分をとびこす。これはシングル・レングス・ラインとロング・ラインの中間の役割を果たす。

ロングライン これは FPGA の全長にまたがっており、PIP を通らないので少ない遅延でシグナルを伝えることが出来る。このリソースは図 47(c)のように CLB の片側に 4 本ずつと限られている。

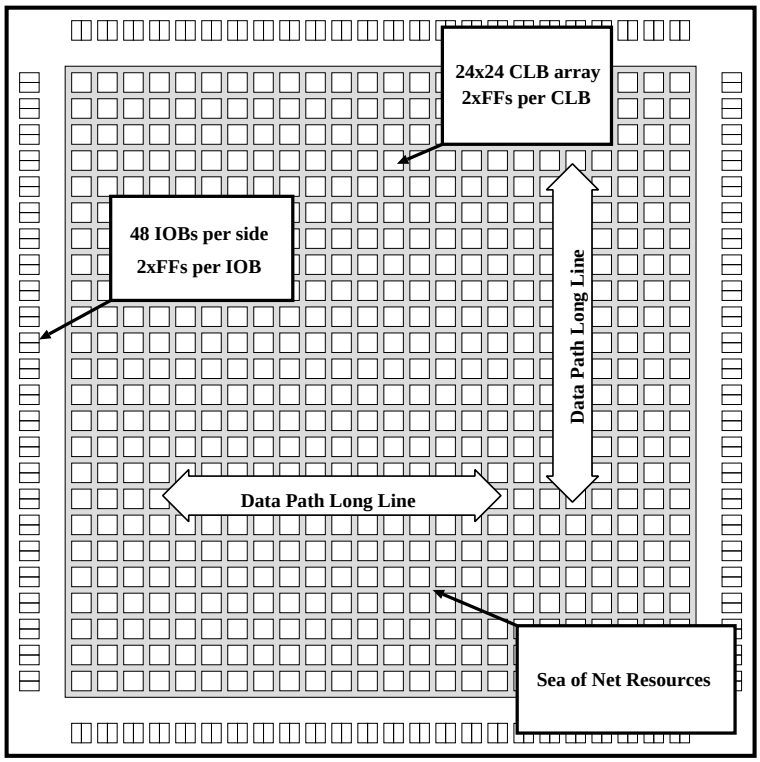


図 46: XC4013 シリーズの内部の構造概念図

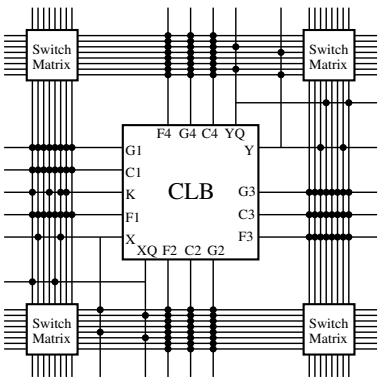
これらのラインと CLB との関係は図 47にそれぞれ示されているとおりである。実際 CLB の内部構造は図 48の様になっており，1 個の CLB 当たり 3 個のファンクション・ジェネレータと 2 個のエッジ・トリガタイプの D 型フリップ・フロップを持っている。

2 個のファンクション・ジェネレータはそれぞれ独立した 4 本の入力を持ち，任意に定義されたブール関数のいずれの演算でも実現する事が出来る。そして 3 個目のファンクション・ジェネレータは前の 2 個の結果とさらにもう一本の入力からなる任意の論理を実現する事が出来る。我々の当面の用途として，1 つのファンクション・ジェネレータを使い 3-out-of-4 が実現できれば，1 つの CLB が図 43における 1 つのロジック・エレメントの役目を果たすものになる訳である。また CLB からの出力としては D 型フリップ・フロップを通してか，それともただバッファを通しただけの非同期のものかをユーザーが自由に定義できる。ここでは基本的にユーザークロックによる同期を取っているので、フリップ・フロップを利用する事になる。

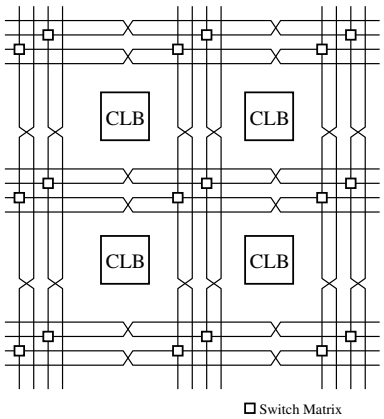
CLB は図 49の様に Matrix 状に配列し、その正方形の Matrix を取り囲むように I/O ブロックが一列の CLB に対して両側に 2 個ずつ配置している。I/O ブロックは Xilinx FPGA の入出力ピンとの橋渡しをするブロックで、I/O ブロックの中にも D 型フリップ・フロップがあり、入出力ともにユーザーが同期か非同期かを選択できる。

5.2.1 FPGA のデザイン

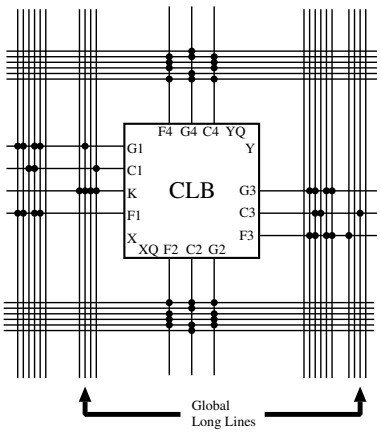
通常のロジック回路設計の場合だと **Orcad** や **ViewLogic, Mentor Graphics** のような **CAE** ツールを利用して、マクロライブラリを使った回路設計を行う。これらのツールを使った場合，回路図は自動配置配線機能を駆使して FPGA 上の素子の配置、または信号線リソースの配線に翻訳されるが，今回の目的のように実際の論理回路のスキームが単純で、しかもロジックの構成が同じ回路を出来るだけ多く敷き並べ、素子の利用効率を上げなくてないけないので，この自動配置配線機能は使えない。なぜなら **FPGA** 内の配線



(a) シングル・レングス・ラインと CLB との接続



(b) ダブル・レングス・ラインと CLB との接続



(c) ロング・ラインと CLB との接続

図 47: 配線リソースと CLB との接続

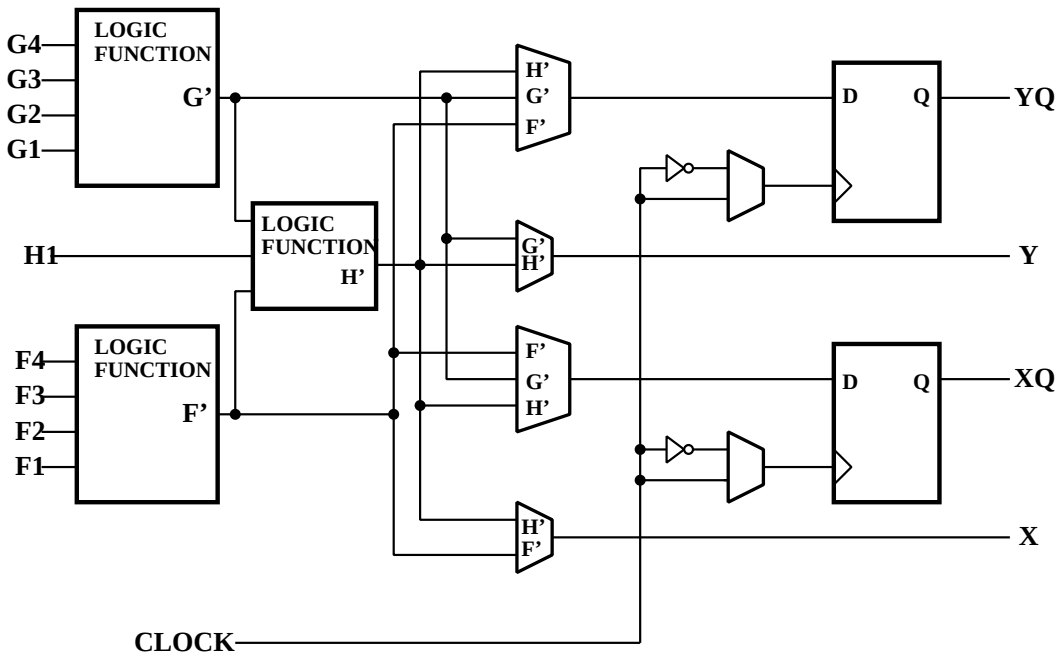


図 48: CLB の内部の構成

リソースが限られているためである。特に、少ない伝搬時間で **FPGA** 内の対辺間を横切るロングラインは 1 個の CLB の両側にそれぞれ 4 本づつしかないので，どのリソースを優先して使うなどの判断が、回路設計の成功・失敗に関わってくるからである。失敗とはこの場合，リソースが足りなくなり、伝搬時間の遅いシングル・レングス・ラインやダブル・レングス・ラインなどのショートラインを多用する事により、同期回路としての機能を果たさないことを指す。

また Xilinx FPGA の構造と Coincidence Matrix の類似性からも（CLB の並びがそのまま Matrix に対応。）手動配線による設計の方が望ましいし分かりやすい。そしてまた手動配線の方法を理解していれば，自動生成された設計の評価や修正も簡単に出来るということもある。

以上の事より，設計のツールとしては **XACT design editor 5.2.0** という グラフィカル・エディタ・ アプリケーションを使うことにした。図49はこのアプリケーションの画面の一部で、CLB や I/O ブロックなどのシンボルの間を実際に結線していることが分かる。このアプリケーションの使い方は１９９５年５月に行われた Xilinx プログラミング講習会資料に詳しい [14]。この資料では主に今まで述べてきた手動配線の手順が分かり易く記されている。基本的には端末上のコマンドラインとマウスを多用して手動配線を行っている。しかし今回のように似た配線の繰り返しを多量に書き込まなければいけない，そして途中からの設計の変更を安易に行い、またデザインの再現性がなくてはならない状況を実現するためには，全てを手動配線で行うのは余りにも労力がかかりすぎる。そこで実際は自動配線（ここでは回路図からの翻訳を意味するのではなく，単につなぐピンとピンを指定して配線のリソースを自動的にアプリケーションに選択させること）と手動配線両者の長所だけを利用する。つまり遅延時間の少ないロング・ラインなどをまず遠いロジック・ブロックの接続などに確保しショートなものは後回しにする。この優先順位に従って，自動配線によってピン間の配線を行う。またこれらのものはコマンドを羅列したマクロ・ファイルを実行する事によって半自動的に行えるので実際にマウスで手動配線を行うのは，ピン指定だけでは成功しなかった配線の修正などの一部分だけで済む。

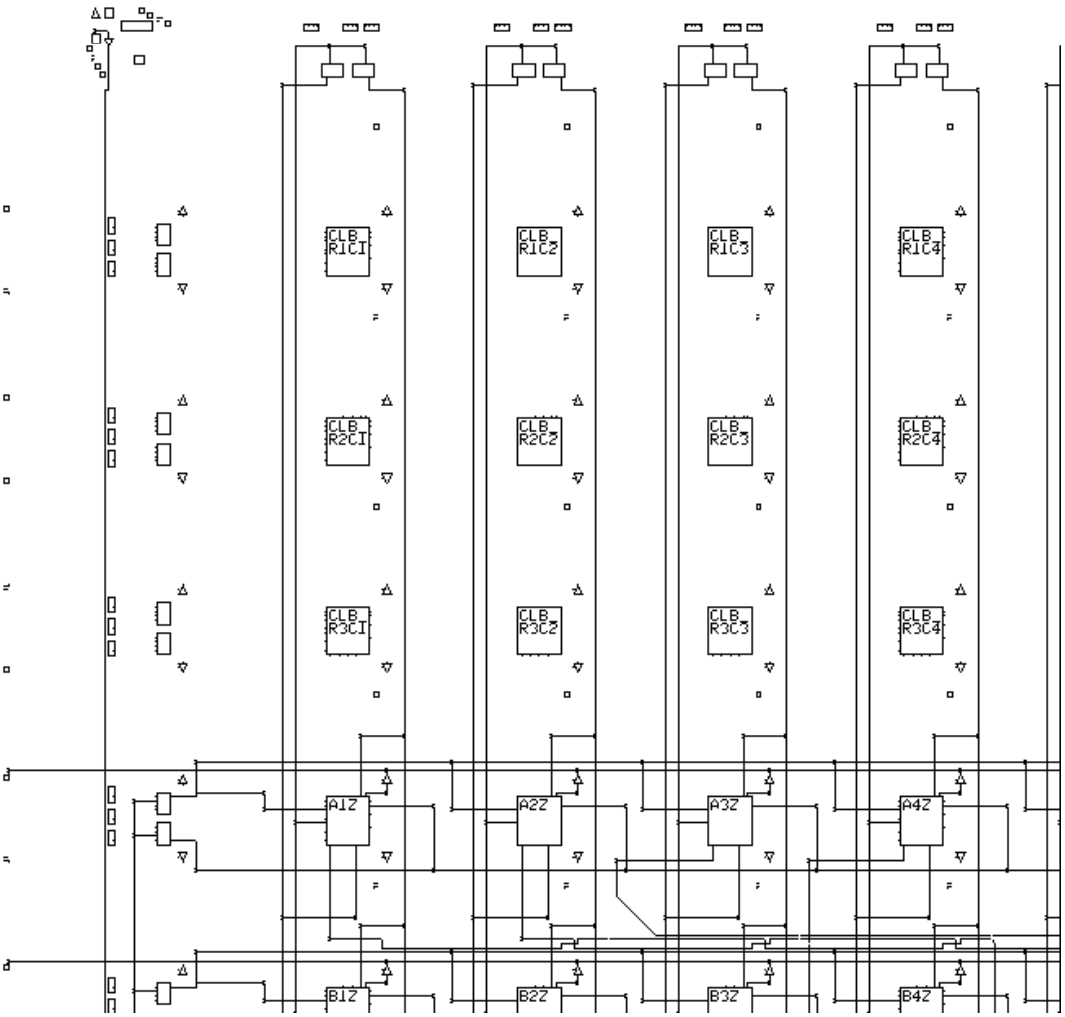


図 49: CLB の Matrix 構造の一部。左上の部分だけを抽出している。画面は XACT design editor のもの

5.2.2 Low-Pt トリガー用Xilinx FPGAのデザイン

図43を1つのXilinx FPGAの中に実現すればよい。

- まず縦横に走る入力ラインはその列のCLB全てに25nsの時間内に到達しなくてはならない。そのため、入力信号ライン用に、始めにロング・ラインを確保しておく。
- 斜め方向にとるOR出力は直線のロング・ラインを使えないのでショート・ラインを使うことになるが、上の4行と下の4行のOR出力に別々にラッチをかけ、さらにこの2つのOR出力のORを取ることにより斜め8個のORにする。
- 1個のCLBには4channelの入力があり、それらの3-out-of-4をとりラッチをかけてOR出力とする。更にhigh-PtのMatrixへ送る横方向のCLBのOR出力は、各CLBに附属しているトライステート・バッファを通して横方向のロング・ラインに接続し、Wired ORをとる。このWired ORは現状では1行24個のCLBに対してとっているが、実際はバックグランドの影響などを考慮して範囲を限定する。図43では濃いブロックの周辺だけをとっている（3~5個ぐらいが目安）。横方向のORはHigh-Ptに送るためのものなので、必要条件として既に対角線の付近にあると仮定されるからである。
- I/Oブロックは入出力ともにラッチをかけボード全体の同期をとる。
- 高速のクロック・ピンは1個のXilinx FPGA当たり4本あるがここでは1本だけを用いる。ロング・ラインより更に高速でドライブ能力のあるプライマリ・グローバル・クロック・ラインを用いて全てのCLB、I/Oブロックに供給する。

5.2.3 High-Pt トリガー用Xilinx FPGAのデザイン

基本的なデザインはlow-Ptのものと同じである。図44を一つのXilinx FPGAの中に実現すれば良い。

- CLBへの入力は2本でロジックは2–foldコインシデンスである。デザインはlow-Ptのものを兼用する予定であったが、基板上で実際に使わないピンにデザイン上で配線するのはエラーの元になるので、専用のデザインを作り直す必要がある。
- 横方向のWired ORをとる必要はない。

これらのデザインはＫＥＫ南実験準備棟にあるWorkstationelcad3.kek.jp上で、**XACT design editor 5.2.0**アプリケーションを使って行なわれた。デザインのエラー・チェック、そして実際にVMEバスからダウンロードする時に必要なRawBits形式の生成は全てこのアプリケーション上で行なう。

5.3 9U VME モジュール

トリガーロジックボードはXilinx FPGAのデザインのダウンロードを行なってはじめてボードとして機能し始める。ダウンロードはVMEバス経由で行なう。他にもPROMなどから読み込む方法や、専用のシリアルケーブルによるダウンロードの方法などがあるがここでは採用しない。その理由としては、まずこのモジュールがVMEにつながっている以上PROMを使う手間は無駄であるし、またデザインの内容をシステムで管理する方が好ましいからである。そして何よりも、VMEによる書き込みの方法はすでに前例があるからである[14]。ここではVMEモジュールの設計仕様を解説する。

5.3.1 設計の概要

回路図設計はKEK南実験準備棟にあるワーク・ステーションelcad3.kek.jp上で、ZUKEN社製CADアプリケーションCR3000を使って行なった。
回路は主に3つの部門に分かれていてVMEプロトコル関係、入出力関係、クロック制御関係のようになっている。

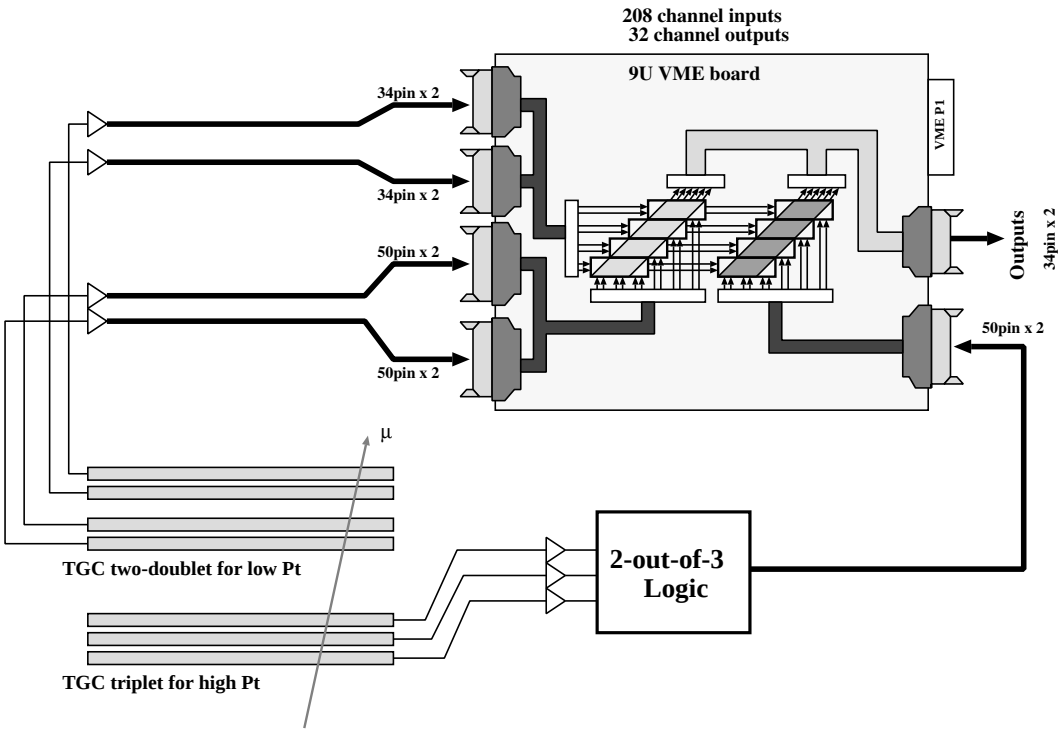


図 50: モジュールのコネクター配置図

VME protocol section アドレス 24 ビット、データライン 16 ビットをサポートするスレーブボードとして機能し、割り込みは使わない。チップセレクトの為のアドレスのデコードは下 4 ビットのみを使う。

Input / output section ボード外部との接続に関して長距離のケーブルを仮定すると信号の鈍り・減衰が考慮されるので、入力・出力ともに信号のレベルとしては差動 ECL を採用する。

入力 Low-Pt 用に 160channel、High-Pt 用に 48channel 必要である。

出力 Low-Pt 用に 16channel、High-Pt 用に 16channel 必要である。

実は 9 Unit の VME ボードの大きさでもこれだけの入出力分のコネクターを配置するのは無理である。そこで VME のコネクターは P1 のみを使い、バックプレーンにもコネクタを配置し，またフロントパネルは付けずに、実装可能な限りの領域を用いて入出力コネクタを配置した。

更に全てのコネクタを 2 段重ねのものを用いる。これらの配置は図 50 のようになる。

Clock section クロック・ソースとしては 3 種類用意する。外部から NIM 規格信号レベルのソースを LEMO コネクタで受けて供給するものと、水晶発振による内部クロック（80MHz）と、その 2 倍周期（トグルさせて作ったもの 40MHz）のものがある。これらのクロック・ソースはジャンパーピンで選択可能である。しかし大局的には Bunch ID 回路などの他のモジュールと同期させる必要があるので、実際に使うのは外部クロックである。内部クロックはベンチ・テストなどの用途にのみ用いる。

5.3.2 トリガーロジックボードの設計仕様

以下に具体的な設計仕様を解説する。

VME protocol section アドレスモードは A24D16 をサポートし、VME バスラインは以下を使う。

信号名	仕様
A23–A05	SN74ALS520 により DIP SWITCH と比較してデコード。
A04–A01	PEEL22CV10 でデコードしチップ・セレクトを発生。
AM5–AM0	フルデコード（モードの決定）
AS*	VME アドレスバス上に有効なデータが存在することを示すタイミング信号。
DS0*	VME データライン上に有効なデータが存在 (D00–D07) することを示すタイミング信号（D16 モード時）
DS1*	VME データライン上に有効なデータが存在 (D08–D15) することを示すタイミング信号（D16 モード時）
IACK*	この信号が LOW の時は他のボードによる割り込み処理中になるので HIGH である条件が必要になる。
SYSCLK	周波数 16MHz のクロック。今回 PAL のラッチ・クロック使っている。
SYSRESET*	この信号が LOW の時システム全体がリセットされる。
WRITE*	データ転送の方向を決める。LOW の時書き込みに、HIGH の時読み込みになる
DTACK*	データの獲得をスレーブ側からマスター側に報告

アドレス解読は A23–A05 を DIP SWITCH と比較する。それと AS、DS0、DS1、IACK、SYSRESET の情報を PEEL22CV10 でデコードしライト・ストローブ、リード・ストローブ、このボードが選択されているという認識信号、書き込み・読み込みの方向を決める信号、そして DTACK を発生させる。

また A04–A01 を PEEL22CV10 でデコードし Xilinx chip のチップ・セレクト信号、また Xilinx chip の機能ピンである PROGRAM pin, DONE pin, INIT pin, HDC/LDC pin, RDY/BUSY pin の書き込み・読みだし用のインターフェイスをする TTL IC のチップ・セレクト信号を発生する。Xilinx chip は 8 個あるので機能ピンへの書き込み・読み込みはデータバスを D00–D07 と D08–D15 の 8 本づつの単位で使う。詳しい VME システムの解説については文献 [16] を参照。

Xilinx section 使用するパッケージは XC4013PG223-5 で内部に 24x24 の CLB 行列を含む 223 ピンのピン・グリッド型の FPGA である。スピード指標は 5 ある。機能ピンの説明後ほど行なう。

外部信号入力・出力 section 外部との接続でのコネクタの仕様は以下のような仕様にする。VME バス用のコネクタは VME 9 Unit サイズのボードに P 1 のみを置く。外部クロックは前面パネルから NIM 規格信号を LEMO コネクタにより５０Ω終端子でうける。トリガー用信号は low-Pt 入力用に３４ピンヘッドコネクタを 4 個５０ピンヘッドコネクタを 4 個、high-Pt 入力用に５０ピンヘッドコネクタを 2 個使う。low-Pt ,high-Pt 出力用に３４ピンヘッドコネクタを 1 個ずつ使う。それぞれ 2 段重ねのコネクタを用いる。ボードへの入力は ECL レベルで受け、Xilinx FPGA に合わせて MC10125 で TTL レベルに変換する。出力は PEEL から TTL レベルで受け、MC10124 で ECL レベルに変換した後コネクタに送る。

OR 用 PEEL section low-Pt,high-Pt それぞれの Xilinx FPGA からの OR 出力同士でさらに OR をとる。8 個の PEEL22CV10 を使う。

clock section NIM レベルのクロック・ソースを MC10ELT25 で TTL レベルに変換しクロック・ドライバ SN74ABT329 で 12 本のユーザ・クロックにする。8 本は Xilinx FPGA に、4 本は R 用の PEEL に使う。また内部クロックと外部クロックはジャンパー・ピンで選択する。

LED section 動作状況表示用のLEDは基板上に12個置く。

LED 名称	仕様
HDC0	Xilinx FPGA 0 ダウンロード完了
HDC1	Xilinx FPGA 1 ダウンロード完了
HDC2	Xilinx FPGA 2 ダウンロード完了
HDC3	Xilinx FPGA 3 ダウンロード完了
HDC4	Xilinx FPGA 4 ダウンロード完了
HDC5	Xilinx FPGA 5 ダウンロード完了
HDC6	Xilinx FPGA 6 ダウンロード完了
HDC7	Xilinx FPGA 7 ダウンロード完了
VME	VMEアクセス（未使用）
INT	VMEインタラプト発生
CLOCK	VME システム・クッロク
VCC	+5V電源状態
VEE	–5.2V電源状態

HDC0~HDC7は**Xilinx**の機能ピンのHDCの状態を表示している。HDCピンがLレベルに変化したのをダウンロード完了の目安にしている。VMEアクセスは初期の設計と変更したため使用していない。

5.3.3 トリガーロジックボードの外観

図51は実際に完成したトリガーロジックーボードの外観である。

右上のVME P1コネクタ付近にVMEインターフェイスの関連のICが集まっている。中央に8個並んでいる正方形の石がXilinx FPGAである。左の4個がlow-Pt用で右の4個がhigh-Pt用のものである。その更に中央に位置するのがクロック・ドライバで，ボード全体へのクロックの分配を考慮してボードの中央に配置されている。右下2個と左4個のコネクタは2段重ねで，その前に2列で並んでいるICがECL*rightarrow*TTLやTTL→ECLの変換の役目をする。外部クロックの受け入れは左上隅で行っている。

5.4 Xilinx FPGAへの書き込み

Xilinx FPGAの書き込みのモードにはマスター・モード、シリアル・モード、そしてペリフェラル・モードなどの3種類があり，同期・非同期，マスタ・スレーブなどの区別をすると6種類がある。先にも述べたが書き込みはVMEバスを通して行なうと言うことで、ここでは非同期のペリフェラル・モードというモードを使う。これは書き込みのタイミング合わせをストローブやRDY/BZなどのハンド・シェイク信号を使って行うもので、1バイトずつ確認しながら書き込んでいくモードである。

5.4.1 Xilinx FPGAの機能ピン

図52はXC4000シリーズの書き込みに必要な機能ピンだけを集めて示したものである。それぞれのピンの役割と使われ方は，

M0,M1,M2 6種類あるモードの内から書き込みのモードを選択するときこの3ビットのピンに入力するデータで決定する。今回の非同期ペリフェラル・モードの場合M0, M2 = Vcc (+5V)に，M1 = GND (0V)にする。

D0~D7 これらの入力ピンは書き込みのデータを受け取る。今回のモードの場合1バイトずつ書き込んでいくのでD0~D7にパラレルにデータを渡す。

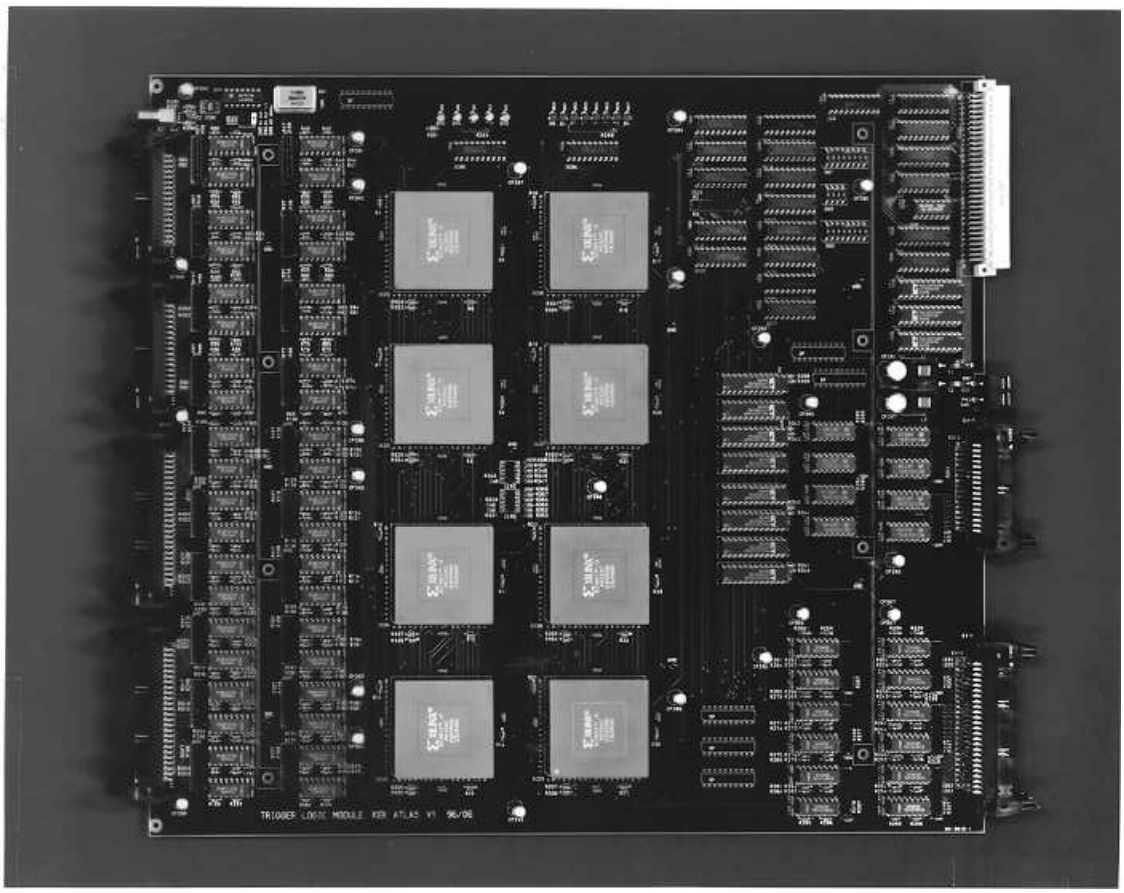


図 51: トリガーロジックボードの側面写真

CS0*,CS1 それぞれチップ・セレクトピンであり，CS0* は負論理である。2 つのピンがアサートされたときチップが選択される。

RS* チップがセレクトされた状態で RS* が LOW になると D7 からステータスを読み出すことが出来る（RDY/BZ ピンと同じ内容）。今回の設計ではこの機能は使わないので RS* は HIGH に常に保つ。

WS* チップがセレクトされた状態で WS* が LOW になると D0~D7 ライン上の信号がチップ内部のデータバッファに取り込まれる。

RDY/BUSY 書き込む側のホストに対するハンドシェイク信号として機能する。1 バイト・データを受け取った時 LOW になり，内部バッファが次のデータを受付可能になると HIGH に戻る。

INIT* Xilinx FPGA の初期化時のメモリ・クリアの間 LOW に保たれ，初期化が終了すると HIGH に戻る。またこのピンは双方向信号ピンであり，LOW を書き込むことにより，メモリ・クリア状態で待機させることができる。双方向のため外部プルアップ抵抗をつける必要がある。

DONE 書き込み処理が終了したことを示すピンである。DONE ピンが HIGH になるタイミングでユーザ指定の I/O ピンが有効になる。

PROGRAM* このピンを LOW にすることによって Xilinx FPGA に書き込み処理の開始を知らせる。これにより初期化が始まり、メモリ・クリア処理が行なわれる。

CCLK(Configuration CLK) 書き込み処理中に内部バッファが受けとったパラレル・データをシリアルデータに変換する時に使うクロック（約1MHz）。つまりこのタイミング（整数倍）で書き込みの処理が行なわれる。書き込みのオプションとして Xilinx FPGA をデイジー・チェインに接続し 1 つ目の Xilinx FPGA で変換したデータをシリアル転送して数珠つなぎに書き込むというものもあるが、ここでの変換はそのためのもの。今回の設計の場合 Xilinx FPGA のデザインが全て一緒ではないのでこのオプションは採用しない。

DOUT デイジー・チェインで書き込む時にシリアル変換したデータがこのピンから出力され次の Xilinx FPGA に送られる。今回このピンは使われていないが、デバックの段階で書き込みの処理が行なわれているかの指標になる。

HDC · LDC HDC(LDC) は書き込みの処理中は常に HIGH(LOW) で処理が完了していないことを示す。完了後はユーザ指定の I/O ピンになる。つまり Xilinx FPGA のデザインとして、書き込み終了後 LOW(HIGH) になるようにしておけば書き込みが無事に終了したことの指標になる。

以上の説明は今回の設計での使用にそくしたものである、今回はピン数に余裕があるため機能ピンとユーザ I/O ピンを完全に分離して利用している。その為 2 つの機能がかちあう心配はない。しかし本来機能ピンの大半は書き込み終了後ユーザ指定の I/O ピンになる。これらのオプションの使用や、詳しいピン定義については文献 [15] を参照して欲しい。

5.4.2 書き込みのシーケンス

書き込み手順のフロー・チャートは図54に示してある。ここでは書き込み処理の流れを大まかに説明する。詳しくは文献 [15][14] や、プログラムを参照して欲しい。手順としては大まかに分けて「初期化」、「書き込み」、「スタート・アップ」の 3 段階に分かれている。

初期化 Xilinx FPGA に電源を供給したとき、または PROGRAM* ピンを LOW にした時初期化が始まる。この時 INIT*、DONE ピンが LOW になる。PROGRAM* ピンが LOW である期間中 Xilinx FPGA はメモリ・クリア状態にありメモリ・フレームの初期化が行なわれる。300ns 以上すぎてから PROGRAM* ピンを HIGH に戻したあとにもう一度だけメモリフレーム・クリアを行ない、Xilinx FPGA 側で INIT* を HIGH に戻し初期化が終了したことを知らせる。

Asynchronous Peripheral Mode

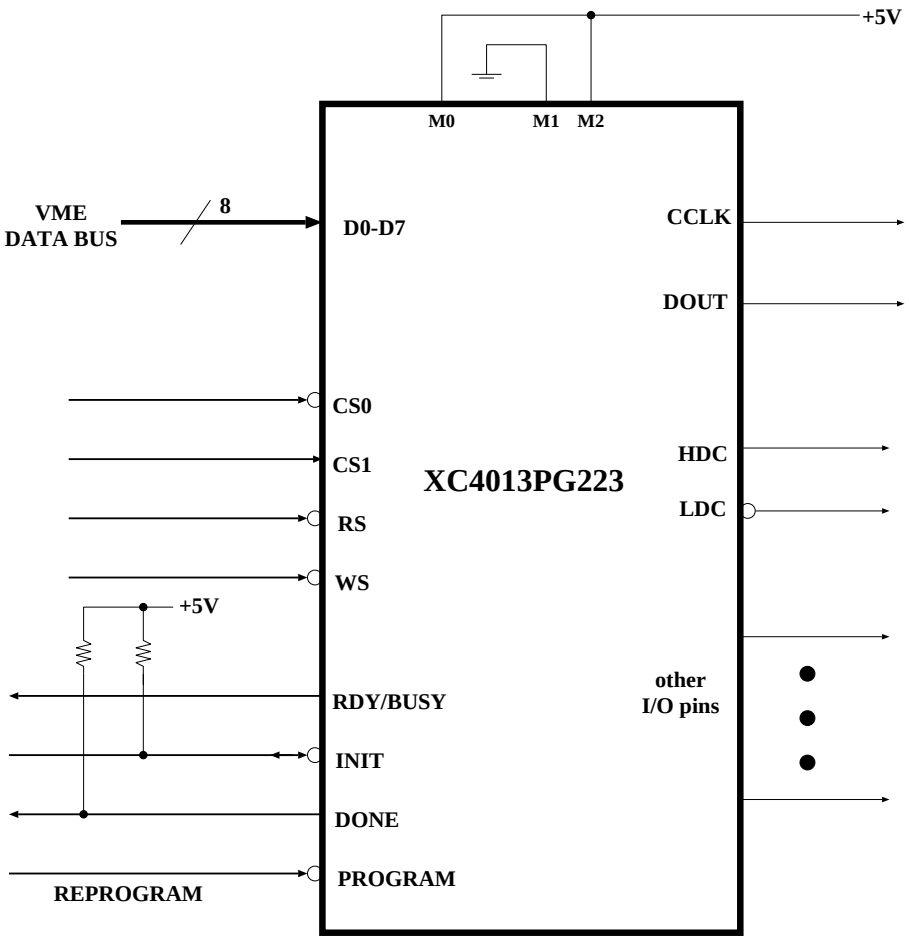


図 52: XC4013 の機能ピン

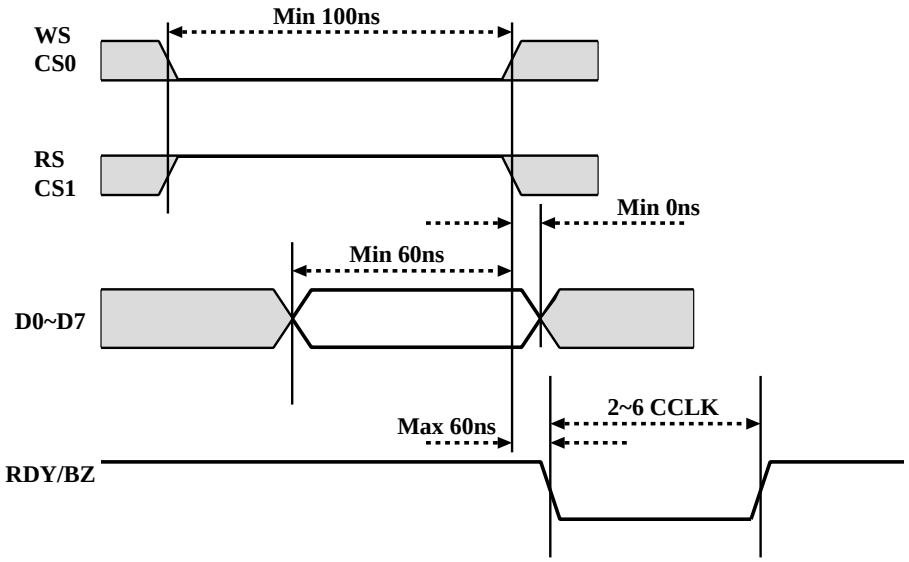


図 53: 非同期ペリフェラルモードの書き込みタイミング

書き込み　初期化が終了してから2CCLK 後に Xilinx FPGA はモードピンを読みに行き書き込みモードを決定した後、適当な機能ピンが有効になる。そして書き込みデータのプリ・アンブルをロードする。
ここでデータの構成を説明する。データはデータ長の情報を含んだヘッダの部分とメインのデータ・フレームの部分からなる。

- ヘッダの部分は前後を'1' の列からなるダミー・ビットではさまれ、プリ・アンブル（次に 24 ビットのデータ長が続くことを示す）の '0010' と、データ長を示す 24 ビットのレングス・カウントよりなる。
- データ・フレームは'0' のビットで始まり、 261 ビットのデータ（XC4013 シリーズの場合）とその後のエラー・チェック用の 4 ビットからなる。このデータ・フレームが 1000 行程度続ので、 1 つの Xilinx FPGA に書き込むデータの量は約 30kB 程度になる。

プリ・アンブルを読み込んだ後、フレームにエラーのない限りそしてメモリーがフルになってない限りデータ・フレームをダウン・ロードし続ける。。フレームにエラーが検出されると Xilinx FPGA はデータのロードを停止し INIT* ピンを LOW にしてエラーのあることを知らせる。メモリーがフルになり INIT* を検出してから CCLK の数ががレングス・カウントの値と一致すると（XC4000 シリーズの場合＋3 CLK 必要）書き込みは終了し、 DONE ピンが HIGH になりスタート・アップに移る。

スタート・アップ　スタート・アップとは書き込みの作業からユーザの意図している I/O ピンの動作へ移行するときの遷移過程である。スタート・アップにおいては書き込みのデータとユーザ定義の出力とが衝突しないようにしなくてはならないが、今回の設計では機能ピンはユーザ I/O ピンとの重複を避けているのでこの心配はいらない。また CCLK から ユーザ・クロックへの移行もこの段階で行なわれる。 XC4000 シリーズの場合スタート・アップのタイミングは他のシリーズに比べて自由度があり、 DONE ピンが HIGH に戻る、 I/O ピンが有効になるなどのタイミングをどちらのクロックに合わせるか、またいくつめのクロックに合わせるかなどが選択できる。今回の場合標準に用意されているタイミングでユーザ・クロックを使ったスタート・アップを行なう。以上のように書き込みを行ない、 8 個の Xilinx FPGA を書き込むのに約 4 分程度かかる。以上によりユーザ定義の I/O ピンが有効になり、 HDC ピンが LOW に、 LDC ピンが HIGH になる。 HDC 出力は LED とつながっているので書き込みが正常に完了すれば LED で確認できる。

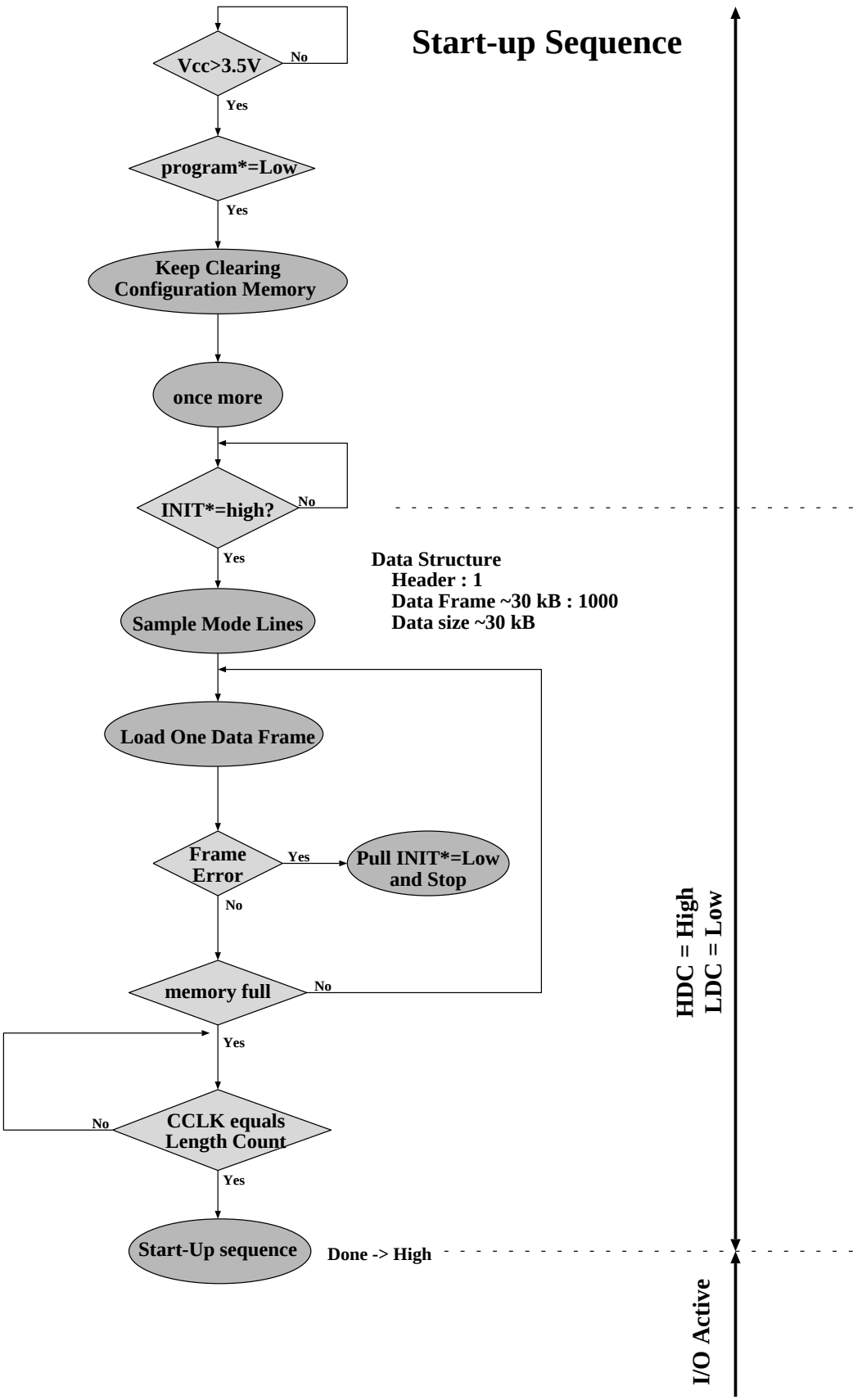


図 54: Xilinx FPGA の書き込みのシーケンス

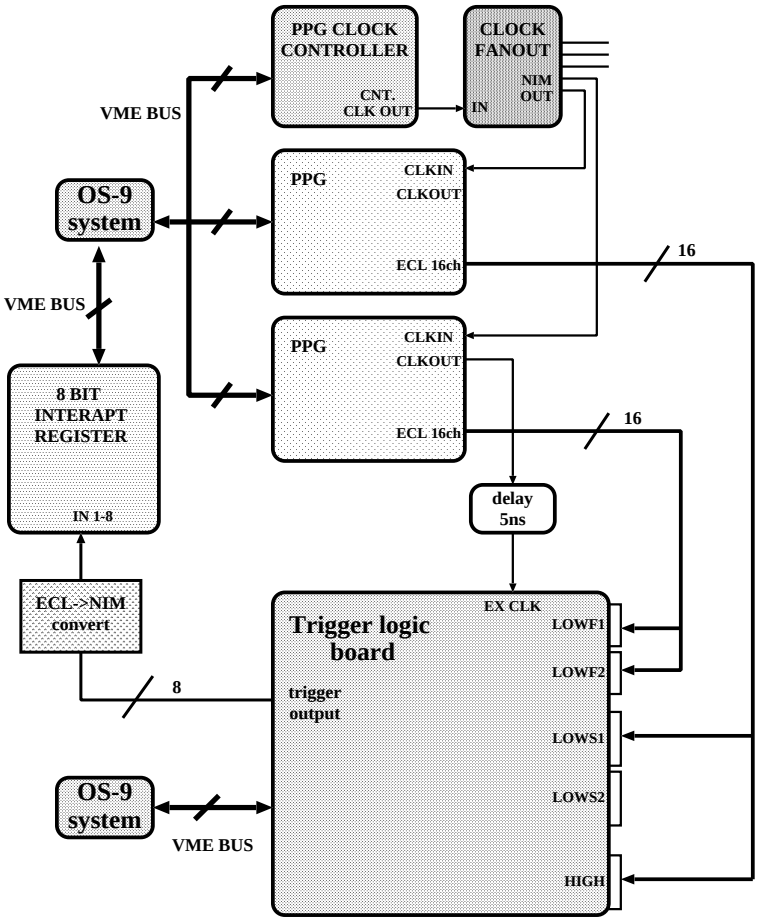


図 55: タイミング・テストの為のセットアップ

6　トリガーロジックボードの試験

この章では前章で製作したボードのベンチ・テストの結果について報告する。

6.1　タイミングのテスト

1つ目のベンチ・テストとして、まずトリガー・ロジック・ボードが同期を保って動作しているか、そしてテスト信号を入力した時にコインシデンスがとれているのか、そして何よりも動いているのかなどの特性を部分的にテストする。

6.1.1　セットアップ

図 55 がセットアップのダイアグラムである。

OS–9 SYSTEM　今回のテストは ＫＥＫ の南実験準備棟で行なった。システムは OS–9 を使い、基本的に ＶＭＥのみを使用した。
OS–9 の特徴としては、

- ポインタによるアドレス・アクセスが直接行なえるのでプログラミングが分かりやすい。
- UNIX と違いパソコン感覚で利用出来る。また気軽に電源の切・入が出来る。

- ネットワークへの接続も簡単にできる。

などがある。逆に欠点として、

- マルチ・タスクをサポートしてない、製造・開発が止まっている、ので OS–9 上でのプログラム開発は不便である。
- スピードが遅い・ソフトが充実してない、すぐにハング・アップする。

などがある。しかし今回のようなベンチ・テストをするには十分かつ手頃なシステムである。

使用した VME のモジュールを説明する。 Interapt Register は株式会社林栄精器製で、それ以外は全て有限会社ジー・エヌ・ディー製で設計・開発はＫＥＫ回路室で行なわれたものである。

PPG Pulse Pattern Generator の略でデジタル・パルスのパターンをオンライン上から操作する為のものである。 16bit 幅で深さ 4096 つまり 8kB の大きさの DATA RAM を持ち、書き込まれたデータを 16channel のパルス・パターンにして出力することが出来る。スタート、ストップ、リセット、ステップ出力などの操作は前面のパネル上から手動でも出来るが、全て CSR(Control Status Register) への書き込みによってプログラム上から制御できる。クロックは内部クロック (200MHz) と外部クロックを選択出来る。クロック入力は NIM レベルで LEMO コネクタで受ける。またクロック入力は三角波でも良く、矩形波に内部で波形整形したものをパルス・パターンと同期して出力する。出力はＥＣＬレベルで 16 ピンヘッダー・コネクタである。このテストの段階では台数に限りがあったので 2 台のみを使用した。

PPG CLOCK CONTROLLER PPG クロック入力用に開発されたクロック・コントローラで、任意の周波数で (0.4MHz から 0.4MHz ステップで最大 250MHz までとその 10,100,$\cdots$,100000 分割が選べる。) 必要な数だけの (2^{16} (=65536) 個までの任意の数か制限なし) クロックを出力するモジュールです。これも制御は全てオンライン上で行なえる。出力は NIM 信号レベルである。

CLOCK FANOUT クロック・コントローラからのクロックを同期を保ったまま PPG に分配するためのモジュール。 1 入力と 16 出力を持つ。

8 BIT INTERRUPT REGISTER このモジュールはインタラプト・レジスタ機能と I/O レジスタ機能を持つ。今回の場合単なる 8bit のインプット・レジスタとして利用する。入力は NIM 信号レベルで LEMO コネクタで受ける。ラッチのモードはフリップ・フロップモードを使い外部からのデータを非同期に取り入れる。

6.1.2 テストの流れ

このテストの段階では PPG が 2 台しかなかったため、図 55 の様にフラット・ケーブルを 2 又にすることにより 1 台の PPG から 2 系統の信号をとりだし（信号の中見は全く同じもの）合計 4 本の 16 channel シグナルを作りトリガー・ロジック・ボードの入力とする。 2 台の PPG のクロック入力は完全に同期させる、またこの 4 本のケーブルは同じ長さのものを使うことによって信号は全て同期している。
この 4 本の入力を

- Low Pt 用第 1 二重層の 1 層目
  LOWF1(1st layer of First doublet for Low-Pt)、
- Low Pt 用第 1 二重層の 2 層目
  LOWF2(2nd layer of First doublet for Low-Pt)、
- Low Pt 用第 2 二重層の 1 層目
  LOWS1(1st layer of Second doublet for Low-Pt)、

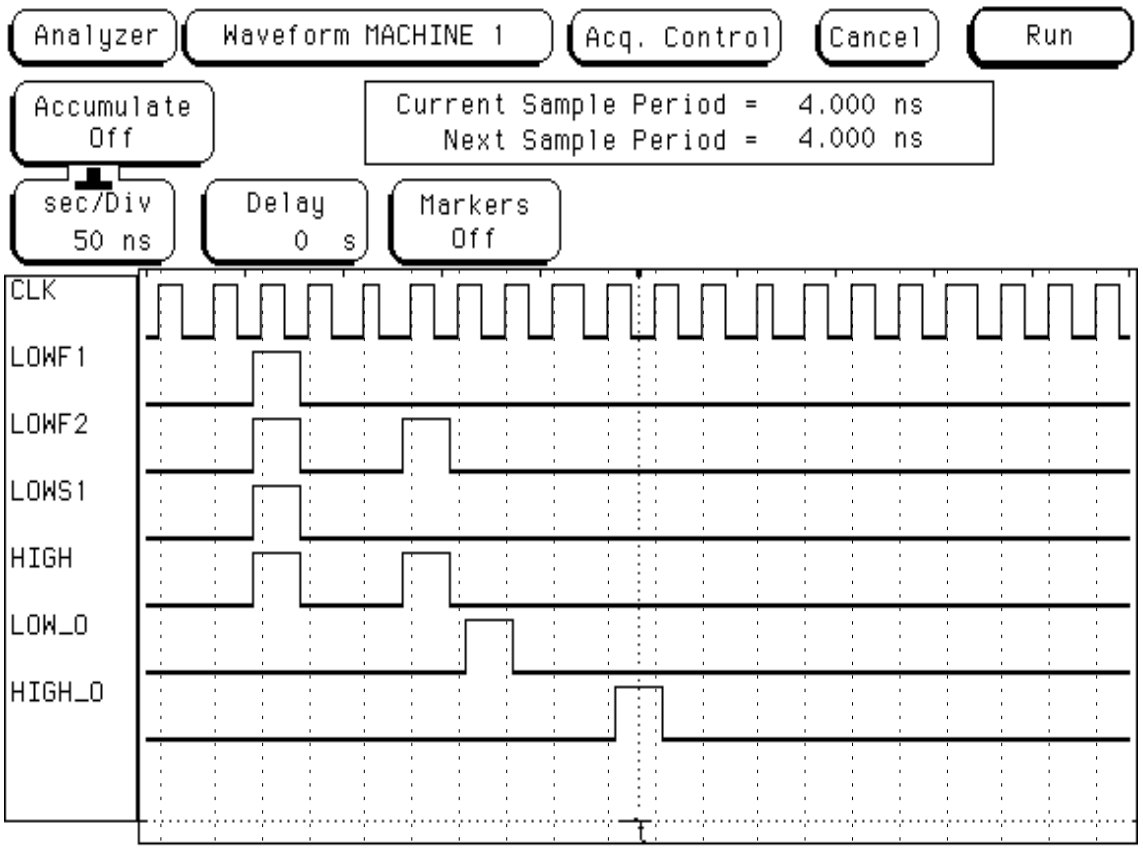


図 56: 入力・出力のタイミング・チャート

- High Pt 用 3 重層
  HIGH(from triplet for High-Pt)

に入力する（図 45参照）。この様に Low Pt に 3 入力することで 3-out-of-4 の条件を満たす。Low Pt 用の Coincidence Matrix でのプロセスで 3 クロック分の遅延が起こる。、Low-Pt から High-Pt に受け渡す信号と HIGH 入力とのコインシデンスを取るためには HIGH 入力は 3 クロック遅らせる必要がある。また、トリガーロジックボードの外部クロック入力へは PPG のクロック出力をつなげるがラッチをかけるタイミングを信号レベルの準安定状態にするため信号の入力に対して 5ns ほど遅延させている。
トリガーロジックボードの出力を Interrupt Register で受けてトリガー・ヒットの有無の判定に使う。

6.1.3 タイミング・チャート

図 56 はトリガー・ロジック・ボードの入力と出力のタイミング・チャートである。画面は Hewlett Packard のロジック・アナライザ 1663AS のものである。縦の点線はトリガー・ロジック・ボードの外部クロック入力の段階でのクロックである。図の様に LOWF1, LOWF2, LOWS1 に同 Bunch の同期したシグナルを入れ、HIGH には 3 クロック Bunch がずれていて同期しているシグナルを入れる。
クロックはシグナルに対して 5ns 遅延している。
出力は Low-Pt, High-Pt それぞれにおいて入力の 4 クロック後に出てきている。これはもともとの Xilinx FPGA のデザイン通りの結果である。

このタイミング・テストを動作周波数を上げて行なっていったところ、58MHz までは正常に動作しているが 60MHz から上はうまく動作しなくなることが確認できた。

6.1.4 BUNCH ID

次に時間軸上でコインシデンスが取れているかのテストを行なう。実際にトリガーロジック・ボードに入力する信号は Bunch ID 回路を通過してきた、既にシステム・クロックに同期しているものである（Appendix A 参照）。ここでは Bunch ID 回路の出力を疑似的に発生させトリガーロジック・ボードに入力する。まずコンピュータ上で仮想的に時間軸上の乱数を発生させそれをデジタイズし PPG のパターンとして PPG のメモリに書き込み、疑似のパルス・パターンとして出力させる。それをトリガーロジック・ボードに入力してその結果を Interrupt Register から読み込み元の時間の分布と比較する。

6.1.5 タイミング・テストの結果

図 57 がテストの結果である。ゲート幅を 25nsec 、40MHz のクロック環境でデータを取った。もとの時間軸上の分布（t1, t2 は PPG1、PPG2 に対応）に対してコインシデンスの有ったものは図57(a) なかったものは図57(b) のようになった。実際にデータで確認すると 10^4 イベント中 100% の割合で正しくコインシデンスが取れていることが分かった。
また図 58 はゲート幅を 30nsec に設定して同じように 40MHz のクロックで取ったものである。ここでは、図 20 の同期式設計 30nsec と同じようなグラフが得られている。ここでも 10^4 イベント中 100% の割合で正しくコインシデンスが取れていることが分かった。

6.2 ボード全体の CLB のテスト

2 つ目のベンチ・テストとして 8 つの Xilinx FPGA 内部の CLB が全て正常に動作してるかを検査する。これは単にハードウェア的に故障がないかの検査だけではなく、デザイン上、レイアウト上、大域的にデザインに不備がないかの検査でもある。

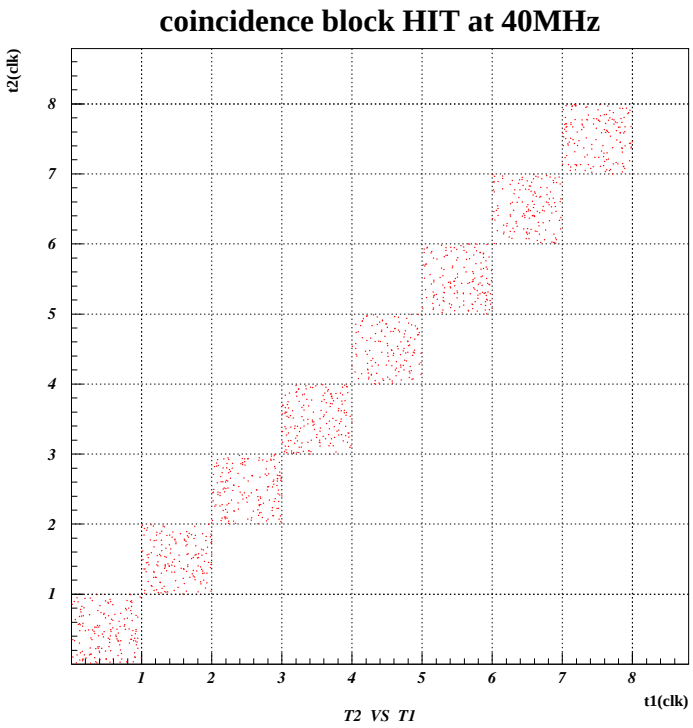
6.2.1 セットアップ

図59がセットアップのダイアグラムである。使用しているものと、使用の仕方は基本的にタイミング・テストのものと同じである。ここでは全ての入力チャンネルを独立に制御できるようにするために、13 台の PPG を導入する。（つまり入力 208channel = PPG 1 台 16channel x 13 台 となる。）また、Interrupt Register は 16channel を一度に読み出せるように 2 台導入する。トリガーロジック・ボードの入力コネクタは 16channel のものと 24channel のものがある。 PPG とこれらのチャンネル数の異なるコネクタとの接続に関しては、図60を参照。

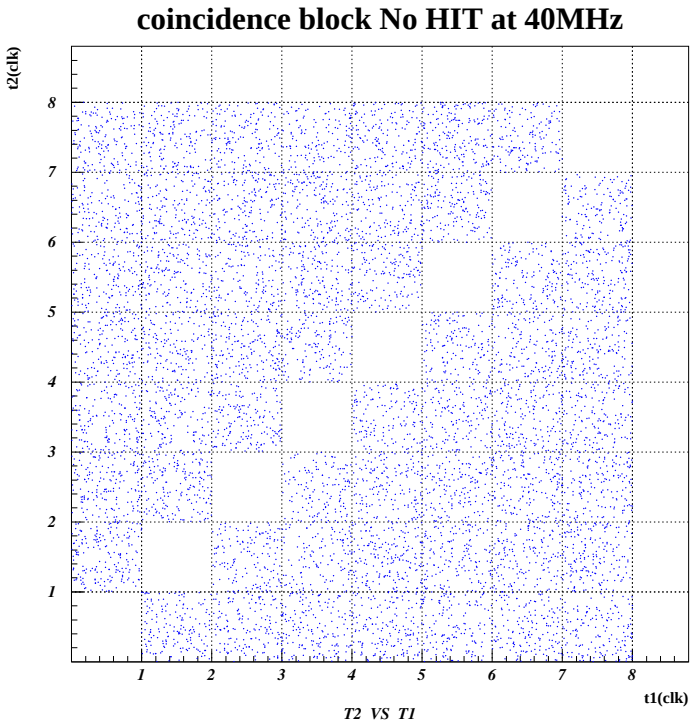
6.2.2 テストの流れと結果

ここでは全ての入力が独立に制御できるので、1 つ 1 つの CLB だけに的を絞ってパルスを送ることが出来るわけになる。そこでまず 1 つの任意の CLB を考えたとする。この CLB だけに信号を送れるように全ての PPG にパルス・パターンを書き込み、そのパルス・パターンを PPG からトリガーロジック・ボードに送る。トリガー出力を Interrupt Register に入れ、何チャンネルでヒットがあったかを受けとる。そして、入力したパルス・パターンから予想される結果とヒットの結果を比較して、選んだ CLB が正常に動作しているかを確認する。
この一連の流れを全ての CLB に対して行なえばよい。

Low-Pt トリガー用 CLB 選んだ CLB で 3-out-of-4 が満たされればよい。予想される出力結果はその CLB が Xilinx FPGA の中で m 行 n 列のとき (n-m+1) チャンネルとなる（ただし、$1 \leq n-m+1 \leq 16$ のとき。それ以外ではヒットはなしとする。図61参照） 比較は実際の出力結果が、予想出力結果と完全に一致した時のみ（つまりヒット・チャンネル以外は 0 である必要がある。） Low-Pt に関しては 40MHz のクロック・レートで全ての CLB が正常に動作していることが確認できた。

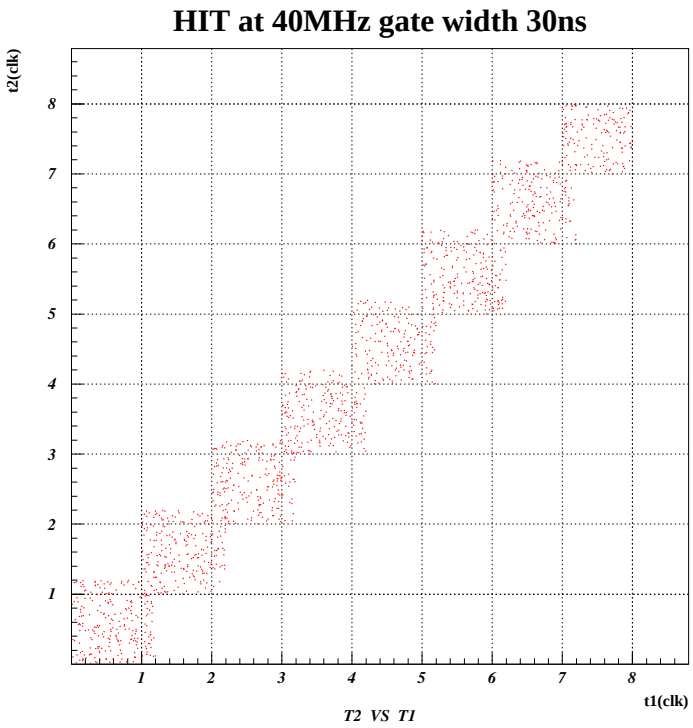


(a) ヒットのあったもの

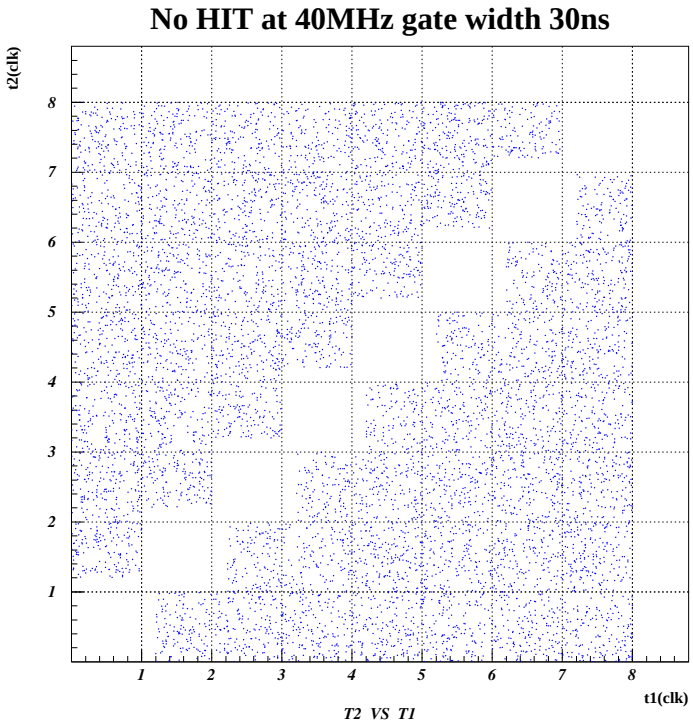


(b) ヒットのなかったもの

図 57: ゲート幅 25nsec での 2 入力によるコインシデンス。クロックは 40MH$_z$。57(a)はヒットのあったもの。57(b) はヒットのなかったもの



(a) コインシデンスのあったもの



(b) コインシデンスのなかったもの

図 58: ゲート幅 30nsec での 2 入力によるコインシデンス。クロックは 40MH$_z$。58(a)はヒットのあったもの。58(b) はヒットのなかったもの

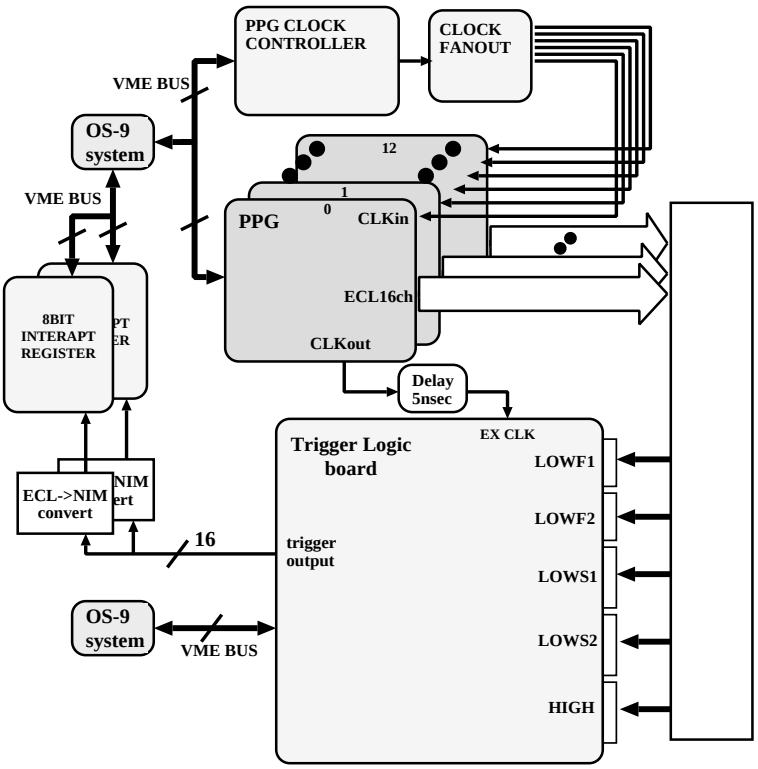


図 59: ボード全体の CLB のテストの為のセットアップ

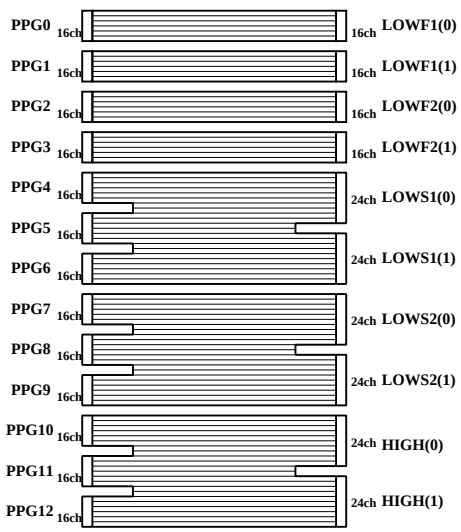


図 60: 2 種類のコネクタ間の変換

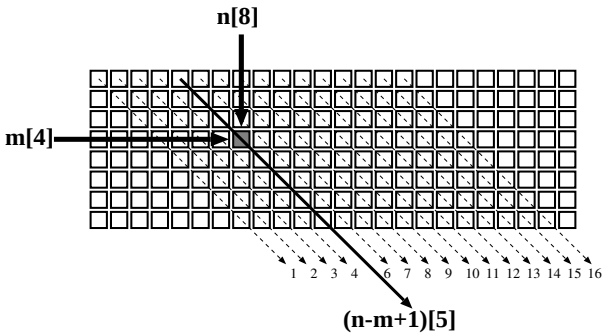


図 61: Xilinx FPGA 中の m 行 n 列の CLB にヒットがあった場合の出力。

High-Pt トリガー用 CLB　High-Pt の方では Low-Pt 用 CLB からの入力が必要であるから、選んだ High-Pt トリガー用 CLB の行では（図 45参照）、Low-Pt トリガー用 CLB の 3-out-of-4 を満たしておく必要がある。
また High-Pt においては 2-fold であるから、選んだ CLB の列に 1 入力すればよい。予想される出力結果は Low-Pt トリガー用のものと同じである。High-Pt に関しても 40MHz のクロック・レートで全ての CLB が正常に動作していることが確認できた。

6.3　テスト全般のまとめ

ボードのテストの結果をまとめると、

1. タイミング・チャート
   Xilinx FPGA の書き込みの確認、デザインの検証、そしてボードのタイミング特性を調べるために、簡単なパルスを入力してタイミング・チャートをとった。58MHz までのクロック周波数で、正常に動作していることが分かった。

2. タイミング・テスト
   Bunch ID のゲート幅を 25nsec、30nsec に設定して 2-fold のコインシデンスをとった。それぞれ 10^4 イベントに対して 100% の割合で正しくコインシデンスを行なっていることが分かった。

3. 全ての CLB のテスト
   High-Pt、Low-Pt 合わせて 1536(8x24x8) の CLB に、それぞれ独立にパルスを入力し、全ての CLB が正常に動作していることを確認した。

7　まとめと今度の課題

1. 同期・非同期式設計のシミュレーション比較

トリガー効率とミスBunch ID まず始めに、ランダム・パルス入力による偶発トリガー発生率を調べた結果、Bunch IDのゲート幅は同期式設計における30nsec、と非同期式設計における20nsecが対応していることが分かった。そのゲート幅におけるトリガー効率は、同期式では100%、非同期式では98%であり、十分に高いことが分かった（TGCの標準のオペレーション・パラメータを用いた場合）。

ビーム・ハロー効果 ゲート幅を同期式、非同期式設計でそれぞれ30nsec、20nsecに設定すると、それぞれ95%、98%の確率でビーム・ハローに対して誤ってトリガー判定を出すことが分かった。したがってどちらの設計様式においても、効率的にビーム・ハローをトリガー・ロジックで排除することが出来ないことが分かる。

位相変化依存性 どちらの設計様式においても、システム・クロックの位相変化が±（2~3nsec）の範囲ではトリガー効率が99%以上あり、十分に安定に動作していることが分かる。

以上のことによりシミュレーションのレベルでは、2つの設計様式に大きなパフォーマンスの違いは見られなかった。しかしながら、ハードウェアの開発においては設計の容易さなどの利点を考慮して、同期式の設計様式を採用した。

2. バックグラウンドによる偶発トリガー発生率のシミュレーション評価

エンド・キャップ部での偶発トリガー発生率をシミュレーションによって評価した。バックグラウンドのソースとして相関バックグラウンドと、非相関バックグラウンドを考察したが、実際にレートが分かっている非相関バックグラウンドにおいては、4枚のTGCによるLow-Ptのトリガー条件によって、十分に偶発ヒットを抑えられていることが分かった。

3. ボードの設計・製作

9UタイプのVMEを用いてトリガー・ロジック・ボードの設計・製作を行なった。このときXilinx FPGAを用いてLow-Pt、High-Ptトリガー条件である3-out-of-4、2-foldのコインシデンス・ロジックを実現している。

4. ボードのベンチ・テスト

PPGを用いてボードのタイミング特性、コインシデンス・ロジックの検証、全CLBの動作確認などが行なわれた。いずれのテストも設計通りに正常に動作していることが確認できた。

5. 今後の予定

今後のテスト 今後、実際にトリガー・ステーションの一部として、ビーム・テストにおいてパフォーマンスをテストする予定である。そのためベンチ・テストの段階では、単に動作しているというだけでなく、ボード上全てのXilinx FPGA内のCLBが正確に動作していると言うことが要求されたわけである。

トリガー・ロジックの変更 製作したトリガーロジック・ボードが実現したトリガー・ロジックは初期のアイデアを基本にしている。しかし本番のATLAS実験では膨大なチャンネル数（約50万チャンネル）とコストを考慮に入れ、今回使用したXilinx FPGAのような汎用性のものではなく専用にカスタム化したモノリシックICを使用することが予定されている。その段階で当然トリガーロジックの設計も見直されるわけである。チャンネル数を削減するためにワイヤやストリップの読み

出し幅を広げ、しかも読み出す数を減らしながらも位置分解能は維持するというのが方針である。詳しくは Appendix Bを参照して欲しい。

Appendix A　　Bunch ID ボードの設計

1997 年 1 月現在の予定として 97 年中に実際に 7 層の TGC からの信号を使ってトリガーステーションを作りビームテストで実地試験を行なうというものがある。同期式設計においては図 17のようにコインシデンスの前で Bunch ID を行なう必要がある。そのためこれまでのトリガーロジック・ボードの話しは全てこの Bunch ID 回路の存在を仮定し、PPG を使ったテストなどを行なって来ている。そこで Bunch ID 回路の実現化は必然的なものとなる訳である。ここでは現在試作中トリガーロジック・ボード用 Bunch ID ボードの概念・設計などについて説明する。

A.1　Bunch ID 回路と遅延調節回路の概念

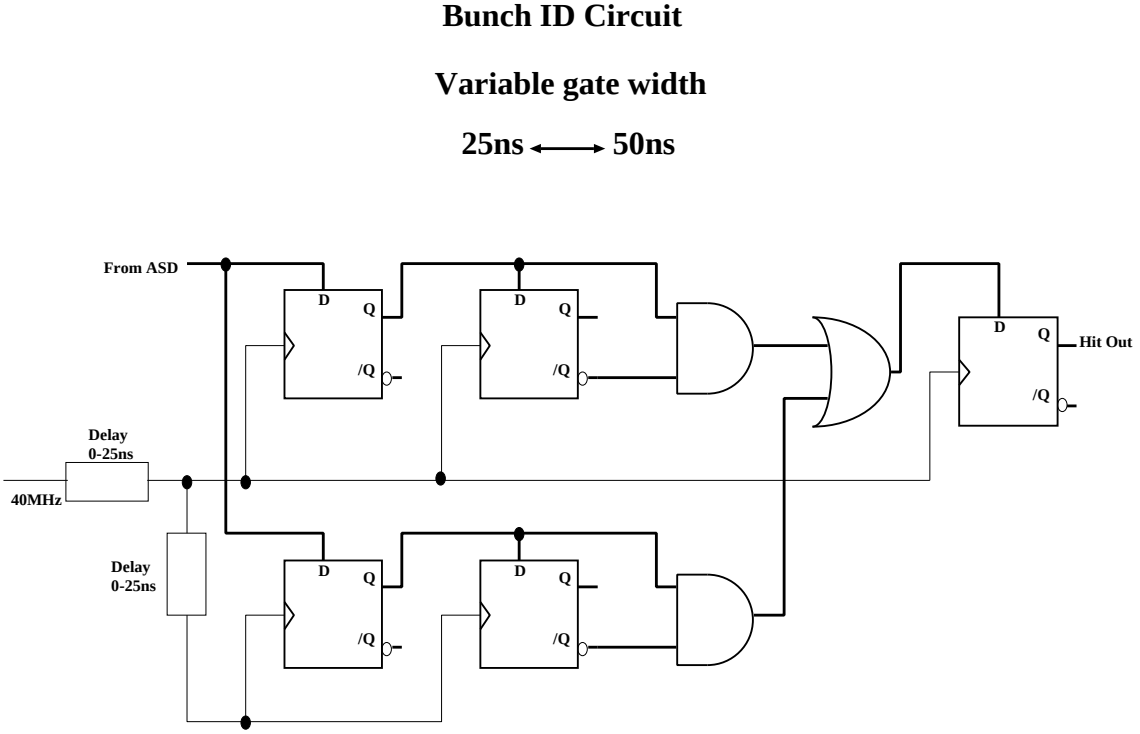


図 62: Bunch ID 回路の概念図

Bunch ID ボードは二つの役割を担っている。

Bunch ID 回路 ここではまずアンプ・ディスクリからの信号を LHC のシステム・クロックに同期したデジタル・パルスに変換する。

遅延調節回路 実際の Bunch ID 回路は幾つものボードに分かれ各検出器に実装されるわけだが、その実装位置によってケーブル遅延がまちまちである。その違いを補うのために Bunch ID のクロックは nsec 以下の精度で調節され、各場所で全ての信号はシステム・クロックに同期したものになる。ところがこの同期した信号が実際に同じ Bunch ID のものかどうかと言うのは保証されていない。そこで選択枝として遅延なし、半クロックの遅延、1 クロックの遅延、1 半クロックの遅延を選べるようにし、実際にテスト・パルスを使って調節を出来るようにする。

また 3 重層 (triplet) から来る信号に対しては Bunch ID を行なった後、High-Pt 用に 2-out-of-3 のコインシデンスをとらなくてはいけない。

- 図 62が Bunch ID 回路である。信号遅延を 2 種類用意し、一つはボード全体の遅延用に、もう一つは片方のクロック・ソースを遅らせるための遅延に使う。2 又に分けられたアンプ・ディスクリからの信号は、それぞれ 2 つの D ラッチを通って 1 クロック幅のデジタル・パルスになる。クロックの位相が違うこの 2 つのパルスの和をとることによってアンプ・ディスクリからの信号を受けるゲート幅を 25nsec∼50nsec に広げることが出来る。その仕組みについては図 63を参照してほしい。図の上部のようにアンプ・ディスクリからの信号が遅延クロックの後でかつ主クロックの前に来た場合は、Bunch ID の出力は 1 クロック幅のデジタル・パルスになる。この状況は通常のゲート幅を広げない場合と同じである。ところが、図の下部のようにアンプ・ディスクリからの信号が主クロックの後でかつ遅延クロックの前に来た場合は、図から分かるように 2 クロック幅のデジタル・パルスになる。 出力のタイミ

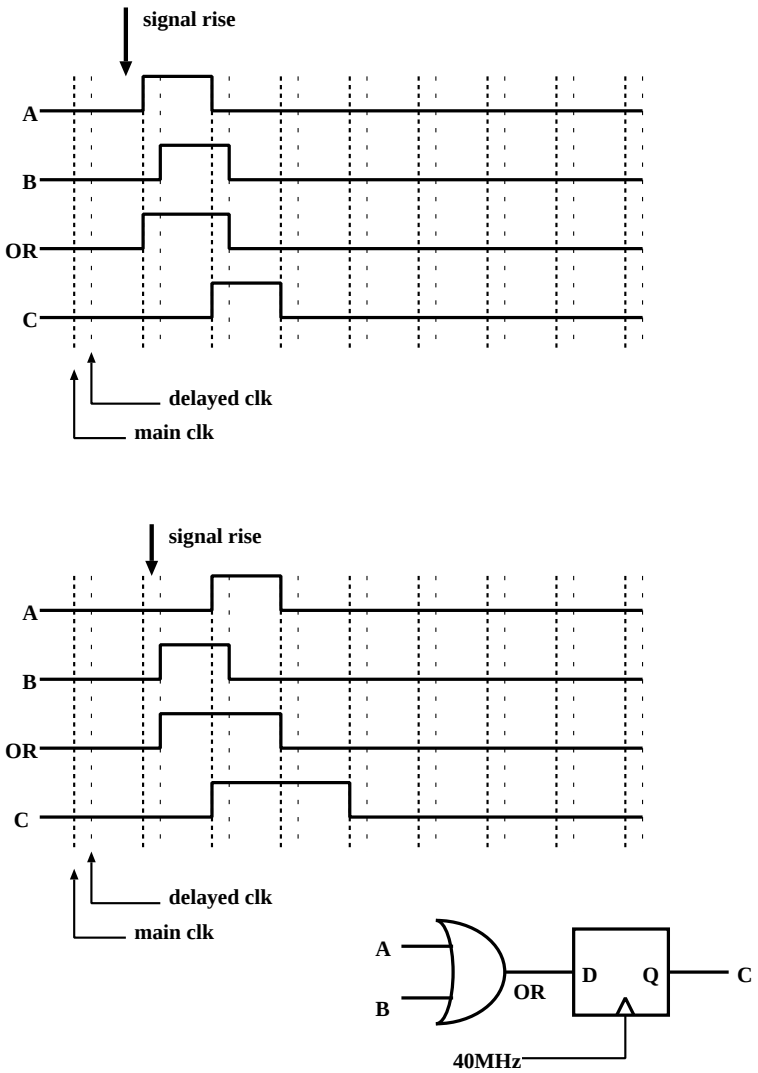
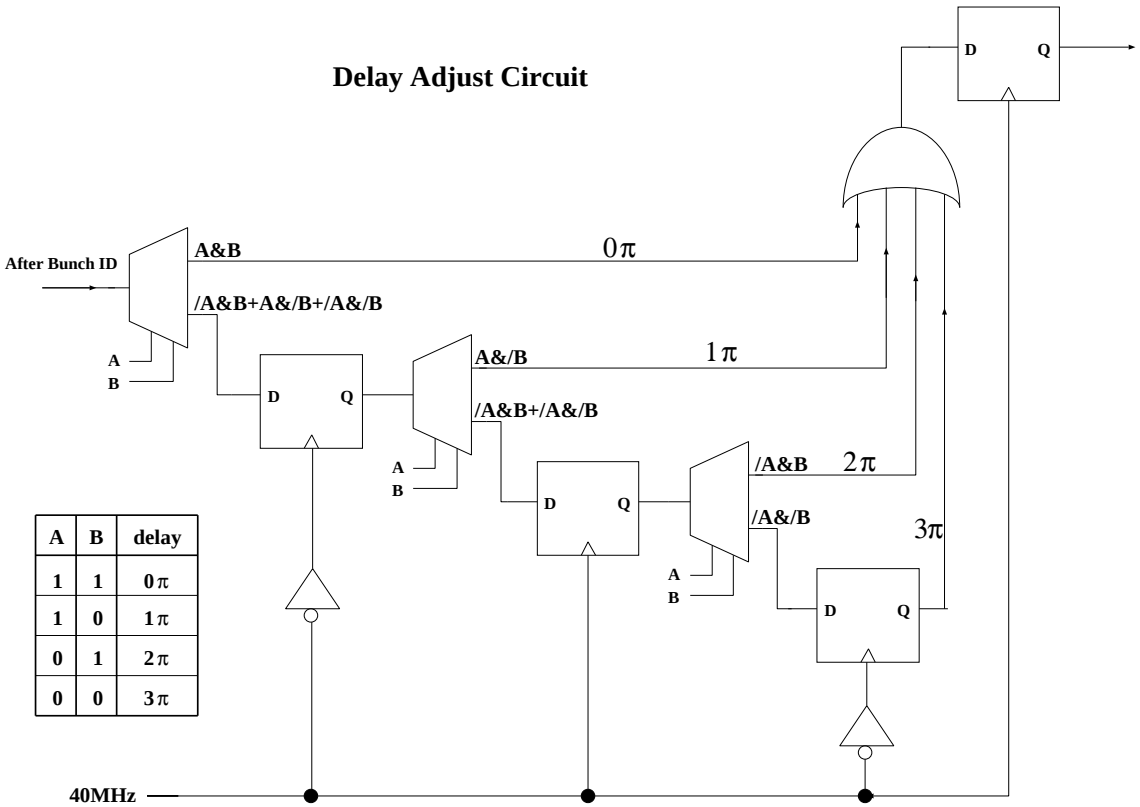


図 63: Bunch ID の過程でのタイミング・チャート



A	B	delay
1	1	0π
1	0	1π
0	1	2π
0	0	3π

図 64: 遅延調節回路の概念図

ングは上・下部を比較して分かるように、立ち上がりは同じである。つまり結果的には下部の場合遅延したクロックの時間分だけゲート幅が広がり、その広げた時間部分に入ってきた信号に対しては、両方のバンチにパルスを出していることが分かる。これは図 20(e) のようにゲート幅が 25nsec を越えた場合にバンチ同士が重なる部分に対しては両方に出力するというものである。

- 図 64が遅延調節回路である。図のように Bunch ID 後の信号は 3 回の選別を受けて、設定されているクロック位相分だけ遅延を受ける。パラメータとして A、B の 2 つのフラグを用意し、図中の表の様な組合せで設定を決める。A,B をそれぞれ 0,1 どちらかの値に設定すれば図中の 0π,1π,2π,3π のうちのどれかが選択されることになる。最終的にもう一度システム・クロックでラッチをかけて出力する。

A.2 Bunch ID 回路と遅延調節回路の設計

ボードの設計としては、入出力の数の関係から Low-Pt 用のものと High-Pt 用のものと 2 種類作る。Bunch ID 回路と遅延調節回路の部分は柔軟性をもつ設計思想で、またトリガーロジック・ボードで培った技術を有効利用すると言う意味も込めて Xilinx FPGA を使う。今回使用する Xilinx FPGA のパッケージは XC4005PG156 というもので、内部に 16x16 の CLB 行列を持つ 156 ピンのピン・グリッド・アレイ型である。ここでは 16 本の入力を 1 つの Xilinx FPGA に並列して入れ、16 本同時に Bunch ID と遅延調節を行なう。Low-Pt 用と High-Pt 用のボードの基本的なスペックは下の表のようになる。

	Low-Pt 用	High-Pt 用
入力数	16×4	16×6
出力数	16×4	16×2
Xilinx FPGA 数	4	6
作成台数	2	1
その他		2-out-of-3 用 PEEL が必要

設計仕様　基本的な設計仕様はトリガーロジック・ボードと類似している。VME9U の基板を使用し、ECL 入力・ECL 出力をする。VME プロトコルや入・出力部はほとんど変更がないのでここでは新たに導入した部分だけに注目して説明する。

Xilinx FPGA　入出力のコネクタは 34 ピン・ヘッドコネクタであるから、1 本のケーブル当たり 16 本の信号を受け渡すことになる。そのため 1 つのケーブルに 1 つの Xilinx FPGA が対応することになる。1 つの Xilinx FPGA で 16 本の信号入力を受けるので、1 列 16 個の CLB を用いて 1 つの信号入力に対して Bunch ID と遅延調節をする。Bunch ID の段階で使用する、2 種類のクロック・ソースは Xilinx FPGA 外部で可変遅延モジュールを使って用意し Xilinx FPGA には主クロック、副クロックという形で入力する。遅延調節の段階で使用する、A,B 2 つのパラメータは 1 つの Xilinx FPGA で共通のものにする。

可変遅延　Bunch ID でのクロックの遅延のために（図62参照）今回は株式会社 JPC の ECL レベル可変遅延モジュールである EPD シリーズを利用した。ここでは精度をあげるために ECL レベルを選んでいる。2 種類使うモジュールの仕様は下の表のようになる。

シリーズ	可変ステップ (nsec)	最大遅延 (nsec)	誤差 (nsec)
EPD15N	1	15	0.2
EPD30N	2	30	0.2

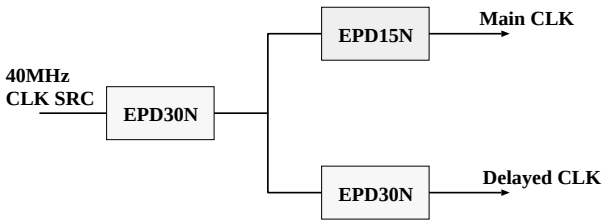


図 65: EPD シリーズの配置

図65の様にモジュールを配置した。まず EPD30N でクロック全体の調節をする。そして 2 つに分配した後、主クロックの方には EPD15N を、副クロックの方には EPD30N を置くことによって相対的に最大 30nsec の差を 1nsec ステップで実現することが出来る。遅延時間の選択には 4 チャンネルのアドレス指定が必要であるのでそれぞれ 4 ビットレジスタを用いて選択している。

データ出力モニタ　オプションであるが、データが流れていることを基板上の LED で確認するために、データの出力を目視で確認できるくらいのパルス幅に変換する。ショットキー・モノステーブル・マルチバイブレータ Am26S02 を使用して 25nsec のパルス幅を 0.1sec のパルスに変換する。確認できるデータはまとめ読み出しで Xilinx FPGA 毎に 1 つの LED を配置するようにしている。

LED 動作状況表示用の LED は基板上に配置する。モニターする対称は基本的にトリガーロジック・ボードと同じである。今回新たに導入したものとして、

LDC トリガーロジック・ボードでは Xilinx FPGA の書き込み中に H レベルである HDC のみをモニタしていたが、ここでは LDC も各 Xilinx FPGA についてモニタするようにし、ダウンロードの完了確認の指標を増やした。

データ出力 各 Xilinx FPGA に 1 つづつ割り当てられる。データが処理される度に 0.1sec 程度の点滅が確認されるはずである。

以上のような新しい項目を導入して設計は進められた。

A.3 ボード製作の現状

Bunch ID ボードの製作は入出力の信号数など含めて、トリガーロジック・ボードに合わせて進められている。設計はトリガーロジック・ボード同様 KEK 南実験準備棟のワークステーション `elcad3.kek.jp` 上で CAD アプリケーション CR3000 を使って行なわれた。現在、基板のレイアウト、プリントが行なわれている最中である。今後、基板が完了した後トリガーステーション製作に向けてベンチ・マークテストが行なわれる予定である。

Appendix B　　最新のトリガーロジック

B.1　2 重層 (doublet) でのトリガーロジック

図 66を見て欲しい。 ワイヤのまとめ読み出し（またはストリップの読み出し）は今までの幅の 2 倍に拡

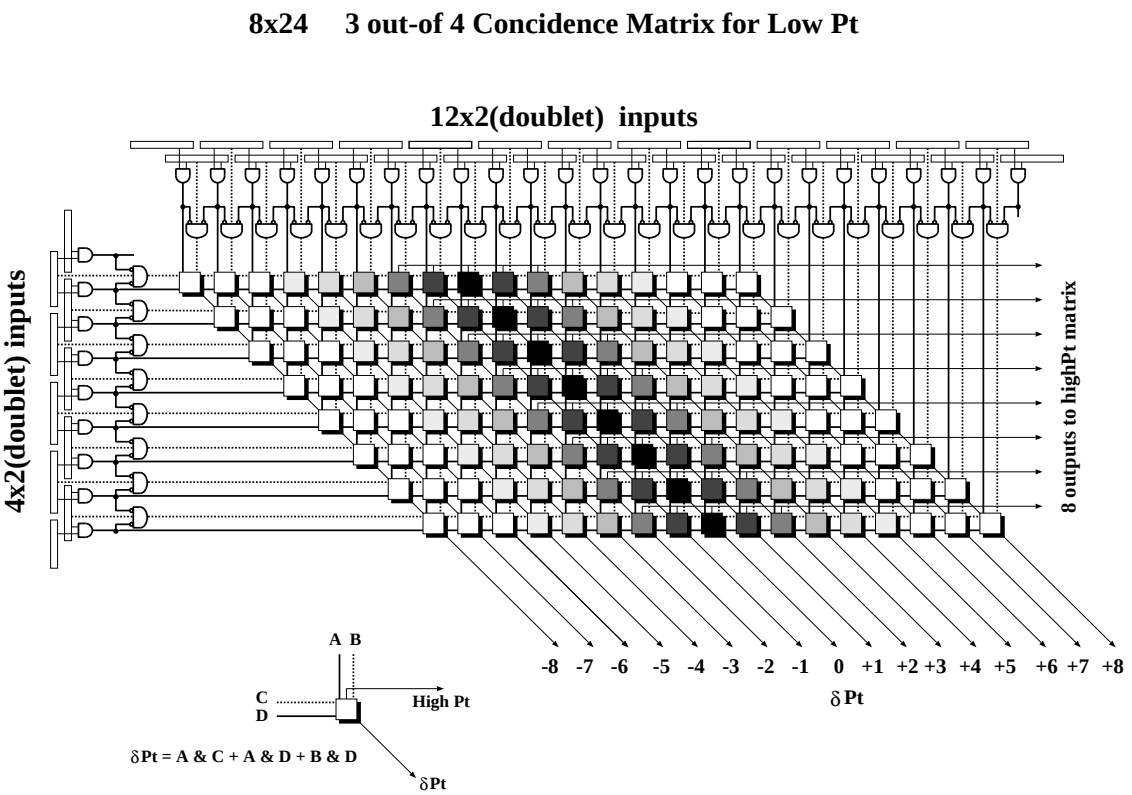


図 66: doublet でのコインシデンス Matrix

大され、それぞれの doublet で半分の幅ずつずらしてある。したがって重なっている部分は今までと同じ幅になる。そこでコインシデンス Matrix のロジック・エレメントに入力する信号として、それぞれの doublet から、

実線 2 枚ともヒットした場合。分解能としてはワイヤ（ストリップ）半分幅である。

点線 1 枚だけヒットした場合。分解能としてはワイヤ（ストリップ）幅である。

の 2 本づつを送る。したがって図 66の左下のロジックのように点線同士のコインシデンス以外をとれば 3-out-of-4 の条件が満たされ、なおかつ分解能は以前と同じである。

また斜めに OR をとるロジック・エレメント以外はカスタム化した段階では必要ないので表示してない。

B.2　3 重層 (triplet) でのトリガーロジック

図 67を見て欲しい。 この場合ワイヤのまとめ読み出し（またはストリップの読み出し）は今までの幅の 3 倍に拡大され、図のように 1/3 ずつずらして並べられ、重なる部分は今までと同じ幅になる。2-out-of-3 のコインシデンスは図 67の左下にあるように、重なり部分が 1/3 のものに対してはそのまま読みだし、重なり

8x24　2 fold Coincidence Matrix for High Pt

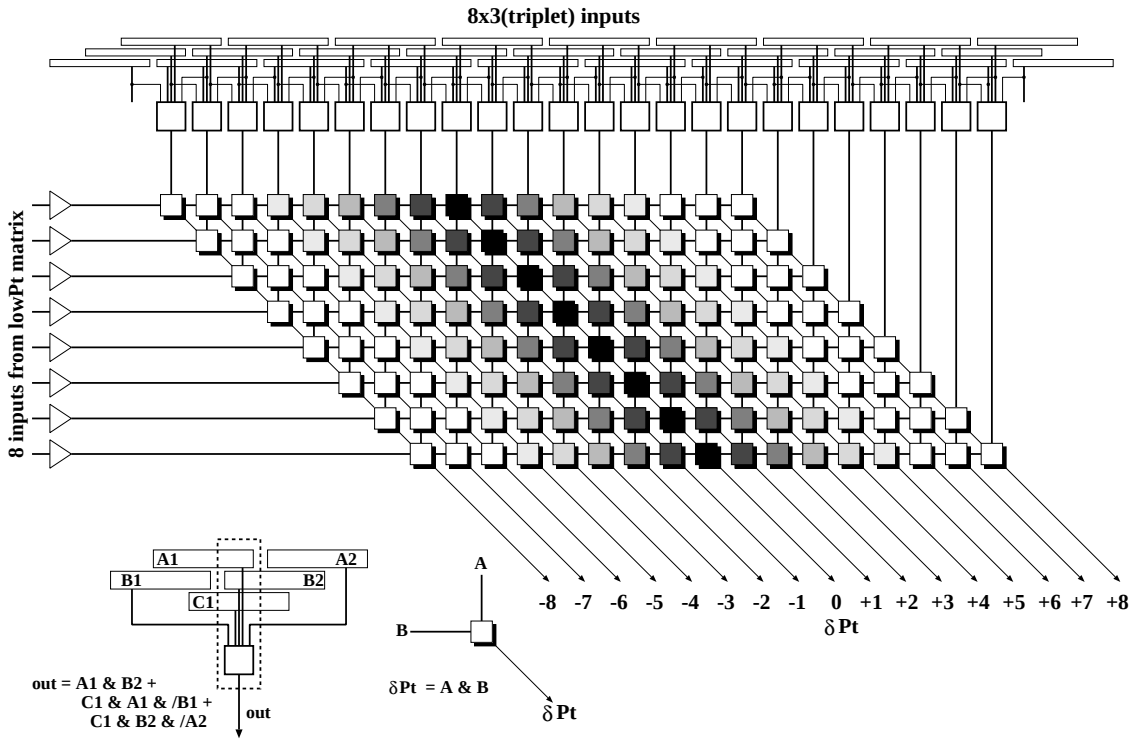


図 67: triplet でのコインシデンス Matrix

部分が 2/3 のものについては読み出したい領域（図の点線領域）以外がヒットしてないことを条件にしている。このロジックによって分解能は以前と同じにできる。

B.3　1 スレーブ・ボードでのトリガーロジック

以前の設計では図 45のように 4 個のコインシデンス・ブロックを斜めに並べて、Low-Pt,High-Pt それぞれ 32x48 のコインシデンス Matrix を作っていた。 この設計もカスタム化した段階ではさらに集積できる

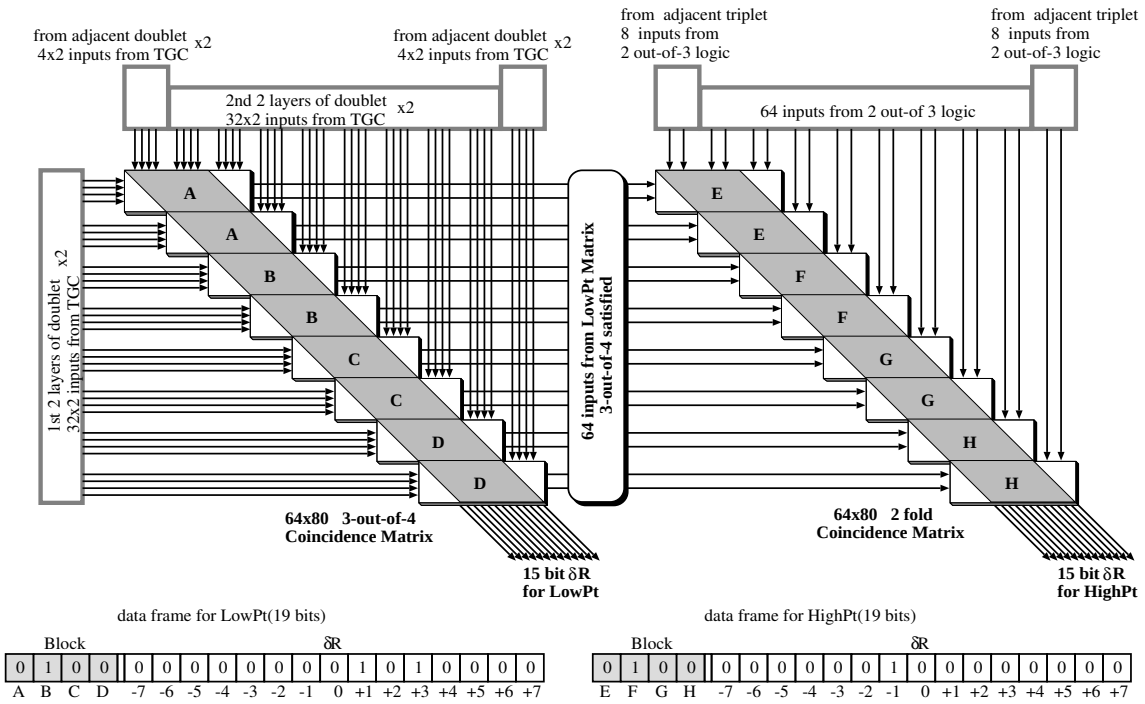


図 68: スレーブ・ボード 1 枚当たりのトリガーロジック

と考え、図 68のように 8 個のコインシデンス・ブロックを並べて 64x80 のコインシデンス Matrix を作るようにする。この場合 8 個のブロックの OR をとると広い範囲の TGC を覆ってしまうことになり、肝心のヒットが何処で起こったかの位置情報が荒過ぎる。そこで図で A,B,C,･･･で示されているように、2 個のブロックごとにビットを割り当てる。そして図の下に示したデータ形式のように OR の情報に付加することによって、TGC のどの区分にヒットがあったかを伝えるようにする。

図目次

1 ヒッグス粒子の生成 5
2 トップ・クォークの崩壊モード 6
3 ATLAS 検出器の全体図 9
4 ATLAS 測定器の R-ϕ 断面図 10
5 ATLAS 測定器の R-Z 断面図 11
6 ATLAS の 3 段階構成のトリガー・システム 13
7 LVL1 トリガー・システムのブロック・ダイアグラム 15
8 CTP のブロック・ダイアグラム 16
9 バレル領域でのトリガー・システム 19
10 エンド・キャップ領域でのトリガー・システム 19
11 エンド・キャップ部でのスレッショルド・カーブ 20
12 エンドキャップ部におけるトリガー／DAQ のようす 21
13 ローカル DAQ ブロック。 triplet 用 22
14 ローカル DAQ ブロック。 doublet 用 22
15 $\delta R, \delta\phi$ の定義図 23
16 R・ϕ コインシデンス・マトリクスの構造 24
17 同期設計の場合の回路図 26
18 非同期設計の場合の回路図 26
19 可変ゲート幅用回路 27
20 同期・非同期式設計でのコインシデンス領域 28
21 TGC の構造 29
22 *Tarfield* の出力 29
23 *Tarfield* の出力（畳み込み後） 30
24 トリガー効率とミス Bunch ID 31
25 二つの設計様式を重ね合わせたもの 32
26 トリガー効率とミス Bunch ID （補） 34
27 トリガー効率とミス Bunch ID （30 度の場合） 35
28 ビーム・ハローに間違ってトリガーを出してしまう確率 37
29 トリガー効率の位相変化依存性（全体） 38
30 トリガー効率の位相変化依存性（部分） 39
31 TGC4 層ののレイアウト 41
32 2 倍重ねのレイアウト 42
33 等倍重ねのレイアウト 43
34 非相関バックグラウンドの場合の組合せ 45
35 相関バックグラウンドにおける結果 46
36 非相関バックグラウンドにおける結果 47
37 High-Pt トリガー条件での偶発ヒット発生率 48
38 ATLAS detector の断面図 49
39 **TGC** と **MDT** の位置関係 50
40 inner section の Data flow 51
41 outer section の Data flow 52
42 トリガーロジックの概念図 53
43 Coincidence Matrix1 つ当たりの大きさ (Low-Pt) 54
44 Coincidence Matrix1 つ当たりの大きさ (High-Pt) 54

45 トリガーロジックボード1枚当たりの大きさ 55
46 XC4013 シリーズの内部の構造概念図 56
47 配線リソースと CLB との接続 57
48 CLB の内部の構成 58
49 CLB の Matrix 構造 59
50 モジュールのコネクター配置図 61
51 トリガーロジックボードの側面写真 64
52 XC4013 の機能ピン 66
53 非同期ペリフェラルモードの書き込みタイミング 66
54 Xilinx FPGA の書き込みのシーケンス 68
55 タイミング・テストの為のセットアップ 69
56 入力・出力のタイミング・チャート 71
57 ゲート幅 25nsec での 2 入力によるコインシデンス 73
58 ゲート幅 30nsec での 2 入力によるコインシデンス 74
59 ボード全体の CLB のテストの為のセットアップ 75
60 2 種類のコネクタ間の変換 75
61 Xilinx FPGA 中の m 行 n 列の CLB にヒットがあった場合の出力。 76
62 Bunch ID 回路の概念図 79
63 Bunch ID の過程でのタイミング・チャート 80
64 遅延調節回路の概念図 81
65 EPD シリーズの配置 82
66 doublet でのコインシデンス Matrix 84
67 triplet でのコインシデンス Matrix 85
68 スレーブ・ボード1枚当たりのトリガーロジック 86

参考文献

[1] ATLAS Technical Proposal, CERN/LHCC/94-43

[2] ATLAS Letter Of Intent, CERN/LHCC/92-4

[3] 高エネルギーニュース vol.15,no.1,April 1996「 LHC における ATLAS 実験」

[4] Atlas Trigger-DAQ Steering Group *Trigger & DAQ Interfaces with Front-End Systems: Requirement Document version 1.0*

[5] J.Christiansen,A.Marchioro,and P.Moreire *TTCrx Reference Manual,CERN-ECP/MIC*

[6] Andrea Dell'Acqua et al.*Level-1 Muon Trigger Simulation in the Barrel Region, ATLAS Internal Note DAQ-NO-038*

[7] *GEANT*Detector Description and Simulation Tool,CERN Program Library

[8] 東京大学素粒子物理国際研究センター 長谷川 庸司氏との Private Communication による。

[9] *An Integrated RPC and TGC Detector for the ATLAS Muon Trigger, ATLAS Internal Note MUON-NO-042*

[10] S.Tanaka,Department of Physics, Kobe University

[11] 東京大学 三宅正明 修士学位論文「ミューオントリガーチェンバーの動作特性試験」

[12] A.Nisati, *Accidental trigger rates in the ATLAS muon system, ATLAS Internal Note DAQ-NO-027*

[13] Alfredo.Ferrari,Physics Department,Milan University and I.N.F.N.,Milan,Italy

[14] 京大理 坂本 宏著 *Xilinx FPGA* デザインの手引き、Xilinx プログラミング講習資料

[15] ザイリンクス株式会社 プログラマブル・ロジック・データブック *1995*

[16] 岡村 周善著 *VME* システム完全マスタ, 別冊インターフェイス *CQ* 出版社

謝辞

本研究を進めるにあたり、適切な指導並びに助言を与えてくれました素粒子物理学国際研究センター所属、指導教官小林富雄教授に深く感謝します。そして高エネルギー研究所における本研究を最初から最後まで懇切丁寧に指導して下さいました佐々木 修氏に心より感謝します。また KEK での研究活動に様々な形でご支援下さいました大須賀 巽雄氏、池野 正弘氏そして回路室の方々に心から御礼申し上げます。また貴重な意見・情報を提供していただいた能町 正治氏、近藤 敬比古氏に感謝します。そして、本研究・論文作成に当たり様々なアドバイス、情報提供をしてくれました長谷川 庸司氏に深く感謝します。また Xilinx FPGA や VME ボードに関して様々な指導をして下さいました京大の坂本 宏氏に感謝します。そしてボードの製作において回路図設計のアドバイスや基板レイアウトをして下さった株式会社ジー・エヌ・ディーの宮沢 正和氏に心より御礼申し上げます。最後に研究生活を共にし様々な支援をしてくれました吉田 光宏氏、深津 吉聡氏に、そして信州大学、神戸大学、都立大学、東京農工大学、KEK、イスラエル Weizman Institute、素粒子物理国際研究センターの方々に心から感謝します。