修士学位論文

ATLAS 実験ミューオントリガーシステムの ビームテスト及びシミュレーションによる総合評価

東京大学大学院 理学系研究科
物理学専攻

26031
片岡 洋介

平成 16 年 1 月

概 要

2007 年、欧州原子核研究所 (CERN) において、14TeV の重心系衝突エネルギーをもつ陽子陽子衝突型加速器 (LHC) による実験が開始される。高エネルギー、高ルミノシティの特徴を活かし、ヒッグス粒子探索を始めとする標準理論の検証、超対称性理論などの新しい物理の開拓を目標とする。LHC の衝突点に設置される ATLAS 検出器は、これらの物理を研究するために設計された汎用検出器である。ATLAS 検出器は、40MHz の高頻度なバンチ衝突、1GHz の陽子陽子衝突による膨大な測定データを処理するために、オンラインのトリガーシステムを備える。ATLAS のトリガーシステムは、3 段階で興味のあるイベントを選別し、100Hz までレートを落す。この内、初段の LVL1(level 1) トリガーは、最大 75kHz でイベントを選別し、各検出器に対しデータの読み出し命令を送信する。

本論文の主題は、エンドキャップの LVL1 ミューオントリガーシステムである TGC(Thin Gap Chamber) システムの総合評価である。まず、2003 年、9 月に行なったビームテストをもとに、TGC エレクトロニクスの総合評価を行なった。TGC チェンバーと接続し、25ns のバンチ識別を正しく行なうことを確認した。さらに、TGC のトリガー処理を検証し、LVL1 ミューオントリガー検出器として、正しくトリガー信号を出力することを確認した。この結果、運動量測定用のミューオン検出器である MDT を TGC でトリガーし、データを収集することに成功した。

さらに、TGC のトリガーシミュレーションを開発し、TGC システムのトリガー能力を評価した。LVL1 ミューオントリガーの要請は、6GeV〜20GeV の与えられた閾値でミューオンイベントを確実にトリガーすることである。full simulation(Geant) と TGC のトリガーシミュレーションの結果、6GeV 以上のミューオンイベントをほぼ確実にトリガーすることが確認された。また、TGC は、ミューオンの pT を曲率によって判定する。曲率と pT の関係は、シミュレーションによって計算され、Look up table をハードウェアに組み込むことで pT 判定が行なわれる。実際に、シミュレーションによってこの table を作成し、TGC のトリガースキームを完成させた。この結果、TGC システムは、6GeV〜20GeV では、1GeV〜5GeV の幅で pT を判定する能力をもつことを確認した。

目 次

図 目 次

表 目 次

第1章　序論

LHC(Large Hadron Collider) は、CERN(欧州原子核研究機構) において 2007 年に運転が開始される陽子と陽子による衝突型円形加速器である。制動放射によるエネルギー損失の少ない陽子を用いることで、大きな重心系衝突エネルギーを達成することができる。実際、LHC は、周長 27km の LEP(Large Electron Positoron Collider) トンネルと 8.4 テスラの超伝導磁石を用いることで、14TeV の重心系衝突エネルギーを実現する。LEP による電弱理論の精密測定、Tevatron によるトップクオークの発見以降、エネルギーフロンティアの物理を探索する実験への期待は非常に高い。LHC 及びその検出器は、これらの期待に応える能力をもつように設計された。すなわち、14TeV の重心系衝突エネルギー、$10^{34} cm^{-2} s^{-1}$ の高ルミノシティーであり、3 年間で 1TeV までのヒッグス粒子を 5σ 以上の確からしさで発見する能力をもつ。

本論文のテーマは、LHC の汎用検出器の一つである ATLAS 検出器のミューオントリガーシステムである。ATLAS 検出器は、40MHz の高頻度バンチ衝突、1GHz の陽子陽子衝突を処理するために、オンラインのトリガーシステムをもつ。ATLAS を構成する各検出器で測定されたデータは、3 段階で選別され、興味のあるイベントのみ記録される。この内、初段の LVL1(level 1) トリガーは、フロントエンドのエレクトロニクスからデータを読み出すかどうか、どの領域に興味のあるイベントが発生したかを判断する。LVL1 トリガーは、その性質上、高速性と確実性を要求される。トリガー検出器は、1μs の間に、守備範囲とする領域で、確実にトリガー信号を出さなければならない。本論文が主として扱う、エンドキャップのミューオントリガー検出器は、時間分解能の優れた TGC(Thin Gap Chamber) が採用された。以下、この TGC システムについて説明する。

TGC システムは、Multi Wire Chamber である TGC チェンバーとそのトリガーエレクトロニクスから構成される。TGC チェンバーは、1.4mm の短いワイヤーカソード間隔を特徴とする。ATLAS で使用される約 4000 枚の TGC チェンバーは、既に量産段階にあり、一部は ATLAS 検出器の建設される CERN に輸送されている。一方、TGC のエレクトロニクスは、フロントエンドのボード、カスタム IC(ASIC) から、エレキハットのモジュールに至るまで非常に多岐にわたる。検出器に備え付けられる一部のエレクトロニクスは既に量産段階に入り、エレキハットのモジュールもプロトタイプが完成している。昨年度行なわれた模擬パルスによる試験では、フロントエンドのボードから、エレキハットのモジュールを通して、正しくトリガー処理を行なうことが確認された。本論文は、この結果を引き継ぎ、TGC システムの総合評価を行なうことを主眼とする。具体的な内容を以下に示す。

TGC システムは、ATLAS の LVL1 トリガーを構成するシステムである。従って、本論文は、TGC システムの総合評価として、以下の 2 点を検証する。

- 開発された TGC エレクトロニクスが、システムとして期待通りに動作するか。
- 期待通りに動作する場合、LVL1 の要求するトリガー能力を備えているか。

まず、第一の検証について説明する。TGC エレクトロニクスは、検出器に付属して信号の増幅やディスクリミネートを行なう部分、トリガー処理を行なう部分、フロントエンドのデータを読み出す部分、エレキハット内で他のシステムに接続する部分など、様々なエレクトロニクスで構成される。これらは、今まで独立して開発、試験されてきた。従って、システムとして期待通りに動作することを検証しなければならない。また、実際に TGC チェンバーの信号を用いて、正しくトリガー処理を行なうことは未だ確認されていない。特に、25ns のバンチ識別は、トリガー検出器として必須の条件であり、TGC チェンバーと TGC エレクトロニクスを用いた検証を行なわなければならない。さらに、トリガー検出器は、

オンラインで他のトリガーシステムと連携し、ATLAS の全システムにトリガー信号を出さなければならない。このシステムの統合は、実際に、トリガーシステムと接続して試験する必要がある。これらの検証を行なうものとして、2003 年 9 月に、CERN、SPS の 25ns ミューオンビームを用いたビームテストが行なわれた。このビームテストでは、TGC システムと LVL1 トリガーシステムとの統合が行なわれた。さらに、運動量精密測定用検出器を含めた ATLAS ミューオンシステムの統合試験も行なわれた。本論文では、このビームテストの結果を詳細に説明し、TGC エレクトロニクスの総合評価を行なう。

次に、第二の検証について説明する。LVL1 ミューオントリガーとしての要請は、pT が 6GeV〜20GeV の閾値で、ミューオンイベントを確実にトリガーすることである。従って、TGC エレクトロニクスが正確に動作することはもちろん、ATLAS のトロイダル磁場、TGC チェンバーのジオメトリー、TGC のトリガースキーム等を含めて、LVL1 の要求を満たすことを検証しなければならない。これらを検証するものとして、TGC トリガーシミュレーションを開発した。開発された TGC トリガーシミュレーションは、約 4000 枚の TGC チェンバー、30 万 channel のエレクトロニクスを実装し、全てのトリガーロジックを再現する。ATLAS の磁場や検出器の物質、ミューオンの相互作用は、full simulation(Geant) により評価した。この 2 つのシミュレーションを用いることで、TGC システムのトリガー能力を評価した。また、TGC の検出する曲率と pT の関係は、シミュレーションにより計算し、ハードウェアに組み込むことで解決される。TGC システムのトリガースキームを完成させ、pT 判定能力を検証するには、実際にこの関係を表す Look up table を作成する必要がある。本論文では、これらのシミュレーションを詳細に説明し、TGC システムの総合評価を行なう。

最後に、本論文の構成であるが、次章、第二章で背景となる LHC 計画と ATLAS 検出器について説明する。続く第三章で、本論文が扱う TGC システムとそのエレクトロニクスについて説明する。第四章、第五章は、本論文の主題であるが、ビームテストとシミュレーションによる TGC エレクトロニクスの総合評価について、それぞれ説明する。そして、第六章を、本論文のまとめとする。また、最後の第七章に、本論文で使われる略語の一覧を載せる。

第2章　LHC計画ATLAS実験

本章では、LHC 計画と LHC で期待される物理について説明する。また、LHC の検出器の一つである ATLAS 検出器とそのトリガーシステムについて説明する。

2.1　LHC計画

LHC は、ジュネーブ郊外、CERN(欧州原子核研究機構) において建設中の大型陽子陽子衝突型加速器 (Large Hadron Collider) である。現在、その建設が進み、2007 年に運転が開始される予定である。LHC は、LEP(Large Electron Positoron Collider) で使用された周長 27km のトンネルを利用する。さらに、8.4T の超伝導電磁石を多数並べ、世界最高の重心系衝突エネルギー 14TeV を実現する。この高い衝突エネルギーにより、ヒッグス粒子探索や超対称性理論等の新しい物理の開拓を目標とする。また、大量に生成されるボトムクオークやトップクオークの精密測定が可能となる。LHC の円周上には 4 つのビーム衝突点があり、それぞれ、ATLAS、CMS、ALICE、LHC-B と呼ばれる検出器が設置される (図 2.1)。この内、ATLAS、CMS は汎用検出器であり、ALICE は重イオン衝突実験、LHC-B は B 物理の測定にそれぞれ特化している。LHC はまた、40MHz の高頻度なバンチ衝突、最大 $10^{34}cm^{-2}s^{-1}$ の高ルミノシティーを特徴とする。各検出器は、この環境に耐え、高速かつ正確に動作するよう設計されている。LHC の主要パラメーターを表 2.1 に示す。

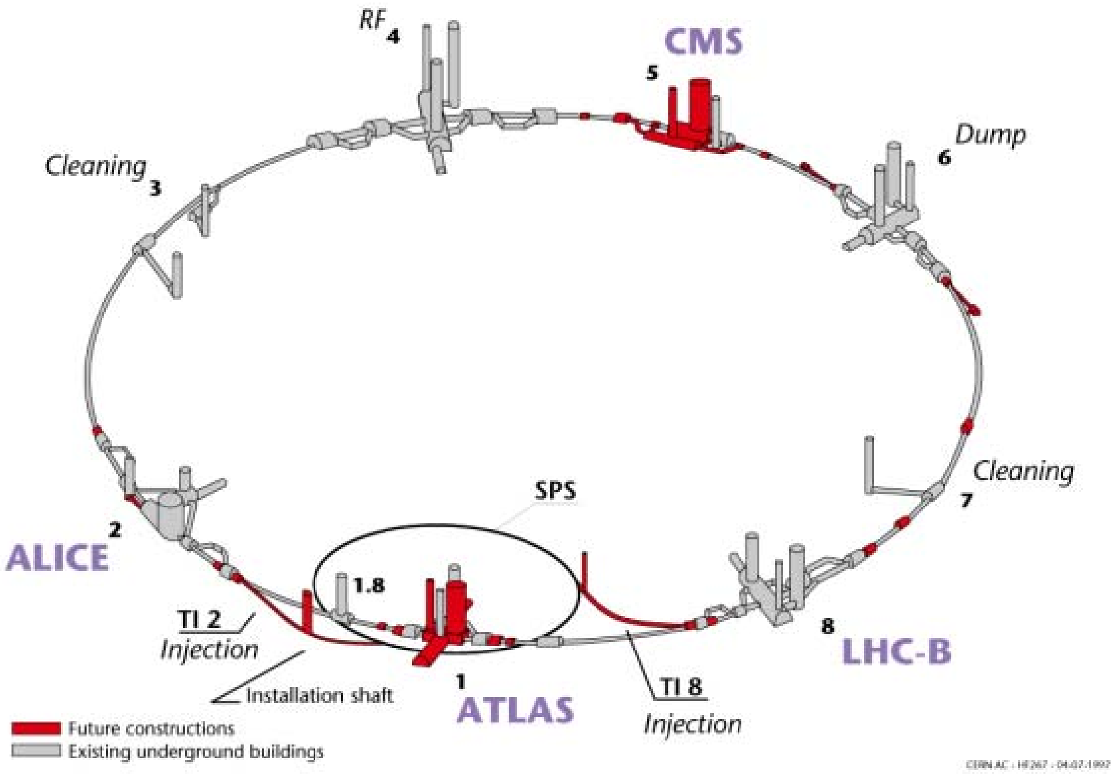


図 2.1: LHC 加速器

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低) ルミノシティー	$10^{33}cm^{-2}s^{-1}$	(高) ルミノシティー	$10^{34}cm^{-2}s^{-1}$
ルミノシティー寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95ns
1 バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	19(high lumi)
衝突点のビーム半径	$16\mu m$	衝突角度	$200\mu rad$

表 2.1: LHC 加速器の主要パラメーター

2.2 LHC で期待される物理

2.2.1 ヒッグス粒子の探索

ヒッグス粒子は、標準理論において、素粒子の質量生成を担う粒子である。従って、ヒッグス粒子の発見は、LHC 計画の主要な目標である。LHC の汎用検出器である ATLAS 検出器は、質量 100GeV から 1TeV の広範囲でヒッグス粒子を探索する能力をもつ。標準模型でのヒッグス粒子の 4 つの主な生成過程とその断面積を図 2.2、図 2.3 に示し、主な特徴を説明する。

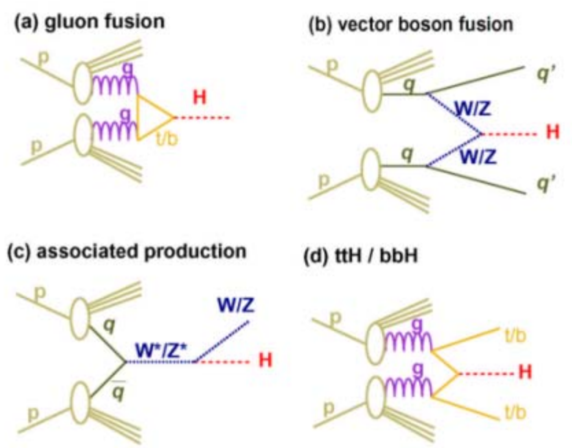


図 2.2: ヒッグス生成のファイマンダイアグラム

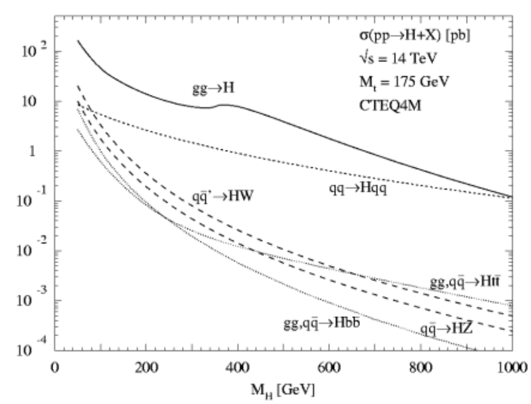


図 2.3: 標準模型でのヒッグス粒子の生成断面積

(a) gluon fusion

最大の生成断面積を持つが、随伴する粒子がなく、バックグラウンドを落すことが困難である。ただし、崩壊過程が特徴的な $H \to \gamma\gamma, ZZ(\to llll)$ は有望である。

(b) vector boson fusion

反跳したジェットが前後方で検出される特徴的な生成過程である。また、これらのジェット間で QCD 過程の影響が少ない。生成断面積が大きく、比較的イベントの選別が容易なため、特に低いヒッグス質量領域で有望である。

(c) W/Z associated production

ゲージボゾンからヒッグス粒子が放射される生成過程である。$W^{\pm}/Z^0 \to ll$ 過程のような特徴的な崩壊では、イベントの選別が容易である。

(d) top associated production

随伴する2つのトップクオークの特徴的な崩壊により、イベント選別を行なう。比較的生成断面積が大きい低いヒッグス質量領域で有効である。また、トップクオークの湯川結合の測定に使われる。

ヒッグス粒子は、質量により崩壊過程が大きく異なる。標準模型のヒッグス粒子の質量と崩壊分岐比の関係を図2.4に示し、質量領域毎の崩壊過程を説明する。

$m_H < 150GeV$

主な崩壊過程 $H \to b\bar{b}$ は、QCDバックグラウンドを落すことが困難である。このため、稀崩壊の $H \to \gamma\gamma$ や vector boson fusion が有効である。

$120GeV < m_H < 180GeV (= 2m_Z)$

WW^* や ZZ^* へ崩壊が始まる。この領域では、$H \to WW^* \to l\nu l\nu$、$H \to ZZ^* \to llll$ のような崩壊が有効である。

$180GeV (= 2m_Z) < m_H < 500GeV$

$H \to ZZ \to llll$ が有効である。4つのレプトンを含み、2つの Z を組むことができるので、最も信頼性の高いモードである。gold plate とも呼ばれている。

$500GeV < m_H$

生成断面積が小さい領域であり、崩壊幅も $100GeV$ を越える。しかし、$H \to ZZ \to llll$、及び $H \to ZZ \to ll\nu\nu$ や $H \to WW \to l\nu l\nu$ などの崩壊は有効である。

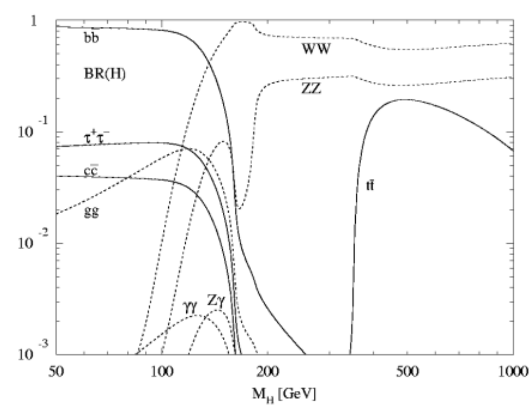


図 2.4: 標準模型でのヒッグス粒子の崩壊分岐比

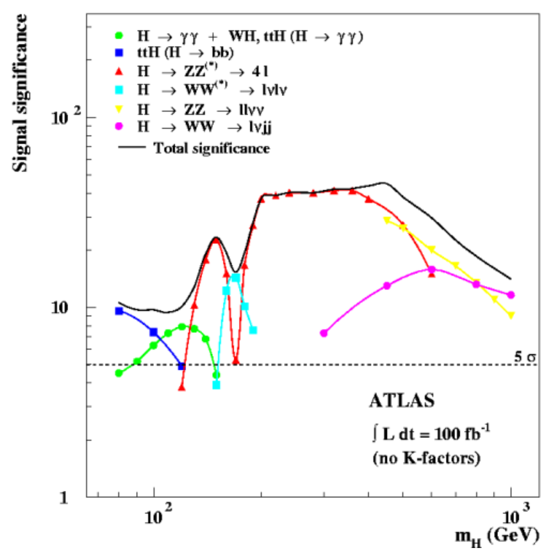


図 2.5: 標準模型でのヒッグス粒子の発見ポテンシャル

最後に、積分ルミノシティ $100fb^{-1}$ 時の、ATLAS測定器の標準模型ヒッグス粒子の発見能力を図2.5に示す。ヒッグス質量115GeVから1TeVの領域で、10σ 以上の確からしさでヒッグス粒子を発見することが可能である。

2.2.2 超対称性理論

重力まで統一する理論として、注目されている。この理論は、全てのフェルミオン及びボソンに対して、スピンが1/2だけ異なる超対称性粒子の存在を予言する。超対称性粒子の質量は、電弱対称性の破れのスケールからTeV領域の間にあるとされ、LHC実験での発見が可能である。積分ルミノシティー $10fb^{-1}$ において、発見が可能な超対称性粒子の質量の上限を表2.2に示す。

粒子名	発見可能な質量の上限値
$\tilde{g}$(グルイーノ)	$\sim 2TeV$
$\tilde{\chi}^{\pm}$(チャージーノ)	$\sim 500GeV$
$\tilde{\chi}^{0}$(ニュートラリーノ)	$\sim 200GeV$
$\tilde{q}$(スクォーク)	$\sim 2TeV$
$\tilde{l}$(スレプトン)	$\sim 500GeV$

表 2.2: ATLAS 実験で発見可能な質量の上限値 ($\int Ldt = 10fb^{-1}$)

2.2.3 標準理論の精密検証

LHC の高いエネルギー、高いルミノシティーにより、トップクオークやボトムクオークが大量に生成される。従って、質量や部分崩壊率、対称性の破れなどを精密に検証することができる。また、ジェットイベントによる、QCD の精密研究も行なわれる。

2.3 ATLAS 検出器

ATLAS 検出器は、LHC の高イベントレート、高ルミノシティーの環境下で動作するよう設計された全方位型の汎用検出器である。構成する各検出器によって、フォトンや電子、ジェット、ミューオンを識別し、物理現象を再構成することができる。

2.3.1 ATLAS 検出器の概要

図 2.6 に、ATLAS 検出器の全体図を示す。直径 22m、長さ 44m、総重量 7000 トンの巨大な検出器であり、内部検出器、カロリーメーター、ミューオンシステムから構成される。マグネットは、内部検出器を包むようにソレノイドが置かれ、外側のミューオンシステムにはトロイダルが置かれる。また、ATLAS の座標軸は、図 2.7 のようにとられる。

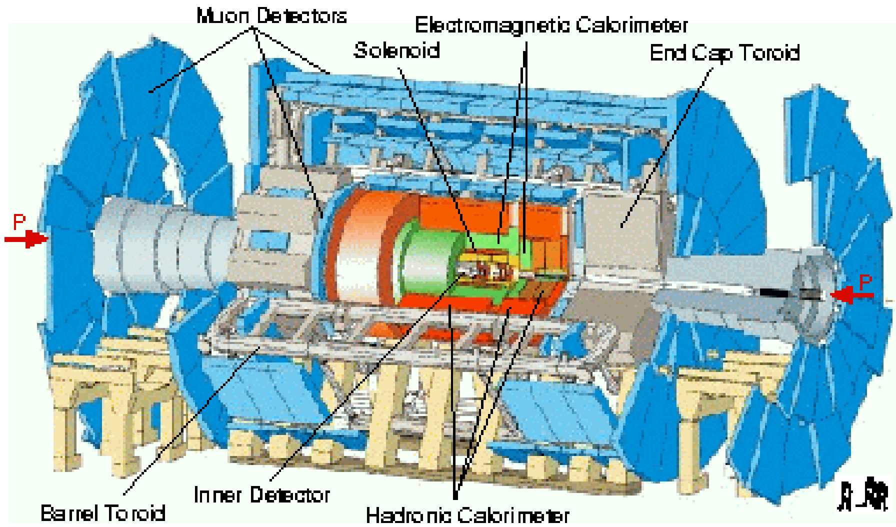


図 2.6: ATLAS 検出器

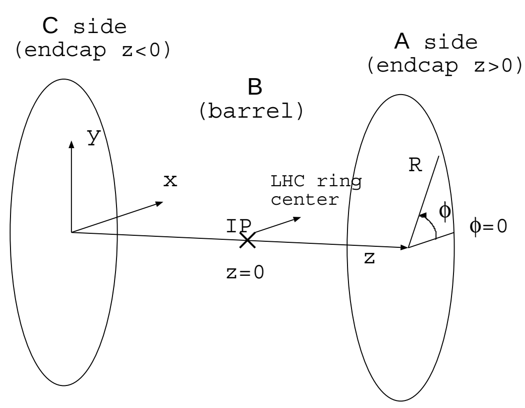


図 2.7: ATLAS の座標軸

2.3.2 内部検出器

2T のソレノイド磁石の内側に設置され、トラッキングと運動量の測定を行なう。衝突点に近い方から、ピクセル検出器、SCT(Semiconductor Tracker)、TRT(Transition Radiation Tracker) が置かれる (図

2.8)。ピクセル検出器は、$50 \times 300 \mu m$ のエレメントをもつ高精度バーテックス検出器であり、b-tagging などで不可欠な検出器である。SCT は $80 \mu m$ ピッチの半導体検出器であり、遷移放射を利用した TRT と共に飛跡測定を行なう。内部検出器は、$|\eta| < 2.5$ をカバーし、この領域で荷電粒子を識別する。

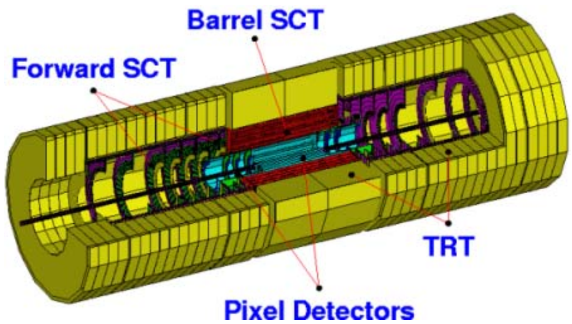


図 2.8: 内部検出器

2.3.3 カロリーメーター

内側に液体アルゴン電磁カロリーメーター、外側にタイル型ハドロンカロリーメーターが設置される (図 2.9)。電磁カロリーメーターは、鉛の吸収体と液体アルゴンで構成され、強い放射性耐性をもつと共に、フォトン、電子に対して高いエネルギー分解能をもつ。また、応答の速いアコーディオン構造が採用されていることも特徴である。フォワード領域では、$|\eta| < 4.9$ の広い範囲をカバーする。

ハドロンカロリーメーターは、バレル部では、鉄の吸収体とタイル状のシンチレータ、エンドキャップ部では、銅の吸収体と液体アルゴンで構成される。さらに、フォワード部では、銅とタングステンの吸収体と液体アルゴンが使用される。このタイルカロリーメーターにより、ジェットと消失横方向エネルギーの高精度な測定が可能である。

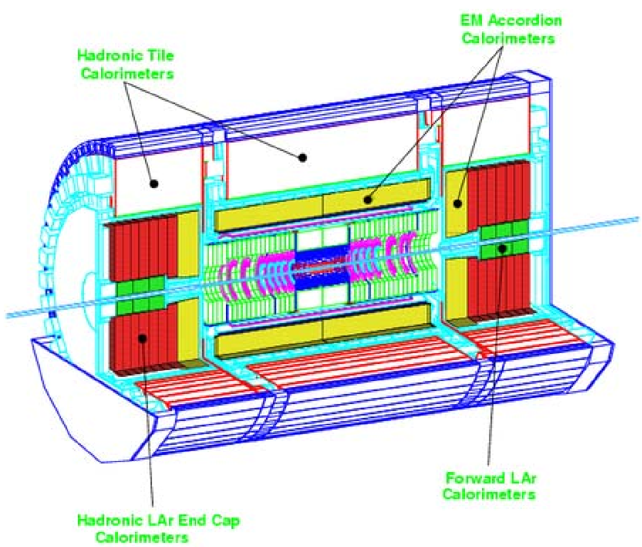


図 2.9: カロリメーター

2.3.4 ミューオンシステム

ミューオンシステムは、運動量測定用検出器とトリガー用検出器からなり、内部検出器とは独立にミューオンの位置、運動量を測定することができる。ATLAS のミューオンシステムはトロイダル磁場を特徴とし、エンドキャップやフォワード領域でも精度よく運動量を測定できる。

ミューオンは、トロイダル磁場により主に η 方向に曲げられる。このミューオンの運動量測定には、バレルとエンドキャップ部で MDT(Monitored Drift Tube)、レートの高いフォワード部では CSC(Cathode Strip Chamber) が用いられる。ほぼ全領域を占める MDT は、レーザーによるアライメントを特徴し、数十 μm の精度でミューオンの位置測定を行なう。また、MDT の各所に配置されるホール磁場測定器により、複雑なトロイダル磁場が測定される。MDT は、6 層もしくは 8 層のドリフトチューブでステーションを構成し、バレル、エンドキャップ共に 3 ステーションで運動量測定を行なう (図 2.10)。

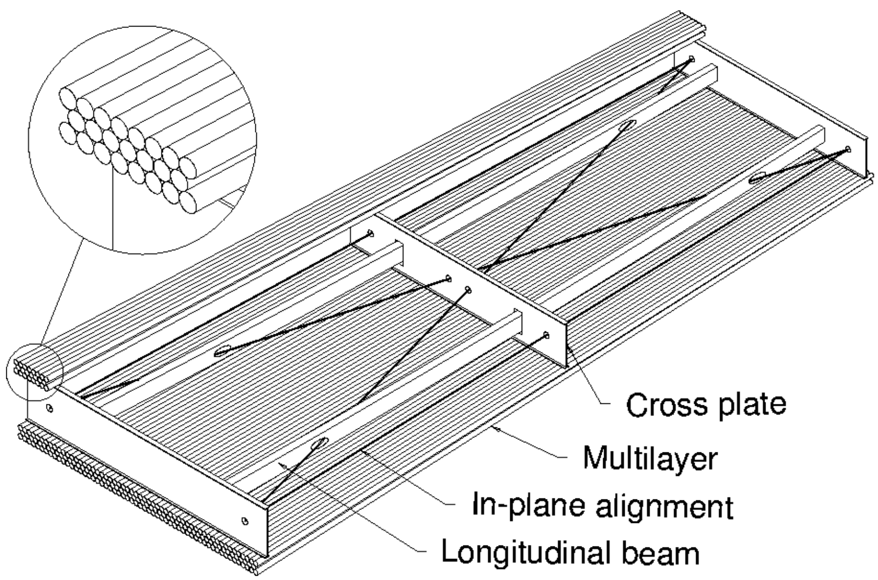


図 2.10: MDT 検出器 (ステーション)

一方、トリガー及び第 2 座標 (ϕ) の測定には、バレル部で RPC(Resistive Plate Chamber)、エンドキャップ部で TGC(Thin Gap Chamber) がそれぞれ用いられる。これらは、25ns のバンチ識別能力をもち、後述するトリガーシステムにおける LVL1 トリガーを構成する。表 2.3 に、これら 4 種類のチェンバーの特徴を示す。また、図 2.11 に ATLAS 測定器の R-Z 断面図を示す。

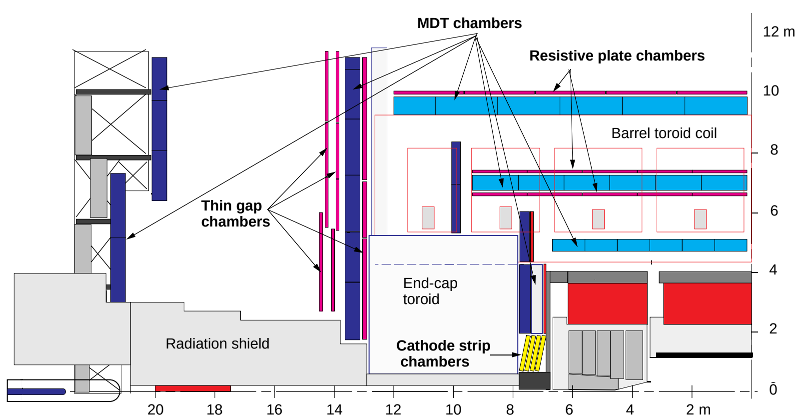


図 2.11: ミューオン検出器の R-Z 断面

検出器名	役割	$\|\eta\|$ の領域	特徴	総チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0〜3.0	$30mm\phi$ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu$	30 万
CSC	トラッキング (3-dim) 運動量測定	2.0〜3.0	カソードストップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu$	10 万
RPC	トリガー 第 2 座標測定 (ϕ)	0〜1.05	平行平板ガス検出器 25ns バンチ識別	40 万
TGC	トリガー 第 2 座標測定 (ϕ)	1.05〜2.4	薄ギャップのワイヤーチェンバー 25ns バンチ識別	32 万

表 2.3: ATLAS 実験におけるミューオン検出器の構成

2.3.5 マグネット

アトラス検出器は、ソレノイド、トロイダルの 2 種類の超伝導電磁石が用いられる (図 2.12)。内部検出器を包むソレノイドは、2 テスラの磁場を作る。一方、トロイダルはミューオンシステム部に設置され、バレルトロイダルとエンドキャプトロイダルで構成される。トロイダル磁石は、オクタント対称な構造をもち、η 方向の成分を含む複雑な磁場構造をとる。トロイダル磁石による積分磁場強度は、バレル部で 2〜6Tm、エンドキャプ部で 4〜8Tm である。

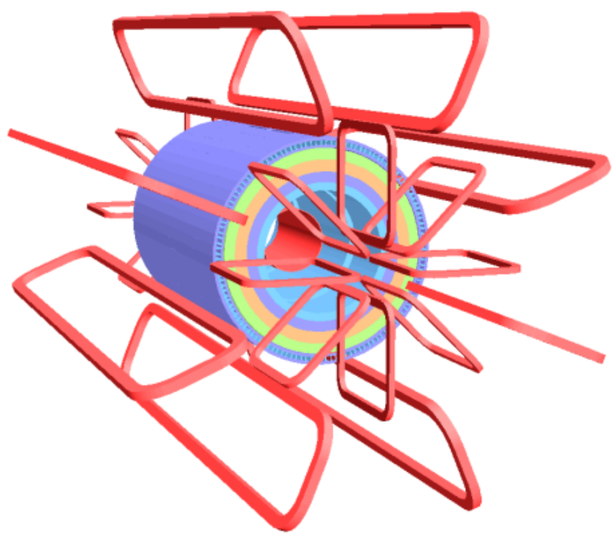


図 2.12: トロイダル・マグネット配置

2.4 ATLAS 実験のトリガー及びデータ収集

計算機、記憶装置の処理能力の制約から、データのレートは、100Hz 程度にしなければばならない。このため、興味のあるイベント、領域のデータを効率よく選び出すシステムが必要となる。

2.4.1 トリガーのスキーム

ATLAS 実験では、図 2.13 のように、LVL1(レベル 1)、LVL2(レベル 2)、EF(イベントフィルター) の 3 段階のトリガーシステムを導入している。各段階で興味のあるイベントを選別し、段階的にデータのレートを落す。

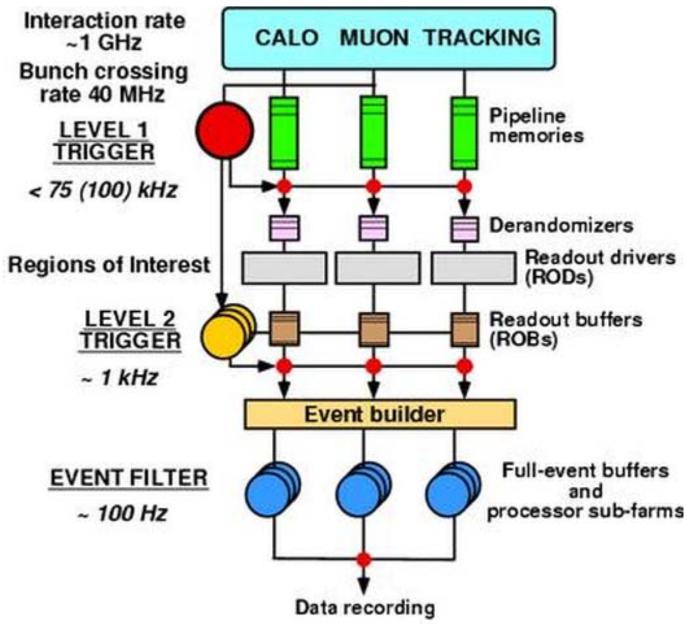


図 2.13: ATLAS 実験のトリガー処理の流れ

LVL1(レベル 1)

カロリーメーターとミューオントリガー検出器である TGC、RPC の情報を総合し、各バンチに対するトリガー判定が行なわれる。バンチ衝突から、このトリガー信号 (L1A) がフロントエンドに着くまでの時間をレイテンシーと呼び、2.5μs 以内と要請されている。従って、各検出器は、この間のデータをバッファーに蓄えておく必要がある。この測定データは、L1A の受信後、各サブシステムの ReadOutDriver(ROD) でイベント毎に収集され、ReadOutBuffer(ROB) に送られる。LVL1 では、トリガー信号をフロントエンドに送信すると同時に、RoI(Region of Interest) と呼ばれるトリガー領域を LVL2 に対して送信する。この RoI により。LVL2 でのデータ処理を大幅に削減することができる。LVL1 のトリガーレートの最大値は 75kHz である。

LVL2(レベル 2)

カロリーメーター、ミューオンシステム、内部検出器の RoI における完全な位置情報を元に、トリガー判定を行なう。1 イベントの処理時間は 10msec 以下とされ、この段階で 1kHz までレートが落される。

EF(イベントフィルター)

レベル 2 アクセプトを受けたデータは、イベントビルダーを通り EF に送られる。EF では、各検出器の完全な位置情報、トリガー条件を元に最終的な判定がなされる。1 イベントの処理時間は約

1s であり、100Hz までレートが落される。選別されたデータは、この後、記録装置に保存される。このとき、1 イベントのデータ量はおよそ 1MB である。

2.4.2 レベル 1 トリガーシステム

LVL1 トリガーの構成を図 2.14 に示す。LVL1 トリガーシステムを構成する検出器は、カロリーメーターと RPC、TGC である。カロリーメーターからは、e/γ、ジェット、E_T^{miss} の情報が CTP(Central Trigger Processor) へ送られる。一方、RPC、TGC からは、高い pT のミューオンの情報が、CTP とのインターフェースである MuonCTPI へ送られる。MuonCTPI は、バレルとエンドキャップの境界処理を行ない、CTP へトリガー情報を送信する。CTP はこれらの情報を元にトリガー判定を行ない、各検出器に対して L1A(レベル 1 アクセプト) の読み出し信号、LVL2 に対してトリガー領域を示す RoI の情報を送信する。CTP はまた、トリガー veto の機構を備える。L1A につづく 4 バンチに veto がかけられる他、各検出器の読み出し部の busy 信号により veto がかけられる。

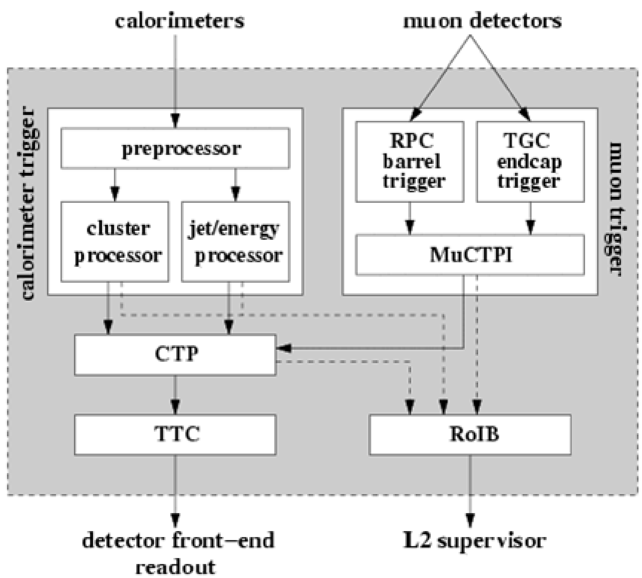


図 2.14: LVL1 トリガーシステム

2.4.3 TTC(Timing, Trigger and Control distribution)

TTC システムは、フロントエンドの各エレクトロニクスに、40.08MHz の LHC クロックを送信する。また、このクロックに同期した制御命令を送信することで、ATLAS 検出器全体を同期させている。これらの制御命令には、L1A 信号、カウンターリセット、キャリブレーション信号が含まれる。また、非同期命令の送信も可能であり、フロントエンドの TTC レシーバーである TTCrx の設定や、各検出器固有の制御命令が送られる。表 2.4 に TTC が扱う主な信号を挙げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す) のリセットに使用。88.924s の LHC の軌道周期 (ORBIT 信号) に同期する。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID	EVent IDentifer。ROD、ROB でのバンチクロッシングのチェックに使用。
BCID	Bunch-Crossing IDentifer。ROD、ROB でのレベル 1ID のチェックに使用。

表 2.4: TTC で使われる主な信号

第3章　TGCミューオントリガーシステム

本論文の主題であるTGCミューオントリガーシステムについて説明する。TGCシステムは、TGCチェンバーとTGCエレクトロニクスで構成される。TGCチェンバーは量産が進み、今後、組み立てとインストールの段階に進む予定である。また、TGCエレクトロニクスも、final designが完成しつつあり、今後、量産と組み込みが行なわれる。

3.1　TGCの構造と特徴

TGC(Thin Gap Chamber)は、エンドキャップのミューオントリガー検出器である。ϕ方向にストリップ、R方向にワイヤーの2次元読み出しをもつMulti Wire Chamberである(図3.1)。ワイヤーは、4〜20本毎にワイヤーグループとして束ねられている。一方、ストリップは、チェンバーの1層を32分割している。従って、ストリップ、ワイヤー共に3～5cm程度のチャンネルとして読み出される。

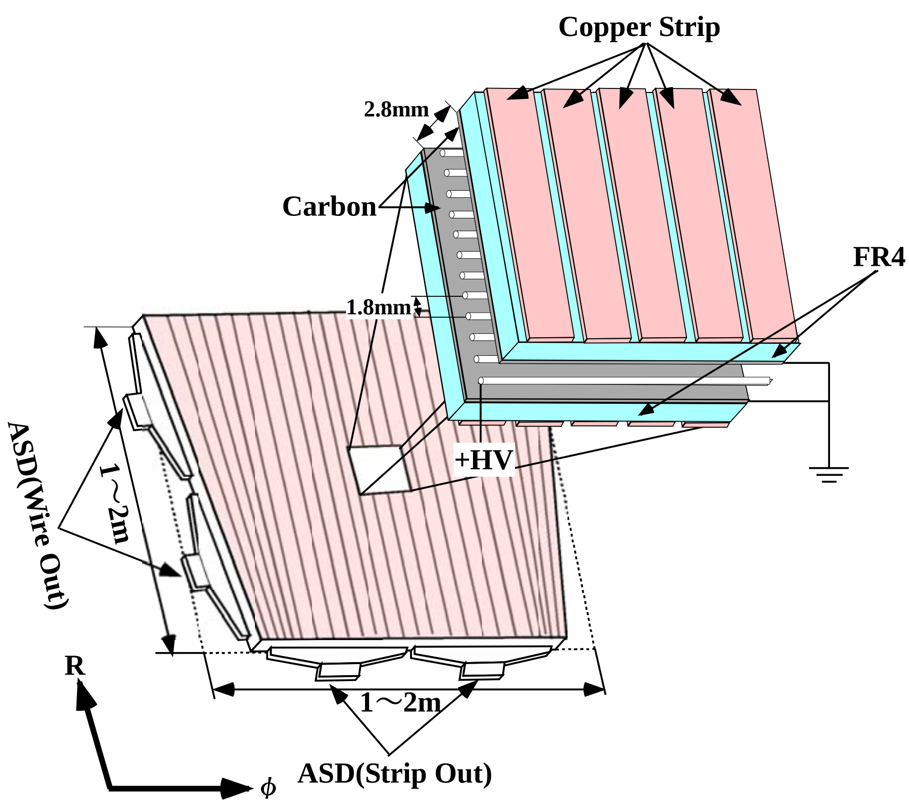


図3.1: TGCの構造

TGC の内部構造を図 3.2 に示す。ワイヤーは直径 $50\mu m$ の金メッキタングステン線で、1.8mm の間隔で張られている。ワイヤーとカソードの間隔は 1.4mm と狭く、10^6 の高いゲインと速い応答を特徴とする。動作モードは、制限比例モードである。ガスギャップには $CO_2/n-pentane(55/45)$ の混合ガスが満たされ、2.9kV の高電圧が印加される。

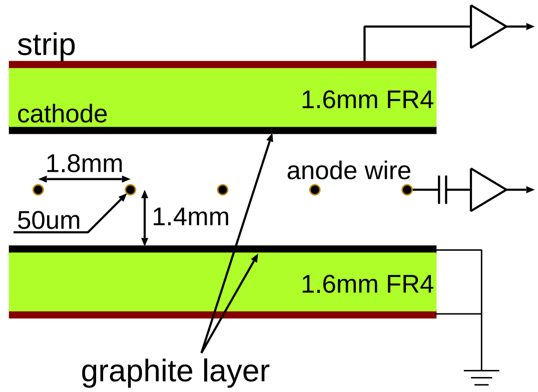


図 3.2: TGC 検出器の断面図

実際の ATLAS 実験では、図 3.3 に示すように、$20mm$ の紙ハニカムを挟んだ 2 層 (ダブレット)、もしくは 3 層 (トリプレット) の TGC モジュールを使用する。トリプレットは 3 層のワイヤー面と 2 層のストリップ面からの読み出し、ダブレットは 2 層のワイヤー面と 2 層のストリップ面からの読み出しをもつ。各層でチャンネルが 1/2 又は 1/3 ずれているため、実質、モジュールで 2 倍もしくは 3 倍の位置分解能をもつ。

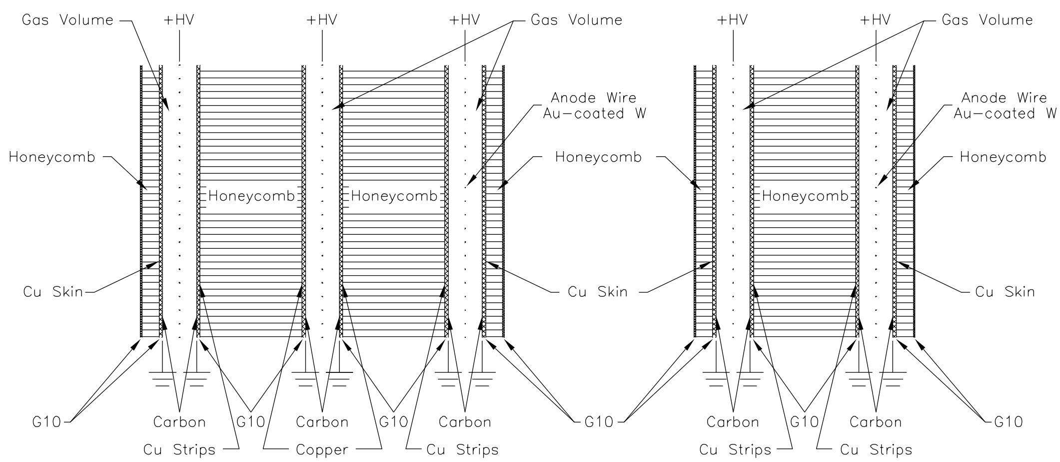


図 3.3: TGC のトリプレット (左) とダブレット (右) の構造

図 3.4 に、粒子が TGC を通過してから信号を出すまでの時間のばらつき (タイムジッター) を示す。これは、π を用いたビームテストの結果である。ATLAS 実験での TGC への入射角度は 10 度から 45 度であり、タイムジッターは、LHC のバンチ間隔である 25ns と同程度である。従って、トリガー検出器として不可欠なバンチ識別を行なうことが可能である。

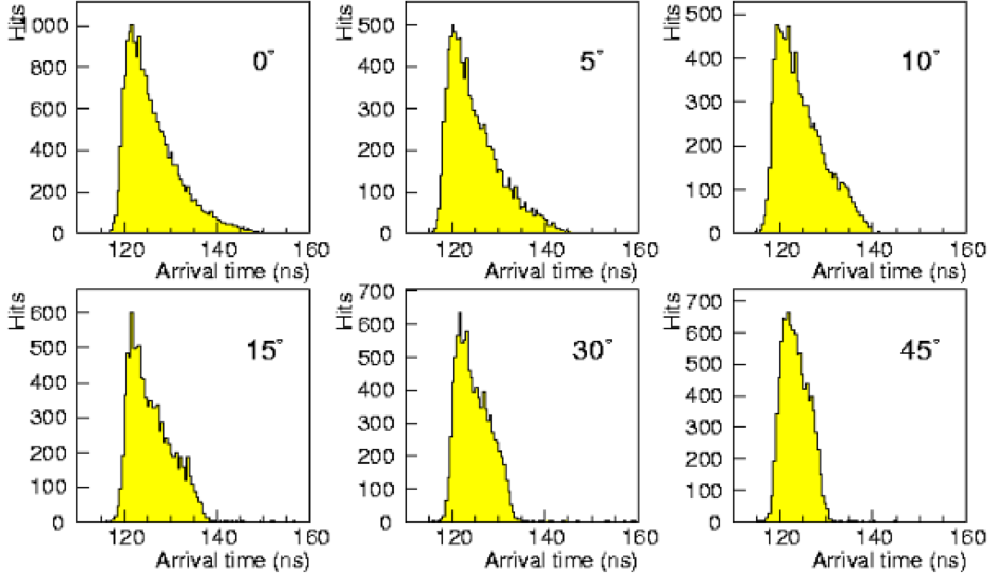


図 3.4: TGC のタイムジッター

3.2 トリガー処理の方法

図 3.5 に示すように、TGC システムは M1(Triplet)、M2(middle Doublet)、M3(pivot Doublet) と EI(Endcap Inner)、FI(Forward Inner) の各ステーションから構成される。M1 は 3 層 (トリプレット) のチェンバー、M2、M3 は 2 層 (ダブレット) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。場合によっては、EI/FI の情報を TGC トリガーの補助に使うことが考えられている。TGC がカバーする範囲は $1.05 < |\eta| < 2.40$ の領域であり、$|\eta| < 1.92$ をエンドキャップ領域、$|\eta| > 1.92$ をフォワード領域と呼ぶ。

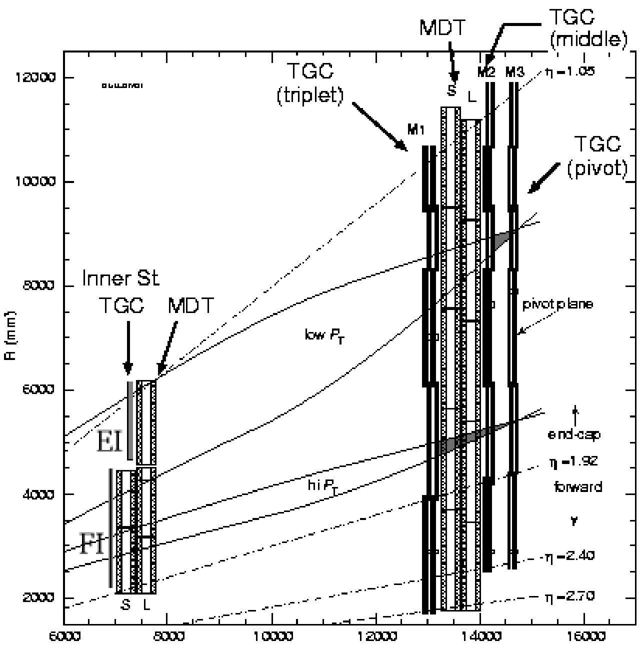


図 3.5: R-Z 断面での TGC のレイアウト

M3(pivot) の全体 (ビックウィール) を図 3.6 に示す。図のように、TGC は、円形のエンドキャップを

覆うように、2m 四方程度の形状の異なるチェンバーが使用される。図中、T8 等はチェンバーの型を表す。ATLAS 実験では約 3700 枚の TGC が使用され、チャンネル数は 32 万にのぼる。

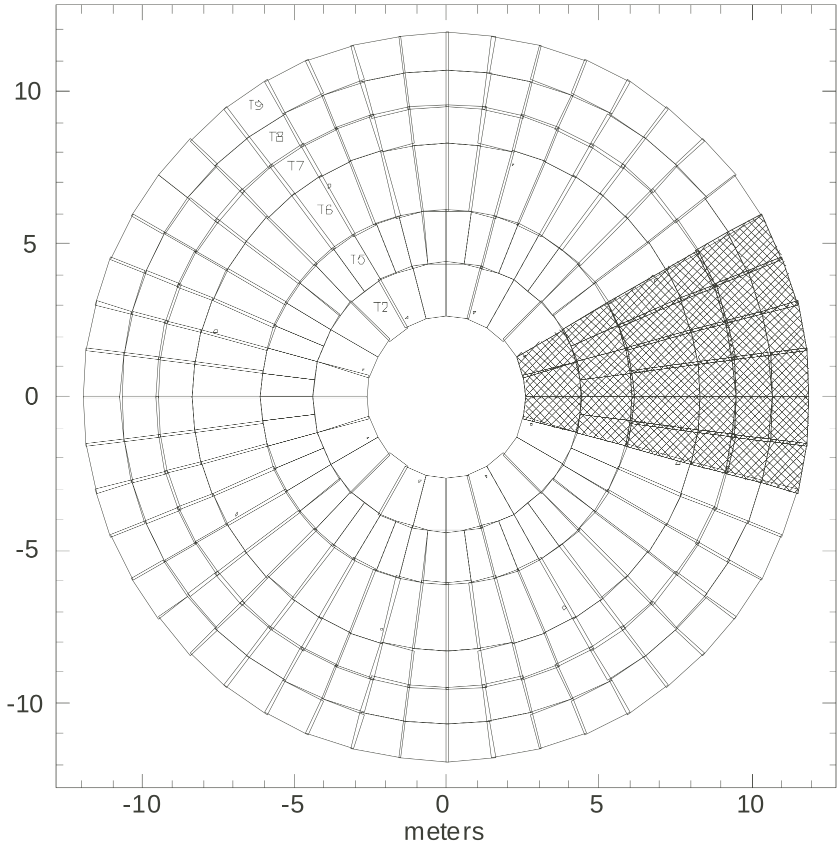


図 3.6: TGC ビックウィール (M3)

TGC の領域は、図 3.7 に示すように、エンドキャップを ϕ 方向に 48 等分、フォワードを ϕ 方向に 24 等分したトリガーセクターと呼ばれる領域に分割される。このセクターは、フォワードで各層 1 チェンバー、エンドキャップでは各層 4 チェンバーもしくは 5 チェンバーで構成される。TGC のトリガー処理は、このセクター単位で行なわれ、トリガー情報は各セクター毎に MuonCTPI(Muon CTP Interface) へ出力される。トリガー領域である RoI は、さらに、η 方向にエンドキャップで 37、フォワードでは 16、ϕ 方向に 4 に分割した領域に対応する。TGC における RoI は、8 ワイヤーグループと 8 ストリップの範囲に相当する。

図 3.8 に、TGC のトリガー処理でのミューオンの pT の求め方を示す。pivot 層とビーム衝突点を結ぶ直線を、pT が無限大のミューオントラックと考える。実際の曲率をもったミューオントラックは、Triplet で R、ϕ 方向に若干ずれた位置で検出される。従って、このずれ δR、$\delta\phi$ の情報を元に pT の判定を行なう。

また、δR、$\delta\phi$ を求める際に課すコインシデンス条件として、Triplet でワイヤーが 3 層中 2 層 (2/3)、ストリップが 2 層中 1 層 (1/2)、2Doublet でワイヤー、ストリップ共に 4 層中 3 層 (3/4) のヒットを要求する (図 3.9)。ただし、設定により、全層ヒットの厳しい条件を課すことも可能である。また、Triplet と Doublet 間のコインシデンスが成立しなかった場合、2Doublet 間での δR、$\delta\phi$ を用いて、pT 判定を行なうことも可能である。

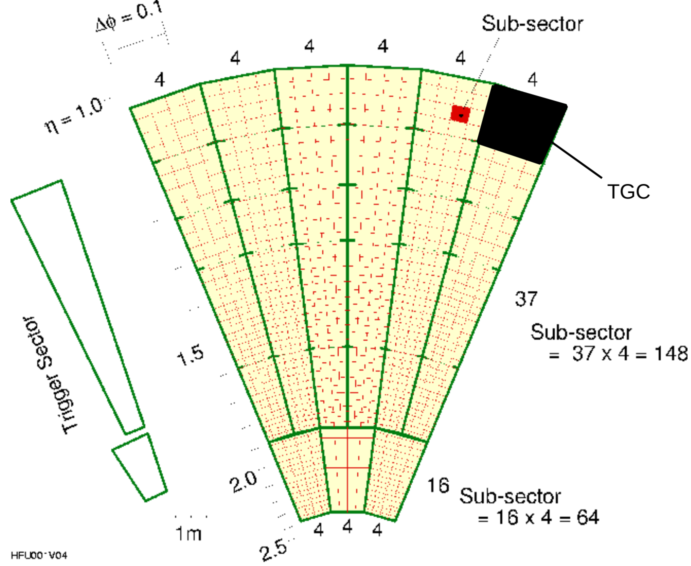


図 3.7: トリガーセクターと RoI(subsector)

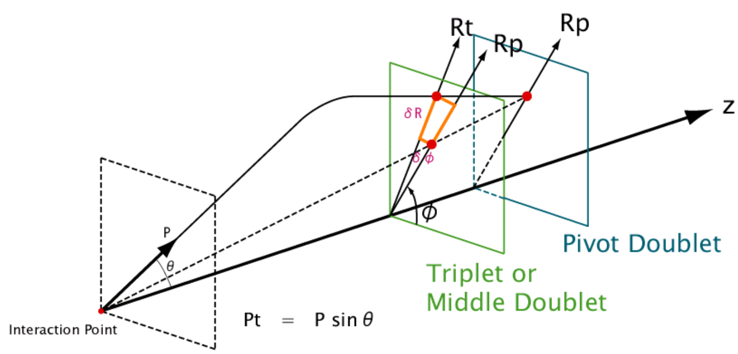


図 3.8: pT 判定に使用される $\delta R, \delta\phi$

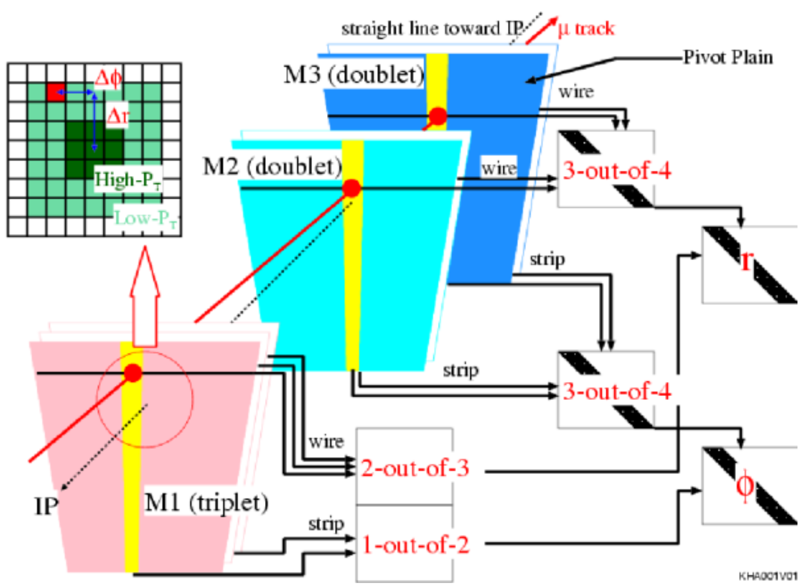


図 3.9: TGC トリガーのコインシデンスと pT 判定方法

3.3 TGC エレクトロニクス

TGC エレクトロニクスの概要と、各モジュールの機能及び配置について述べる。

3.3.1 システム全体

TGC エレクトロニクスの全システムを図 3.10 に示す。

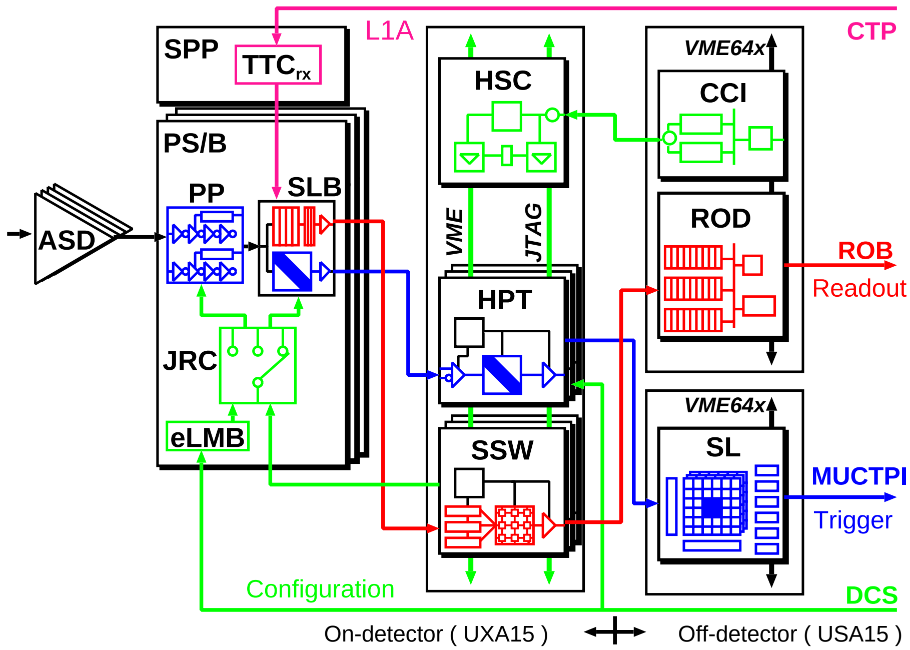


図 3.10: TGC エレクトロニクスのデータの流れ

TGC エレクトロニクスのデータの流れは、大きく分けて、トリガーと読み出し、制御の 3 つに分かれる。以下、それぞれのデータの流れについて説明する。ただし、ボード、モジュールの詳細は、次節以降で説明する。

トリガー TGC の信号は、検出器付属の ASD ボードで増幅、整形が行なわれたあと、TGC モジュール面に設置される PS Board に差動信号である LVDS(Low Voltage Differential Signaling) で送られる。PS Board 内では、Patch Panel(PP) でバンチ識別が行なわれ、Slave Board(図中 SLB) で Triplet、2Doublet それぞれ独立にコインシデンスがとられる。この結果は、TGC 外縁クレート上の HighPtBoard(HPT) に LVDS で送られる。HighPtBoard では、Triplet、Doublet 間のコインシデンスがとられ、その結果は、光ケーブルでエレキハットの SectorLogic(SL) に送られる。SectorLogic はワイヤー、ストリップのコインシデンス処理、δR、$\delta\phi$ による pT 判定を行ない、位置情報 (RoI) と pT レベルを MuonCTPI に出力する。

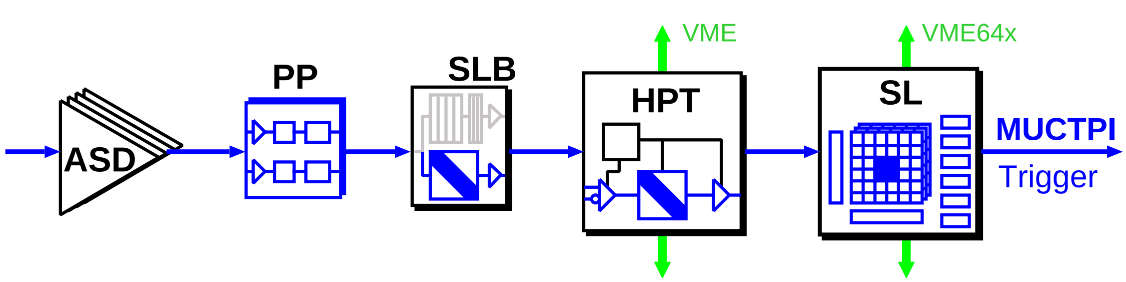


図 3.11: トリガー部

読み出し CTP が出す LVL1 トリガー信号は、ServicePatchPanel(SPP) 上の TTCrx で受信され SlaveBoard(SLB) へ送られる。SlaveBoard は、L1A(Level 1 accept) を受けたバッファー上のデータを、前後合わせて 3 バンチ分、TGC 外縁クレート上の StarSwitch(SSW) に LVDS で送信する。StarSwitch は各 SlaveBoard のデータを収集し、光ケーブルでエレキハットの ReadOutDriver(ROD) に送信する。ReadOutDriver は、イベントの整合性をチェックし、PC ベースの ReadOutSystem に出力する。

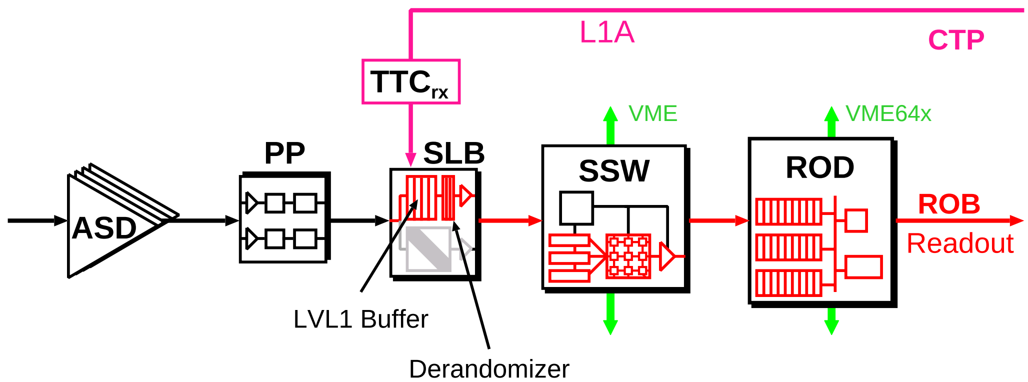


図 3.12: リードアウト部

制御 エレキハットの VME モジュールは直接 PC で制御される。一方、ホール内にある TGC 外縁上の VME クレートには、VME マスターとして HSC(HighPtBoard StarSwitch Controller) が置かれ、エレキハットの CCI(Crate Control Interface) から光ケーブルで遠隔制御する。また、TGC モジュール面に設置される PS board は、StarSwitch から JTAG プロトコルを用いて制御する。このとき、PS board 上のルーティングには専用の JRC(JTAG Route Controller) が使用される。さらに、別系統として、DCS(Detector Control System) が TGC 外縁上の VME クレートと PS board に制御系をもち、TGC の HV(High Voltage supply) や ASD 閾値等の設定、監視が行なわれる。

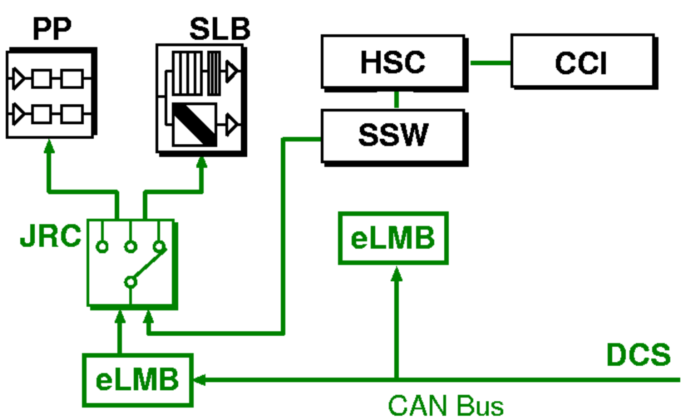


図 3.13: 制御部

3.3.2 TGC エレクトロニクスの配置

図 3.14 に示すように、TGC エレクトロニクスは大きく分けて 3 箇所に設置される。以下で簡単に説明する。

PS pack
Triplet の正面と pivot Doublet の後に設置される。図 3.15 に示すように、PS board と Service PatchPanel が収められ、TGC チェンバーと直接 LVDS でリンクされる。TGC エレクトロニクスが設置される場所で最も放射線が強く、搭載される IC は十分な放射性耐性を備えている必要がある。

HPT crate
TGC 外縁上に設置される VME クレートである。トリガー処理を行なう HighPtBoard、読み出し処理を行なう StarSwitch が設置される。また、これらのコントローラーである HSC も設置される。PS pack と 15m の LVDS でリンクされ、エレキハットとは 90m の光ケーブルでリンクされる。従って、フロントエンドとエレキハットの中継点として機能する。

ROD crate
エレキハットに設置される VME クレートである。トリガー処理、読み出し処理をそれぞれ統括する SectorLogic、ReadOutDriver が設置される。また、HPT クレートを遠隔制御する CCI が設置される。TGC エレクトロニクスの最下流に位置し、MuonCTPI や ReadOutSystem にデータが受け渡される。

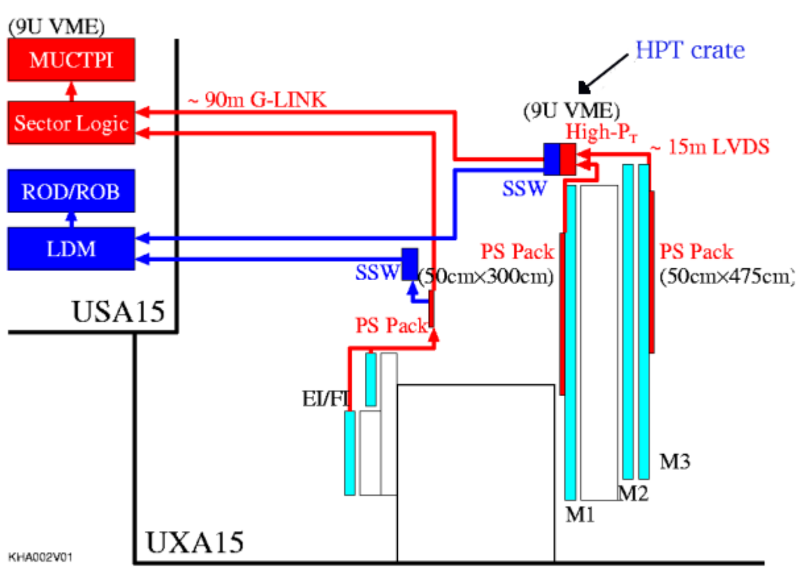


図 3.14: TGC トリガーエレクトロニクスの配置

また、アトラスホールとエレキハットの位置関係を図 3.16 に示す。

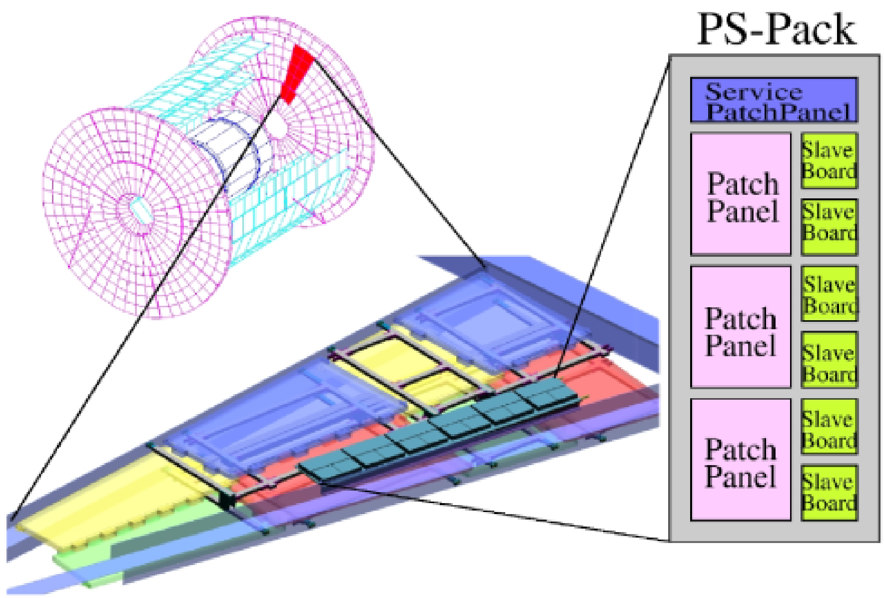


図 3.15: PS pack

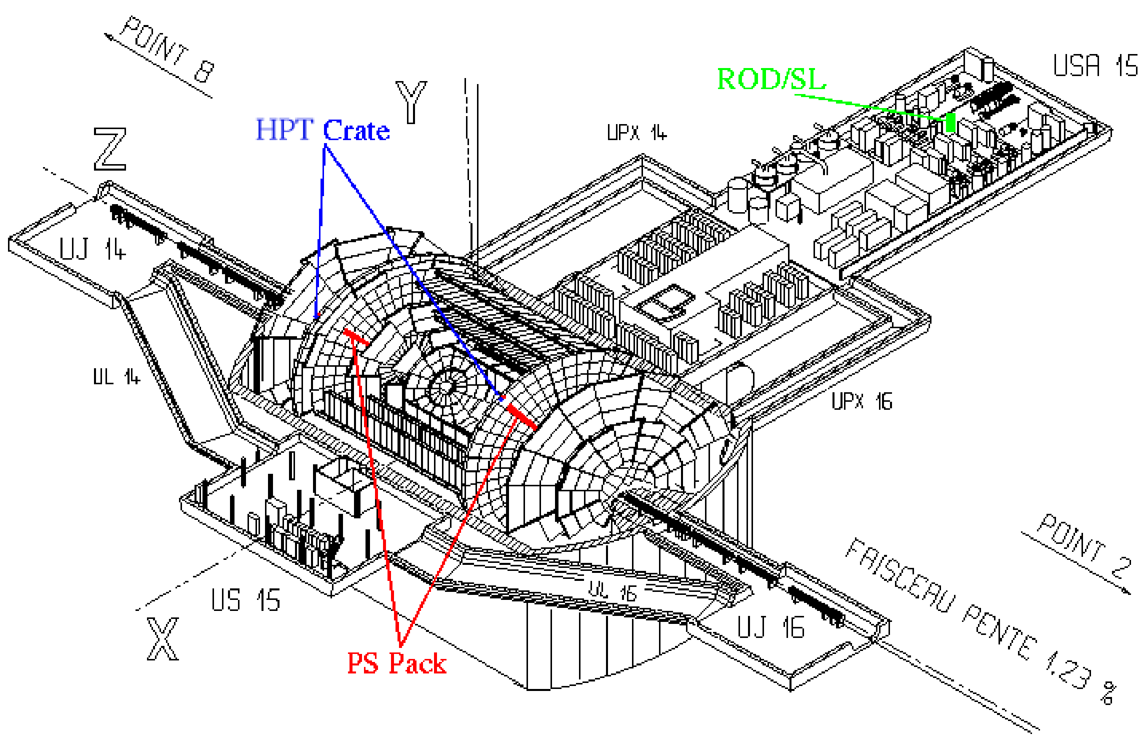


図 3.16: アトラスホールとエレキハット

3.3.3 各モジュールの説明

TGC エレクトロニクスを構成するモジュール、ボードについて説明する。主要な機能は、放射線耐性、処理速度、スペースを考慮してカスタム IC である ASIC(Application Specific IC) で実装されている。

- ASD board

  ASD board は TGC 検出器の横に取り付けられ、1board で 16 チャンネルを処理する (図 3.17)。ASD は TGC のシグナルを 2 段階で増幅 (Pre Amp, Main Amp)、整形し、ディスクリミネートする。この出力は、ノイズに強い差動信号である LVDS で PS board に送られる。また、回路の診断、タイミング調整のためのテストパルスを出力する機能をもつ。ASD の電源電圧と閾値電圧は、PS board から供給される。

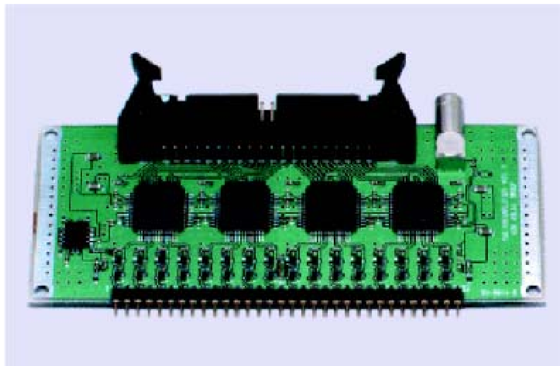


図 3.17: ASD Board

- PS board

  PS board は十数枚まとめて PS pack とよばれるケースに納められ、Triplet 前面と pivot Doublet の後に取り付けられる (図 3.18)。典型的には、1 枚の PS board に、SlaveBoard ASIC 2、PatchPanel ASIC 8、JRC ASIC 1 が載せられる。ボード当たりのチャンネル数は、256 ～ 320 である (図 3.19)。TGC 境界部分でのチャンネルの OR、δR、$\delta\phi$ を求めるための adjacent 入力を考慮して配線されている。また、PS pack には Service PatchPanel(SPP) が載せられ、SPP 上の TTC_{rx} から、クロック及び L1A 等の TTC シグナルが PS board に供給される。

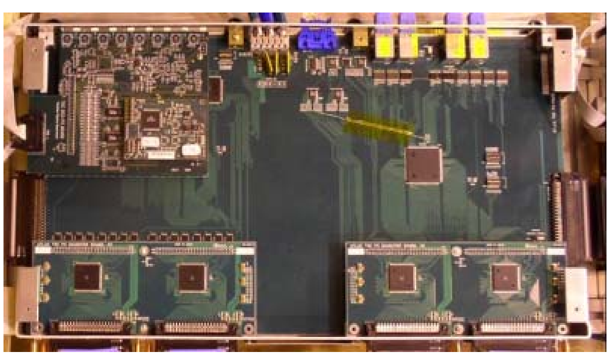


図 3.18: PS board

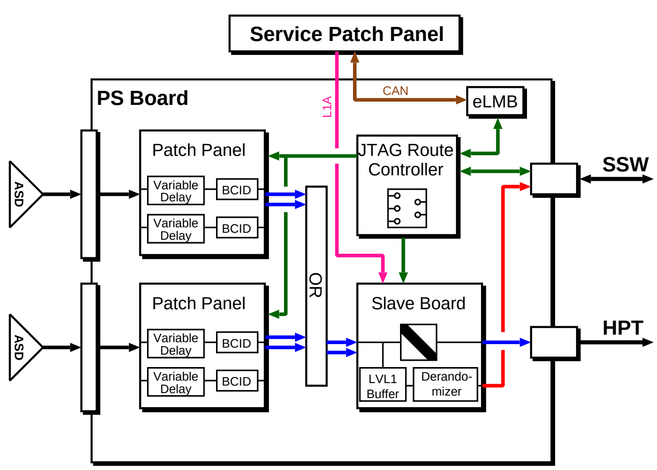


図 3.19: PS board ブロック図

- Patch Panel ASIC (PP)

  ASD の信号を LHC クロックに同期させる 32ch の ASIC である。PatchPanel のブロック図を図 3.20 に示す。TOF(Time Of Flight) やケーブル遅延などによるばらつきは、1ns 以下の精度でタイミング調整することができる (図 3.21 参照)。また、ゲートも 25ns~50ns で可変である。PatchPanel ではチャンネルの不良等に対処するため、チャンネル毎にマスクをかけることができる。さらに、ASD board へ向けてテストパルストリガーを出す機能をもつ。以上の各種設定項目を表 3.1 にまとめる。

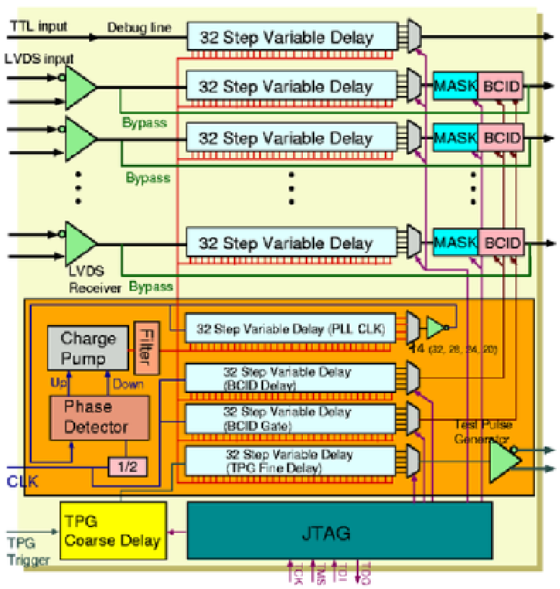


図 3.20: PatchPanel ブロック図

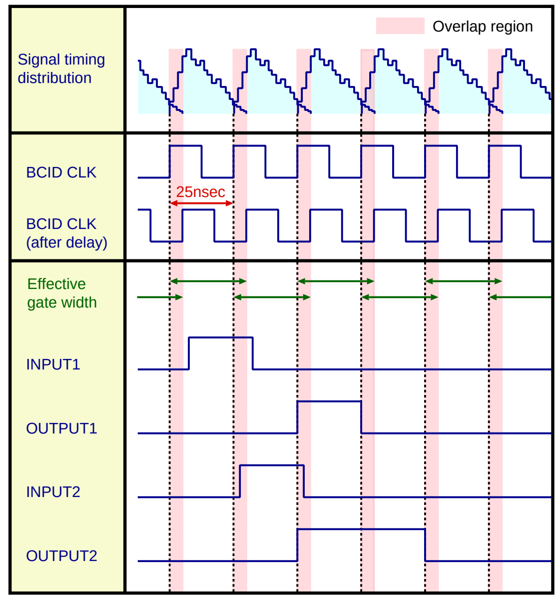


図 3.21: PatchPanel BCID

レジスタ名	ビット (A,B)	モード	機能
BCID MASK	16,16	R/W	BCID 回路のマスク
TPG AMP	4,4	R/W	テストパルスの振幅 (16 段)
TPG FINE	5,5	R/W	テストパルスの遅延 (精、1/32clk 単位、最大 25ns)
TPG COARSE	5,5	R/W	テストパルスの遅延 (粗、1clk 単位、最大 8clk)
SIGNAL DEL	5,5	R/W	ヒットした信号の遅延 (1/32clk 単位、最大 25ns)
BCID DEL	5,5	R/W	BCID クロックの遅延 (1/32clk 単位、最大 25ns)
BCID GATE	5,5	R/W	ゲート幅 (25ns~50ns)
SEU READ	1	R	SEU フラグの読み出し

表 3.1: Patch Panel ASIC のユーザー定義レジスタの一覧

- Slave Board ASIC (SLB)

  TGC シグナルのコインシデンス処理、読み出し処理を行なう ASIC である。ブロック図を図 3.22 に示す。典型的には 1 チップで各層 32 チャンネルを処理する。Wire か Strip、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス (Wire Doublet, Strip Doublet, Wire Triplet, Strip Triplet, EI/FI) を切替えて使用する。coincidence window は、Wire が ± 7、Strip が ± 3 channel である。また、Triplet、Doublet にはそれぞれ、2/3(Strip は 1/2)、3/4 のコインシデンス条件が課される。また、入力の遅延や、チャンネル毎のマスク、より厳しいコインシデンス条件等を設定することができる。さらに、入力部にテストパルスパターンを設定し、テストパルスを流す機能をもつ。リードアウト部では、各イベントが L1A のレイテンシーの深さに設定されたパイプライ

ンバッファーに貯められる。L1A を受けたイベントは、前後 1 バンチと共に LVDS で StarSwitch に送られる。以上の SlaveBoard の各種設定項目を表 3.2 にまとめる。

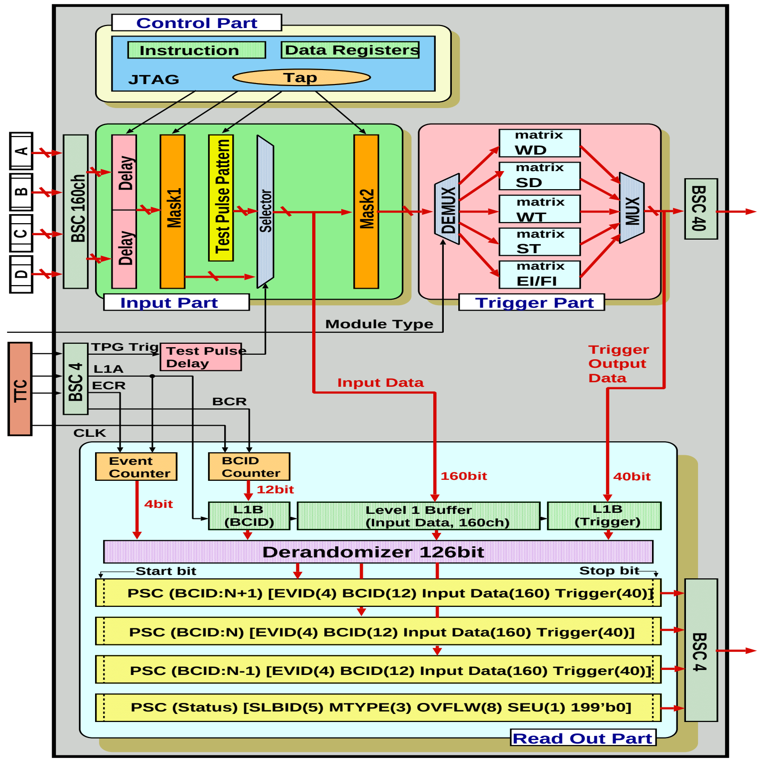


図 3.22: Slave Board ブロック図

レジスタ名	ビット	モード	機能
DEPTH	21	R/W	レベル 1 バッファの深さ調整
TESTPULSE	5	R/W	[4:0] テストパルストリガーの遅延調整、[5] テストパルスの VETO
DELAY	4	R/W	入力信号の遅延調整
SCHEME	1	R/W	コインシデンス処理の設定
L1AVETO	1	R/W	L1A 信号の VETO
CLKINV	1	R/W	クロックの符号反転の設定
RESET	1	R/W	イベントカウンターとバンチカウンターのリセット
DRDRST	1	R/W	デランダマイザーのリセット
DCVETO	1	R/W	DC バランスの設定
SEU	1	R	SEU フラグの読み出し
MODULE	8	R	モジュールタイプとモジュールアドレスの読み出し
OVERFLOW	8	R	デランダマイザのオーバーフローカウンターの読み出し
ID	32	R	チップ ID(version,part,...) の読み出し
MASK1P	160	R/W	リードアウトとマトリックスのマスクパターンの設定
MASK1	160	R/W	リードアウトとマトリックスのマスクイネーブルの設定
MASK2P	160	R/W	マトリックスだけのマスクパターンの設定
MASK2	160	R/W	マトリックスだけのマスクイネーブルの設定
TPP	160	R/W	テストパルスパターンの設定

表 3.2: Slave Board ASIC のユーザー定義レジスタの一覧

- HPT(HighPt Board)

  TGC 外縁上の VME クレートにおかれる。Doublet、Triplet PS board からの情報を元に、Doublet、Triplet 間のコインシデンス処理を行なうモジュールである (図 3.23)。1 board に 4 つの HighPt ASIC を搭載し、1ASIC は Doublet SlaveBoard のチャンネル数で最大 192 channel を処理する。coincidence window は、Wire は ±20 channel の範囲で、±15 にエンコードされる。Strip は ±7 である。この δR、$\delta\phi$ が、最終的なミューオンの pT 判定に使用される。ただし、HighPtBoard のコインシデンスに失敗した場合、SlaveBoard のコインシデンス結果が代わりに出力される。δR、$\delta\phi$ の情報は、トリガー領域 (RoI) に対応する位置情報と共に、光ケーブルでエレキハット内の SectorLogic へ送信される。

- SL(Sector Logic)

  SL は R-ϕ コインシデンス、プレトラックセレクター、ファイナルトラックセレクターから構成される (図 3.24)。SL では、今まで独立に処理されていた R 方向 (ワイヤー) と ϕ 方向 (ストリップ) の情報を統合する。これらのコインシデンスを取り、さらに 6 段階の pT 閾値で分類する。pT の判定には 6 段階の閾値に対応した R-Phi マップと呼ばれる Look up table を使用する。このマップは、書き換え可能な FPGA 内に実装され、要求される閾値に対応させることができる。プレトラックセレクターは、6 段階の pT 判定のそれぞれに用意され、pT の大きい順に最大 2 トラックずつ選択される。最大 12 トラックがファイナルトラックセレクターに送られ、この中で pT の大きい方から最大 2 トラックが選択される。最後に、選択されたトラックの pT level と位置情報 (RoI) を MuonCTPI に出力する。

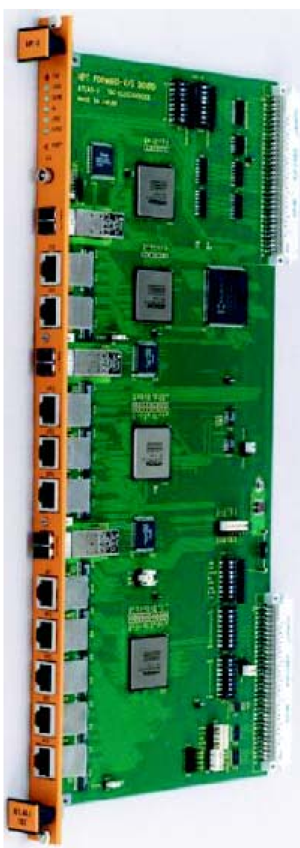


図 3.23: HPT

図 3.24: SL

- SSW(Star Switch)

  Slave Board の読み出しデータを収集し、エレキハットへ中継するモジュールである (図 3.25)。SSW は、Slave Board のデータをゼロサプレスにより圧縮し、決められたフォーマットに整形後、後段

のReadOutDriverへ光ケーブルで送信する。StarSwitchは、また、JTAGプロトコルにより、PS board の制御、設定を行なう機能を持つ。

- ROD(Readout Driver)

  SSWから転送されるデータを収集し、IDの整合性等をチェックした後、イベントデータとしてROS(ReadOutSystem)に送信する(図3.26)。TGCのRODは、CPUとSDRAMを搭載し、そのロジックは、通常のPCと同様にプログラムすることができる。RODの入出力部にはFIFOが搭載されているが、入力データ量が処理能力を越えると、CTPにbusy信号を送信する。

図 3.25: SSW

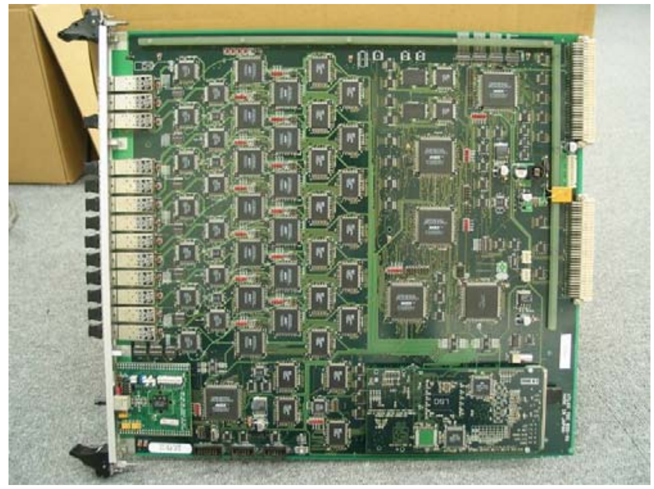


図 3.26: ROD

- HSC(HPT SSW Controler)/CCI(Control Configuration Interface)

  CCI、HSCはホール内のエレクトロニクスを遠隔制御するためのシステムである(図3.27、図3.28)。CCIはエレキハット内のクレート、HSCはTGC外縁上のクレートにそれぞれ設置され、その間は光ケーブルで結ばれる。専用のプロトコルでアドレスと値をやり取りし、CCIからHSC経由でSSW、HPTを制御することができる。

図 3.27: HSC

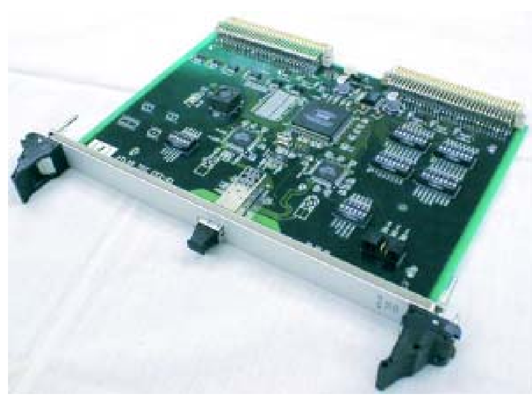


図 3.28: CCI

第4章　TGCエレクトロニクスのビームテスト

2003年9月にCERN、H8実験場で25nsミューオンビームによりTGCシステムの総合試験を行なった。主として、TGCエレクトロニクスの動作検証について述べる。

4.1　目的及び動機

これまで、TGCエレクトロニクスはASICあるいは、モジュール単位で開発が進められてきた。いくつかのプロトタイプを除いて、製作されたボード、モジュールはfinal designもしくは、ATLASで要求されるフルスペックを備えている。従って、以下のような位置付けで今回のビームテストが行なわれた。

1. TGCエレクトロニクスの総合試験とdesignの最終確認。
2. TGCチェンバーとTGCエレクトロニクスの接続試験。
3. TGCシステムと他システムとの統合試験。MuonCTPI、CTP、ROS、MDT等。

また、TGCエレクトロニクスとして検証するべき点は、以下の点である。

- 読み出し部の検証。
  チェンバーと接続し、ヒットマップを得る。TGCエレクトロニクスの各種設定、検証作業は、この読み出したデータに基づく。
- タイミングスキームの検証。
  LHCと同じ25nsビームを用いて検証する。delayとgateを設定することで、シグナルのバンチ識別を行なう。
- トリガー部の検証。
  読み出したヒットマップをTGCシミュレーションにかけ、トリガー出力の正当性を評価する。また、トリガー処理の各段階で、同様にシミュレーションと比較する。
- 以上の検証には制御、設定部の検証が含まれる。

まず、次節でセットアップを説明し、これらの検証について順に述べる。

4.2　セットアップ

4.2.1　ミューオンビーム

SPSの150GeVミューオンビームを使用した。バンチ間隔はLHCと同じ25nsであり、バンチ識別の性能評価に使用する。バンチ幅は4nsである。また、12秒毎に1スピルの間隔をとっている。

4.2.2　トリガー及びクロック

トリガーと40.08MHzのクロックは、CTPからTTCシステムを通して分配される。図4.1に示すように、TGCエレクトロニクス内では、SPP、SectorLogic、RODがTTCrx経由でトリガーとクロック

を受信する。また、43.4kHz の SPS オービットに同期して、BCR(Bunch Counter Reset) が配信される。CTP に入るトリガーのソースは、TGC(MuonCTPI 経由) もしくはシンチである。10cm×10cm のシンチが、TGC から 20m 上流に 2 枚設置され、このコインシデンスによりトリガーされる。シンチによるトリガーのレートは、200〜1000/スピルであった。また、これらのトリガーは、MDT の読み出しの都合上、CTP で約 100μs の veto がかけられた。

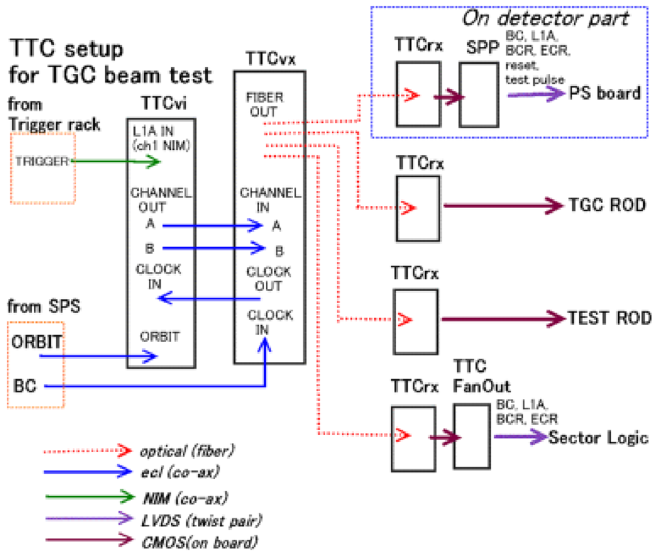


図 4.1: TTC 信号の分配

4.2.3 チェンバーの配置

TGC 検出器は、図 4.2 に示すように、T8 タイプの Triplet1 台 (M1)、Doublet2 台 (M2,M3) を使用し、ATLAS 実験と同様にワイヤー 7 層、ストリップ 6 層のシステムとした。T8 タイプのチェンバーは、長辺 1528mm、短辺 1364mm、高さ 1250mm の大きさをもち、エンドキャップ外縁付近で使用される TGC モジュールである。Triplet は 24channel のワイヤー読み出しと 32channel のストリップをもつ。一方、Doublet は 32channel のワイヤー読み出しと 32channel のストリップをもつ。これらのチャンネル幅を、表 4.1 にまとめる。また、TGC モジュール間の間隔は、Triplet と middle Doublet 間を 168cm, 2 つの Doublet 間を 14cm とした。図 4.2 のように、ATLAS のジオメトリーで $\phi = 0$ を想定し、ワイヤーを垂直に、ストリップを水平に設置した。セットアップの平面図を図 4.3 に示す。この図から分かるように、ビームは 15 度の傾きをつけてチェンバー面に入射する。

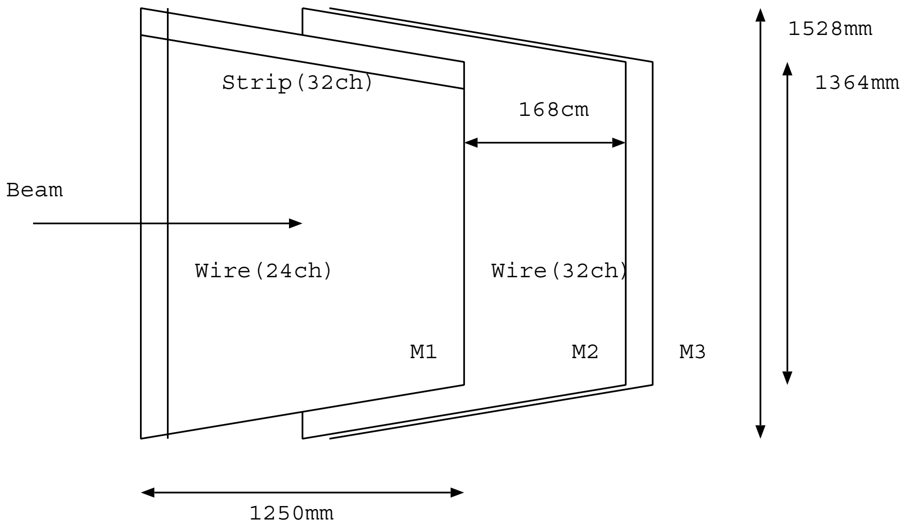


図 4.2: TGC の構成及び配置

チェンバー	シグナル	チャンネル幅
Triplet	Wire	5.2 cm
Triplet	Strip	4.5 cm
Doublet	Wire	4.1 cm
Doublet	Strip	4.5 cm

表 4.1: チャンネル幅

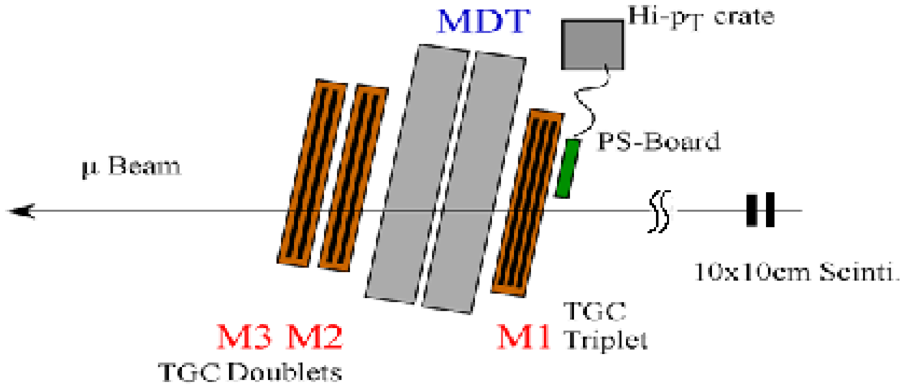


図 4.3: TGC の配置 (平面図)

図 4.4、図 4.5 はビーム上流、ビーム下流から見た TGC である。それぞれ、Triplet、Doublet(middle, pivot) が中央にみえる。

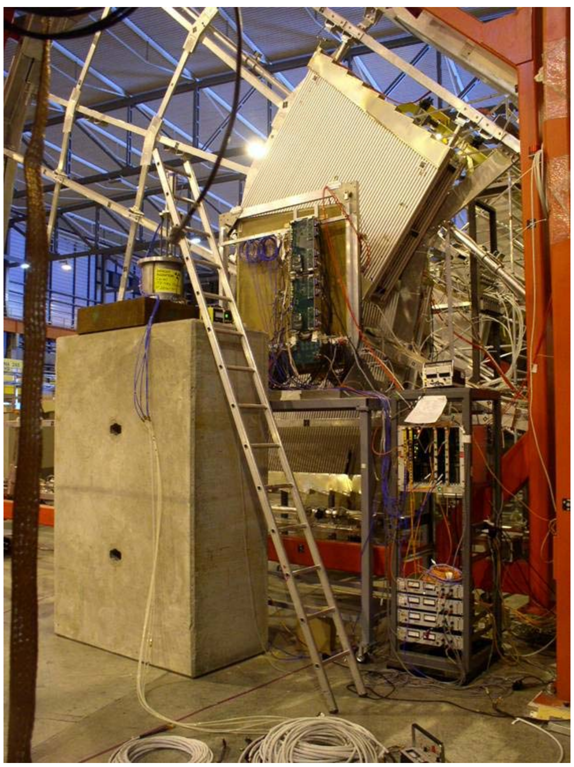


図 4.4: TGC Triplet

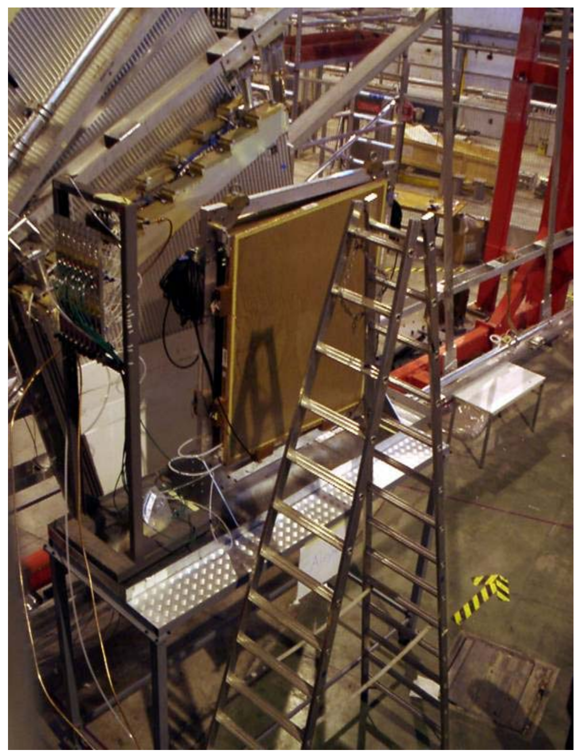


図 4.5: TGC Doublet

また、図 4.6 に示すように、TGC の Doublet、Triplet 間には Endcap Middle MDT が設置され、前後に Endcap Inner MDT、Endcap Outer MDT が設置されている。さらに、ビーム上流には、Barrel MDT 3 ステーションと RPC が設置されている。

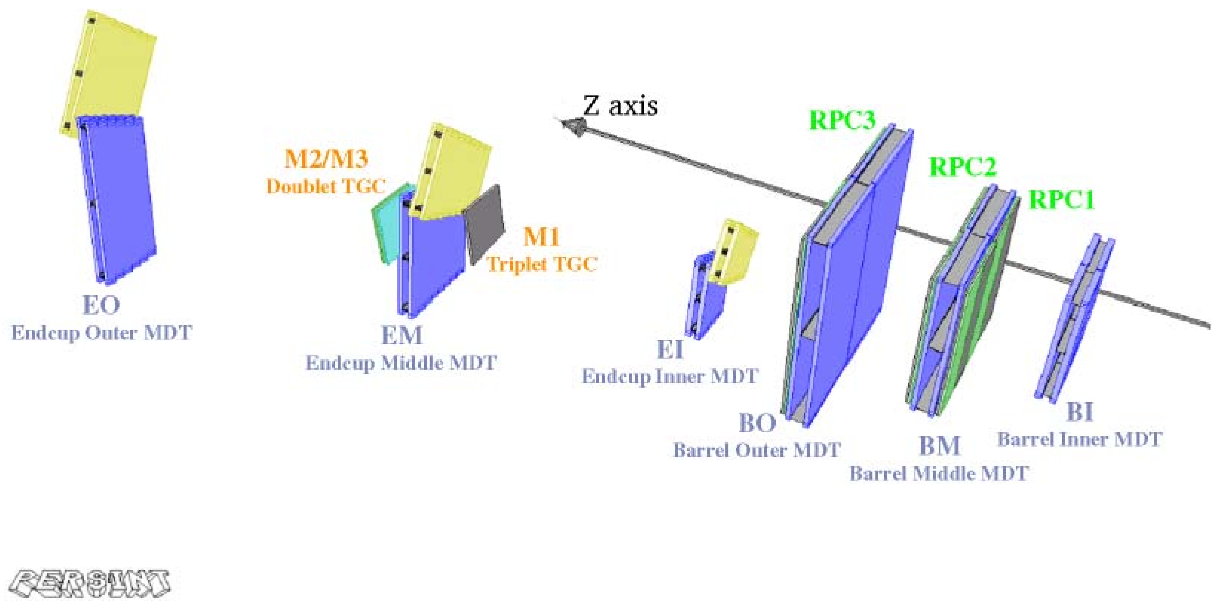


図 4.6: TGC と MDT の配置

4.2.4 TGC エレクトロニクス

ビームテストにおける TGC エレクトロニクスの構成を図 4.7 に示す。使用した主なモジュールは、Triplet 前面の PS pack、TGC 脇に置かれた HPT クレート、エレキハットに置かれた ROD クレートに収められた。エレキハットのクレートは、図 4.8 に示す。

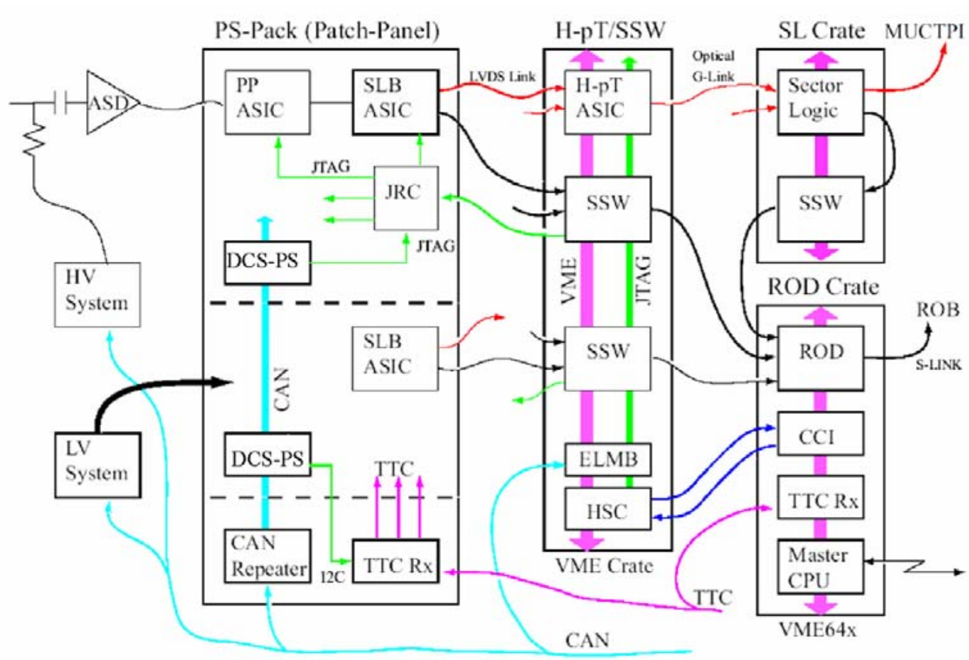


図 4.7: TGC エレクトロニクスのセットアップ図

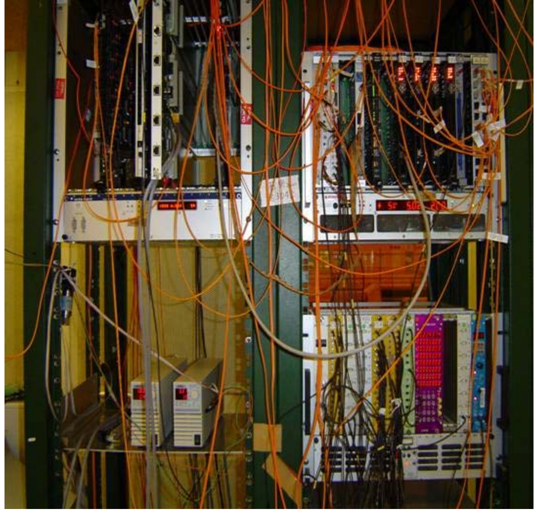


図 4.8: エレキハット (左上、ROD クレート)

TGC エレクトロニクスの構成と結線は、基本的に ATLAS 実験と同じものであるが、一部ビームテストのための、セットアップを用意した。

- SectorLogic のデータも、StarSwitch 経由で ReadOutDriver で読み出すようにセットアップを組んだ。これにより、スタンドアローンでトリガー処理の検証を行なうことができる。
- SectorLogic の R-Phi マップは、便宜的に、δR のみで pT を 6 段階に分割するものを用意した。
- ROD は、日本グループ作成の TestROD に加え、イスラエルグループ作成の TGCROD がデータの読み出しを行なった。ただし、本論文で使用したデータは、全て TestROD で読み出したものである。従って、以降、TestROD を単に ROD とし、TGCROD については特に言及しない。

以上のようなセットアップで、TGC エレクトロニクスを動作させた。従って、得られるデータは、次の 3 種類である。

- StarSwitch 経由、ReadOutDriver の読み出しによるデータ。
  SlaveBoard のデータ: ヒットマップ、Triplet 及び 2Doublet のコインシデンス結果。
  SectorLogic のデータ: トリガーデータ (pT、RoI)
- SlaveBoard、HighPtBoard、SectorLogic、StarSwitch、ReadOutDriver からデバックのため、適宜収集したデータ。
  各モジュールの出力、及び処理中のデータ。
- 他サブシステムの読み出しデータ。
  MuonCTPI のデータ: TGC のトリガー出力。
  MDT のデータ: ミューオントラック。

4.3 読み出し部の検証

TGC エレクトロニクスの読み出し部の検証について説明する。読み出し部は、SlaveBoard のヒットマップやコインシデンスの情報を、StarSwitch を経由して ReadOutDriver で読み出す部分である。ビームテストにおける読み出し部の検証は、オンラインでの ROD によるデータの整合性のチェック、プロファイルや efficiency の妥当性の確認、ヒットマップとトリガーデータとの consistency のチェックの 3 点により行なった。ヒットマップとトリガーデータの確認は、トリガー部の検証の節で説明する。

4.3.1 ROD によるデータ整合性のチェック

ROD は、フロントエンドに配置された StarSwitch からデータを収集し、ReadOutSystem に転送する。このとき、読み出しデータをオンラインでチェックし、そのエラーをイベントヘッダーのステータス部に記録する。以下、ビームテストに備えて開発した ROD のコントローラーについて説明し、ビームテストでの結果を示す。

ROD は、CPU と SDRAM(メモリー) を搭載する特殊な VME モジュールであり、通常の PC と同様にソフトウェアによってコントローラーを作成することができる。このため、データの整合性のチェックといった複雑な操作に柔軟に対応することができる。図 4.9 に ROD のデータフローの図を示す。まず、StarSwitch から光ケーブル (GLink) で入力されたデータは、FIFO に入れられる。コントローラーは各 FIFO のデータの整合性をチェックし、イベント毎に、決められた出力形式に整形する。この出力は、光ケーブル (SLink) で ROS に転送される。

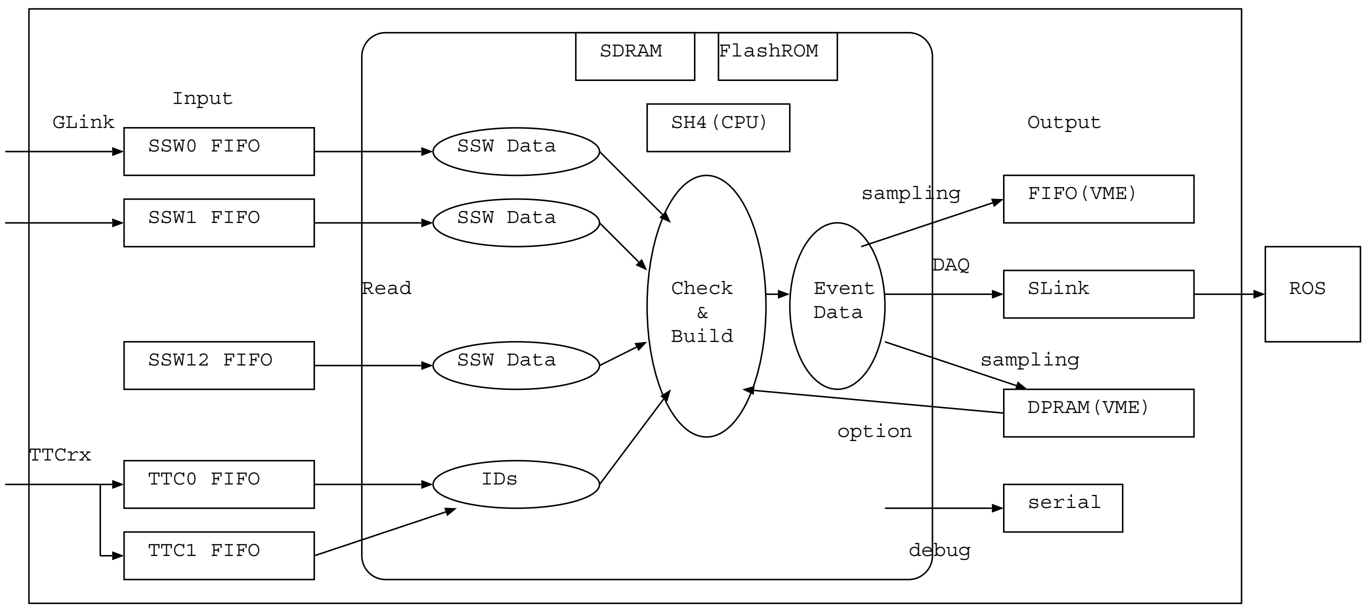


図 4.9: ROD のデータフローの図

開発した ROD のコントローラーは、入力データのフレームエラーを検査する。また、ROD board 上に設置される TTCrx(TTC レシーバー) を使用して、入力データの ID の consistency をチェックする。以下にそのチェック項目を示す。

フレームエラーのチェック

- SSW が付加するサムチェックによるチェック
- ヘッダー、テイラー構造のフレームチェック
- フレームのデータ長制限

ID エラーのチェック

- TTCrx の Event ID の連続性チェック
- SLB、TTCrx 間の Event ID チェック
- SLB、TTCrx 間の Bunch ID チェック
- SSW 入力待ち、タイムアウト

フレームエラーのチェックは、主として SSW〜ROD 間の転送を保証するものである。また、ID エラーのチェックは、ROD で収集される全 SLB データの一貫性を保証するものである。SSW 以前の読み出しの検証には、SLB のヒットマップとトリガーデータとの比較が行なわれた。この比較に関してはトリガー部の検証で述べる。

表 4.2 にビームテストでの結果を示す。シンチによるトリガー、TGC によるトリガーの双方で、読み出しデータの consistency が全イベント確認された。確認されたイベント数は、3×10^5 である。これらの読み出しデータの内容とその妥当性については、次節で説明する。

run No.	event 数	Trigger	run の種類	frame error 数	ID error 数
r38	6,350	シンチ	stand alone	0	0
r39	14,707	シンチ	stand alone	0	0
r40	11,339	シンチ	stand alone	0	0
r41	5,074	シンチ	stand alone	0	0
4002	4,123	シンチ	combined	0	0
4003	12,147	シンチ	combined	0	0
4004	6,478	シンチ	combined	0	0
4006	85,847	シンチ	combined	0	0
4007	101,621	シンチ	combined	0	0
4009	618	TGC	combined	0	0
4010	64	TGC	combined	0	0
4013	1,106	TGC	combined	0	0
4014	78,406	TGC	combined	0	0

表 4.2: 読み出しデータの検証結果

4.3.2 ビームプロファイルと efficiency の確認

10cm×10cm のシンチトリガーにより、スタンドアローンで TGC システムの動作検証を行なった。読み出されたビームのプロファイルを、Triplet は図 4.10 に、Doublet は図 4.11 にそれぞれ示す。また、このときの TGC のパラメーターを、表 4.3 に示す。これらの値は、次節のタイミング調整で設定された値である。

parameter	値
delay	M1: 11.7ns、M2: 15.6ns、M3: 15.6ns
gate	M1: 30ns、M2: 30ns、M3: 30ns
HV	2900 V
threshold	Wire: 50mV、Strip: 70mV

表 4.3: TGC パラメーター

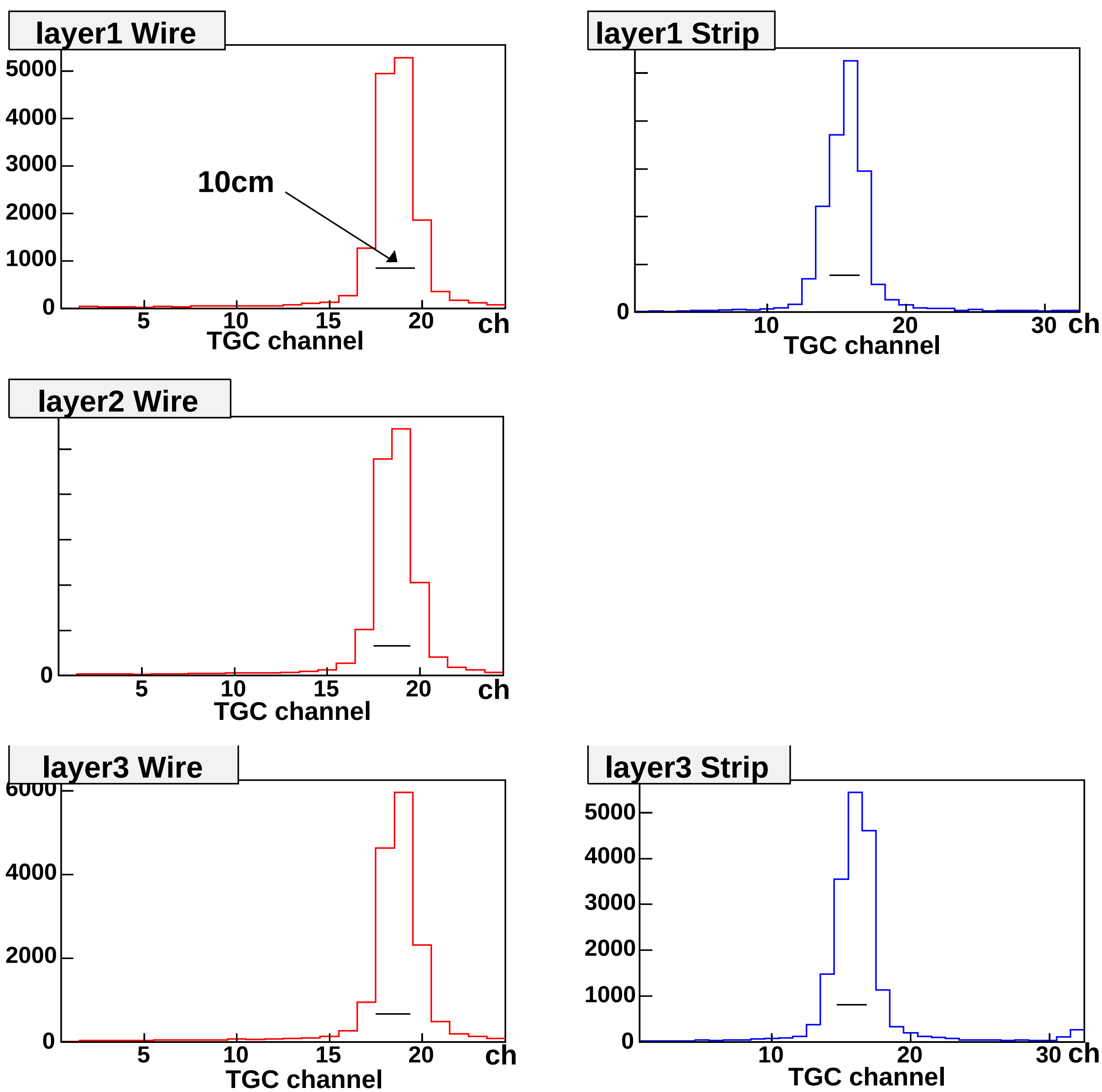


図 4.10: ビームプロファイル Triplet 3 層 (5.2cm/wire ch、4.5cm/strip)

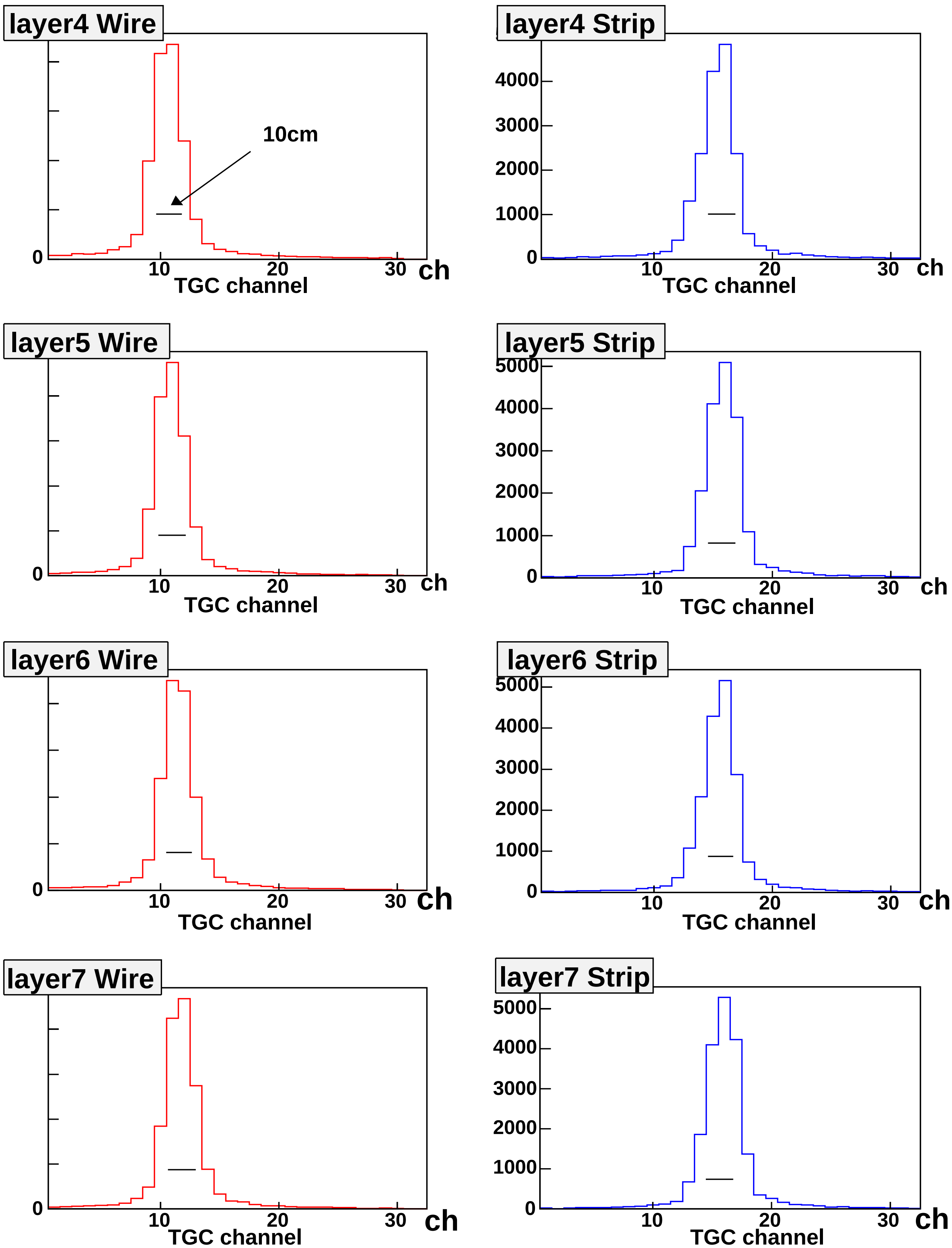


図 4.11: ビームプロファイル Doublet 4 層 (4.1cm/wire ch、4.5cm/strip)

読み出されたビームプロファイルは、ワイヤー、ストリップ共に、3〜4 チャンネル (15〜20cm) に集中する。プロファイル中に示した黒の横線は 10cm のシンチを示し、このコインシデンスによって絞られた結果であることが分かる。ただし、長いテールが全プロファイルにみられる。multiplicity 毎にプロファイルを分解すると、図 4.12 に示すように、multiplicity>1 ではチェンバー全体にヒットが広がる。これは、ミューオンの 2 トラック以上のイベントであると考えられる。

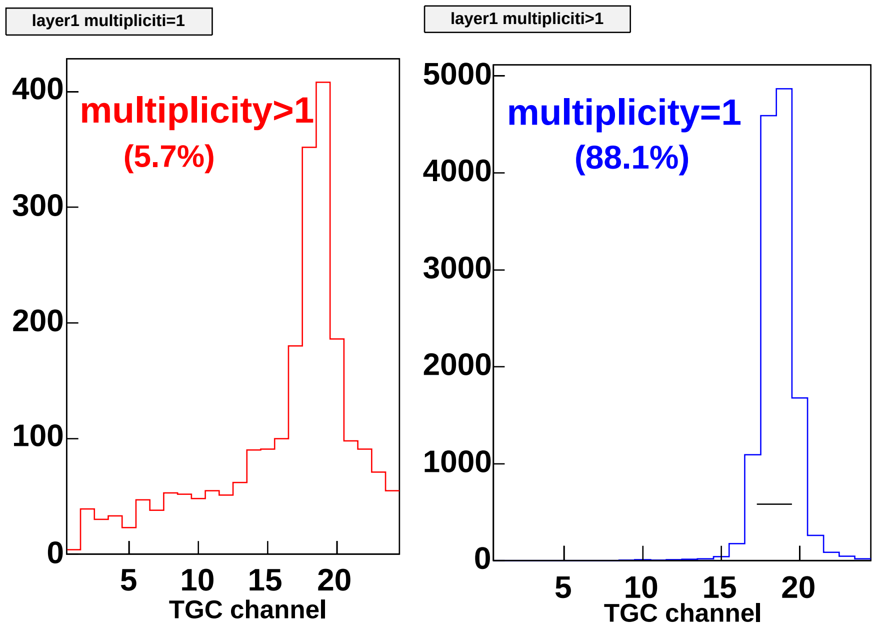


図 4.12: multiplicity 毎のビームプロファイル (layer 1 Wire)

また、このときのチェンバーの efficiency を、Wire は図 4.13 に、Strip は図 4.14 にそれぞれ示す。ここで、ビームプロファイルから分かるように、Triplet でプロファイルのテールがチェンバーからはずれる。従って、efficiency の計算では、シンチがトリガーしたイベントから、Triplet にヒットがないイベント (1%) を除いた。残りのイベントを母数とし、efficiency は以下のようになる。

$$\text{各}\,layer\,\text{の}\,efficiency = \frac{layer\,\text{にヒットがあったイベント数}}{\text{シンチがトリガーしたイベント数}}$$

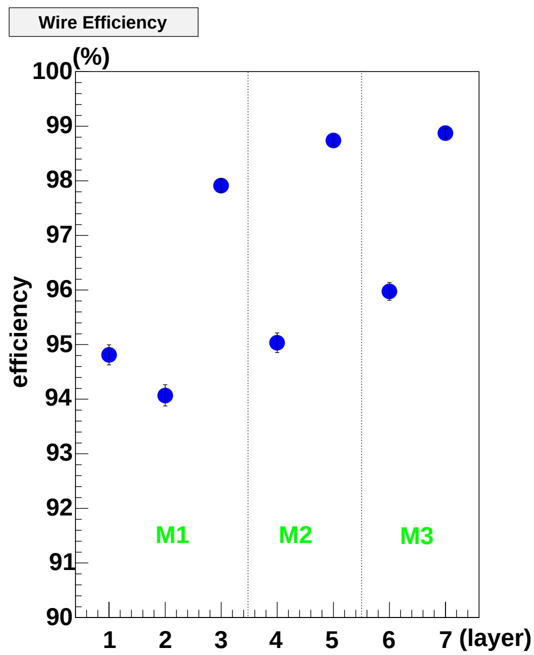


図 4.13: ワイヤーの Efficiency

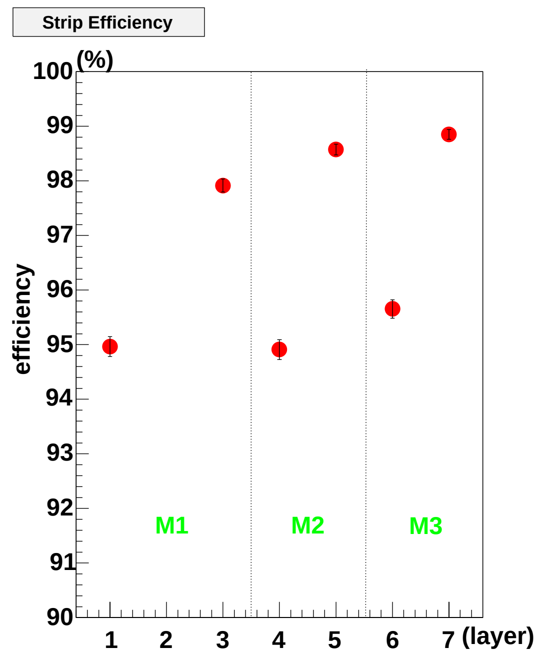


図 4.14: ストリップの Efficiency

TGC チェンバーは、99%以上の efficiency をもつ。従って、一部の層の efficiency が非常に低いことが確認できる。まず、各層のプロファイルと efficiency の妥当性を検証するために、使用した TGC(T8) の内部構造を図 4.15〜図 4.19 に示す。図中、赤線はワイヤーサポート (幅 7mm)、赤点はボタンサポート (直径 7mm) であり、inefficiency な領域を作る。ATLAS 実験では、middle(M2) と pivot(M3) で inefficiency 領域が重ならないように、サポートの配置が異なるチェンバーを使用する。しかし、今回のビームテストでは、pivot に使用される Doublet を 2 台使用した。

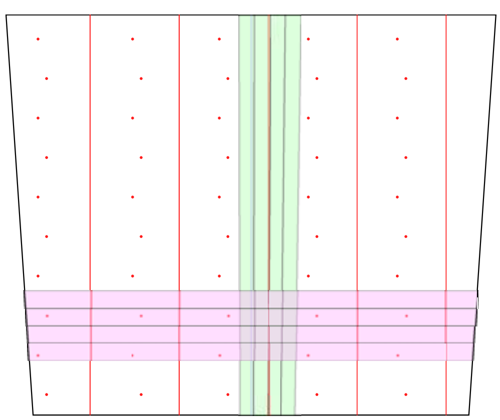


図 4.15: M1 1 層目の内部構造

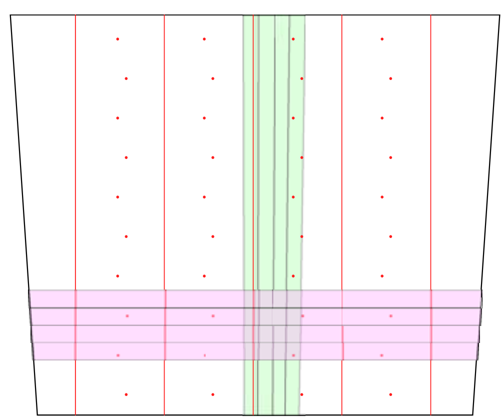


図 4.16: M1 2 層目の内部構造

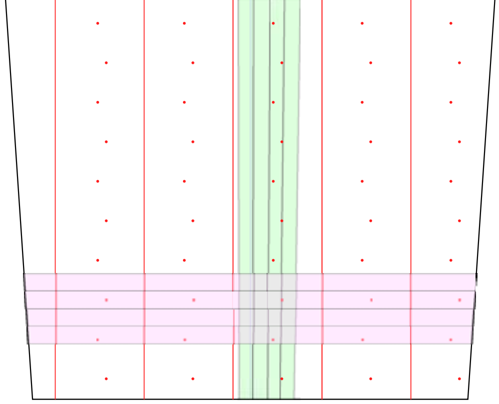


図 4.17: M1 3 層目の内部構造

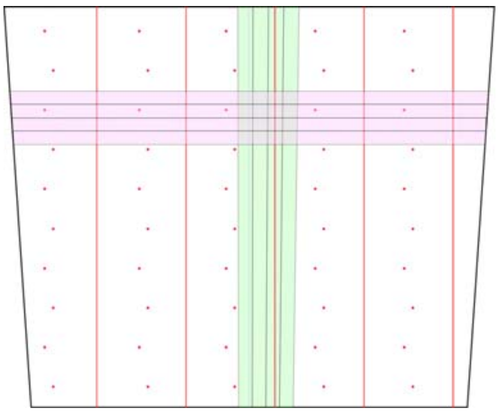


図 4.18: M3 1 層目の内部構造

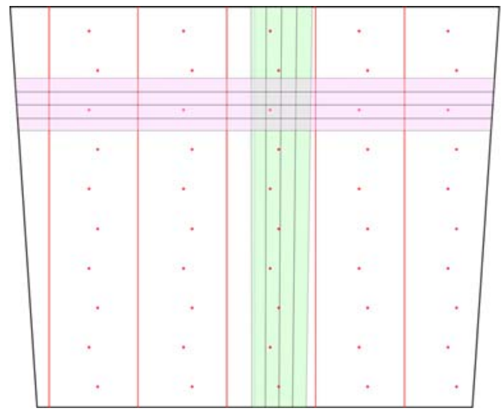


図 4.19: M3 2 層目の内部構造

図中に、ワイヤー、ストリップの頻度が多い 4channel をピンク、水色の領域で示した。この図から確認できるように、Triplet の 1 層と 2 層、Doublet の 1 層で、ワイヤーサポートがこの主要な 4 チャンネルと重なる。また、これらの層は、efficiency の低下している層に対応する。

4 チャンネル中に占めるワイヤーサポートの面積は約 4%であり、5%前後の efficiency の低下は、ワイヤーサポートの inefficiency によるものと考えられる。また、ワイヤーサポートが重ならない層でも、1 つ又は 2 つのボタンサポートを含んでいる。これらの効果により、ほぼ全ての層で efficiency が 99%に満たないと考えられる。

また、この efficiency がチェンバーのオペレートしている電圧 2900V(ASD 閾値は Wire 50mV, Strip 70mV) で安定であることを、HV をスキャンすることで確認した。HV をスキャンしたときのチェンバー efficiency を 7 層目の Wire を例として、図 4.20 に示す。2850V で飽和するため、2900V では安定である。

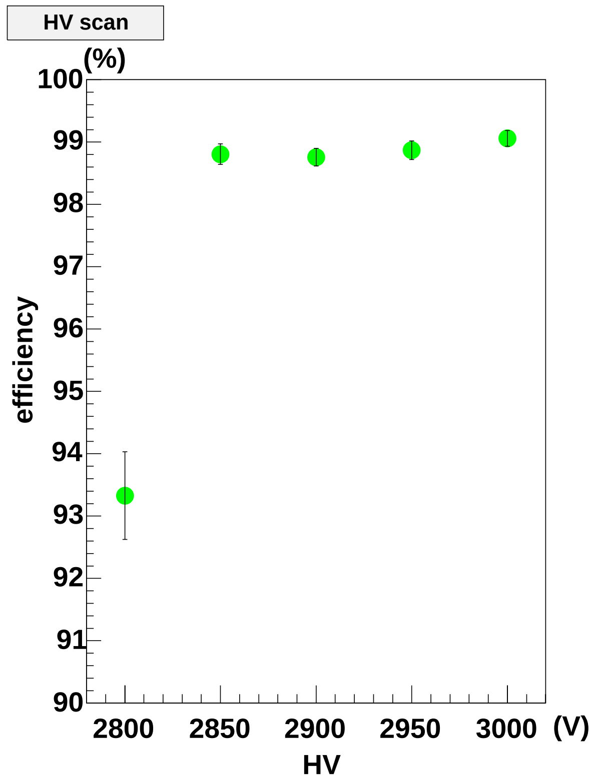


図 4.20: HV スキャン

以上の結果と後述するトリガー出力の検証によって、読み出し部が正しく機能していることを確認した。最後に、今回のビームテスト用に開発したイベントディスプレイを図 4.21 に示す。

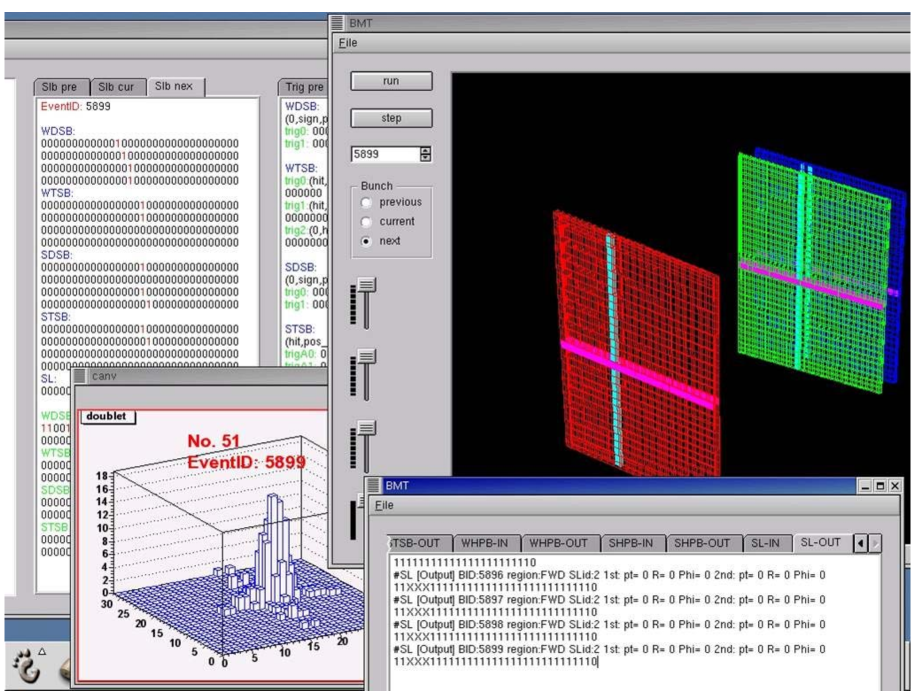


図 4.21: イベントディスプレイ、オンラインシミュレーター

ビームテスト中は、現在のエレクトロニクスの状態、ビームの状態を迅速に把握する必要がある。このため、生データやヒットマップ、三次元のディスプレイをオンラインで表示させるようにした。また、ビームプロファイルやイベント数といった統計情報も表示させた。さらに、このイベントディスプレイの特徴として、TGC の Trigger Simulator を内蔵している。このため、オンラインで、ヒットマップから各モジュールでのトリガー処理を再現し、ハードウェアから実際に読み出した値と比較することができる。この結果は、ヒットマップやトリガー情報と共に表示される。これらのブロック図を、図 4.22 に示す。

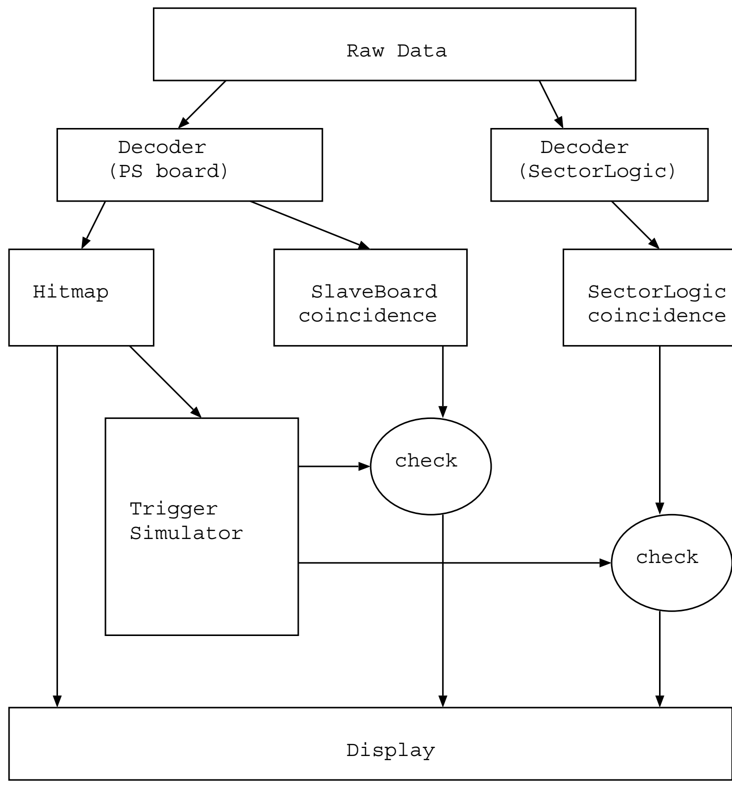


図 4.22: イベントディスプレイのブロック図

4.3.3 タイミングスキーム

TGC は 25ns ビームによるシグナルを、40.08MHz のクロックに同期させるバンチ識別の機能をもつ。Doublet、Triplet、Wire、Strip の全チャンネルで正しくバンチ識別するために、図 4.23 に示すようにモジュールの各段階で以下の delay を備えている。

PatchPanel
: 1ns 以下の精度で最大 25ns までの詳細な調整が可能である。(ゲートも最大 50ns まで拡張可能である。) これは、channel 位置による TOF やドリフト時間の差、PatchPanel までのケーブル遅延の差を吸収する。

SlaveBoard
: 0.5 クロック単位で最大 1.5 クロックまでの調整が可能である。Doublet 間の位相の差を吸収する。また、入力とクロックのエッジが重なるのを避ける。

HighPtBoard
: 0.5 クロック単位で最大 3.5 クロックまでの調整が可能である。Triplet、Doublet 間の差を吸収すると共に、エッジが重なるのを避ける。

これらの delay の設定と、PatchPanel での gate 幅を調整することで、正確にバンチ識別をすることができる。

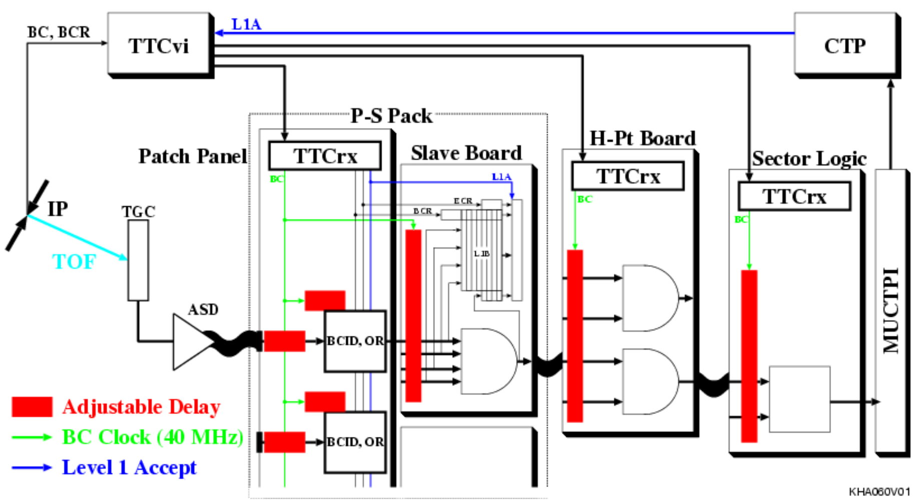


図 4.23: 遅延の設定

まず、delay を設定するために、各層の PP delay をスキャンする。図 4.24 に示すように、3 バンチ分の読み出しデータを比較することでバンチ識別の状態をみることができる。ここでの gate は 25ns とした。M1(layer3 Wire)、M2(layer5 Wire)、M3(layer7 Wire) について、図 4.25、図 4.26、図 4.27 にそれぞれスキャンの結果を示す。タイムジッター分布の立上りを gate の始めとするため、previous バンチにヒットがなくなる値に設定する。従って、M1 は 11.7ns、M2 は 15.6ns、M3 は 15.6ns である。設定した値での next バンチを見ると、delay の増加に対して若干の efficiency の増加がみられる。これは、25ns の gate にテールが僅かに収まっていないことを示す。また、Doublet と Triplet 間の TOF は、チェンバー間隔から 1.68×3.3=5.5ns である。従って、設定した delay は、主に TOF の遅延を吸収している。

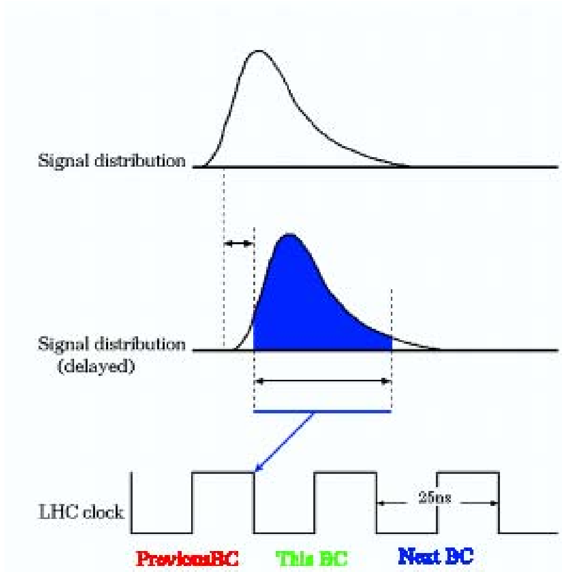


図 4.24: BCID スキーム

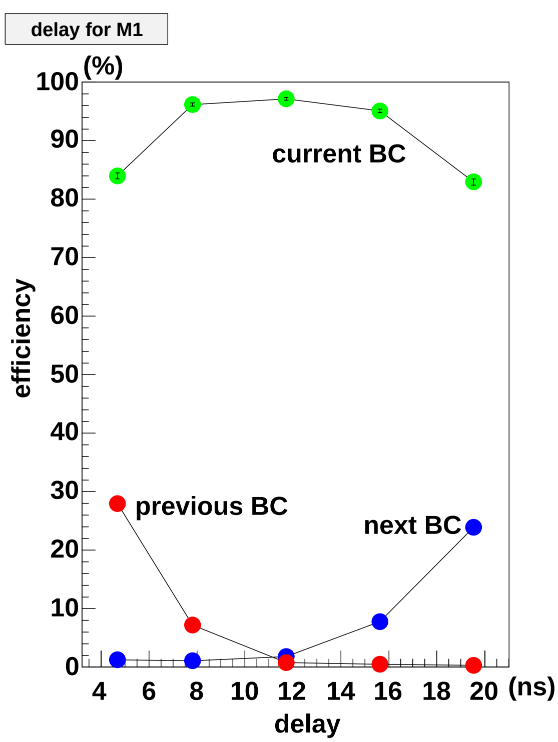


図 4.25: M1(triplet) の delay スキャン

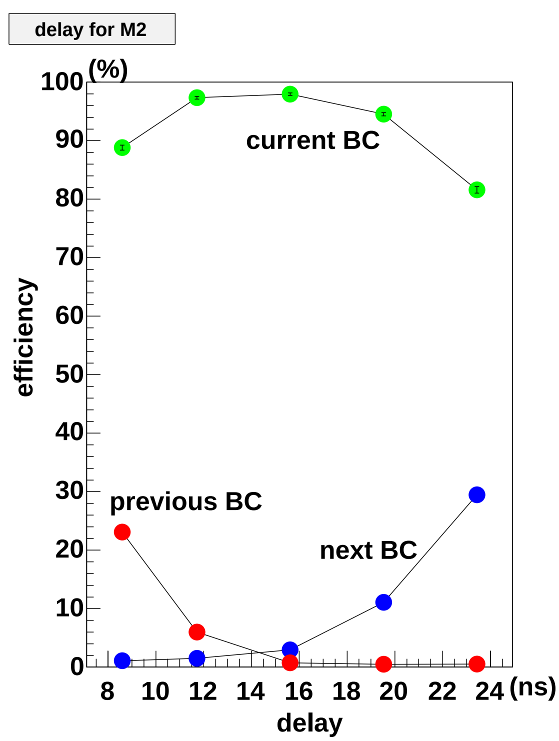


図 4.26: M2(middle) の delay スキャン

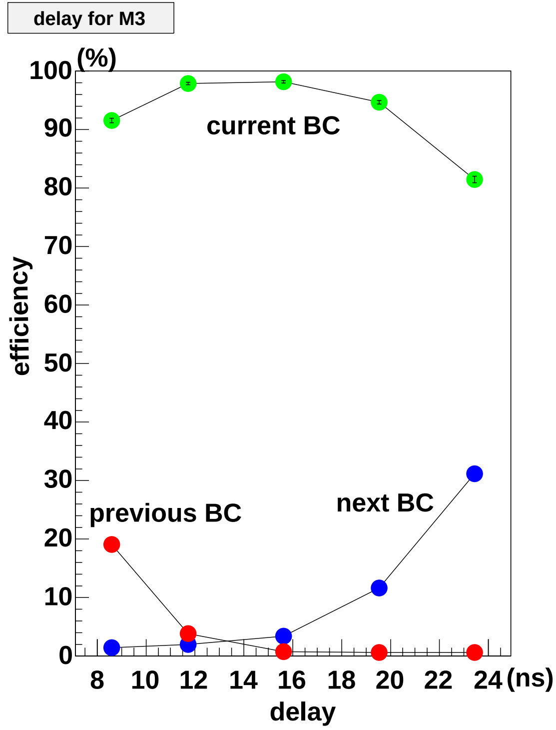


図 4.27: M3(pivot) の delay スキャン

PatchPanel は 25ns 以上のタイムジッターに対応するため、ゲート幅が可変である。従って、ゲート幅に対する efficiency の変化を確認した。layer7 のワイヤーでスキャンした結果を図 4.28 に示す。

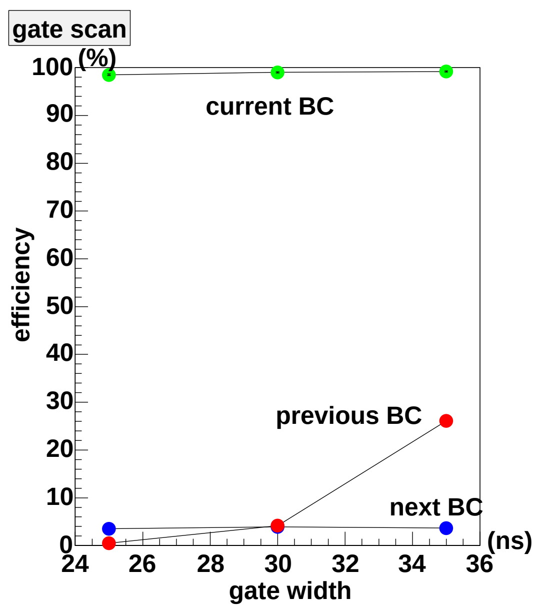


図 4.28: 各ゲート幅による efficiency

30ns、35ns において efficiency の最大値 99%をとる。これは、30ns の gate においてタイムジッターのテールを収めることができることを示す。以上により、TGC のタイミングスキームによって、正確にバンチ識別することを確認した。

4.3.4 トリガー出力の検証

前節でタイミング調整された TGC システムの、トリガー出力の検証と efficiency の確認を行なう。

読み出したヒットマップのデータを、TGC エレクトロニクスのトリガーシミュレーションにかけ、トリガー処理を再現させた。再現されたトリガー出力と、ハードウェアの SlaveBoard と SectorLogic のトリガー出力を比較し、正しくトリガー処理を行なっていることを確認した。ビームテストで検証した RUN とイベント数を表 4.4 に示す。

run No.	event 数	Trigger	run の種類	error event 数
r38	6,350	シンチ	stand alone	0
r39	14,707	シンチ	stand alone	0
r40	11,339	シンチ	stand alone	0
r41	5,074	シンチ	stand alone	0
4002	4,123	シンチ	combined	0
4003	12,147	シンチ	combined	0
4004	6,478	シンチ	combined	0
4006	85,847	シンチ	combined	0
4007	101,621	シンチ	combined	0
4009	618	TGC	combined	0
4010	64	TGC	combined	0
4013	1,106	TGC	combined	0
4014	78,406	TGC	combined	0

表 4.4: データ検証の結果

次に、検証されたトリガー出力の efficiency を確認する。図 4.29 及び表 4.5 に各モジュールのトリガー出力の efficiency を示す。今回のビームテストでは、先に述べたように middle Doublet、pivot Doublet はともに ATLAS 実験で pivot Doublet として使用される同じ型のチェンバーを使用した。このため、ワイヤーサポートの位置のずれがなく、ワイヤーサポートによる inefficiency は、M2 と M3 で同時に発生する。この場合、Doublet SlaveBoard の 3/4 コインシデンスを満たさない。従って、Doublet については、ワイヤーサポートの 5%の inefficiency がそのままトリガー efficiency の inefficiency に反映されていると考えられる。一方、Triplet は、サポートの位置のずれがあるため、99.6%を越える efficiency をもつことが分かる。

また、SectorLogic の efficiency は、Doublet の efficiency 97%とほぼ等しい。これは、Doublet がコインシデンスされなければ、ロジック上、Triplet と Doublet 間のコインシデンスは成立しないことによる。

coincidence モジュール	efficiency(%)	誤差 (%)
SLB(WireDoublet)	96.97	0.14
SLB(WireTriplet)	99.67	0.04
SLB(StripDoublet)	96.99	0.14
SLB(StripTriplet)	99.85	0.03
SectorLogic	96.72	0.14

表 4.5: 各モジュールのトリガー efficiency

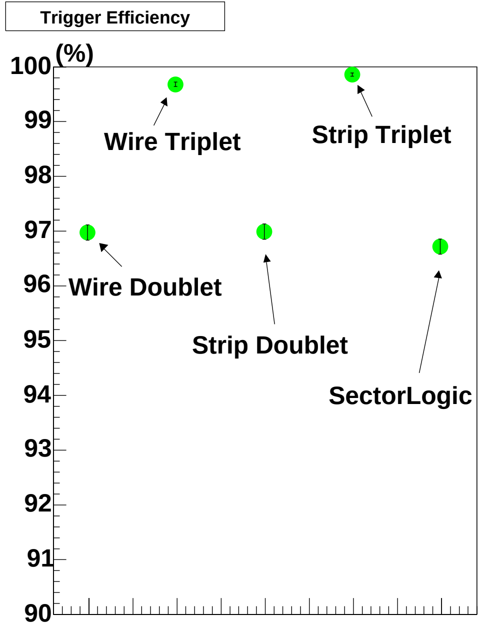


図 4.29: 各モジュールのトリガー efficiency

4.4 combined run

TGC、MDT、CTP、MuonCTPI による、ミューオンシステムを通してのランが行なわれた。これらの制御、設定は、図 4.30 に示すような、オンラインソフトウェア上の単一パネルで制御される。また、各システムの ROD から ROS へ送られた読み出しデータは、SFI(Switch to Farm Interface) を経て収集され、単一ファイルに保存される。このため、イベント毎に各検出器のデータを照合することも可能である。以下、TGC によるミューオンシステムのトリガー、MDT と TGC のデータの照合について順に述べる。

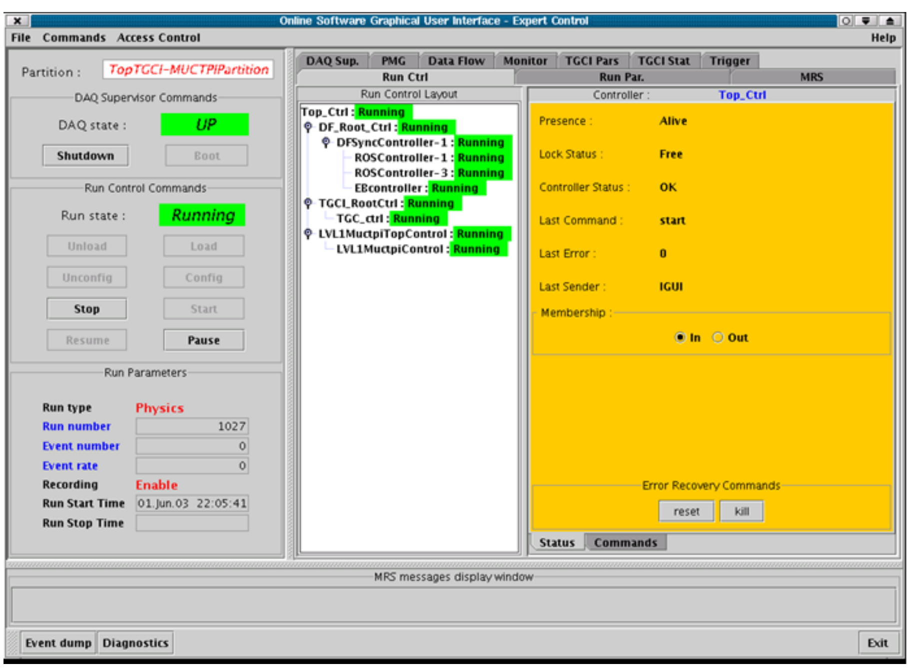


図 4.30: オンラインソフトウェア

4.4.1 TGC によるトリガー

ミューオンシステムの統合試験では、TGC によるトリガーも行なわれた。TGC のトリガー出力は MuonCTPI を経由して CTP へ送信される。図 4.31、図 4.32 に示すように、MuonCTPI と SectorLogic のデータを比較し、pT や RoI が正しく転送されていることを確認した。pT と RoI の値を表 4.6、4.7 にまとめる。

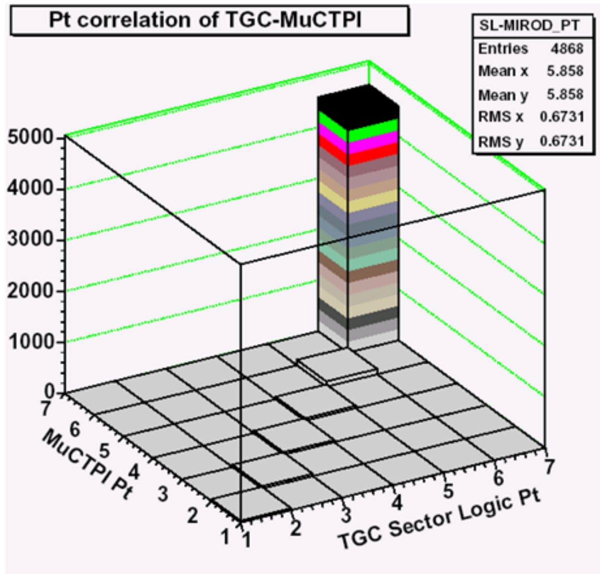


図 4.31: MuonCTPI データと TGC データ、pT レベルの比較

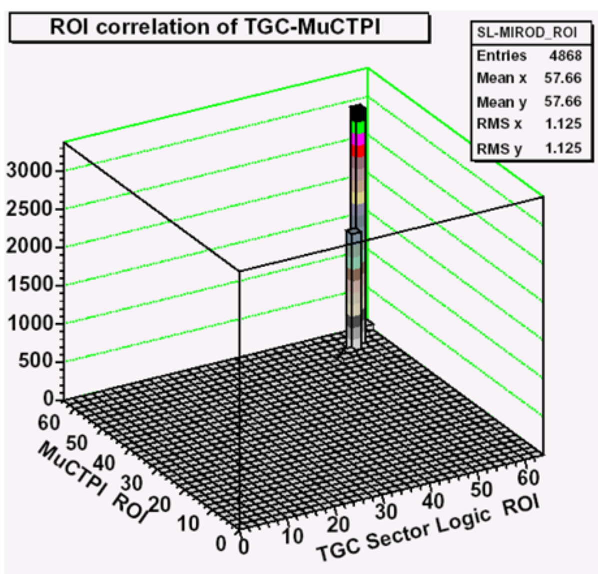


図 4.32: MuonCTPI データと TGC データ、RoI の比較

pT	Muctpi 1	2	3	4	5	6
TGC 1	346	0	0	0	0	0
TGC 2	0	428	0	0	0	0
TGC 3	0	0	412	0	0	0
TGC 4	0	0	0	347	0	0
TGC 5	0	0	0	0	1068	0
TGC 6	0	0	0	0	0	45471

表 4.6: MuonCTPI データと TGC データ、pT レベルの比較

RoI	Muctpi 48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
TGC 48	34	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
TGC 49	0	58	0	0	0	0	0	0	0	0	0	0	0	0	0	0
TGC 50	0	0	57	0	0	0	0	0	0	0	0	0	0	0	0	0
TGC 51	0	0	0	21	0	0	0	0	0	0	0	0	0	0	0	0
TGC 52	0	0	0	0	118	0	0	0	0	0	0	0	0	0	0	0
TGC 53	0	0	0	0	0	465	0	0	0	0	0	0	0	0	0	0
TGC 54	0	0	0	0	0	0	544	0	0	0	0	0	0	0	0	0
TGC 55	0	0	0	0	0	0	0	76	0	0	0	0	0	0	0	0
TGC 56	0	0	0	0	0	0	0	0	241	0	0	0	0	0	0	0
TGC 57	0	0	0	0	0	0	0	0	0	14564	0	0	0	0	0	0
TGC 58	0	0	0	0	0	0	0	0	0	0	31029	0	0	0	0	0
TGC 59	0	0	0	0	0	0	0	0	0	0	0	130	0	0	0	0
TGC 60	0	0	0	0	0	0	0	0	0	0	0	0	53	0	0	0
TGC 61	0	0	0	0	0	0	0	0	0	0	0	0	0	632	0	0
TGC 62	0	0	0	0	0	0	0	0	0	0	0	0	0	0	618	0
TGC 63	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	41

表 4.7: MuonCTPI データと TGC データ、pT レベルの比較

4.4.2 MDT と TGC のデータの照合

combined run では、各検出器のデータのイベント毎の照合が可能となる。このため、MDT と TGC のデータの照合を行なった。

TGC 付近に設置された Endcap MDT が不調であったため、約 10m 離れた Barrel MDT からミューオントラックを外挿し、TGC のヒットと照合した。Barrel MDT は、ビーム上流から、Inner(BIL)、Middle(BML)、Outer(BOL) の 3 ステーションが設置されている。それぞれ、8 層、6 層、6 層のドリフトチューブを持ち、独立にトラックを再構築することができる。Barrel MDT のドリフトチューブは、TGC のワイヤーと同じく垂直方向に設置され、水平方向に分解能をもつ。図 4.33 は、各ステーションで再構築されたトラックを TGC の 4 層目の位置まで外挿し、差分をとったものである。図より、BIL が BOL に対して約 3cm のずれをもつが、ほぼ 1cm の精度でトラックを引いていることが分かる。

また、図 4.34 に、TGC のヒットチャンネルと MDT 3 ステーションからの外挿位置 (z 軸からの距離) の相関図を示す。また、図中に、TGC のチャンネル幅を 2 本の黒線で示した。図より、TGC のヒットチャンネルと MDT の外挿位置には、相関がみられる。しかし、TGC の各チャンネル領域に対しては、ずれがみられる。これは、MDT の外挿のずれと TGC のアライメントのずれによるものと考えられる。

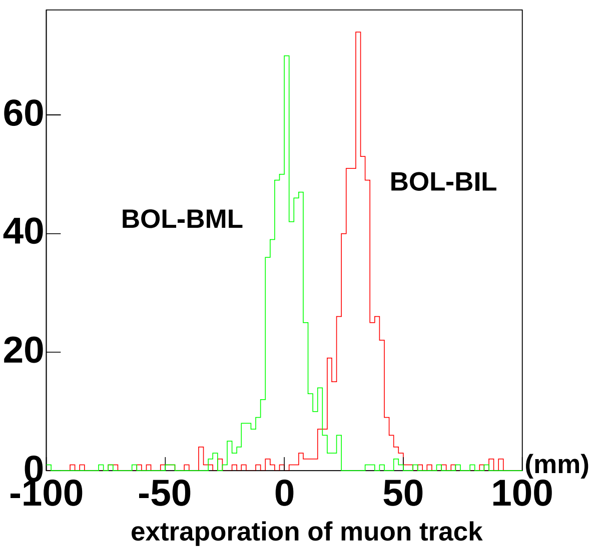


図 4.33: ミューオントラックの外挿

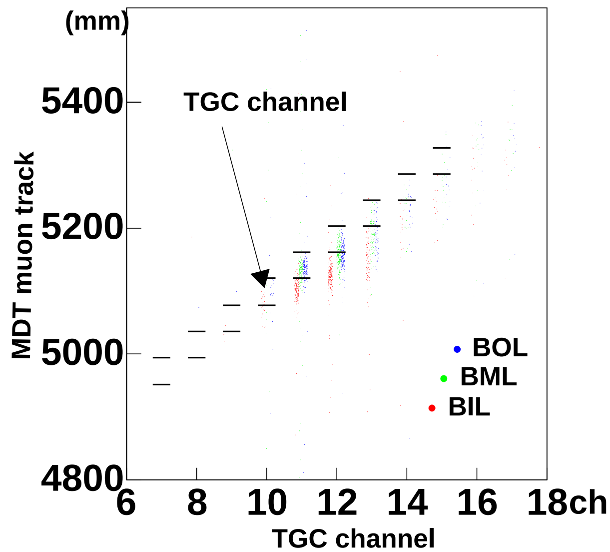


図 4.34: ミューオントラックと TGC チャンネル

4.5 まとめ

25ns のミューオンビームを用いて、TGC エレクトロニクスのトリガー処理、読み出し処理が正しく行なわれることを確認した。また、各種 delay、gate を設定することで、25ns ビームのバンチ識別を正確に行なうことを実証した。さらに、CTP 等の LVL1 トリガーシステムと統合し、正しくトリガー出力を送信することを確認した。また、オンラインソフトウェアによる DAQ の統合やオフラインソフトウェアによる解析基盤の整備も、今回のビームテストの成果である。これにより、combined run や各検出器のデータの照合が可能となった。

第5章　TGCトリガーシミュレーション

開発した TGC トリガーシミュレーションと full simulation(Geant) を用いて、TGC システムのトリガー能力及び pT 判定能力を評価する。始めに、トリガーシミュレーションの概要と実装を説明し、その後、TGC システムの総合評価を順次説明する。

5.1　トリガーシミュレーション

ATLAS トリガーシミュレーションは、ATLAS のトリガーシステムの評価、検証を目的として開発が進められている。図 5.1 に示すように、実際の実験と同様、First level Trigger(LVL1) や Second level Trigger(LVL2)、Event Filter(EF) からなり、LVL1 を構成する検出器やそのエレクトロニクスも含まれる。ATLAS 標準のフレームワーク (Athena) 上で開発され、full simulation(Geant) で生成されたイベントを処理する。

現在、LVL1 の各検出器、LVL2 や EF(Event Filter) など、それぞれ独立に開発と動作検証が進められている。今後、トリガーシステム全体としての動作検証を行ない、トリガーの研究に用いられる予定である。

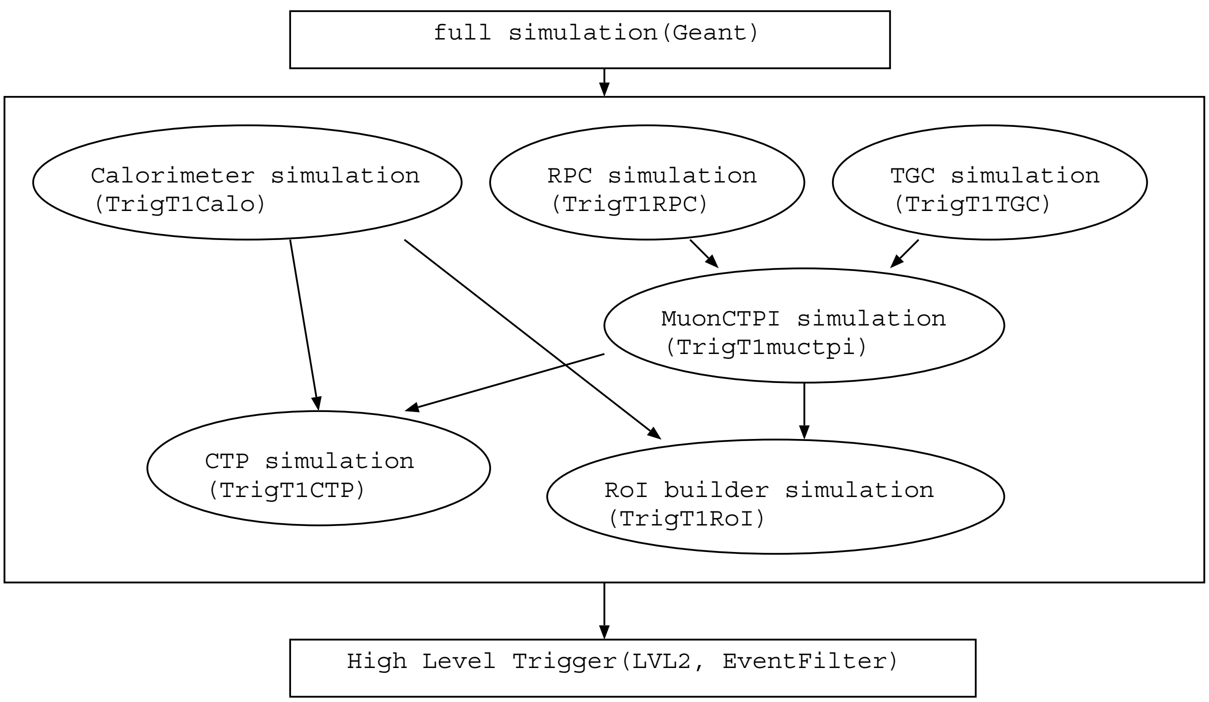


図 5.1: トリガーシミュレーションの構成

TGC のシミュレーションは、検出器のシミュレーションである digitizer、トリガーエレクトロニクスのシミュレーションである trigger simulator からなる (図 5.2 参照)。digitizer と trigger simulator のプロトタイプは、TGC エレクトロニクスの検証を目的として、ハードウェアと同時に開発されてきた。本研究で扱ったシミュレーションは、これらのプロトタイプに TGC の全システムを導入し、ATLAS フレームワーク上で動作するように開発したものである。完成した TGC トリガーシミュレーションは、A,C 両サイドで full simulation が生成したミューオンイベントを digitize し、トリガー処理と読み出し

処理を行なうことができる (図 5.3 参照)。これらの処理は、ハードウェアと同様にチャンネル単位で行ない、全 30 万チャンネルを実装している。

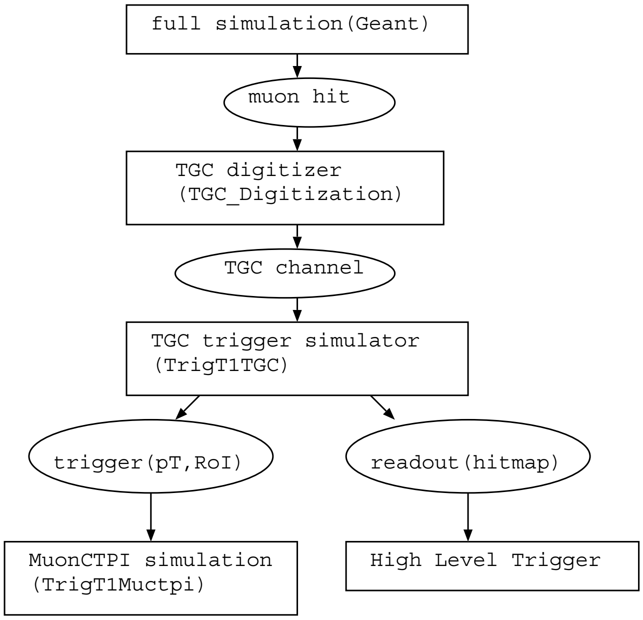


図 5.2: TGC シミュレーションの構成

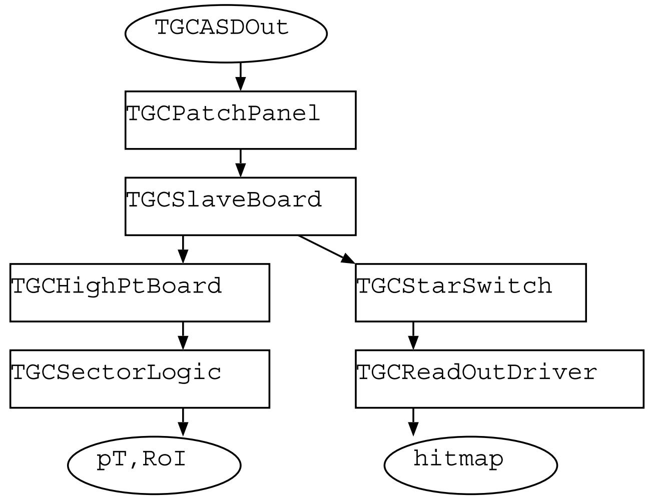


図 5.3: TGC トリガーシミュレーションの構成

TGC トリガーシミュレーションの主な目的は、

1. TGC エレクトロニクスのハードウェアの動作検証
2. TGC システムの δR、$\delta\phi$ 値の評価と、R-Phi マップの作成
3. TGC トリガーシステムのトリガー能力の評価
4. ATLAS トリガーシミュレーションの一部として機能し、トリガーの研究に用いる。

である。以下の節では、実装を簡単に述べた後、ハードウェアの動作検証、δR-$\delta\phi$ 値の評価、TGC システムのトリガー能力について順に述べる。また、最後に挙げた項目であるが、今後、各サブシステムが統合、テストされ、HLT(High Level Trigger) の研究等に寄与することが期待されている。

5.2 TGC シミュレーションの実装

5.2.1 digitizer の実装

TGC のチェンバーは、図 5.4 に示されるように、設置される場所ごとにその形状が異なる。また、wire-ganging の幅はレートを考慮して決められ、channel 毎に異なっている。digitizer はこれらの channel の geometry を管理し、TGC チェンバーを忠実に再現する。また、TGC のチェンバーは、各ステーションで z の位置が一様でない。図 5.5 に示すように、設置される場所により 4 つの z 位置をとり、inefficiency をなくすため、隣接するチェンバーと一部重なるように置かれる。同一セクター内で、η 方向に back、front の 2 つの z 位置をとり、さらに ϕ 方向に forward, backward の 2 つの z 位置をとる。

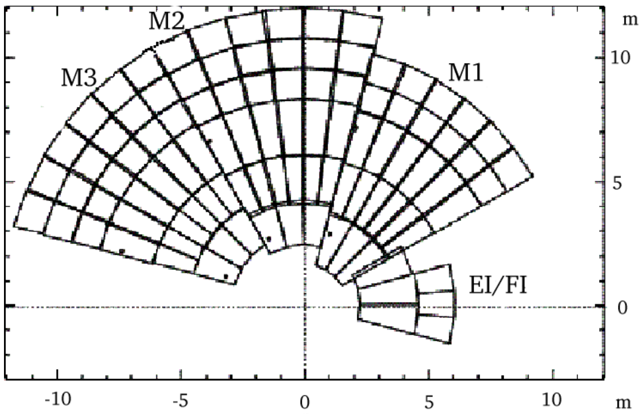


図 5.4: 各ステーションの構成

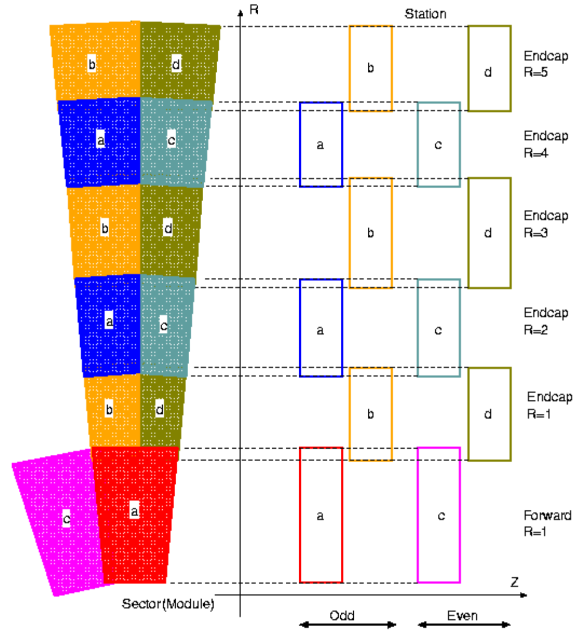


図 5.5: TGC チェンバーの z 位置の配置

現在、新たに開発中の digitizer は図 5.6 に示すように、ワイヤーサポート、ボタンサポートの inefficiency を再現する。また、クラスター (隣接 channel のヒット) を導入する。さらに、チェンバーの efficiency を導入する。今後、タイムジッターやケーブル遅延を再現し、これらの時間情報を trigger simulator に渡す機構も導入される予定である。

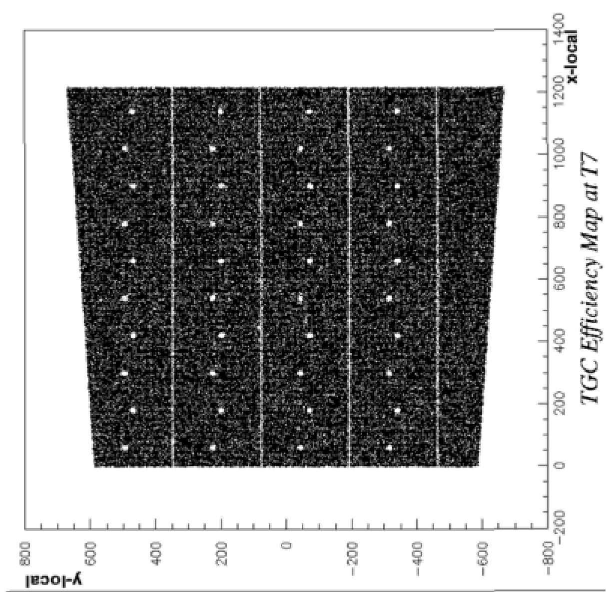


図 5.6: ワイヤーサポート、ボタンサポート

5.2.2 simulator の実装

trigger simulator は、ハードウェアと同様に、トリガー部とリードアウト部で構成される。トリガー部は、PatchPanel、SlaveBoard、HighPtBoard、SectorLogic からなり、リードアウト部は、StarSwitch、ReadOutDriver からなる。各モジュールのロジックやデータ形式、モジュール間の接続は、基本的にハードウェアと一致するように作成されている。

トリガー部の全体図を図 5.7 に示す。トリガーロジックの処理は、セクターを単位として独立に行なわれる。従ってエレクトロニクスの構成や結線は、Forward と Endcap の 2 タイプが実装されている。図中の naming 及び numbering はソフトウェア上のものであり、モジュール毎に独立したオブジェクトで構成されていることが分かる。以下、これらの構成要素を順に説明する。

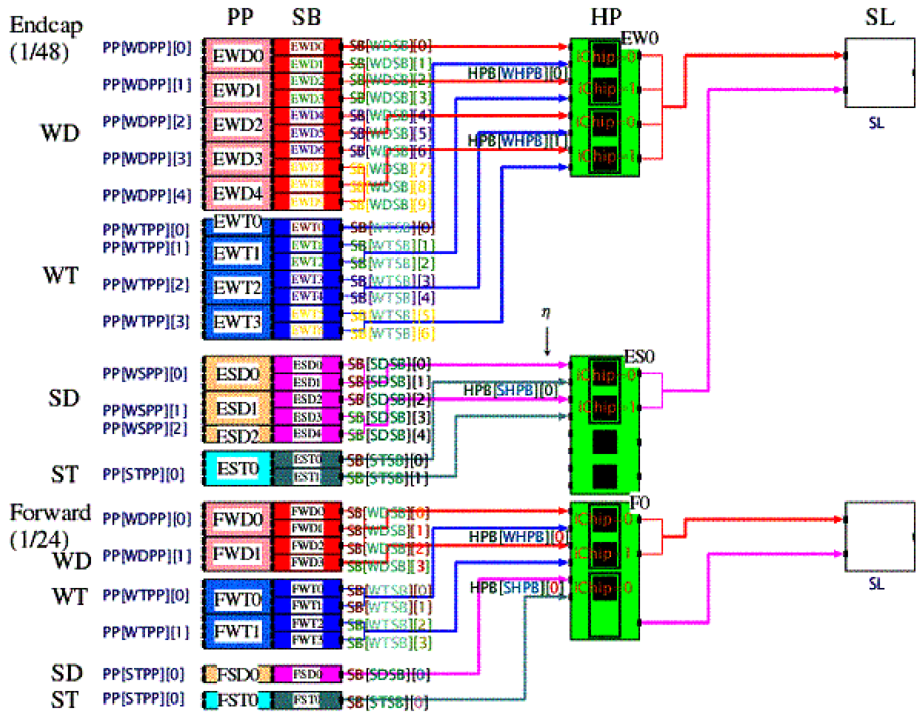


図 5.7: TGC トリガーシミュレーションの構成

PatchPanel

チェンバーの ASD のヒットを SlaveBoard へ接続する。また、channel の OR や adjacent 入力を管理する。WireDoublet、WireTriplet、StripDoublet、StripTriplet の 4 タイプからなり、セクターの構成は Endcap、Forward の 2 種類である。これらは、ASD との接続、channel の OR や adjacent 処理、SLB との接続が異なる。実際に実装された channel の配線、モジュールの配置を図 5.8, 図 5.9, 図 5.10, 図 5.11, 図 5.12 にそれぞれ示す。図中の左端のボックスは、3 層もしくは、4 層のチェンバーを表す。中央、緑の PS board 上に Oring や adjacent の配線が示されているが、これらは簡単のため PatchPanel 内の配線として実装している。この PatchPanel の出力は、図中の右端に示した SlaveBoard の connector に転送される。BCID は、PatchPanel の機能であるが、今後実装する予定である。現時点では、時間情報は導入されていない。

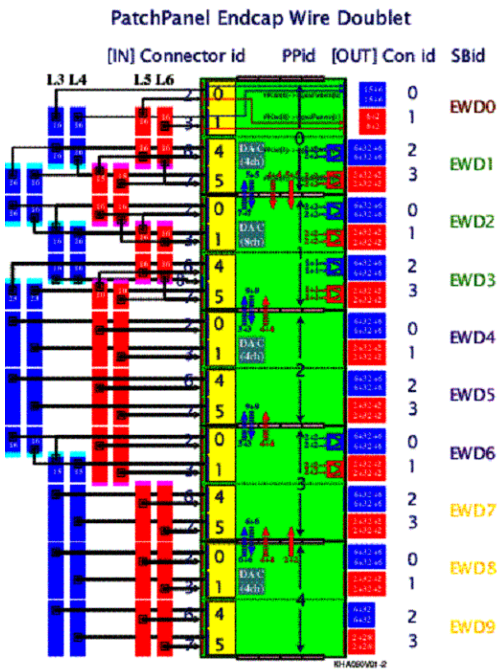


図 5.8: Endcap Wire Doublet PatchPanel

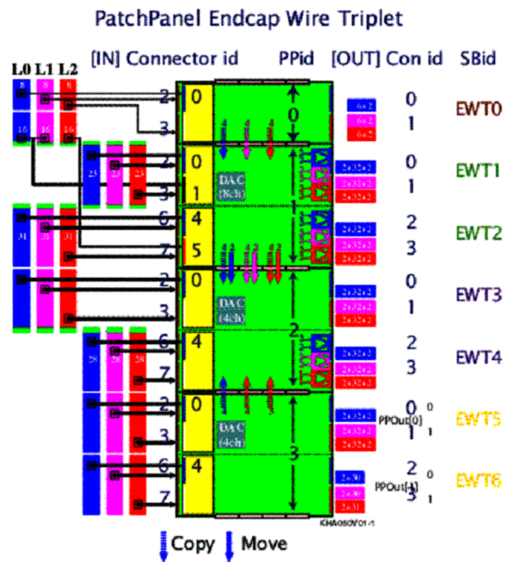


図 5.9: Endcap Wire Triplet PatchPanel

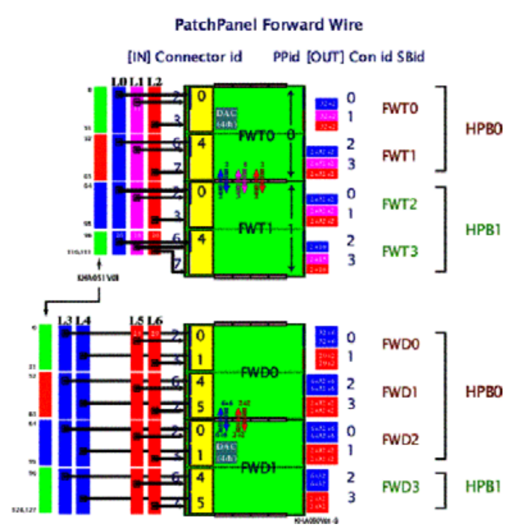


図 5.10: Forward Wire PatchPanel

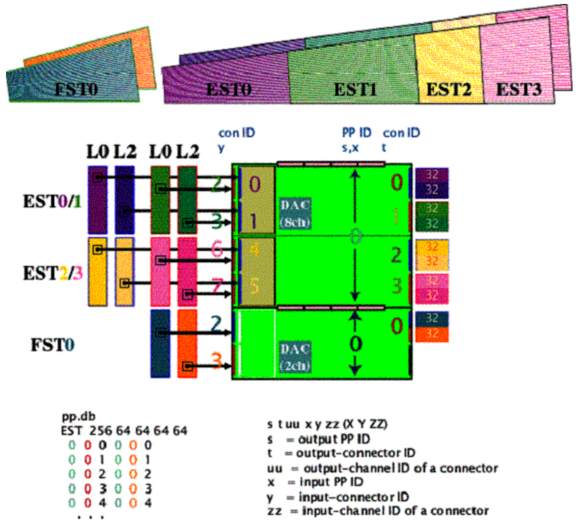


図 5.11: Strip Triplet PatchPanel

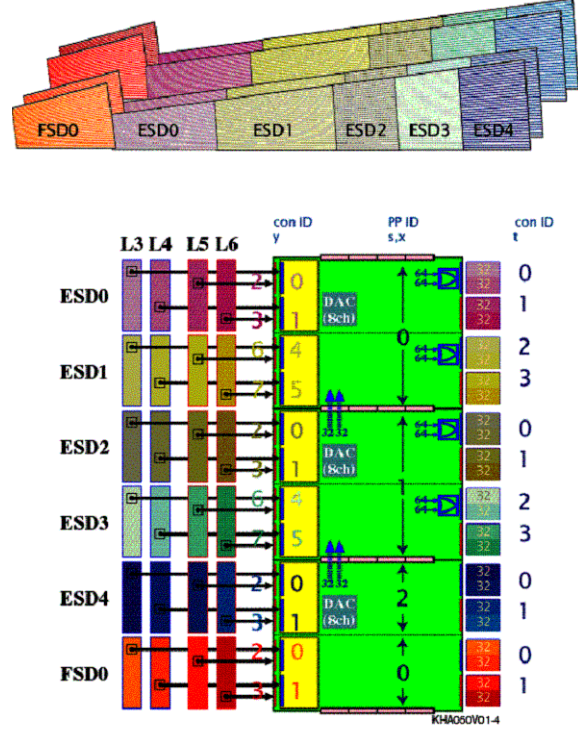


図 5.12: Strip Doublet PatchPanel

SlaveBoard

Triplet、2Doublet それぞれのコインシデンス、デクラスタリングを実装する。また、出力は High-PtBoard と StarSwitch の双方へ転送される。表 5.1 に示すように、WireDoublet、WireTriplet、StripDoublet、StripTriplet の 4 種類のタイプがあり、それぞれマトリックスや入出力形式が異なる。EI/FI は今後実装される予定であるが、現時点で導入されていない。実際に実装されたコインシデンスマトリックスとそのロジックを、Doublet は図 5.13、図 5.14、WireTriplet は図 5.15、StripTriplet は図 5.16 にそれぞれ示す。これらのマトリックスには、全層ヒットを要求するコインシデンスのオプションを実装した。また、図 5.17 に示すような、クラスターを 1 トラックとして処理するための機構であるデクラスタリングも実装されている。最後にチャンネルの単位について捕捉する。SlaveBoard 以降のトリガーデータに含まれる位置や δ は、マトリックスの図から分かるように、wire-ganging や strip の stagger によって 2 倍もしくは、3 倍の分解能になっている。

Type	Input	Output	Coincidence
WDSB	Pivot:$(2+32+2)ch \times 2wire$ Middle:$(6+32+6)ch \times 2wire$	$(4(\delta R)+5(R)) \times 2(A,B)$	3/4 or 4/4 $low-P_T(\delta R=\pm 7)$
SDSB	Pivot:$32ch \times 2strip$ Middle:$32ch \times 2strip$	$(3(\delta\phi)+5(\phi)) \times 2(A,B)$	3/4 or 4/4 $low-P_T(\delta\phi=\pm 3)$
WTSB	$(2+32+2)ch \times 3wire$	$(1+5(R)) \times 3hit$	2/3 or 3/3
STSB	$32ch \times 2wire \times 2TGC$	$(1+4(R)) \times 4hit \times 2TGC$	1/2 or 2/2

表 5.1: Slave Board ASIC の種類

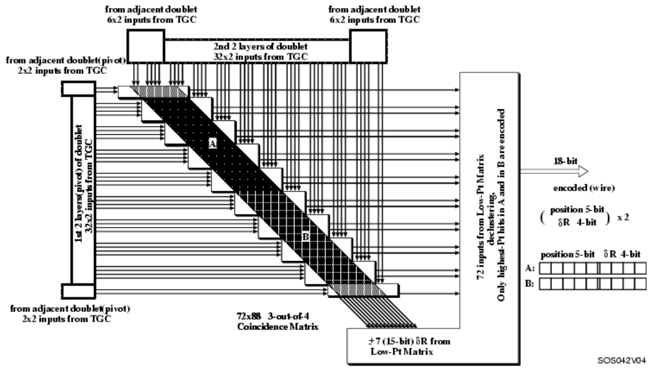


図 5.13: Doublet SlaveBoard coincidence matrix

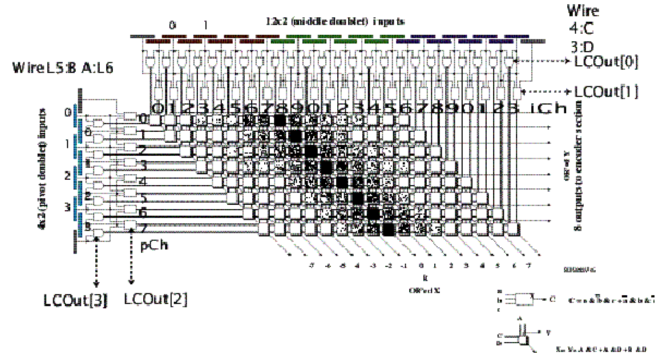


図 5.14: Doublet SlaveBoard coincidence logic

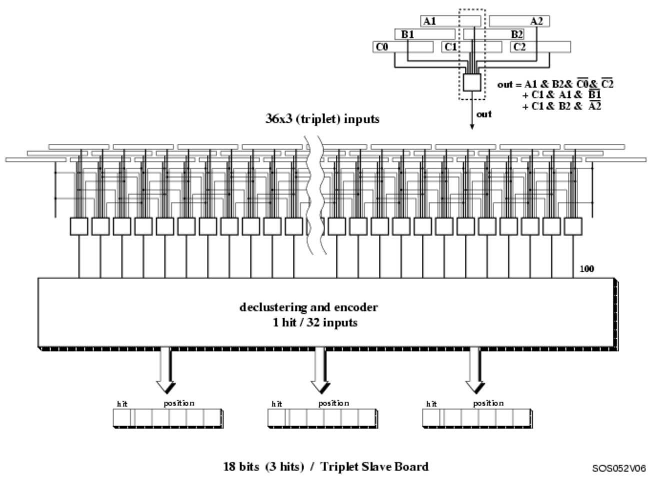


図 5.15: Wire Triplet SlaveBoard

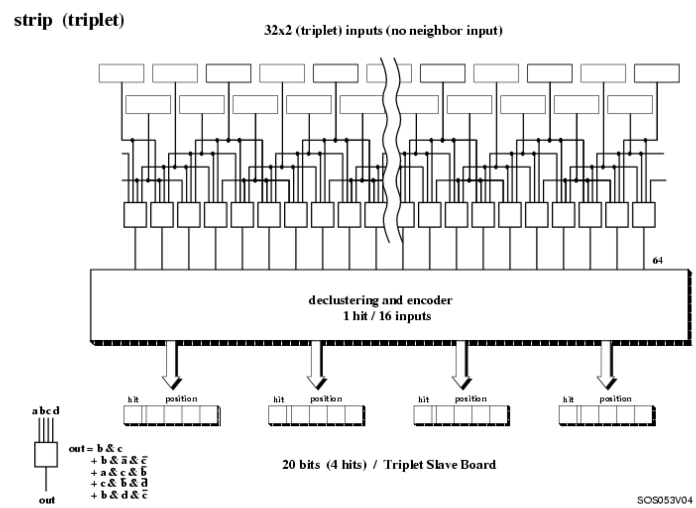


図 5.16: Strip Triplet SlaveBoard

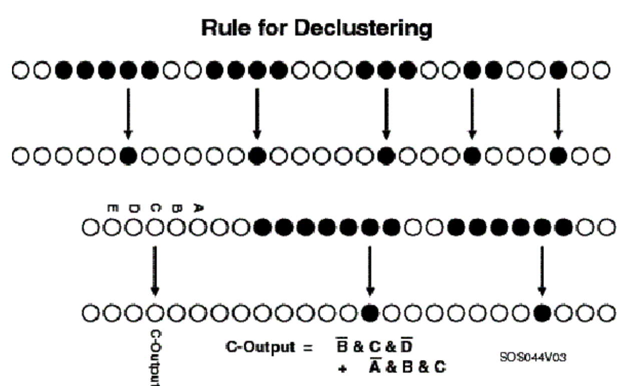


図 5.17: デクラスタリングのスキーム

HighPtBoard

Wire と Strip の 2 タイプあり、Doublet と Triplet 間のコインシデンスをとる。実装された両 HighPtBoard の配線を図 5.18、5.19 に示し、そのコインシデンスマトリックスを図 5.20、図 5.21 に示す。coincidence window は、Wire が ±15、Strip が ±7 である。ただし、図 5.21 から分かるように、Wire は端の 5channel が OR されているため、±20channel に相当する。

ただし、コインシデンスに失敗した場合には、SlaveBoard の δ 値が送られる。

また、位置情報は 16channel 幅の trigger 領域 (RoI に相当) を単位として出力される。

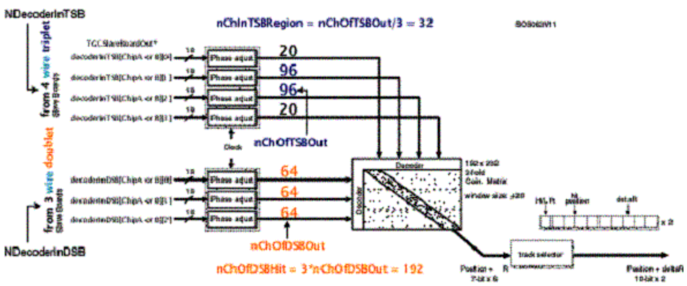


図 5.18: Wire HighPtBoard 配線図

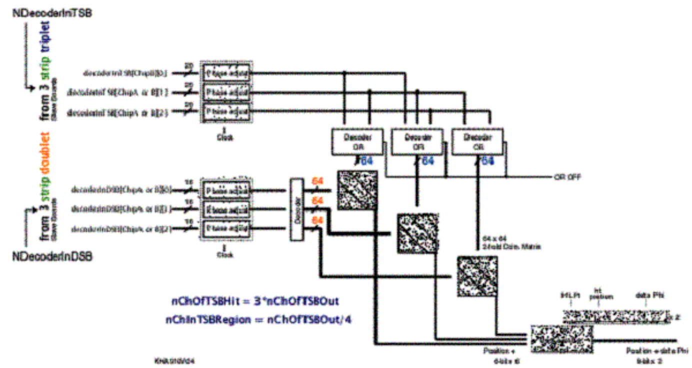


図 5.19: Strip HighPtBoard 配線図

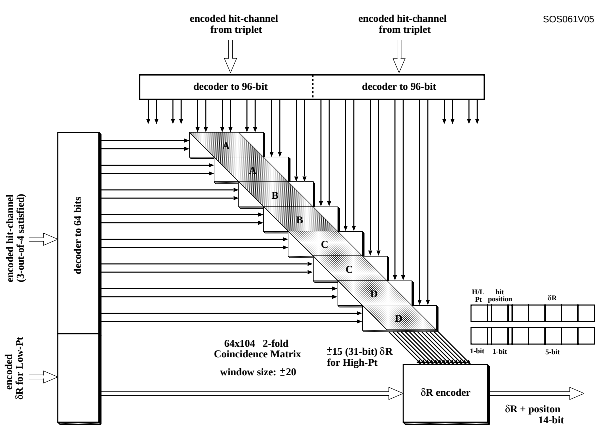


図 5.20: HighPtBoard coincidence matrix

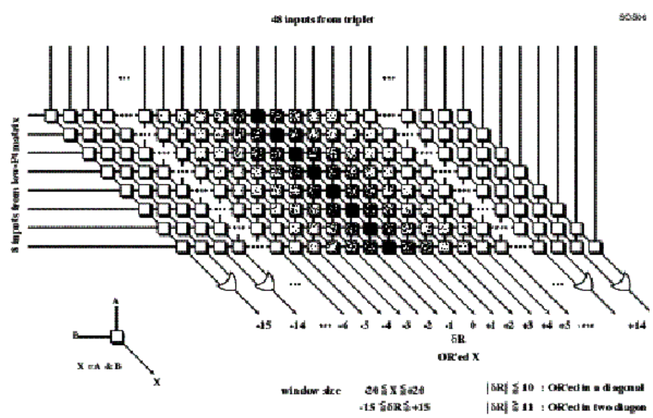


図 5.21: HighPtBoard coincidence logic

SectorLogic

Wire、Strip 両 HighPtBoard からの δ 値を元に、pT 判定を行なう。このとき、trigger 領域 (RoI) 毎に用意された Look up table(R-Phi マップ) を使用する。ただし、エンドキャップのチェンバー境界では、Wire に対応する Strip の領域が 2 つになり、これらの OR 処理を行なう。

SL のブロック図と trigger 領域 (RoI) の区分を、図 5.22、図 5.23 に示す。SL は最大 2 トラックまで選別した後、その RoI と pT レベルを Muctpi へ出力する。この Muctpi は、既に別のパッケージとして実装されている。最後に、トリガー部の coincidence window と track 数の constraint を図 5.24 に示す。

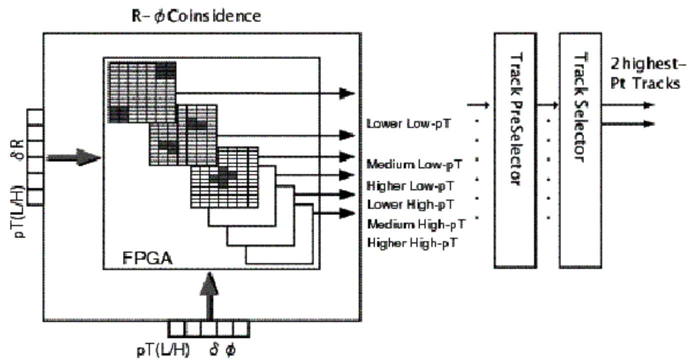


図 5.22: SectorLogic のブロック図

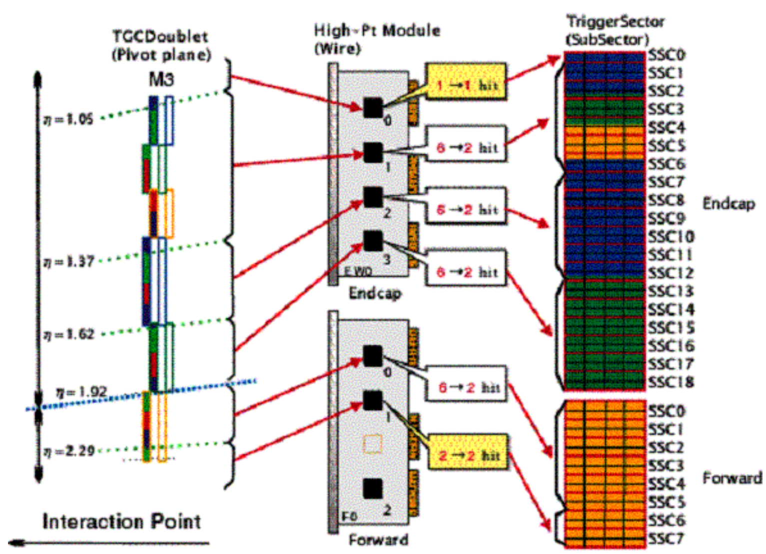


図 5.23: trigger 領域 (RoI)

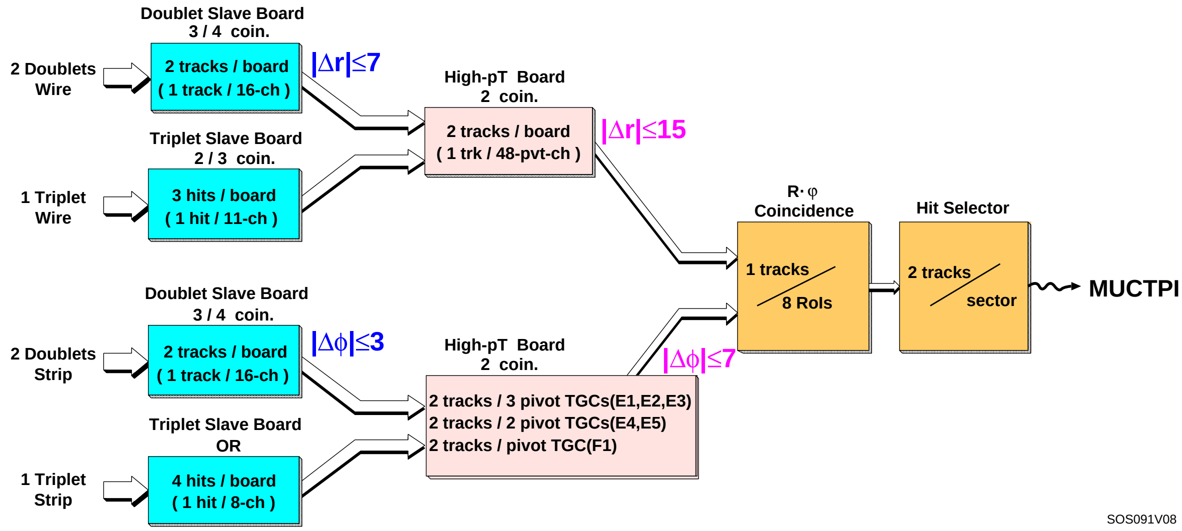


図 5.24: トリガー部の window と constraint

StarSwitch

ゼロサプレッションを行ない、決められた形式で ReadOutDriver に出力する。この形式は、ハードウェアと同一である。

ReadOutDriver

複数の StarSwitch の入力をイベントビルドし、出力する。この出力は HLT に接続される予定である。形式は、ハードウェアと同一であり、区別なく扱うことができる。

5.3　ハードウェアの検証

TGCのトリガーシミュレーションは、モジュールやボード、ASICやケーブルに至るまで、全てハードウェアと一対一対応するように設計されている。このため、TGCのトリガー処理、読み出し処理の任意の段階で、ハードウェアと比較、検証することができる。実際、以下のような場合にシミュレーションが用いられた。

1. ASICやボード、モジュールの設計を開発段階で検証する。
2. 作成したASIC、ボード、モジュールの動作検証を行なう。
3. TGCエレクトロニクスを通して、入力と出力を比較し、動作検証を行なう。(スライステスト)
4. 読み出したデータから、トリガー処理を再構築し、トリガー判定の検証を行なう。(ビームテスト)

ビームテストでの結果は、前章で述べた通りである。従って、ここでは、ASICの開発と検証、及びスライステストについて述べる。

表5.2は、トリガーシミュレーションによって得られる、各トリガー段階のデータである。例えば、SLBの検証では、SLB単体で各タイプの入出力をハードウェアと比較した。また、スライステストでは、シミュレーションと同じ入力をハードウェアに入れ、SlaveBoardの出力、HighPtBoardの出力、SectorLogicの出力を比較した。

モジュール	種類	段階
PatchPanel	WD, WT, SD, ST	入力、出力
PatchPanel	WD, WT, SD, ST	入力、出力
HighPtBoard	W, S	入力、出力
SectorLogic	-	入力、出力
StarSwitch	-	入力、出力
ReadOutDriver	-	入力、出力

表 5.2: 生成したトリガーシミュレーションのサンプル
WはWire、SはStrip、DはDoublet、TはTripletを示す

表5.3に生成したサンプルとそのテスト結果を示す。ヒットマップの全ての組合せを尽くすことはできない。このため、実際に処理されるようなトラックを基本とするサンプルを生成した。特に、デクラスタリングやコインシデンス条件を検証するため、cluster(隣接2channelを鳴らす)やinefficiencyも導入した。サンプル数は、1 SlaveBoardの出力の種類64(position)$\times$15(δR)、約10^3より十分に大きな2×10^4を単位とし、7.2×10^5イベントの生成を行なった。この中には、SLBのコインシデンス条件やSLBのバージョンを切替えたものが含まれる。

ハードウェアとの比較について説明する。トリガーロジックは、SLBを除いて、final designのモジュールが完成している。このため、SLBについて、既存のバージョン(ver.2)と開発中のバージョン(ver.4)の2種類のサンプルを作成した。この内、ビームテストでも使用した既存のバージョン(ver.2)については、SectorLogicまで通したスライステスト及び単体のテストで、実機との一致が確認された。スライステストの詳細と結果については、都立大 小松[10]、都立大 豊島[8]、東大 渋谷[13]の修士学位論文にある。

開発中のバージョン(ver.4)については、ASICのロジックを記述するHDL(ハードウェア記述言語)を使用したシミュレーションにより、HDLで設計したSLBがトリガーシミュレーションの結果と一致する出力を出すことが確認された。このSLBの完成後、今度は実機での検証が行なわれる予定である。

種類	サンプル	digitizer	SLB	SLB logic	サンプル数	実機	HDL
track	1,2,3 track	1,2,3 hit/layer	ver.2	1/2,2/3,3/4	20k×3	一致	-
track	1,2,3 track	1,2,3 hit/layer	ver.2	2/2,3/3,4/4	20k×3	-	-
track	1,2,3 track	cluster,inefficiency	ver.2	1/2,2/3,3/4	20k×3	-	-
track	1,2,3 track	cluster,inefficiency	ver.2	2/2,3/3,4/4	20k×3	-	-
random	2,4,6 hit/layer	-	ver.2	1/2,2/3,3/4	20k×3	-	-
random	2,4,6 hit/layer	-	ver.2	2/2,3/3,4/4	20k×3	-	-
track	1,2,3 track	1,2,3 hit/layer	ver.4	1/2,2/3,3/4	20k×3	-	一致
track	1,2,3 track	1,2,3 hit/layer	ver.4	2/2,3/3,4/4	20k×3	-	一致
track	1,2,3 track	cluster,inefficiency	ver.4	1/2,2/3,3/4	20k×3	-	一致
track	1,2,3 track	cluster,inefficiency	ver.4	2/2,3/3,4/4	20k×3	-	一致
random	2,4,6 hit/layer	-	ver.4	1/2,2/3,3/4	20k×3	-	一致
random	2,4,6 hit/layer	-	ver.4	2/2,3/3,4/4	20k×3	-	一致

表 5.3: 生成したトリガーシミュレーションのサンプル
SLB logic の項は StripTriplet,WireTriplet,Doublet で要求するコインシデンス条件を示す

5.4 δR、$\delta\phi$ 値の評価

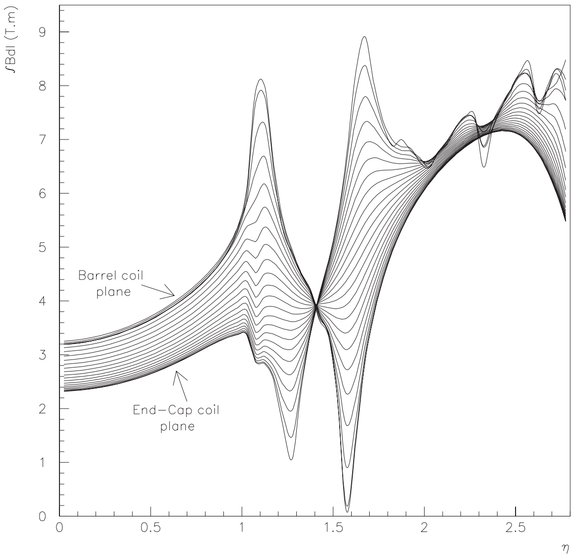
HighPtBoard のコインシデンスマトリックスが出力する δR、$\delta\phi$ はトリガー判定モジュールである SectorLogic に送られる。SectorLogic は、この δR、$\delta\phi$ を元に pT 判定を行なう。この判定には、δR、$\delta\phi$ と pT の関係示す R-Phi マップと呼ばれる Look up table を使用する。複雑なトロイダル磁場、TGC のジオメトリーにより、これらの関係は一様ではない。従って、トリガー判定を行なう領域 (subsector) 毎に、それぞれ独立なマップを用意する必要がある。full simulation と開発した trigger simulator により、pT と δR、$\delta\phi$ の関係を求め、実際に R-Phi マップを作成した。

5.4.1 δR、$\delta\phi$ 値

使用した full simulation は、Geant3 をベースに ATLAS のジオメトリー、物質、磁場が組み込まれている。また、TGC の digitizer には最新のデータを反映させた。LVL1 のトリガー閾値として要求される 6GeV〜20GeV 程度の pT をもつミューオントラックを生成し、trigger simulator に入力した。

δR、$\delta\phi$ のトリガー領域に対する依存性は、磁場分布、TGC のジオメトリーにより発生する。

1. 図 5.25 に示すように、ATLAS のトロイダル磁場は η 方向に比較的大きな依存性をもつ。
2. 図 5.26 に示すように、ATLAS のトロイダル磁場は ϕ 方向にも強度をもち、マグネットの配置からオクタント周期である。
3. TGC セクターのジオメトリーは、ϕ 方向にフォワードセクター、バックワードセクターの 2 種類の z 位置がある。このずれ幅は、Doublet もしくは Triplet モジュールの厚さである。エンドキャップでは、1/48 周期、フォワードでは、1/24 周期である。
4. TGC セクター内のチェンバーのジオメトリーは、η 方向に back、front の 2 種類の z 位置をとる。3 と併せて、同一層で 4 つの z 位置をとる。ただし、セクター内のずれは、channel の OR や stagger を含めて吸収されている。
5. ワイヤーは直線に張られるため、チェンバー中央と端では、channel の R 値が異なる。



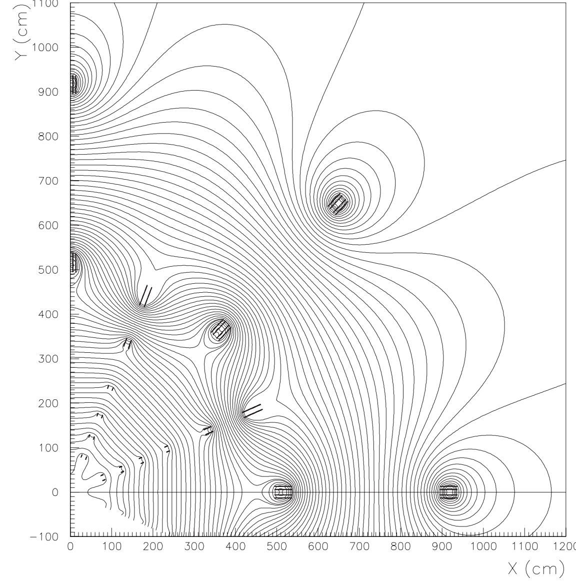


図 5.25: η 方向の積分磁場強度

図 5.26: z=10.5m でのトロイダルマグネットの磁束

TGC のトリガーロジックの確認と、δR、$\delta\phi$ 値の考察のため、TGC の A side 全 η、ϕ 領域に、数種類の pT をもつシングルミューオンを生成させた。このとき、多重散乱等の物質との相互作用を含めてシミュレーションを行なった。

その結果、上述したトロイダルの磁場構造、TGC の z 位置により δR、$\delta\phi$ 値が複雑に変化することが分かった。確認のため、第一近似として、フォワードで 1/4 周期、エンドキャップで 1/8 周期、ϕ 方向に 4subsector の領域をまとめた δR、$\delta\phi$ 分布を以下で示す。図 5.27 に示すように、trigger 領域 (subsector) は η の小さい方から昇順に番号を振り、エンドキャップは 0 から 36、フォワードは 0 から 15 の subsector における値を示す。また、トロイダル磁石を水色の領域で示す。

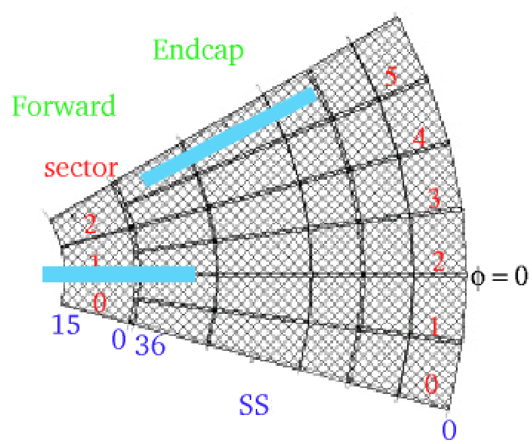


図 5.27: Sector と SS(subsector) の numbering

まず、図 5.28 に Forward 領域での δR 値を示す。pT 値の減少とともに、subsector(SS) でほぼ一様に δR の値が増大する。pT=6GeV で window ±15 の範囲にちょうど収まることが分かる。

また、図 5.29 に ϕ 方向の Sector 毎の変化を示す。pT は 10GeV である。比較的安定したエンドキャップトロイダルの磁場構造により、δR の振る舞いはほとんど変らない。ただし、ϕ 方向の sector 一つおきに δR の値が 2 前後異なる。これは、ϕ 方向に z 値の異なる forward sector、backward sector で構成されていることによる。これらのセクターの z 位置の差は、Triplet で 177mm、Doublet で 125mm である。従って、両セクターで原理的に 52mm$\times \tan\theta$ 程度のずれが生じる。これは、ほぼ wire-ganging の 1channel 分 ($\delta = 2$) に相当する。

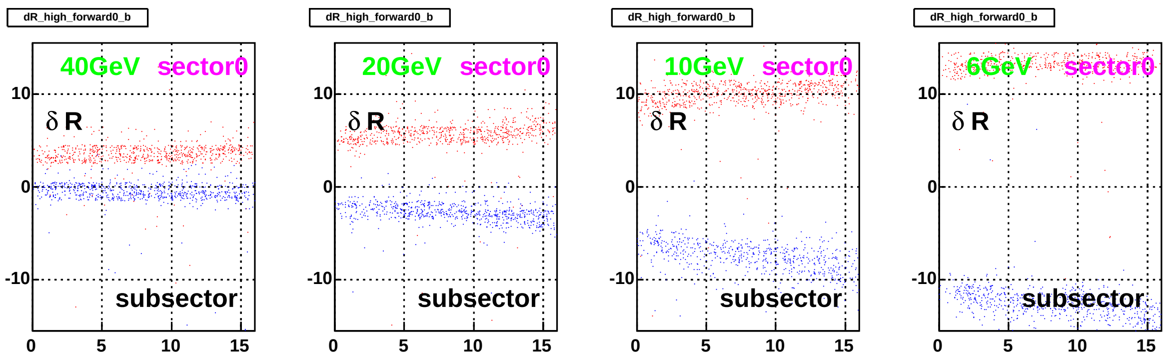


図 5.28: Forward δR 値 (赤：μ^+、青：μ^-)

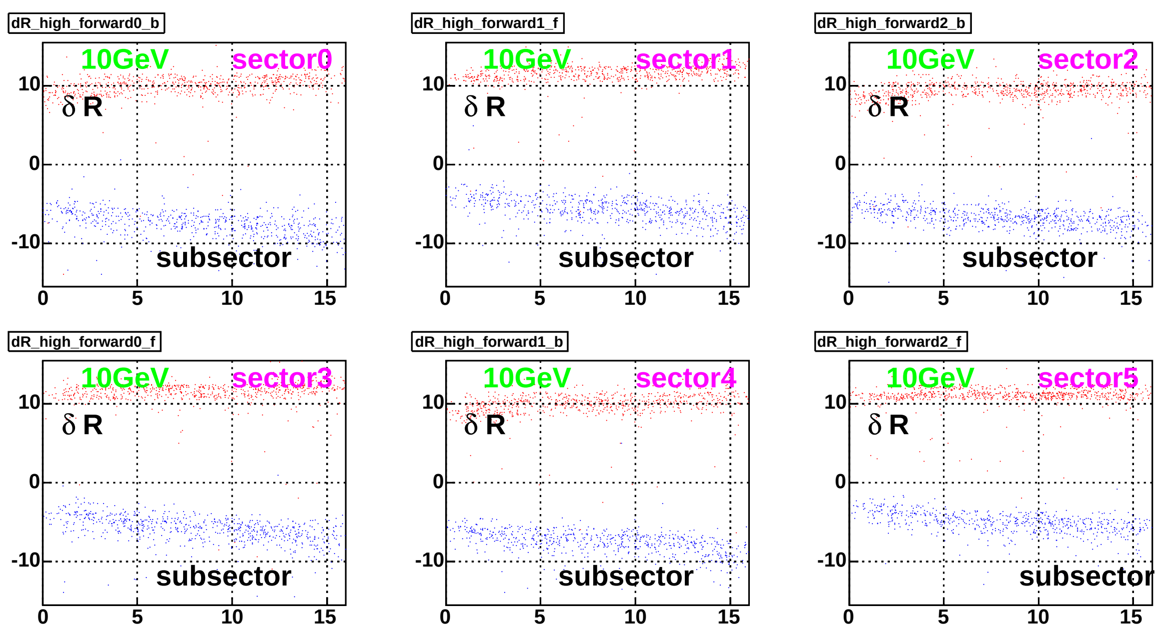


図 5.29: Forward δR 値 (赤：μ^+、青：μ^-)

次に、Endcap 領域での δR の分布を図 5.30 に示す。Forward 領域と同様に pT に対して分解能があり、pt=6GeV で window の上限 ($\delta = 15$) に近付く。Endcap での η 方向の磁場構造は、バレルトロイダルとエンドキャップトロイダルのオクタント構造により変化が激しい。この 2 つのトロイダルは 1/16 ずれて交互に設置される。従って、図 5.31 に示すように、subsector 12、subsector 23 あたりで δRが交互に増減する。このとき、磁場の強い領域では、10GeV で window の上限値をとる。逆に、subsector 10〜14 (sector 1〜2)subsector 10〜25 (sector 4〜5) の磁場の弱い領域では、pT の分解能が低下する。

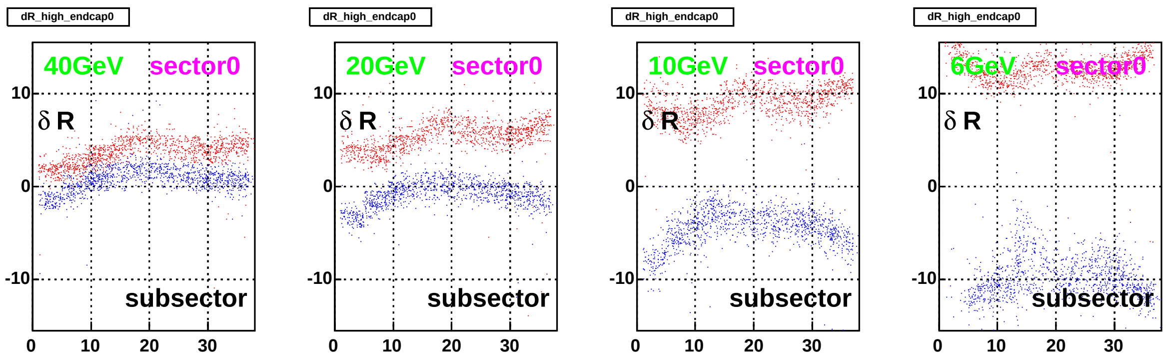


図 5.30: Endcap δR 値 (赤：μ^+、青：μ^-)

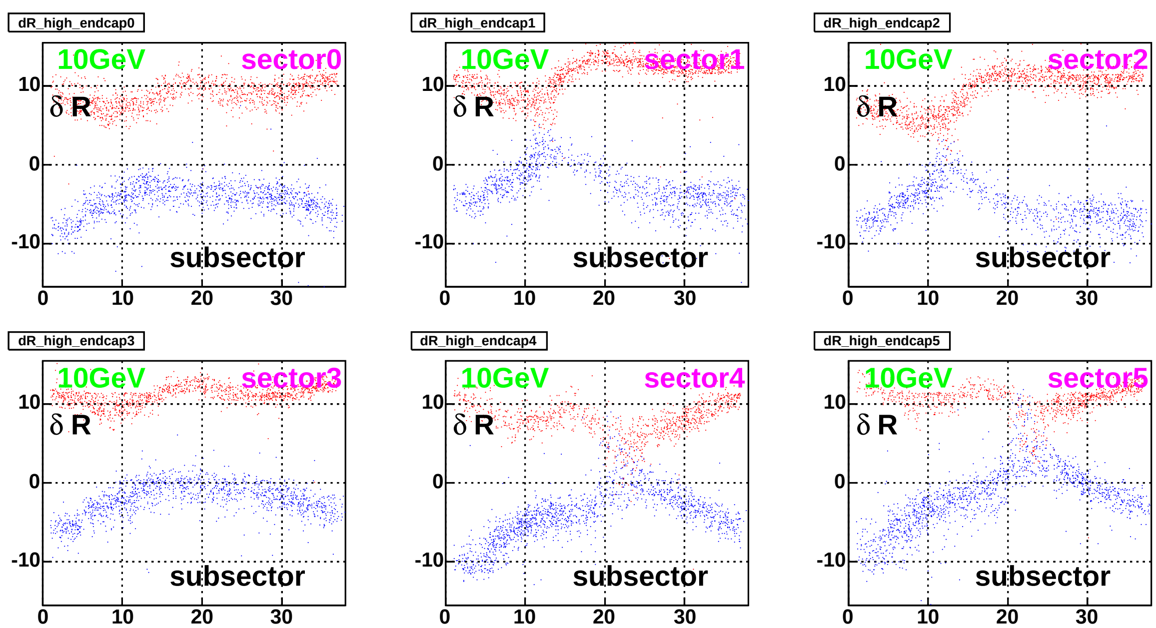


図 5.31: Endcap δR 値 (赤：μ^+、青：μ^-)

ϕ 方向は non-bending direction であるが、トロイダルのオクタント構造により $\delta\phi$ をもつ領域がある。まず、Forward 領域での $\delta\phi$ 値を図 5.32 に示す。pT の分解能はもたないが、pT=6GeV では η の大きい領域で $\delta\phi$ 値をもつ。また、図 5.33 に示すように、トロイダルの周期によることが分かる。

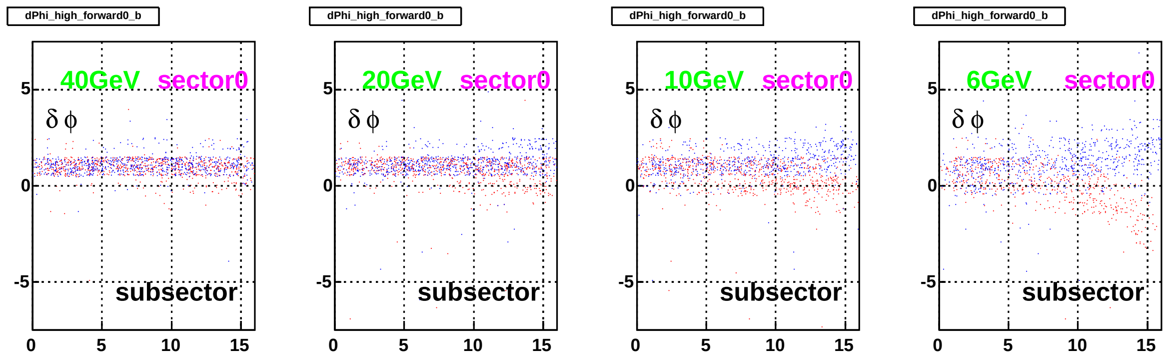


図 5.32: Forward $\delta\phi$ 値 (赤：μ^+、青：μ^-)

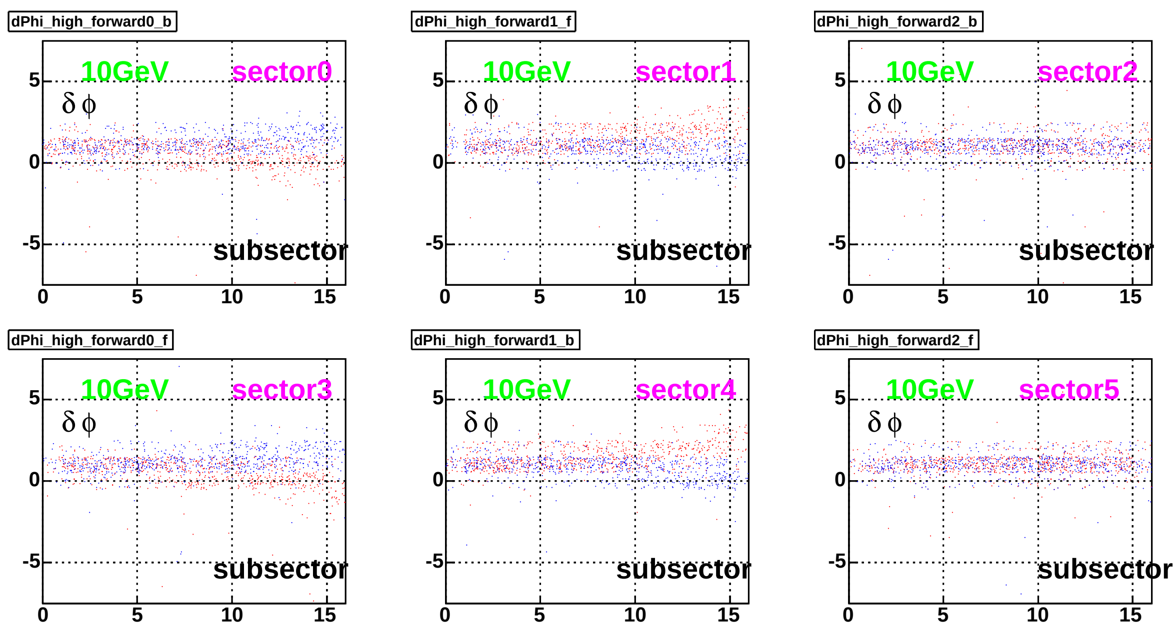


図 5.33: Forward $\delta\phi$ 値 (赤：μ^+、青：μ^-)

図 5.34 は、Endcap 領域での $\delta\phi$ 値である。バレル及びエンドキャップの磁石のために、大きな $\delta\phi$ 値をもち、エンドキャップの中央部では、pT=6GeV で window ±7 を越える。また、図 5.35 に示されるように、オクタント周期で激しく変化することが分かる。

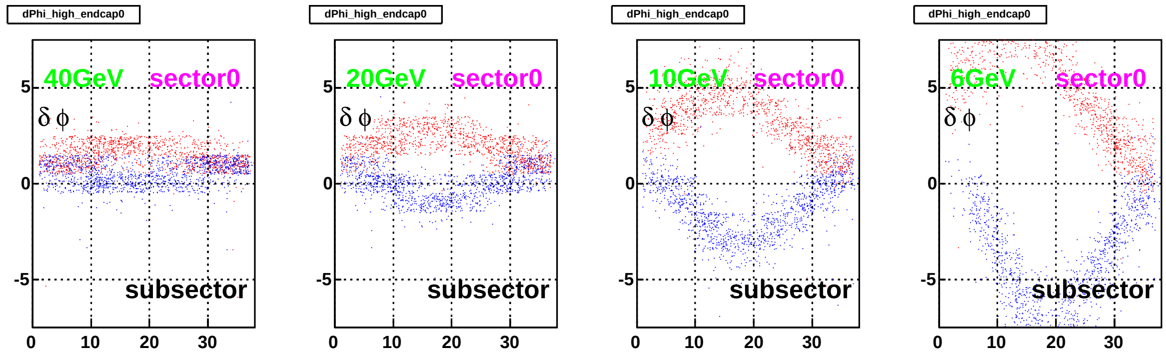


図 5.34: Endcap $\delta\phi$ 値 (赤：μ^+、青：μ^-)

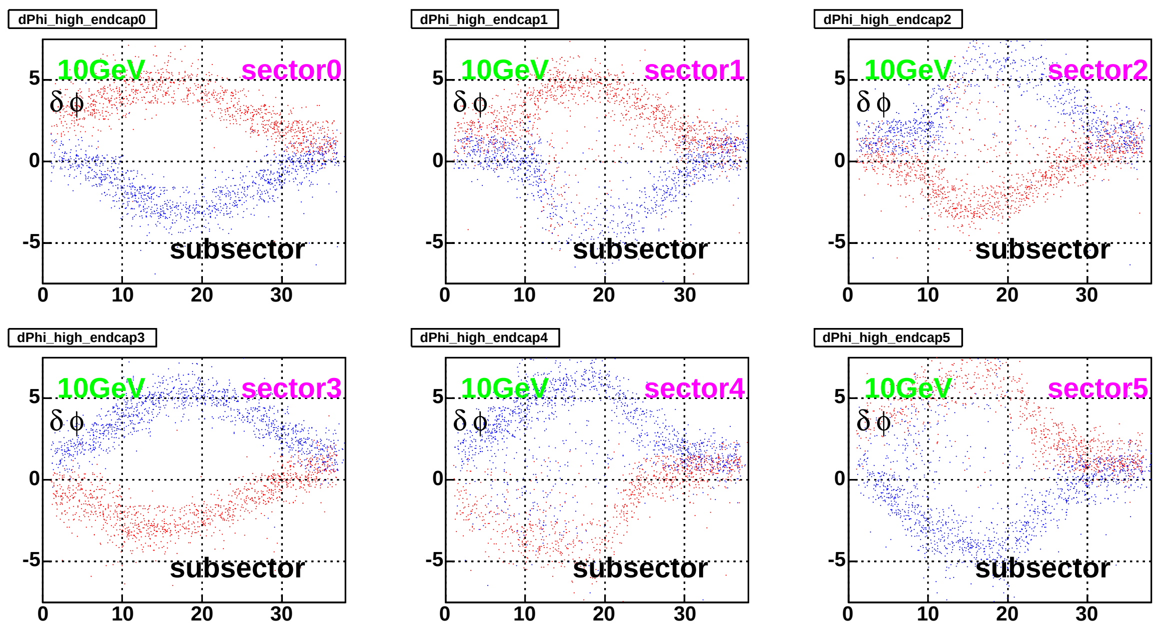


図 5.35: Endcap $\delta\phi$ 値 (赤：μ^+、青：μ^-)

また、トリガー efficiency を、

$$\frac{|\delta R| <= 15, |\delta\phi| <= 7\text{でコインシデンスされたイベント}}{\text{生成したイベント数}}$$

とすると、各 pT の μ^+, μ^- のトリガー efficiency は表 5.4 のようになる。

pT(μ+)	efficiency	pT(μ−)	efficiency
+40GeV	99.1%	-40GeV	99.5%
+20GeV	99.2%	-20GeV	99.3%
+10GeV	98.6%	-10GeV	98.6%
+6GeV	79.1%	-6GeV	86.1%

表 5.4: トリガー efficiency

pT 10GeV 以上では、99%前後である。磁場及び物質との相互作用で coincidence window をはずれるイベント、あるいは、Doublet と Triplet でセクターをまたぐイベントで約 1%の inefficiency が発生する。6GeV ではさらに、エンドキャップの磁場が強い領域で coincidence window を越えるイベントが、1 割〜2 割発生する。

5.4.2 R-Phi マップ

full simulation と trigger simulation により求められた δR、$\delta\phi$ 値から、R-Phi マップを作成する。このマップは trigger 領域毎に作成され、SectorLogic の FPGA に実装される。trigger 領域は、エンドキャップで 96sector×37(η)×4(ϕ)=14356、フォーワードで 48sector×16(η)×4(ϕ)=3072、計 17356 にのぼる。

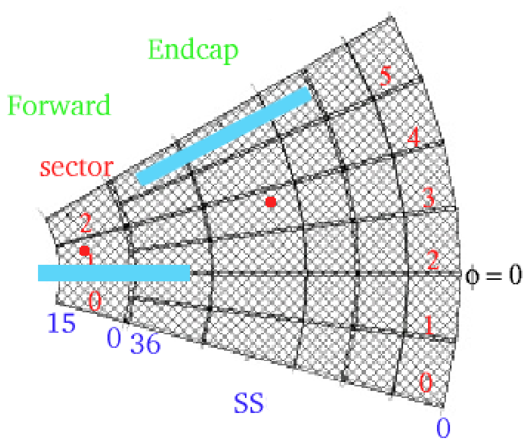


図 5.36: subsector のサンプル

ここでは、図 5.36 に示すエンドキャップとフォワードの各 1subsector をとり、具体的に R-Phi マップの作成を説明する。選択した subsector は、Endcap subsector 14(ϕ : 11.25 °〜13.10 °) と Forward subsector 9(ϕ : 7.5 °〜11.25 °) である。また、pT の閾値として 6GeV、8GeV、10GeV、15GeV、20GeV、40GeV の 6 つを選択した（閾値 40GeV:黒、20GeV:赤、15GeV:緑、10GeV:青、8GeV:ピンク、6GeV:水色)。以下、R-Phi マップ作成の手順を示す。

1. シミュレーションで各 pT の δR-$\delta\phi$ マップを得る (左端の図)。ただし、40GeV 閾値については、100GeV の分布を加えた。(各 pT のイベント数は、800。)

2. 各セルで最も頻度の高い pT を、そのセルの pT 値とする (中央の図)。ただし、pT のイベント数の 1%に満たない場合は、pT を割り当てなかった。

3. pT 間に挟まれる領域は低い方の pT 閾値に含まれるべきである。従って、次の補正を加える。周囲 8 セル中 4 セルが既に pT が割り当てられている場合、この内最も低い pT をこのセルの pT とする (右端の図)。

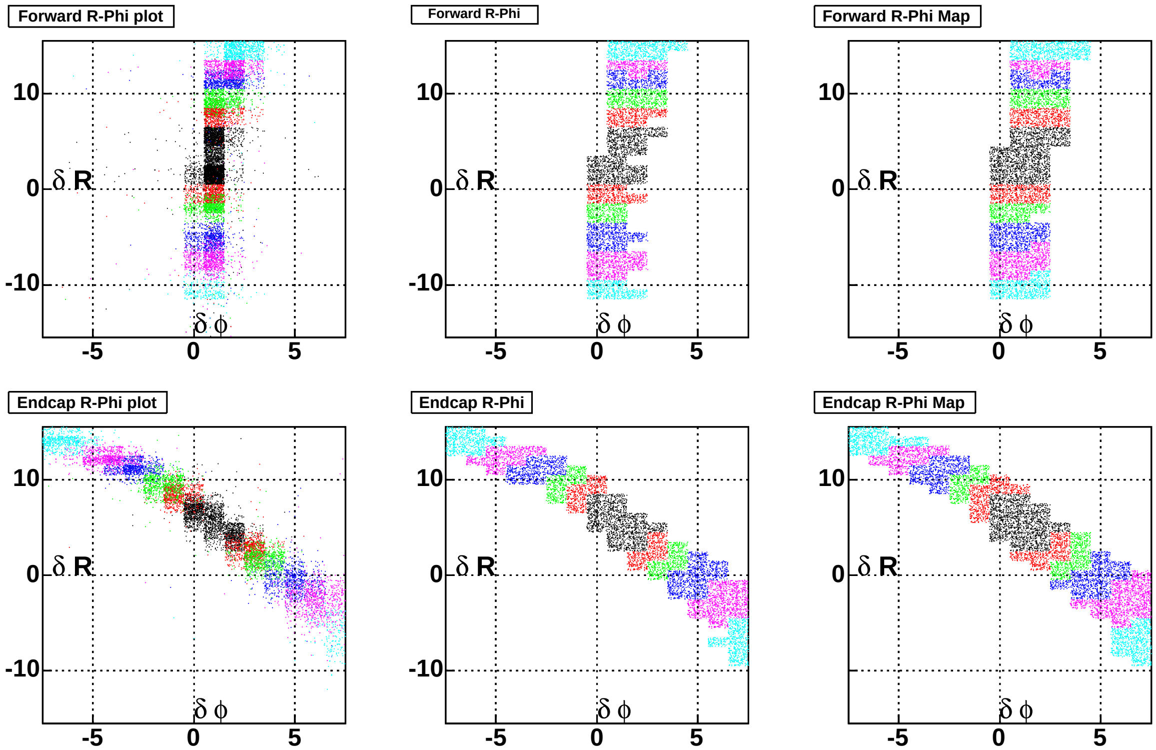


図 5.37: R-Phi マップ (上段 Forward、下段 Endcap)

以上の手順で得られた R-Phi マップは、6GeV から 20GeV でよく δR-$\delta\phi$ 領域を分割している。

5.4.3 pT threshold

full simulation により作成された R-Phi マップを、実際に SectorLogic に実装した時の pT 判定能力を検証する。前節の R-Phi マップに、full simulation で生成したイベントを入力した。生成したミューオンは、pT=5,6,7,8,9,10,12,15,17,20,30,40,100GeV で、Forward には μ^- を、Endcap には μ^+ をそれぞれ使用した。full simulation には物質との相互作用も含まれる。トリガーされたイベントが、各閾値を越える割合を以下に示す（閾値 40GeV:黒、20GeV:赤、15GeV:緑、10GeV:青、8GeV:ピンク、6GeV:水色）。図 5.38 に Forward の subsector の efficiency 分布、図 5.39 に Endcap の subsector の efficiency 分布をそれぞれ示す。

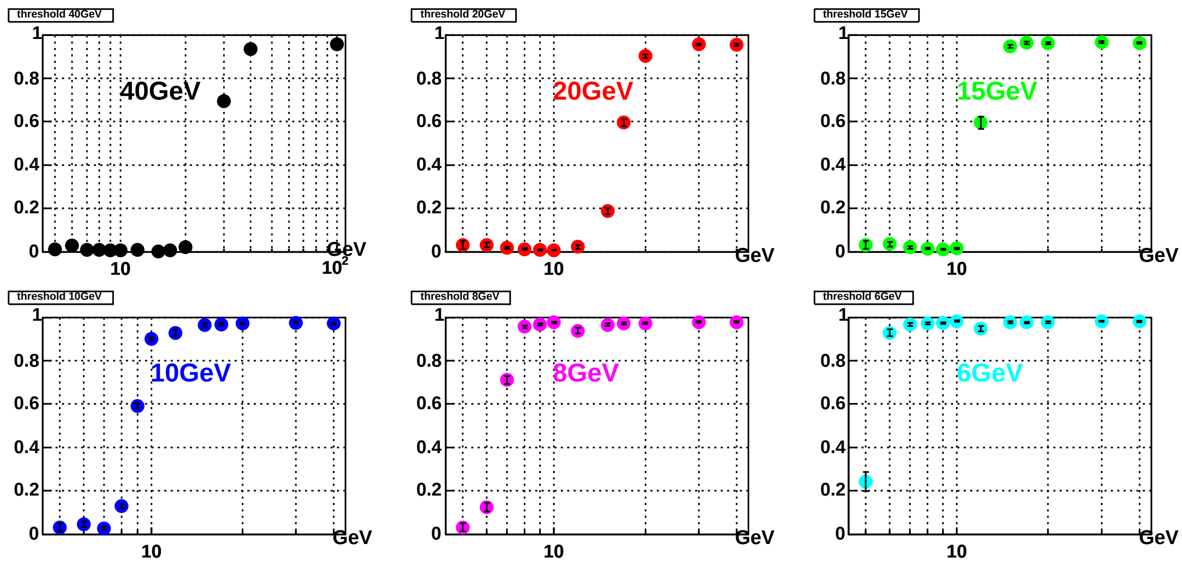


図 5.38: Forward：各 pT threshold における efficiency

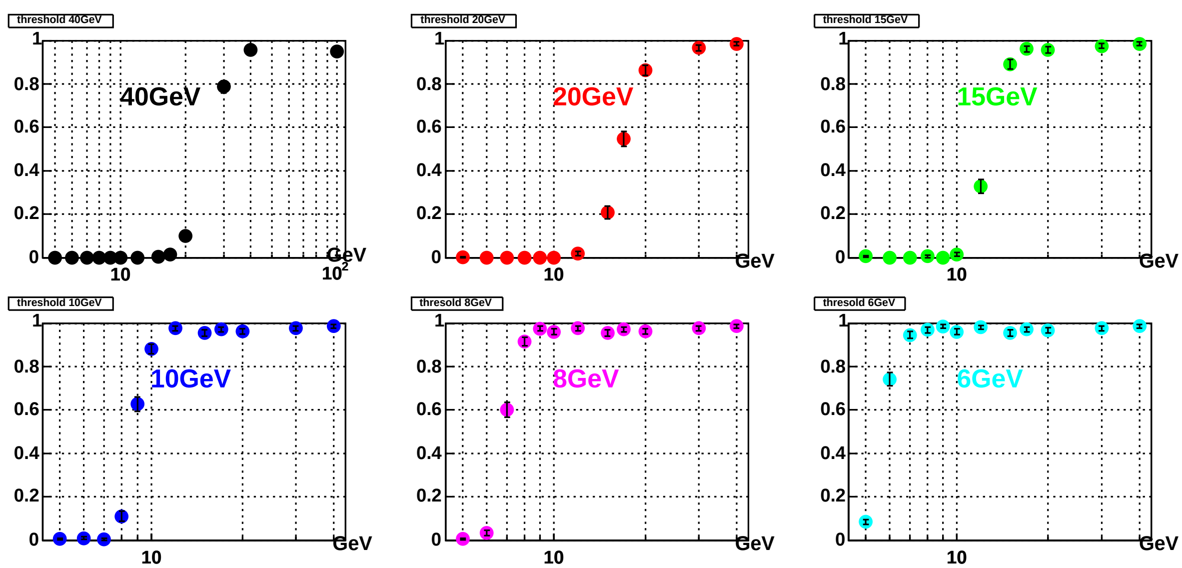


図 5.39: Endcap：各 pT threshold における efficiency

エンドキャップ、フォワードとも与えられた閾値でよく pT 判定がなされている。efficiency が 0.1〜0.9 に遷移する pT の幅を表 5.5 に示す。LVL1 の閾値として要求される 6GeV〜20GeV の範囲で、1GeV から 5GeV の幅で pT を判定する。

6GeV	約 1GeV
8GeV	約 2GeV
10GeV	約 2GeV
15GeV	約 5GeV
20GeV	約 5GeV
40GeV	約 15GeV

表 5.5: efficiency 0.1〜0.9 の幅

5.4.4 まとめ

full simulation と trigger simulation の結果、pT が 6GeV 以上のミューオンをほぼ確実にトリガーすることを確認した。coincidence window を越えるイベントは、エンドキャップ領域で、磁石近傍の非常に磁場の強い領域を通過する場合に発生する (1 割〜2 割)。また、full simulation により pT と δR、$\delta\phi$ 値の関係を示す R-Phi マップを作成し、トリガースキームを完成させた。このマップを実装したときの pT 判定能力を検証し、LVL1 が閾値として要求する 6GeV〜20GeV で、1GeV〜5GeV の幅で pT を判定することを確認した。ただし、エンドキャップの磁石間の磁場の弱い領域では、pT 分解能が低下する。

第6章　まとめ

CERN、SPS のミューオンビームを使用し、TGC システムのビームテストによる総合評価を行なった。この結果、TGC エレクトロニクスが TGC チェンバーの信号を正しく処理し、期待するトリガー信号を出力することを検証した。また、delay や gate を調整することで、25ns ミューオンビームを正確にバンチ識別し、トリガー検出器としての能力を備えていることを確認した。さらに、MuonCTPI との統合を行ない、ミューオンシステムのトリガーとして機能することを確認した。ただし、使用した一部のモジュールは、プロトタイプである。従って、final design を確定し、量産、組み込みに備えることが、今後の課題になる。この過程で、処理速度や安定性も十分に考慮する必要がある。また、さらに大規模な TGC システムを構築し、試験を行なうことが必要となる。

一方、開発したトリガーシミュレーションを用いて、TGC システムのトリガー能力を評価した。この結果、ほぼ全域で、6GeV 以上のミューオンをトリガーすることができることを確認した。ただし、一部の領域は磁場が非常に強く、6GeV のミューオンが coincidence window を越える (6GeV で 1 割〜2 割)。逆に磁場が弱く、pT 判定の分解能が悪い領域も存在する。また、TGC のトリガースキームは、シミュレーションで計算した R-Phi マップを、ハードウェアに組み込むことで完成する。実際に、R-Phi マップを作成し、TGC システムが 6GeV〜20GeV のミューオンに対して 1GeV〜5GeV の幅で pT 判定を行なうことを確認した。今後、イベントサンプルを増すことで、さらに詳細な検証を進める。

また、TGC のトリガーシミュレーションは、ATLAS トリガーシミュレーションの枠組で動作するように開発を行なった。従って、ATLAS トリガーシミュレーションの一部として、今後の High Level Trigger の研究に寄与することが期待される。

以上、ビームテスト及びシミュレーションによる総合評価から、エンドキャップのミューオントリガーシステムである TGC システムは、LVL1 トリガーとして要求されるエレクトロニクス及びトリガースキームを備えていると考えられる。

第7章　略語一覧

TGC エレクトロニクス略語

ASD ... Amp Shaper Discriminator
PP ... PatchPanel
SLB ... SlaveBoard
HPT ... HighPtBoard
SL ... SectorLogic
SSW ... StarSwitch
ROD ... ReadOutDriver
HSC ... HPT SSW Controller
CCI ... Control Configuration Interface
SPP ... Service PatchPanel
LVDS ... Low Voltage Differential Signaling

トリガーシステム略語

LVL1 ... level 1 trigger
L1A ... level 1 accept
ROB ... ReadOutBuffer
ROS ... ReadOutSystem
HLT ... HighLevelTrigger
EF ... Event Filter
CTP ... Central Trigger Processer
MuonCTPI ... Muon CTP Interface
TTC ... Timing Trigger Control
BCR ... Bunch Counter Reset
RoI ... Region of Interest

検出器略語

TGC ... Thin Gap Chamber
tripet ... TGC M1(triplet)
middle ... TGC M2(doublet)
pivot ... TGC M3(doublet)
RPC ... Resistive Plate Chamber
MDT ... Monitored Drift Tube
BIL ... Barrel Inner MDT
BML ... Barrel Middle MDT
BOL ... Barrel Outer MDT

参考文献

[1] *ATLAS Detector and Physics Performance Technical Design Report Volume 1.* CERN/LHCC 99-14, 25 May 1999.

[2] *ATLAS Detector and Physics Performance Technical Design Report Volume 2.* CERN/LHCC 99-15, 25 May 1999.

[3] *ATLAS First-Level Trigger Technical Design Report.* CERN/LHCC 99-14, 30 June 1998.

[4] P.Moreira J.Christiansen, A. Marchiro and T. Toil. *TTC_{rx} Reference Manual.* http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, June 2002.

[5] RD12 Project. *TTC-VMEbus INTERFACE $TTC_{vi} - MkII$.* http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/ LEVEL1/LVL1ctpttc.html, May 2000.

[6] 竹本享史. 東京大学 修士学位論文「ATLAS 実験ミューオントリガーシステム用 LSI の開発と統合評価テスト」. 2003 年 1 月.

[7] 香取勇一. 東京大学修士学位論文「アトラス実験ミューオントリガーシステム用 IC の開発」. 2001 年 1 月.

[8] 豊島克幸. 都立大学 修士学位論文「ATLAS 実験 Level1 エンドキャップミューオントリガシステムのビームテスト」. 2004 年 1 月.

[9] 戸塚真義. 信州大学修士学位論文「ATLAS 実験ミューオン検出器用トリガーシステム現実的シミュレーターの開発研究」. 2002 年 1 月.

[10] 小松知. 東京大学修士学位論文「ATLAS 実験におけるエンドキャップレベル１ミューオントリガーシステムの統合テスト」. 2003 年 1 月.

[11] 中村佳央. 東京大学修士学位論文「ATLAS 実験ミューオントリガー用リモートコントロールシステムの開発」. 2002 年 1 月.

[12] 里山典彦. 信州大学修士学位論文「ATLAS ミューオントリガーにおけるシミュレーターの開発」. 2003 年 1 月.

[13] 渋谷和弘. 東京大学修士学位論文「ATLAS 実験ミューオントリガー用検出器に用いる読み出しエレクトロニクスの開発及び統合テスト」. 2004 年 1 月.

謝辞

二年間の研究生活において、本研究を行なう機会と適切な指導並びに助言を頂いた指導教官小林富雄教授[a]に深く感謝致します。また本研究において、終始懇切丁寧な御指導と多くの助言を頂きました佐々木修氏[b]に深く感謝致します。また TGC エレクトロニクスグループにおいて、様々な御指摘と助言を頂いた新井康夫氏[b]、池野正弘氏[b]と狩野博之氏[a]、蔵重久弥氏[d]、坂本宏氏[a]、長野邦浩氏[b]、長谷川庸司氏[e]、福永力氏[c]、前野忠嗣氏[i]にも深く感謝致します。また様々な面で貴重な意見と御指導を頂いた近藤敬比古氏[b]、岩崎博行氏[b]、田中秀治氏[b]、石井恒次氏[d]、石野雅也氏[a]、川本辰男氏[a]、神前純一氏[b]、浅井祥仁氏[a]、上田郁夫氏[a]、田中礼三郎氏[h]、真下哲郎氏[a]他 ATLAS 日本グループの方々に深く感謝致します。TGC エレクトロニクスグループで共に研究を行ない議論した一宮亮氏[d]、辻伸介氏[f]、澁谷和弘氏[a]、作間考雄氏[g]、高田徳之氏[e]、豊島克幸氏[c]、藤井祐介氏[a]、野本裕史氏[a]、羽根八尋氏[a]にも深く感謝致します。研究生活を通じて惜しみない協力を頂いた田中純一氏[a]、戸谷大介氏[a]、南条創氏[a]、竹本享史氏[j]に感謝致します。

上記の方々の協力がなければ、私の研究生活は成り立たなかったと思います。最後に全ての方々に、心から感謝を申し上げたいと思います。

所属 :東京大学素粒子物理国際研究センター ($ICEPP$)[a]、高エネルギー加速器研究機構 (KEK)[b]
東京都立大学 理学研究科[c]、神戸大学 自然科学研究科[d]、信州大学 工学系研究科[e]
京都大学 理学研究科[f]、東京農工大学 工学系研究科[g]、岡山大学自然科学研究科[h]
$CERN$[i]、東京大学新領域創成科学研究科[j]