

LHC-ATLAS 実験 RUN 3 へ向けた レベル 1 ミューオントリガーにおける トリガー判定モジュールの設計

東京大学大学院理学系研究科物理学専攻
素粒子物理国際研究センター 修士課程1年

渡邊直樹

ICEPPシンポジウム, 長野県白馬

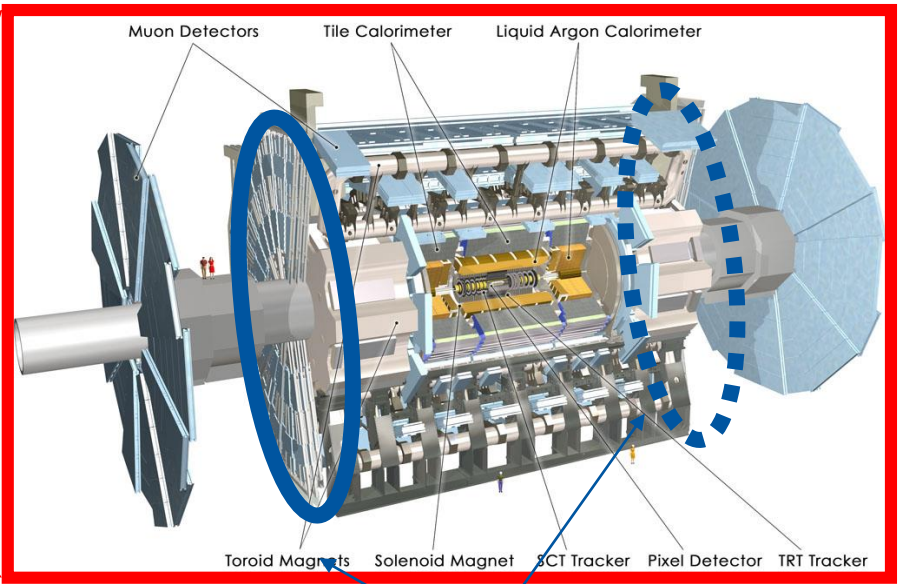
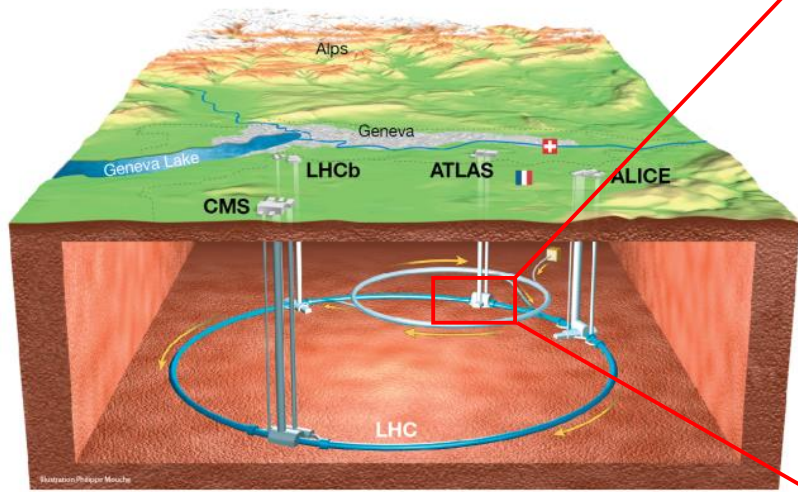
2015年2月9日

INDEX

1. LHC - ATLAS実験の概要
2. LHC - ATLAS実験アップグレード
3. 新 Sector Logic への要求
4. 新 Sector Logic 開発
5. 今後の展開

LHC-ATLAS 実験

バレル: 樽の側面
エンドキャップ: 底と蓋



Large Hadron Collider

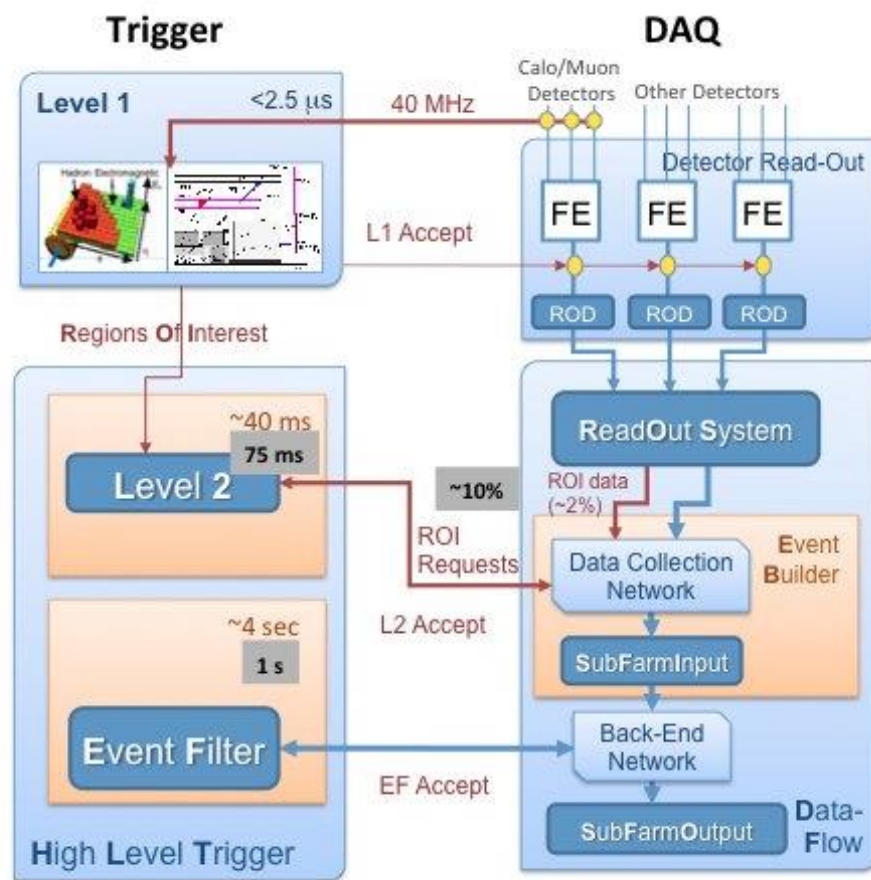
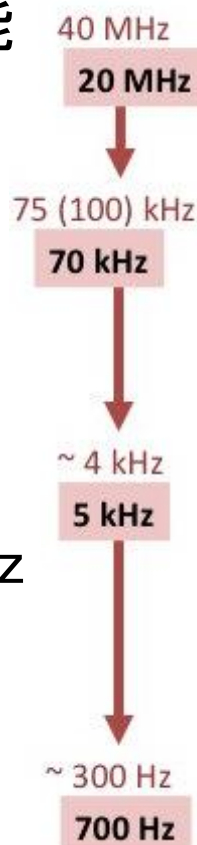
- 陽子・陽子衝突型加速器
- リング周長 : 26.7 km
- 衝突頻度 : 40.079 MHz
- 設計値
 - 重心系エネルギー : 14 TeV
 - 最大瞬間ルミノシティ : $1.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$

ATLAS 検出器

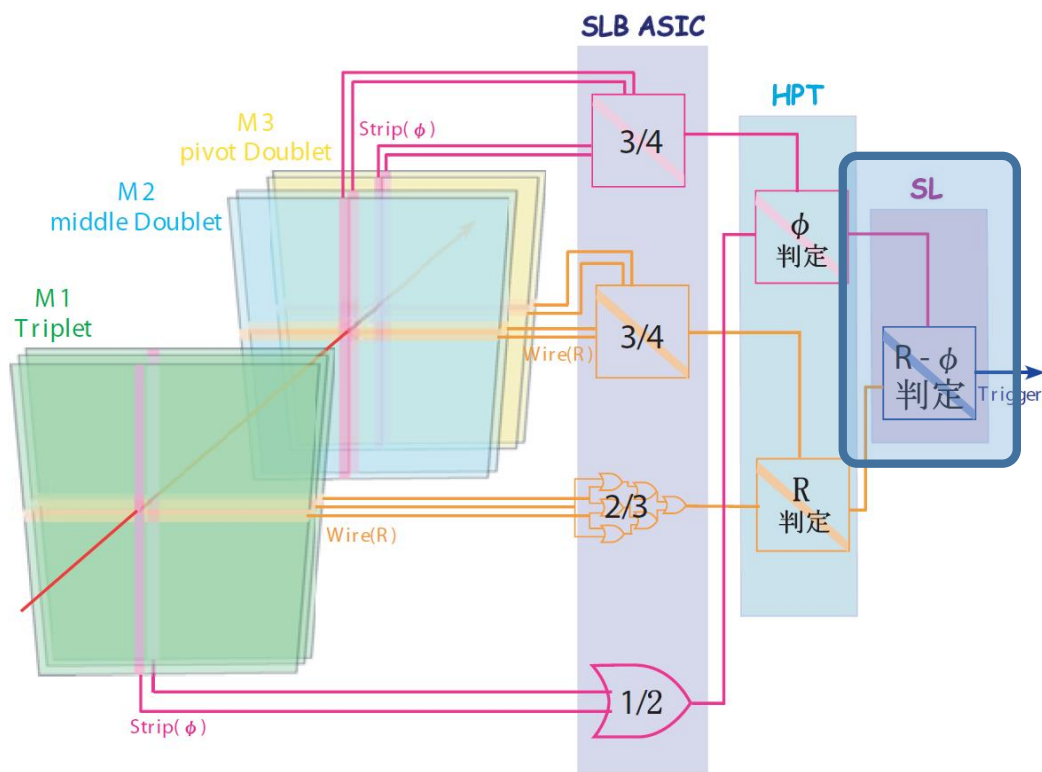
- 構成
 - 内部飛跡検出器 (Pixel, SCT, TRT)
 - カロリメーター (Electro Magnetic, Hadronic)
 - ミューオン検出器 (MDT, CSC, RPC, TGC)
- Higgs 粒子の精密測定や SUSY の探索

ATLAS のトリガーシステム

- 陽子バンチの交差頻度 : 40 MHz
 - 衝突の全保存は不可能
 - 多段トリガーを用いる
- レベル 1 トリガー :
 - 専用ハードウェア
 - 2.5 μ sec 以内に処理
 - Full bandwidth : 100 kHz
- 高レベルトリガー :
 - レベル 2 : ~ 4 kHz
 - イベントフィルタ : ~ 300 Hz



現行 TGC L1 ミューオントリガーシステム



現状では
TGC 3 ステーション
(M1, M2, M3) のみ
で運動量を判定している。

Sector Logic ミュオントリガー装置

- wire, strip情報をコ
インシデンス処
- 横運動量の判定,
ROIの決定
- 最終的な L1 ミュー
オントリガーが行
われる

課題: アップグレードでTrigger Rateが上がる

Muon Trigger Rate < 20kHz が目標。

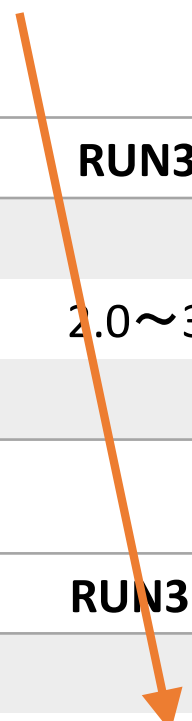
現状だと2030年に60kHzに上がる。

- LHC parameter

	RUN1 (2011~12)	RUN2 (2015春~)	RUN3 (2020~)
重心系 energy [TeV]	8	13~14	14
Luminosity [$\text{cm}^{-2}\text{s}^{-1}$]	0.77×10^{34}	$1.5 \sim 2.0 \times 10^{34}$	$2.0 \sim 3.0 \times 10^{34}$
バンチ間隔 [ns]	50	25	25

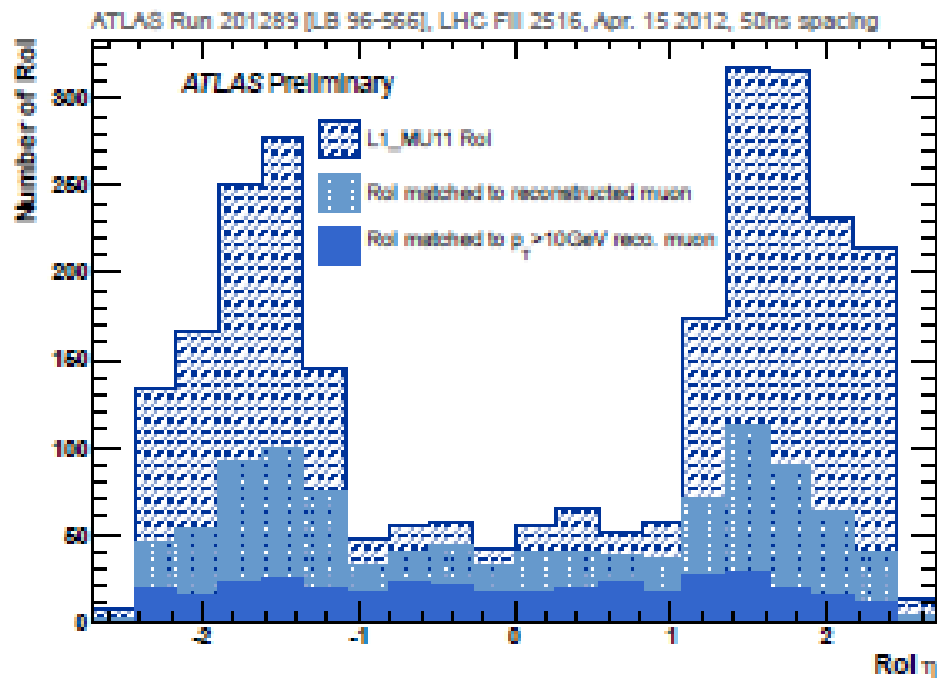
- ATLAS L1 Muon Trigger

	RUN1 (2011~12)	RUN2 (2015春~)	RUN3 (2020~)
p_T threshold [GeV]	15	20	20
Trigger rate [kHz]	9	34	60



約6割はfake

L1 Muon Trigger の約6割はfake. 衝突点以外からの荷電粒子。これを削減すれば Trigger Rateは4割まで下がる。



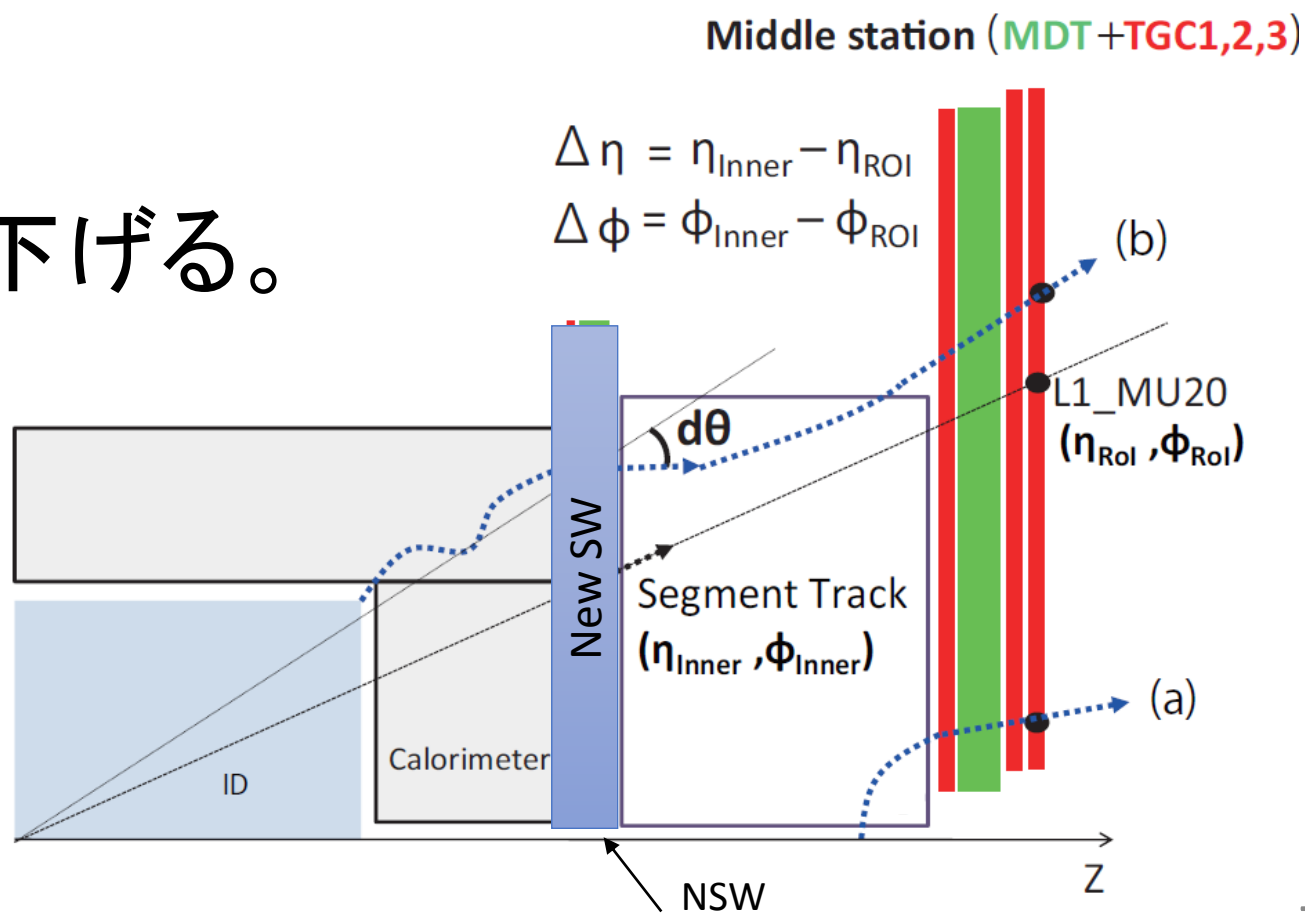
解決方法:新たな検出器New Small Wheel導入

RUN3では新たな検出器 New Small Wheel

(NSW) で fake を同定し削減。L1 Muon Trigger

Rate を

約 20 kHzに下げる。



新 SL への要請

1. 入力の増量に対する新しい通信方式

- 従来入力の約 8 Gbps + NSWの 60 Gbps
- 送受信にかかるレイテンシが 75 nsec 以内
→ 高速シリアル通信技術 GTX が候補

2. SL の読み出しロジック

- 現行の読み出しロジックに相当するものをFPGAで開発

3. 後段の新 ROD からの読み出しデータフォーマットに合わせる

- 後段にデータを渡す際に指定のヘッダとフッタを付加する
- 1イベント当たりのデータサイズを送信する

4. 後段の GbE Switch を使用するための要請

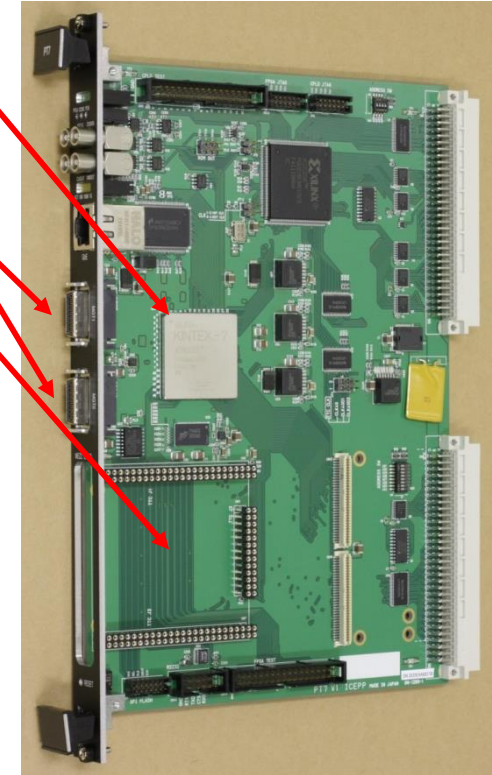
- SSW の圧縮ロジックに相当するロジックの開発

技術検証用汎用 VME モジュール PT7

PT7 を用いて GTX の検証・新 SL 読み出しロジック開発を行った

- 仕様

- Xilinx FPGA Kintex-7 XCK325T-2ffg900
- GTX 4 lane 用 Infiniband 4x 接続を 2 つ
- Timing Trigger Control (TTC) 受信機接続
→ LHC クロック 40 MHz や L1 トリガー信号
L1A を受信
- G-link, LVDS メザニンカード接続
- DDR3-1333 SDRAM MT41J64M16
- RS 232C 制御



検証2/3: GTXレイテンシ75nsec以内

目的

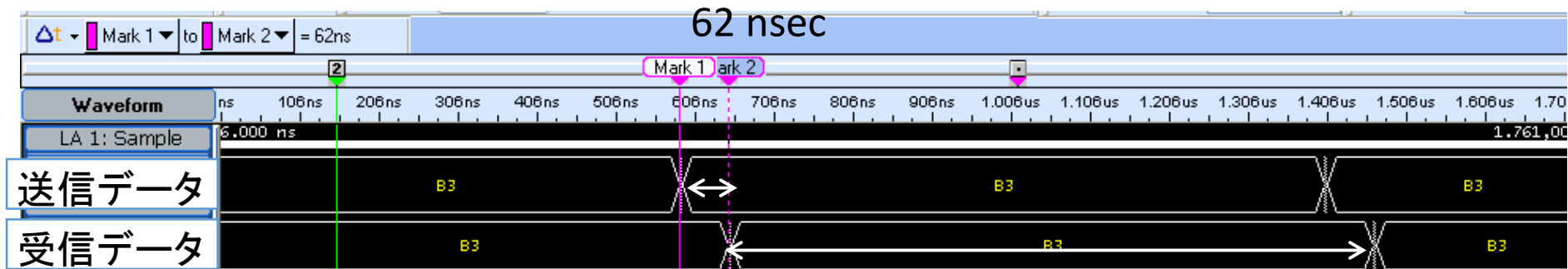
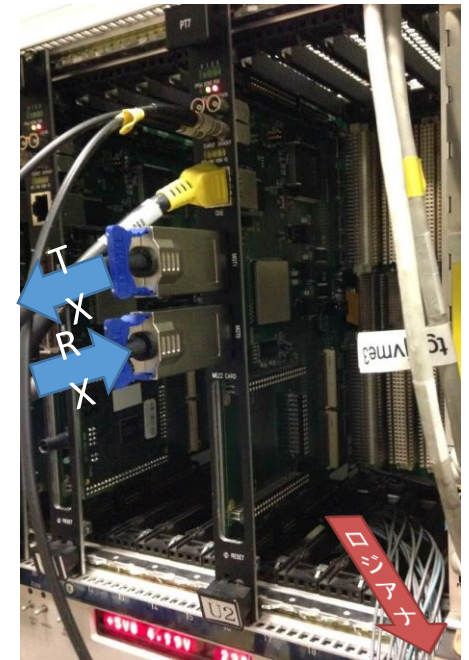
- GTX Transceiver のレイテンシ が要求値 75 nsec 以内であるか検証

試験環境

- PT7 を 1 枚使用
- ケーブル : Infniband 4x 1 m
- 3 lane を使用し、PT7 1 枚でデータをループバック
- 通常デザインと、レイテンシ 固定、最小を保証する
内部バッファバイパスデザインの 2 種類のデザインを作成
- 送信データは256回に1回BCBC、その他00B3の795nsec周期

検証方法

- ロジックアナライザを用いて送信データ、受信データを観測



検証3/3: 新SL FPGA 読み出しロジックは正常に動作

- 目的

- 100 kHz 以外のL1A 信号(粒子が検出器にヒット時に出る信号) システムが正しく動作するか

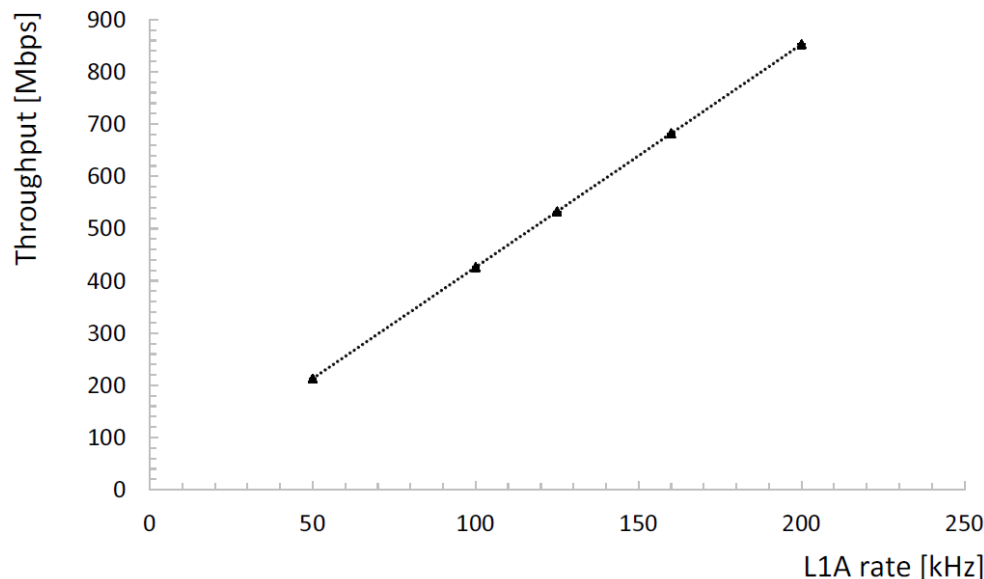
- 試験環境

- PT7 を 1 枚
- L1A 信号は内部で 50, 100, 125, 160, 200 kHz で生成
- SL 内部で 258 Byte / event の固定データを用意

- 検証方法

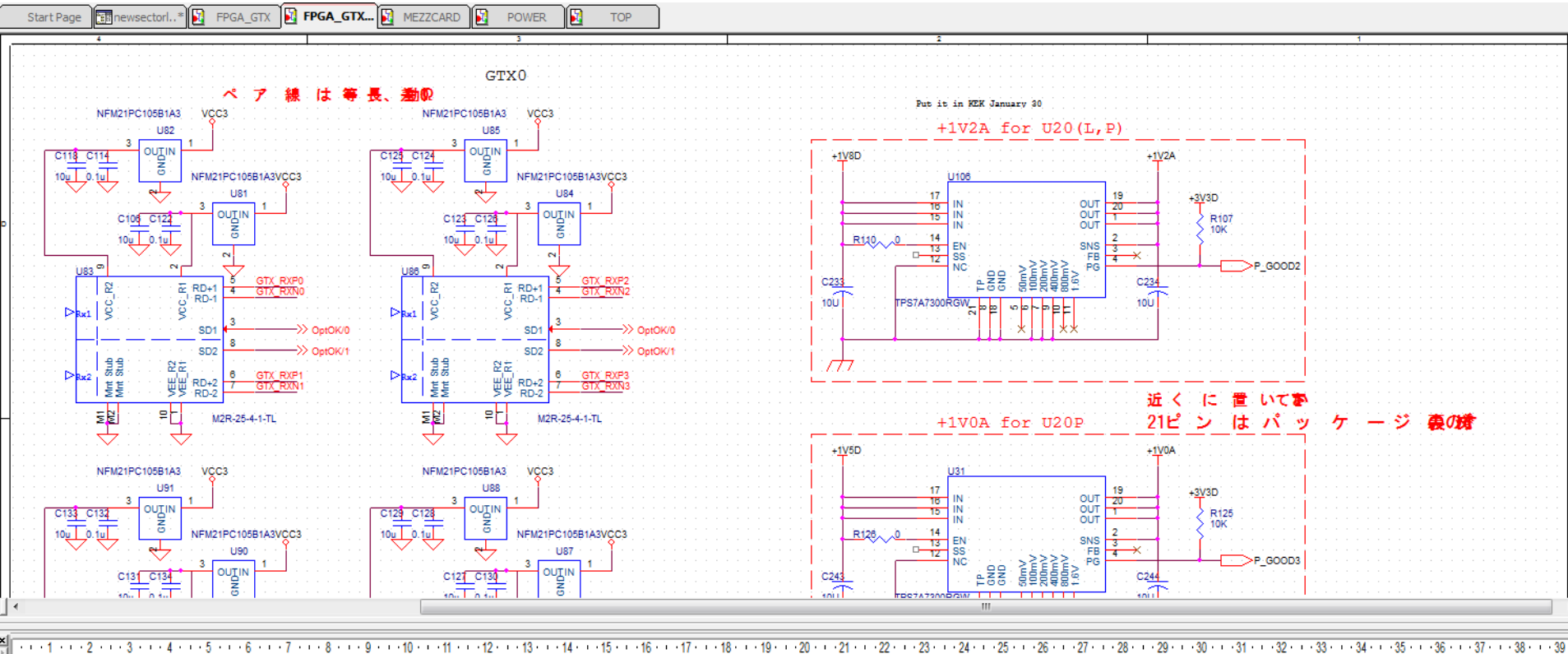
- cat6 ケーブルを用いて PT7 から 20 回, 100 MByte 程 TCP をPCに読み出した
- 各々の L1A レート時の読み出しスループットを測定

$$\text{スループット} = (128 [\text{bit}] + \text{DataSize} [\text{bit}] / \text{event} \times 2) \times \text{L1A Rate}$$



新SL回路図

- 現在、OrCADを使って作成を進めている。
- 汎用モジュールPT7と既存のSLをもとに作成。
- 廃盤パーツの置換、GTXの光通信化などが課題



まとめ

- NSW -> SLの入力に高速シリアル通信GTXを使えることを確かめた。
- 新SL読み出し部分のFPGAロジックの正常動作を確認した。

今後

- CERNでGTX, FPGAの接続テスト (-2月)
- 新SLの回路図を作成して発注(-4月)
- 新SL上でFPGAロジックをテスト(-6月)
- 新SLの性能評価(-9月)

以上、ありがとうございました。