

Waseda University

# ATLAS実験における 高速飛跡トリガー(FTK)の開発、 試験状況と量産



早大理工 白神賢  
飯澤知弥、木村直樹<sup>A</sup>、昌子貴洋、  
三谷貴志、寄田浩平、AUTH<sup>A</sup>、他 ATLAS-FTK group

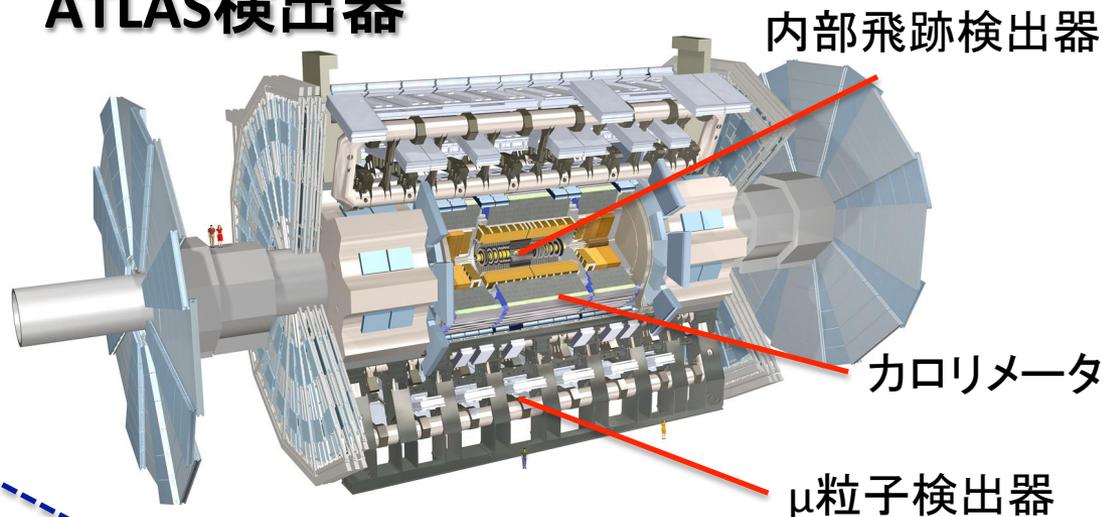
21<sup>st</sup> ICEPP Symposium  
2015/ 2/ 9 Mon. @ビラビレッジ岳美

# LHC / ATLAS実験

CERN



## ATLAS検出器



2012年にヒッグス粒子を発見

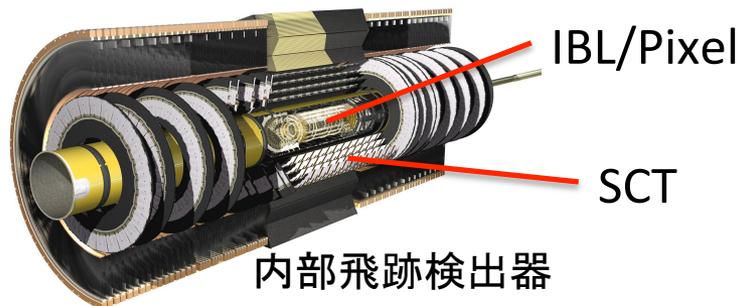
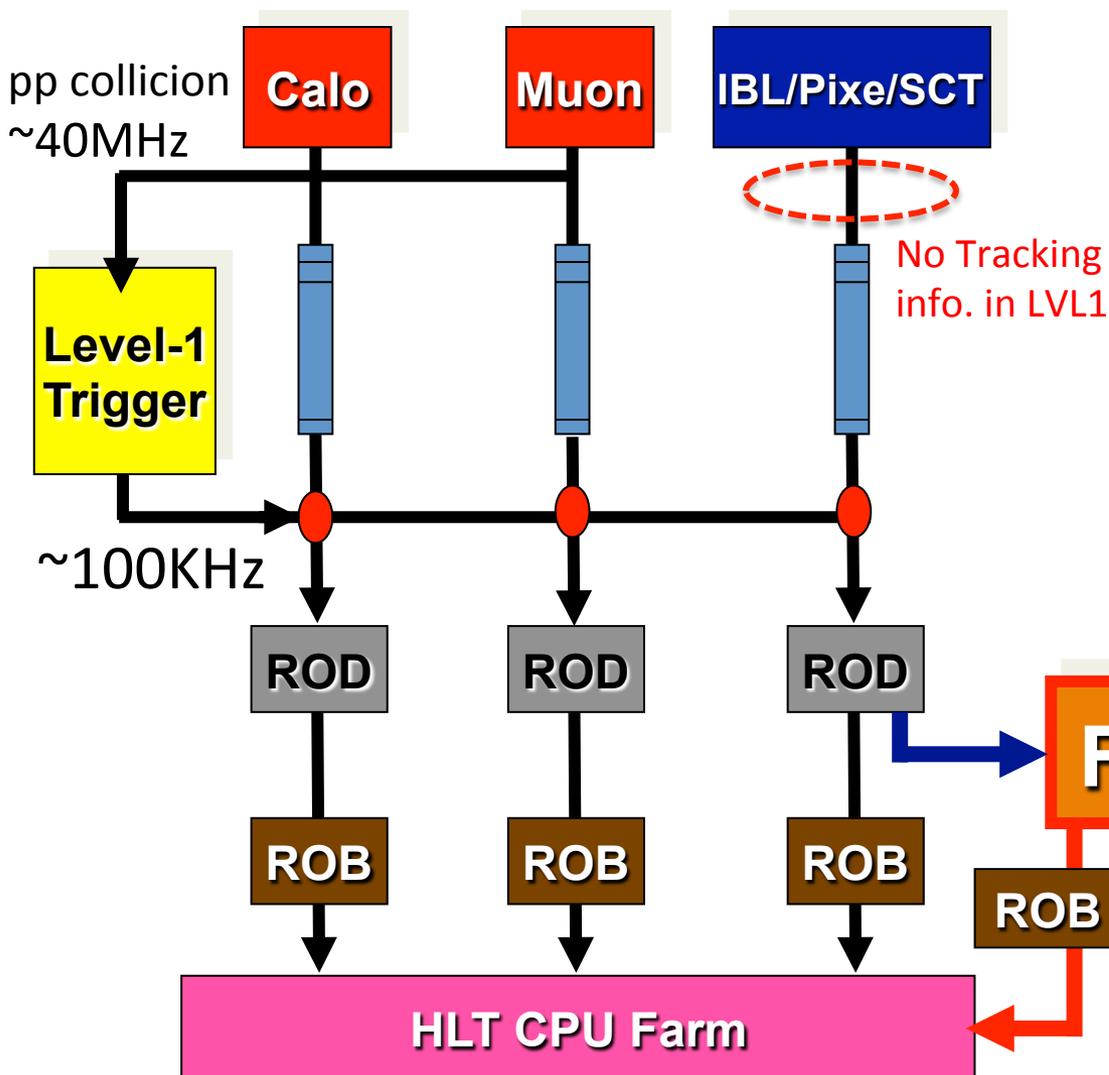
今後は、

- ヒッグス粒子や電弱対称性の破れの精密測定
- 標準模型を超える物理の探索

} を目指す

➡ 現在、LHCはシャットダウン期間中、今年春から、LHC加速器/ATLAS検出器をより高エネルギー・高輝度に増強し再稼働

# ATLASトリガーシステムとFTK



## <FTK Input>

シリコン検出器12層

(100Mch / 16 hit coordinate)

IBL : 1層 (12M ch)

Pixel : 3層 (80M ch)

SCT : 4x2層 (6M ch)

**Event Rate: 100KHz**

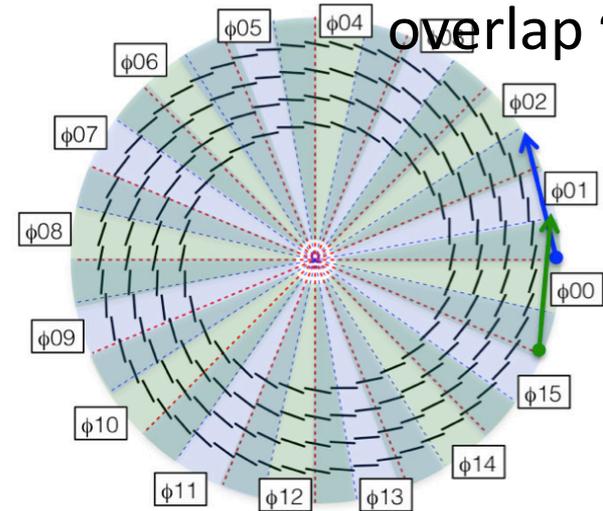
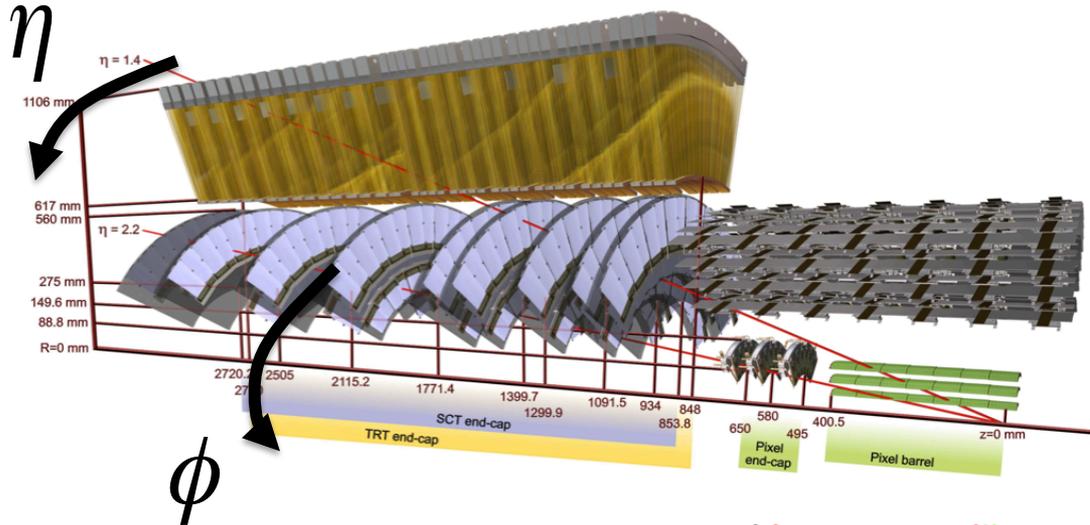
**~400word 32bit data/ev.**

## <FTK Output>

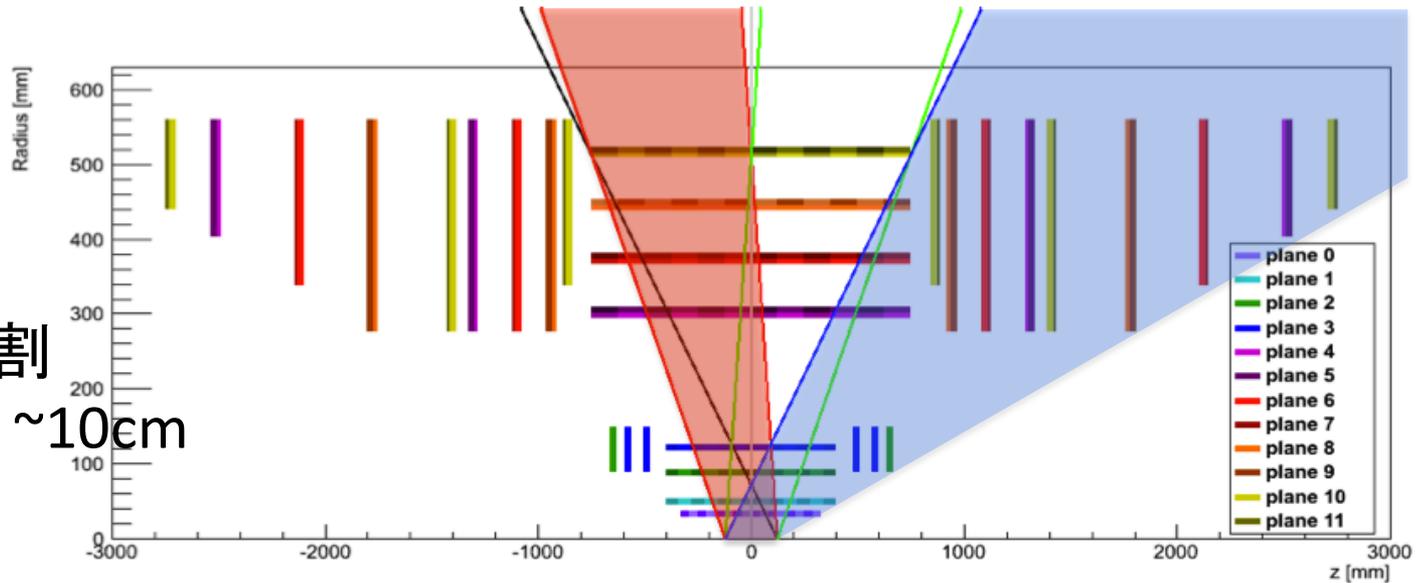
$P_T > 1 \text{ GeV}$ における全飛跡の  
 $P_T$ 、 $\eta$ 、 $\Phi$ 、 $z_0$ 、 $d_0$ 情報

# FTKでの並列処理

$\Phi$ を16分割  
overlap  $\sim 10^\circ$

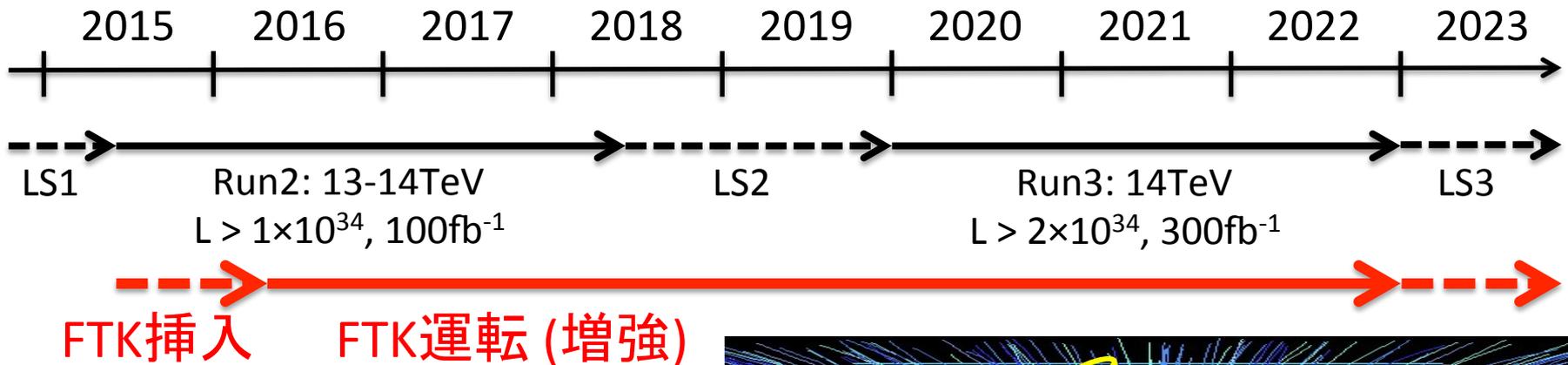


$\eta$ を4分割  
overlap  $\sim 10\text{cm}$

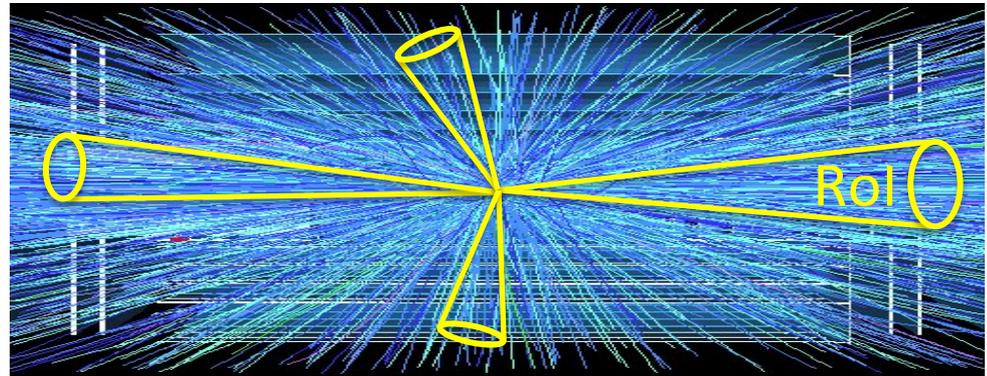


合計:  $(\Phi \times 16) (\eta \times 4) = 64$ 分割での並列処理

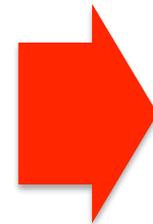
# FTKの挿入前/後



- ✓ FTKは今年夏にインストール開始  
中央 → 全領域へ  
 $1 \times 10^{34} \rightarrow 3 \times 10^{34}$  対応へ



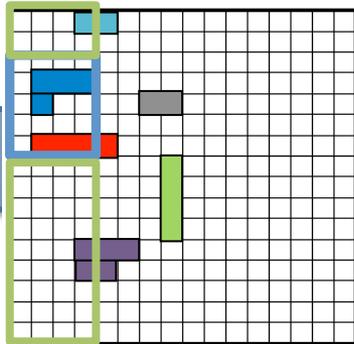
	FTK挿入前	FTK挿入後
飛跡再構成	RoIのみ	全飛跡
衝突点	不可能	可能
時間	~100ms/RoI	~100 $\mu$ s/ev
HLT処理時間	余裕無	余裕有



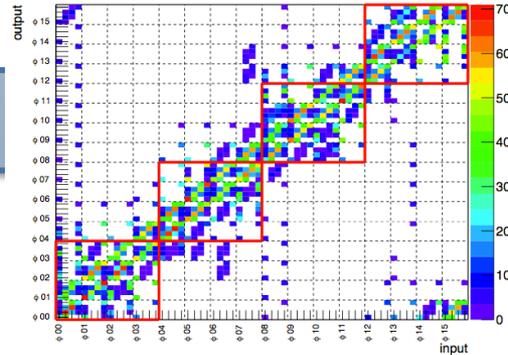
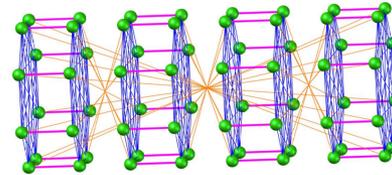
- ✓ パイルアップ抑制
- ✓ 閾値の維持・改善
- ✓ Turn-onなまりの改善
- ✓ Inefficiencyの回復

# FTK動作原理

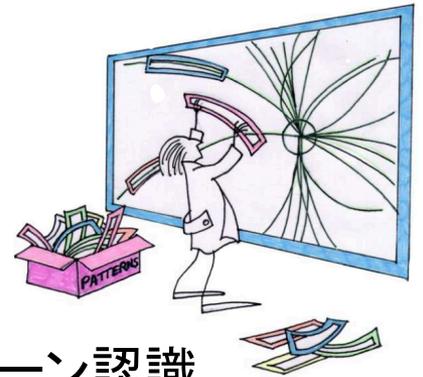
クラスター化  
(128 IM)



64への並列化



パターン認識

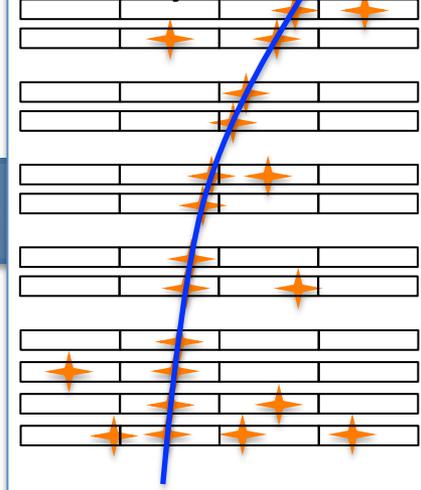


IBL  
Pixel  
SCT

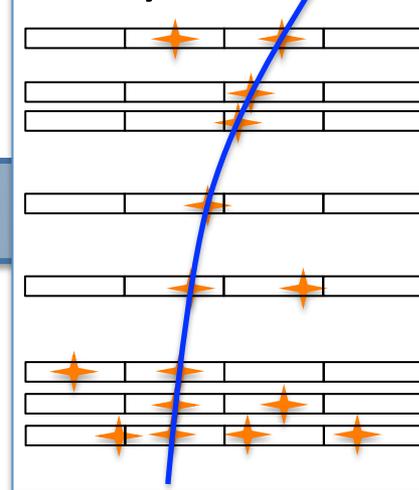
HLT

$P_T, \eta, \Phi, z0, d0$

12 Layer



8 Layer



全12層での算出/フェイク除去

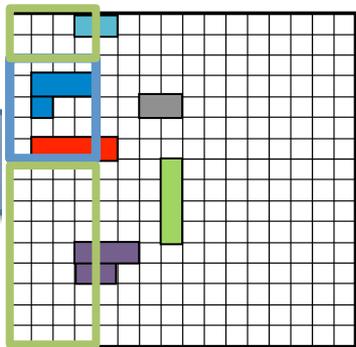
8層の線形近似による  
飛跡情報の算出

$$p_i = \sum_j C_{ij} \cdot x_j + q_i$$

# FTK動作原理

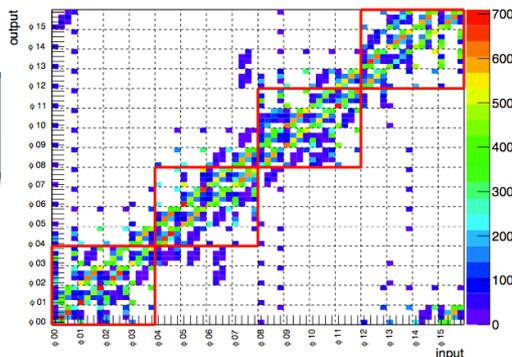
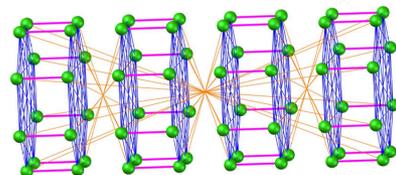
早稲田が主担当で開発

クラスター化  
(128 IM)

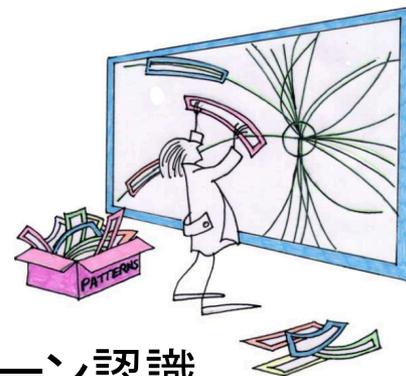


IBL  
Pixel  
SCT

64への並列化



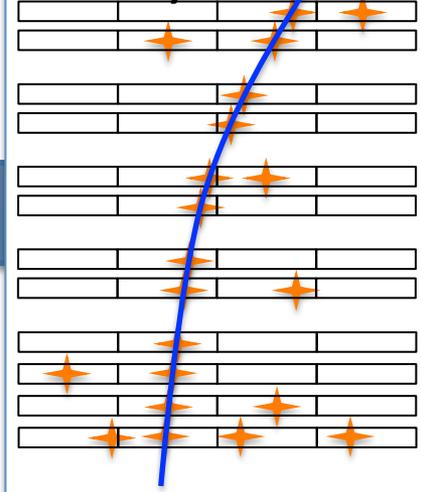
パターン認識



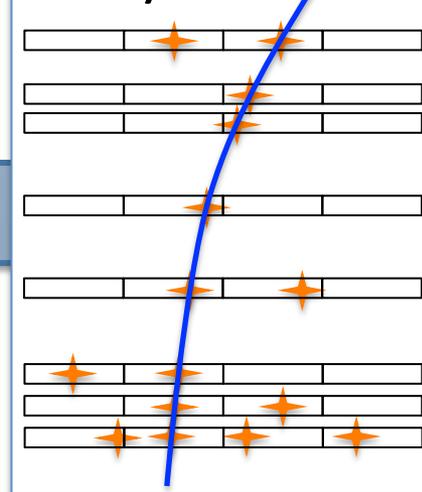
HLT

$P_T, \eta, \Phi, z_0, d_0$

12 Layer



8 Layer

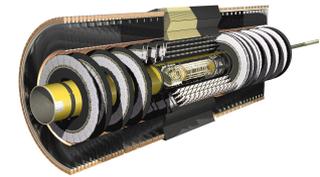


8層の線形近似による  
飛跡情報の算出

$$p_i = \sum_j C_{ij} \cdot x_j + q_i$$

全12層での算出/フェイク除去

# FTK受信モジュール(Input Mezzanine)

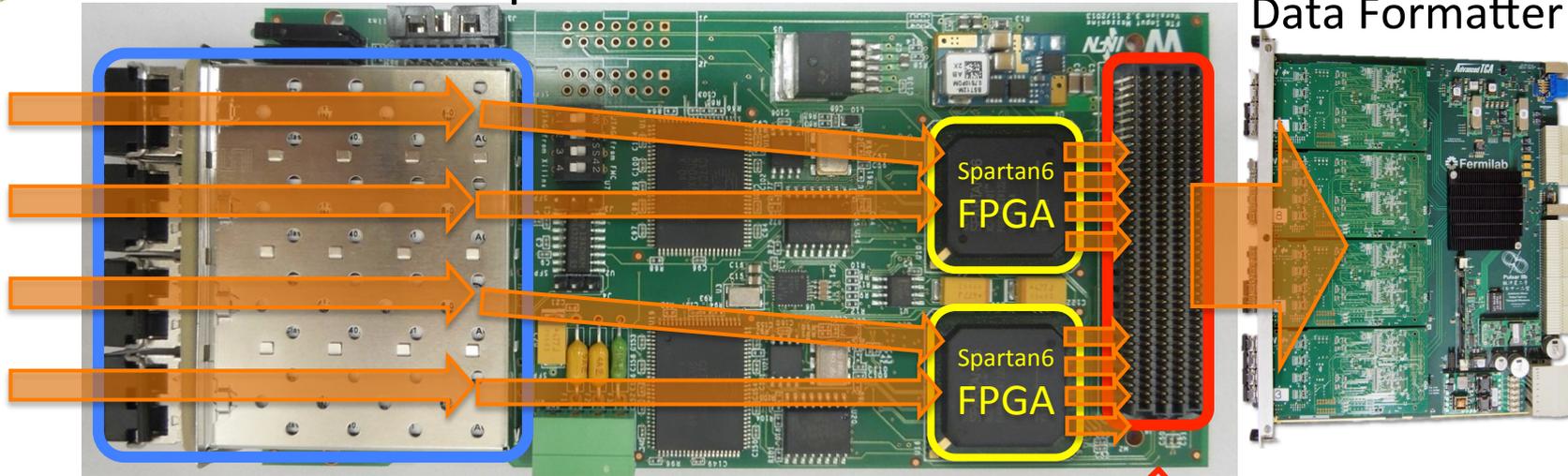


Input Mezzanine

Data Formatter



Read  
Out  
Driver



## Input: SFP

- Pixel x2 / SCT x2
- RODフォーマット
- Event Rate: 100kHz  
~400 word(32bit)/event  
~1Gbps

## クラスター処理: FPGA

- クラスター化処理
- メインクロック: 40MHz
- クラスターリング: 80MHz



## Output: FMCAコネクタ

- 差動伝送 (LVDS)
- DDR 200MHz  
4line (8bit) x 4cycle  
50MHz相当



# FTK受信モジュール(IM)の開発



- **Version 1.0** (02/2011) 5台 最初のプロトタイプ
- **Version 2.0** (04/2012) 5台 マイナーチェンジ
- **Version 3.1** (02/2013) 5台 コネクタを変更/DFと接続可能に
- **Version 3.2** (11/2013) 10台 電源を変更
- **Version 3.3** (03/2014) 5台 量産に向けてマイナーチェンジ
- **Version 4.0** (02/2015) 80台 プロダクトVer.

# FTK受信モジュール(IM)の開発

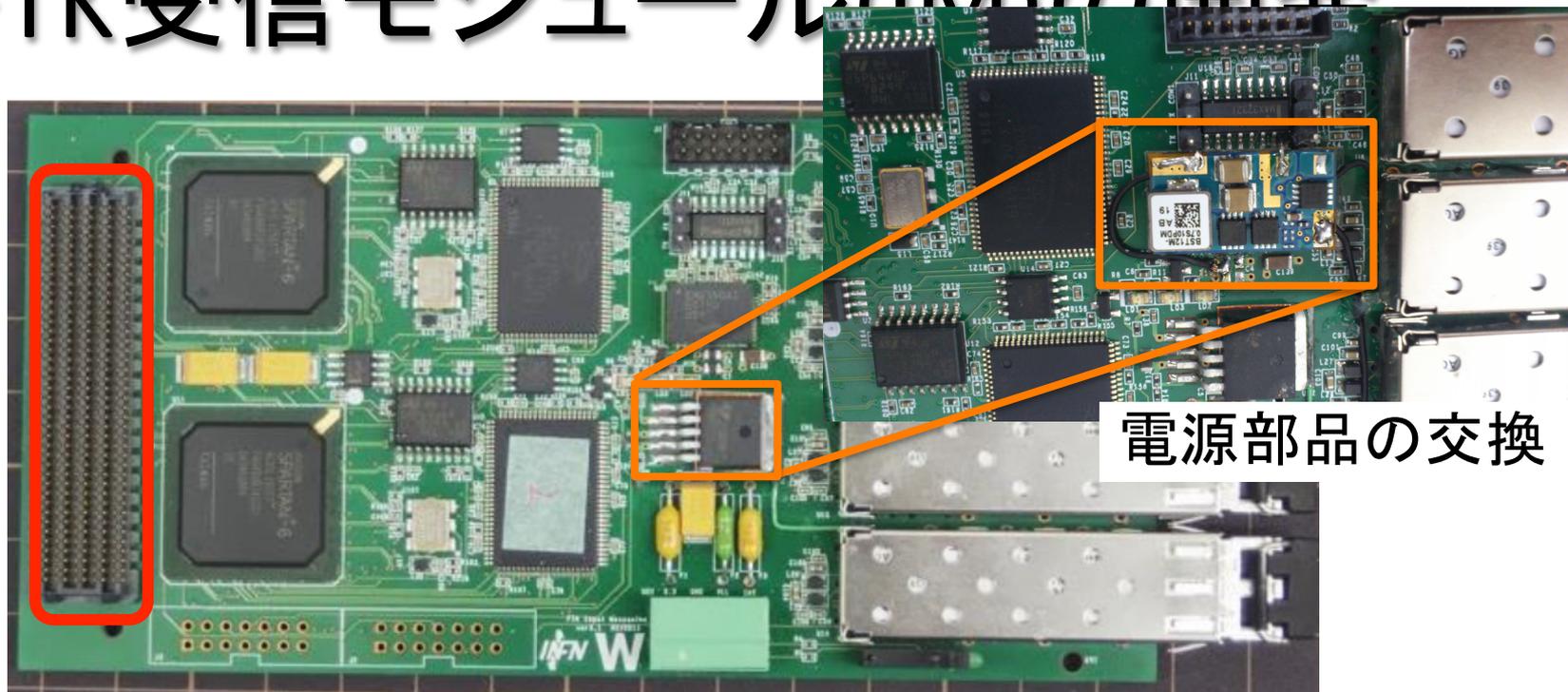


- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ

---

- **Version 3.1 (02/2013) 5台** **コネクタを変更/DFと接続可能に**
- Version 3.2 (11/2013) 10台 電源を変更
- Version 3.3 (03/2014) 5台 量産に向けてマイナーチェンジ
- Version 4.0 (02/2015) 80台 プロダクトVer.

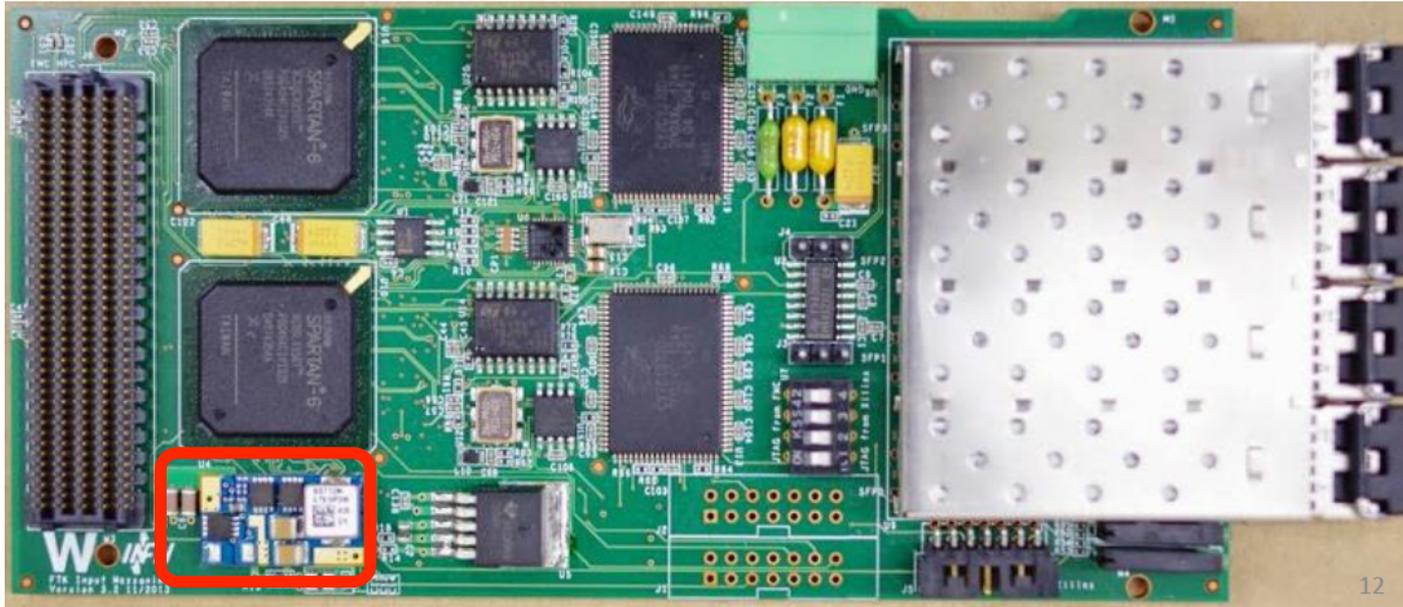
# FTK受信モジュール(IM)の開発



電源部品の交換

- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- **Version 3.1 (02/2013) 5台** **コネクタを変更/DFと接続可能に**
- Version 3.2 (11/2013) 10台 電源を変更
- Version 3.3 (03/2014) 5台 量産に向けてマイナーチェンジ
- Version 4.0 (02/2015) 80台 プロダクトVer.

# FTK受信モジュール(IM)の開発



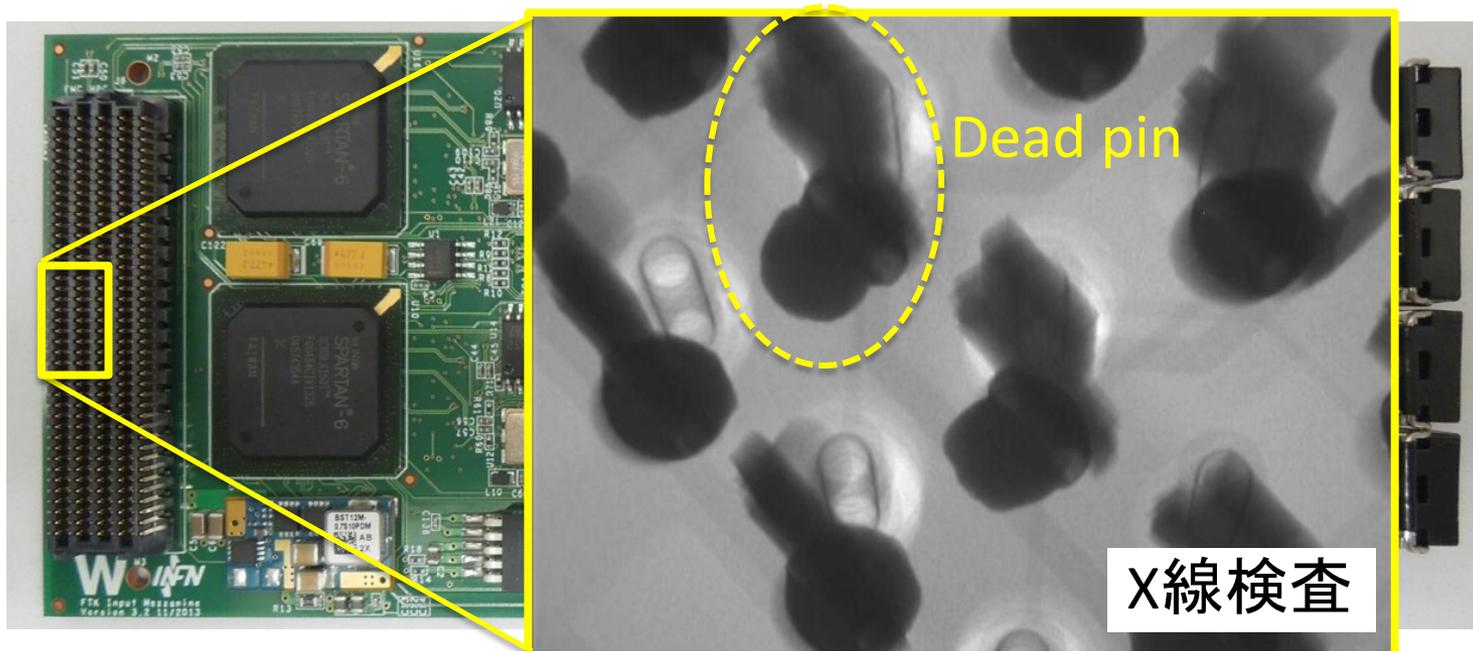
- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- Version 3.1 (02/2013) 5台 コネクタを変更/DFと接続可能に
- **Version 3.2 (11/2013) 10台 電源を変更**
- Version 3.3 (03/2014) 5台 量産に向けてマイナーチェンジ
- Version 4.0 (02/2015) 80台 プロダクトVer.

# FTK受信モジュール(IM)の開発



- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- Version 3.1 (02/2013) 5台 コネクタを変更/DFと接続可能に
- Version 3.2 (11/2013) 10台 電源を変更
- **Version 3.3 (03/2014) 5台** **量産に向けてマイナーチェンジ**
- Version 4.0 (02/2015) 80台 プロダクトVer.

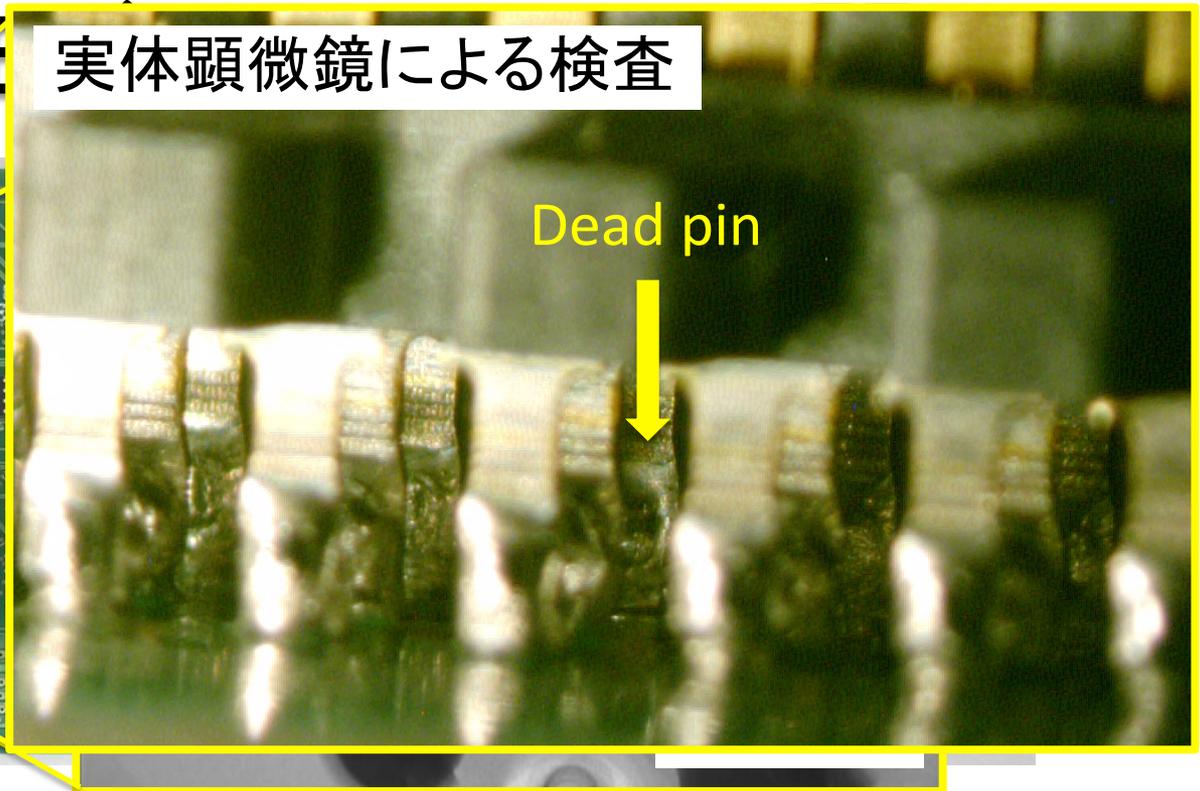
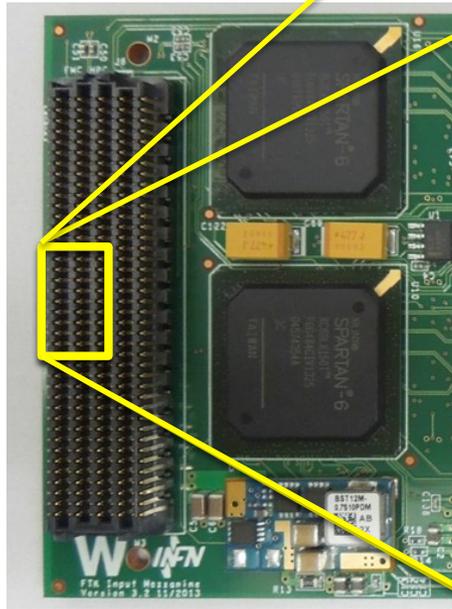
# FTK受信モジュール(IM)の開発



- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- Version 3.1 (02/2013) 5台 コネクタを変更/DFと接続可能に
- Version 3.2 (11/2013) 10台 電源を変更
- **Version 3.3 (03/2014) 5台** **量産に向けてマイナーチェンジ**
- Version 4.0 (02/2015) 80台 プロダクトVer.

# FTK受信モジュール

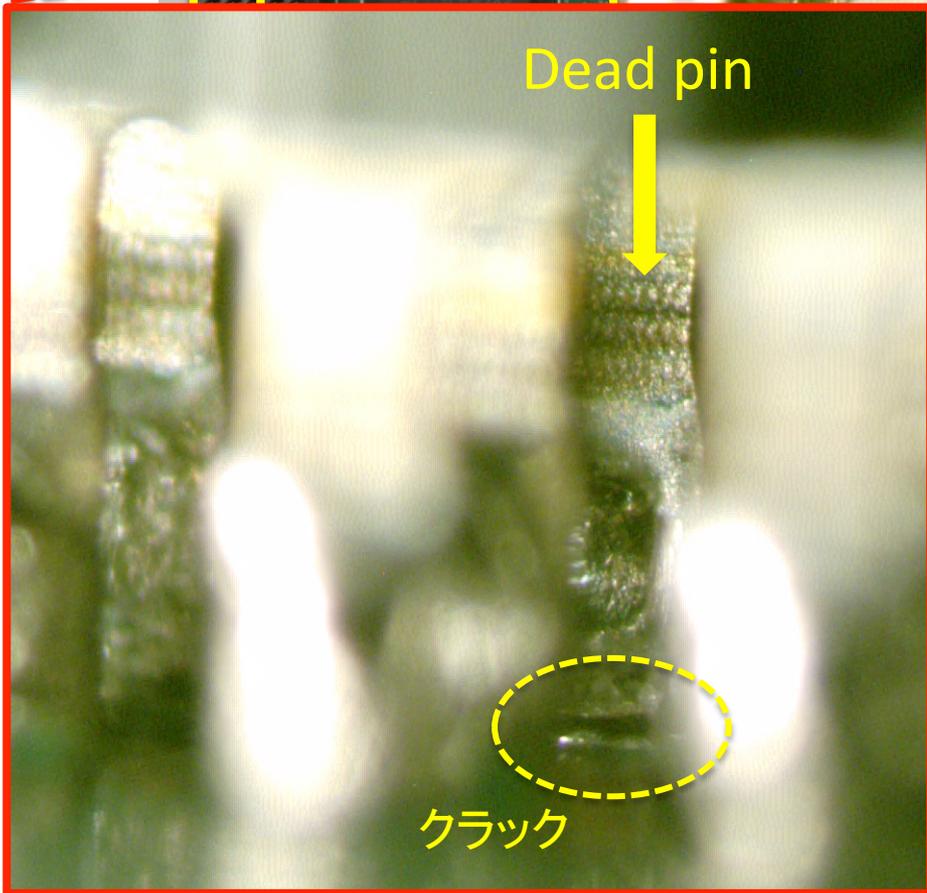
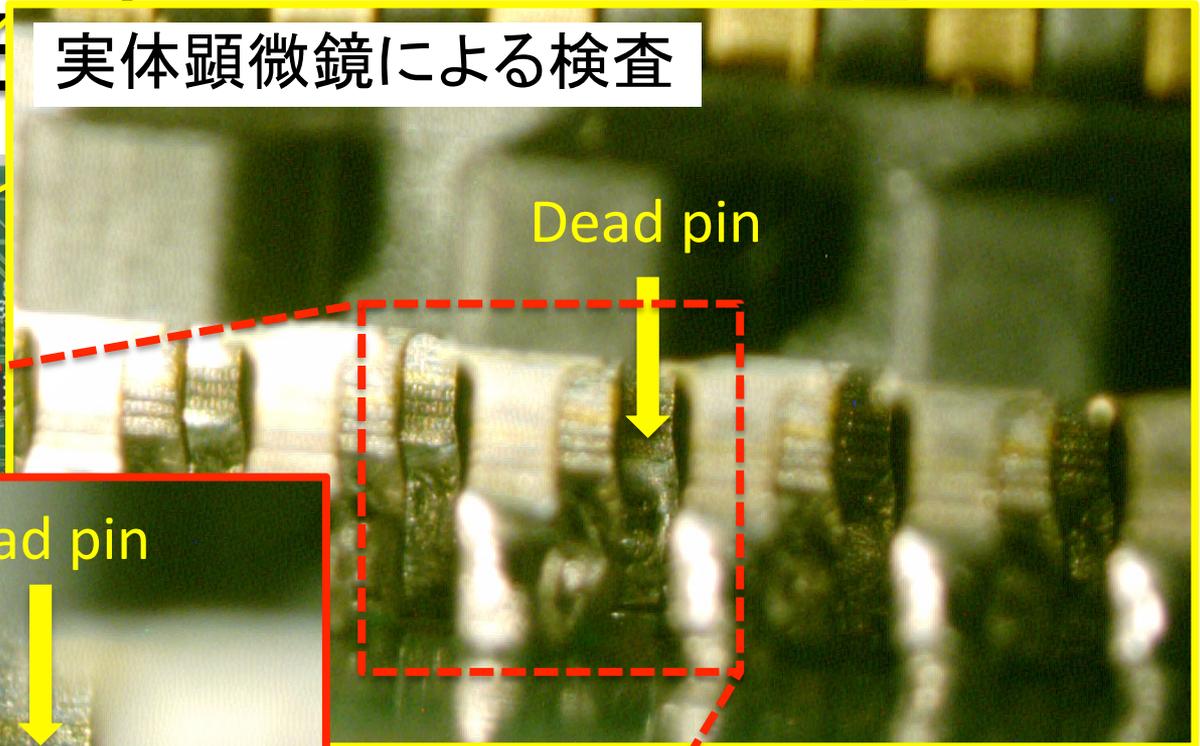
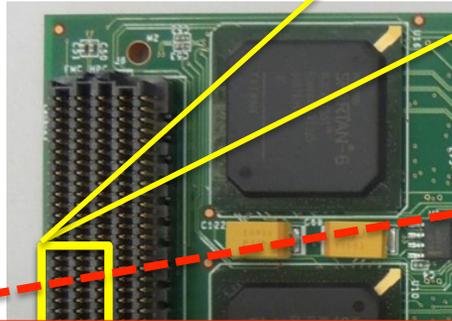
## 実体顕微鏡による検査



- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- Version 3.1 (02/2013) 5台 コネクタを変更/DFと接続可能に
- Version 3.2 (11/2013) 10台 電源を変更
- **Version 3.3 (03/2014) 5台** **量産に向けてマイナーチェンジ**
- Version 4.0 (02/2015) 80台 プロダクトVer.

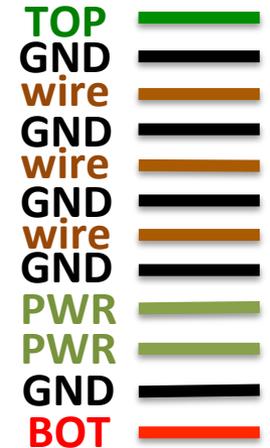
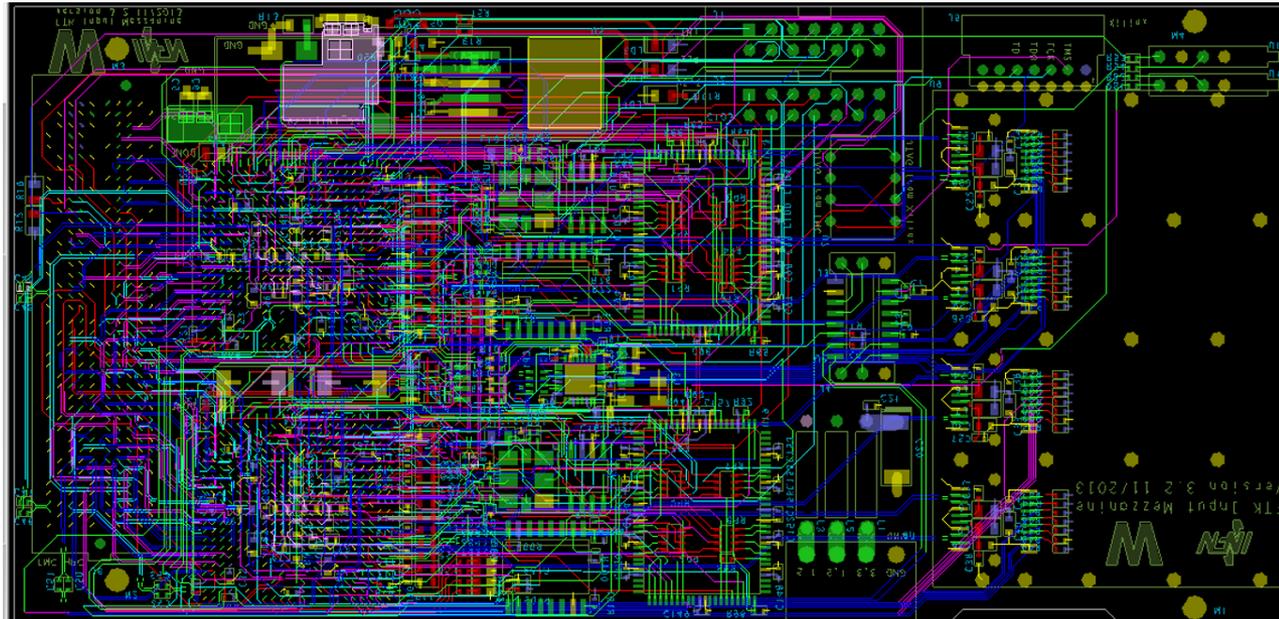
# FTK受信モ

実体顕微鏡による検査



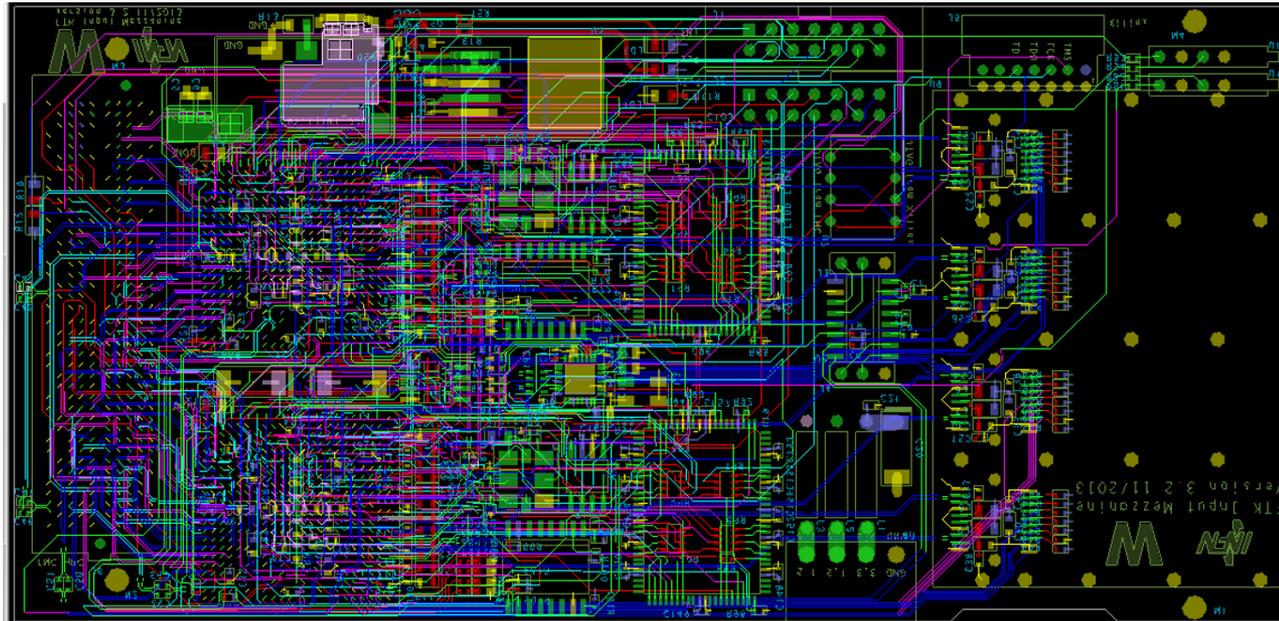
最初のプロトタイプ  
マイナーチェンジ  
コネクタを変更/DFと接続可能に  
電源を変更  
量産に向けてマイナーチェンジ  
プロダクトVer.

# FTK受信モジュール(IM)の開発



- Version 1.0 (02/2011) 5台 最初のプロトタイプ
- Version 2.0 (04/2012) 5台 マイナーチェンジ
- Version 3.1 (02/2013) 5台 コネクタを変更/DFと接続可能に
- Version 3.2 (11/2013) 10台 電源を変更
- Version 3.3 (03/2014) 5台 量産に向けてマイナーチェンジ
- **Version 4.0 (02/2015) 80台** **プロダクトVer.**

# FTK受信モジュール(IM)の開発



TOP	Green
GND	Black
wire	Orange
GND	Black
wire	Orange
GND	Black
wire	Orange
GND	Black
PWR	Light Green
PWR	Light Green
GND	Black
BOT	Red

- Version 1.0 (02/2011) 5台 最初のプロトタイプ

全12層の基板に350以上の部品・1600本以上の配線を行った  
→ 2/4から部品実装が開始、2/18に納品予定

- Version 3.2 (11/2013) 10台 電源を変更
- Version 3.3 (03/2014) 5台 量産に向けてマイナーチェンジ
- **Version 4.0 (02/2015) 80台** プロダクトVer.





# 部品集め

出荷予定日	梱包形態	単価	購入数	総額	発注日	発注者	発注確認者	到着日	2/2検品	所在地		
12/10	カットテープ	4.65	700	3,255	1/5	昌子	川口	1/10	昌子・亘	279cm,5/2	55-8F	digi-key
12/10	カットテープ	86.3	85	7,336	12/08	昌子	川口	12/17	昌子・川口	68cm,5/4	55-8F	
	バラ	165	80	13,200	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	1322.8cm,3/5		
		3456	15	51,840	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	65個		
	カットテープ	68	160	10,880	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	41cm,4 +3個		1本のケ
12/10	バラ	1670	80	133,600	12/09	昌子	川口	12/10	昌子・亘	80個	55-8F	
12/10	カットテープ	760	85	64,600	12/08	昌子	川口	12/17	昌子・川口	72cm,5/4	55-8F	
即時	カットテープ	2.17	110	239	1/5	昌子	川口	1/10	昌子・亘	42.5cm,5/2	55-8F	digi-key
12/11	バラ	148	80	11,840	12/08	昌子	川口	12/17	昌子・川口	39.5cm,2	55-8F	
12/11	バラ	106	80	8,480	12/08	昌子	川口	12/17	昌子・川口	40cm,2	55-8F	
12/10	バラ	58.8	80	4,704	12/08	昌子	川口	12/17	昌子・川口	バラ・写真のみ	55-8F	
	バラ	10	160	1,600	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	写真のみ		
	カットテープ	135	100	13,500	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	100個		1本のケ
12/10	バラ	51	80	4,080	12/09	昌子	川口	12/10	昌子・亘	80個	55-8F	
		1566	80	125,280	12/08	ヤトロ	昌子	12/24	昌子・川口・亘	320個		SFPケー
2/20												研究所
即時	トレイ	1059.27	165	174,780	1/5	昌子	川口	1/10	昌子・亘	116cm,10/7	55-8F	digi-key BDGの

53	SPI Flash (SPGA confg)	Hyunonix M25P16VMF1TP	2	180	0	-180	165	chip one stop	部材	カットテープ	410	165	67,800	1/5	昌子	川口	1/13	昌子・川口	198cm,8/7	55-8F	chip1stopで購入に大変苦労して居る。品番:551-1566-1-ND	<a href="http://www.digikey.jp/product-detail/ja/M25P16-VMF1TP-517-1565-1-ND-189369">http://www.digikey.jp/product-detail/ja/M25P16-VMF1TP-517-1565-1-ND-189369</a>
54	Clock divider	Onsemi conductor: NB6L11DG	1	80	0	-80	85	chip one stop	部材	バラ	803	85	68,255	12/08	昌子	川口	12/17	昌子・川口	43.5cm,2	55-8F	一つのバウに取らして居る。トレイ	<a href="http://www.chip1stop.com/digDetail.do?partId=ONSM-003710">http://www.chip1stop.com/digDetail.do?partId=ONSM-003710</a>
55	SPI Flash (Laser purpose)	Adiant AT46D521E-04F-0	2	160	0	-160	170	digi-key	部材	テープ	285.35	170	48,510	1/5	昌子	川口	1/10	昌子・亘	85cm,8/5	55-8F	テープ	<a href="http://www.digikey.jp/product-detail/ja/AT46D521E-SHF-T-1285-1087-1-ND-4475702">http://www.digikey.jp/product-detail/ja/AT46D521E-SHF-T-1285-1087-1-ND-4475702</a>
56	transistor	Fairchild: BSS138	2	180	0	-180	200	ヤトロ	mouse	カットテープ	8	200	1,800	12/08	昌子	川口	12/24	昌子・川口・亘	82.5	55-8F		<a href="http://www.mouse-jp/ProductDetail/Fairchild-Semiconductor/BSS138_Tp-10N525205JLan/DigDetailRevy/37530">http://www.mouse-jp/ProductDetail/Fairchild-Semiconductor/BSS138_Tp-10N525205JLan/DigDetailRevy/37530</a>
57	linear regulator (for Vcc pl)	Texas: TPS78001KTT	1	80	0	-80	85	digi-key	部材	テープ&リール	638.51	100	63,851	1/5	昌子	川口	1/10	昌子・亘	写真のみ	55-8F	digi-key品番: 288-15882-2-ND KTTI電波(調製) チーフ&I	<a href="http://www.digikey.jp/product-detail/ja/288-15882-2-ND-236-15862-2-ND-637808">http://www.digikey.jp/product-detail/ja/288-15882-2-ND-236-15862-2-ND-637808</a>
58	SRAM	Agpress: CY7C1312D-200AXG	2	180	0	-180	180	ヤトロ									1/21				ローコスト積込	

合計 1,101,862

バウ可能	RS485:プロトコルシフトパッケージ品	340,880
コートク線導入分		
梱包形態注意		

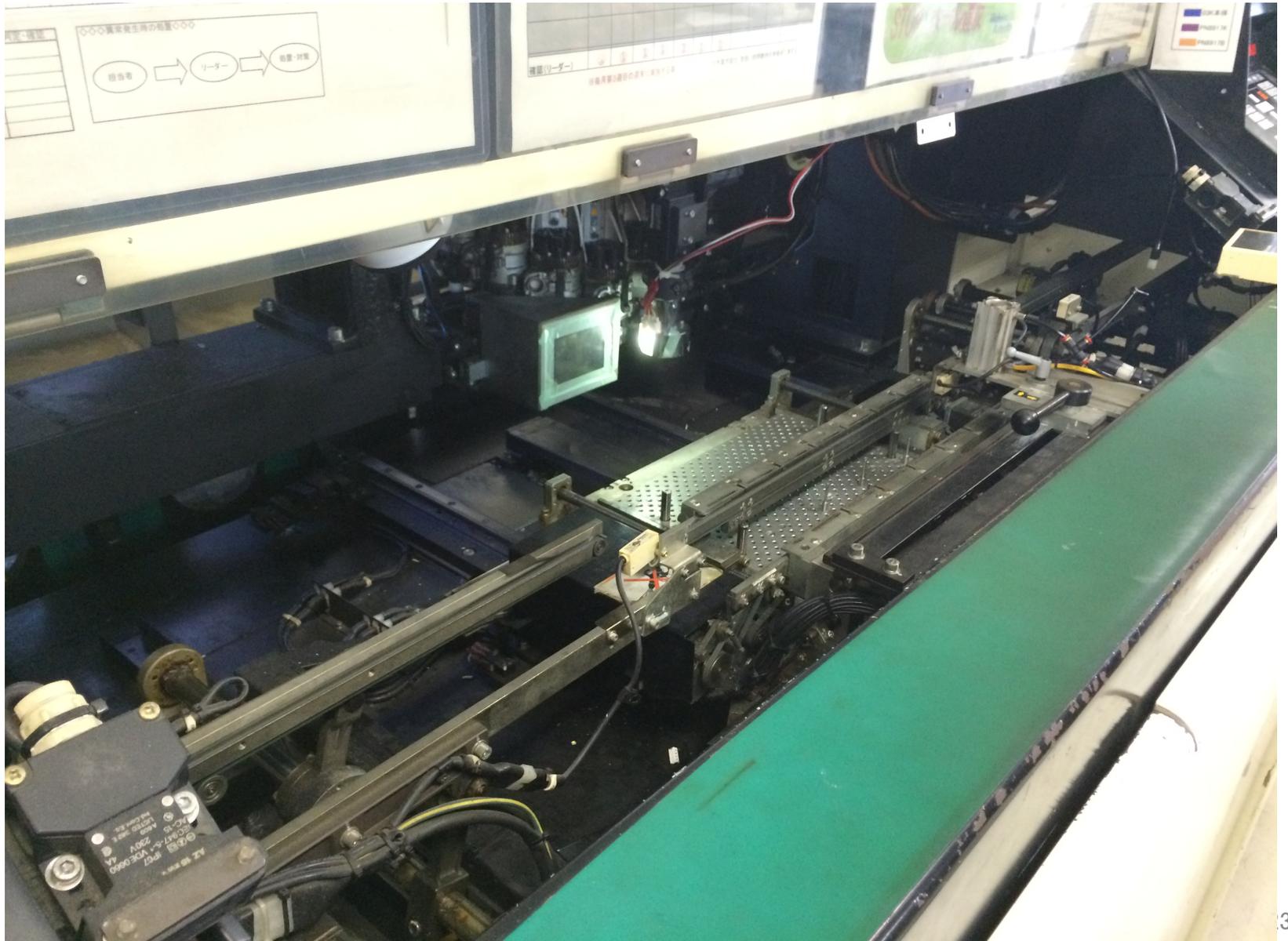
FPGA	1/23	早くなる可能性高
SFP	2/20	早くなる可能性高

	税抜	税込
chip1stop1国目数	183343	190005
FG:部数	169520	163002
chip1stop2国目数	67650	73062
digi-key部数	458822	495528
早期納小計	879,335	940676
ヤトロ部数	1,103,983	224648
ヤトロ-早期納計	1,103,983	1174324
コートク部数	781618	844145
		940676

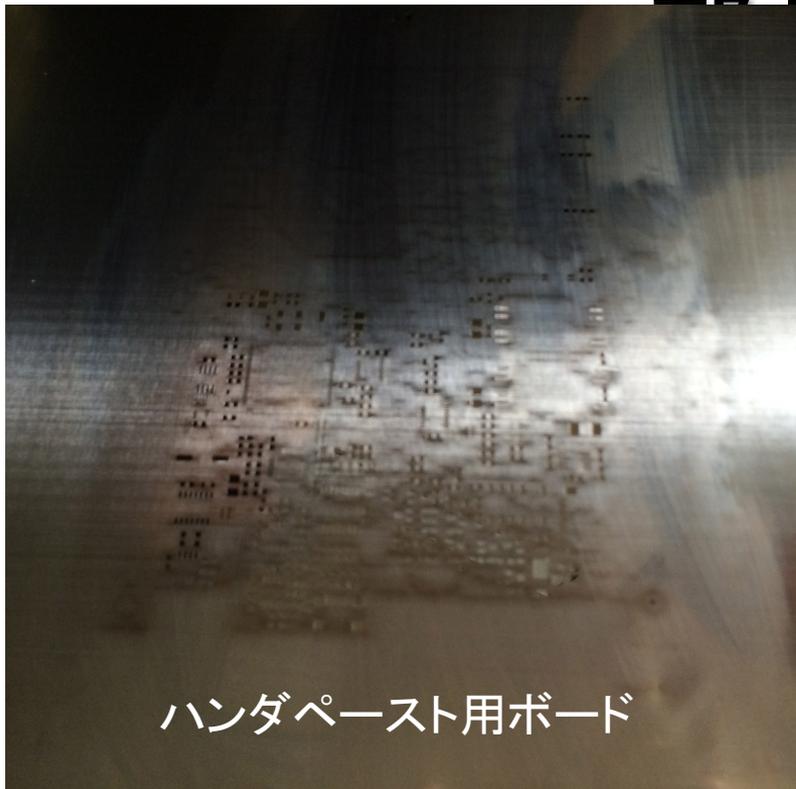
58種類(3万個)を世界中からかき集めた

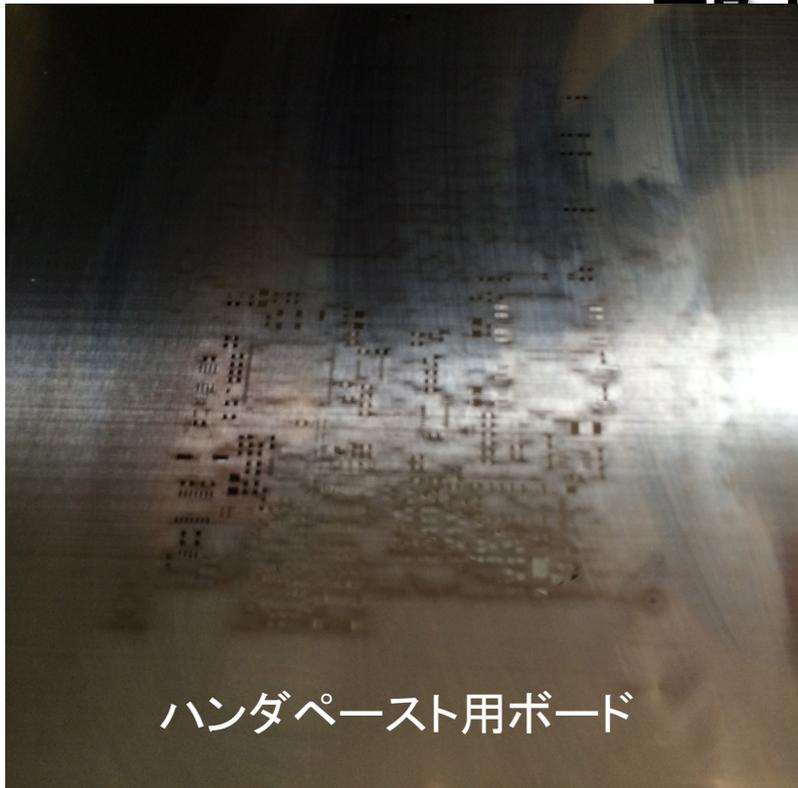


# 部品の実装



# 製品の実装

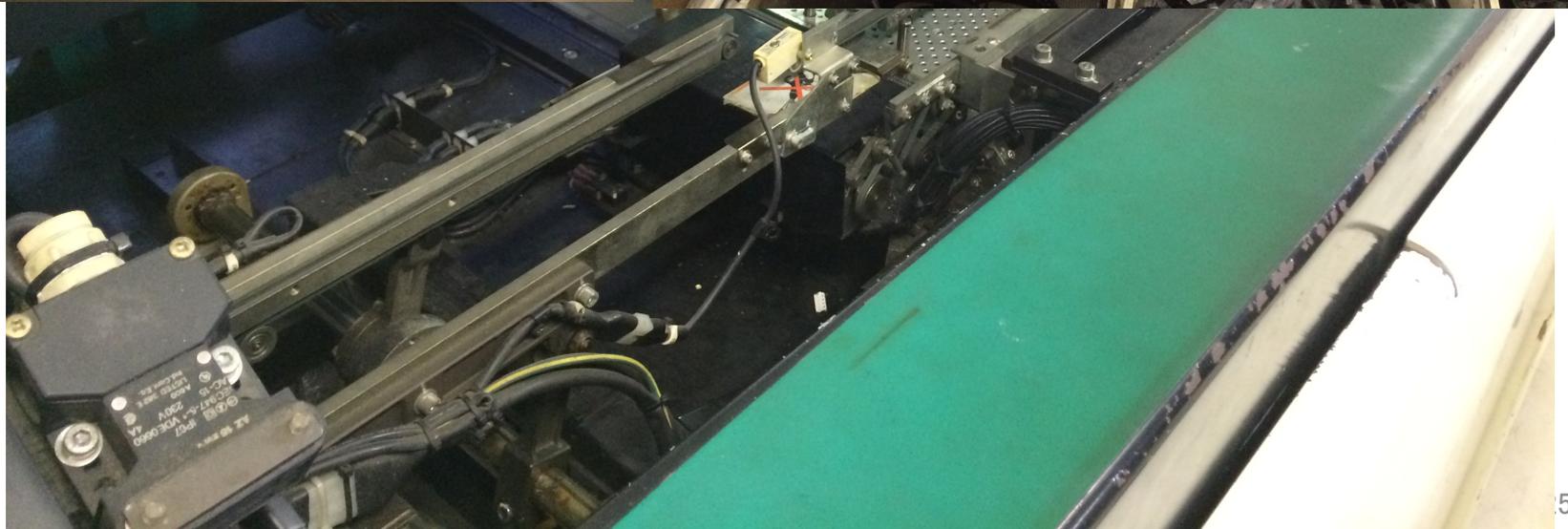


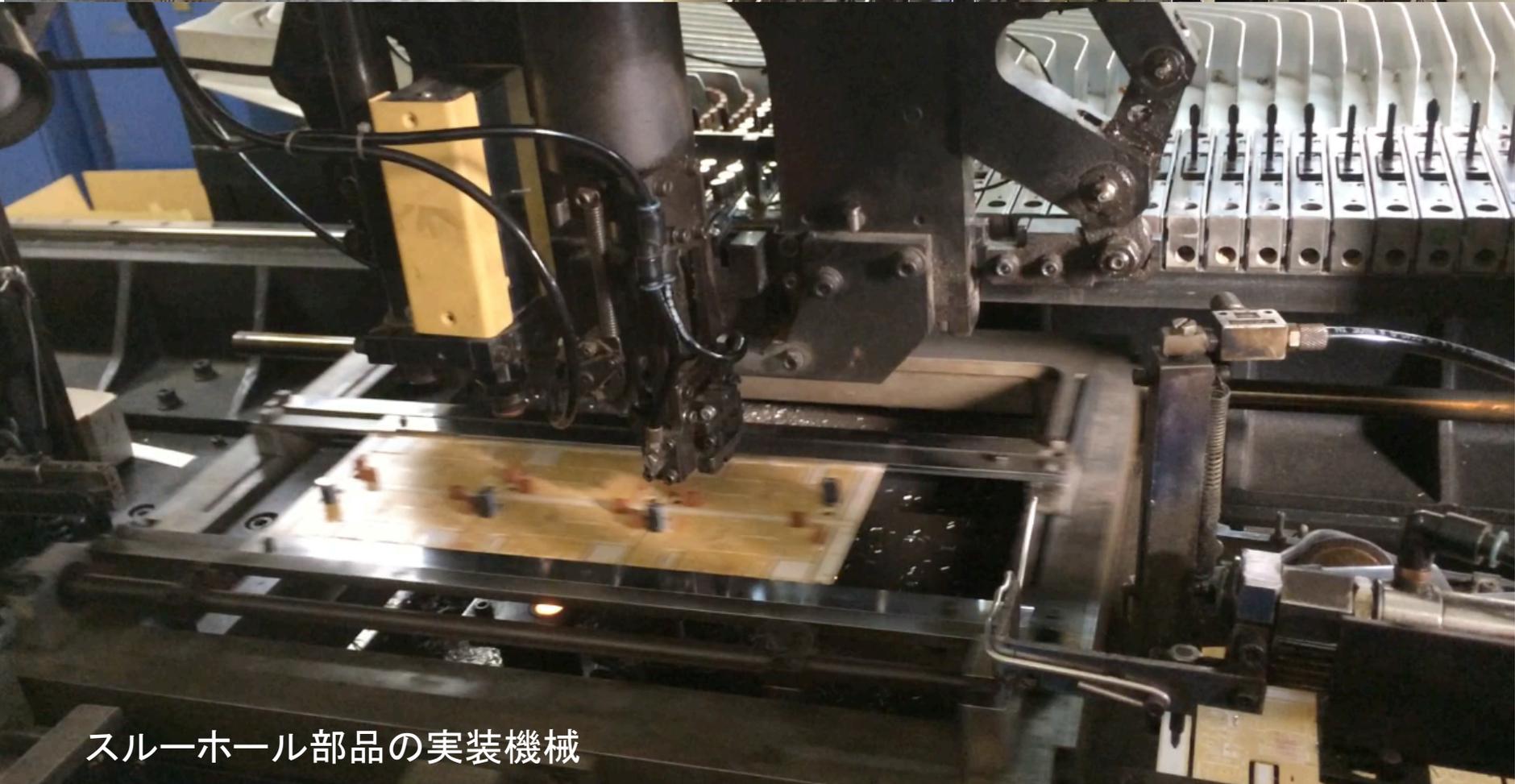


ハンダペースト用ボード



パーツ入力部





スルーホール部品の実装機械

# Quality Control の試験項目

Test List	check point
基本的なテスト	
・パーツのマウント / 方向の目視試験	- } <b>目視試験</b>
・顕微鏡試験	
・導通前抵抗チェック	電源 } <b>電源部試験</b> 電源
・導通チェック	
・低負荷、高負荷での電圧値、電圧波形チェック	
・FPGA, flash MemoryにF/Wをインストール	JTAG ⇔ FPGA ⇔ Flash Memory
I/Oとメモリのテスト	
・入力部接続試験 (SFP, GTP I/O)	S-link ⇔ FPGA } <b>I/O機能の試験</b>
・出力部接続試験	
・出力部負荷試験	
・SRAM, Flash Memory試験	SRAM, Flash Memory ⇔ FPGA ⇔ RS232
その他のテスト	
・その他のGTP I/O接続試験	FPGA ⇔ FMC, FPGA ⇔ FPGA
・内部クロック試験	G/P CLK
・4ピン電源試験	4ピン電源

# Quality Control の試験項目

	5台での結果	80台量産時の予定
目視試験	1台当たり ~ 5分実施	1台当たり ~ 5分実施予定
抵抗・電圧試験	1台当たり ~ 10分実施	1台当たり ~ 10分実施予定
入力部試験	1台当たり14時間実施 BER < 10 <sup>-13</sup> 達成	1台当たり20分実施予定 80台合計でBER < 10 <sup>-14</sup> 達成予定
出力部試験	1台当たり30時間実施 5台すべてBER < 10 <sup>-15</sup> 達成	1台当たり25分実施予定(3台並列) 80台合計でBER < 10 <sup>-15</sup> 達成予定
メモリ部試験	1台当たり15分程度実施	1台当たり15分程度実施(3台並列)

- ✓ 5台のPre最終版で長時間の負荷試験をPASS
- ✓ 量産時は1IM 当たり 1.5~2時間程度で試験可能

# FTK受信モジュール(IM)の開発



## Standaloneテスト:

- ✓ 動作確認(電源/消費電)
- ✓ 各パーツチェックテスト
- ✓ テストスタンドの構築
- ✓ I/Oテスト
- ✓ 負荷テスト
- ✓ 機能追加開発

## コネクションテスト:

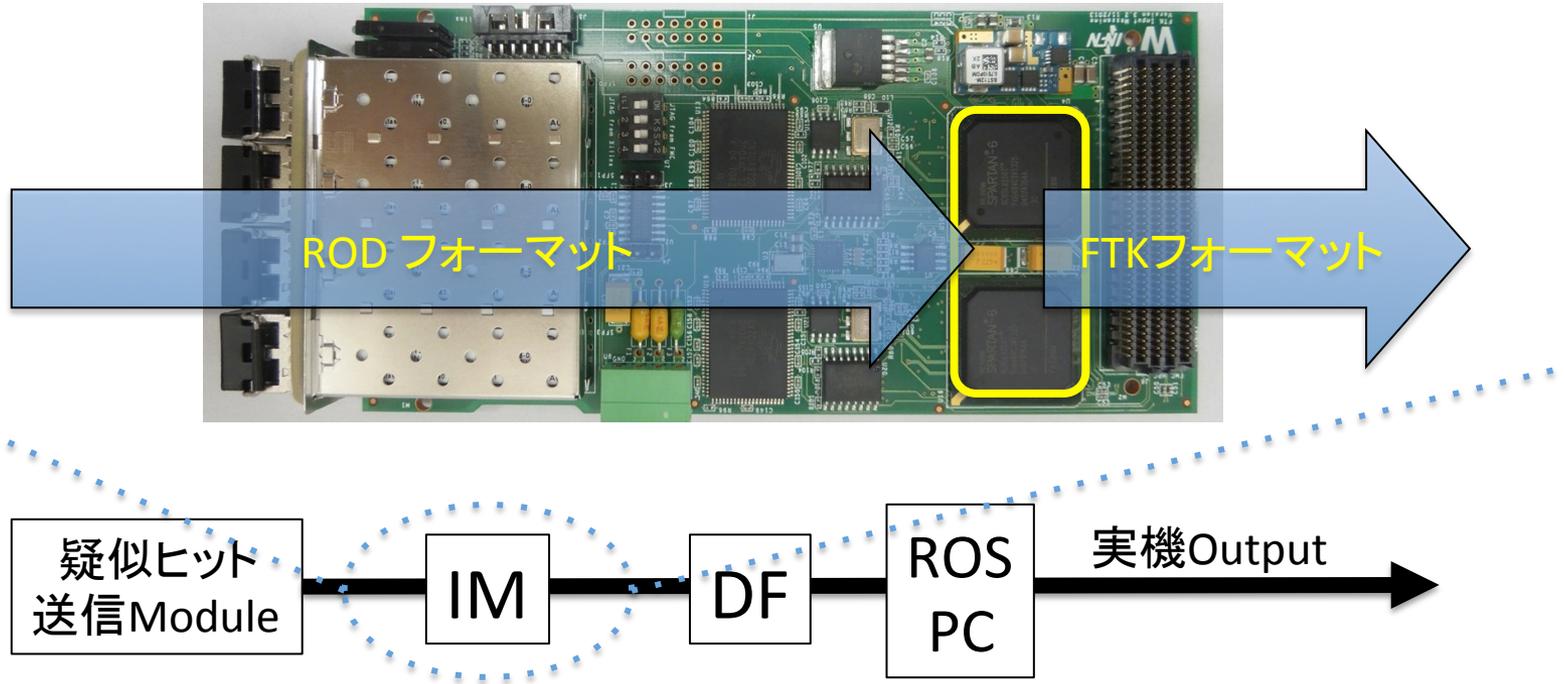
- ✓ RODとのコネクションテスト
- ✓ DFとのコネクションテスト
- ✓ データフローテスト
- ✓ 統合テスト@CERN

## ソフトウェア開発:

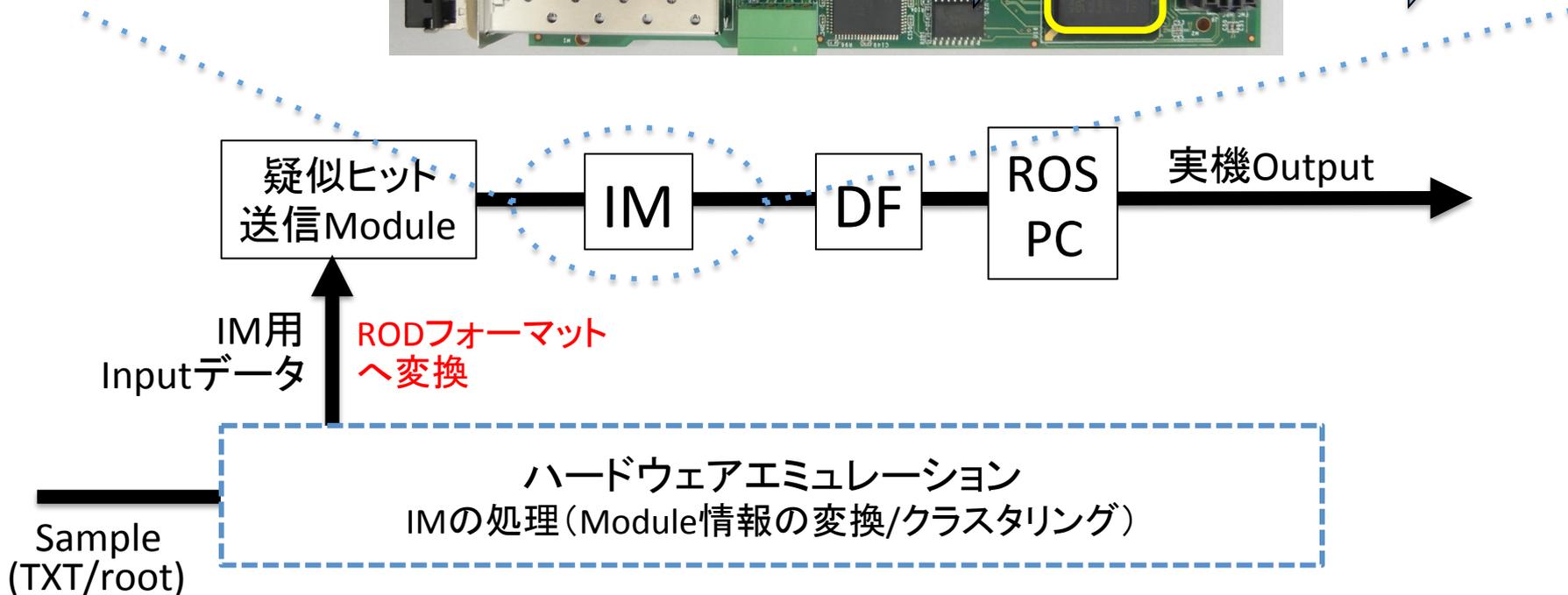
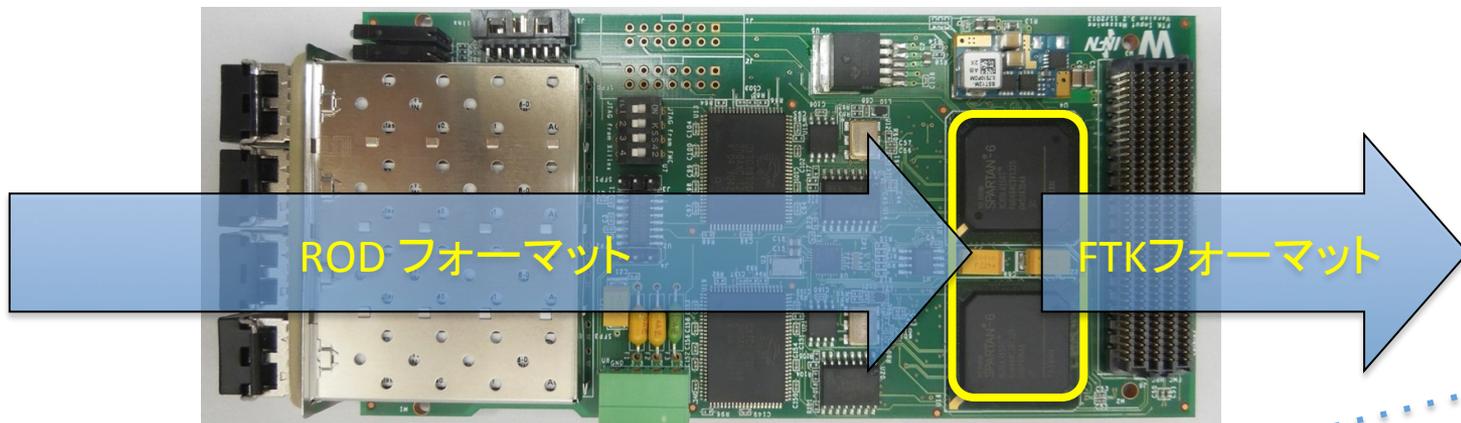
- ✓ データ通信プロトコルの開発
- ✓ モニタリングシステムの開発
- ✓ FW開発
- ✓ ハードウェアエミュレーション

----- 今までの主な開発項目 -----

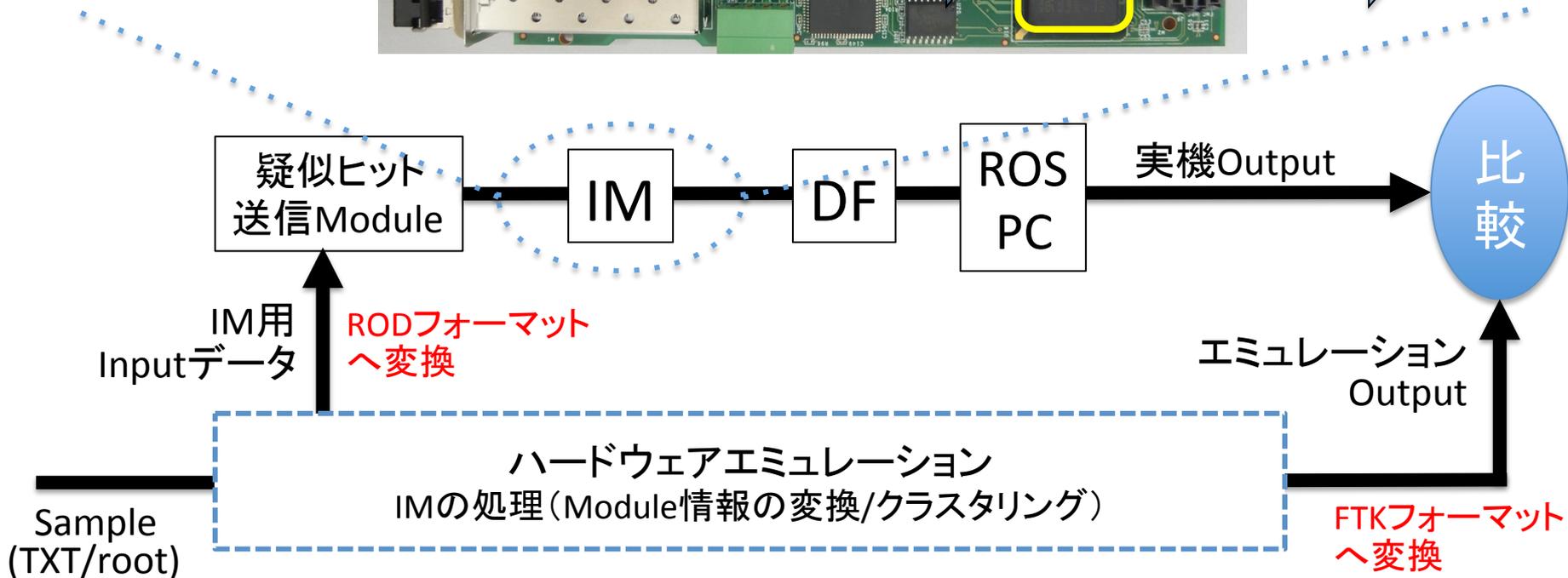
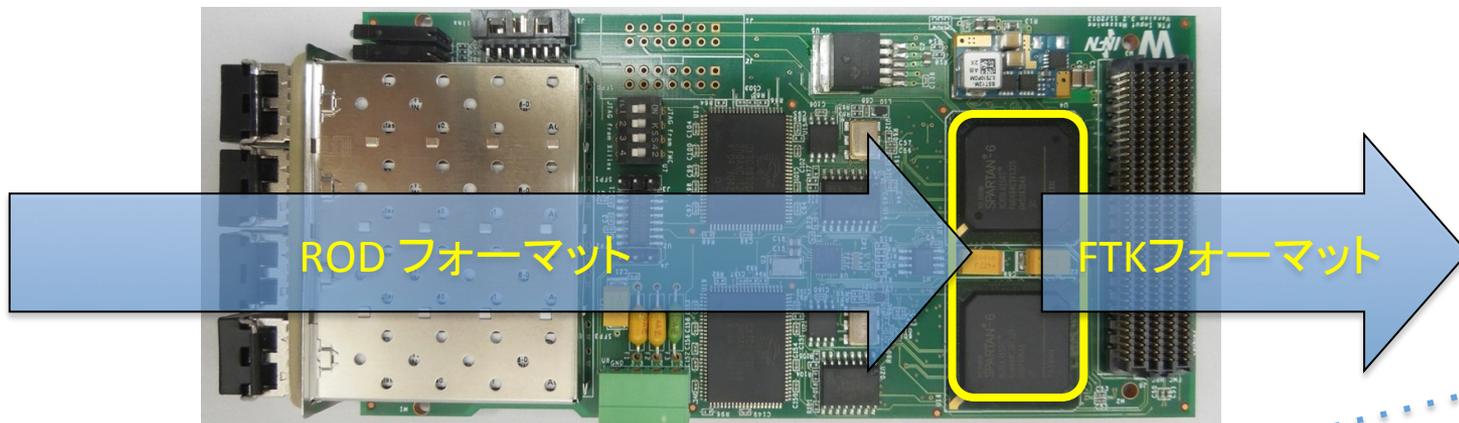
# IMハードウェアエミュレーション



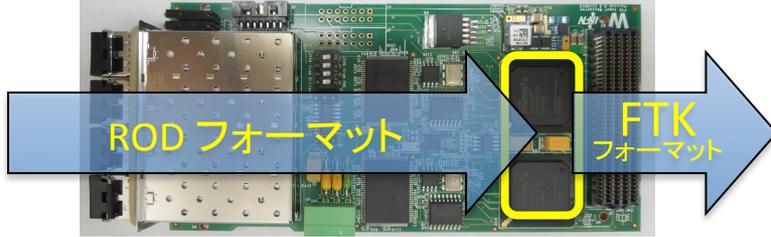
# IMハードウェアエミュレーション



# IMハードウェアエミュレーション



# クラスタリングとデータフォーマット



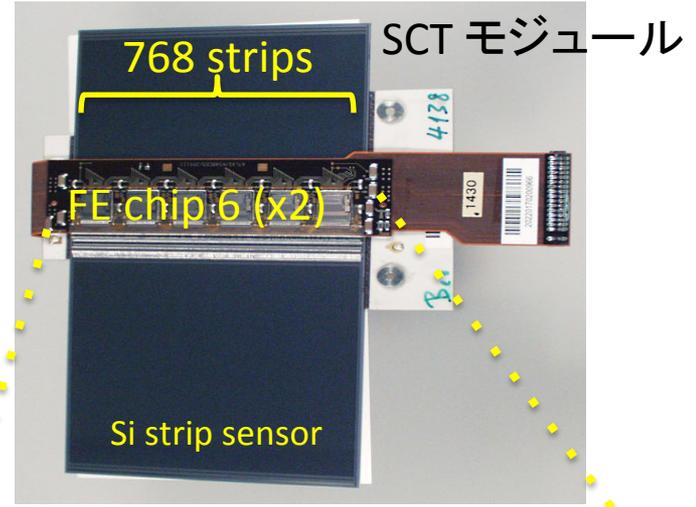
ROD Format      0 / 1は電圧値

32bit data

```

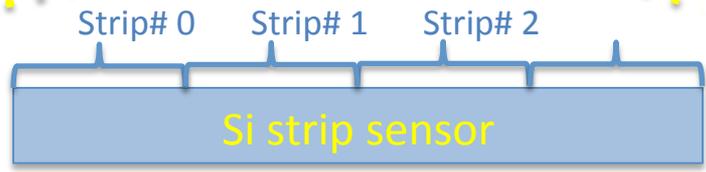
10110000111100000000000000000000
11101110000100100011010011101110
00000000000000000000000000000001001
00000011000000010000000000000000
00000000001000010000000100001010
0000111111100011100111000010011
000000000000000011000011010100000
00000000000000001011110000011101
00000000000000000000000000000000
00100000001001111001011010010010
001000000001101110110110110010
0010000001001010110111110010
00100000000110110001000101100010
0010000000110011101011111110010
0010000000010111001000101100010
10000000000010100100000000000000
0010000000000001110111111010010
00000000000000000000000000000000
00000000000000000000000000000001
    
```

2進数

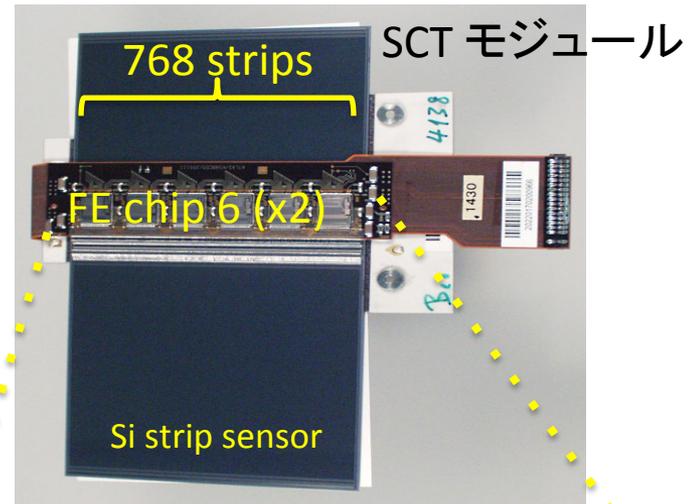
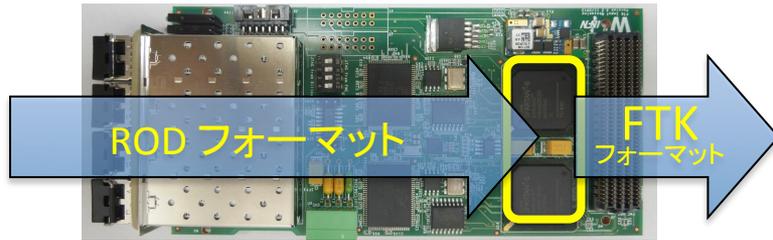


Front End Chipの読み出し

8	9	10	11	12	13
5	4	3	2	1	0



# クラスタリングとデータフォーマット



32bit data

## ROD Format

```

0xb0f00000
0xee1234ee
0x00000009
0x03010000
0x0021010a
0x0ff1ce13
0x000186a0
0x0000bc1d
0x00000000
0x00000000
0x20279692
0x201dd8c2
0x204f9282
0x2045dbf2
0x2033aff2
0x2065c672
0x200b9162
0x800a4000
0x2001dfd2
0x00000000
0x00000001
    
```

16進数

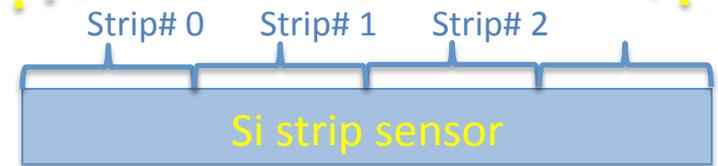
## FTK Format

```

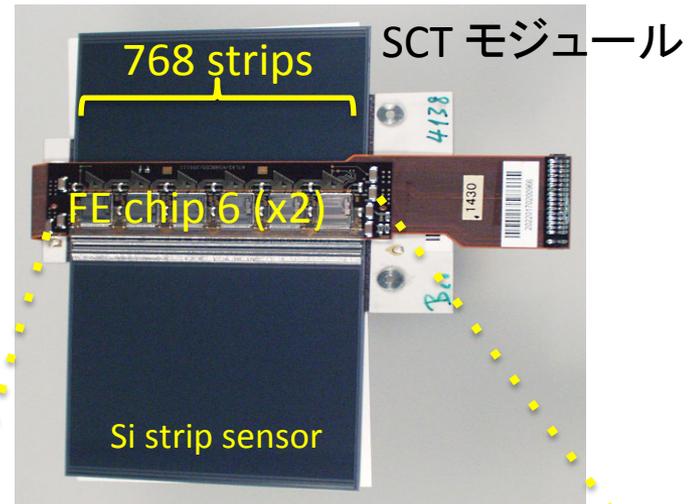
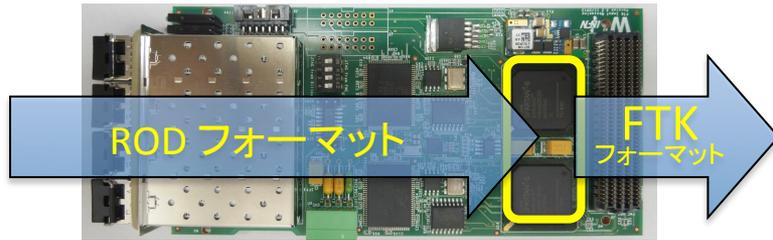
0xb0f00000
0xff1234ff
0x0ff1ce13
0x000186a0
0x0000bc1d
0x00000000
0x2e5e27ed
0x800089d3
0x00008530
    
```

Front End Chipの読み出し

8	9	10	11	12	13
5	4	3	2	1	0

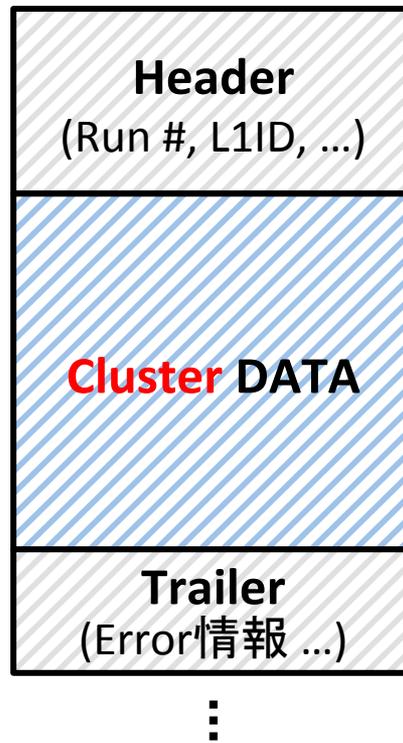
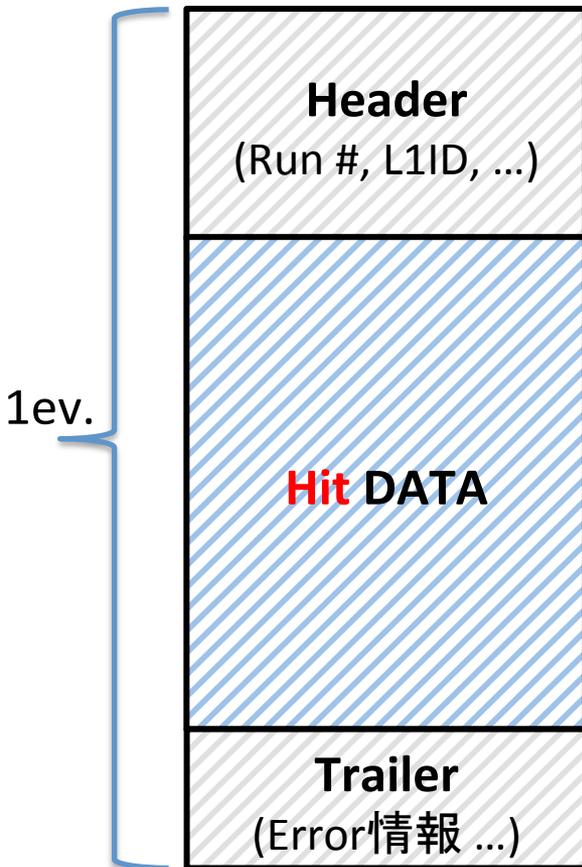


# クラスタリングとデータフォーマット



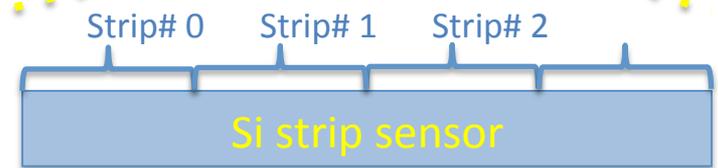
**ROD Format**

**FTK Format**

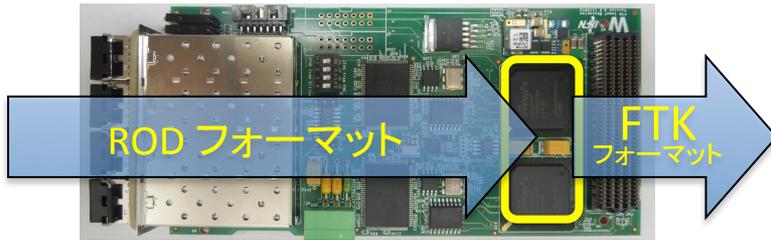


Front End Chipの読み出し

8	9	10	11	12	13
5	4	3	2	1	0

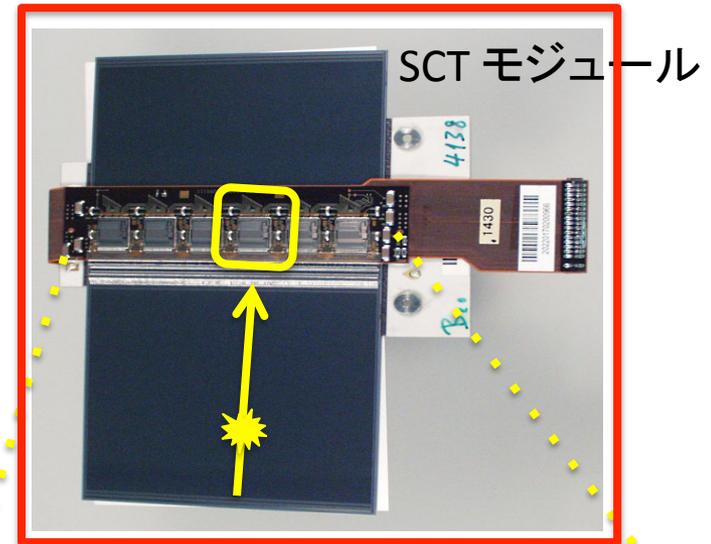


# クラスタリングとデータフォーマット



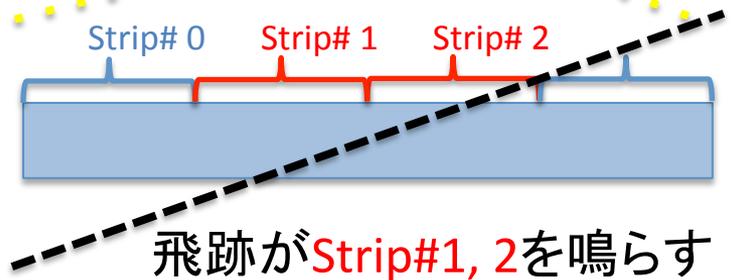
**ROD Format**

**FTK Format**



Front End Chipの読み出し

8	9	10	11	12	13
5	4	3	2	1	0



**Header**  
(Run #, L1ID, ...)

**Header**  
(Run #, L1ID, ...)

- ① Module情報
- ② Chip # 2
- ③ Strip# 1
- ④ Strip# 2

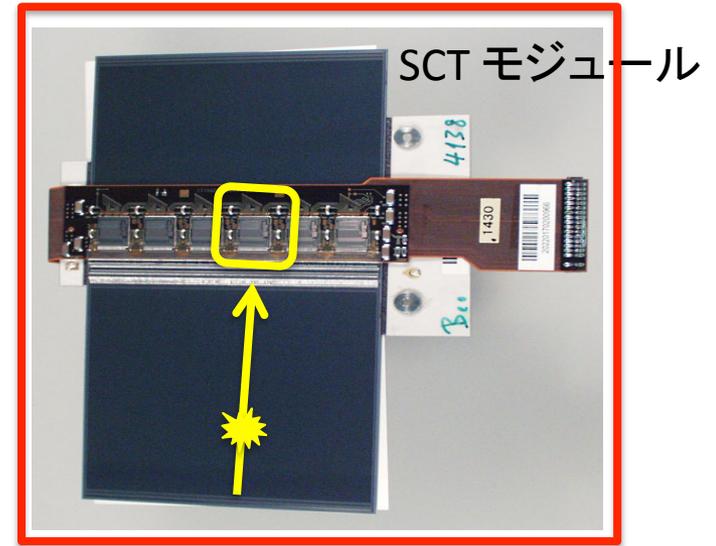
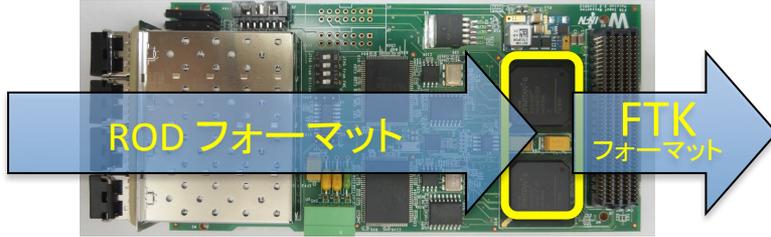
- ① Module情報
- ② 中央値3, 幅2

**Trailer**  
(Error情報 ...)

**Trailer**  
(Error情報 ...)

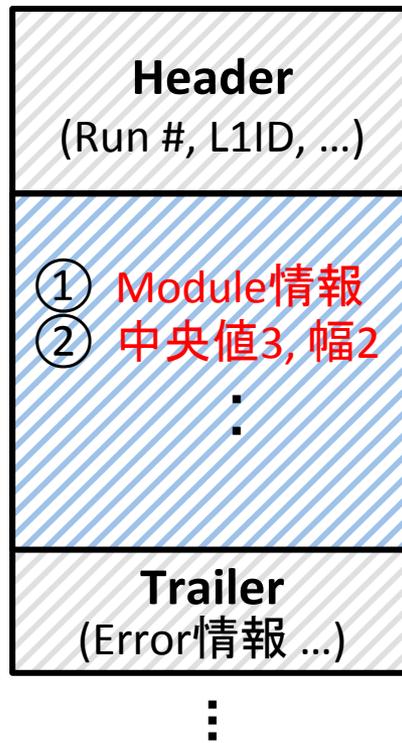
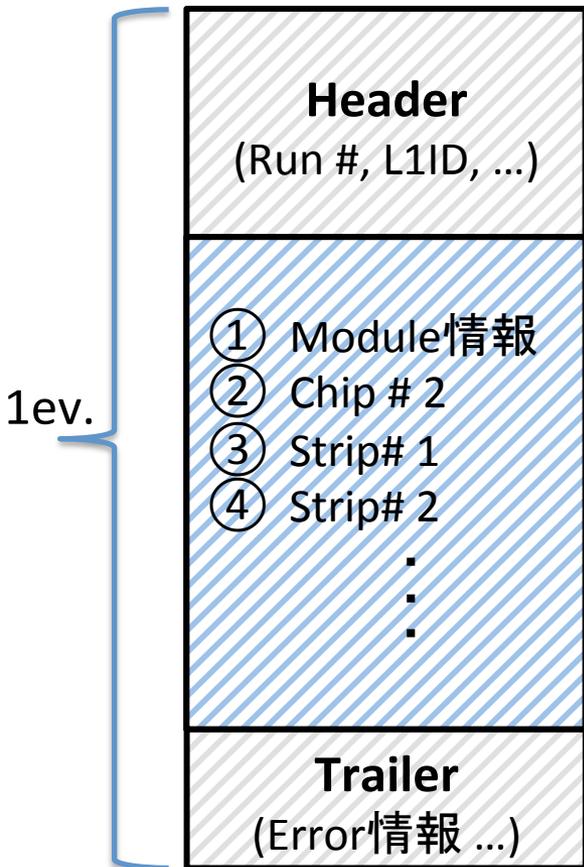
1ev.

# クラスタリングとデータフォーマット

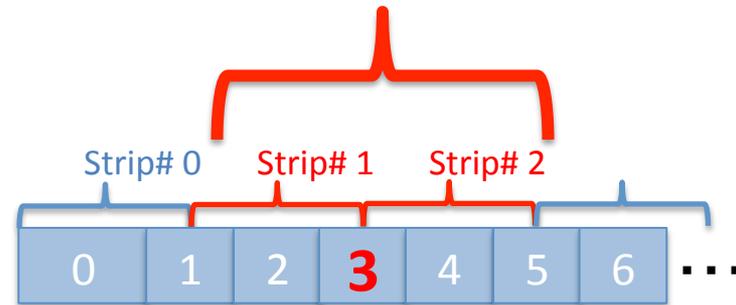


**ROD Format**

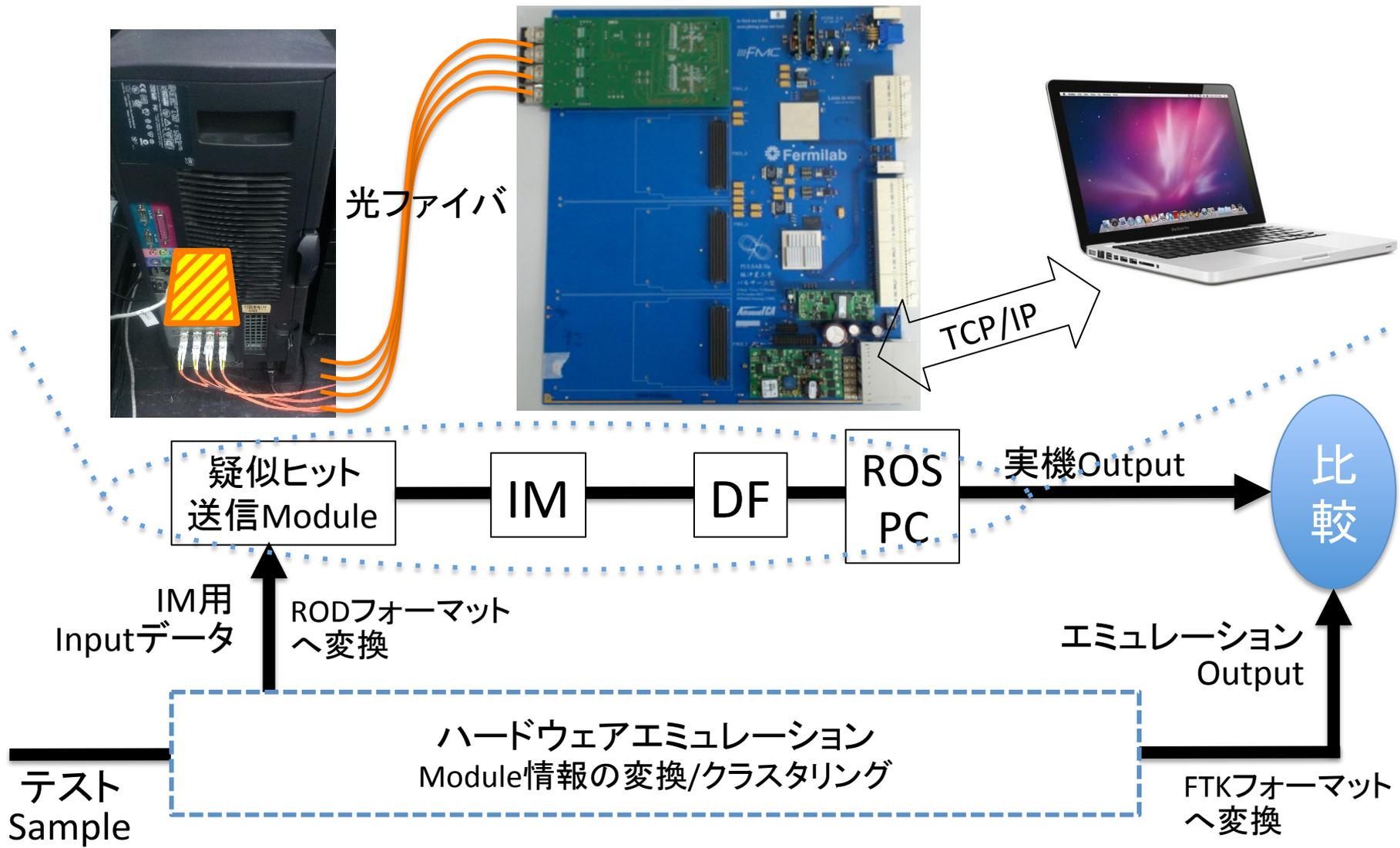
**FTK Format**



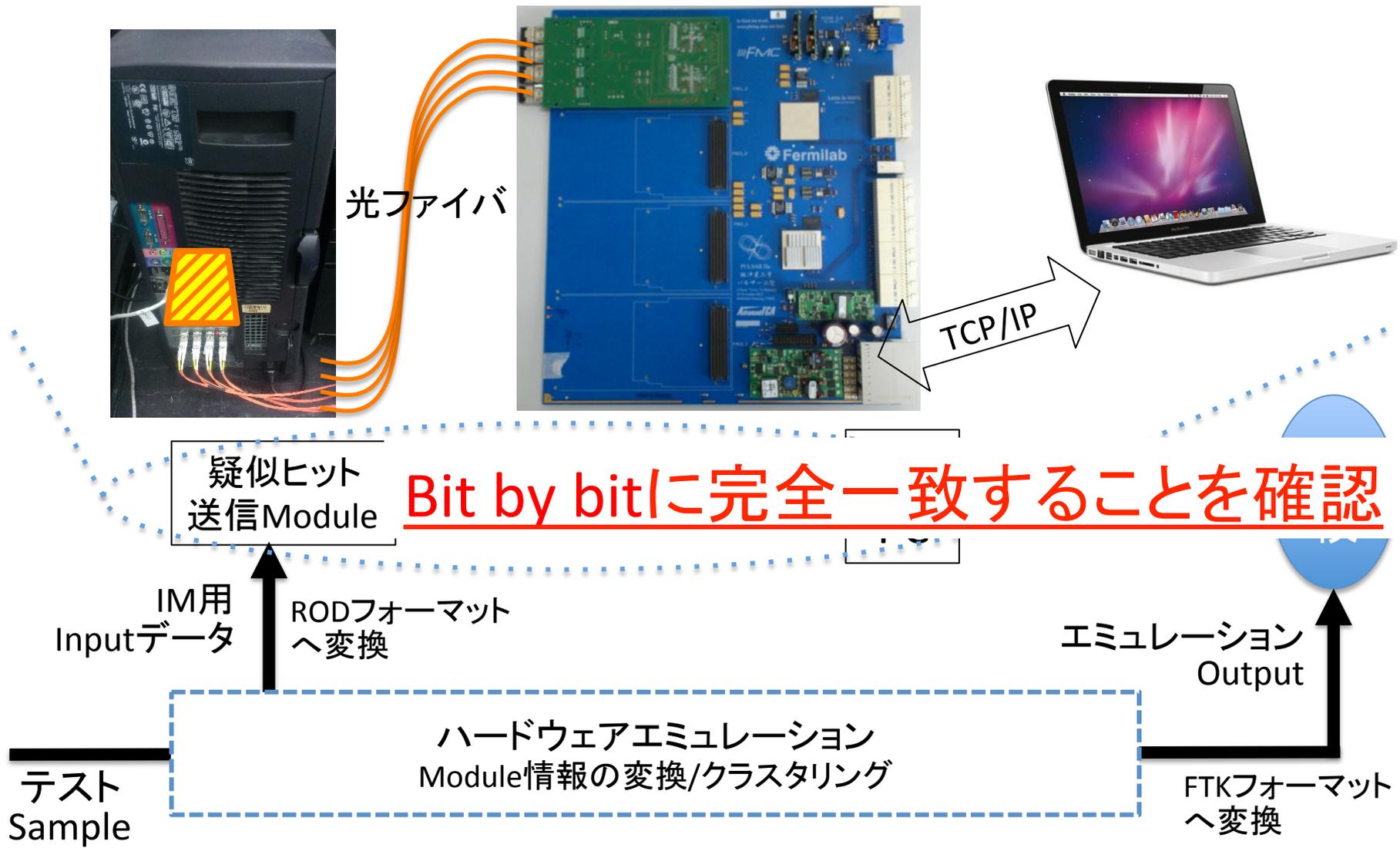
1つのクラスターとして扱う  
(中央値3/幅 2)



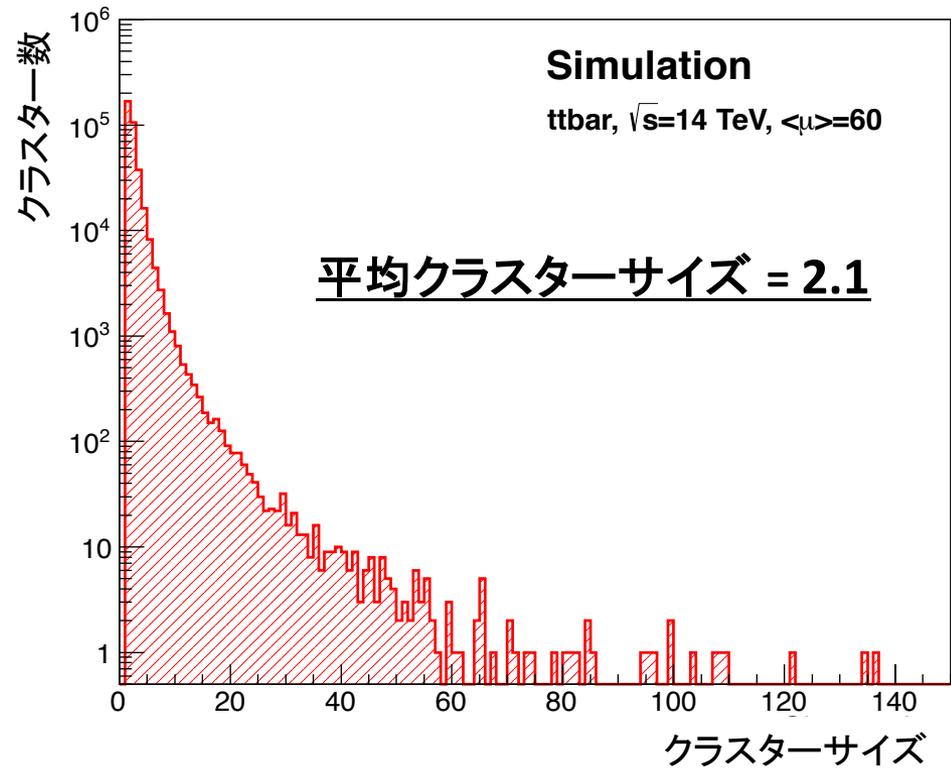
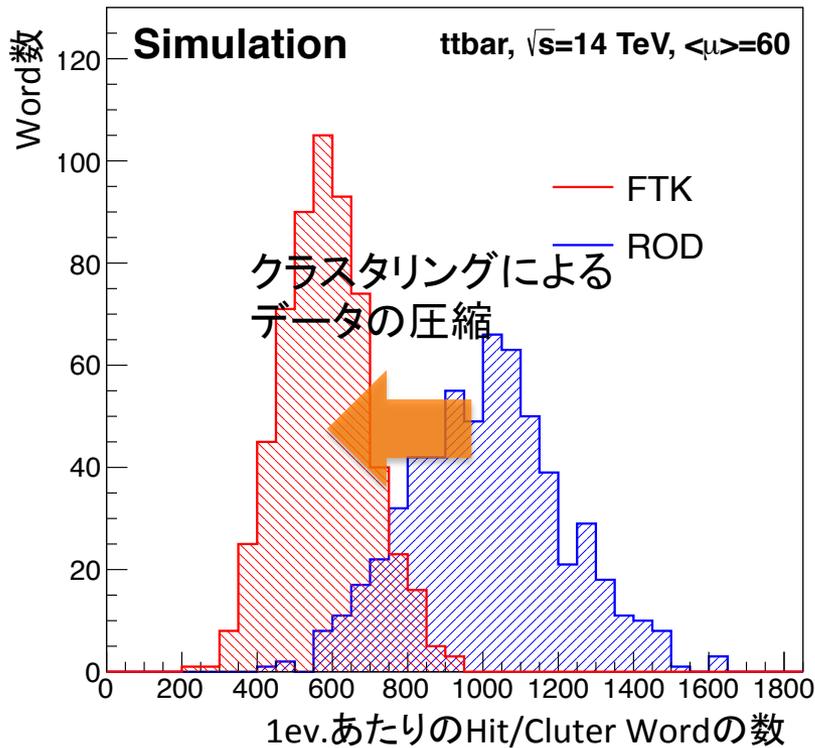
# 実機とエミュレーション比較



# 実機とエミュレーション比較

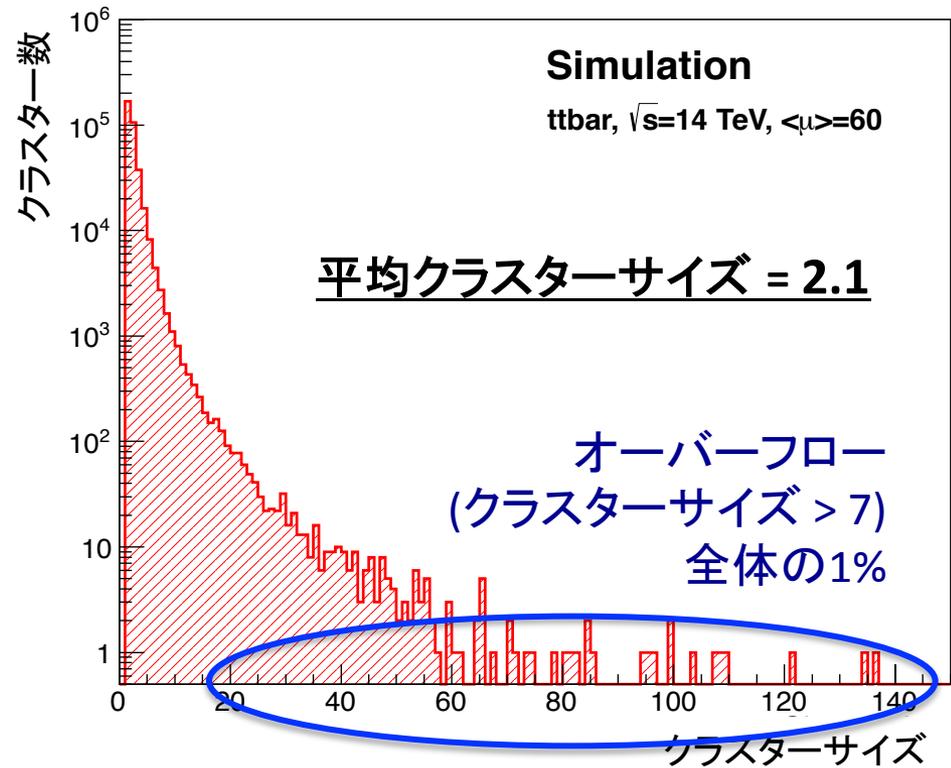
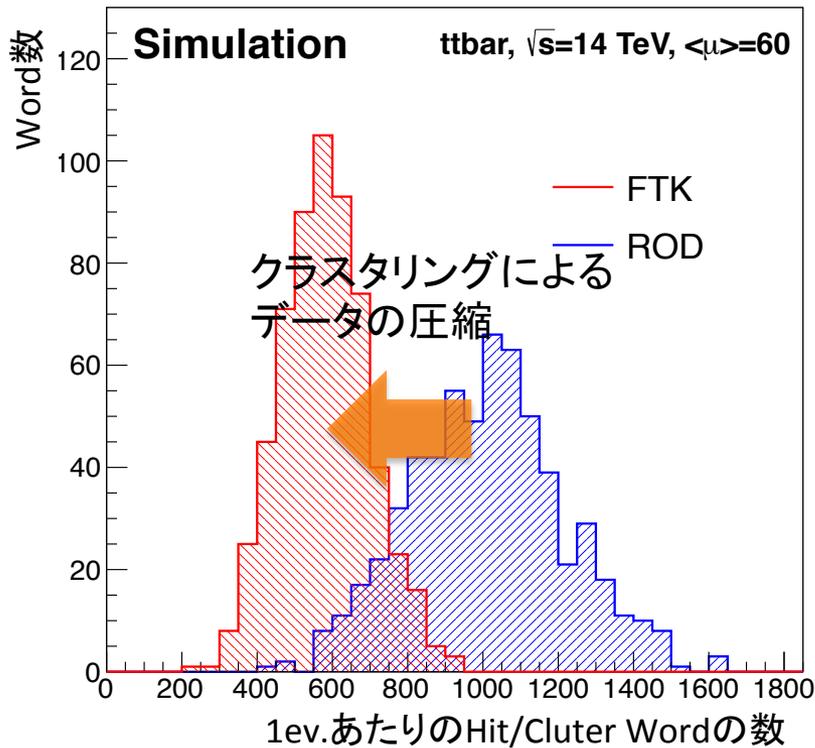


# クラスタリングとデータサイズ



	Hit情報の送り方	平均Hit Word数 /ev.
<b>ROD</b>	1 or 2 hit / word	1010
<b>FTK</b>	クラスター(平均2hit) / word	580

# クラスタリングとデータサイズ



	Hit情報の送り方	平均Hit Word数 /ev.
<b>ROD</b>	1 or 2 hit / word	1010
<b>FTK</b>	クラスター(平均2hit) / word	580

↑  
今後のPU増加に伴い、  
パターン認識にてInefficiency  
になる可能性がある

ハードウェアエミュレーションの構築により、実機Outputの質の検証が可能になった  
→ 今後は、様々なテストベクターを作製し、後段ボードも含めて検証を行っていく

# まとめと展望

## まとめ:

- IMの開発を進めている(量産がまさに進行中)
- ハードウェアエミュレーションの構築を行った
  - HWとエミュレーションの比較を行い、Bit by bitで完全一致することを確認した

## 展望:

- QCを行った後、CERNへと郵送 / 順次インストールを行っていく
- ハードウェアエミュレーションを用いて、後段のボードも含めて、Outputの質の詳細な検証を行う

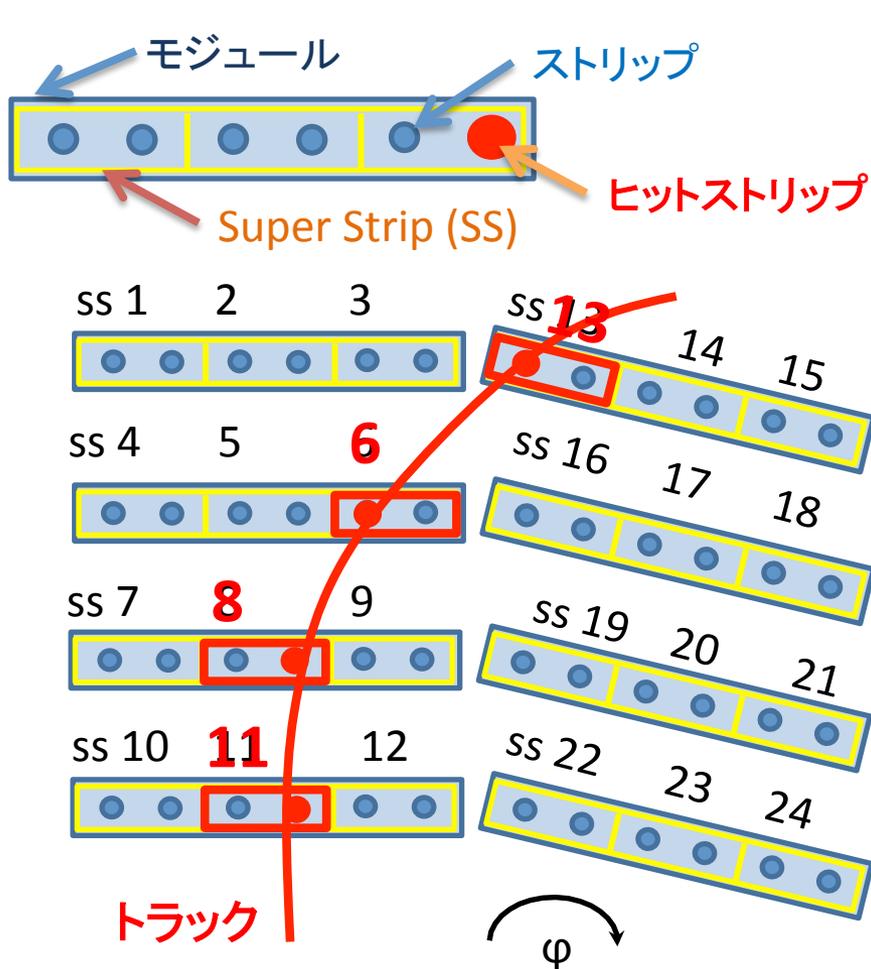
---

# Back Up

---

# FTK動作原理(パターン認識)

✓ いくつかのストリップやPixelを一つにまとめたSuper Strip(SS)から粗いトラック(Road)を生成する。



SSサイズ小→必要パターン数大

# FTK動作原理(2)

- ✓ 定数項を各パターン毎に予め準備しておき、即座にトラックパラメータを計算(1track/ns)する。
- ✓ 真の値とのずれにより $\chi^2$ 乗も定義できるため、質を評価できる。

## □ 線形近似: (トラックを直線とするわけではありません!)

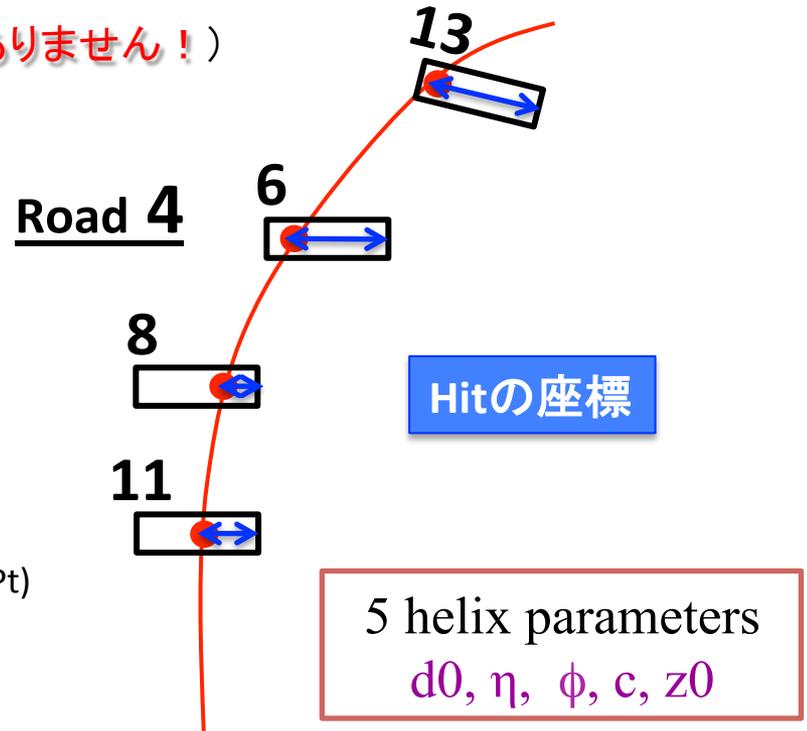
定数 (大量のMCを使って求める)

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

$\tilde{p}_i$  : 観測されるTrack Parameter ( $i = 0 \sim 4$ ) ( $d_0, \eta, \phi, z_0, Pt$ )

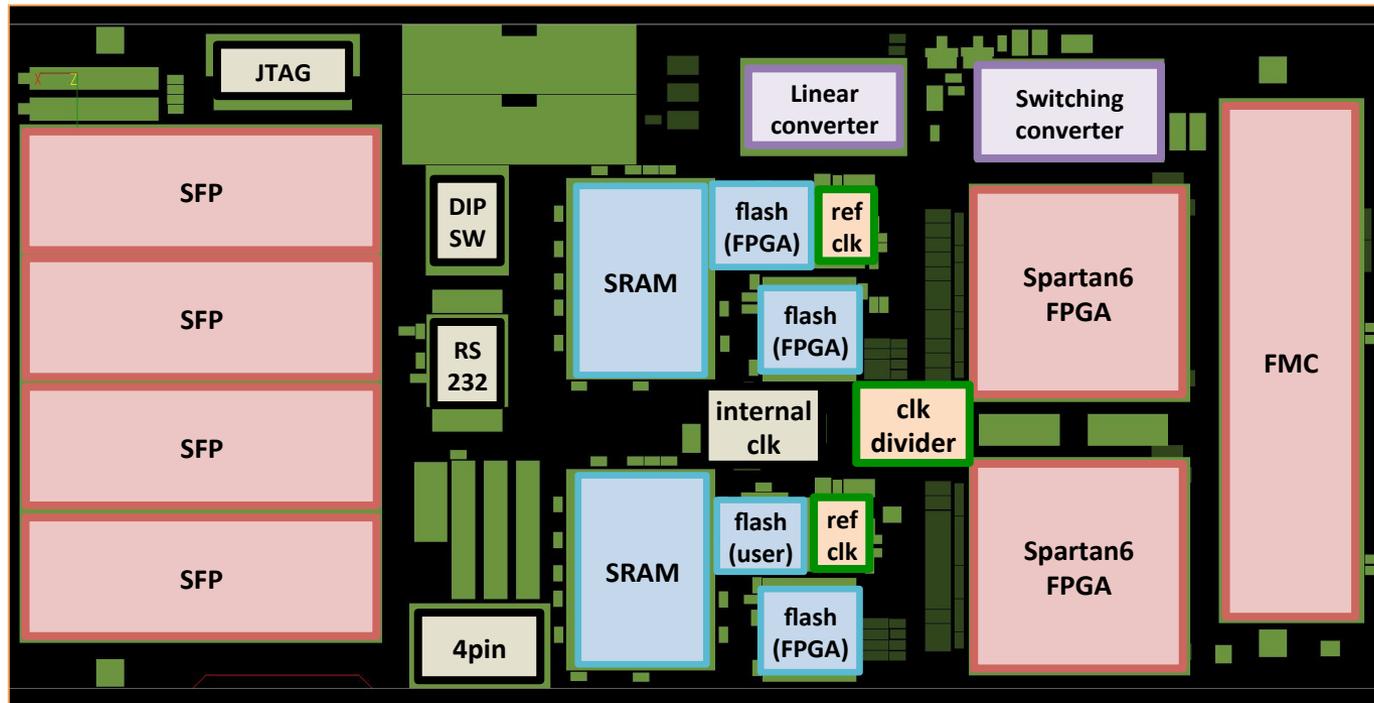
$x_l$  : Hitの座標

$C_{il} \quad q_i$  : 定数項 (予め大量のMCを使って求めておく)



✓ フルレゾリューションのHitを使用し高速にトラッキング可能

# 主要部品リスト



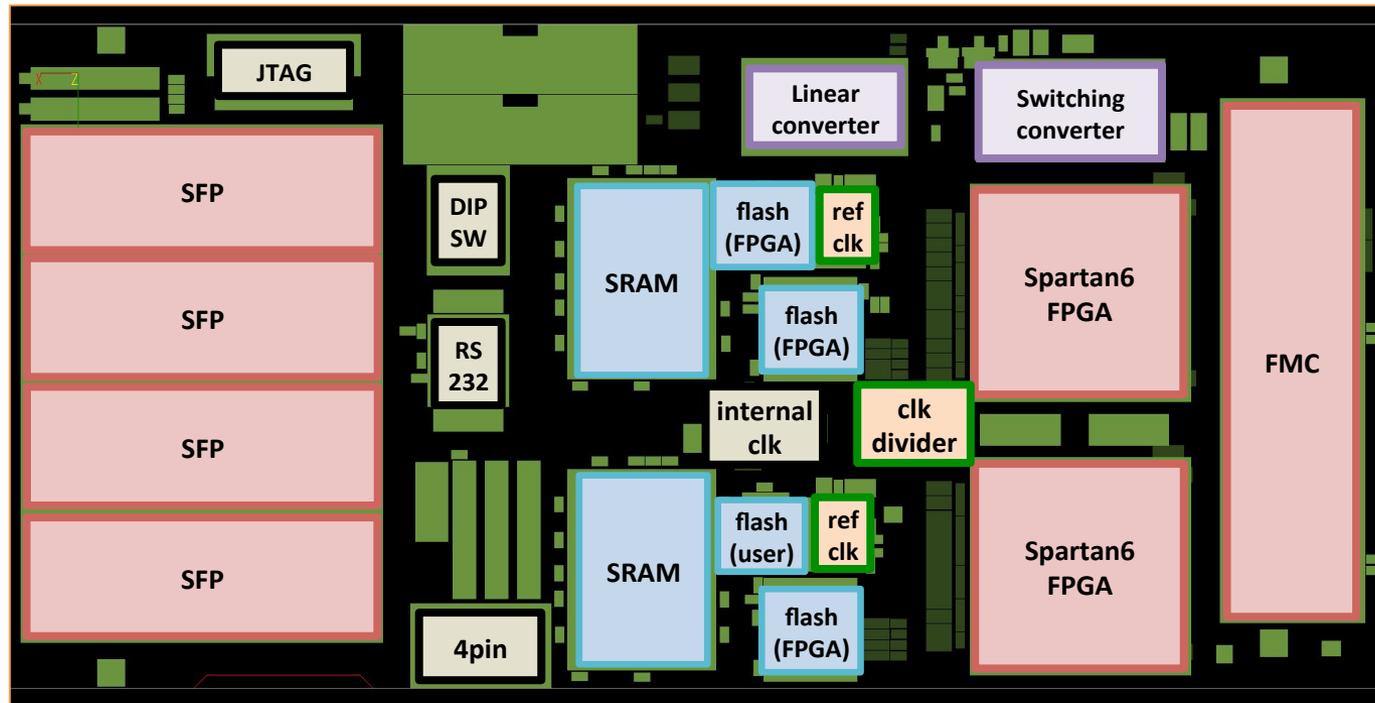
## データフローに関わる部品

- SFPトランシーバ(入力部)
- Spartan-6 FPGA
- FMCコネクタ(出力部)

## メモリパーツ

- SRAM
- flash RAM (user)
- flash RAM (FPGA conf)

# 主要部品リスト



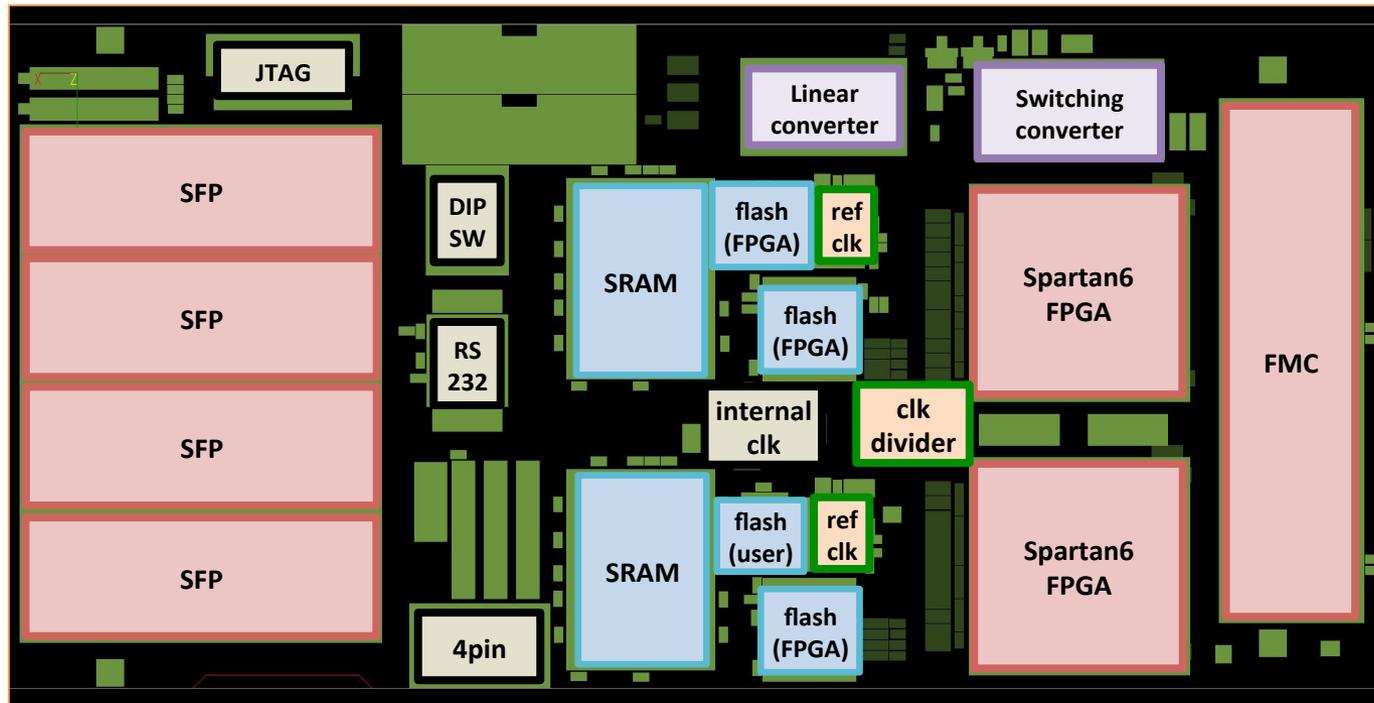
## クロックパーツ

- クロックディバイダー ... DFから受けたクロックを2つのFPGAに分配
- GTP用リファレンスクロック ... GTP(FPGAの高速通信)ライン用のクロック

## 電源パーツ

- スイッチングコンバータ ... FMC12V ⇒ 1.2V (コア電圧, ロジック用)
- リニアコンバータ ... FMC3.3V ⇒ 1.2V (GTP通信用)

# 主要部品リスト

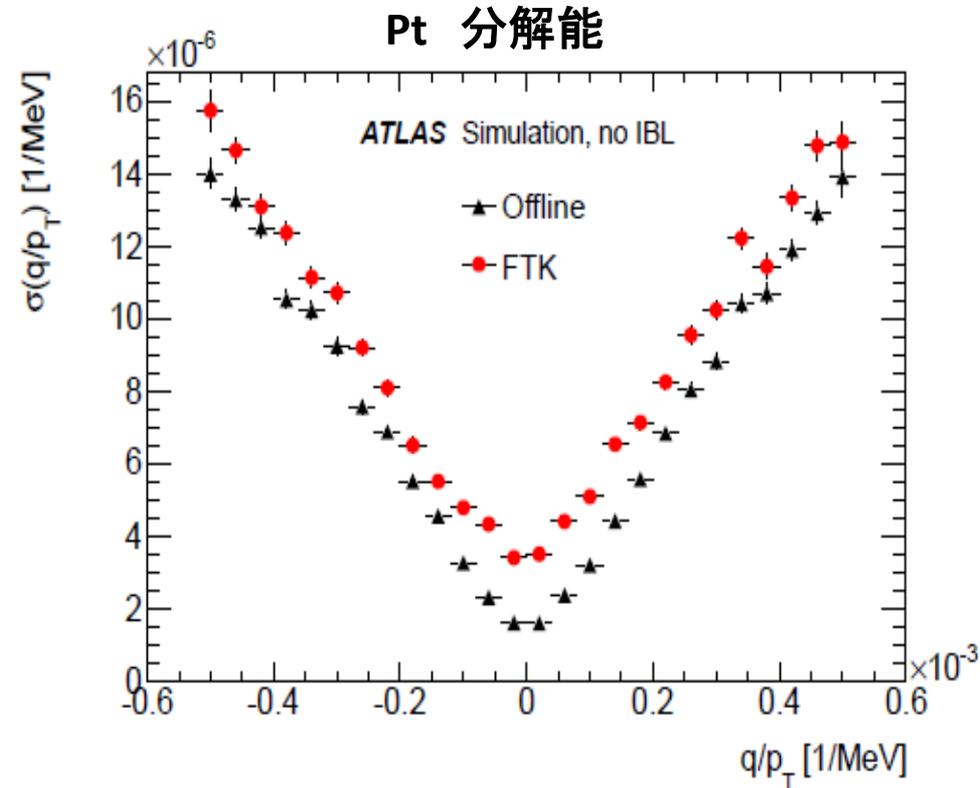
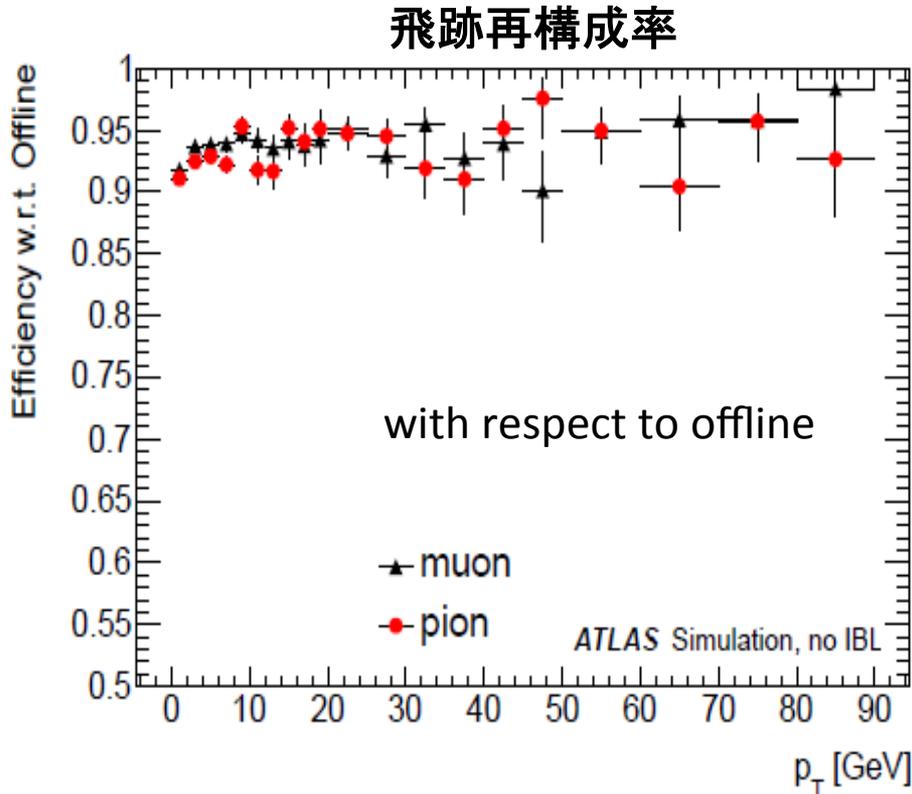


## その他補助パーツ

- JTAGポート : FPGAにF/Wを入れる、FPGAから情報を出力
- DIPスイッチ
- RS232シリアルポート : PCとシリアル接続
- 内部クロック
- 4ピン外部電源端子 : スタンドアローン試験用

# FTK飛跡性能

- ✓  $L=3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ のトラック数でも、各ボードのスペックは十分(稼働率 $\sim 60\%$ )
- ✓ オフラインに対して90%以上のトラック認識効率を実現



- ✓ HLTからの要求を十分に満たす速さで、オフラインクオリティーのトラックを供給可能。

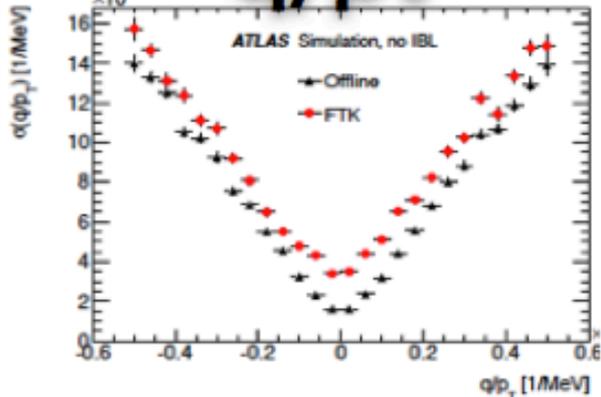
- Run2からFTKによりHLT開始時に全領域の飛跡情報が得られる
- $P_t > 1\text{GeV}$ の飛跡をオフライン解析に近い分解能で90%再構成

## FTK飛跡分解能

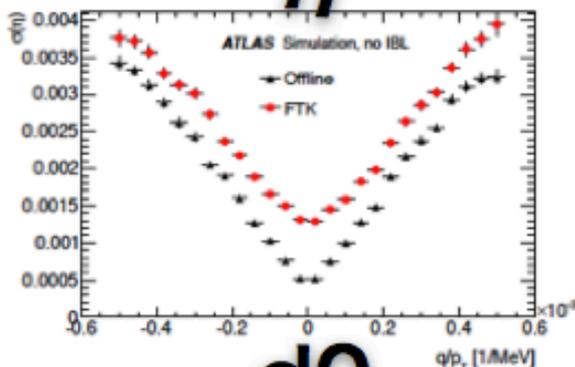
(ATLAS-TDR-021 p23より)

— FTK  
— offline

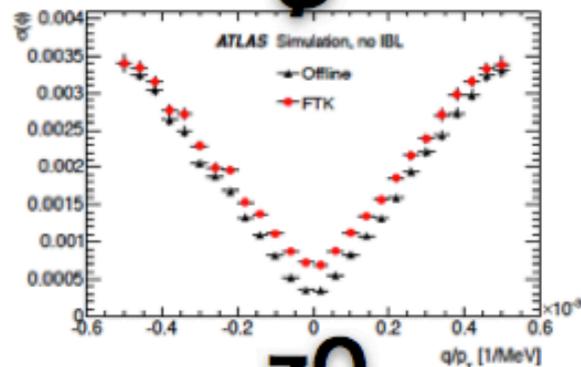
$q/p_t$



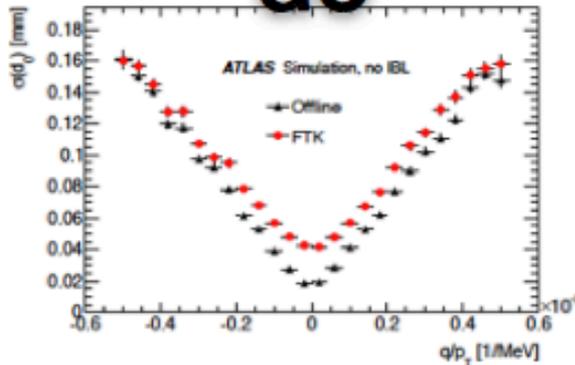
$\eta$



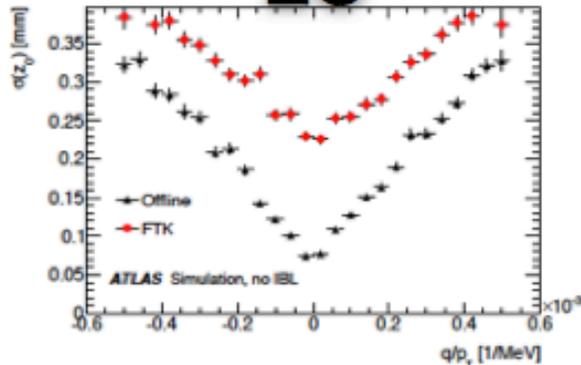
$\phi$



$d_0$



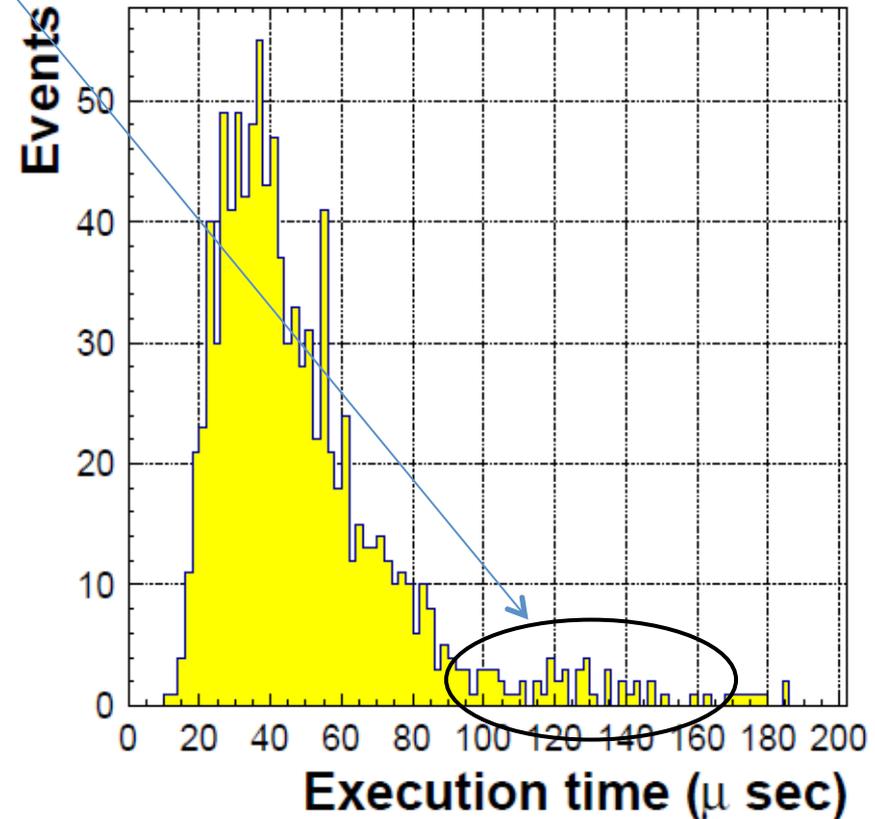
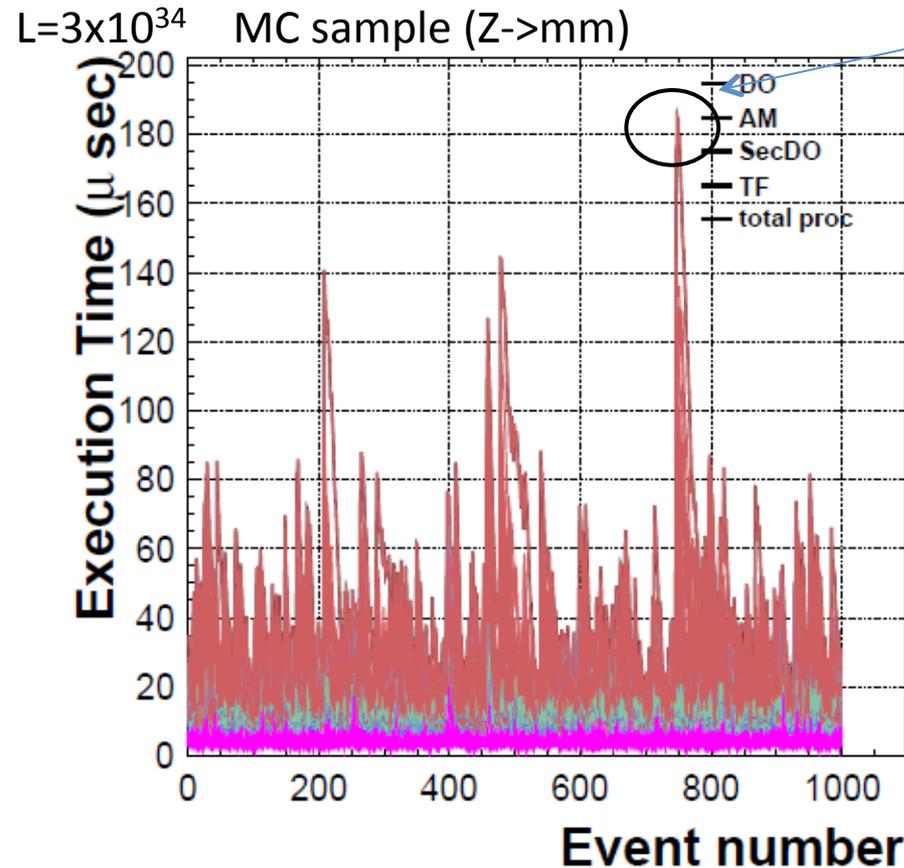
$z_0$



# 処理速度

$L=3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ のトラック数でも、各ボードのスペックは十分(稼働率 $\sim 60\%$ )

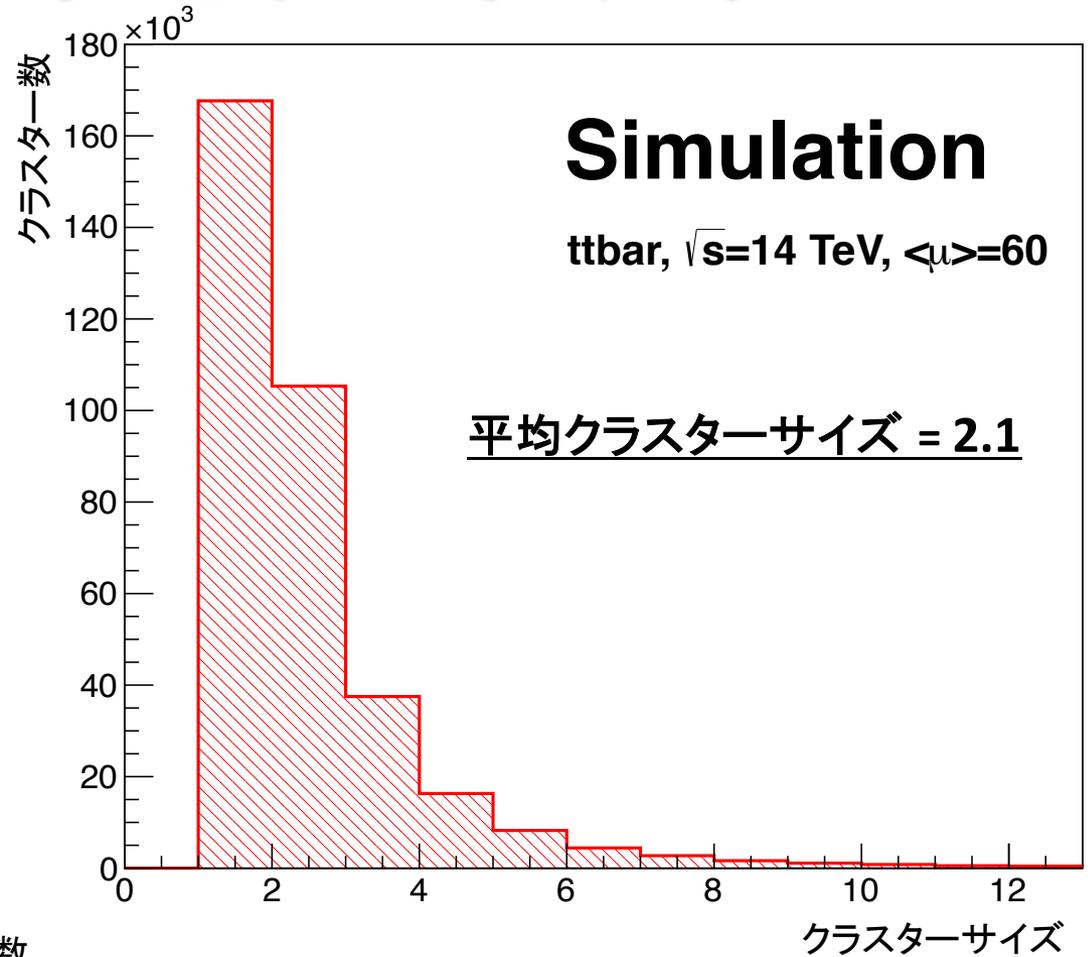
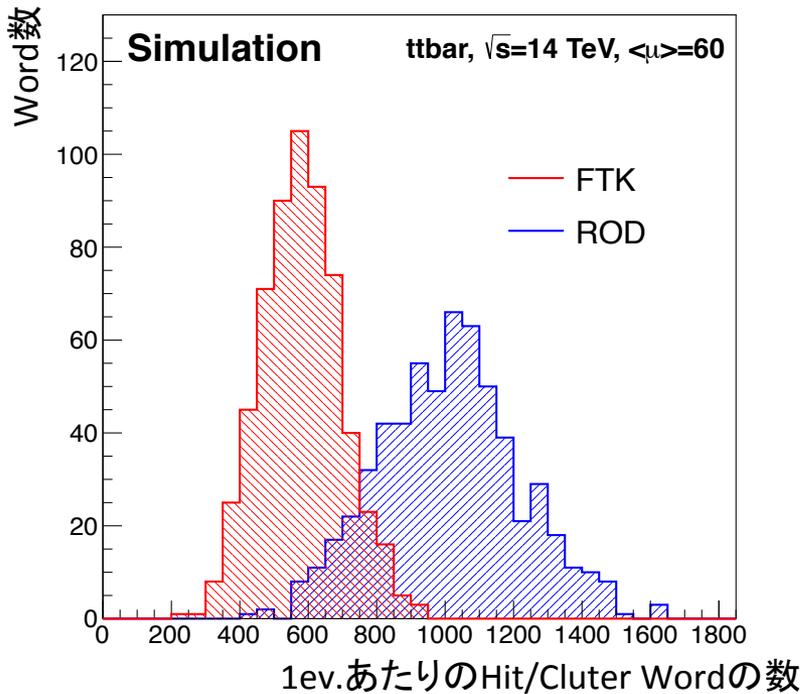
重いイベントで処理時間は一時的に上がるが、すぐもとに戻る。



$\sim 40$  micro sec で全飛跡を処理可能。十分 LVL2の要求を満たす。

(2m sec)

# クラスタリングとデータサイズ

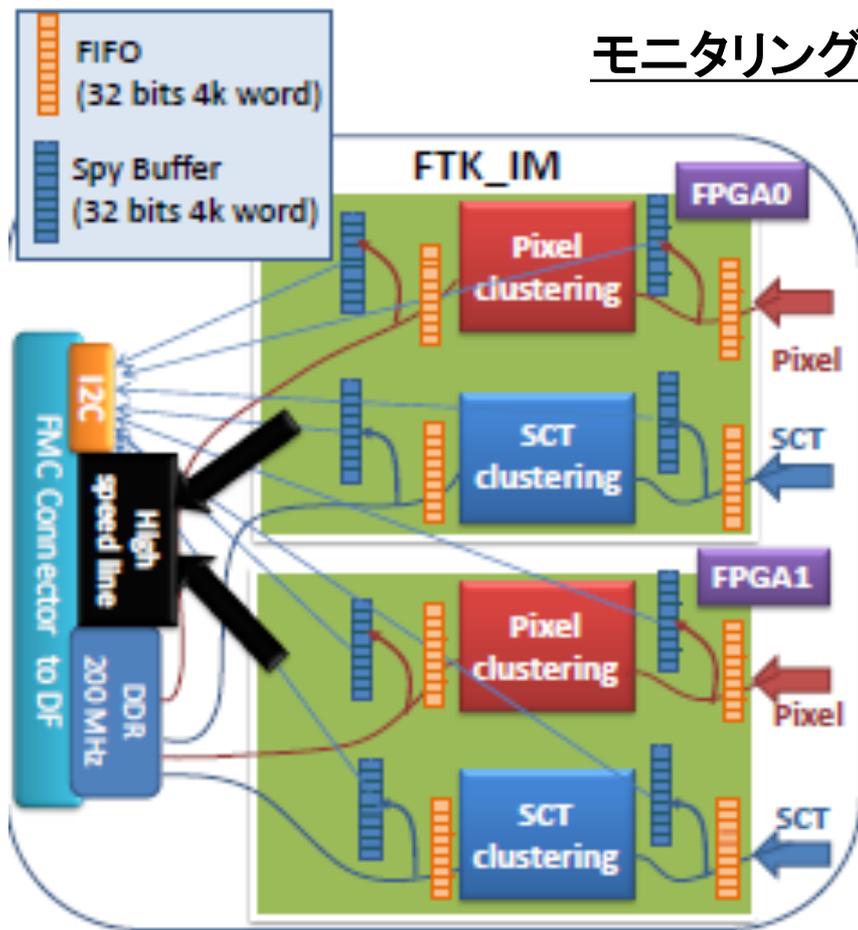


	Hit情報の送り方	平均Hit Word数 /ev.
<b>ROD</b>	1 or 2 hit / word	1010
<b>FTK</b>	クラスタ(平均2hit) / word	580

# ソフトウェア開発状況

- ✓ 各ボードのファームウェアは開発-テスト中。
- ✓ TDAQシステムとの統合は順調。
- ✓ エラー処理やモニタリングシステムを準備、テスト中。
- ✓ FTKシミュレーションのデータもAthena環境に統合済み。

## モニタリングの例 (input mezzanine)



- ✓ 各チャンネルに4k長の入出力モニタリングFIFOを準備
- ✓ 常時10イベント程度の情報をキープ
- ✓ 任意、エラー認識、下流からの指示でデータをフリーズ。
- ✓ 状態レジスタとモニタリングFIFOはDFとのI2Cと高速シリアルラインで読み出し。
- ✓ FTKシステム全体で、統合したエラーワードを定義

# FTKシステム概要

## Input Mezzanine card(IM) + Data Formatter(DF)

### Dual HOLA card

内部飛跡検出器のHitをコピーしFTKへ

IM: Hitの受信およびクラスタリング  
DF: Hitの共有, 並列処理への分配

## Auxiliary card(AUX) + Associative Memory Board(AMB)

AM: パターン認識  
AUX: 飛跡情報を算出  
 $p_t, \eta, \phi, d_0, z_0$

## Second Stage Board(SSB)

飛跡の質向上(8層→12層)

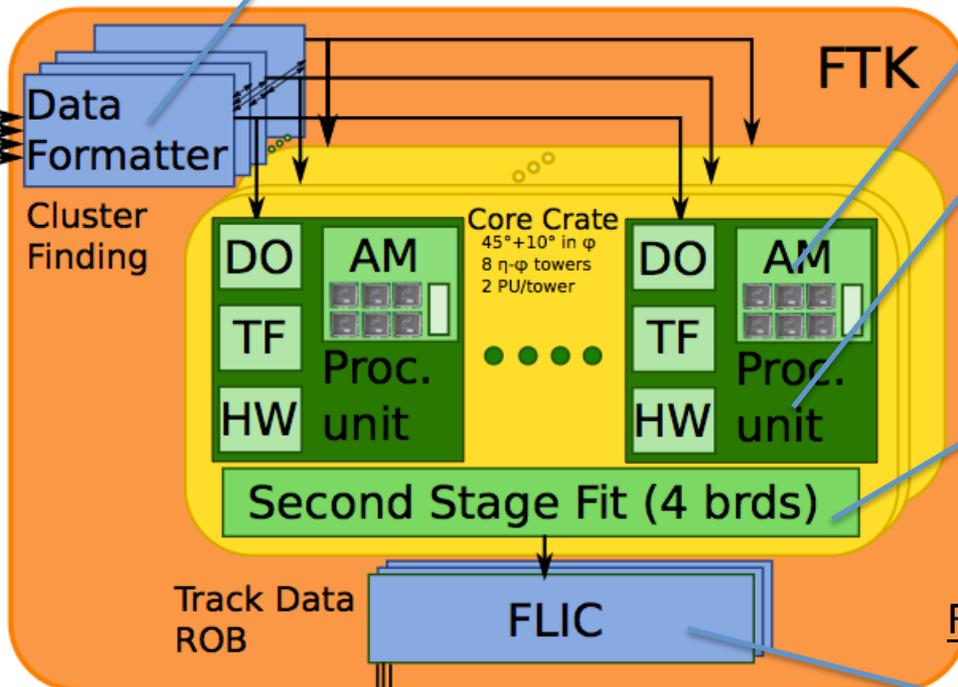
## FTK to Level2 Interface Crate(FLIC)

全飛跡情報をHLTへ送信

Pixels & SCT  
RODS

100 kHz  
Event  
Rate

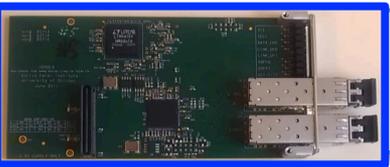
Raw Data  
ROBs



# FTKシステム概要

Input Mezzanine card(IM) + Data Formatter(DF)

Dual HOLA card

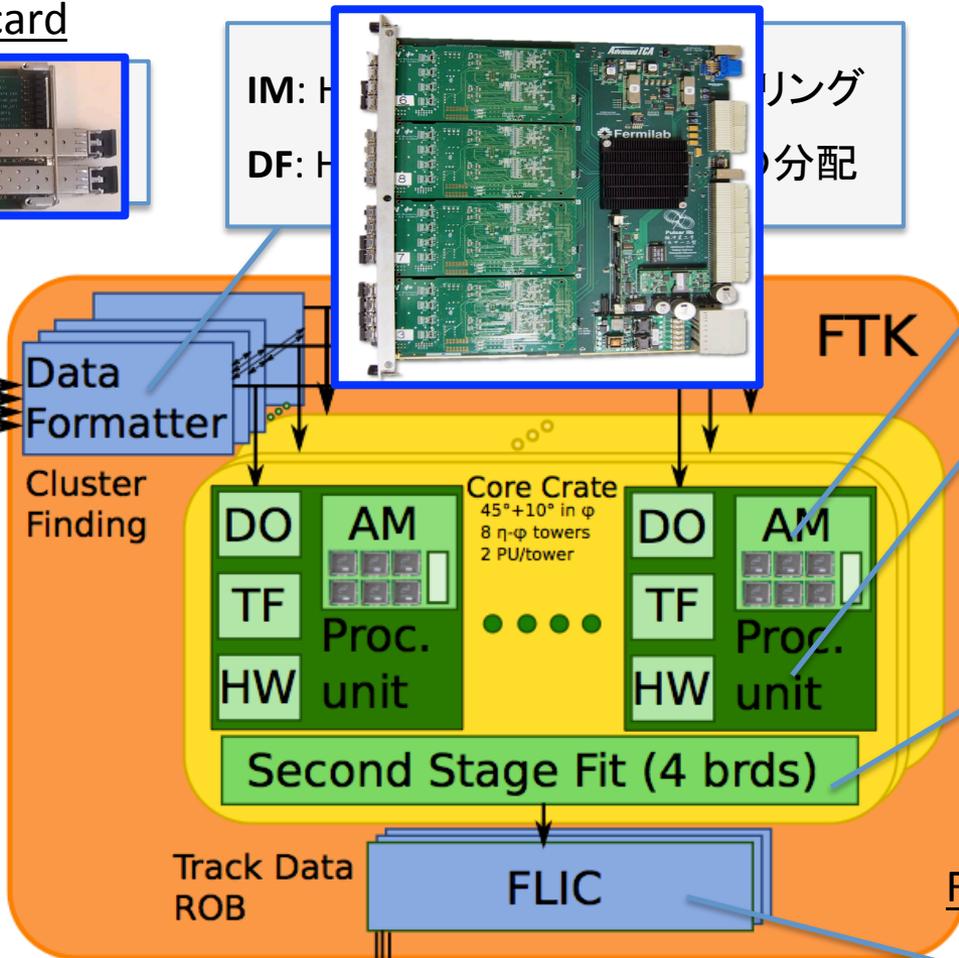


Pixels & SCT

RODs

100 kHz  
Event  
Rate

Raw Data  
ROBs



IM: H  
DF: H

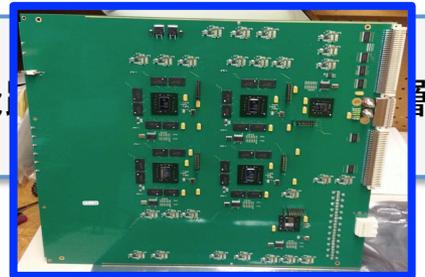
リング  
分配

Auxiliary card(AUX) +  
Associative Memory Board(AMB)



Second Stage Board(SSB)

飛



FTK to Level2 Interface Crate (FLIC)

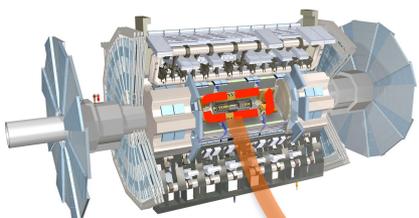


FTK ROBs

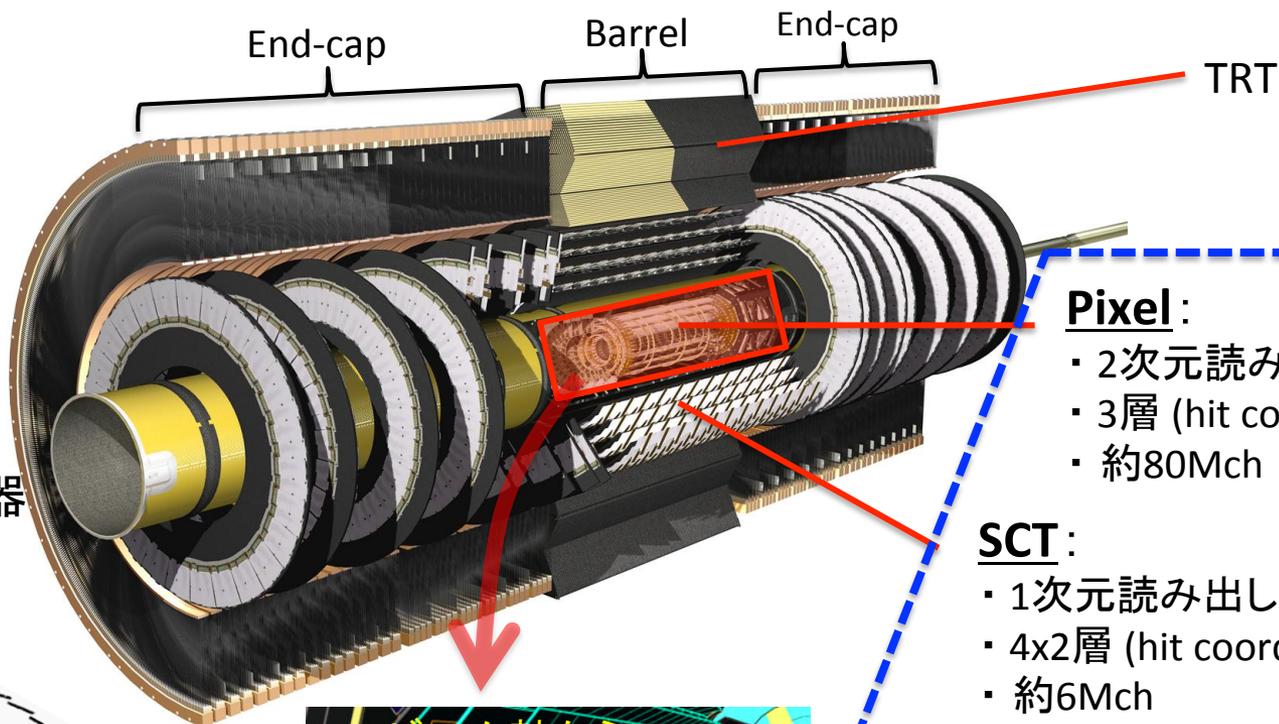
HLT

Processing

# 内部飛跡検出器



ATLAS検出器



内部飛跡検出器

SCT 4x2層

Pixel 3層

## Pixel:

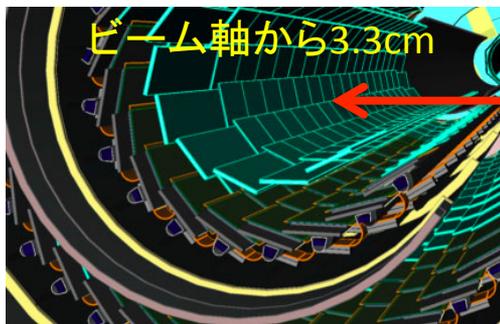
- ・ 2次元読み出し
- ・ 3層 (hit coordinate 6)
- ・ 約80Mch

## SCT:

- ・ 1次元読み出し
- ・ 4x2層 (hit coordinate 8)
- ・ 約6Mch

## IBL:

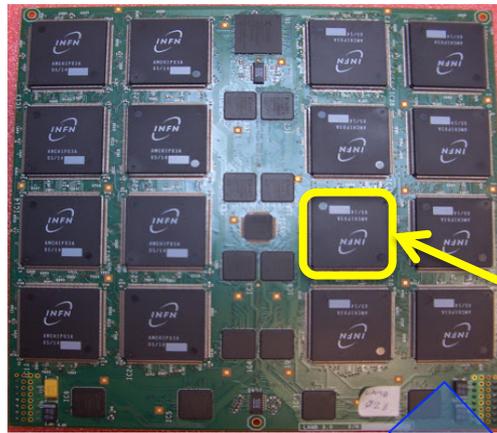
- ・ Phase-0 upgradeで挿入
- ・ 2次元読み出し
- ・ 1層 (hit coordinate 2)
- ・ 約12Mch



✓ FTK Input: シリコン検出器12層・約100MchのHit情報

# Associative Memory Board (AMB)

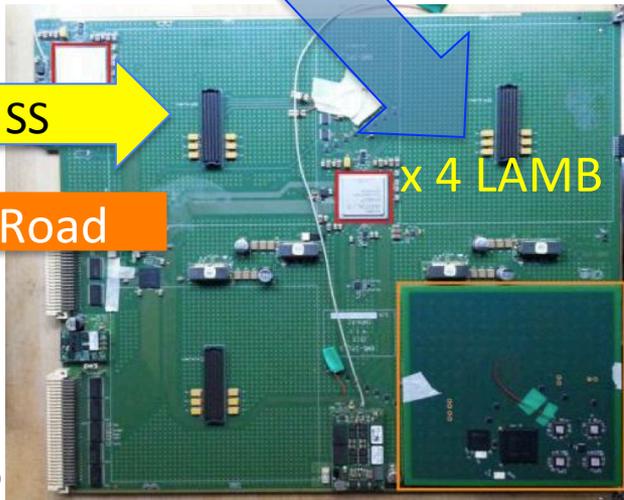
- ✓ AUXからSS(粗いHit情報)を受け取り、AMchipに格納してあるトラックパターン(Road)との比較により、即座に一致するトラックパターン(Road)を算出し、AUXへ送信



Local AMB (LAMB)

AMchip

-- 128kのRoadを格納 (AMchip06)



AUX

AMB



SSサイズ小→必要パターン数大

# AMchip

	Technology	Area	Patterns	Detector Layer	Size	MHz	I/O
AMchip04	<b>65nm</b>	14mm <sup>2</sup>	8k	<b>8</b> (18b/layer)	1.2Mb/chip	<b>100</b>	Parallel
AMchip05	<b>65nm</b>	12mm <sup>2</sup>	3k	<b>8</b> (18b/layer)	440kb/chip	<b>100</b>	<b>SerDes</b>
AMchip06	<b>65nm</b>	<b>160mm<sup>2</sup></b>	<b>128k</b>	<b>8</b> (18b/layer)	<b>19Mb/chip</b>	<b>100</b>	<b>SerDes</b>

## 2012 **AMchip04**

- 8k patterns, 8x15bit in 14 mm<sup>2</sup>, 100MHz, TSMC 65nm LP technology
- Pattern density x12
- 48A, 1.2V/LAMB (230W/AMB)

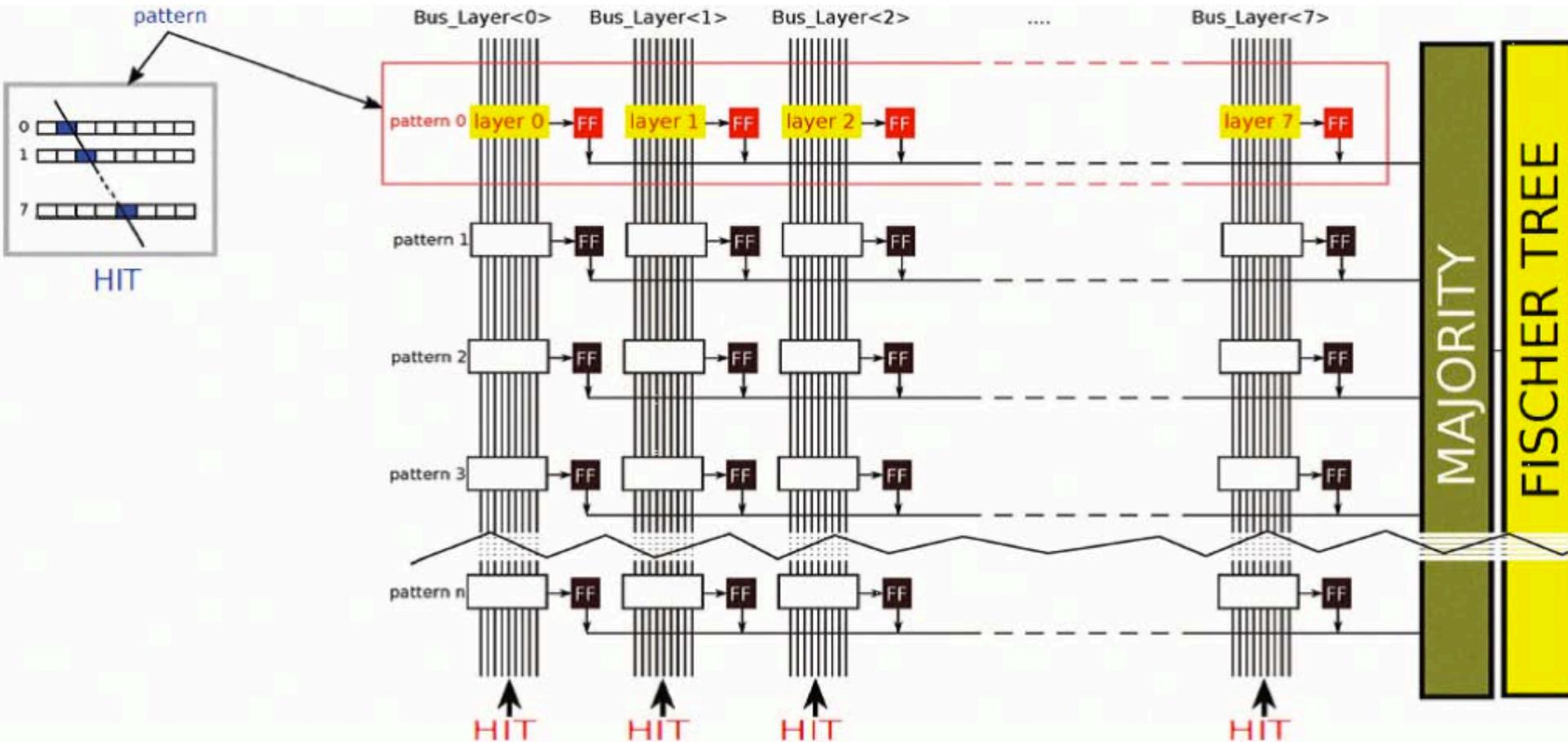
## 2013-2014 **AMchip05** (最終prototype)

- Mini Asic(256), MPW(3k patterns), 8x16 bit in 12 mm<sup>2</sup>
- Serialized input/output buss @2.4Gb/s, (8b/10b encoding)

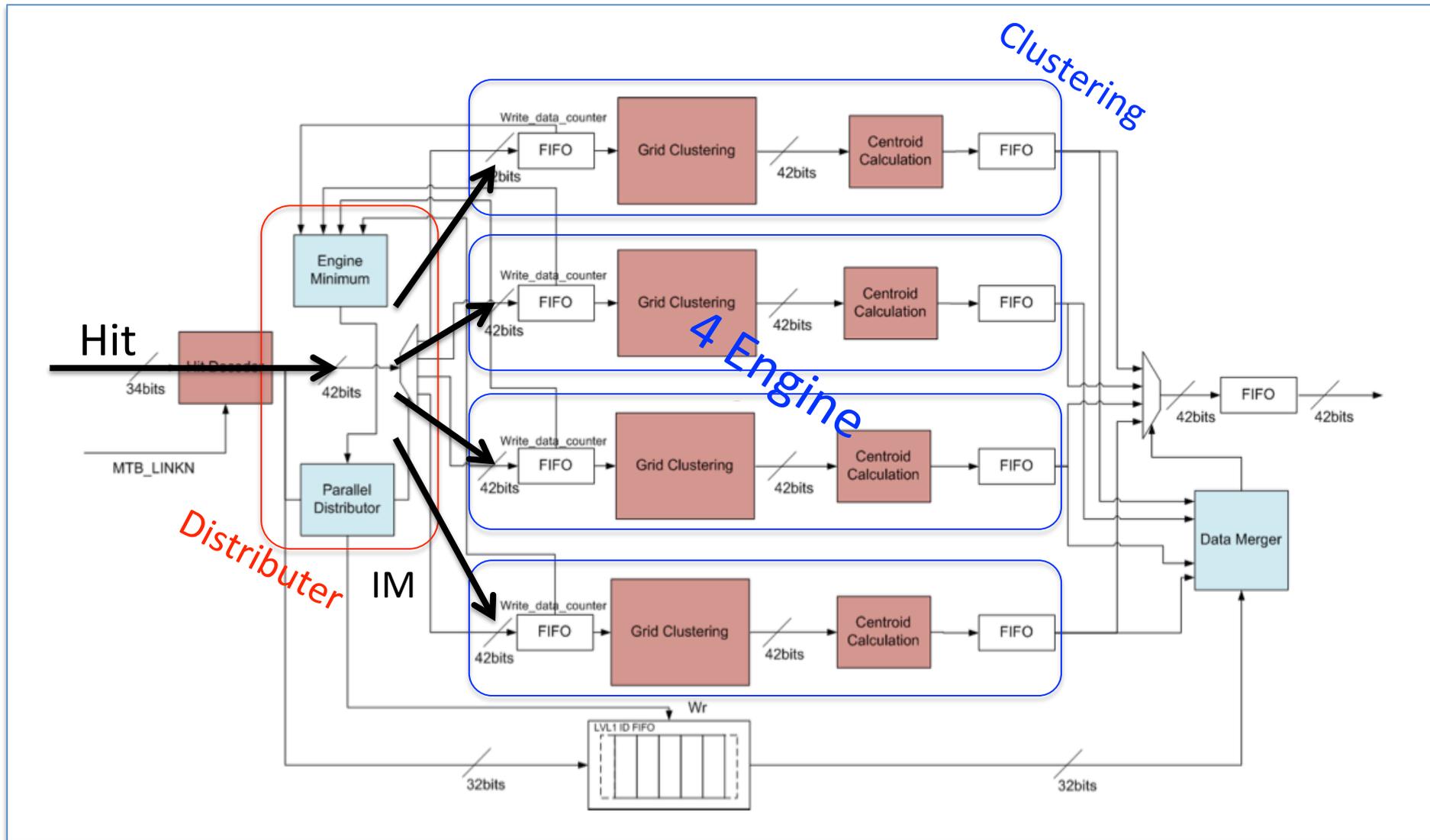
## 2014 **AMchip06** (Final ver.)

- AMchip05と同じ, just bigger (target is 128k patterns)
- Submission right after full validation of AMchip05

# AMchip



# インพุットレート100kHzの達成(IM)



# クラスタリングアルゴリズム(Pixel)

## 2D Pixel Clustering

- Identifies clusters of contiguous pixel hits (direct neighborhood)
- Uses a “moving window” technique: Maps pixel hits in 2D structure of cells (“grid”) on the FPGA. Each cell works as finite state machine → hit selection is done in 2D avoiding hit-by-hit loop
  - Generate a **cluster window** around a reference hit
  - Load all hits that belong to the window
  - Select two “seeds” to start identifying the cluster
  - The “selected” state is propagated to the neighboring hits
  - Read out cluster
  - One of the previous hits is now readout
  - Selecting and reading out the cluster is executed in parallel
  - Start to build the next clusters with the remaining leftmost hit as a reference
- Centroid is calculated as the center of the cluster “bounding box”

