

# ... **ilc** 崩壊点検出器の為の 高精細CCDセンサー及び読み出し回路



2013.2.18 ICEPPシンポジウム  
東北大学 加藤恵里子

# ヒッグス粒子発見



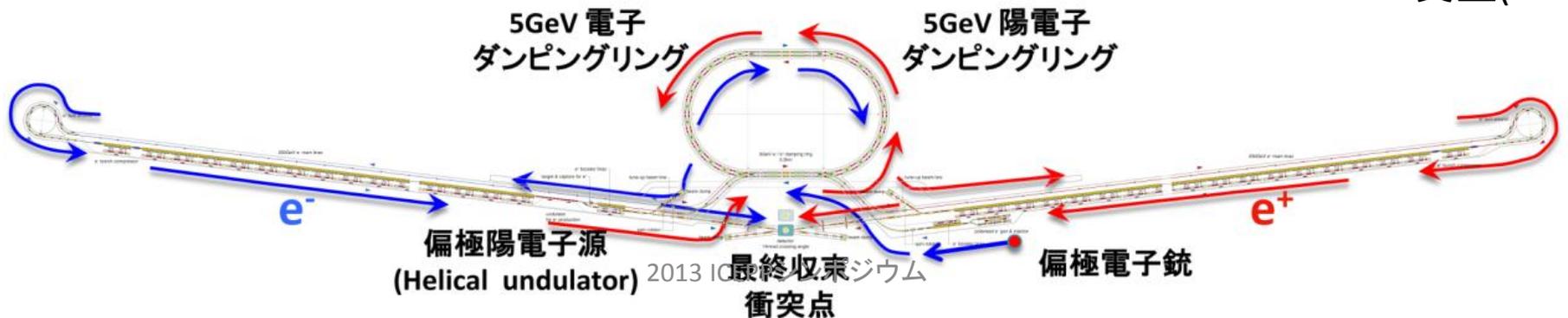
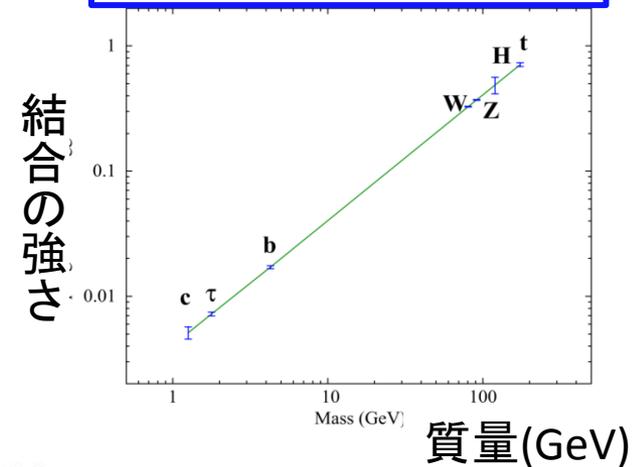
## ■ 2012/7/4, ヒッグス発見！

スピン、結合定数 etc..をより精密に測りたい。

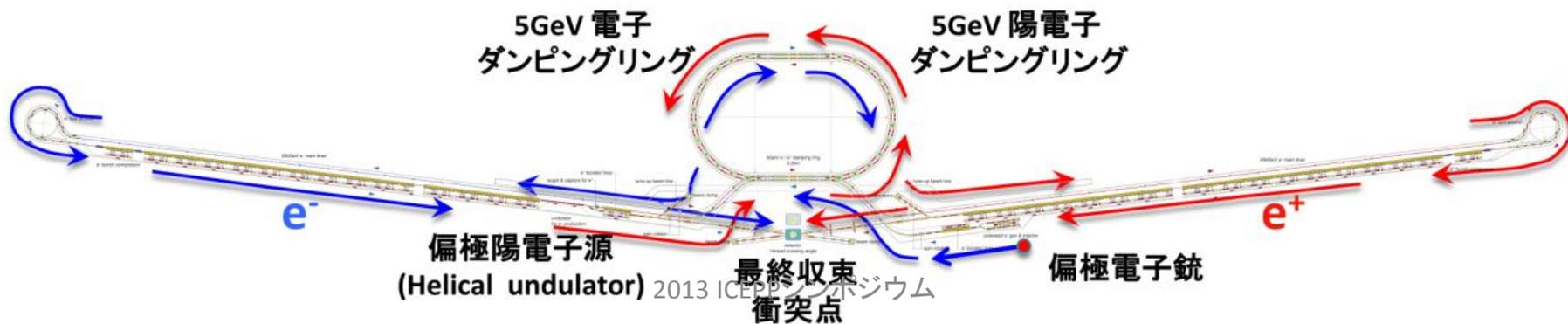
### ➤ ILC(国際線形加速器)

- 重心エネルギー: 250GeV~
- 積分ルミノシティ: 500fb<sup>-1</sup>(4年間)

質量と結合定数の関係



# 先週のGoogleロゴ



# ILCの崩壊点検出器

## ■ 崩壊点検出器への要求

- 高精度なHiggsとのcoupling測定
- 高効率、高純度のフレーバー同定

## 目標崩壊点分解能

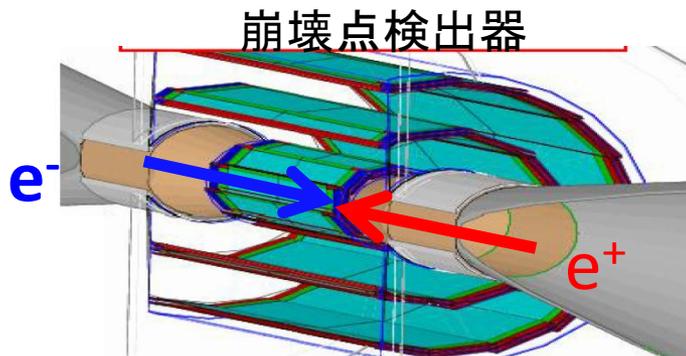
$$\sigma = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu m)$$

## ■ 崩壊点検出器

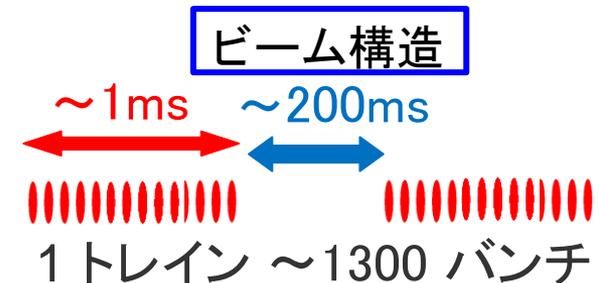
- 高い崩壊点分解能 → 衝突点近傍に設置
- 正確な飛跡再構成 → ピクセル占有率 $\sim 9(1)\%$

両方満たすためには...

➤ トレイン間複数読み出し or ピクセルを高精細にする



## FPCCD(FinePixelCCD)崩壊点検出器



# FPCCD崩壊点検出器

## ■ FPCCD(FinePixelCCD)崩壊点検出器

### 構造

ピクセルサイズ  $5 \times 5 \mu\text{m}^2$   
厚さ,有感:  $15 \mu\text{m}$ , Si  $50 \mu\text{m}$

全空乏化  
トレイン間読み出し

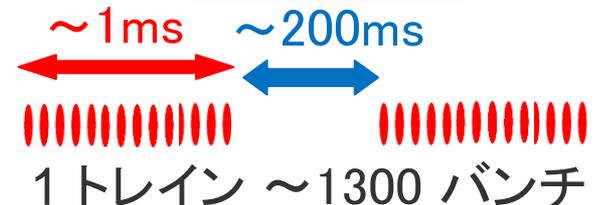
総ピクセル数:  $1.6 \times 10^{10}$

### 特性

- 😊 高い位置分解能
- 😞 小信号
- 😊 高い2粒子分解能力
- 😊 ビーム由来高周波ノイズの影響ない
- 😞 高速読み出し

## ➤ FPCCD用読み出し回路及びCCDを開発

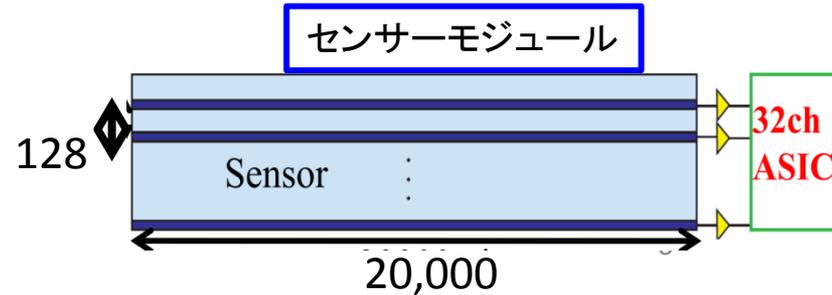
ビーム構造



# CCDと読み出し回路への要求性能

## ■ 読み出し速度 > 10Mpix/sec

- トレイン間(200ms)で $1.6 \times 10^{10}$  pixelを6000ch並列読み出し



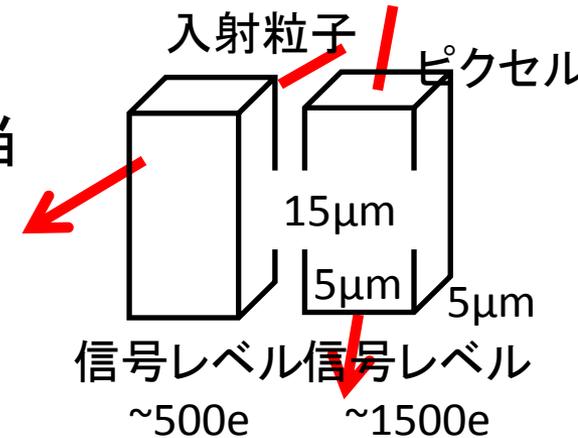
## ■ 信号測定精度 < 50電子相当

- 小さな信号レベル: ~500電子
- ノイズレベル + AD変換精度 < 50電子相当

## ■ 消費電力 < 6mW/ch (ASIC)

< 10mW/ch (CCD)

- クライオスタット(-40°C)内に設置。
- 総消費電力 < 100W



➤ 全ての要求を満たす読み出し回路ASIC及びCCDを開発

# 近況

## ■ CCDの開発

ー浜松ホトニクス試作

☆ ニュース

ー6 $\mu\text{m}^2$ ,epi15 $\mu\text{m}$ 厚の  
CCD製造に成功!!

☆ 課題

ー5 $\mu\text{m}^2$ へ、ノイズ、消費電力↓

## ■ 読み出しASICの開発

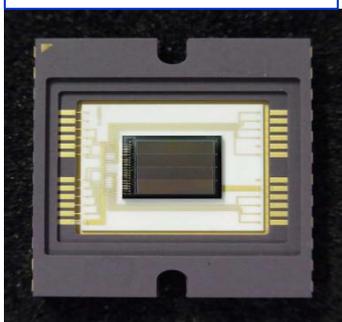
ー2つの試作に関わってきた。

☆ 試作と性能

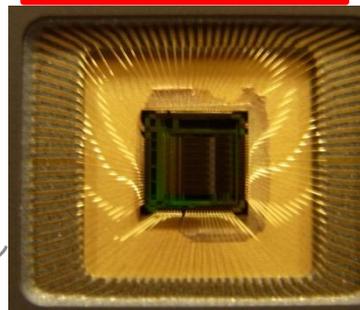
	速度	測定精度	消費電力
二次試作	△	○	×
三次試作	○	○	○

➤ 読み出しASICの開発、評価及びCCDを合わせた性能評価

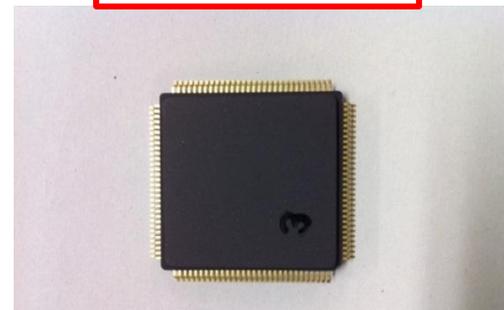
6 $\mu\text{m}^2$ 試作CCD



二次試作ASIC



三次試作ASIC



# ASICデザインの基本方針

## ■消費電力<6mW/ch

- 読み出し回路での主な消費電力源はADC
- 電荷再分配型ADCを使用

## ■読み出し速度>10 Mピクセル/s

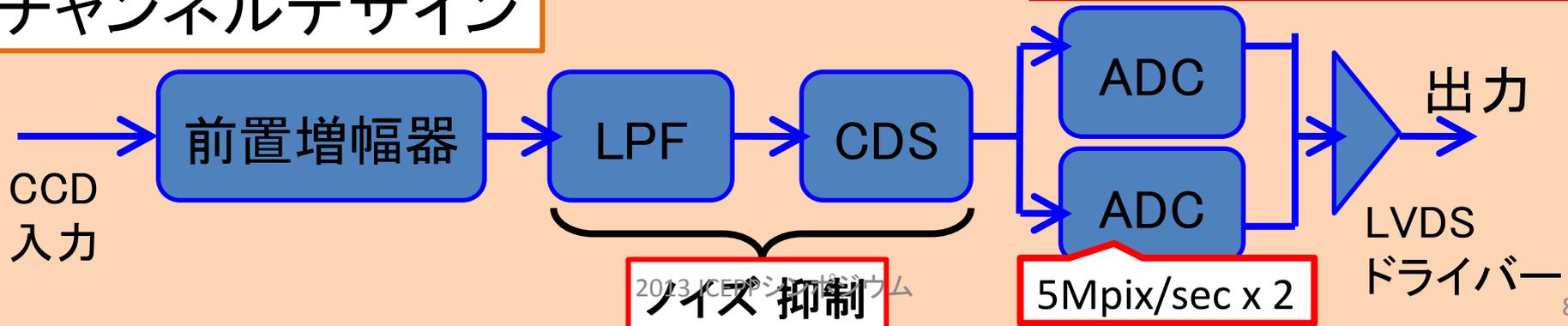
- 5Mピクセル/sのADCを二つ用いる。

## ■入力信号の測定精度 <30電子相当

- ノイズ:ローパスフィルタ(LPF)、相関二重サンプリング(CDS)をもちいる。
- AD変換: 多bitADC (5bit以上)

電荷再分配型 ADC  
(低消費電力 & 比較的高速)

## 1チャンネルデザイン

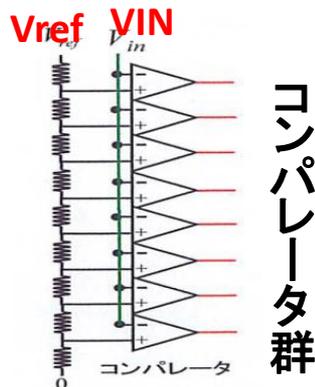


# 様々なADC

様々なADCがある。

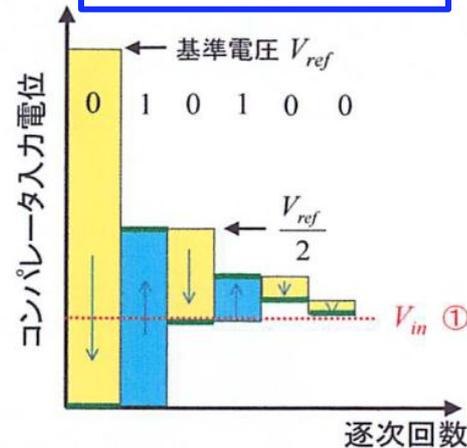
— Flash ADC, 逐次比較型ADCなど

Flash ADC

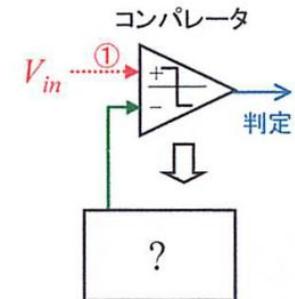


参照電圧たくさん用意し、  
一度に比較。  
高速、低分解能  
高消費電力、

逐次比較型ADC

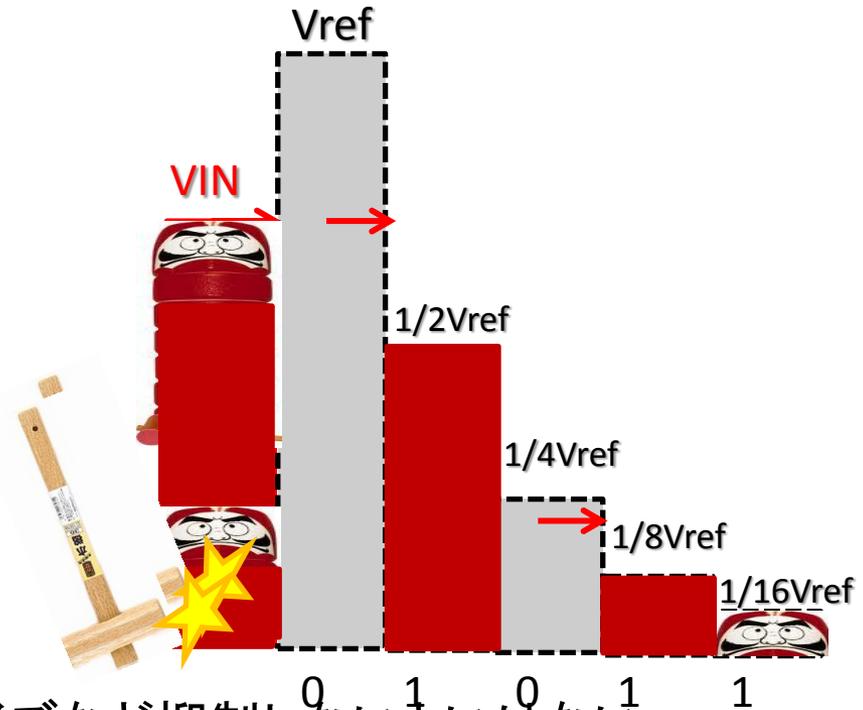


バイナリ探索  
比較的高速、高分解能



# 電荷再分配型ADC

- 電荷再分配型ADC
  - キャパシタで生じた電荷を利用した逐次比較型ADC(切り崩し型)
  - 比較結果によって基準電荷の足し引きを決める。(電荷再分配)
- 低消費電力
  - 逐次比較→コンパレータ1個
- 高精度
  - バイナリ探索
- 読み出し速度(サンプリングレート)
  - 要求性能を満す程度まで実現可



し・か・し！！

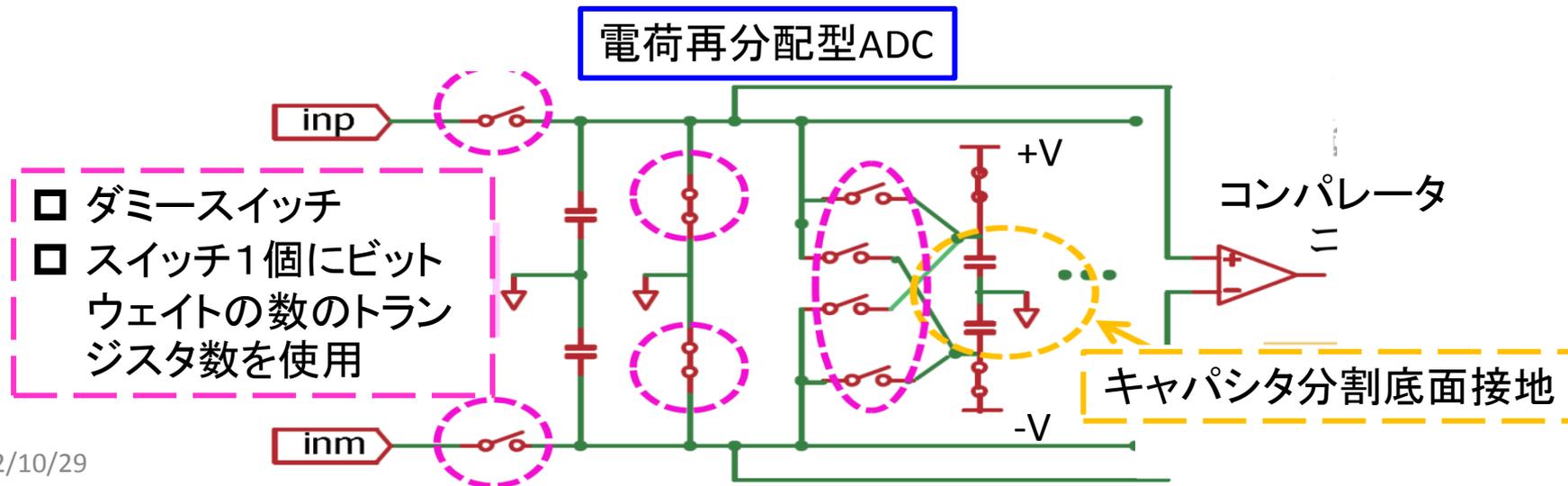
- 予期せぬ寄生容量、スイッチのノイズなど抑制しないといけない。
- 回路自身を出す様々なノイズの影響なども考えないといけない

# 二次試作回路ASIC

# 二次試作回路、寄生容量対策

■ 高速、高精度AD変換のためには、

- スイッチ、再分配電荷を生成するキャパシタの寄生容量の影響をキャンセル。
- 高速安定化の為、コンパレータへの供給電源のピン数を増加。



# 二次試作読み出し回路評価結果

■消費電力: 30.8 mW/ch→三次試作で狙う

■入力信号測定精度 ( $= \sqrt{DNL^2 + \text{ペDESTAL幅}^2}$ )

– 微分非直線性(DNL)  $\equiv f(x) - data(x)$

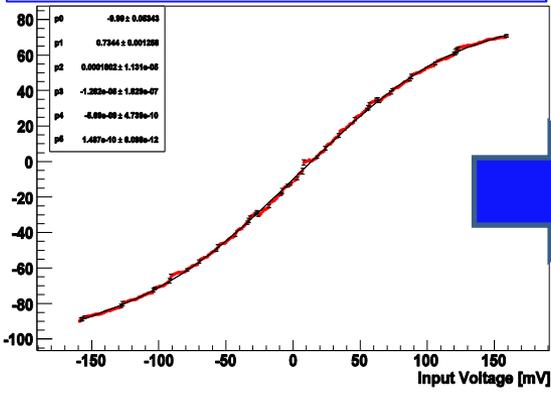
➤ 入力信号測定精度@10Mpix/s = ~16e-相当

< 要求性能30e-

$x$ : 入力電圧  
 $f(x)$ : フィット線  
 $data(x)$ : ADC出力

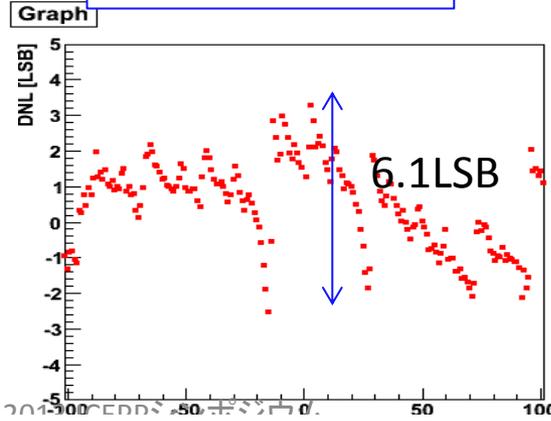
ADCカウント

入力電圧vsADCカウント

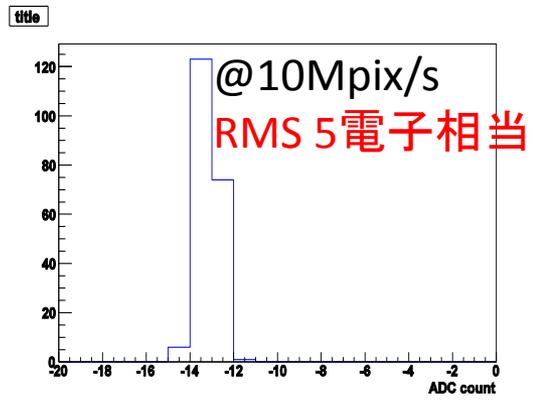


微分非直線性

微分非直線性



-40°CでのペDESTAL分布



テストパルス入力電圧(mV)

テストパルス入力電圧(mV)

ADCカウント

二次試作回路

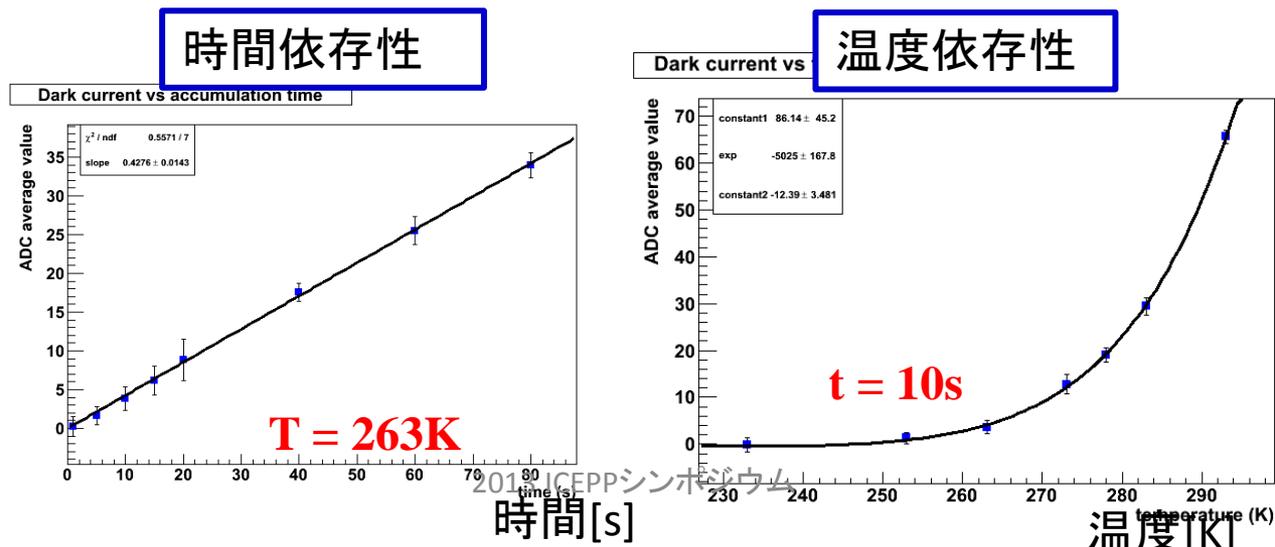
ASIC+12 $\mu\text{m}^2$  CCD@2.5MPIX/S

# ペDESTAL分布によるノイズ評価

## ■ ダークカレント:

— ILC稼働環境下(200ms, -40°C)で、ダークカレント抑えられている

■ ペDESTAL分布: ノイズ: ~55電子(ASIC 単独テスト14電子)



# 線源によるテスト

## ■ Sr90@常温, 2.5Mpix/s

- 2MeV  $\beta$ 線で電荷分布を調べた
- 隣のピクセルへの染み出しが少ない

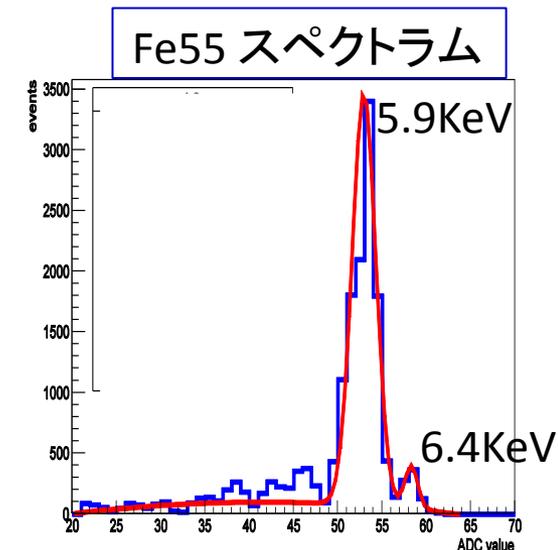
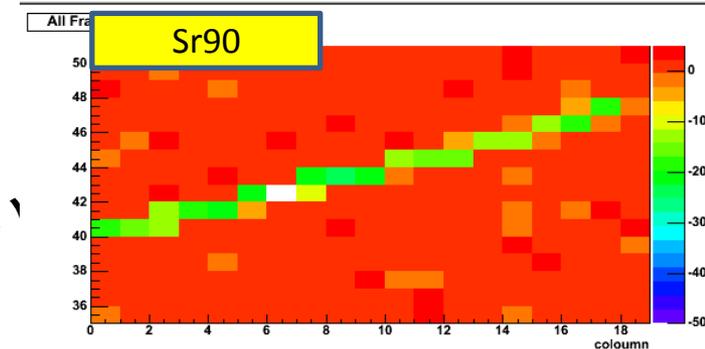
➤ 高い2粒子分解能力の可能性

## ■ Fe55@-40°C, 2.5Mpix/s

- S/N : 37
- エネルギー分解能: 120 eV

高いS/N, 高エネルギー分解能

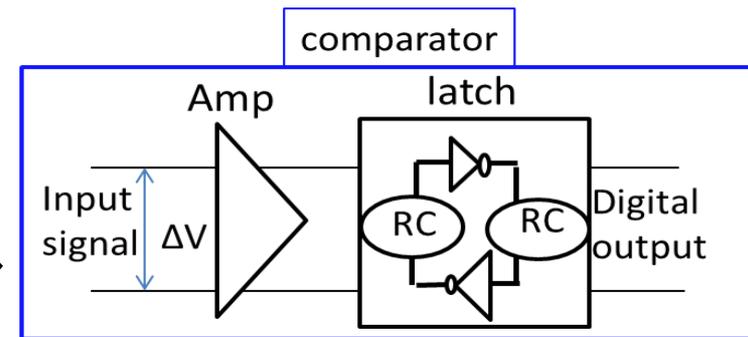
➤ 高感度, 低雑音検出器



# 三次試作回路ASIC

# 三次試作回路デザイン

- 三次試作回路
  - 低消費電力プロトタイプ
- 消費電力対策
  - 回路の簡素化
  - プロセス微細化 (0.35→0.25um)
- プロセスの微細化に伴って。。
  - コンパレータ速度上昇。
  - スピードコントロール機能搭載し、DNL改善



➤ 10MPix/s動作成功し、消費電力も5.8mW/ch(<6mW/ch)

# 三次試作回路DNL改善

## <二次試作回路>

### ■ DNL @ 低速

- SAR ADC のキャパシタ容量比がまだビットウェイトからずれてる。

### ■ DNL @ 高速

- ビット切り替わり時にmeta-stable状態に→高速動作でビット飛び。

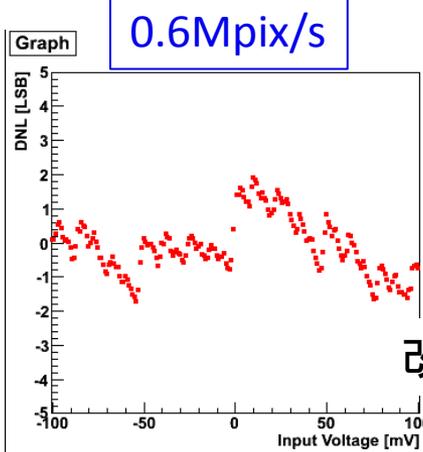
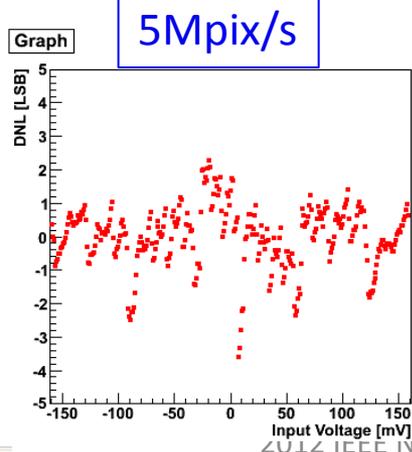
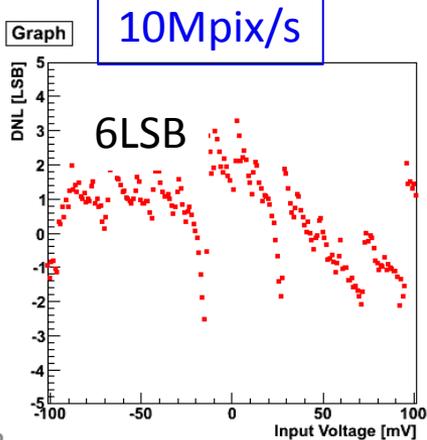
➤ 三次試作回路では、レイアウト改善、スピードコントロール

## <三次試作回路>

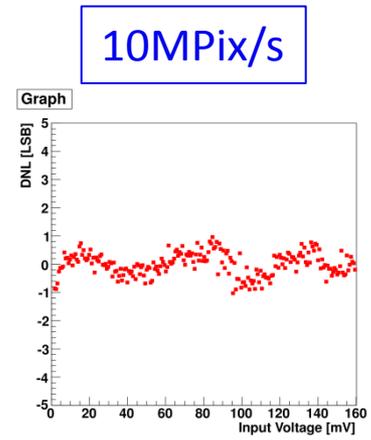
➤ 改善！ DNL=±0.9LSB, ペDESTAL幅1.2LSB = **19e-相当** < 要求30e-

### 二次試作回路

### 三次試作回路

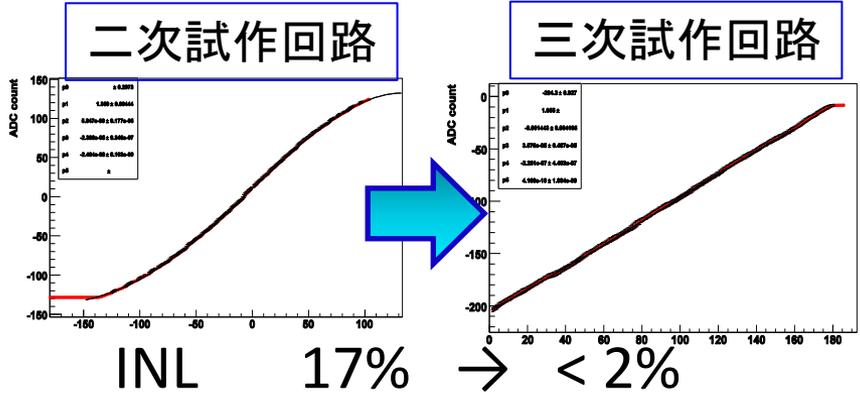


改善！！



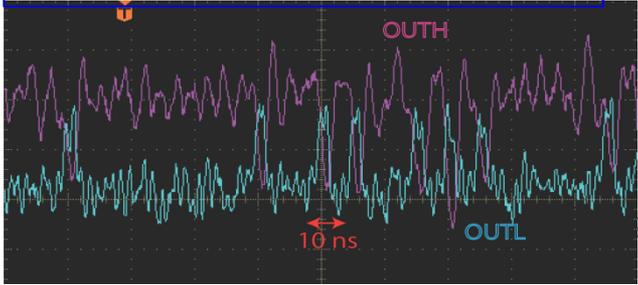
# 三次試作回路のその他の改善

- INL(積分非直線性)
  - 全体の曲がり度



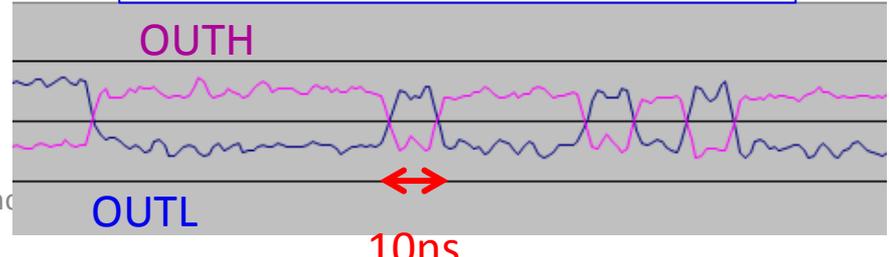
- 信号伝送方式
  - 10Mpix/s = 100MHz ADC コンパレータ CK
  - Return zero → non return zero
  - high期間が長い(10ns), サンプリングが容易に

二次試作回路: return zero



ASICの出力信号

三次試作回路: non return zero



# まとめと今後

■ FPCCDの為の読み出し回路の開発及びCCDとの評価を行っている。

■ 二次試作回路+12 $\mu\text{m}^2$ CCD

ASIC+CCD (pedestal): 😊 ノイズ、ダークカレント抑えられている  
 (Sr90): 😊 電荷の染み出し少ない  
 (Fe55): 😊 高いS/N

■ 全ての要求性能を満たす読み出し回路(三次試作回路)ができた。

	速度	測定精度	消費電力
三次試作	○	○	○

■ 今後

- 新しい6 $\mu\text{m}^2$ CCD+三次試作回路の性能評価
- ビームテストによる位置分解能の導出