



Belle SVD2.0のトリガーシステム 及びその性能評価

Contents

- Belle experiment
- Silicon Vertex Detector
- SVD Upgrade
- Level 0,1 trigger
- SVD2.0 trigger system
- TA tuning
- Summary

Tokyo Institute of
Technology
Hideyuki Kurashiro

Feb. 18th, 2004

The Belle experiment

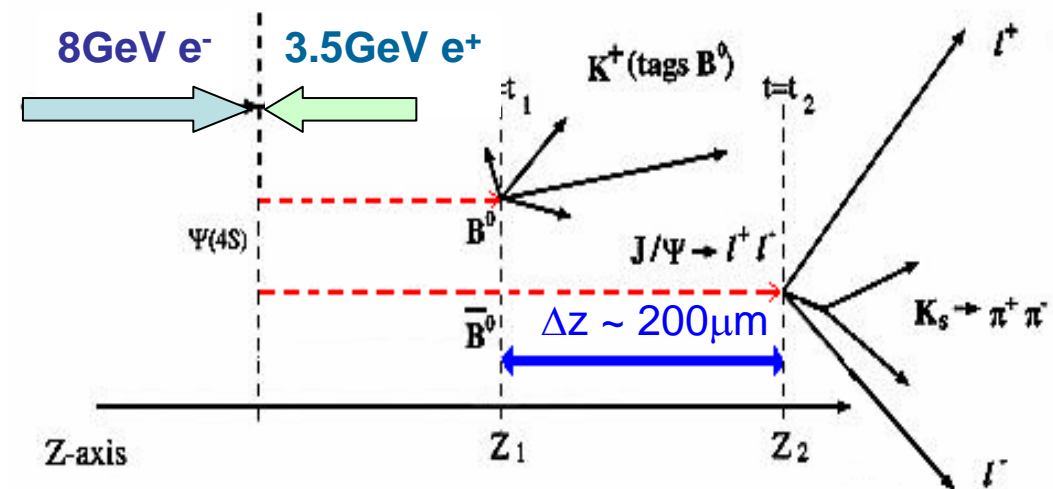


KEKB加速器@茨城県つくば市

大量の**B中間子対**を生成して、その崩壊時間の差からCP対称性の破れを観測

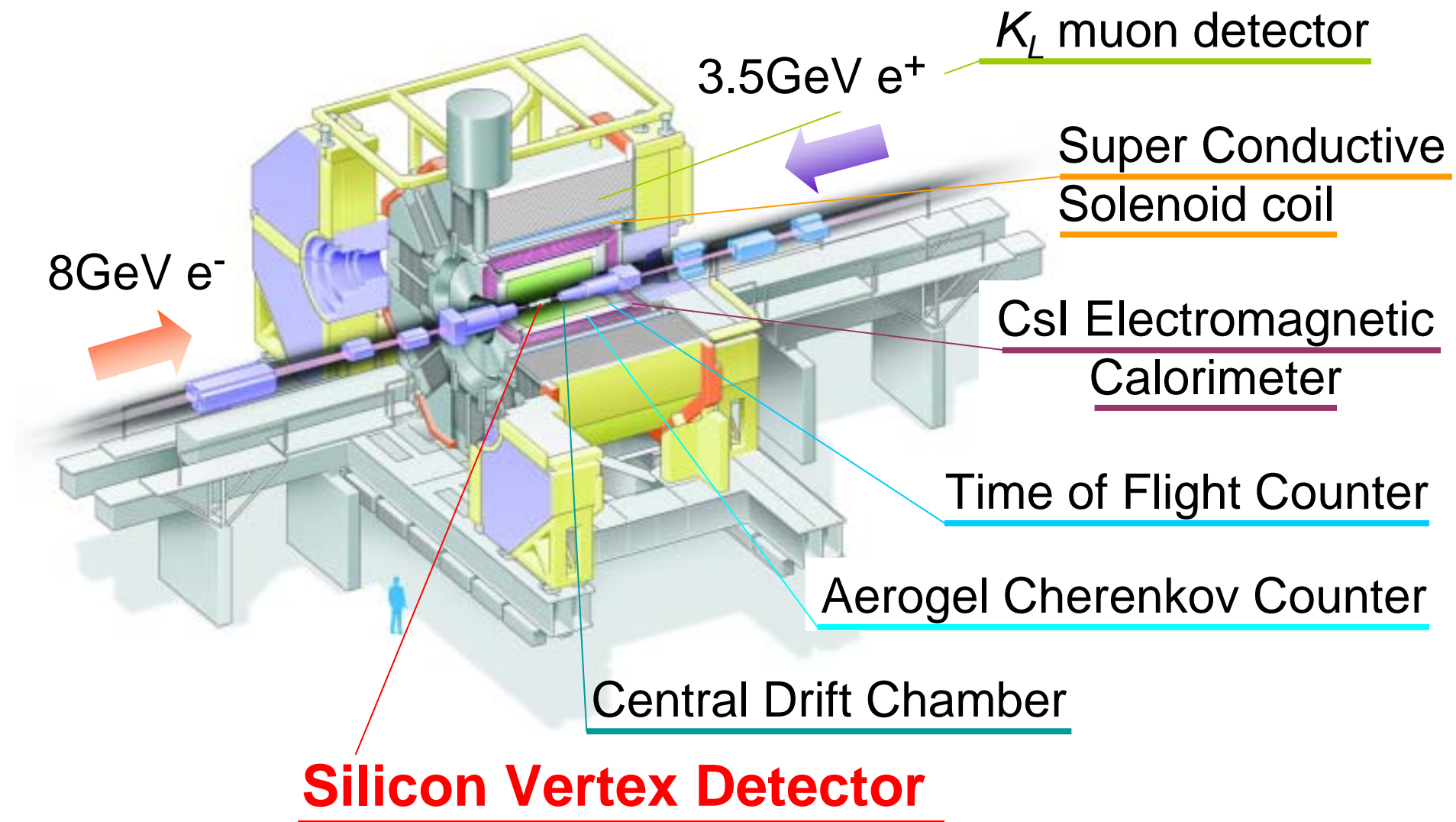
$$\text{非対称パラメータ: } A_{cp}(t) = \frac{B^0(t) - \bar{B}^0(t)}{B^0(t) + \bar{B}^0(t)}$$

但し、時間差の測定は極めて困難なため
距離差を観測し、時間差に焼き直す



B中間子の崩壊例

Belle Detector



Silicon Vertex Detector

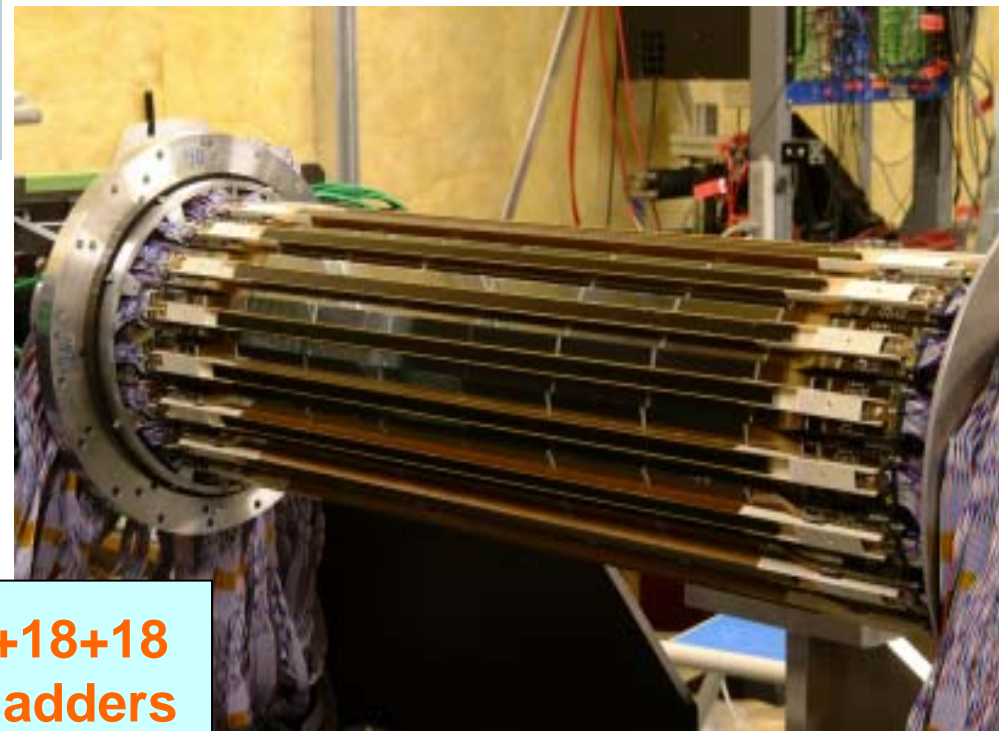


粒子の崩壊点を測定する検出器
両面型シリコンストリップ検出器 (DSSD)
をラダー状に繋げて、円筒形状に配置



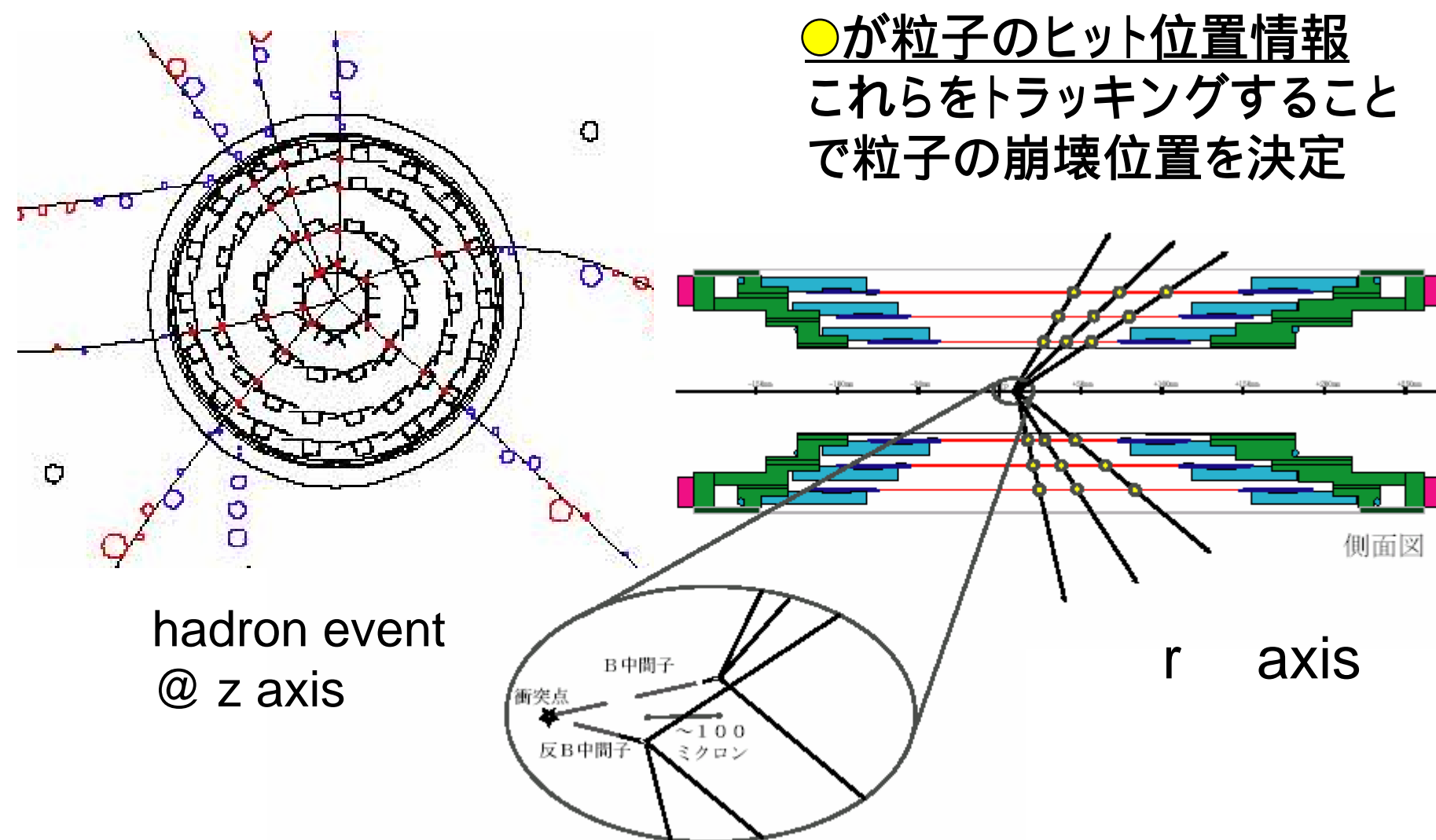
断面図 (SVD2)

**6+12+18+18
= 54 ladders**



全体図 (SVD2)

Tracking of SVD



SVD Upgrade

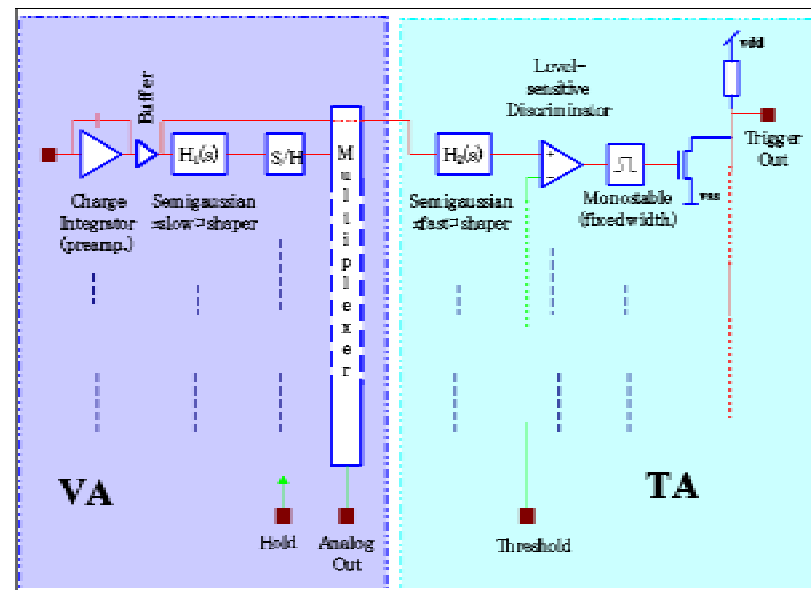
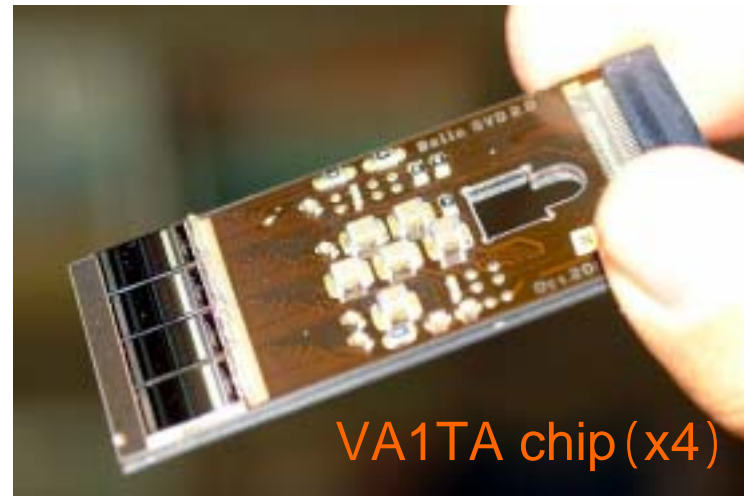
2003年夏、SVDをアップグレード (SVD ver.2.0)

改良点

	SVD1.6	SVD2.0
acceptance	$23 < \theta < 139$	$17 < \theta < 150$
layers	3	4
radiation hardness	1Mrad	>20Mrad
DAQ dead time	128 μ s	25.6 μ s
trigger	none	128ch OR

シリコンストリップ検出器としては世界初の試み！

VA1TA chip



Logic図

SVD2.0の読み出し回路

1Hybrid;

128 x 4chips = 512channels

■ VA part

128chの各ストリップからの信号を multiplexerによりシリアル化して、単一ラインにて読み出す

■ TA part

VAからの信号を受け取り、fast shaperによりVAよりも早く信号(トリガー)を生成する。出力は128chの論理和(OR)で出力される

Trigger Specification

VA1TAは128chの信号をシリアルに読み出す

⇒ シグナルを一旦ホールド
その後順次読み出す

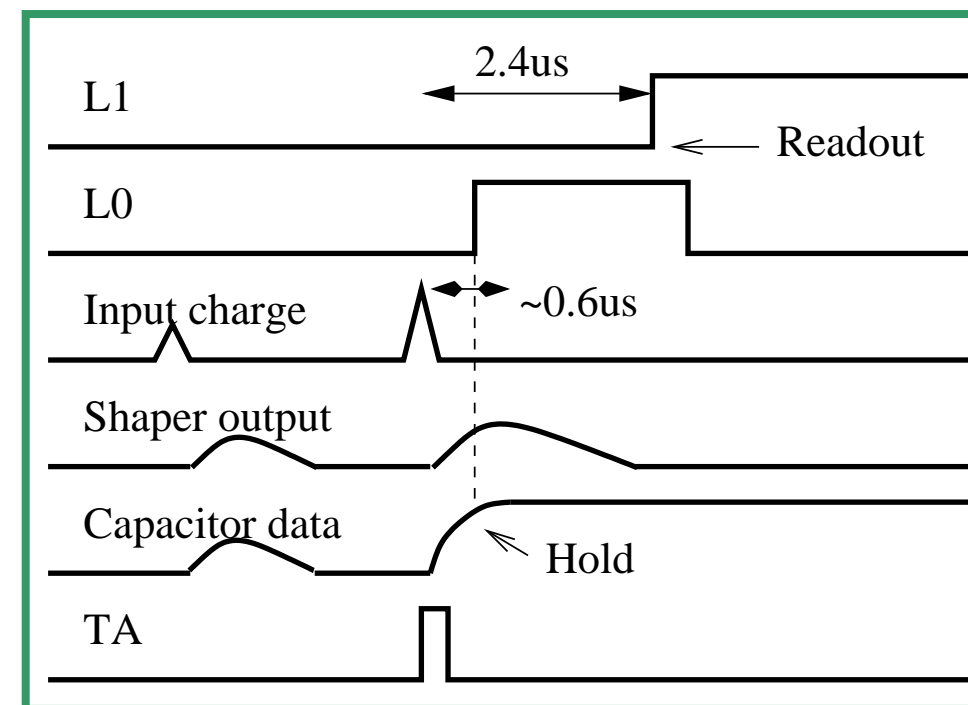
⇒ “Hold” ”readout”
2種類のトリガーが必要

■Level 0 trigger

ストリップからのシグナル
をホールドするためのトリ
ガー (600ns以内)

■Level 1 trigger

ホールドした信号を取り出
すためのトリガー (2400ns)

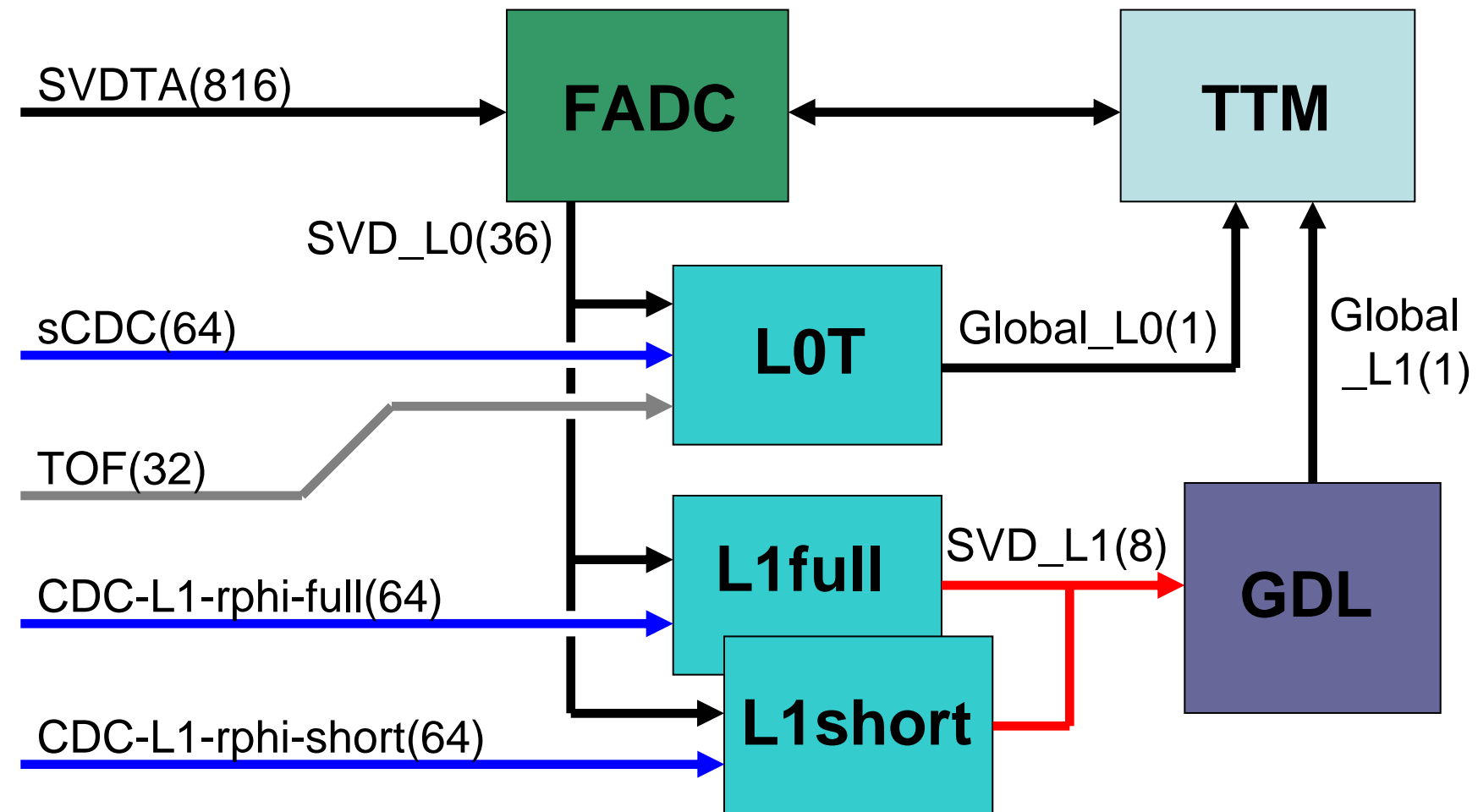


Timing diagram

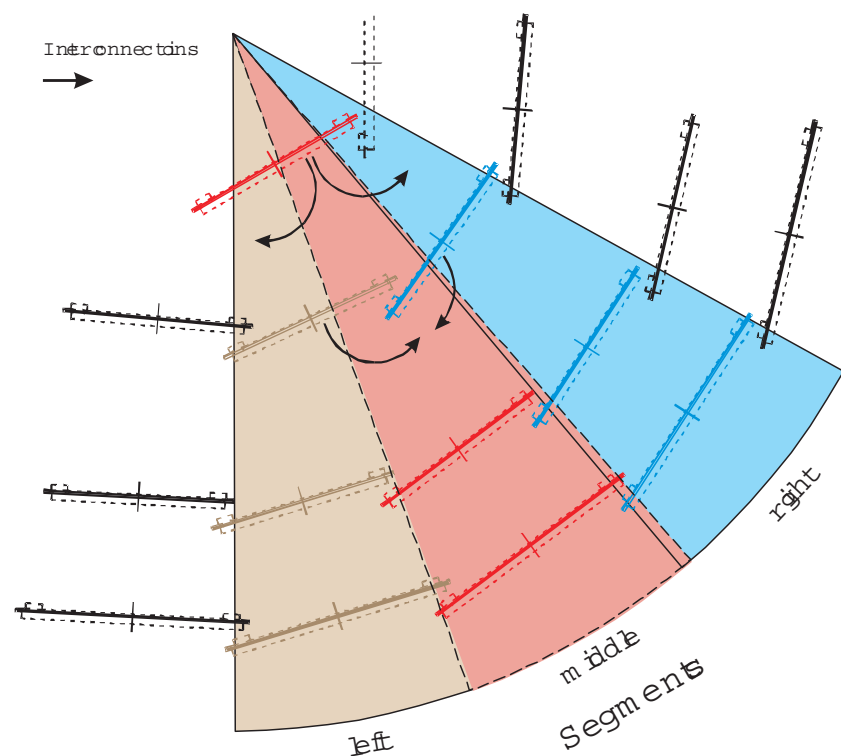
SVD2.0 Trigger System

Frontend

Backend



Trigger Logic: FADCTF



Left(茶)及びRight(青)の1層目は赤を、middle(赤)の2層目は茶と青のORを用いる

FADC module

1枚でVA1TA24chip分をAD変換
(Z:18枚, R :18枚 ;全36枚)

FADCTF

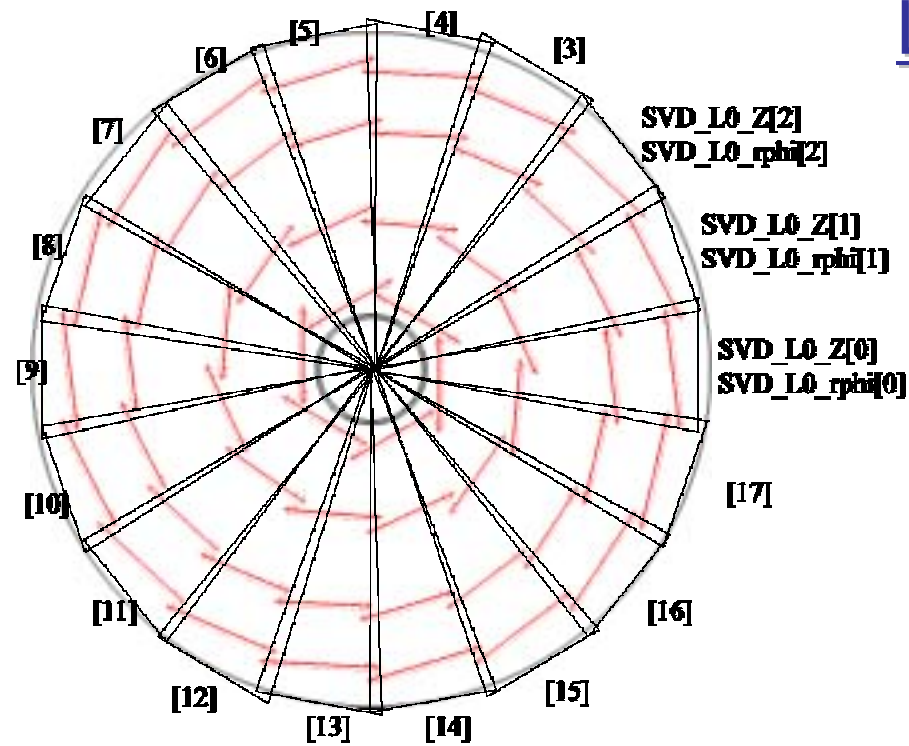
SVDを18の領域(wedge)に分けて、各wedge毎にトリガーを生成

SVDTA(816ch)

Requirements: **FADC**
3 multiplicities of 4 layers

SVD_L0(36bit)

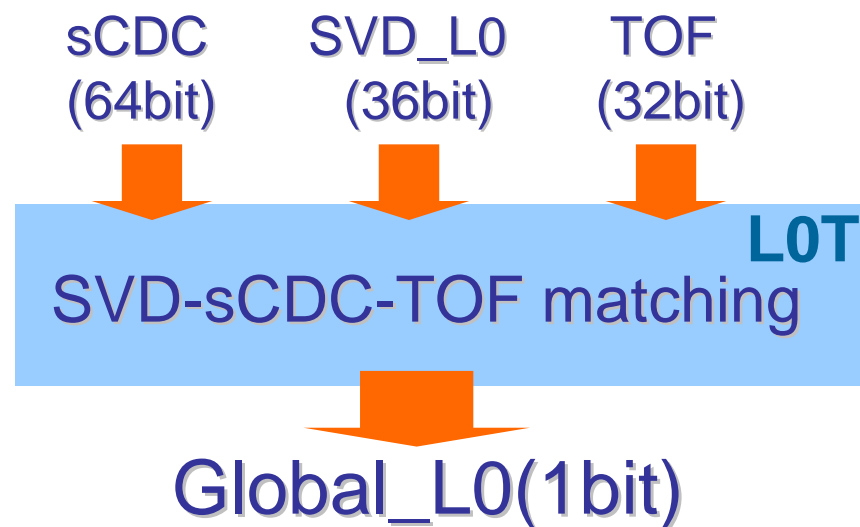
Trigger Logic: Level 0 Trigger



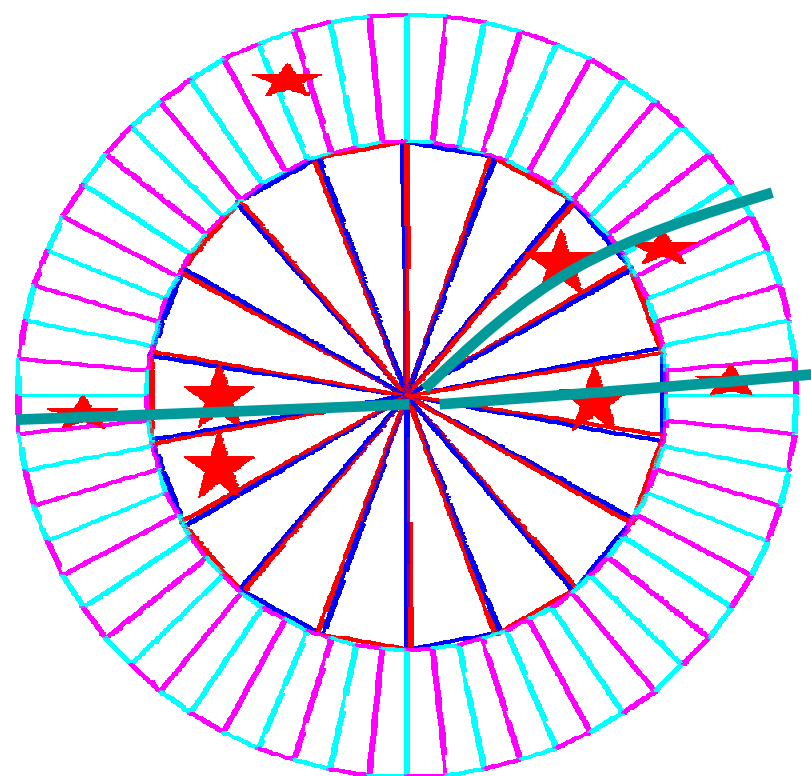
SVD,sCDC,TOF matchingの数種類の組み合わせから、いちばんHold efficiencyの高いものを選択(1bit)

Level 0 Trigger

- ストリップからの信号をホールドするためのトリガー
- SVD, sCDCのmatchingで生成 (optionでTOFを要求)
- 600ns以内に生成
→ 1 μsでホールド



Trigger Logic: Level 1 Trigger

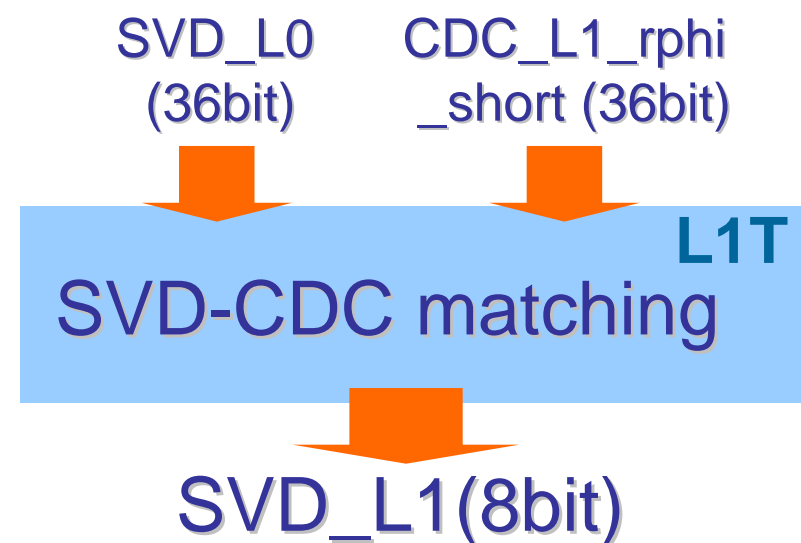


L1T Information (8bit) 上記例


- ・matchしたtrackの本数 3
- ・open eventの有無 有
- ・back to back eventの有無 有

Level 1 Trigger

- ホールドした信号を取り出すためのトリガー
- SVDとCDCのmatchingで生成
- 2400nsでGDL(Global Decision Logic)に送られる

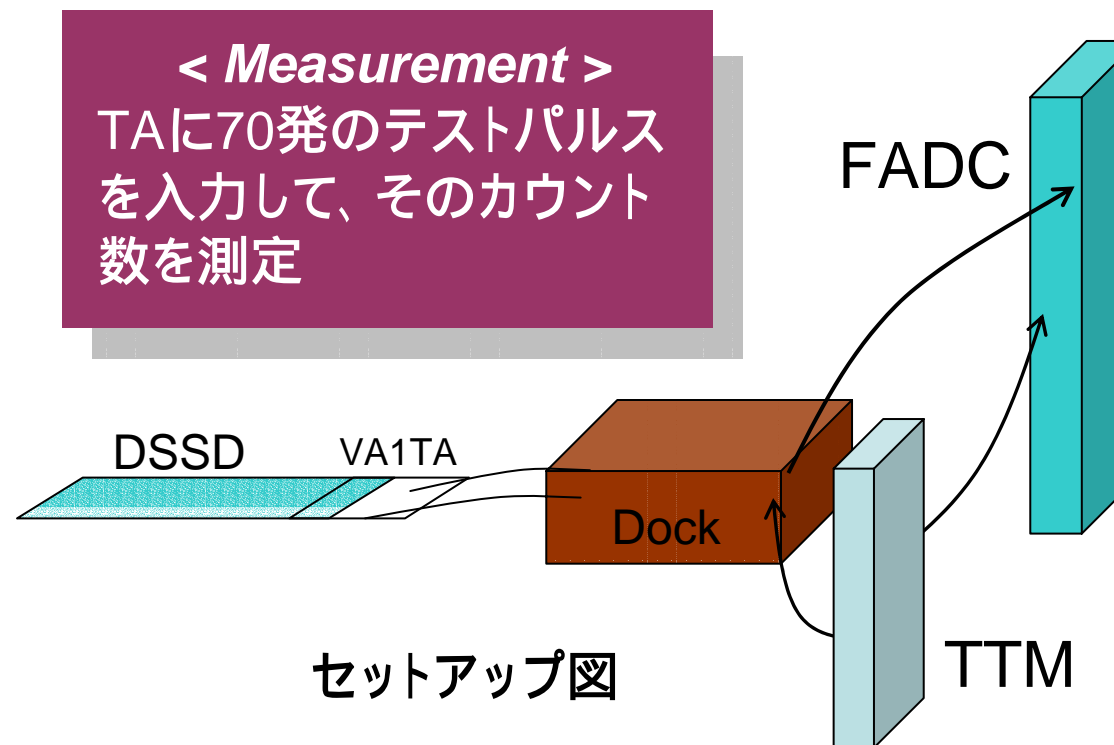
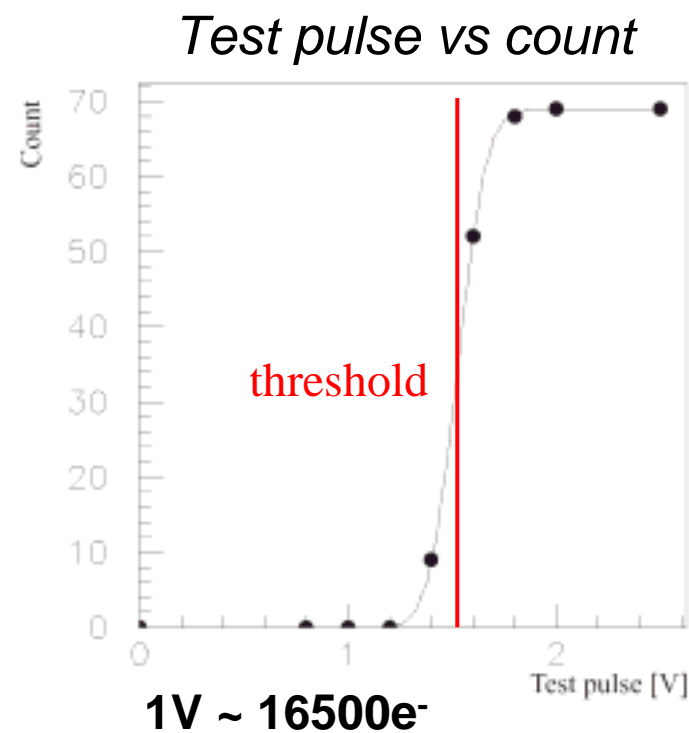


TA tuning

TAは128chOR出力  Tuning

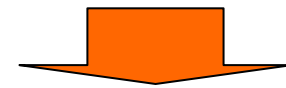
- ・Threshold の最適化
- ・Hot channelのmask

**Total: 128ch x 4chip x 2side(P/N) x 2side(Fw/Bw) x 54Ladder
= 110592 channel**



Result of TA tuning (1)

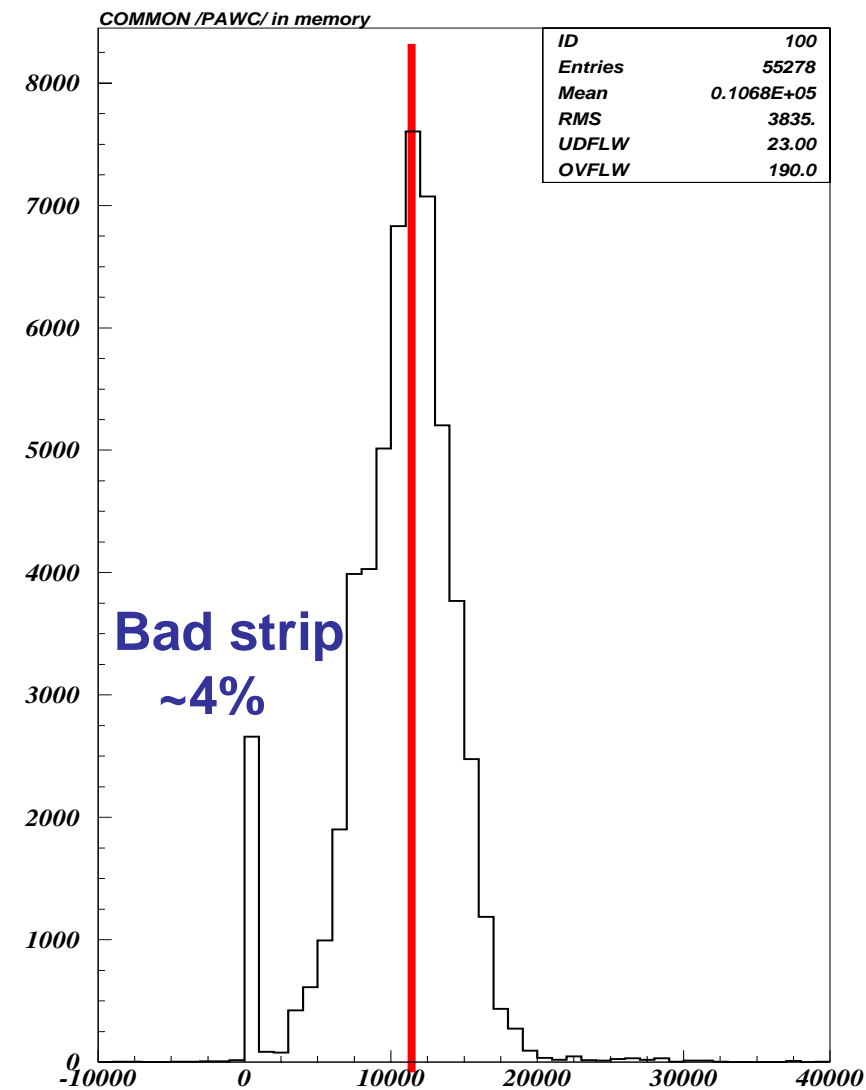
当初、まともなスレッシュホールド
カーブを描くのが非常に困難
であった
N型半導体のため、N-side
はノイズが大きい
P-sideにも影響を及ぼす



N-sideを全てdisableして
tuning (P-side:55296ch)

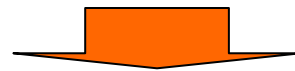
2月現在
Threshold average $10500e^-$

Threshold distribution



Result of TA tuning (2)

VA hit とTA hit の
Cluster energy分布の比較



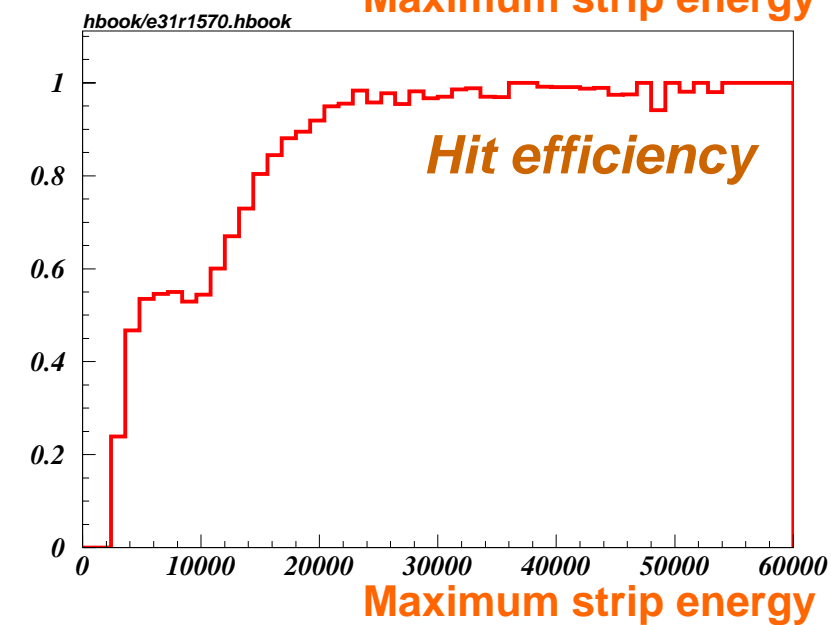
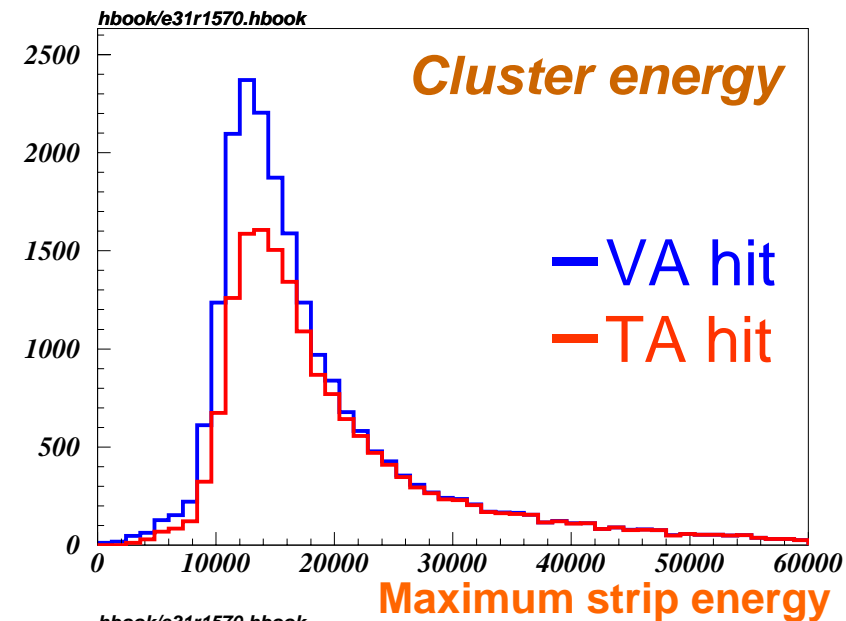
TA tuningの確認の指標

$$TA\ hit\ efficiency = \frac{\#TA\ hit}{\#VA\ hit}$$

Layer毎の結果

	forward	backward
L1:	0.990	0.885
L2:	0.923	0.910
L3:	0.906	0.727
L4:	0.626	0.743

Total: 83.4% **目標: 88%**



Summary

- 2003年夏、SVDのアップグレード
 - アクセプタンスの増加、放射線耐性の向上、dead timeの減少 等
 - **Trigger出力機能が実装された**



- Trigger system の構築 (FADCTF, L0T, L1T)
- TAのstudy ~ TA tuning
 - threshold average 10500 e⁻
 - TA hit efficiency 83.4%

- To do
 - hit efficiencyの更なる向上
 - hot channelのmask

Belle全体のtrigger systemへの導入