

# ILC反応点・飛跡検出器の 技術開発

'10 1/23 田窪洋介 (東北大理)

# バーテックス検出器と飛跡検出器

## ILC測定器技術

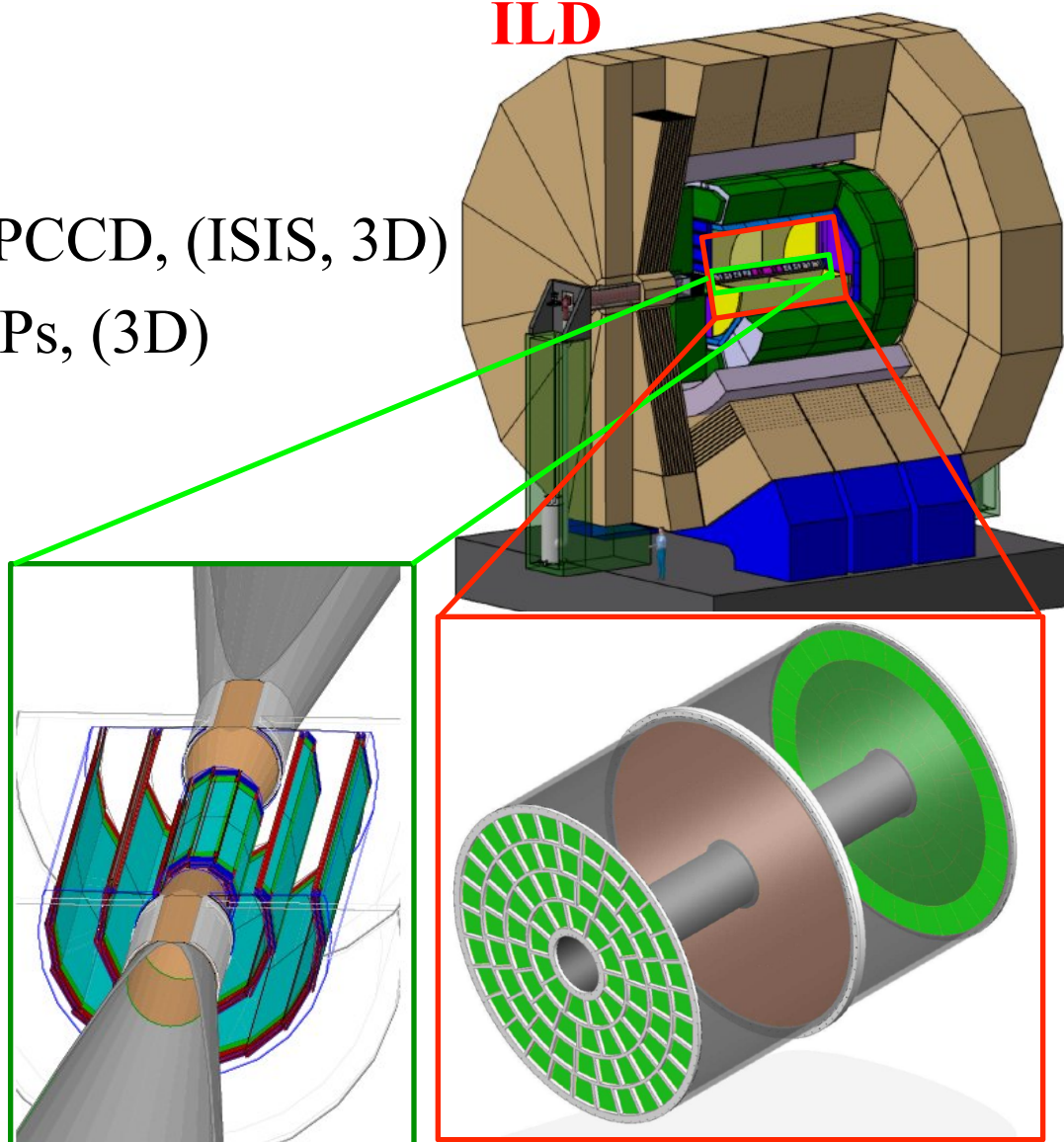
- バーテックス検出器(VTX)

- ILD: CMOS, DEPFET, FPCCD, (ISIS, 3D)
- SiD: CCD, DEPFET, MAPs, (3D)

- 飛跡検出器

- ILD: TPC
- SiD: シリコン・ストリップ

ILD



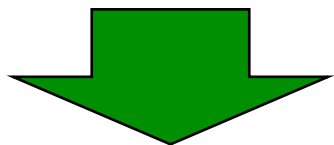
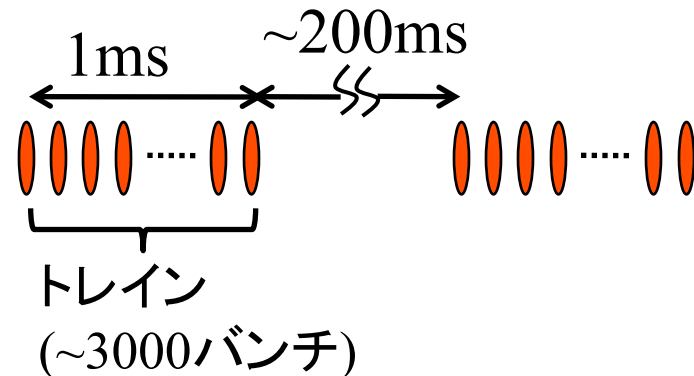
VTXと飛跡検出器の測定器  
技術を紹介します

# バーテックス検出器

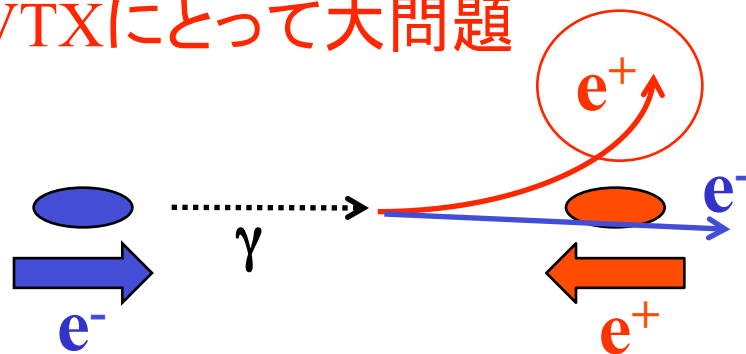
# バーテックス検出器への要求

## VTX検出器への要求性能

- 崩壊点分解能:  $5 \oplus 10 / (p\beta \sin^{3/2}\theta) \mu\text{m}$ 
  - ヒット点当たりの位置分解能:  $3 \mu\text{m}$
- 低物質質量:  $\sim 10^{-3} X_0/\text{layer}$
- 低消費電力: エレキまで含めて100W以内
- ピクセル占有率: 数%以下
  - ビーム衝突による電子・陽電子ペアがB.G.となる
  - 1トレイン分のヒットを保持すると、 $20 \mu\text{m}$ 角のピクセル・サイズでは占有率が $\sim 50\%$ になる ← VTXにとって大問題



VTX検出器はピクセル占有率の  
克服が大きな技術課題



# ピクセル占有率への処方箋

## 2つのアプローチ

- **ピクセル・サイズを小さくする** (FPCCD)
  - $5\mu\text{m}$ 角にするとピクセル占有率は3%程度
- **トレイン中に何回か読み出す** (CMOS, DEPFET, ISIS, MAPs)
  - 20回読み出せばピクセル占有率は3%程度

いくつかの検出器グループが開発を行っているが、どのグループも技術確立まで到達していない

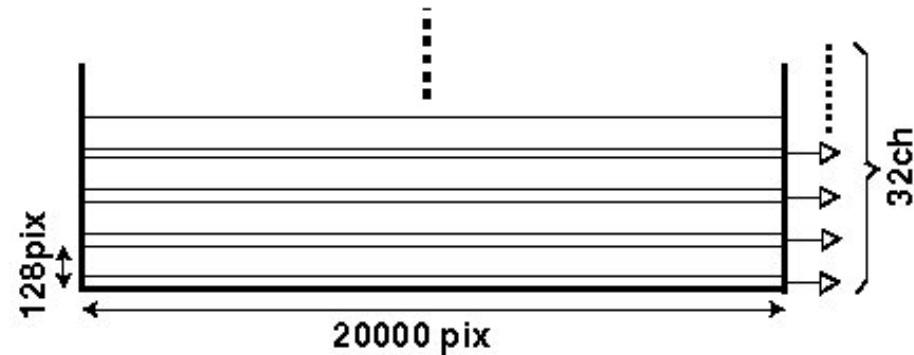
→ 開発状況を紹介します。  
(FPCCD, CMOS, DEPFET)

# FPCCD(Fine Pixel CCD)

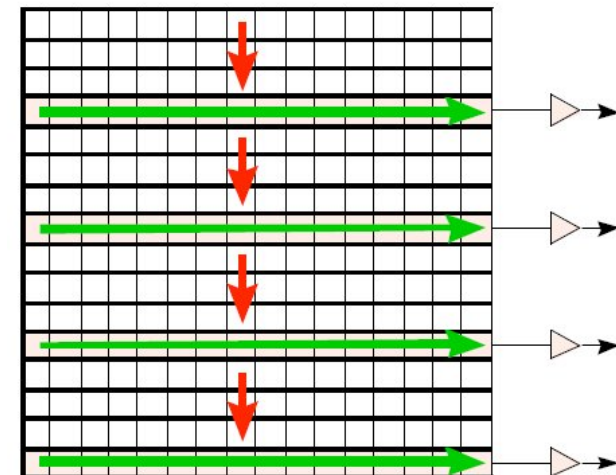
## FPCCDバーテックス検出器

- ピクセル・サイズ :  $5 \times 5 \mu\text{m}^2$
- 有感領域の厚み :  $15\mu\text{m}$ 
  - 全空乏化している
- 総読み出しチャンネル数:  $\sim 6,000$ 
  - $20,000 \times 128 \text{ pix/ch}$
  - 総ピクセル数:  $\sim 10^{10}$
  - 読み出し速度:  $10 \text{ Mpix/s}$
- 高速読み出しを実現するため水平転送レジスタが有感領域に埋め込まれている
  - 水平転送レジスタも荷電粒子に有感
- KEK, 東北、JAXAが開発を進めている

## ILC-FPCCDラダーの構造



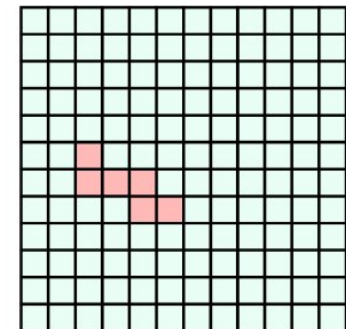
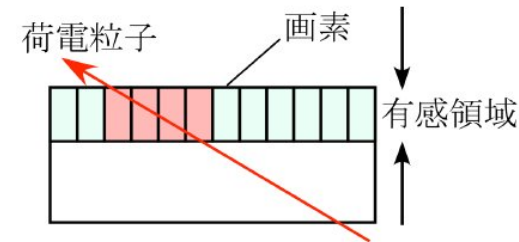
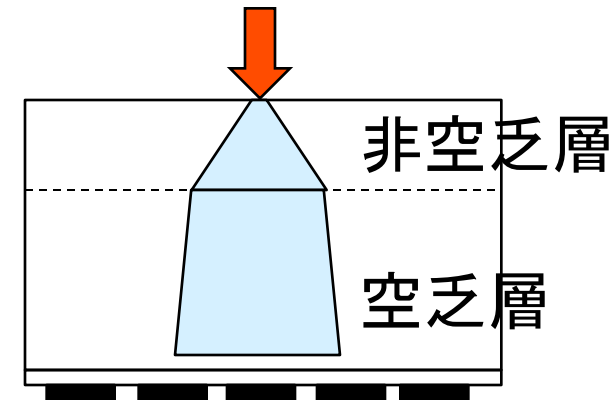
## FPCCDの信号転送方向



# FPCCDの特徴

- トレーン間の読み出しを行うのでビーム由来の雑音を回避できる
- ピクセル・サイズが $5\mu\text{m}$ なのでデジタル読み出しでも $1.4\mu\text{m}$ の位置分解能を持つ
- 有感領域が全空乏化しているので優れた2粒子分離能力を持つ
- パワー・パルシングをしないのでローレンツ力による振動を心配なくてよい
- トラックの入射方向の情報を用いてBGを除去
  - ピクセル占有率を解析処理で低減できる

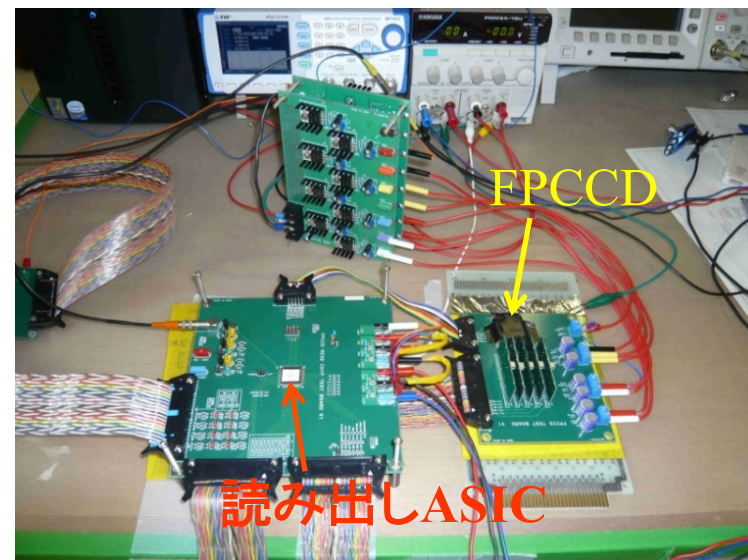
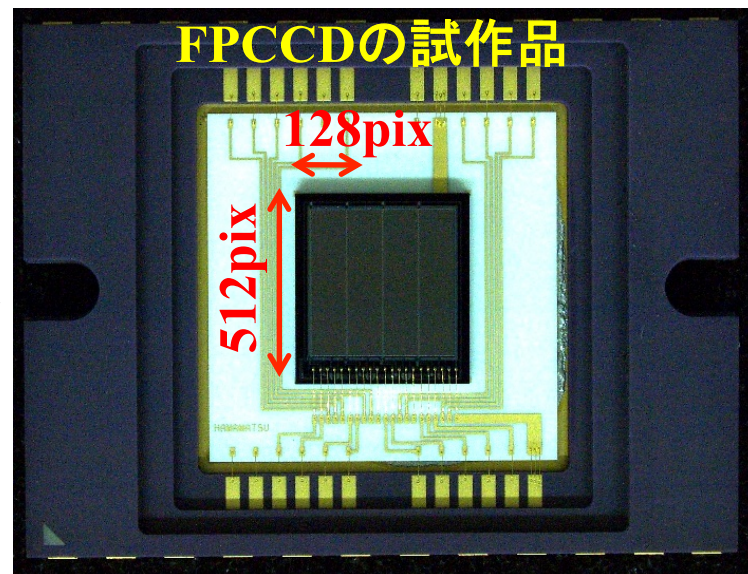
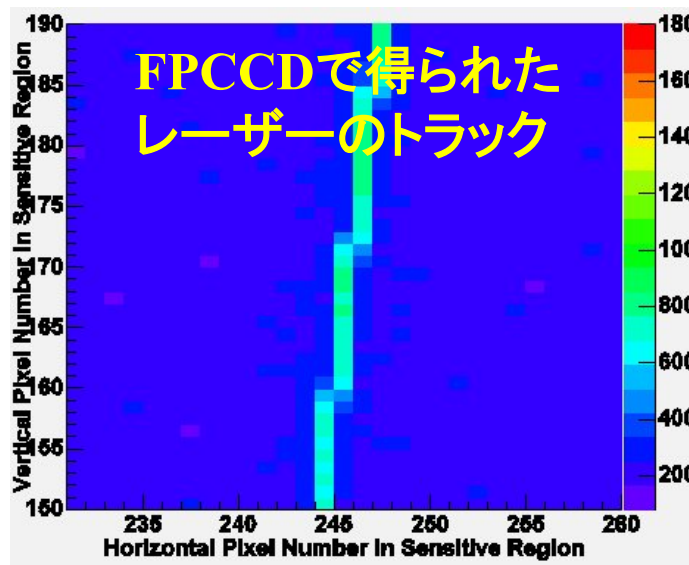
全空乏化していない場合



# FPCCDの開発状況

## プロトタイプの開発状況

- ピクセル・サイズ:  $12 \times 12 \mu\text{m}^2$
- 有感層が全空乏化していることを確認
- '09年度中にピクセル・サイズが  $6 \times 6 \mu\text{m}^2$  の試作作品が完成予定
- '08年度にASICの試作品第1号も作成
  - FPCCDの読み出し試験を行っている



# FPCCDの到達点と課題

## (ほぼ)達成された課題

- $5\mu\text{m}$ のピクセル・サイズ → '09年度 $6\mu\text{m}$ に到達
- 有感領域の全空乏化
- 荷電粒子に有感な水平転送レジスタを受光面に埋め込む

## 今後の課題

- 読み出し速度  $> 10\text{Mpix/s}$
  - 消費電力  $< 10\text{mW/ch}$
  - 雑音レベル  $< 50e$
- } '10年度に作成するASICで検証する
- 実機サイズのウェハーの開発 ( $20 \times 125 \text{ mm}^2$ )
  - 低物質量化
    - ウェファアの貼り付け方法や低物質量ラダーの開発研究
  - 冷却システムの開発 ( $\sim -40$ 度)

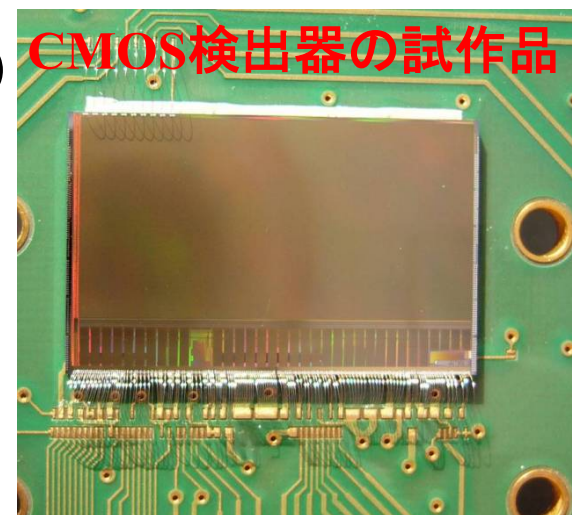
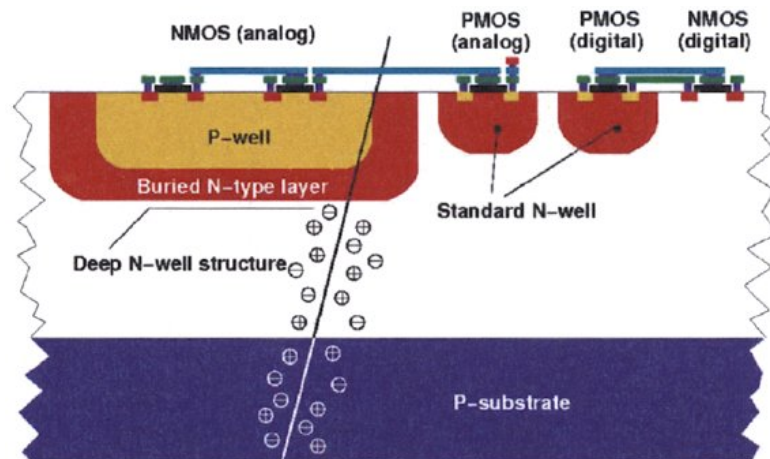
# CMOSピクセル検出器

## CMOSピクセル検出器

- センサーとASICを一つのチップに搭載
- ピクセル・サイズ:  $10 \times 25 \mu\text{m}^2$
- IPHC(フランス)を中心に開発が進行

## 技術課題

- ASICを組み込みつつのピクセルの小型化
- 読み出し速度
  - 1ラインの読み出し時間:  $25\mu\text{s}$  (現在:  $100\mu\text{s}$ )
- パワー・パルシングによる振動
- ピクセル内の熱源によるラダーの変形
- 読み出し中のビーム由来の雑音



CMOS検出器の試作品

# DEPFET

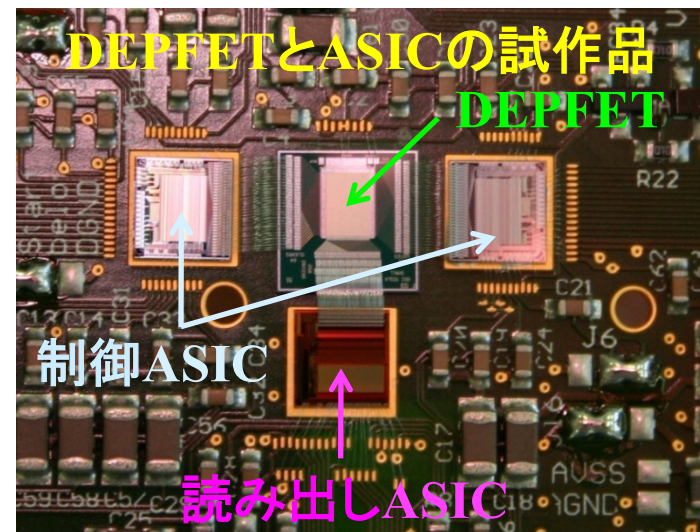
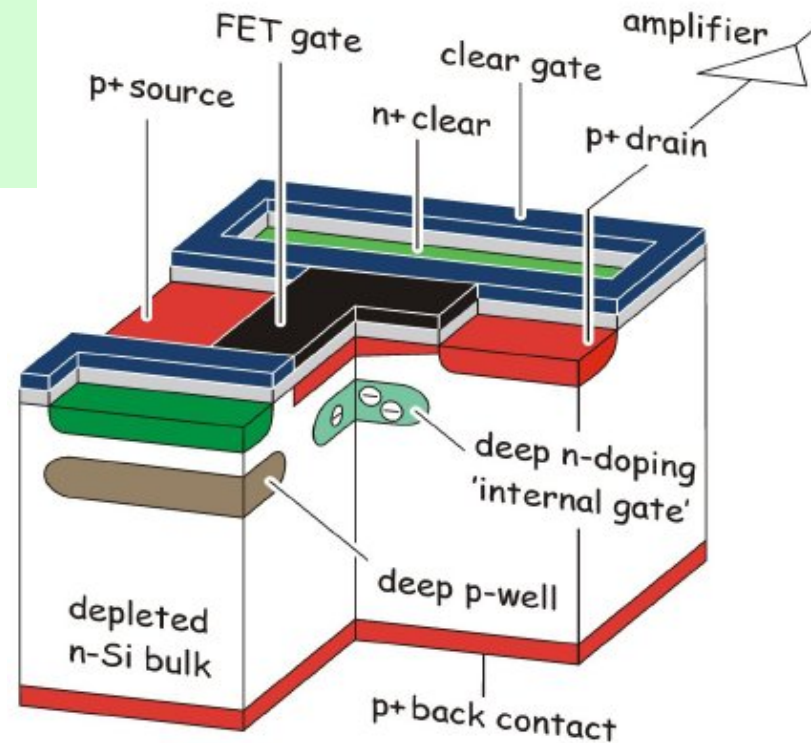
## ILC-DEPFET

- ピクセル・サイズ:  $25 \times 25 \mu\text{m}^2$
- 有感領域の厚み:  $50 \mu\text{m}$  (全空乏化)
- 室温でもSNが良い(目標:  $S/N=20-40$ )
- MPIが中心に開発を進めている

## 技術課題

- 読み出し速度:  $50\text{ns}/2\text{row}$ 
  - 現在:  $320\text{ns}/2\text{row}$
- パワー・パルシングによる振動
- 読み出し中のビーム由来の雑音

Belle-IIのDEPFETとの違いを紹介します



# DEPFET: ILCとBelle-IIの比較

- ピクセル・サイズ
  - ILC: 分解能達成にはピクセルを小さくする必要がある。
  - ILC:  $25 \times 25 \mu\text{m}^2$ , Belle-II:  $50 \times 75 \mu\text{m}^2$
- 読み出し時間:
  - ILCの方がピクセル・サイズが小さく、ラダーが長い
  - ILC:  $50 \text{ ns}/2\text{row}$ , Belle-II:  $80 \text{ ns}/4\text{row}$
- 放射線量
  - Belle-IIの方がビーム・バックグラウンドが大きい
  - ILC:  $<100 \text{ krad/year}$ , Belle-II:  $>1 \text{ Mrad/year}$

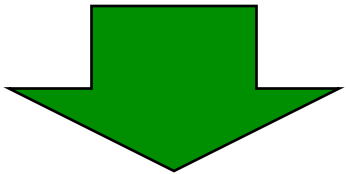
Belle-IIにおける開発をばねにILCの開発を推進する

# 飛跡検出器

# 飛跡検出器への要求

## 飛跡検出器への要求性能

- すぐれた運動量分解能:  $\sigma(1/pt) \sim 10^{-4} \text{ GeV}^{-1}$ 
  - VTX等も含めた全運動量分解能:  $\sigma(1/pt) = 2 \times 10^{-5} \text{ GeV}^{-1}$
- 低物質質量: 4%(バレル)、15%放射長以内(エンドキャップ)



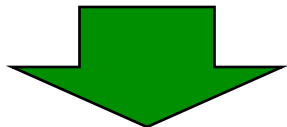
## 2つの検出器オプション

- |                                                                                                                                                                                                            |                                                                                                                                                                                                    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"><li>• MPGD TPC (ILD)<ul style="list-style-type: none"><li>➢ <math>\sigma \sim 50\text{-}100 \mu\text{m}</math></li><li>➢ <math>\sim 200</math>点の位置測定</li></ul></li></ul> | <ul style="list-style-type: none"><li>• 低物質シリコン・トラッカー (SiD)<ul style="list-style-type: none"><li>➢ <math>\sigma \sim 10 \mu\text{m}</math></li><li>➢ <math>\sim 5</math>点の位置測定</li></ul></li></ul> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

# MPGD-TPC

## MWPCでは駄目な理由

- ExB効果で位置分解能が達成できない
- ワイヤーの支持構造が大きな不感領域となる
- 2トラック分離に限界がある

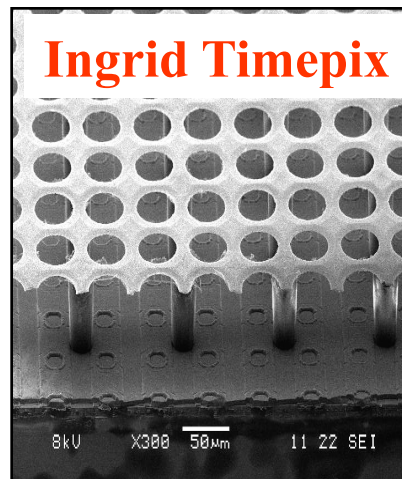
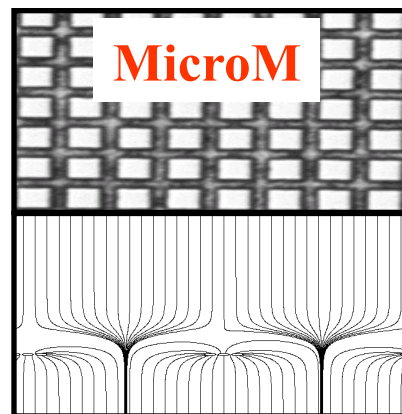
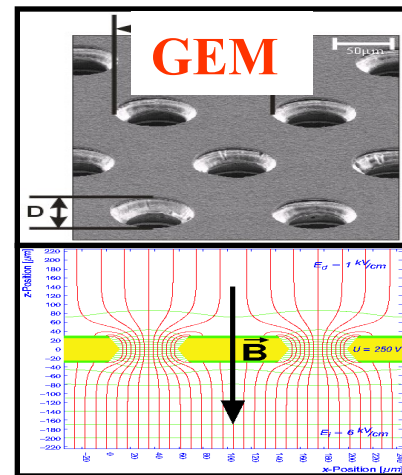


**MPGD** (Micro pattern gas detector)

## ILCにおけるMPGD-TPC

- MPGDのオプション: **GEM**, **Micromegas**
- 読み出しのオプション:
  - アナログ: 通常のパッド読み出し
  - デジタル: **Ingrid Timepix**

それぞれの開発状況を紹介します。



# TPCの国際協力



Si ストリップ  
(EUDET/SiLC)

超伝導磁石: PCMAG  
(LC TPC/KEK; EUDET/CERN)  
素核研低温グループとKEK 低温センター  
の強力なバックアップによる

フィールド・ケージ+  
構造体(EUDET/  
DESY)

ガス系  
(EUDET/DESY)

DAQ & モニター  
(EUDET/DESY)



テスト・ビーム (DESY)

端板  
(LC TPC/Cornell)

MPGD 端部検出器  
(LC TPC/LC TPC Asian  
group, Saclay, Carleton,  
NIKEHF, Bonn etc)

宇宙線トリガー  
(LC TPC/KEK & Saclay)

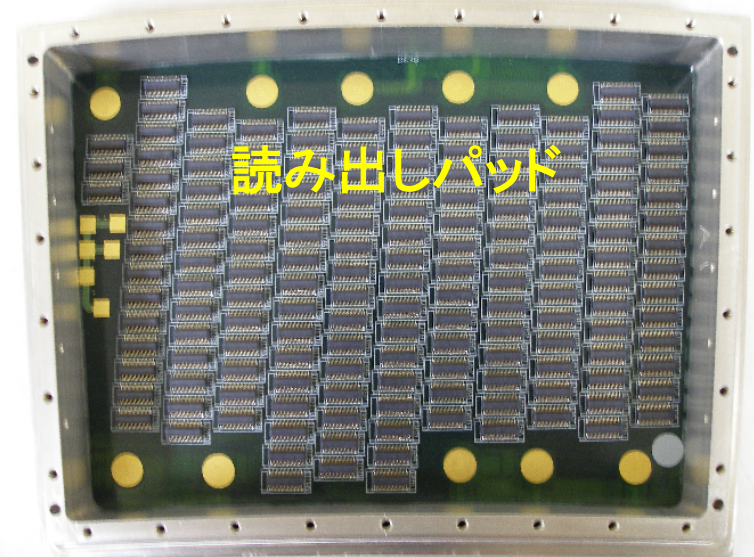
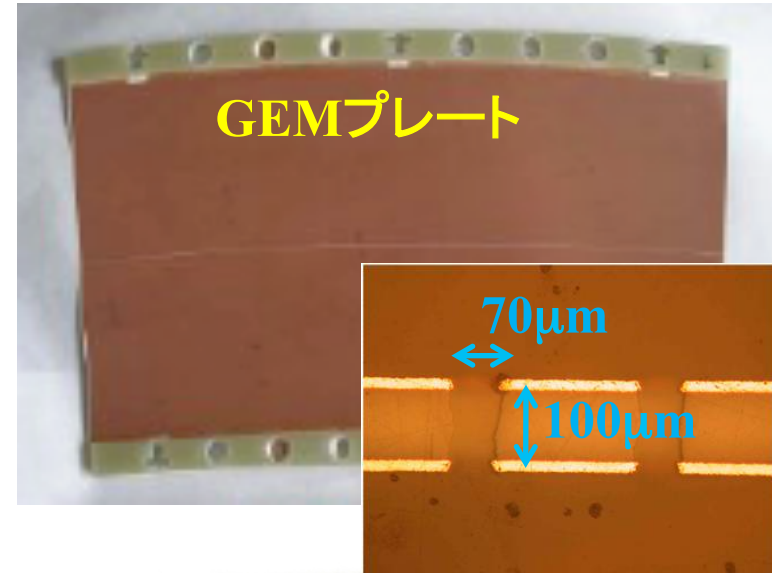
読み出しエレクトロニクス  
(EUDET:CERN, Lund;  
LC TPC/Saclay, LC-TPC-Japan, DESY and all others)

ソフト開発  
(EUDET/Bonn and Asia; LC TPC)

# GEM-TPC

## GEM-TPC

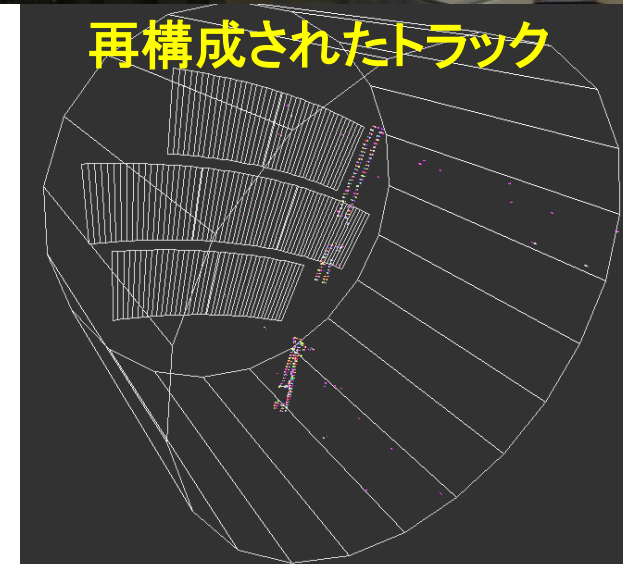
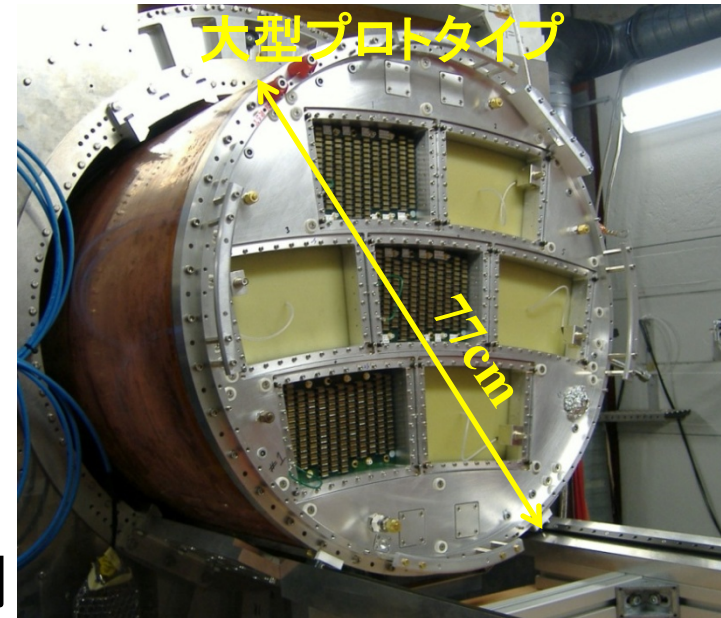
- 2段構成のGEMモジュールで増幅
  - 穴の直径:  $70\mu\text{m}$
  - ピッチ:  $140\mu\text{m}$
  - 厚み:  $100\mu\text{m}$
- イオン還流を抑制するためにゲートGEMを使用
- 読み出しパッド:  $1.2 \times 5.2\text{mm}^2$
- 読み出しASICでデジタル化まで行う
  - エンド・プレートに表面実装(2012年完成予定)
- 日本を中心に国際共同研究で開発を進めている



# GEM-TPCの大型プロトタイプ

## 大型プロトタイプの開発

- 大型プロトタイプの開発を進めている
  - 直径: 70cm、長さ: 60cm
  - 読み出しチャンネル: 10,000
- プロトタイプ用にフィールドケージを開発
- KEKの超電導磁石による1Tの磁場を使用
- '09年からDESYでビームテストを行っている
  - 目標の位置分解能( $100\mu\text{m}$ )を達成
- '12年中に表面実装型技術の完成

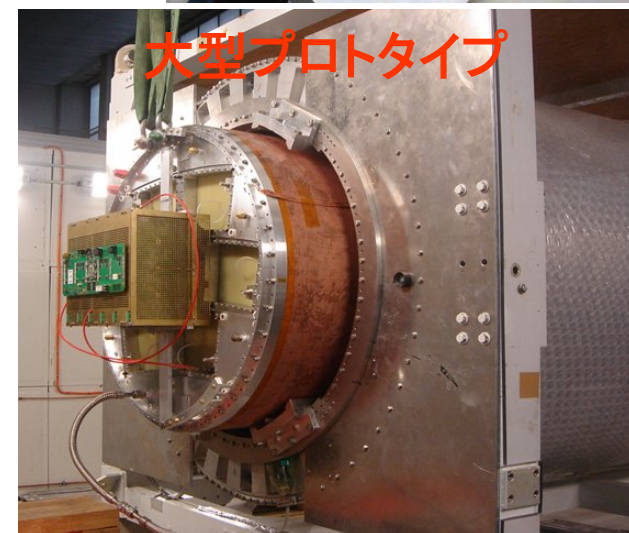


# Micromegas-TPC



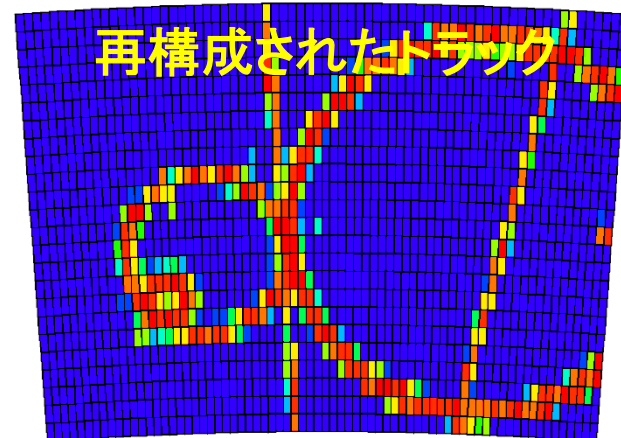
## Micromegas-TPC

- メッシュ間隔:  $50\mu\text{m}$
- 読み出しパッド間隔:  $3\text{mm}$
- 高抵抗アノード:  $\sim 5\text{M}\Omega/\square$
- Saclayが中心に開発を進めている
- '09年にGEM-TPCと一緒にDESYにてビームテストを行っている
  - 目標の位置分解能( $100\mu\text{m}$ )を達成



## 今後の課題

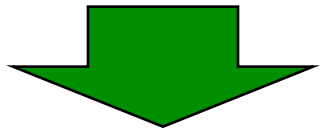
- 読み出しASICの開発
- 高抵抗アノードの技術確立



# Ingrid timepix TPC

## Ingrid timepix TPC

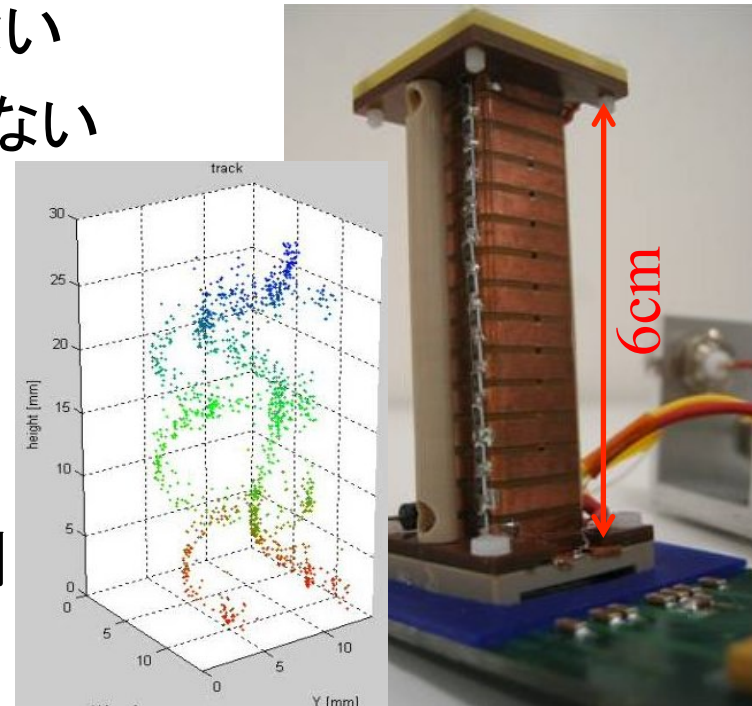
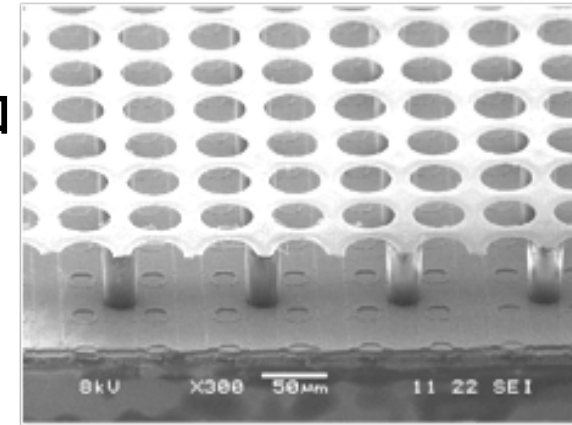
- メッシュ、ピラー、ピクセル読み出しを半導体プロセスで一体成型
- NIKHEFで開発
- ピクセル・サイズはアバランシュ程度( $\sim 50\mu\text{m}$ )
- ガス増幅ゆらぎによる分解能の悪化がない
- 斜め入射に対する位置分解能の悪化がない



**理論上最高の分解能が得られる検出器**

しかし、技術課題はまだ多い

- 放電による読み出しパッドの損傷の抑制
- 背面読み出し方法の開発



# ILC-TPC特有の技術課題と処方箋

## 技術課題

- エンド・キャップの低物質量化
- エンド・キャップの冷却
  - かつてない高密度の読み出しによる発熱が問題となる
  - パワー・パルスシングしないと45kW
- イオン還流の抑制
  - TPCでは以前から問題となっている

## 処方箋

高機能エンド・プレート

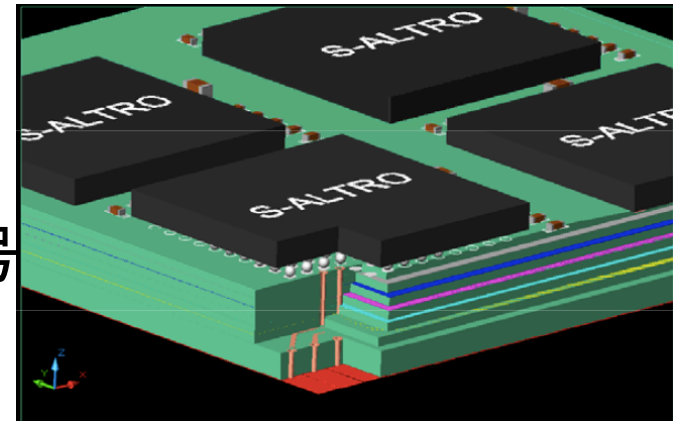
ゲートGEM

高機能エンド・プレートとゲートGEM  
について紹介します。

# TPCの2大開発課題

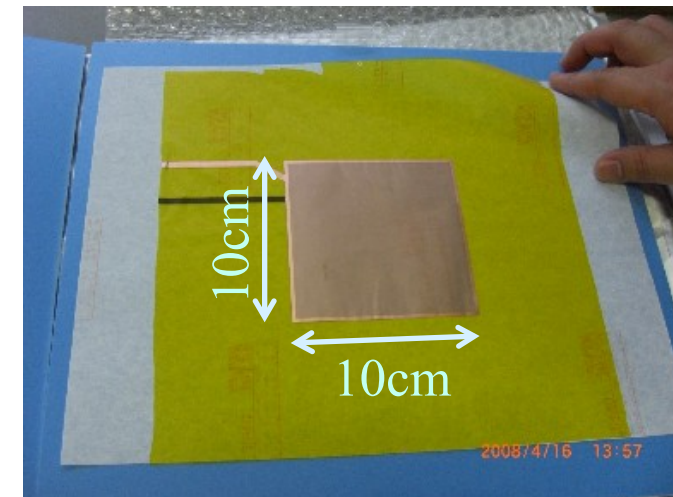
- 高機能エンド・プレート

- 低物質質量を実現するためには表面実装が必要
- TPC電源供給、ASICの電源供給と信号伝達と冷却機能、パワースイッチング



- ゲートGEM

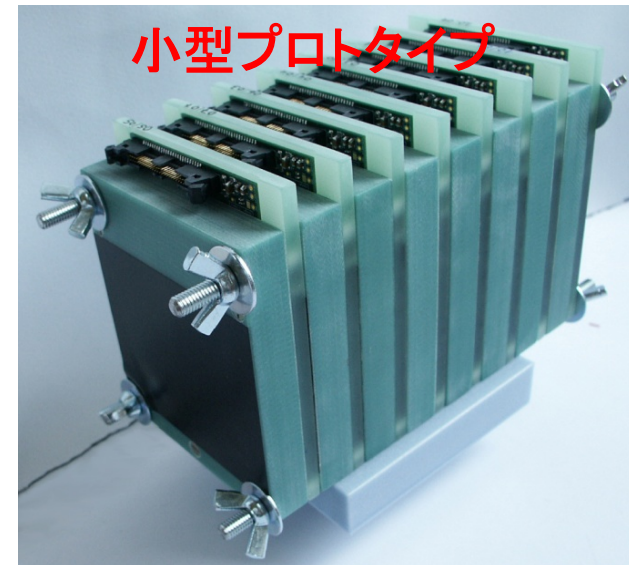
- 信号電子の透過率を維持しながら2次イオンを効率的に吸収しなければならない
- シミュレーションでの評価も急務



日本が中心に高機能エンド・プレートとゲート・モジュールの技術開発を進めている。

# シリコン・トラッカー

- SiDの中央飛跡検出器として採用されている
  - ILDにも使用するので共同で開発を進めている
- ストリップ間隔:  $25\mu\text{m}(\phi)$ ,  $50\mu\text{m}(Z)$
- レイヤー数: 5
- 物質質量:  $0.8\% X_0/\text{レイヤー}$
- 検出器自身でバンチIDが可能
- '07年に試作センサーを作成 by 浜ホト
- 低物質構造体と読み出しASICの開発が必要
- パワー・パルシングの技術確立が必要



# VTX/飛跡検出器開発のまとめ

## バーテックス検出器

- ILCではいくつかの技術が提案されている
  - FPCCD:  $5\mu\text{m}$ 角のピクセルで1回の読み出し
  - CMOS, DEPFET:  $20\mu\text{m}$ 角のピクセルで20回程度の読み出し
- どのグループも技術確立に到達しておらず、まだまだ開発要素が多い

## 飛跡検出器

- TPCとシリコン・ストリップの2つのアプローチがある
- TPCは大型プロトタイプの開発が進んでおり、2012年にまでに要素開発の完了を目指している。
- シリコン・ストリップは読み出しASICの開発等が必要