

LHC-ATLAS 実験ミュオントリガーシステムの統合試運転
～テストパルス試験の活用とシステムの即時診断機構の実装
研究～

(Full-system commissioning of the muon trigger for the
LHC-ATLAS Experiment

- Development of the system test framework and prompt sanity
check mechanism with test-pulse functionality)

東京大学大学院理学系研究科物理学専攻奥村研究室
林 雄一郎

2022 年 1 月 28 日

概要

Large Hadron Collider (LHC) 加速器は、欧州原子核研究機構 (CERN) に建設された全周 27 km、設計重心系衝突エネルギー 14 TeV の世界最大の衝突型円形加速器である。LHC の 4 つの衝突点のうちの一つには ATLAS 検出器が設置してある。LHC-ATLAS 実験では、陽子陽子衝突で生じた粒子を ATLAS 検出器で検出し、素粒子標準模型の精密測定や新物理事象の探索を目指している。

陽子陽子衝突実験では、陽子陽子衝突全断面積と比べ新物理を始めとした興味のある事象の断面積が 10 桁以上小さいため、計算機のリソースを最大限有効活用する目的から、オンラインで興味のある事象を選別する仕組みであるトリガーが必要になる。LHC-ATLAS 実験では、Level-1 トリガーと呼ばれる初段ハードウェアトリガーを用いて 2.5 μ s 以内にトリガー判定を行い、事象レートを 40 MHz から 100 kHz に落とし、その後、High Level トリガーと呼ばれる後段ソフトウェアトリガーを用いて、事象レートを 100 kHz から 1-2 kHz に落として、データ記録される。Level 1 トリガーの一種、エンドキャップ初段ミューオントリガーでは、Thin Gap Chamber(TGC) 検出器を用いて、衝突点由来のミューオンを検出し、その飛跡情報を用いて位置と運動量を概算する。

LHC-ATLAS 実験は、2022 年 1 月現在、同年 4 月開始の第三期運転 (Run 3) に向け、アップグレードしたエレクトロニクス、ファームウェア、ソフトウェアの最終チェックが進行中である。エンドキャップ初段ミューオントリガーでは、新たに NSW や RPC BIS78 を導入し、 $1.0 \leq |\eta| \leq 2.4$ までの領域で、衝突点由来のミューオンではない粒子による偽トリガーを削減し、運動量分解能を向上させる。またこれらの新検出器の追加に伴い、トリガー演算ボードが刷新され、トリガーにおけるミューオン再構成のロジックも新しいエレクトロニクスのために新規に開発された。一方でその読み出しのために TCP/IP プロトコルを用いた通信とソフトウェアベースのトリガーデータ読み出しシステムが導入された。これらの新エレクトロニクスの包括的な動作検証、試運転は重要な課題である。

本研究では、エンドキャップ初段ミューオントリガーの包括的な動作検証、試運転を行うために、TGC 検出器に実装されているテストパルス機構を用い、TGC 全領域でトラックテストパルス試験機構の開発・実装を行った。エンドキャップミューオントリガーがカバーする $1.05 < |\eta| < 2.7$ の領域に網羅的に無限運動量飛跡に相当するヒットパターンを入力し、対するトリガー出力を確認することでシステムの正常動作が検証され、あるいはエラー検知が可能で修復必要箇所が明らかになるものである。併せて効率的な全領域試験のためのスキャン方法の開発・実装や、取得したデータの即時解析機構の開発も行い、運用の面からも最適化した形でシステムの統合試運転を可能にした。本研究により、LHC 加速器の再稼働を待たずに新しいエレクトロニクスを含んだトリガー・読み出しを含むシステムの統合試運転が可能になり、本番システムを用いた運転経験を積んだことにより Run 3 に向けた準備が整った。また統合試運転を通じてハードウェア・ファームウェア・ソフトウェアの不具合も発見された。一つ一つの事例に対して系統的な考察により不具合の箇所を明らかにし、改善・修復を実現し、エンドキャップミューオントリガーを Run 3 に向けて仕上げることができた。

また Run 3 開始後の定期的なハードウェアのシステム診断のための機構も本研究において開発した。統合試験で用いたトラックテストパルス試験に加えて、ASD テストパルス試験、ランダムトリガー試験を用いて、時々刻々と変わりうるトリガーシステムの状況を把握し、調整のために必要な情報を習得するための試験機構である。Run 3 システムのインフラストラクチャーに応じた新システムを開発すると同時に、Run 2 までの経験を元に解析手法等の改善により、より正確に定量をもって、継続的なシステムの診断ができる体制を整えた。

これらの研究成果として、エンドキャップミュオントリガーシステムの Run 3 に向けた準備体制は整ったと言える。2022 年初頭のシステムの最終調整を経て、万全な状態で Run 3 のデータ収集を開始する予定である。

目次

第 1 章	序論	3
1.1	素粒子標準模型	4
1.2	ATLAS 実験で目指す物理	6
第 2 章	LHC-ATLAS 実験	9
2.1	LHC 加速器	9
2.2	ATLAS 実験	11
2.3	座標系	11
2.4	超伝導電磁石	11
2.5	内部飛跡検出器	13
2.6	カロリメータ	15
2.7	ミュオン検出器	15
2.8	ATLAS 実験におけるトリガーシステム	18
第 3 章	エンドキャップ初段ミュオントリガー	21
3.1	エンドキャップ初段ミュオントリガーのトリガーセクターと Region-of-Interest の定義	21
3.2	TGC 検出器を用いた L1 ミュオントリガーロジックの概要	21
3.3	TGC エレクトロニクス	22
3.4	TGC の TTC システム	31
第 4 章	トラックテストパルス試験フレームワークの構築	32
4.1	TGC エレクトロニクスが備えるテストパルス機能	32
4.2	トラックテストパルスを用いた SL タイミングパラメータの決定	34
4.3	全 RoI スキャンフレームワーク	39
第 5 章	トラックテストパルス試験用のデータ解析とテストパルスを活用した統合試運転の実現	43
5.1	データ解析の流れ	43
5.2	本システムを活用した統合試運転について	46
5.3	トラックテストパルス試験による統合試運転のまとめ及び今後の展望	53
第 6 章	Run3 開始後のシステム診断フレームワークとその解析手法	55
6.1	運転開始後の定期的なシステム診断の必要性	55
6.2	ASD テストパルス試験	56

6.3	ランダムトリガー試験	58
6.4	フレームワーク化	59
第7章	まとめと今後の展望	61
付録A	TGCで用いられているデータフォーマット	63
付録B	無限運動量飛跡を模したテストパルスパターン作成	66
参考文献		73

第 1 章

序論

1950 年代以降、実験と理論の相互作用によって素粒子物理学は目覚ましい発展を遂げた。電磁気力と弱い力を統合した理論であるグラシロー=ワインバーグ=サラム理論、素粒子単体の質量獲得機構であるヒッグス機構、強い力を記述する量子色力学等様々な理論が提唱され、そして実証されていった。これらの素粒子を記述するのに必要な理論をまとめたものが、素粒子標準模型 (The Standard Model) である。標準模型は、現在までに行われている多くの素粒子実験の結果を定量的に説明することができるが、未だ多くの問題を抱えている。それを解決するため、様々な標準模型を超える新物理 (Beyond the standard model) が提唱されている。標準模型の精密検証や新物理で予言されている現象の探索を行い、これらの新物理を検証していくことは、素粒子物理学の大きな目標となっている。

Large Hadron Collider(LHC) は、スイスのジュネーブ市郊外に拠点を置く欧州原子核研究機構 (CERN) の地下約 100 m に建設された世界最高衝突エネルギーを誇る陽子陽子衝突型円形加速器であり、40 MHz で約 10^{11} 個の陽子バンチを衝突させる。LHC-ATLAS 実験は、LHC の衝突点の一つに設置されている大型汎用検出器、ATLAS 検出器を用いて、陽子陽子衝突で生成した粒子を観測し、TeV 領域までの標準模型の精密検証や新物理事象探索を行う。

新物理事象等の興味のある事象は稀にしか起きないため、限られた計算機リソースを有効活用する目的から、データ収集時に高速で興味のある物理事象を漏らさず選び出す仕組みであるトリガーが必要となる。ATLAS 実験では、Level-1 トリガーと呼ばれる初段ハードウェアトリガーと High Level トリガーと呼ばれる後段ソフトウェアトリガーから構成される 2 段階トリガーを用いてこの高速選別を可能にしている。Level 1 トリガーの一種、エンドキャップ初段ミュオントリガーでは、Thin Gap Chamber(TGC) 検出器を用いて、衝突点由来のミュオンを検出し、その飛跡情報を用いて位置と運動量を概算する。

2022 年 1 月現在、エンドキャップ初段ミュオントリガーは、同年 4 月から開始する LHC-ATLAS 実験の第三期運転 Run 3 に向けてのアップグレードの最終チェックが進行中である。エンドキャップ初段ミュオントリガーは、Run 3 から ATLAS 検出器に導入される New Small Wheel(NSW)、RPC BIS78 からの情報を用いて $1.0 \leq |\eta| \leq 2.4$ までの領域で、衝突点由来のミュオンではない粒子による偽トリガーを削減し、運動量分解能を向上させる。またこれらの新しい検出器からの情報の追加に伴い、トリガー演算ボードが刷新され、トリガーにおけるミュオン再構成のロジックも新しいエレクトロニクスのために新規に開発された。一方でその読み出しのために TCP/IP プロトコルを用いた通信とソフトウェアベースのトリガーデータ読み出しシステムが導入された。これらの新エレクトロニクスの包括的な動作検証、試運転は重要な課題である。

本研究は、TGC システムに実装されているトラックテストパルス機構を活用し、TGC 全領域に網羅的にミュオンの無限運動量直線飛跡を模したヒットパターンを入力し、それに対するトリガー出力のタイミング

および情報を調査するトラックテストパルス試験機構の開発・実装を行った。併せて効率的な全領域試験の開発・実装や取得データの即時診断機構の開発も行い、運用の面でも最適化を行った。またこれを用いてエンドキャップ初段ミュオントリガーの包括的な動作検証、統合試運転を遂行したものである。本論文では、これらの開発研究および統合試運転の結果について詳しく述べる。また本研究では、運転開始後のエンドキャップ初段ミュオントリガーシステムの状況を把握し、調整を行うために必要なハードウェアに対する定期的なシステム診断機構の実装も行った。これは統合試運転で用いたトラックテストパルス試験に加えて、TGC システムに実装されているもう一つのテストパルス機構を活用した全読み出し系の試験、ASD テストパルス試験およびチャンネルのノイズ特性を調査するランダムトリガー試験を組み合わせたものとなっていて、それぞれの試験を解析し調整が必要な箇所をリストアップするものとなっている。トリガーシステムのロバスタな運用を行い、安定的に質の高い物理データを取得するのに大きく貢献する重要なインフラである。本論文では、このシステム診断フレームワークおよびその解析手法について詳細に述べる。

本論文の構成は以下の通りである。第 1 章では、素粒子標準模型と ATLAS 実験で目指す物理について概要を説明する。第 2 章では、LHC-ATLAS 実験の概要を説明する。第 3 章では、本研究で統合試運転を行ったエンドキャップミュオントリガーについて説明する。第 4 章では、エンドキャップ初段ミュオントリガーのトラックテストパルスを活用した統合試運転に必要なトラックテストパルス試験フレームワークの構築について述べる。第 5 章では、トラックテストパルス試験用のデータ解析及びトラックテストパルスを活用した統合試運転について述べる。第 6 章では、Run 3 開始後のテストパルスを活用したシステム診断フレームワークとその解析手法について述べる。最後に、第 7 章で本研究のまとめと今後の展望について述べる。

1.1 素粒子標準模型

現在、自然界には、4つの相互作用すなわち重力相互作用、電磁相互作用、強い相互作用、弱い相互作用が確認されている。素粒子標準模型は、このうち重力相互作用を除いた3つの相互作用を記述し、基本的に素粒子標準模型を逸脱する実験結果はない。素粒子標準模型には、物質を構成するフェルミオン 12 種類、相互作用を媒介するボソン 4 種類、素粒子単体の質量の起源となるヒッグス粒子 1 種類の計 17 種類の素粒子が導入されている (図 1.1)。図の左側にフェルミオンが、右側にボソンが示されている。フェルミオンは、強い相互作用を行うクォークと強い相互作用を行わないレプトンに大きく分かれ、それぞれ 6 種類ある。クォークは、電荷が $2/3 e$ を持つアップ、チャーム、トップ、電荷が $-1/3 e$ のダウン、ストレンジ、ボトムから構成されている。レプトンは、電荷 $-e$ を持つ電子、ミュオン、タウと電荷を持たない電子ニュートリノ、ミュオンニュートリノ、タウニュートリノから構成されている。クォーク及びレプトンは、3つの世代で分類される。それぞれの世代間は、粒子の質量のみが異なる (ニュートリノに関しては標準模型の理論上その質量はゼロとされているが、ニュートリノ振動の発見により現在は、質量を持つことがわかっている)。それぞれのフェルミオンには、電荷の符号が反対の反粒子が存在する。またボソンは、ゲージボソン 4 種類とスカラーボソンであるヒッグス粒子に大きく分かれる。ゲージボソンのうちグルーオンは、強い相互作用を、光子は電磁相互作用を、Z ボソン及び W ボソンは弱い相互作用を媒介する。強い相互作用は量子色力学によって記述される。また弱い相互作用と電磁相互作用は、グラシヨウ=ワインバーグ=サラム理論で統一的に記述され、ヒッグス場の導入に関わる。ヒッグス機構と呼ばれる電弱対称性の自発的対称性の破れの機構により、Z ボソン、W ボソン及びフェルミオンに質量を与える [1]。自発的対称性の破れに伴い、重いスカラー粒子であるヒッグス粒子が予言される。2012 年に観測が確定し、現在までにその質量が約 125 GeV であることが分かっている。

素粒子の標準模型

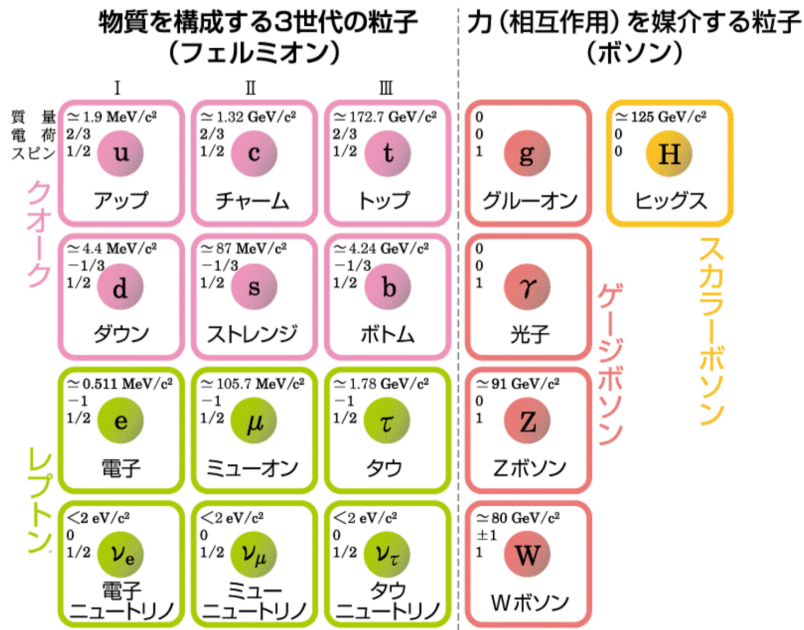


図 1.1: 素粒子標準模型に導入されている素粒子 [2]

1.1.1 標準模型が抱える問題点

標準模型は、現在までに到達されたエネルギースケールでの多くの実験結果を説明することができているが、全ての素粒子、及び素粒子間の相互作用を説明する万物の理論としては、不十分であり、電弱スケール $O(100 \text{ GeV})$ における有効理論であると考えられている。標準模型が抱える問題の一部を以下に列挙する。

1 重力相互作用の記述がない

重力相互作用を標準模型の枠内で記述できていない。プランクスケール ($\Lambda_{\text{Planck}} \sim 10^{19} \text{ GeV}$) に近いエネルギーを含む過程では、重力の効果が無視できなくなることが予想されている。今のところ、量子重力を含み、電弱スケールで標準模型となる完璧な理論は存在していない。

2 暗黒物質候補の不在

重力レンズ効果や銀河の回転速度の観測結果をはじめとする多くの宇宙観測の結果は、観測可能な電磁波を放射・吸収反射せず、しかし重力相互作用を行う暗黒物質の存在を示唆している。素粒子標準模型内に暗黒物質の候補は存在せず、また質量にして暗黒物質の存在量は、既知の粒子の存在量のおよそ 6 倍に上る [3]。

3 ヒッグス粒子質量の 2 次発散に伴う微調整問題と階層性問題

標準模型は電弱スケールにおける有効理論であると考えられており、仮にとある大統一理論の有効理論と仮定し、そのエネルギースケール $\Lambda_{\text{GUT}} \sim 10^{16} \text{ GeV}$ と仮定すると、ヒッグスの質量の 2 乗を計算する際に Λ_{GUT}^2 程度の 2 次発散量 δm_h^2 が入る。

$$m_h^2 = m_{h0}^2 + \delta m_h^2 \quad (1.1)$$

ここで m_h はヒッグス粒子の質量 125 GeV であり、 m_{h0} はヒッグス粒子の裸の質量である。式 (1.1) は、 10^{32} GeV² 程度の大きさの値が打ち消しあってヒッグス質量の 2 乗 $O(10^4)$ GeV² を作る必要がある。この微調整の不自然さはそもそもヒッグスの質量および電弱対称性の自発的破れがなぜ GUT の統一スケール程度ではなく、100 GeV 程度で起こるかという問題に起因する。この問題を一般的に“階層性問題 (hierarchy problem)”と呼ぶ。

1.2 ATLAS 実験で目指す物理

2012 年、欧州原子核機関 (CERN) で行われた ATLAS 実験、CMS 実験の両方で、ヒッグス粒子の発見が報告された。これにより、素粒子標準模型で予言されていた全ての粒子が発見された。標準模型は、多くの実験結果を説明することができているが、1.1.1 節で述べたような問題を抱えている。標準模型を超える新しい物理の導入が必要であると考えられており、その新物理の手がかりが様々な実験で探索されている。

ATLAS 実験は、エネルギーフロンティアでの衝突実験であり、LHC による高エネルギーの陽子陽子衝突実験を用いて TeV スケールまでに期待される物理現象を広く調べることを目的としている。この物理現象のうち、以下の項目について説明する。またこれらの物理現象の多くの終状態にミュオンが含まれるため、ミュオントリガーは LHC で重要となることもここで言及する。

1.2.1 ヒッグス粒子の精密測定

LHC は、現時点で唯一ヒッグス粒子を生成できる加速器実験であるため、ATLAS 実験でその性質の精密測定を行うことは非常に重要である。ヒッグス粒子の性質、特にヒッグス粒子と他粒子との結合定数の精密測定によってフェルミオンの世代の違いの起源や物質・反物質の起源など、標準模型では未解決の問題を解明できる可能性がある。例えば、ヒッグスとフェルミオンの結合定数 (g_{Hff}) は、湯川結合定数と呼ばれるが、その精密測定は重要な課題である。湯川結合定数は標準模型では以下の式で示されるようにフェルミオンの質量に比例している。

$$g_{Hff} = \sqrt{2} \frac{m_f}{v} \quad (1.2)$$

ここで、 m_f はフェルミオンの質量、 v はヒッグス場の真空期待値である。新物理による寄与によってこの比例関係に不整合が生じる可能性があるため、湯川結合定数を精密に測定することで新物理に対する手がかりを得ることができる。LHC の陽子陽子衝突実験においてヒッグス粒子は主に 4 種類の生成過程で生成される (図 1.2)。5 種類の崩壊過程 ($H \rightarrow b\bar{b}$ 、 $H \rightarrow WW$ 、 $H \rightarrow \tau\tau$ 、 $H \rightarrow ZZ$ 、 $H \rightarrow \gamma\gamma$) での崩壊過程は LHC 実験での観測が達成されている。その生成断面積、及び崩壊分岐比は、図 1.3 の通りである。

1.2.2 超対称性粒子の探索

超対称性理論は、ボソンとフェルミオン間の変換に対する対称性を新たに導入するがそれに伴い、全てのフェルミオン及びボソンにスピンの 1/2 だけ異なる超対称性粒子の存在を予言する。超対称性理論には、通常 R-parity と呼ばれる保存則が要求されるため、Lightest SUSY Particle (LSP) が暗黒物質の候補となりえる。またヒッグスの階層性問題についても超対称性粒子の寄与がちょうど小節 1.1.1 の 3 で定義した δm_h^2 の逆符号となり、微調整問題が起こらない。加えて自発的対称性の破れが電弱スケールで起こることも繰り込みの効果として自然に与えられる。これらの動機付けにより新物理の有力な候補である。LHC では、超対称性粒子

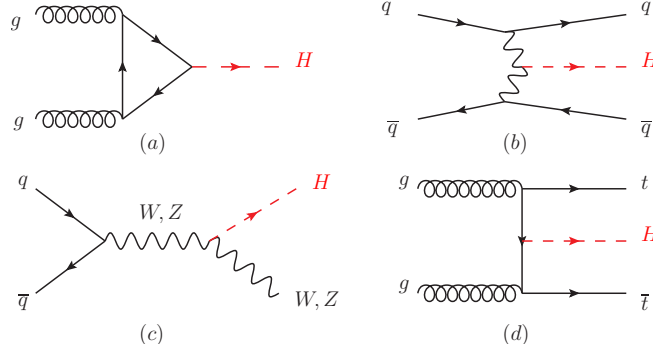
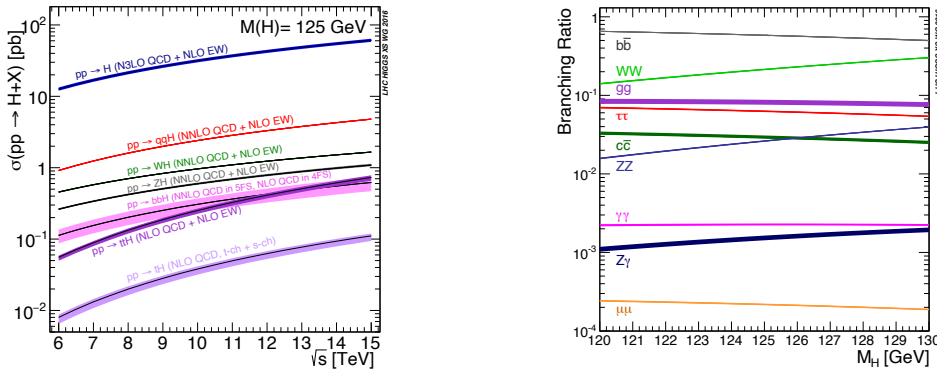


図 1.2: ヒッグスの生成過程のダイアグラム [4]。(a)、(b)、(c)、(d) はそれぞれ gluon fusion (ggF) 過程、vector boson fusion (VBF) 過程、W/Z associate production (VH) 過程、top associate production (ttH) 過程と呼ばれる。



(a) 重心系衝突エネルギーの関数としてのヒッグスの生成断面積 (b) 既知のヒッグス質量 (125 GeV) 付近でのヒッグス質量としての崩壊分岐比

図 1.3: ヒッグスの生成断面積及び崩壊分岐比 [5]。

の対生成事象を探索したり、あるいは超対称性によって予言される追加の Higgs Doublet に伴う第 2 のヒッグス粒子を探索することによって超対称性の探索が行われる。

1.2.3 余剰次元探索

コンパクト化された余剰次元が存在し、そのサイズが大きい場合、プランクスケールが TeV オーダーとなり、階層性問題の前提となる 2 つの大きくスケールが離れた階層の存在を否定し、そのため階層性問題を解決する候補として考えられる。TeV オーダーにプランクスケールを持つ強い重力の理論に従うと、シュバルツシフト半径 R_S が、LHC のエネルギー程度で有限となる [6] ため、これより小さな衝突係数でパートンが衝突するとブラックホールが生成される可能性がある。生成したブラックホールは、ホーキング放射を主な崩壊過程として崩壊し、その際高いエネルギーを持つ粒子が複数観測される。またその粒子のフレーバーについても平等な点特徴的となる。図 1.4 に LHC においてブラックホールで生成され、崩壊した際の予想図 1.4 を示す。このようなブラックホール生成事象や、また余剰次元が予言する Kaluza-Klein (KK) 粒子 (余剰次元方向の運動量励起状態) の生成事象を探索し、余剰次元の兆候を探る。

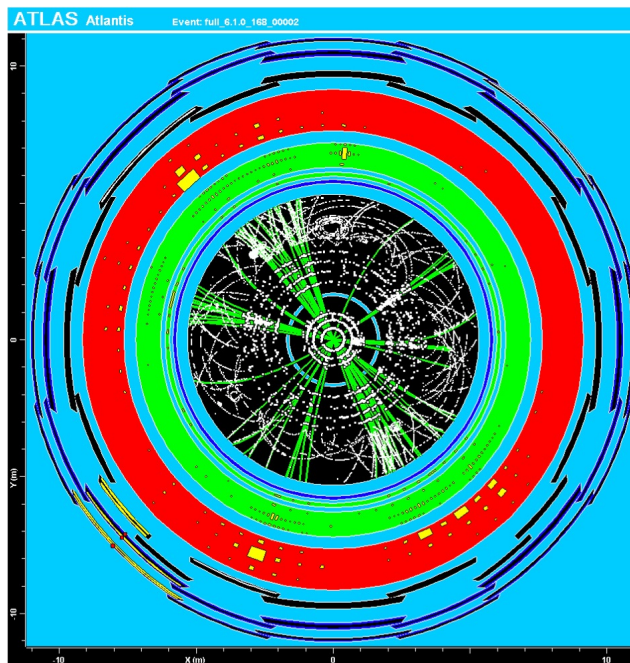


図 1.4: ブラックホールが生成され、ホーキング輻射で崩壊した際の予想図 [7]

第 2 章

LHC-ATLAS 実験

2.1 LHC 加速器

LHC(Large Hadron Collider) は、欧州原子核機構 (CERN) に建設された周長 27 km、設計重心系衝突エネルギー 14 TeV の世界最大の陽子陽子衝突型円形加速器である。世界最高エネルギーで陽子同士を衝突させることで、高エネルギー領域の新物理で存在が予測されている新粒子の直接探索や素粒子標準模型の精密測定を通じ、標準模型を超えた物理を探る。前段加速器を含めた LHC 加速器の全体像を図 2.1 に示した [8]。Run 3 での前段加速器は、Linear accelerator 4 (Linac4)、Proton Synchrotron Booster (PSB)、Proton Synchrotron (PS)、Super Proton Synchrotron (SPS) から成る。各段の加速器の出力粒子のエネルギーを表 2.1 に示した。

加速器	加速粒子	加速後のエネルギー
Linac 4	H^-	160 MeV
PSB	p	2 GeV
PS	p	26 GeV
SPS	p	450 GeV
LHC	p	6.8 TeV(Run 3)

表 2.1: 各段の加速器についての出力粒子のエネルギー

LHC の陽子ビームは、Point 5 に設置されている Radiofrequency (RF) cavity が生成した 400.8 MHz の電場によって加速及び位相安定化が達成される。また力学的に安定的な位相の周辺領域を bucket と呼ぶ。LHC では、10 bucket 毎に 1 回、およそ 1.2×10^{11} 個の陽子が入射し、バンチと呼ばれる陽子の集団を形成する。つまり衝突点では、 $400.8 \text{ MHz} \div 10 = 40.08 \text{ MHz}$ すなわち約 25 ns に一回バンチが通過する。バンチはほとんど光速で移動し、また LHC の周長は 26.659 km なので、LHC が持つ理論上の最大バンチ数は、

$$26659 \text{ m} \div (c \div 40.08 \text{ MHz}) = 3564 \quad (2.1)$$

である。このため各バンチの番号である Bunch Crossing ID (BCID) は、0-3563 まで付けられている。このうち、入射時およびダンプ時のキッカー磁石の励磁時間を考慮して適切に入射された 2808 個のバンチが LHC を周回しているよう設計されている。

また陽子ビームの軌道を適切に曲げるために、1232 個の主偏向磁石 (Nb-Ti 超伝導線コイルを用いた二重

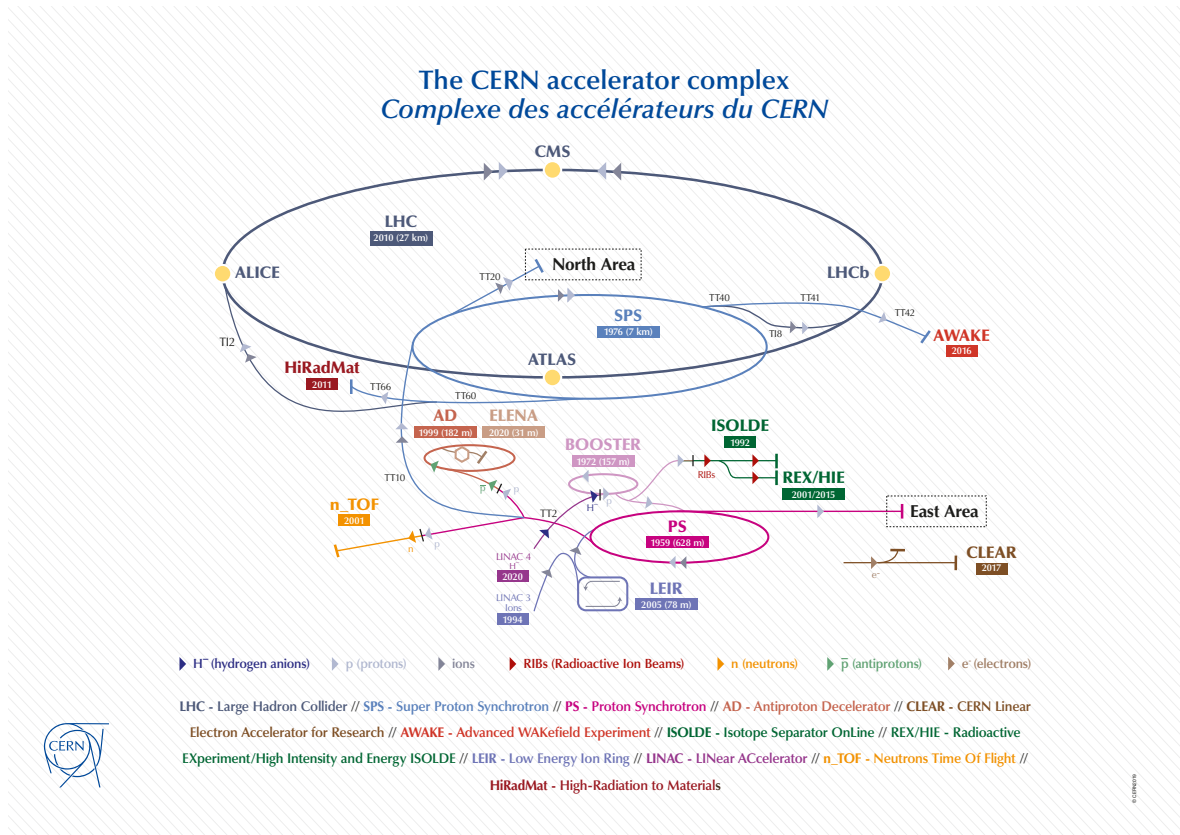


図 2.1: LHC 加速器の全体図 [9]

極電磁石)、392 個の主収束電磁石 (四重極電磁石)、5000 台を超える補正磁石 (六重極、八重極、十重極磁石) が用いられている。

LHC には 4 つの衝突点があり、それぞれの衝突点で、ATLAS 実験、ALICE 実験、CMS 実験、LHCb 実験が行われている。ATLAS 実験の概要は次の節で述べる。

LHC の第一期運転 Run 1 は 2010 年からスタートし、2013 年まで続いた。その重心系衝突エネルギーは、2010 年に 7 TeV、2012 年に最高 8 TeV に達し、ATLAS 実験における瞬間ルミノシティーも設計値 ($1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$) の 75 % の $7.5 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$ に達した。その後、実験準備期間 Long Shutdown 1 (LS1, 2013–2015) に入り、Run 2 へのアップグレードが行われた。第二期運転 Run 2(2015-2018) では、重心系衝突エネルギーが 13 TeV での運転が行われ、その瞬間ルミノシティーも設計の 2 倍の $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に達した。4 年間で 150 fb^{-1} のデータ取得がされた。

現在 (2022 年 1 月)、実験準備期間 Long Shutdown 2 (LS2, 2018–2022) の最終年にあたる (図 2.2)。2022 年 4 月からの第三期運転 Run 3 では、LHC の衝突重心エネルギーは、13.6 TeV に達する。最大瞬間ルミノシティーは Run 2 と同じ $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ である。バンチ中の陽子数を増やすことで最高ルミノシティーでの運転を長時間維持し (ルミノシティーレバリング)、3 年間で 150 fb^{-1} のデータ取得を目指す。

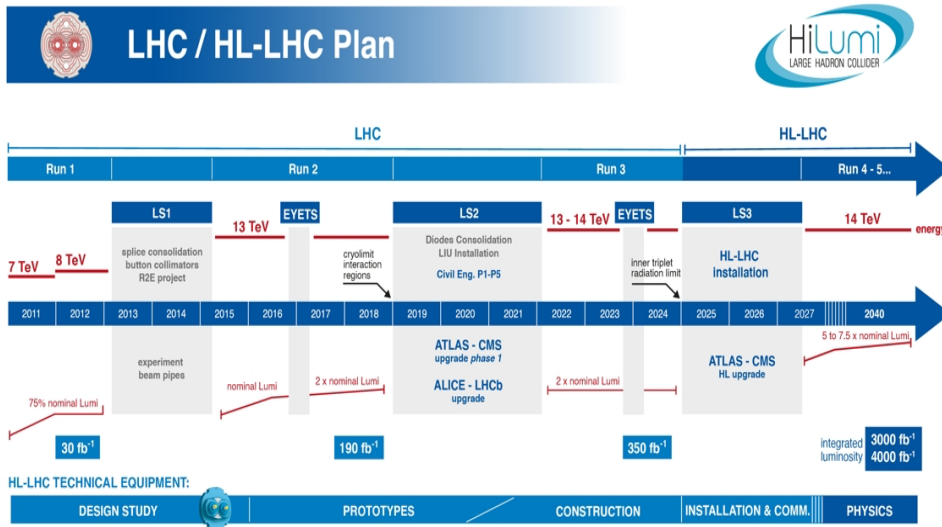


図 2.2: LHC Plan [10]。現在は、2022 年から開始する Run 3 に向けた最終調整段階である。

2.2 ATLAS 実験

ATLAS 実験は、LHC の衝突点のうち一つに設置された高さ 25 m, 長さ 44m, 質量 7000 t の大型汎用検出器、ATLAS 検出器を用いて行われる。図 2.3 に ATLAS 検出器の断面図を示す。ATLAS 検出器は、大きく 4 つに分けて内側から内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオン検出器から構成される。

2.3 座標系

図 2.4 に ATLAS 検出器の座標系を示す。ATLAS では、2 つの座標系が使われる。一つは原点を衝突点として x 軸の正の方向を LHC の中心の向きに、 y 軸の正の方向を鉛直上向きにとり、右手系に従い、ビーム軸に沿った z 軸が定義される直交座標系である。もう一つは、 $R = \sqrt{x^2 + y^2}$, $z, \phi = \arctan(y/x)$ の円筒座標系である。また $\theta = \arctan(R/z)$ の代わりに、擬ラピディティ $\eta = -\ln \tan \frac{\theta}{2}$ がよく用いられる。陽子衝突に伴う非弾性散乱に伴う終状態粒子の角度分布において、 η によらず単位擬ラピディティあたりの粒子数は、ほぼ一様であることが知られていて、検出器のチャンネル幅の設計も η を基準に行われることが多い (η が大きい領域では、単位立体角あたりの粒子数が多くなるので、前方の検出器は、高放射線耐性や高い granularity が求められる)。ATLAS ミューオン検出器では、 $|\eta| = 1$ 付近を境に検出器の配置や種類が異なるため、 $|\eta|$ が小さい方をバレル部 (円筒形の“胴体”の部分)、大きい方をエンドキャップ部 (円筒形の“蓋”の部分) と区別している。また ATLAS 検出器の $z > 0$ の領域を A side, $z < 0$ の領域を C side と呼んでいる。

2.4 超伝導電磁石

ATLAS 検出器で用いられている超伝導電磁石の配置を図 2.5 に示す。ATLAS 検出器では、1 つのソレノイド磁石、8 つのバレルトロイドコイル、そして片側 8 つの計 16 個のエンドキャップトロイドコイルを組み

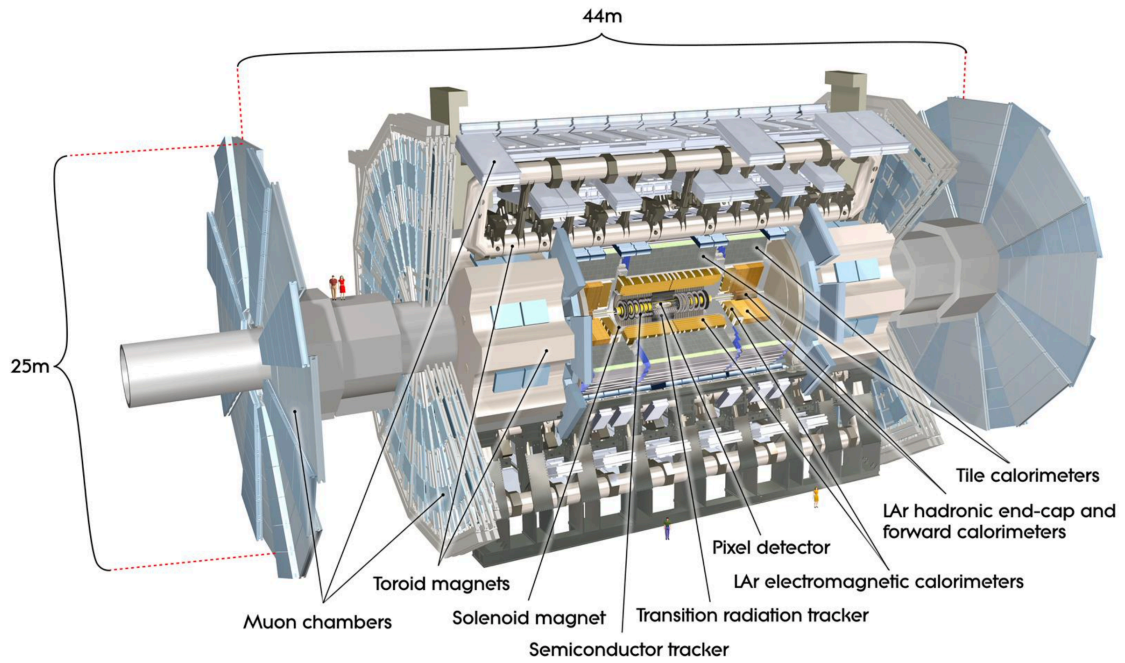


図 2.3: ATLAS 検出器の断面図 [11]

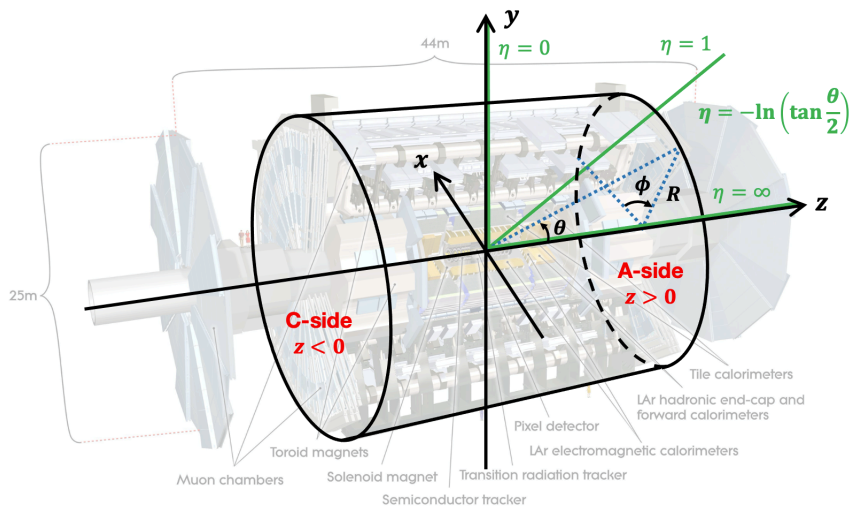


図 2.4: ATLAS 検出器で用いられている座標 [12] より引用

合わせている。ソレノイド磁石は、内部飛跡検出器のために z 方向に 2 T の磁場を生成し、また磁石外側に設置してある電磁カロリメータでの観測を妨害しないために、その厚みを最小化している。また 8 つのパレルトロイド磁石およびエンドキャップトロイド磁石はその境界での磁場の干渉を防ぐために互いの隙間に入り込むように配置されている。パレルトロイド磁石は典型的に 0.5 T、エンドキャップトロイド磁石は典型的に 1 T の磁場を生成する。これらの磁場が干渉して非一様な磁場が作られる。その詳細な磁場の様子は、図 2.6 に示す。

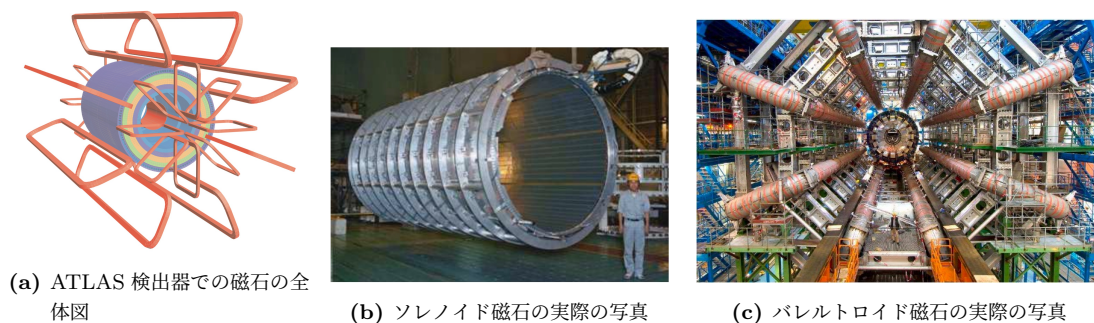


図 2.5: 超伝導磁石の配置と実際の写真 [11]

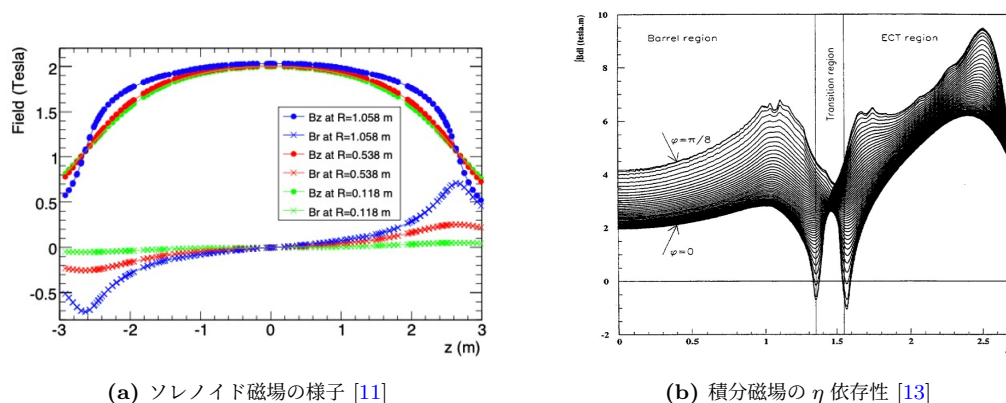


図 2.6: ATLAS 検出器での磁場の様子

2.5 内部飛跡検出器

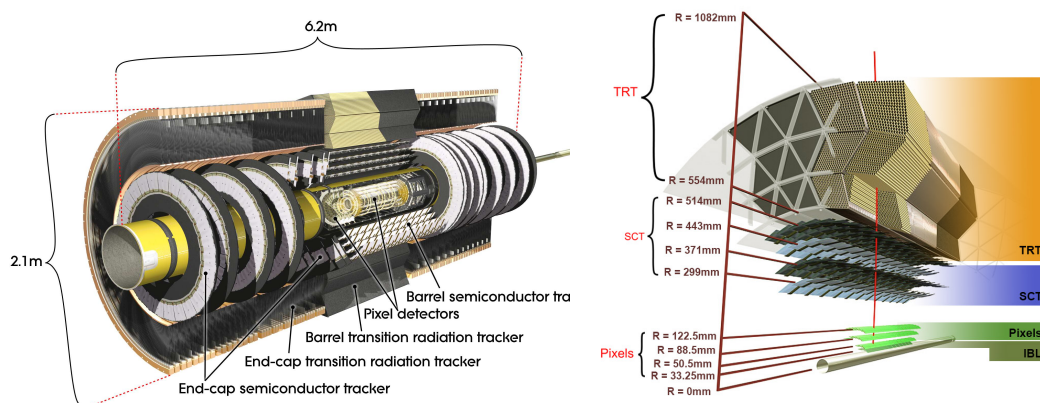
内部飛跡検出器は、ATLAS 検出器の中で一番内側に存在する検出器であり、検出器内の飛跡密度は大きい。また ATLAS で探索する物理事象には高い運動量分解能とバーテックスに対して高い位置分解能を達成する必要がある。Pixel 検出器、SemiConductor Tracker (SCT) 検出器と Transition Radiation Tracker (TRT) 検出器を用いて高精度測定を行う。

図 2.7 に内部飛跡検出器の断面図を示す。Pixel と SCT はシリコン検出器であり、中心に高い granularity を持つ Pixel 検出器を配置し、その外側を SCT 検出器で覆い、さらにその外側をガス検出器である TRT 検出器が配置されている。Pixel 検出器は、バレル部全 4 層、エンドキャップ部全 3 層のシリコンピクセルセン

サーから構成される検出器で、バレル部の最内層に、Insertable B-Layer (IBL) 検出器が Run 2 から追加された。Run 1 からのピクセルセンサーは全て同一で、そのピクセルサイズは $50 \times 400 \mu\text{m}^2$ であり、一方 Run 2 から追加された IBL のピクセルセンサーのピクセルサイズは $50 \times 250 \mu\text{m}^2$ である。その精度は、エンドキャップ部では、 $10 \mu\text{m}(\phi)$ 、 $115 \mu\text{m}(R)$ 、IBL を除いたバレル部では、 $10 \mu\text{m}(\phi)$ 、 $115 \mu\text{m}(z)$ 、IBL では $8 \mu\text{m}(\phi)$ 、 $40 \mu\text{m}(z)$ である [14]。全チャンネル数は、IBL を含め、約 9200 万である [15]。

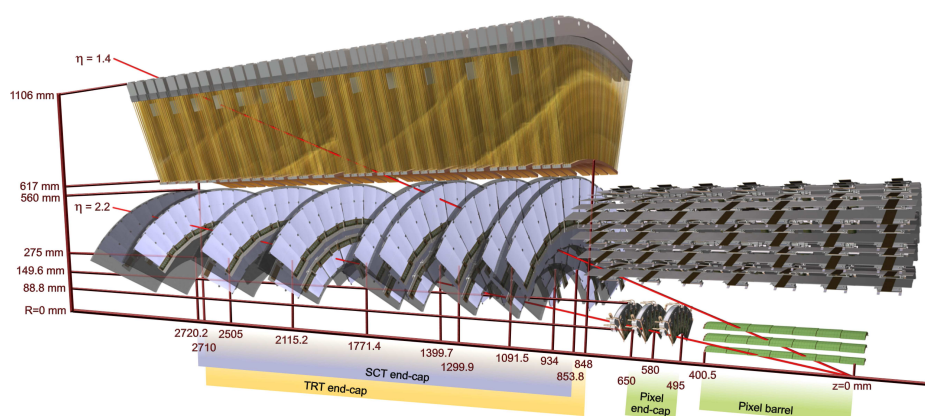
SCT は、2 重のストリップセンサー全 4 層から構成される。その精度は、バレル部では、 $17 \mu\text{m}(\phi)$ 、 $580 \mu\text{m}(z)$ 、エンドキャップ部では、 $17 \mu\text{m}(\phi)$ 、 $580 \mu\text{m}(R)$ である。また全チャンネル数は、約 630 万である。

TRT は、直径 4mm のストロー状チューブから構成される。チューブの長さは、バレル部では 144cm、ディスク部では、37cm である。位置分解能は、1 チューブあたり、 $130 \mu\text{m}$ であり、全チャンネル数は、約 35 万である。



(a) 内部飛跡検出器の断面図

(b) 内部飛跡検出器のバレル部の様子



(c) 内部飛跡検出器のエンドキャップ部の様子

図 2.7: 内部飛跡検出器の様子 [11]

2.6 カロリメータ

図 2.8 にカロリメータの断面図を示す。カロリメータはその主な測定対象物により電磁カロリメータとハドロンカロリメータに大きく分かれる。電磁カロリメータは、吸収層が鉛、検出層が液体アルゴン (Liquid Argon : LAr) の液体アルゴンカロリメータが用いられており、ハドロン粒子及び光子と電子の位置とエネルギーを測定する。アコーディオン構造をしていることで、全方位角 ϕ での一様性を損なわない検出器デザインとなった。ハドロンカロリメータは、荷電・中性ハドロン粒子のエネルギーを測定するものであり、エンドキャップ部及びフォワード部 1 層目には吸収層が銅の液体アルゴンカロリメータを、フォワード部 2,3 層目には吸収層がタングステンの液体アルゴンカロリメータを、バレル部には吸収層が鉄、検出層がシンチレータのタイルカロリメータが用いられている。

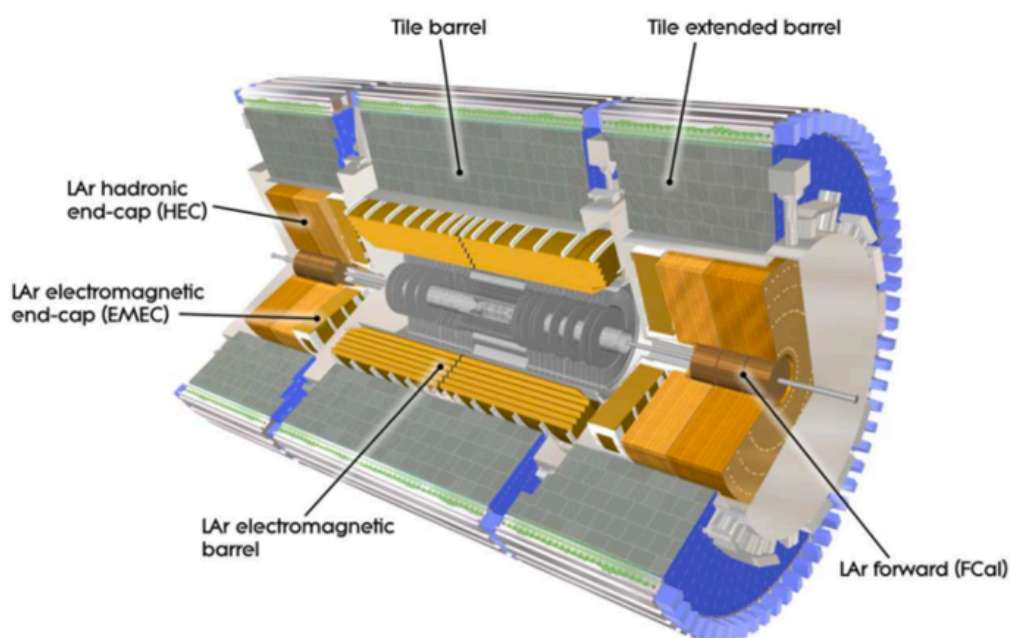


図 2.8: カロリメータの全体図

2.7 ミューオン検出器

ミューオン検出器は、ATLAS 検出器最外部に設置され、カロリメータを透過してきたミューオンの飛跡を再構成し、運動量を測定する。Run 3 で使用されるミューオン検出器は、Muon Drift Tube (MDT), Resistive Plate Chamber (RPC), Thin Gap Chamber (TGC), New Small Wheel (NSW) の 4 種類である。図 2.9 に Run 2 でのミューオン検出器の全体図とビーム軸に垂直な平面での様子を示す。MDT は、磁場中でミューオンが曲げられる向きすなわちバレル部では z 方向、エンドキャップ部では R 方向の位置を精密に測定し、運動量の精密測定を行う検出器である。RPC、TGC 検出器は時間分解能に優れているため、事象選別を行うトリガー検出器として使用される。RPC は、 $|\eta| < 1.05$ 、TGC は $1.05 < |\eta| < 2.4$ をトリガー検出器として

担当する。RPC については、Run 3 で新たに $1.03 < |\eta| < 1.33$ の領域に RPC BIS78 検出器が設置され、エンドキャップ初段ミュオントリガーシステムに参加する。また RPC, TGC 検出器は MDT が十分な精度で測定できない方向すなわち ϕ 方向の位置を測定する。RPC は、 $|\eta| < 1.05$ 、TGC は $1.05 < |\eta| < 2.7$ を担当する。NSW は Run 3 から新たに導入される検出器で、Run 2 時の Small Wheel の位置に設置される (図 2.10)。NSW は MicroMEGAS (MM) と small TGC (sTGC) から構成される。NSW の MM と sTGC が共に、ミュオン飛跡の精密測定とトリガー検出器の両方の役割を果たせるように設計された。

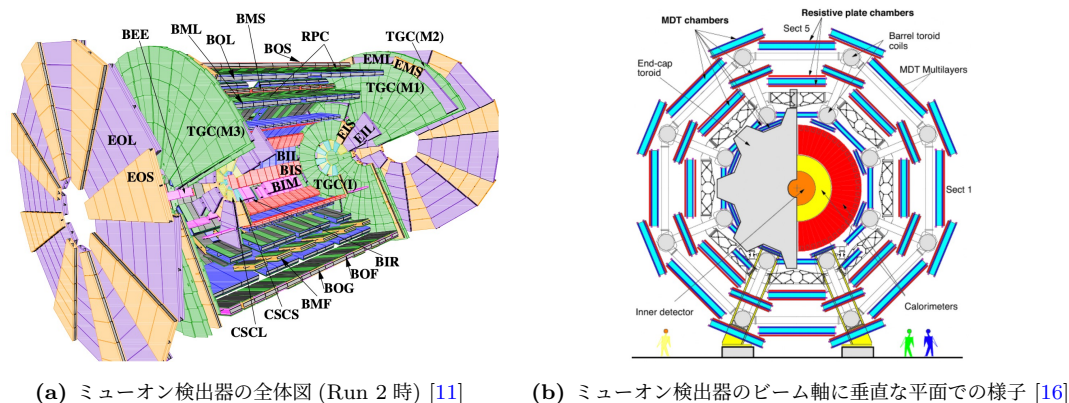


図 2.9: ミューオン検出器の様子

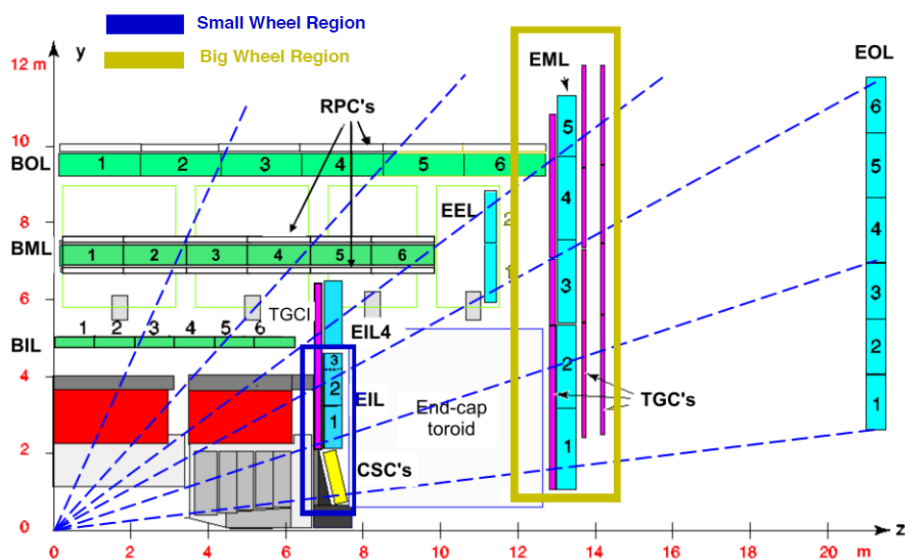
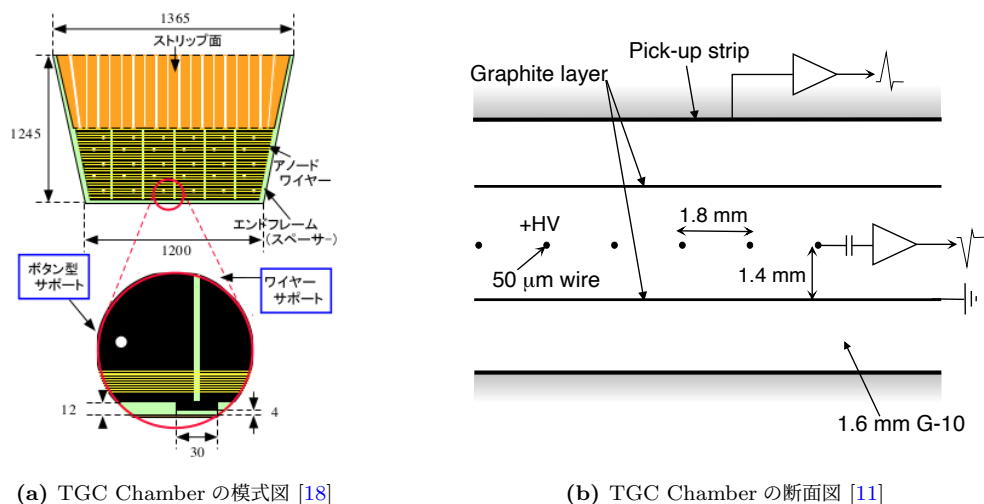


図 2.10: NSW 検出器の設置位置。図は、ATLAS 検出器のビーム軸を含む平面での断面図である。横軸がビーム軸、縦軸が動径方向、原点が衝突点を示す。青枠の Small Wheel Region に設置されていた TGC 検出器及び CSC 検出器の設置位置に NSW が設置される。図は参考文献 [17] から引用。

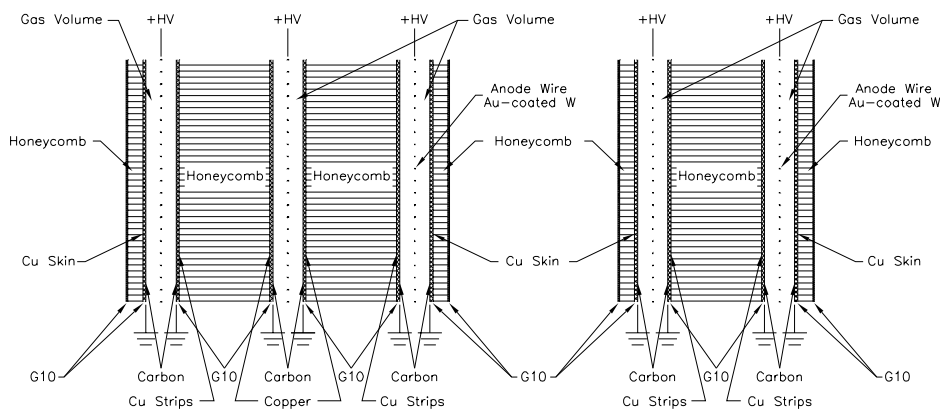
2.7.1 TGC 検出器

Thin Gap Chamber (TGC) 検出器は、 $1.05 < |\eta| < 2.7$ までのエンドキャップ領域におけるトリガー用の検出器である。TGC は、Multi Wire Proportional Chamber (MWPC) の一種である。図 2.11 に TGC Chamber の構造を示す。アノードワイヤーは、直径 $50 \mu\text{m}$ の金メッキされたタングステンワイヤーであり、



(a) TGC Chamber の模式図 [18]

(b) TGC Chamber の断面図 [11]



(c) TGC BW の断面図、左: Triplet、右: Doublet [19]

図 2.11: TGC Chamber について

カソードは、厚さ 1.6 mm の G-10 (ガラスエポキシ樹脂) 板に表面抵抗 $1 \text{ M}\Omega$ のカーボンを片面に塗布したものをを用いる。ワイヤーの弛みを防ぐため、ワイヤーサポートが 30 cm 毎に存在する。G-10 板のカーボンを塗布していない方の面には、銅でできたストリップ電極がアノードワイヤーと直交して貼られている。このアノードワイヤーとストリップによって 2 次元読み出しを行う (図 2.11(a))。

図 2.11(b) は TGC 検出器の断面を示している。アノードワイヤー間隔は 1.8 mm 、アノードとカソードの間隔は 1.4 mm になっている。アノードワイヤーとカソードの間には、混合比 55:45 の $\text{CO}_2/\text{n-C}_5\text{H}_{12}$ 混合ガ

スで満たされている。CO₂ が活性ガスとして働き、n-C₅H₁₂ は紫外線を吸収し放電を抑制する役割を果たす。荷電粒子がガス層を通過に伴いイオン化で 2 次電子が発生し、約 2.8 kV の印加電圧によりドリフト及び加速されアノードワイヤー近傍で電子雪崩が生じる。図 2.12 に電子雪崩の時間発展の模式図を示す。アノードと

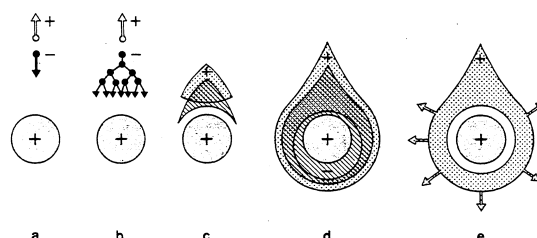


図 2.12: 電子雪崩の時間発展の模式図。荷電粒子の飛跡上のガス分子が電離し、陽イオンと電子が生じる (1 次電離、図 a)。電離した陽イオンはアノードワイヤーの印加電圧により加速され、ガス分子のイオン化エネルギーを超えた際に進路上のガス分子と衝突するとそのガス分子を電離する (2 次電離、図 b)。ワイヤー近傍の電場は大きいので雪崩的に 2 次電離が起きる (図 c,d)。電子は軽いので、すぐに (1 ns 以内に) ワイヤーに吸収されるが、陽イオンは、重いのでゆっくりカソード面に移動する (図 e)。

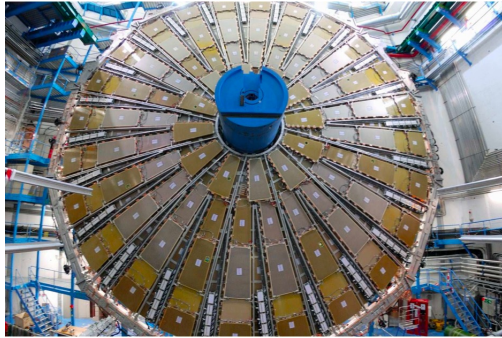
カソードの間隔が短く設計されているのは、電子雪崩で生じた陽イオンを素早く回収し、TGC の繰り返し計測の性能を向上させるためである。またワイヤー間隔が短く設計されていることで、ドリフト時間の分布の幅が短くなっており、TGC は 25 ns 程度の検出時間分布の広がりを持つ。

図 2.11(c) は、TGC 検出器の断面を示している。それぞれのチェンバー間にはペーパーハニカムを挟んで全体の構造を支えている。Doublet と呼ばれるユニットはワイヤー、ストリップ各 2 層を有し、Triplet と呼ばれるユニットはワイヤー 3 層、ストリップ 2 層を有す。Run 3 での TGC は、エンドキャップトロイドマグネットの外側に存在する Big Wheel (BW) と内側に存在する Endcap Inner station (EI) に大きく分けられる。台形型の TGC Chamber ユニットの組み合わせで円形のエンドキャップの TGC BW 構造体を成す (図 2.13)。また EI は、large sector のみにある MDT の EIL4 チェンバーに隣接している。TGC BW 構造体は、 z 軸方向に M1、M2、M3 と呼ばれる 3 つのステーションを有し、それぞれ Triplet、Doublet、Doublet ユニットの構成される。よって TGC BW は、ワイヤー 7 層、ストリップ 6 層を有する検出器で第 3 章で議論するように、そのコインシデンスにより、高速でミューオンを再構成する。

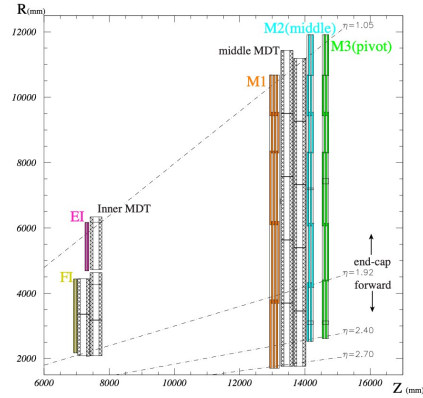
TGC BW は、電気回路制御、データ読み出し、電源供給そしてガスやミニラック冷却用の水道の面で独立な扇形をした 12 個の 1/12 セクターと呼ばれる単位の組み合わせで構成されている。A/C side の各セクターは、 ϕ が大きくなる順に A/C-01 から A/C-12 と名前が付けられている。A/C-01 は、 $-\frac{\pi}{12} < \phi < \frac{\pi}{12}$ の領域を担当する。

2.8 ATLAS 実験におけるトリガーシステム

ATLAS 実験 Run 3 では、2.1 節で述べた通り、25 ns 間隔すなわち 40 MHz で陽子バンチ交差が起きる。ATLAS 実験で用いられる計算機リソースは、処理・記録できるレートは約 1-2 kHz であるので、全事象を処理・記録し、物理解析に用いることは不可能である。一方で陽子陽子衝突の全断面積に対し、新物理に関連する現象の断面積は一般に遥かに小さいため、興味のある事象レートは 40 MHz より遥かに小さい。限られた計算機リソースを最大限に活用するためには、データ収集時にオンラインで興味のある物理事象を漏らさず選び出して (トリガーして) 記録し、その他の事象を記録前に最大限排除することが必要になる。トリガーシステ



(a) TGC の全景写真



(b) Run2 時の R-Z 平面での様子 [20]

図 2.13: TGC 検出器の様子。図 (a) は、メンテナンスのため、Parking Position ($z \simeq 20$ m) に設置されている TGC を衝突点側から眺めた際の全景写真である。写真で見えているのは、M1 側の表面であり、M3 側は、Endcap Outer の MDT と接近している。図 (b) は、TGC の R-Z 平面での様子を示しており、EI と BW に大きく分かれていることが見てとれる。また BW は、3 層 1 組 (Triplet) の M1 ステーション、2 層 1 組 (Doublet) の M2、M3 ステーションから構成される。

ムとデータ取得システム (data acquisition, DAQ) システムが連動して機能し、これを実現する。図 2.14 に Run 3 での ATLAS 実験における Trigger and Data Acquisition (TDAQ) システムを示す。ATLAS 実験のトリガーシステムは、二段階トリガーとなっており、初段ハードウェアトリガー (Level-1 Trigger) 及び後段ソフトウェアトリガー (High Level Trigger) を用いて効率的に事象を選別している。

Level-1 Trigger

Level-1 Trigger は、初段ハードウェアトリガーであり、 $2.5 \mu\text{s}$ でイベントレートを 100 kHz の記録レートに収まるように事象選別することが要求される。Level-1 Trigger はカロリメータの信号を基にトリガー判定を行う Level-1 カロリメータ (Level-1 Calo) トリガーと、ミューオン検出器の信号を基にする Level-1 ミューオン (Level-1 Muon) トリガーそしてそれらのトリガー出力を元に Level 1 のイベントレベルの抽出を行う Level 1 トポロジカル (L1 Topo) トリガーの 3 種類に分けられる。これら 3 種類のトリガーで処理された情報は最終的に Central Trigger Processor (CTP) に渡され、L1 トリガー判定が行われる。CTP での事象選別を経て、後段のソフトウェアトリガーでさらなる判定を受けるべきと判断された場合、CTP は各検出器のフロントエンド等に Level-1 Trigger Accept (L1A) 信号をブロードキャストし、その事象に対応するデータが読み出される。読み出されたデータは各検出器システムの Readout Driver (ROD) でイベント毎にまとめて整形され、Readout System (ROS) に送られる。

Level-1 カロリメータトリガーでは、高い横運動量 (p_T) を持つ電子や光子、ジェット、そしてハドロンに崩壊する τ の信号を探す。また、検出された信号の p_T から消失横エネルギー (missing transverse energy, MET) E_T^{miss} を計算し、MET が大きい事象を探す。出力は、CTP と L1Topo に送信される。

Level-1 ミューオントリガーはバレル部トリガー (L1Muon Barrel) と、エンドキャップ部トリガー (L1Muon Endcap) に分けられる。バレル部トリガーには、RPC 検出器の信号が用いられ、エンドキャップ部トリガーには TGC 検出器等の信号が用いられる。本論文では、L1Muon Endcap の統合試運転を行った。そのため第 3 章で詳細を述べる。バレル部、エンドキャップ部のトリガー判定信号は後段の Muon CTP Interface

(MUCTPI) でまとめられ、CTP と L1Topo に送られる。

Level-1 トポロジカルトリガーでは、Level-1 カロリメータトリガーと Level-1 ミューオントリガーからの電子/光子、 τ 、ジェット、そして E_T^{miss} の情報を元に、オブジェクト間の角度相関や不変質量等といったイベントトポロジーを計算し、それを元に興味のある事象を探す。

陽子衝突によって生成された粒子の信号は L1 判定が完了するまで各検出器のフロントエンドでバッファされる。バンチ交差が起こってからフロントエンドに L1 の判定結果が届くまでの時間を L1 latency と呼ぶ。L1 latency はトリガーソースとなるサブシステムやイベント中の粒子数などに依存せず、固定の値となるようにデザインされている。L1 トリガーシステムが選ばなかったイベントデータは各検出器のフロントエンドで捨てるようになっている。Level-1 Trigger は L1 latency が $2.5 \mu\text{s}$ 以内になるように設計されている。

High Level Trigger (HLT)

High Level Trigger は、後段ソフトウェアトリガーである。Level 1 Trigger に選び出された事象に対し、Level 1 Trigger が定義する、トリガー判定に関与したアクティビティが発見された領域 (Region-of-Interest, RoI) の情報を活用しつつ、全ての検出器の情報を用いてソフトウェアによる高精度な粒子再構成を行い、最終的に記録される事象を選別する。High Level trigger は、衝突から約 1 s までにイベントレートを 100 kHz から 1-2 kHz までに落とす。

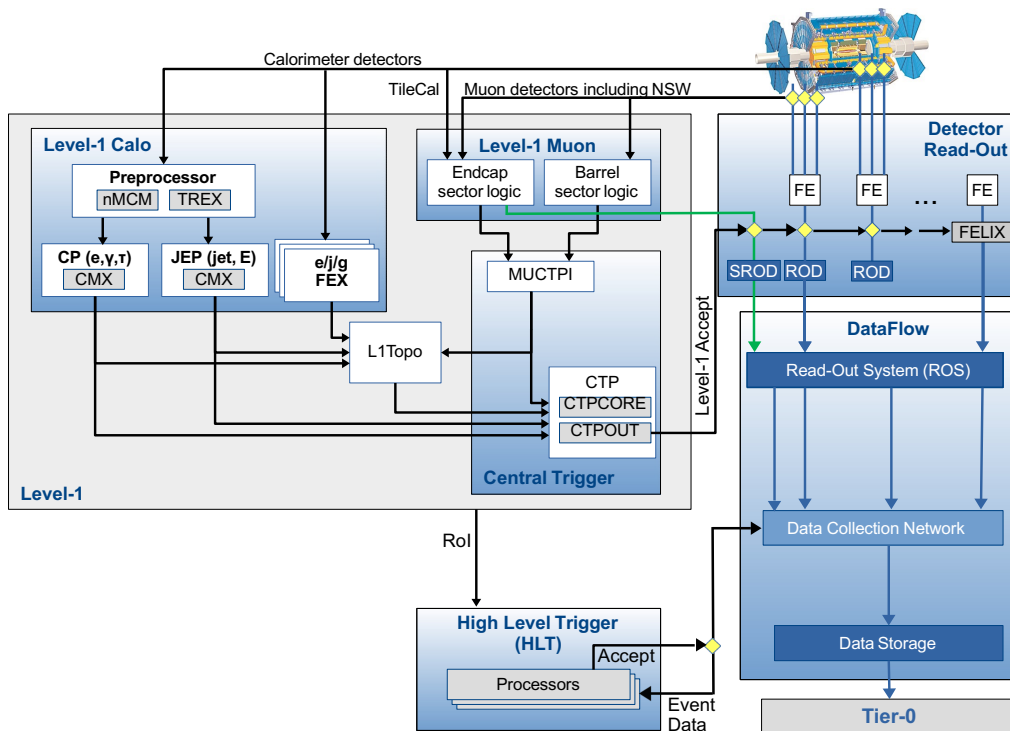


図 2.14: Run 3 での TDAQ システムの模式図。参考文献 [21] を元に作成。図の左側にトリガーシステム、図の右側に DAQ システムが示されている。

第 3 章

エンドキャップ初段ミュオントリガー

本研究では、エンドキャップ初段ミュオントリガーについて主に扱う。本章では研究の議論のために必要なエンドキャップミュオントリガーシステムの詳細をまとめる。

3.1 エンドキャップ初段ミュオントリガーのトリガーセクターと Region-of-Interest の定義

図 3.1 に示す通り、TGC 検出器の BW 構造体は、 $1.05 < |\eta| < 1.92$ のエンドキャップ部と $1.92 < |\eta| < 2.4$ のフォワード部に分かれた構造を持つ。さらにエンドキャップ部とフォワード部は、それぞれ 48, 24 個のトリガーセクターと呼ばれる単位から構成されていて全方位角を覆う。前述の通り、TGC 検出器は 12 個の 1/12 セクターと呼ばれる単位で運用されるが、図 3.2 にトリガーセクターと TGC 検出器の 1/12 セクターの関係の模式図を示す。1/12 セクターは、エンドキャップ部は 4 つのトリガーセクター (エンドキャップ部トリガーセクター) から構成され、またフォワード部は 2 つのトリガーセクター (フォワード部トリガーセクター) から構成される。 ϕ が小さい順に $\phi_0, \phi_1, \phi_2, \phi_3$ と名付けられており、フォワードトリガーセクターは ϕ が小さい順に ϕ_0, ϕ_2 と名付けられている。L1 トリガーにおけるミュオン検出は各トリガーセクター毎に独立に行われる。2.8 節で示したように L1 トリガーである本システムは、ミュオンの検出位置を Region-of-Interest (RoI) として後段のシステムに報告する。本システムにおける RoI は以下のように定義される。1 つのエンドキャップトリガーセクターは、さらに η 方向に 37 分割、 ϕ 方向に 4 分割され、計 148 の小領域 RoI に区分される。1 つのフォワードトリガーセクターは、 η 方向に 16 分割、 ϕ 方向に 4 分割され、計 64 の小領域 RoI に区分されている。L1 ミュオントリガーの出力位置情報は、この RoI を単位とする。

3.2 TGC 検出器を用いた L1 ミュオントリガーロジックの概要

2.7 節で導入した通り、エンドキャップ部 L1 ミュオントリガーシステムでは、M1 (Triplet)、M2 (Doublet)、M3 (Doublet) の 7 層・3 ステーション (図 2.13) におけるヒット情報を用いたコインシデンスロジックによりミュオンの検出を行う。7 層のコインシデンスによりミュオンを同定すると同時に 3 ステーションにおける位置相関を評価し運動量を高速で概算するアルゴリズムを実装する。図 3.3 に 3 ステーションを用いたミュオン再構成の概要を示す。陽子陽子衝突によって生成したミュオンがエンドキャップトロイド磁石によって曲げられた後、磁場領域の外に設置してある TGC 検出器の 3 ステーションを通過し、各ステーションにおいて 2 次元のヒット点情報 (R, ϕ) を残す。この 2 次元情報は、M3 でのヒット点と衝突点を

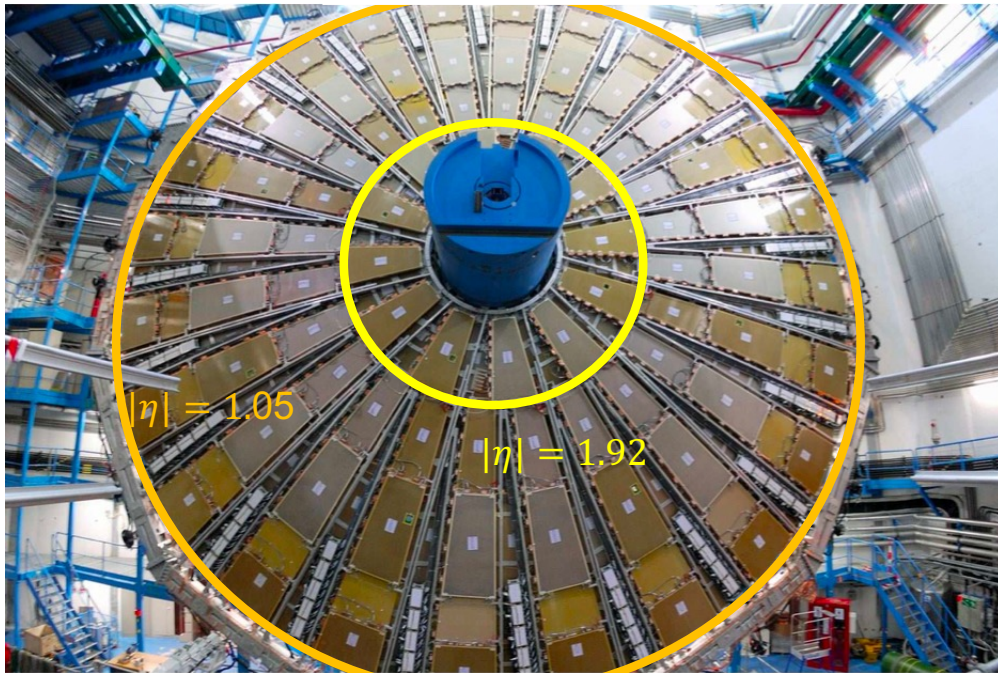


図 3.1: TGC BW 構造体は、 $1.05 < |\eta| < 1.92$ までは 48 回対称のチェンバーユニット配置で全方位角を覆い (エンドキャップ部)、一方 $1.92 < |\eta| < 2.4$ では 24 回対称のチェンバーユニット配置で全方位角を覆う (フォワード部)。

結んだ直線飛跡 (無限大の運動量を持った荷電粒子の飛跡に対応) と比較される*1。M2 と M3 との比較で得られた $(dR_{23}, d\phi_{23})$ 、また M1 と M3 との比較で得られた $(dR_{13}, d\phi_{13})$ を用いてミュオンが持つおおよその p_T が計算される。エンドキャップ部のミュオントリガーは検出されたミュオンを位置 (RoI) と運動量の概算 (15 段階) の情報をつけて出力する。

3.3 TGC エレクトロニクス

Run 3 におけるエンドキャップ部ミュオントリガーは Big Wheel の TGC 検出器を用いた 7 層・3 ステーションのコインシデンスによるミュオンの再構成を基礎とし、さらに磁場領域より内側にある TGC EI、NSW、RPC BIS78、タイルカロリメーターからの検出器信号を用いてノイズの削減を行うよう設計された。図 3.4 に概要を示す。この小節では、この図に従い TGC エレクトロニクスを説明する。

*1 M3 は、 p_T 計算時の基準になるので、pivot plane とも呼ばれる。

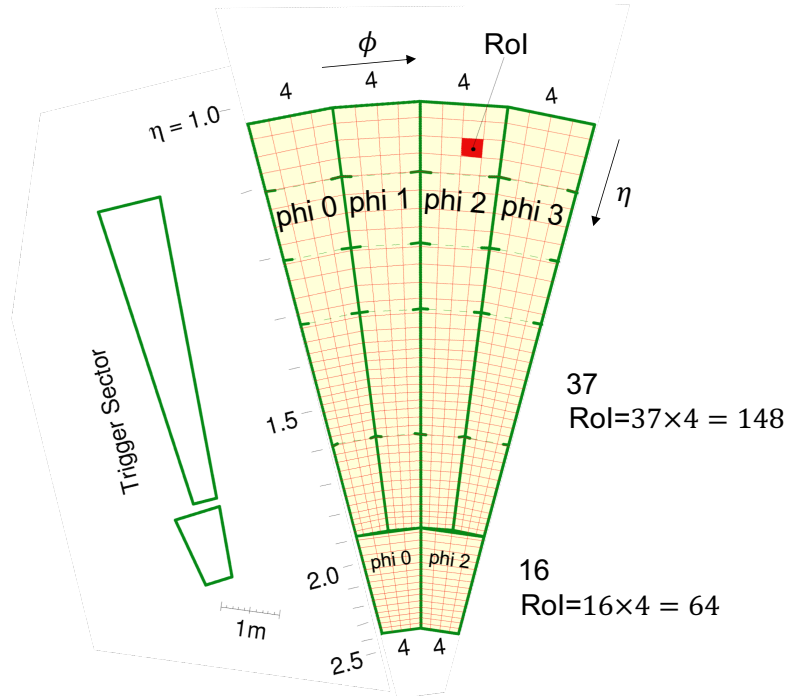


図 3.2: TGC BW の 1/12 セクターと RoI の関係。4 つのエンドキャップ部セクターと 2 つのフォワード部セクターによって構成される。それぞれ 148、64 の RoI のを位置検出のユニットとしてもつ。

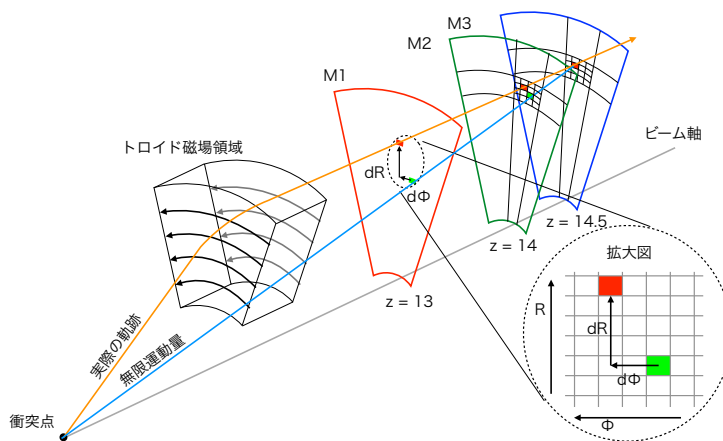


図 3.3: TGC BW でのトリガーの概要。ミューオンの運動量は、M1、M2 ステーションにおいて実際の軌跡 (黄色) のヒット点と直線飛跡 (水色) の交点を比較することでミューオンの pT を概算する [22]。

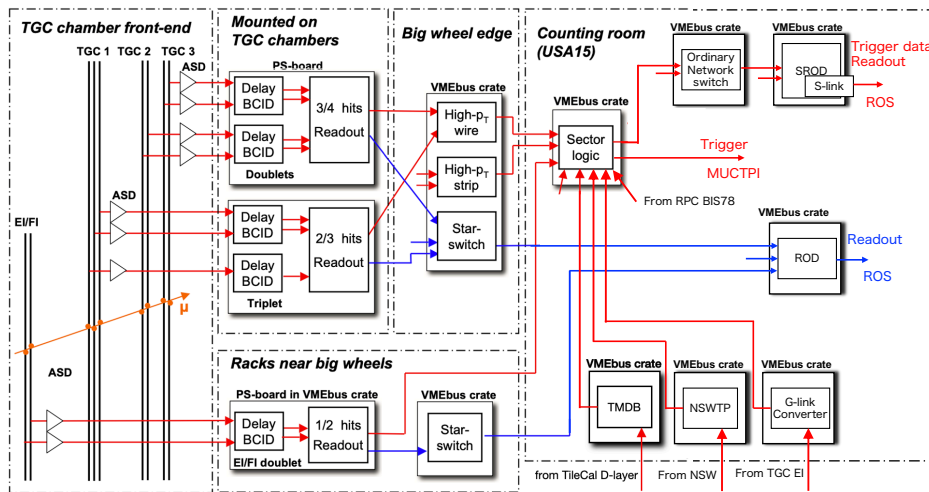


図 3.4: Run 3 における Level-1 ミューオンエンドキャップトリガーのトリガーロジックの概要。参考文献 [12] を元に作成。TGC のフロントエンドにあるエレクトロニクスによって TGC BW 内のワイヤー (η) とストリップ (ϕ) のそれぞれでコインシデンスを取られた後、後段の回路室 USA15 に設置されている Sector Logic ボードによってワイヤー・ストリップ間のコインシデンス及び磁場内部の検出器群 (TGC EI 検出器、タイルカロリメータ、NSW 検出器、RPC BIS78) とのコインシデンスが取られる。

3.3.1 フロントエンド部

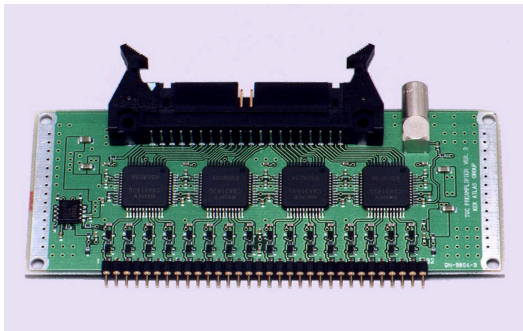
Amplifier Shaper Discriminator (ASD) ボード

TGC のワイヤーとストリップの電流信号はまず Amplifier Shaper Discriminator (ASD) ボードにて電圧信号に変換されたのちに増幅され、コンパレータにおいて閾値電圧を参照してデジタル化される (Discrimination)。そのデジタル信号は LVDS*2規格の信号に変換されてから後段のフロントエンド回路に送信される。図 3.5 に ASD の概要を示す。1 枚の ASD ボードには 4 つの ASD チップが載っており、各 ASD チップは 4 チャンネルの増幅と変換を担う。ASD チップの回路は前段増幅器 (preamplifier)、メインの差動増幅回路 (main-amplifier)、コンパレータの 3 段階に大きく分けられる。Preamplifier ではおよそ 0.8 V/pC のゲインで電流信号を電圧信号に変換する。その電圧信号は main-amplifier にて 7 倍に増幅される。最後にその電圧信号はコンパレータにて閾値電圧を超える電圧信号を検出した時間はデジタル化された “1” の信号が出力される。コンパレータの閾値電圧は、外部から適切な値に変更できる。適切な値が設定されていることは、6.3 節のランダムトリガー試験で検証される。ASD には、テストパルス用の増幅器と AC coupling capacitor が搭載されており、検出器からの信号を模した試験電荷を入力する ASD テストパルス機能を持ち、この機能は、6.2 節で議論する ASD テストパルス試験で活用した。

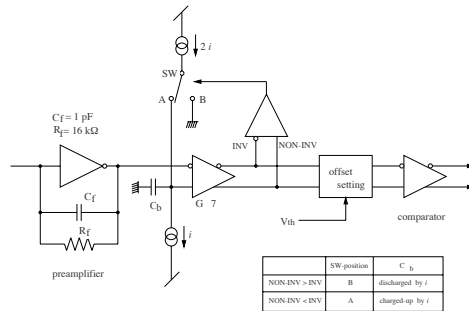
Patch Panel ASIC

ASD ボードによって LVDS 規格に変換された検出器信号は、TGC 検出器上に設置されている PS Board

*2 Low Voltage Differential Signaling の略。



(a) ASD board の全体図



(b) ASD Chip のダイアグラム

図 3.5: ASD の概要。図 (a) 一つの ASD board に 4 つの ASD Chip が搭載されている。図 (b) 左から検出器の電流信号が入り、最初に前段増幅器で電圧信号に変換、その後メインの増幅器で 7 倍に増幅される。最後にコンパレータにて LVDS 信号に変換される。

上にある^{*3}Patch Panel (PP) ASIC に入力される。1 枚の PP ASIC は 2 枚の ASD ボードから 32 チャンネルの信号を受信する。各チャンネルからの信号はミューオンの衝突点から検出器までの飛行時間や ASD ASIC-PP ASIC 間のケーブル長の違いによって、異なるタイミングで PP ASIC に入力される。その違いの吸収のために PP ASIC には、LVDS ケーブル単位で遅延回路 (25/28 ns=0.9 ns 刻みの Fine Delay [23]) が用意されており、同じバンチ交差由来の信号のタイミングを揃える。その後信号の立ち上がり時間を参照してヒット信号とバンチ交差の対応付けを行い、40 MHz クロックドメインでの処理が開始される。この機能をバンチ交差識別 (Bunch Crossing Identification, BCID) と呼ぶ。PP ASIC 以降の信号は、LHC と同期した信号であり、全ての同一バンチ交差に属するヒットは、全チャンネルで同じクロックの立ち上がりで処理されることが保証される。

Slave Board (SLB) ASIC

PP ASIC によって BCID された信号は同じく PS Board 上にある Slave Board (SLB) ASIC に入力される。図 3.6 に SLB ASIC の模式図を示す。SLB ASIC では、図 3.6 に示す通り、2 つの処理を行う。

- M2,M3 ステーション間もしくは M1 ステーション内でコインシデンスを取り、その結果を後段のトリガー計算ボードである High- p_T (HPT) ボードに渡す。
- 各チャンネルから受信した信号を L1A 信号を受信するまで一時的にためておく。

SLB ASIC は、Doublet 用、Triplet ワイヤ用、Triplet ストリップ用等、数種類のコインシデンスロジックを内包する。Doublet 用の SLB ASIC のコインシデンスでは、M2、M3 の計 4 層分のワイヤもしくはストリップの信号に対して 3 層以上にヒット点を残すことを要求し、相関を持つヒットコインシデンスを検出する (3-out-4、3/4 コインシデンス)。Triplet ワイヤ用の SLB ASIC では、M1 の計 3 層分のワイヤの信号に対して 2 層以上にヒット点を残すことを要求する (2-out-3、2/3 コインシデンス)。Triplet ストリップ用の SLB ASIC では、M1 の計 2 層分のストリップの信号に対して 1 層以上にヒット点を残すことを要求する (1-out-2、1/2 コインシデンス)。3/4、2/3、1/2 コインシデンスを条件とすることで、単一検出層の非効率性に対し寛容な条件となっている。コインシデンスは図 3.7 に示すようなコインシデンス行列を用いて行われる。

^{*3} TGC BW 用の PS board は M1、M3 に設置、TGC EI 用の PS board は、BW 近くのラックの VME クレータに設置。

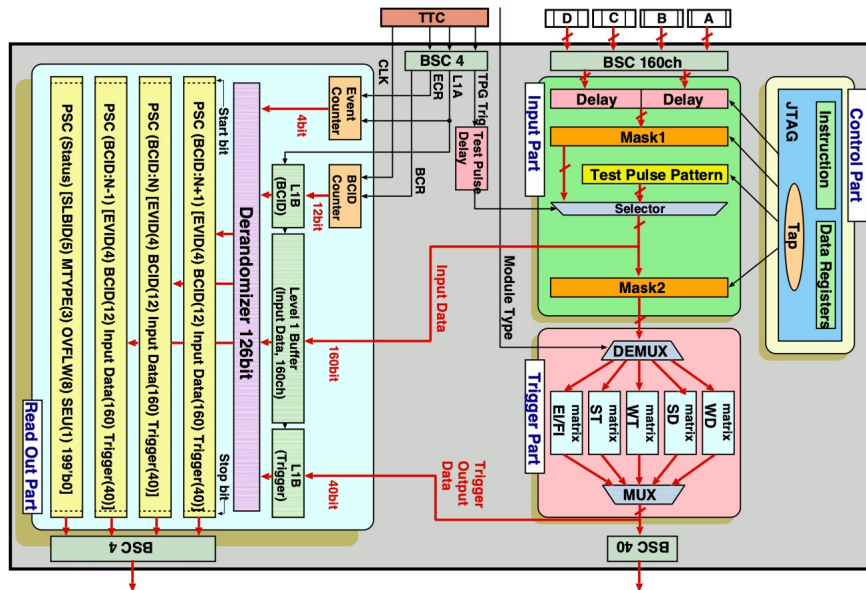


図 3.6: SLB ASIC の模式図 [24]。図の左側で読み出し用処理を、右下の赤いブロックがトリガー判定用の処理が行われる。検出器からの信号は、図の上部の A, B, C, D-input から計 160 チャンネルが入力され、設置されている遅延回路により適切な遅延を掛けられ、そのタイミングを揃えられる。その後、信号は読み出し用、トリガー判定用の 2つの独立なパスに分けて独立な処理が行われる。トリガー判定用の処理としてコインシデンスが取られた結果は、LVDS 規格で HPT ボードに送信される。その後、初段トリガー判定が行われ、L1A が発行されたイベントの前後 1 BC 分を加えた計 3 BC 分の情報が L1 Buffer から読み出され、そのイベント情報と共に Star Switch へ送られる。

1 SLB ASIC が後段に渡すヒット情報は、以下の通りである。

- Doublet 用:M2、M3 の 4 層のコインシデンスの結果として最大 2 つの (R_3, dR_{23}) または $(\phi_3, d\phi_{23})$
- Trilet ワイヤ用:M1 内の 3 層コインシデンスの結果として最大 3 つの R_1
- Trilet ストリップ用:M1 内の 2 層コインシデンスの結果として最大 4 つの ϕ_1

これらの信号は、SLB ASIC から出力された後、LVDS シリアル通信を用いて後段の HPT ボードに送られる。

読み出しパスでは、まず Level-1 buffer (L1 buffer) というバッファを用いて L1A 信号を受信までイベントデータを BCID とともに保持する。L1A 信号を受信すると、そのイベントおよびその前後 1 BC を合わせた計 3 BC 分のイベントデータを読み出す。読み出す際に、イベントデータには L1ID が付与される。次に、3 BC 分のイベントデータはトリガーデータ (Tracklet と呼ばれる) とともに derandomizer という、シリアル化待ちバッファに渡される。シリアル化されたデータは、LVDS 規格で後段の Star Switch ボードに送られる。また SLB ASIC には、テストパルスパターンをデジタル的に埋め込むことができる SLB テストパルス機能が搭載されていて、本機能を用いてシステムの試運転を行うことは本研究の中心的な課題である。

3.3.2 トリガー部

ここでは、PS board 上の SLB ASIC 以降のトリガーエレクトロニクスについて説明する。

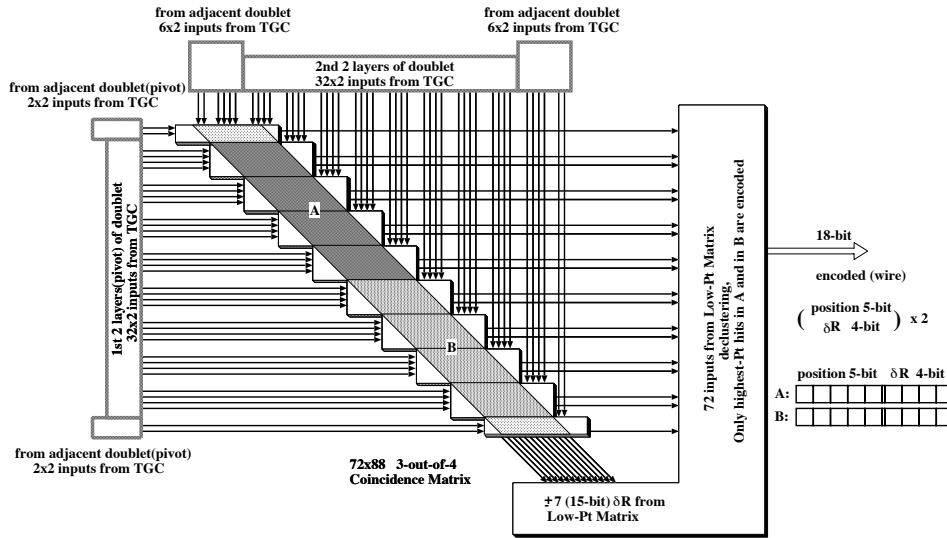


図 3.7: Doublet 用 SLB ASIC のコインシデンスアルゴリズムの概要 [25]。隣り合う領域からのチャンネル (Adjacent Channel) も含めた計 160 チャンネルを受信し、4 層間のコインシデンスをとり、後段の High- p_T ボードに最大 2 つのコインシデンス出力を渡す。Doublet ワイヤの出力は 18 ビット、Doublet ストリップの出力は 16 ビットである。

High- p_T (HPT) ボード

High- p_T (HPT) ボードは、TGC BW の外縁部に設置してあるミニラック内のクレートに設置されている。HPT ボードには、3-4 個の HPT ASIC が搭載されている。HPT ASIC は、SLB ASIC から来るトリガーデータを元に M1 のコインシデンス出力 (Triplet 出力) と M2、M3 のコインシデンス出力 (Doublet 出力) とのコインシデンスを取る役割を果たす。ワイヤー、ストリップはそれぞれ別々に専用の HPT ボードにおいてコインシデンスが取られる。図 3.8 に HPT ASIC のコインシデンス論理の概要を示す。HPT ASIC は、各 SLB ASIC からの入力単位で適切な遅延を課し、同一 BC 同士の Triplet、Doublet 出力信号のコインシデンス出力を可能にする。また LVDS 通信の出力信号を正確にラッチするようなサンプルクロックの位相選択機能を入力部に有する。HPT ASIC 上には、SLB ASIC と同じくコインシデンス行列を用いて、Triplet SLB と Doublet SLB の出力から M1、M3 間の位置の差 dR_{13} 、 $d\phi_{13}$ を計算する。HPT ASIC の出力では最大のトラックが選ばれ、ワイヤー用では (R_3, dR_{13}) 、ストリップ用では $(\phi_3, d\phi_{13})$ の情報が track selector に渡される。track selector では、 dR_{13} 、 $d\phi_{13}$ の小さい順に最大 2 つのトラックが選ばれる。これらの情報は、G-link 規格を用いた光信号で後段の Sector Logic に送信される。

Sector Logic (SL) ボード

Sector Logic (SL) ボードは、ATLAS 回路室 (USA15) に設置されているバッグエンドボードであり、HPT ボードから送信されてきた TGC BW のコインシデンス情報と磁場領域より内側の検出器である TGC EI 検出器、タイルカロリメータ、NSW、RPC BIS78 検出器からの情報を元にミュオンの検出を行う。Run 3 では特に内側の検出器のコインシデンスを強化し、L1 ミューオン再構成におけるノイズの削減を目指す。そのための情報の大幅な増加に対応するため、大型の FPGA を用いた Sector Logic ボードが開発された。図 3.9 に SL ボードの概要を示す。一つの SL は、2 つのトリガーセクターを担当する。図 3.2 に示した 1/12 セクターは、Endcap phi0、Endcap phi 1 を担当する SL、Endcap phi2、Endcap phi 3 を担当する SL、Forward

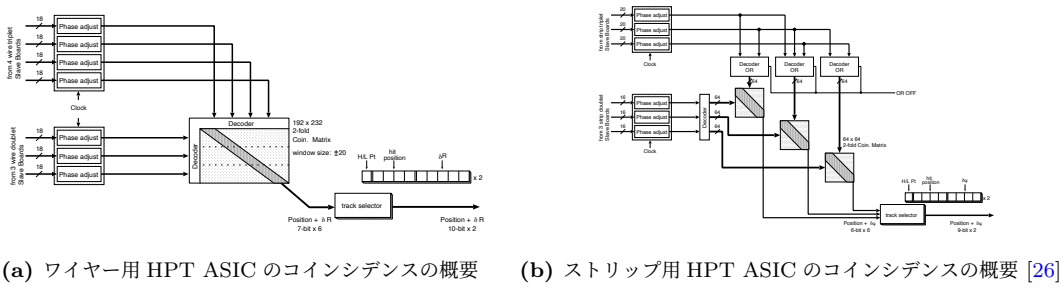


図 3.8: HPT ASIC のコインシデンス論理の概要。

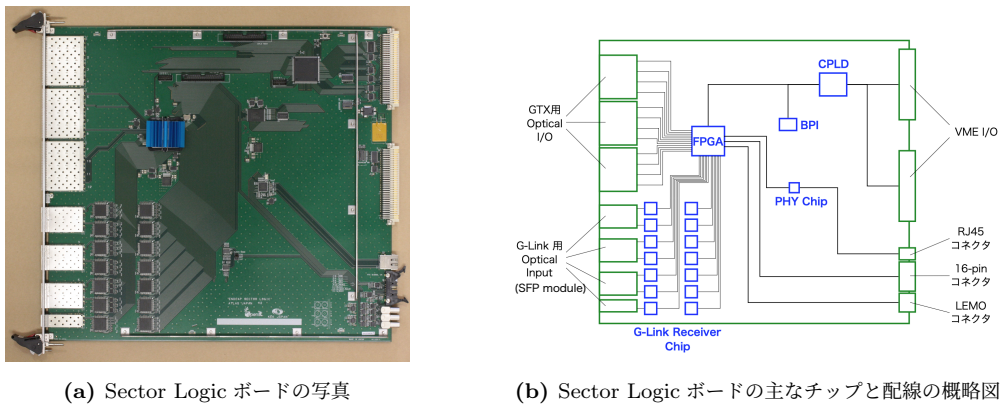


図 3.9: Sector Logic ボードの概要 [27]

phi0、Forward phi 2 を担当する SL の計 3 台の SL で信号処理がなされる。すなわち、A-side、C-side それぞれにエンドキャップ用 SL が 24 台、フォワード用 SL が 12 台ある。

図 3.9 に沿って Sector Logic ボードの機能を説明する。Sector Logic には、NSW、RPC BIS78 そして後述の G-link Converter を経た TGC EI からの光信号を受信し、MUCTPI へコインシデンス結果を送信するための SFP+ 光モジュールを用いた入力出力ポートと TGC BW とタイルカロリメータからの光信号を受信する G-link 通信用入力ポートが搭載されている。SFP+ で受信された信号は FPGA 内の高速通信トランシーバ (GTX) においてシリアル-パラレル変換がなされるのに対し、G-link 信号はボード上の G-Link 受信チップにてパラレル信号に変換された後、FPGA に入力される。

図 3.10 に FPGA ファームウェアの全体像を示す。GTX、G-link 受信チップで受信された検出器からの信号は適切にボード上の 40 MHz クロックでサンプルされ (4.2 節で議論する位相調整機能を活用)、またコインシデンス回路の入力前に 25 ns 単位で適切に遅延させ、同一 BC の入力と同じ 40 MHz のクロックティックに属するように調整され、FPGA ではこれらのすべての信号を用いてコインシデンスが取られ、Lookup table 手法を用いた p_T 概算が行われる。検出されたミュオンの飛跡の位置 (RoI) と運動量 (15 段階) の情報は GTX トランシーバと SFP+ 光トランシーバを経て光信号にて後段の MUCTPI に送信される。

3.3.3 読み出し部

ここでは、PS ボード上の SLB ASIC 以降の読み出しエレクトロニクスについて説明する。

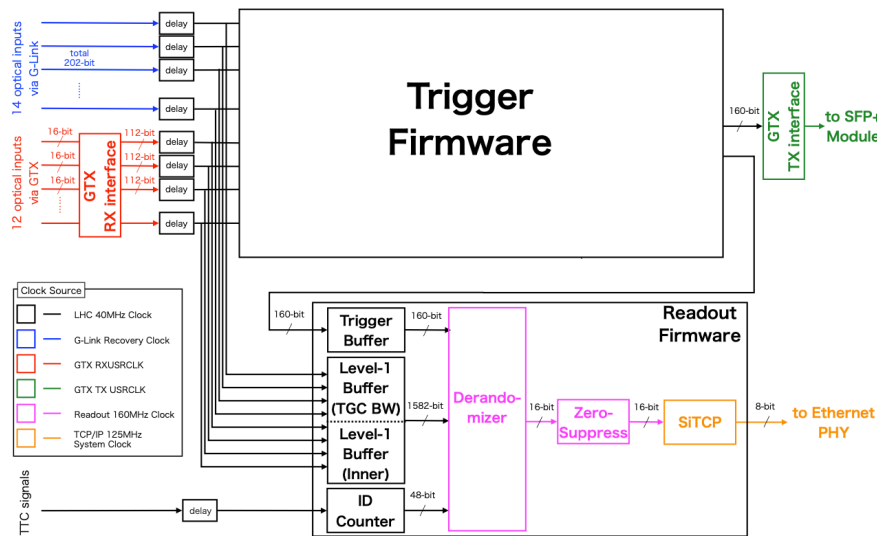


図 3.10: SL の FPGA ファームウェアの全体像 [27]

Star Switch (SSW)

図 3.11 に Star Switch(SSW) の写真を載せる。PS ボード上の SLB ASIC から読み出されたデータは、

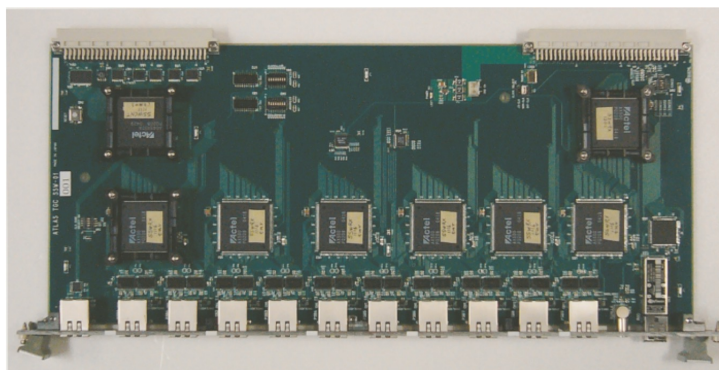


図 3.11: SSW の実際の写真 [28]

TGC BW の外縁部に設置されているミニラック内の VME クレートに挿さっている Star Switch (SSW) というボードに渡される。1 枚の SSW は最大で 23 枚の SLB ASIC からデータを受信できる。受信されたデータは圧縮 (ゼロサプレス) され、1 イベントごとまとめられ、G-Link 規格を用いた光信号によって後段の ROD に送信される。

Readout Driver (ROD)

図 3.12 に ROD の写真を示す。ROD は SSW から受け取った読み出しデータを L1ID ごとにまとめ、ROD-ROB データフォーマットに従い、ヘッダーやフッター情報を付け、後段の ROS に送信する。ROD-ROB データフォーマットの詳細は、付録 A で議論する。S-LINK というプロトコルを用いて ROS にデータを送信する。

SLB-SSW 経由で読み出される情報に加えて、Sector Logic ボードが受信した情報及びトリガー出力の情

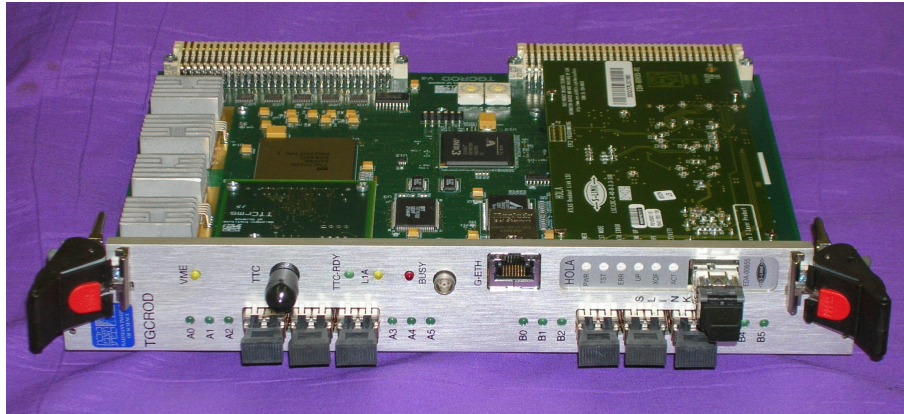


図 3.12: ROD の実際の写真 [29]

報も読み出されるが、そのために専用の読み出しシステムが Run 3 から新たに新設される。図に 3.13 に SL でのトリガー判定に用いられたトリガーデータ読み出しエレクトロニクスの概要を示す。1 台の SROD は

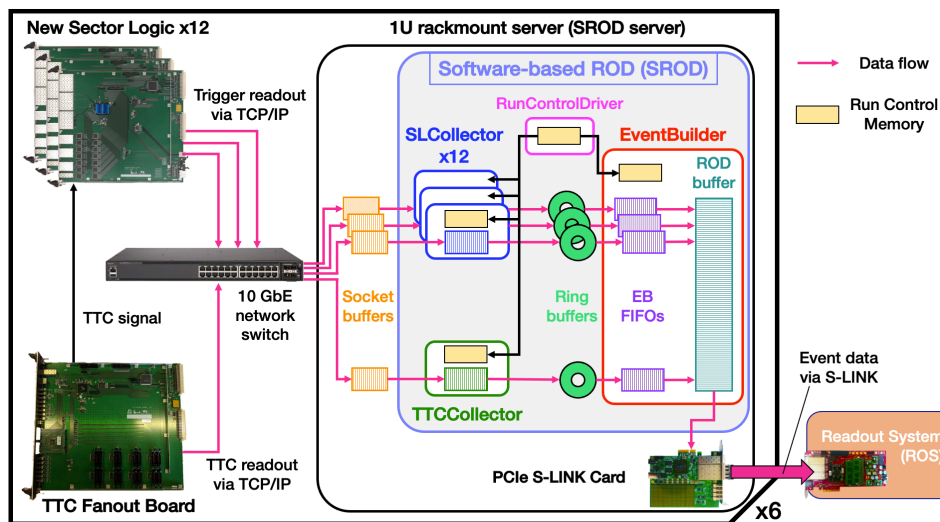


図 3.13: SL でのトリガー判定に用いられたトリガーデータ読み出しエレクトロニクスの概要。図は参考文献 [30] から引用。

Sector Logic ボード 12 台から送信されるトリガーデータをイベント毎にまとめる (イベントビルディング)。SROD から送信されるデータは SROD データフォーマットに沿ってヘッダー、フッター情報が付与され、後段の HLT アルゴリズムが走る CPU からアクセス可能なメモリー領域に記録される。SROD の出力データは、S-link カード、ROBINNP カードを介して Readout System (ROS) に送信される。ROBINNP カードでは、ROB データフォーマットに従ってヘッダー、フッター情報が付与される。SROD フォーマット及びデータ ROBINNP カードのヘッダー情報の詳細については、付録 A で議論する。

3.4 TGC の TTC システム

ATLAS 実験では、Trigger, Timing, and Control (TTC) 信号は、Central Trigger Processor (CTP) からブロードキャストされる。具体的には、40 MHz のクロック信号、Bunch Crossing Reset (BCR) 信号、Event Counter Reset (ECR) 信号、L1A 信号、そして後述するテストパルス信号である。これらは全て 1 クロック同期である 25 ns のパルス信号としてブロードキャストされる。この TTC 信号は、各検出器においての TTC システムで適切なモジュールに適切なタイミングでブロードキャストされなければならない。エンドキャップ部ミュオントリガー及び TGC システムの概要を図 3.14 に示す。

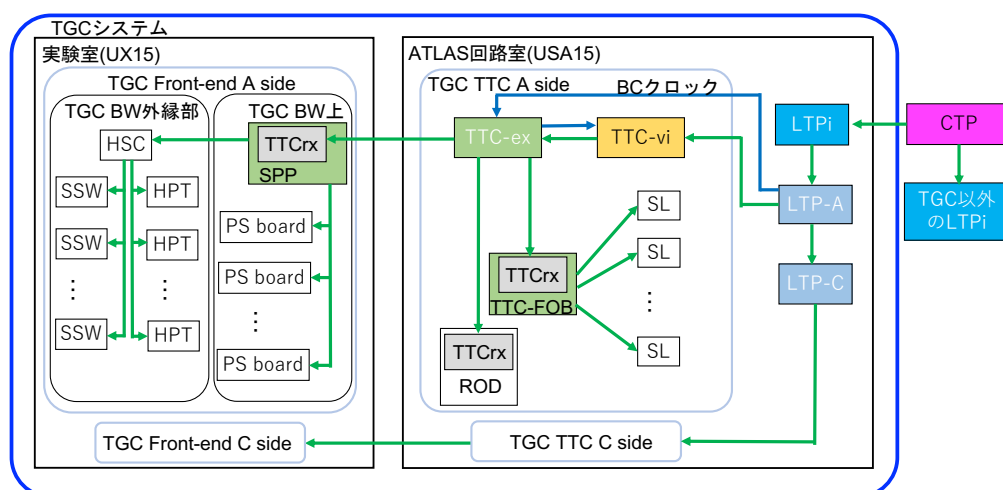


図 3.14: エンドキャップ部ミュオントリガー及び TGC の TTC システム。A side については詳細を示し、対称なデザインである C side の詳細は割愛した。参考文献 [12] を参考に作成。

CTP から配布された TTC 信号は、Local Trigger Processor Interface (LTPi) モジュールで最初に受け取られる。LTPi は、A side の LTP モジュール (LTP-A) に TTC 信号を配布する。LTP は、TGC システムのみの統合試運転を行う際に、CTP の代わりに TTC 信号を生成する機能を有す。また C side の LTP モジュール (LTP-C) は LTP-A から TTC 信号を受け取る。各サイドの LTP は、回路室内の TTC VMEbus Interface (TTC-vi) 及び TTC Encoder/Transmitter (TTC-ex) に TTC 信号を配布する。TTC-vi は、L1A 信号、EventID Counter Reset (ECR)、BCID Counter Reset (BCR)、そしてテストパルス試験時のテストパルストリガー信号を TTC-ex、TTCrx を介して回路室内の SL、ROD 及び実験室内の PS board 及び HPT board、SSW に配布する。TTC 信号は、TTCrx モジュールにより、フロントエンド (実験室内) 及びバックエンド (USA15 内) のシステムにおいて受信される。実験室内では、Service-Patch-Panel (SPP) ボードが、USA15 内では、TTC Fanout (TTC-FOB) が TTCrx を有し、その信号を受信する。TTCrx における受信の際、TTC-vi から TTCrx までの伝達に使われたファーマー長の違いにより、受信タイミングが異なりうるが、TTCrx 内部に実装される遅延回路 (104 ps 単位の可変遅延回路) によりこの違いは吸収され、システムに属する全ての TTCrx において同時に TTC 信号が受信されることを実現している。SPP、TTC-FOB からは、等長配線を用いて属するボードに TTC 信号をブロードキャストする。これにより 4 章で議論するように全てのフロントエンドに同時にテストパルストリガー信号を分配することが可能になり、ミュオン飛跡を模したテストパルスパターンが可能になる。TTC 信号の取扱いについては、4.1 節でも詳細について議論する。

第 4 章

トラックテストパルス試験フレームワークの構築

4.1 TGC エレクトロニクスが備えるテストパルス機能

第 3 章で導入したように、TGC エレクトロニクスは、2 種類のテストパルス機能を備える。1 つは、PP ASIC 上の test pulse generator でパルス信号を生成し、ASD ASIC 上の増幅器、AC coupling capacitor によって検出器からの信号を模した試験電荷を ASD に入力する ASD テストパルス機能であり、もう一つは、SLB ASIC 内に保持されているテストパルスパターンを SLB 内部にデジタル的に埋め込む SLB テストパルス機能である。これらのテストパルス機能は、TTC 信号の一部として全システムにブロードキャストされるテストパルストリガー信号に同期して動作する。

ここでは、本研究で行ったトラックテストパルス試験での各種エレクトロニクスの動作を説明する。ASD テストパルス機能を用いた ASD テストパルス試験での各種エレクトロニクスの動作については、6.2 節で後述する。

トラックテストパルス試験では、衝突に由来する粒子を模したヒットパターンを制御されたタイミングで全レイヤーに入力し、コインシデンスシステムが正常に動作していることを検証する。テストパルスによる既知の入力パターンに対して想定通りのコインシデンス出力が得られることを確認することで検証するテストパルス試験であり、LHC の稼働状況や検出器 (センサー部) の稼働状況によらず、ミュオントリガーシステムの試験が可能で、以下の点で有用である。

- 1 実験開始前の全システムの試運転
- 2 実験開始後の定期的なシステム診断 (LHC のビームダンプ後次の実験開始までの休止期間に行う。)

図 4.1 にテストパルス試験の際に重要となるエレクトロニクスの模式図を載せる。

TGC 検出器システム単独でテストパルス試験を行うために、TTC システムを“ローカルモード”にして用いる。すなわち Central Trigger Processor (CTP) のインフラストラクチャーは用いず TGC システム内の Local Trigger Processor (LTP) から TGC システム全体に TTC 信号を送る形式で運用するようシステムを設計した。以下にトラックテストパルス試験での動作を説明する。ローカルモードでの TTC システムの運用の際、CTP の代わりに LTP がクロック信号、L1A 信号、オービット信号 (特定のバンチが LHC を周回する際に生成されるパルス信号)、ECR 信号、また“Pre-Pulse 信号”と呼ばれる信号を生成する。TTC-vi において Pre-Pulse 信号に同期してテストパルストリガー信号が生成され、またオービット信号に同期し BCR 信

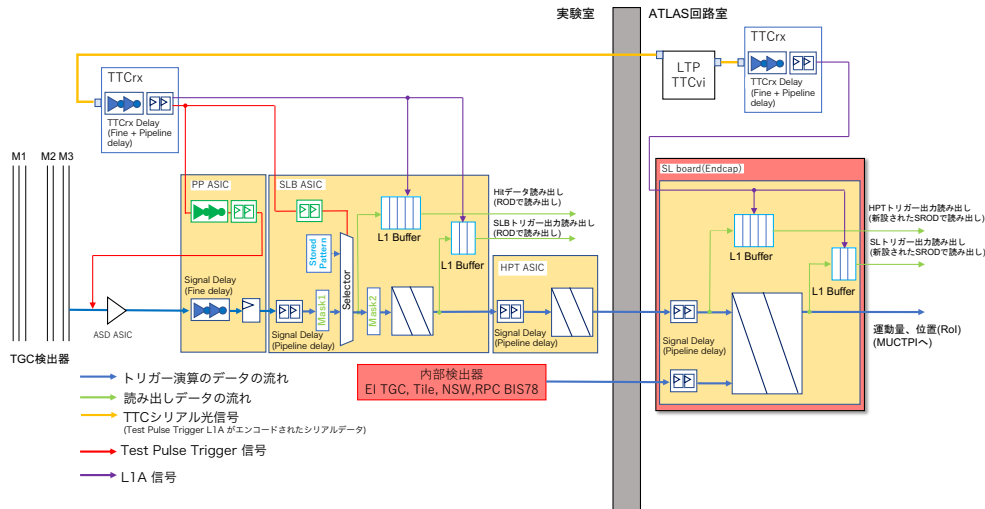


図 4.1: テストパルス試験で重要な各種エレクトロニクス。トラックテストパルス試験では、LTP を起点としたテストパルストリガー信号を SLB ASIC が受信したタイミングでテストパルスパターンレジスターに設定されたパターンが Selector によって読み出され、SLB ASIC のトリガー回路・読み出し (L1 Buffer) に入力される。L1 Buffer に入ったパターンは、LTP を起点とした L1A 信号を受信したタイミングで読み出される。トリガー回路に入ったパターンは検出器からの信号と同様に処理される。新エレクトロニクスである SL ボードは、ミュオン飛跡の位置 (RoI) と運動量を概算し、後段の MUCTPI に送信するとともに、SL ボードのトリガー回路の入出力は、新設された SROD を含むトリガー読み出しパスで読み出される。

号が生成される。LTP はテストパルス信号のソースである Pre-Pulse 信号に対し、L1 latency をエミュレートするような時間差で、L1A を生成し、テストパルスに対する応答の読み出しを実現する。これらの信号は、TTC-vi でシリアル光信号にエンコードされシステムにブロードキャストされる。受信側モジュールである TTCrx は、TGC システムのうち SPP、ROD そして TTC-Fanout モジュールに設置されて TTC 信号を受信する。3.4 節で議論した通り、TTCrx では信号受信後に適切な遅延を適応し、伝送経路のファバー長によらず全ての TTCrx が同じタイミングで信号を受信するように運用され、SLB ASIC は TTCrx からブロードキャストされる TTC 信号を受信する。このようにテストパルス入力のためのテストパルストリガー信号と読み出しのための L1A 信号は全ての SLB ASIC に制御されたタイミングで送信される。SLB ASIC はテストパルストリガーを受信すると、SLB ASIC 内のテストパルスパターンレジスターに設定されたパターンを SLB のトリガー・読み出し回路に入力する。入力されたパターンは検出器からの信号と同様に処理される。SLB テストパルス試験の際は、制御された環境での試験を実現するために、検出器からの信号を図 4.1 中の Mask 1 と示されているマスク機能を使って遮断する。

本システムを用いて SLB ASIC 内部のデジタル信号として、制御されたタイミングで制御された信号パターンを埋めることが可能である。これを用いた SL のタイミングパラメータの調整について 4.2 節で述べる。またこのテストパルス機能を用いて全システムの統合試運転のための全 RoI スキャンフレームワークを開発したが、それについては 4.3 節で述べる。

4.2 トラックテストパルスを用いた SL タイミングパラメータの決定

この節では、コインシデンスロジックの正常動作に必要な TGC BW データに対しての SL の各種タイミングパラメータについてのトラックテストパルスを用いた調整について述べる。図 4.1 に示すように、トリガー回路には、各通信の受信部で可変遅延回路が設置されており、そのパラメータの調整はコインシデンス回路の動作に必要である。一方 HPT モジュールの出力までは Run 2 までの運用ですでにパラメータが決定し確立しているため本研究では、Run 3 で新たに導入される新エレクトロニクスである SL に関連するパラメータの決定を重点的に行った。

調整は以下のようにセットアップして行われた。まずこの調整の際は、LHC のバンチ周回に対応する 3564 BC に一度、決まった BC に対応したタイミングでのみ、テストパルストリガー信号を送るように LTP を設定する。これは LTP において Pre-pulse 信号の生成をオービット信号に同期して行うように設定することで達成される。後述の通り、定まったバンチ交差 (BCID=0x69) に対してのみトラックパターンを入力し、対応するクロックティックのみコインシデンスが期待される状態を実現し、コインシデンスデータが到着するタイミングと、受信ボードが持つ BCID のカウンターの値を比較することでタイミング調整が可能になる。図 4.2 に示すように全てのヒットが BCID=0x69=105 に対応するタイミングで入力されていることを確認した。

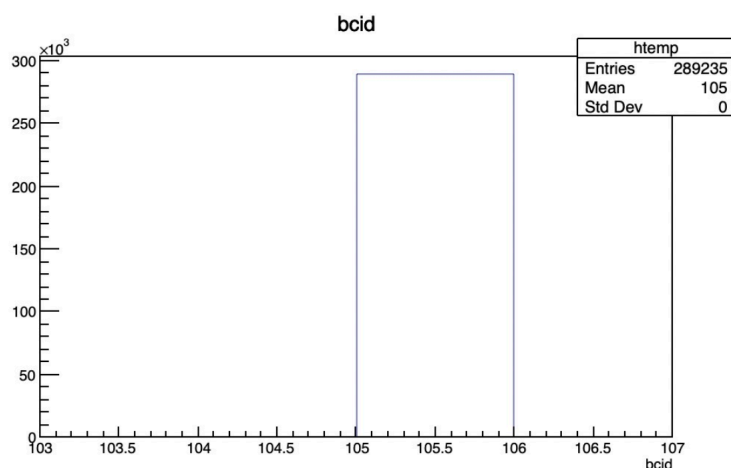


図 4.2: 読み出しが BCID=0x69=105 に行われている様子

調整のために必要なスパイバッファを設けた特別な SL ファームウェアを用いた。スパイバッファとは SL ファームウェア中にデバック用に設置された FIFO バッファで、計 4 種類のモードのうち指定されたモードによりその入力データを変更することができる。モード変更時に FIFO バッファの中身は初期化される。その後スパイバッファは、null でないインプットが入力されたタイミングでダンプ機能を発動し、40 MHz のサンプリングレートでトリガー回路中のデータをプローブする。前後の決められた BC のデータをスパイバッファに格納するが、1 回のダンプあたりに記録される BC は、調整に必要なデータを全て見るのに十分な量となるように決めた。データのタイムスタンプとして各々の 40 MHz のサンプリング時の BCID を付して記録する。これを繰り返して行い、計 8192BC 分のデータを記録した以降はデータの記録は停止し、計 8192BC 分のデータを保持する。非同期なレジスターアクセス (VME アクセス) により、保持している情報を確認できる仕組みとした。

図 4.3、図 4.4、そして図 4.5 にこの特別な SL ファームウェアにおいて、各モードでのスパイバッファとそれらがプローブするトリガー回路の各部位でのデータの対応を示す。トリガーデータは、各図の左側から

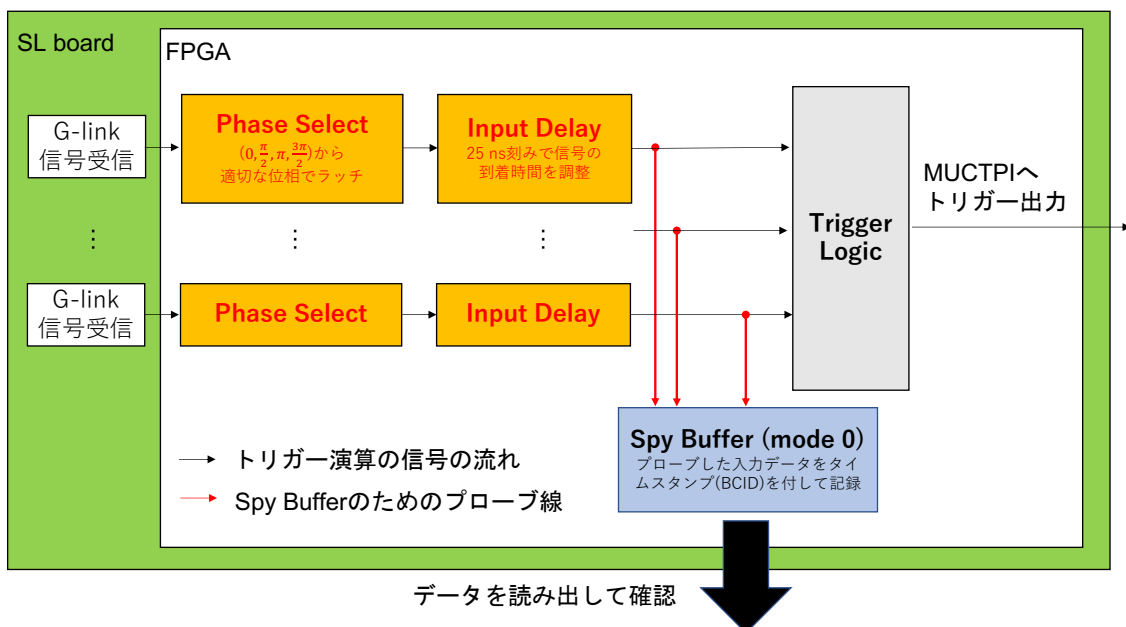


図 4.3: モード 0 でのスパイバッファの様子。モード 0 でのスパイバッファは、Delay を掛けられた直後の TGC BW からの全ての G-link のデータ及び SL 内の ID Counter でカウントされた BCID を格納している。

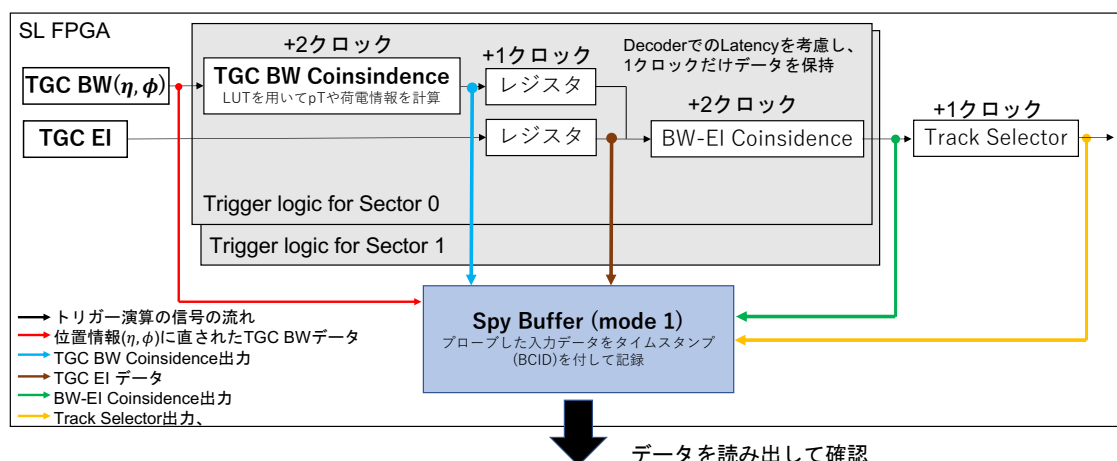


図 4.4: モード 1 でのスパイバッファの様子。モード 1 でのスパイバッファは、パイプライントリガーロジック内での途中計算の値を格納している。モード 1 でのスパイバッファは、SL が担当するトリガーセクターのうち ϕ が小さい方のトリガーロジック内での途中計算の値を、モード 2 でのスパイバッファは、SL が担当する SL のうち ϕ が大きい方のトリガーロジック内での途中計算の値を、格納する。

入力され右側に出力するよう図示した。HPT 出力は、エンドキャップ部では、12 本の光ファイバーで、フォワード部では、6 本の光ファイバーで受信される。調整で用いたトラックテストパターンは全ての TGC BW 用 G-link 信号線にコインシデンスの出力が送信されるのに十分な数のトラックを含んだテストパルスパターン

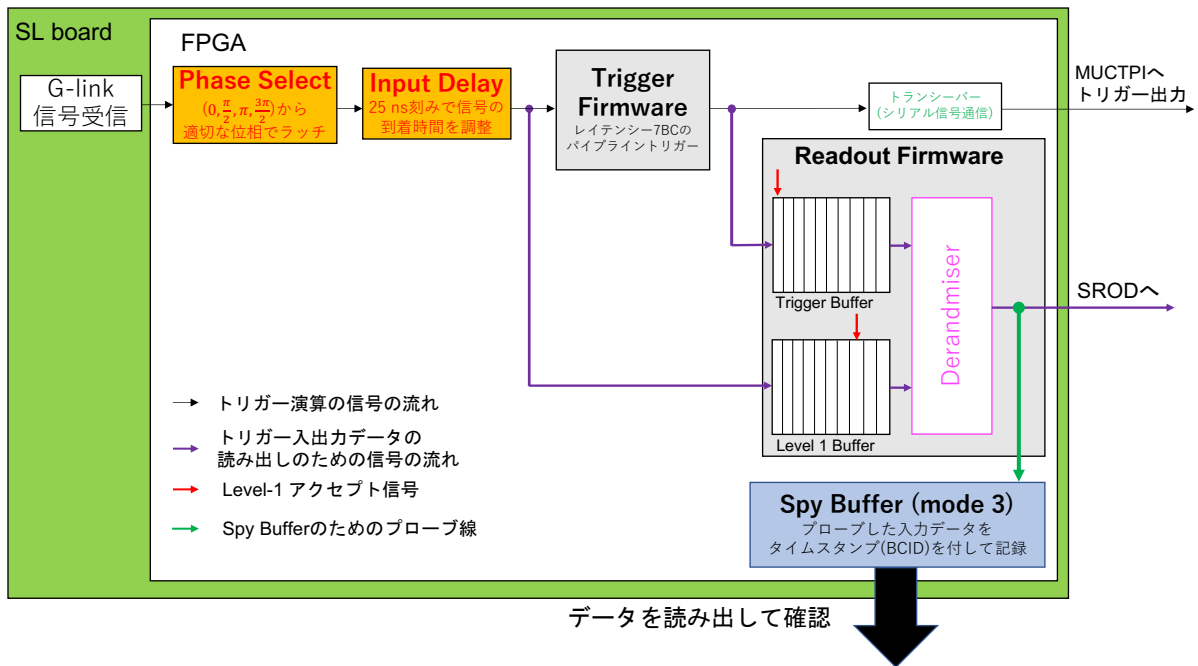


図 4.5: モード 3 でのスパイバッファの様子。モード 3 でのスパイバッファは、Derandomiser に読み出されたトリガー出力及び Input Delay がかけられた直後の G-link のデータを読み出す。また読み出したタイミングでの BCID が ID Counter から入力される。Derandomiser が Buffer 内のデータを読み出すのに 1 クロックかかるため、Derandomiser 内のデータに付与されている BCID よりも 1 大きい BCID がスパイバッファで見られる。

ンを用いた。送られてきたデータは、FPGA 外部の専用受信 IC でシリアル-パラレル変換がされ、パラレルデータは、FPGA 入力時に Phase Select で設定されたラッチタイミングでラッチされる。Phase Select は、ボード上のクロックドメインに乗せ換える際に、サンプルする位相を $\pi/2$ ズれた 4 つの位相から選択するものである。HPT と SL を接続する光ファイバー長によって入力データのボード上のクロックに対する位相が異なるため、ボード上のクロックの位相と入力データの位相関係は全ての光ファイバーチャンネルにおいて独立で、全ての入力で適切な位相でサンプルするようにして安定的なデータ通信を実現できる。次にラッチされた入力データは、Input Delay (25 ns 刻み) を用いて適切に遅延され、トリガーと読み出しの回路に入力される。Delay が掛けられた直後のデータをモード 0 に設定したスパイバッファによってプローブし、ID Counter からの BCID と共に格納する (図 4.3)。次に図 4.4 に示すように、トリガーロジック中の各段階で、データのタイミングを見てパイプライントリガーロジックが期待したレイテンシーで処理を行なっているかスパイバッファを用いて確認する。トリガーロジックに入力されたデータは、データが属するトリガーセクター毎のロジックによって処理される。SL は二つのトリガーセクターを担当するため、2 つのトリガーロジックが並列に走る。それぞれのロジック内のパイプライン処理は、それぞれモード 1,2 に設定したスパイバッファを用いて確認できる。すなわち、それぞれのパイプライントリガーロジック内での途中計算の値をモード 1,2 に設定したスパイバッファによってプローブし ID counter からの BCID 情報とともにそれぞれのスパイバッファに格納する。図 4.4 では、モード 1,2 の対称性から、モード 1 のスパイバッファについて示した。

一方、読み出しは、トリガーロジックに 7 クロック分のレイテンシーがあることに留意し、入力と出力の値をパックする。トリガーロジックが 7 クロックでトリガー出力を計算することから、トリガーバッファ

の深さ 0 にある SL 出力と L1 バッファの深さ 7 にある HPT 出力データ、そして ID counter からのイベント情報 (及びその他の検出器からの読み出し) が Derandomizer に読み出され、その後 SROD に送られる。Derandomizer に読み出された情報をモード 3 に設定したスパイバッファでプローブし、スパイバッファが読み出したタイミングでの ID Counter からの BCID とともに格納する (図 4.5)。

次に具体的な調整手続きについて述べる。手続きは以下の①から③に大きく分けられる。

① 入力 data の BCID が 0x62 になるように Phase delay, Input delay を設定

まず、Phase delay を調整した。この作業は、G-link からの信号を正しく受け取るために必要なことである。SL は、LHC クロックを用いたラッチのタイミングを 4 つの位相から選択できる ($0, \pi/2, \pi, 3\pi/2$ でシフトした 40 Mhz でサンプルできるという意味)。そのうち、G-link からの位相と LHC のクロックの位相の関係が悪く、データ受信ができない位相が存在する場合があります、その真逆の位相を SL に設定する。この手続きで全ての 1/12 セクターにおいて適切な入力データのラッチが実現できた。

適切な位相選択を達成したのち、Input Delay 調整を行う。そしてモード 0 に設定したスパイバッファの中身を確認し、全ての G-link 信号線で一斉に正確なタイミングでデータを読み出しているか確認した。正確なタイミングとは、プローブされた入力データのタイムスタンプが BCID=0x62 になることでもって定義した。BCID=0x62 は以下の考察により決まる。BCID=0x69 に対応するタイミングでテストパルスを入力していることは既に議論した通りである (図 4.2) が、これはトリガーロジック出力時に付与されるべき BCID が 0x69 であることを意味する。一方で入力からトリガー出力までパイプライン処理に 7 クロックかかっているため、カウンターの BCID が 0x62 のタイミングでの入力を期待する。図 4.2 に示した読み出しの BCID と同じ BCID が付された SL の出力データを後段の MUCTPI に送信することができる。一斉に来た際のエンドキャップ SL でのモード 0 に設定したスパイバッファ内の 1 イベントの様子を図 4.6 に載せる。この図か

BCID	G-link0	G-link1	G-link2	G-link3	G-link4	G-link5	G-link6	G-link7	G-link8	G-link9	G-link10	G-link11	行数
0060	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0
0061	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	1
0062	ba77	d9f1	2da6	ac13	b319	f2b2	9c76	dd77	ada6	6cab	f09c	b332	2
0063	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	3
0064	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	4
0065	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	5
0066	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	6

図 4.6: エンドキャップ SL でのモード 0 に設定したスパイバッファ内の 1 イベントの様子。全ての G-link 信号線計 12 本のデータが BCID=0x62 のタイミングで受信してそれ以外のタイミングでは null データであることがわかる。

ら目標の BCID、0x62 で全ての G-link 信号線から正しく受信できたことが分かる。これが期待されるデータでこれが実現できるように Input Delay を調整する。図 4.7 に、各セクター毎の SL Input Delay の様子を示す。また参考として、図 4.8 に 2008 年時に測定された光ファイバー長およびファイバー端子間の伝搬時間を示す。ファイバー長測定と整合性を持った調整結果を得ていることを確認できる。

② モード 1、2 に設定したスパイバッファ内のデータを読み出し、SL 出力データの BCID が 0x69 になっているか確認

ここでは、トリガーロジック内のモード 1、2 に設定したスパイバッファ内のデータを読み出し、

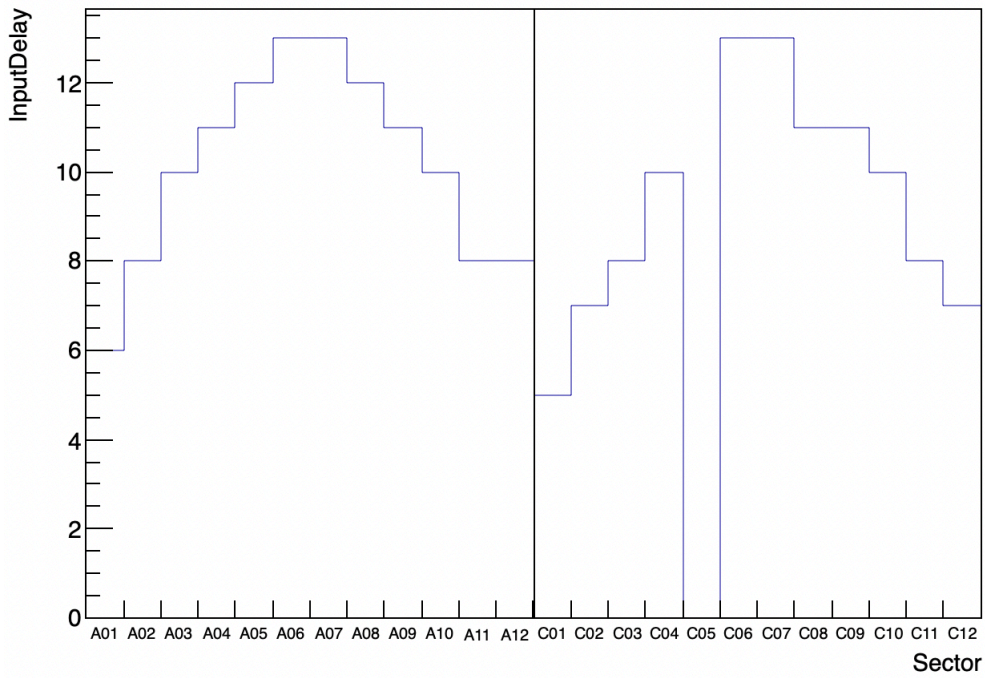


図 4.7: 各 1/12 セクター毎の SL タイミングパラメータ (InputDelay) の調整結果。ファイバー長が短く、信号の到達が早い 06, 07 セクターほど長い Input Delay がかかっている。C05 については、現在測定ができていない。

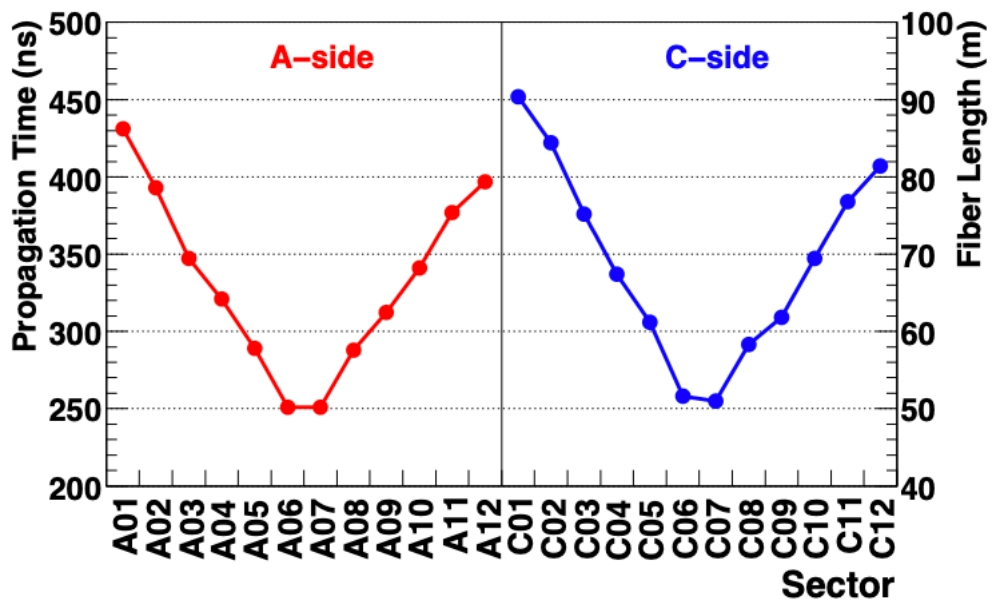


図 4.8: 2008 年に測定された光ファイバー長及びファイバー端子間の伝搬時間 [31]

BCID=0x69 に SL 出力データが来ているか確認した。

図 4.9 に、モード 1 に設定されたスパイバッファで確認されたデータを示す。

BCID	Track Selector の出力 Flag(3), charge(1), pT(4)	EI data = No data	BW data
0060	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 0
0061	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 1
0062	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 2
0063	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 3
0064	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 4
0065	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 5
0066	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 6
0067	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 7
0068	0000 0000 0000 0000 158e	0000 0000	1000 0000 0000 0000 0000 0000 8
0069	bf71 bf49 af35 bf1e 0000	0000 0000	0000 0000 0000 0000 0000 0000 9
006a	0000 0000 0000 0000 0000	0000 0000	0000 0000 0000 0000 0000 0000 10

図 4.9: モード 1 に設定したスパイバッファでの 1 イベントの様子。図 4.4 で示したパイプライントリガーの動作通りのデータの振る舞いがスパイバッファで確認できる。

この図の一番左が BCID を示している。右から左にトリガーロジックの計算が進んでいる順に、BW data, BW Coincidence 出力、EI data, BW-EI Coincidence 出力、Track Selector の出力が表示されている。この図から、トリガーロジックは、期待通り 7 クロック後に計算を終え、その最終出力、SL 出力データの BCID は、0x69 となっていることが確認され、パイプラインロジックが設計通り動作していることを確認した。

③ L1 バッファからの読み出し深さ及びトリガーデータバッファからの読み出し深さを設定し、トリガーロジック入力データ (HPT 出力)、トリガーロジック出力データ (SL 出力) が L1A と同時に入っていることを確認

トリガーロジックの入力データと出力データを 7 クロックレイテンシーを加味し、正確にパックし読み出しロジックに送っていることを確認した。図 4.10 にそれを示す。なお、読み出しのレイテンシーに留意すると、スパイバッファは 0x6a というタイミングで読み出すことが期待されるが、そのような動作になっている。以上から適切な位相選択及び Input Delay 調整を行えたことが確認できた。

4.3 全 RoI スキャンフレームワーク

テストパルスを逐次的に全領域に打ち込む試験手法を“全 RoI スキャンフレームワーク”として本システムの統合試運転のために開発した。トラックパターンを模したテストパルス信号に対する、トリガー回路の出力を見ることで、トリガー回路の一連のチェーンとしての試験を行うことができる。多段のコインシデンス回路として実装される本システムのすべてのエレクトロニクス、シリアル通信が正常に動作をしているかの確認や、また新たに導入した Sector Logic のトリガーファームウェアが正常に動作しているの検証を含む包括的な試験を行うことができる。全領域のトリガー回路に対して試験を行うために、色々なパターンのトラックパターンを打ち込み網羅的に試験をする必要がある。先述の通り TGC のトリガー出力は RoI と呼ばれる位置の情報もち (Pivot 層における通過位置に対応)、エンドキャップトリガーセクターで 148、フォワードトリ

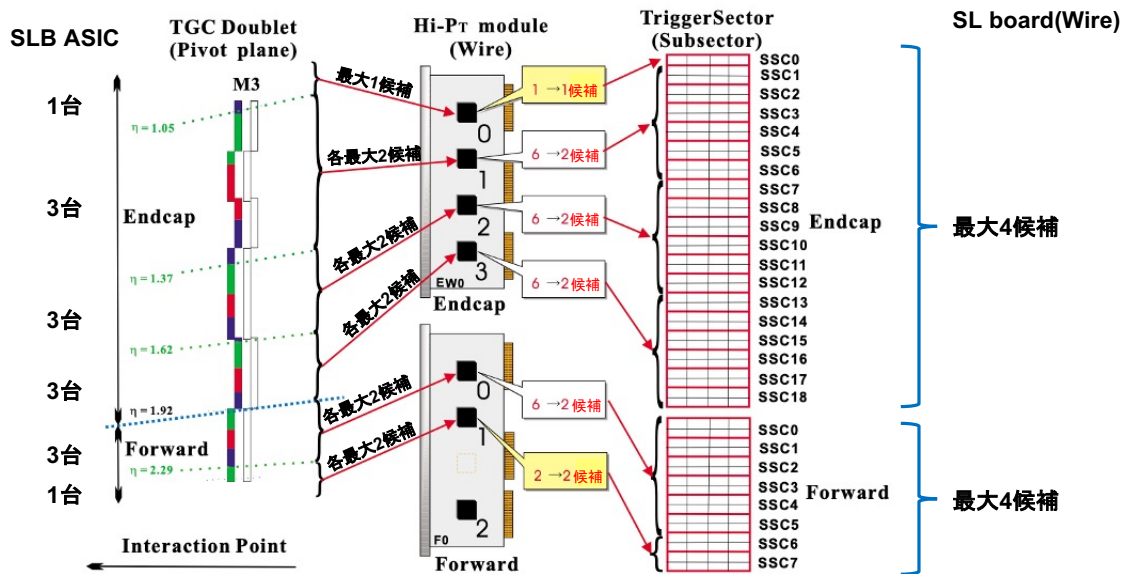


図 4.11: ワイヤーについての各段階トリガー出力の候補数の上限。

SLB ASIC にテストパルスパターンを書き込める最中に、L1 A が出てしまうと、一部のトリガーデータが出力されなくなるからである。例えば、Triplet ワイヤーのみが書き込まれた状態で L1A 信号が出てしまうと、Triplet ワイヤーの Tracklet 情報までは出力されるが、Doublet ワイヤーの Tracklet 情報が入力に必要な HPT ワイヤーは出力されない事になり、全てのトリガーデータを出力させるというテストパルスパターンの目的と外れてしまう。

本研究では、データ記録レート 10 Hz (L1A rate=1kHz、データ記録割合=0.01) の設定の下で、各トラックテストパルスパターンについて 5 秒間データ収集する。トラックテストパターンは、全 64 種類存在し、全てを試験するのに約 33 分かかる。

$$(13 + 5 + 13) \text{ s} \times 64 = 1984 \text{ s} \simeq 33\text{m} \quad (4.1)$$

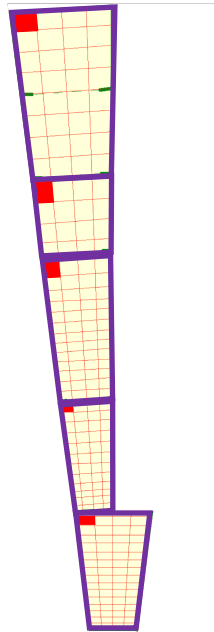


図 4.12: 全 RoI Scan フレームワーク。5つの紫の区画のそれぞれに最大1つのテストパルスパターンを打ち込む。図では、各区画の η 、 ϕ が最小のRoIに対しテストパルスパターンが打たれている。

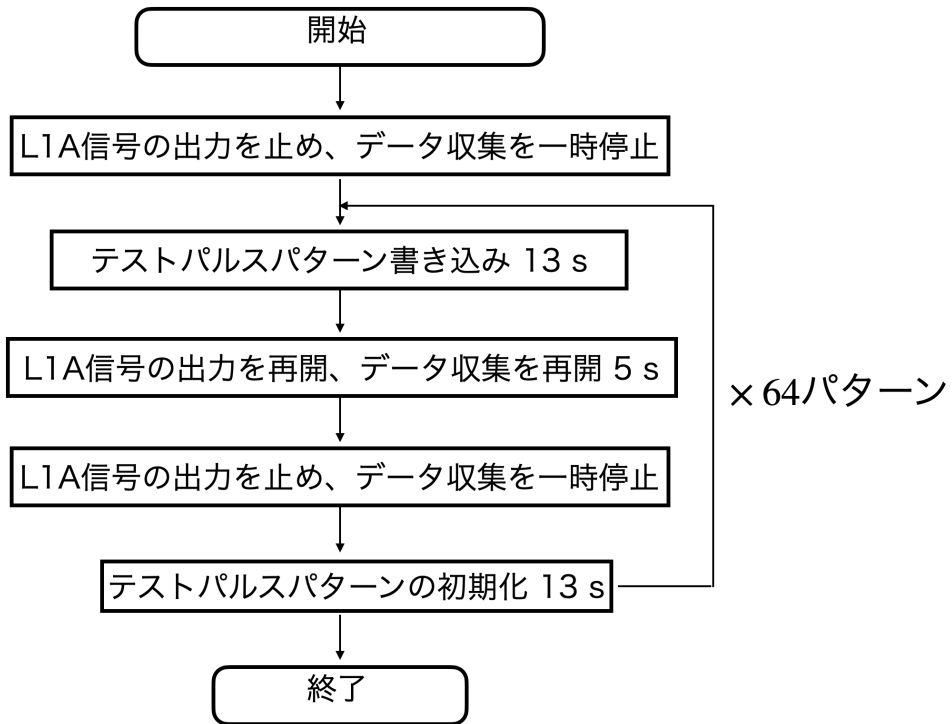


図 4.13: 全 RoI Scan コマンドのフローチャート

第 5 章

トラックテストパルス試験用のデータ解析 とテストパルスを活用した統合試運転の 実現

この章では、トラックテストパルス試験用のデータ解析ツールの概要を説明した後、この解析ツールを用いて実際のエンドキャップ初段ミューオントリガーシステムの問題を発見・特定し、問題が解決する過程を説明する。

5.1 データ解析の流れ

この章では、全トラックパターンでのデータ収集後直ちに自動化されたデータ解析を行い、素早く TGC システムの状況を理解できるようなエラー検知を行い、ヒストグラムを生成し、PDF を作成し、解析結果の即時参照を可能にするシステムについて概要を示す。図 5.1 にそのデータ解析の流れの概要を示す。

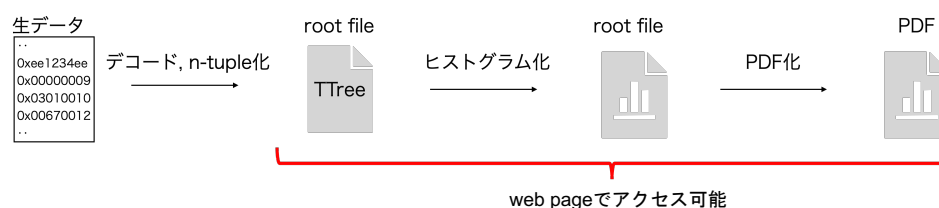


図 5.1: データ解析の流れ。デコード、ヒストグラム化、PDF 化は自動で行われ、それぞれの出力は web page でアクセスが可能である。

バイナリーファイルである生データをデコードし、ROOT 解析フレームワークでの n-tuple(TTree オブジェクト)に変換する。デコーダーの段階でデータフォーマット違反等のエラー検知も合わせて行う。その次のヒストグラム化プログラムは、デコーダーで出力された TTree を用いて各種ヒストグラムが入った root file を作成する。またデコーダーよりもより複雑なエラー検知を行う。最後に PDF 化プログラムにより、ヒストグラム化プログラムで作成されたヒストグラムをエラー箇所の把握等を効率的に行える表示形式で PDF にまとめる。

このプログラム解析プログラムを設計する際に留意した点を以下にまとめる。

- 1 Run 3 開始に合わせて DAQ システムが刷新されるので、最新システムのインフラストラクチャーを用いた効率的なシステムを新設する。
- 2 データ解析の一連の流れは、自動化されており、誰でも容易にデータ解析を行うことができる。Run 3 開始後は、24 時間体制でデータ収集を行うため、簡便なシステムを設計し、実験シフトに就いた人なら誰でも診断を行えるようにしておくことは本質的に重要である。
- 3 TGC リードアウトのみを含むデータ収集 (standalone 環境でのデータ収集) で取得されたデータ及び ATLAS その他のサブシステムを含むデータ収集 (ATLAS global 環境でのデータ収集) で取得されたデータは、バイナリーデータ・フォーマットは共通であるので、その他のサブディテクターのデータの有無によらずデコードが可能になるようにデコーダソフトウェアを開発した (ただし、ATLAS global 環境で収集されたデータは、圧縮されているので、解凍する必要がある)。またデータ収集途中のデータに対しても解析を行うことができ、素早く、現在のデータ収集の状況を確認できる。

次の 3 小節では、解析の各段階のプログラムについて個別に説明する。

5.1.1 デコーダー

この小節では、デコーダーの基本的な仕組みを概説する。

デコーダーは、バイナリーデータである生データからデータフォーマットに従って情報を抽出し、イベント単位で n-tuple 化し、root file として出力する。またその値にデータフォーマットに従わない値が入っていた際やデータフォーマットは、エラーを検知し報告する仕様とした。加えて生データに含まれるエラー検出フラグをモニターし、検知されている場合は、デコード時にエラーとして表示する。これらのエラー表示は、データ収集におけるシステムの挙動が正常でない場合の把握やデバッグに活用される。特に SROD が新しく導入されるため、オンラインのエンコーダ、デコーダが正常に動作していることを試運転で検証するために重要である。バイナリーデータは、32 bits word からなる。ATLAS 実験のデータフォーマットでは、初段トリガーの選択したイベントについて ROD 毎にヘッダー、データ、フッターの構造を持ってまとめられる。データ収集に参加する全ての ROD からのデータを合わせ、さらに上位のヘッダー、フッターの構造をつけてイベントデータとして保存する (図 5.2)。図 5.3 に ROB Header のデータフォーマットを示す。ヘッダーの先頭には、先頭である事を示すワード (“Start of Header Marker” と図中で表記) が入っており、デコーダーは、このワードを検知してデコードの手続きを始める。データフォーマット中には、可変長のデータも存在する。そのワード数は必ずそのデータの前に存在する変数により計算でき、その値により処理を変更することで、デコードを続けることができる。

5.1.2 ヒストグラム化プログラム

この節では、ヒストグラム化プログラムの基本的な仕組みを概説する。ヒストグラム化プログラムは、イベント毎の解析を行い、システムの動作を示す各種プロットを作成する。デコードで抽出された全ての変数を用いて自由に解析を行うことができ、ROOT 解析プログラムを用いることで、複雑なデータ同士の相関の確認を含むデータ検証も効率的に実現される。特にイベント解析の結果として、各種変数の相関のヒストグラムを作成し、トリガーロジックの検証に用いる。例えば、あるミューオン飛跡に対する SLB コインシデンスアルゴリズム出力の位置情報と HPT コインシデンスアルゴリズム出力の位置情報の比較を行うことができる。特定の SLB ASIC のコインシデンスアルゴリズム出力に対して期待されない HPT コインシデンスアルゴリズム

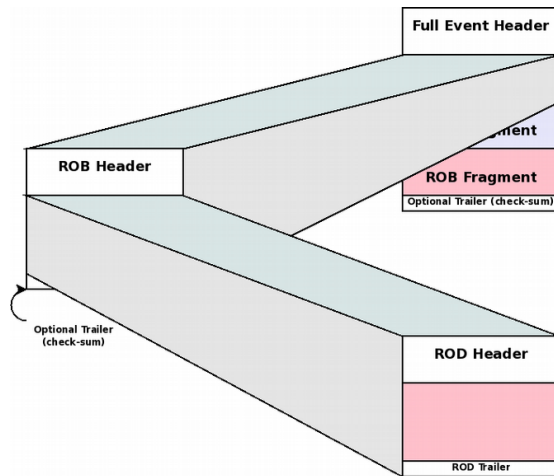


図 5.2: ATRAS 実験のデータフォーマット。ROD からのデータ (ROD Fragment) は、さらに上位のヘッダー (ROB Header)、フッター (Optional Trailer) をつけてまとめられる (ROB Fragment)。ROB Fragment を集め、さらに上位の Full Event Header、フッター (Optional Trailer) をつけてまとめられたのが生データである。参考文献 [32] から引用

Start of Header Marker	Generic
Total Fragment Size	
Total Header Size	
Format Version Number	
Source Identifier	
Number of Status Elements (N)	
Status Element[0]	
...	
Status Element[N-1]	
Check Sum Type	
Specific Header[0]	Specific
...	
Specific Header[M]	

図 5.3: ROB Header のデータフォーマット。全ての ROB に共通なジェネリックパートと ROB の種類によって異なるスペシフィックパートが存在する。

ム出力の検出は、HPT board のエレクトロニクスあるいは、SLB-HPT 間の通信不調を示唆するもので、システムの修復必要箇所が明らかになる。またこの段階の解析コードは、ヒストグラム生成に加え、エラー検知の機能も持つ。エラー検知を効率的に行うため、シーケンシャルにバイナリーデータを解析する前述のデコード作業を行う部分 (デコーダー) とデコード後のデータ解析の部分 (ヒストグラム化プログラム) で検知するエラーを明確に分けるよう設計した。例えば、ROD 間で BCID やイベント ID の整合性を確認し、BCID やイベント ID の異常が発生した読み出しを即時に同定し、エラーを報告する検知機構はこの段階で効率的に実装できる。

5.1.3 PDF 化プログラム

PDF 化プログラムではヒストグラム化プログラムで作成されたヒストグラムを特にエラー箇所の判断が最も容易になるように整形し、PDF として出力する。ここでは、その例としてトラックテストパルス試験の出力情報について述べる。図 5.4 に RoI Profile を示す。左の 6 プロットがワイヤー、右の 6 プロットがストリップのものであり、上から順に各セクターを構成しているトリガーセクターを Endcap phi0, Endcap phi1, Endcap phi2, Endcap phi3, Forward phi0, Forward phi2 と並べている。各プロットの横軸は、SL output の位置情報 RoI Number を η, ϕ 方向に射影したものである (図 5.5)。Endcap Wire の場合、0-36 まで、Forward Wire の場合、0-15 まで、そして Strip の場合 0-3 まで走る。縦軸は期待されるタイミング (Current BC) でのトリガー出力の数をその領域におけるテストパルスの入力回数で割った”Efficiency”である。グラフの色の違いは、多段コインシデンスシステムの本トリガーシステムのそれぞれの段階のアウトプットを付し、青色が SLB Doublet output (Tracklet)、赤色が HPT output (HPT)、黒色が SL output (RoI) を示す。トラックテストパルス試験では、ミュオン無限運動量飛跡パターンを用いるため、全てのトリガーデータの Efficiency は 1 になることが期待される。また SLB、HPT、SL の全ての出力が入力に対し、100% の確率で期待されるものとなっていることを確認し、全てのチェーンが正常に動作していることを確認できる。また、チェーンの途中で不調が発生した場合、「どこまでが正常に動作し、どこからが不調なのか」も一目で確認できる表示形式にした。図 5.4 は、A01 セクターの Current BC の各トリガーデータについてのものである。A01 に属する全てのトリガーセクターにおいてワイヤー、ストリップ共に期待される Efficiency=1 が達成されていることが即座に分かり、A01 において全てのチェーンが正常動作していることが確認できた。エラーを伴う RoI profile の例を図 5.8、図 5.9 に載せる。そのエラーの詳細は後述する。

5.2 本システムを活用した統合試運転について

Run 3 では、新しいエレクトロニクスが導入され、ファイバー等が新たに敷設され、ファームウェア、オンラインソフトウェアが新調された。また検出器メンテナンスに伴うケーブルリング作業も LS2 期間中に行われている。トリガー回路と、トリガーデータの読み出し回路がすべて刷新されているため、全システムを連動したシステムの統合試運転を実施し運転経験を積むことは必要不可欠である。一方で、実験開始前の時期は検出器を稼働させるために技術的な困難が伴い (可燃性のガスである $n\text{-C}_5\text{H}_{12}$ をシャットダウン期間中に TGC 検出器中に循環させることが困難である)、宇宙線を用いた試験等も行うことができない。そのため本研究で開発したテストパルス試験のデータ収集及びデータ解析のフレームワークを用いた全システムの統合試運転を行なった。LHC 実験再開を待たずに、衝突点からのミュオン信号を模した信号に対して、トリガー、読み出し回路の動作を確認することができ、長時間に渡る運転経験を元に、システムの調整、オンライン制御ソフトウェアのデバッグ、ハードウェア・ファームウェアのデバッグが可能になった。特に新しいエレクトロニクスが導入された部分や、シャットダウン中に再接続等の作業が入った箇所については、トラックテストパルスを包括的に試験することにより、システムの不調を検知し、Run 3 開始までに全てのエラーを発見修復し、完璧な状態で Run 3 に臨むことが肝要である。この章では、エンドキャップ初段ミュオントリガーシステムのトラックテストパルスを活用した統合試運転による問題の発見・特定方法及びその修正について述べる。トラックテストパルスを活用した統合試運転で発見された問題は、以下に大きく分類される。

- 1 テストパルスフレームワークの問題、特にタイミングパラメータ等の設定に関わる問題

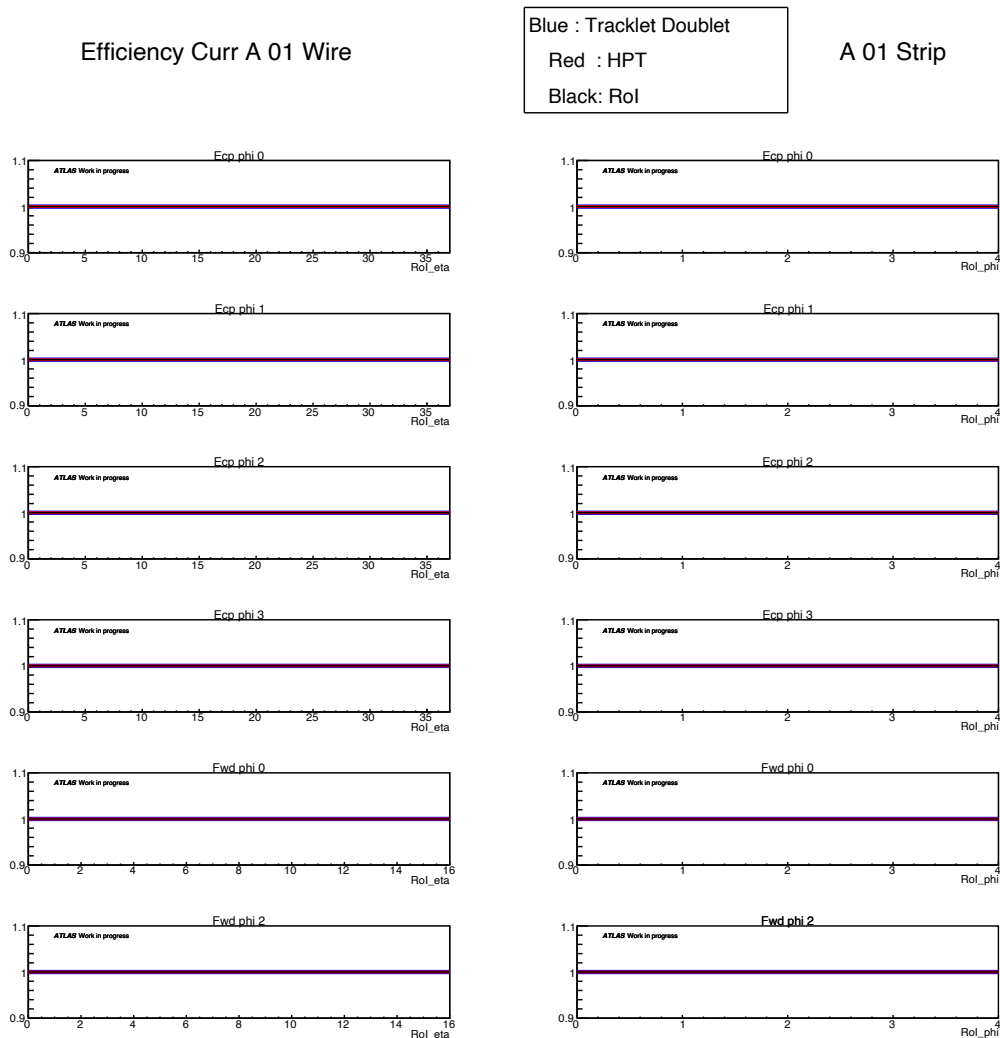


図 5.4: RoI Profile。左がワイヤー、右がストリップのプロットであり、上から順に各 1/12 セクターを構成する各トリガーセクター (Endcap phi0, Endcap phi1, Endcap phi2, Endcap phi3, Forward phi0, Forward phi2) を示す。各プロットの横軸は、SL output の位置情報 RoI Number を η, ϕ 方向に射影したものである (図 5.5)。Endcap Wire の場合、0-36 まで、Forward Wire の場合、0-15 まで、そして Strip の場合 0-3 まで走る。縦軸は期待されるタイミング (Current BC) でのトリガー出力の数をその領域におけるテストパルスを入力回数で割った “Efficiency” である。グラフの色の違いは、多段コインシデンスシステムの本トリガーシステムのそれぞれの段階のアウトプットを付し、青色が SLB Doublet output(Tracklet)、赤色が HPT output(HPT)、黒色が SL output(RoI) を示す。トラックテストパルス試験では、SL トリガー出力が保証されたテストパターンを用いるので、各トリガーデータ (Tracklet、HPT、SL output(RoI)) の Efficiency は 1 になることが期待されている。このグラフで示した A01 は、全てトリガーデータのグラフが Efficiency=1 の直線となっていることから、期待されるタイミング (Current BC) でテストパルスが読み出せていること、また全てのコインシデンスアルゴリズムにおいて、期待されるタイミングでの入力に対し、期待されるコインシデンス出力が得られていることが分かる。

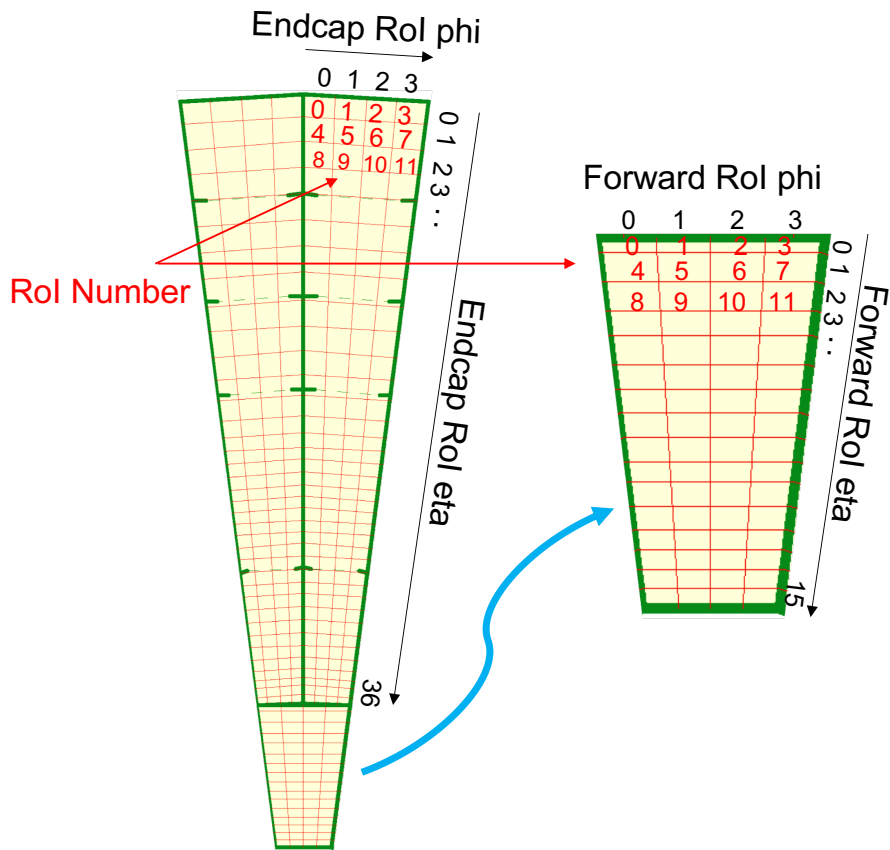


図 5.5: RoI Profile の横軸と RoI Number との対応。

2 エンドキャップ初段ミュオントリガーシステムの問題

1 に関連する問題として“C-side のテストパルスが期待されているタイミングより 1 BC 遅れて打たれている問題”が挙げられる。この問題は、小節 5.2.1 で扱う。2 に関しては、さらに問題がハードウェア由来か、ファームウェア由来か、そしてソフトウェア由来かで大きく分類できる。本研究で発見されたファームウェアの問題について小節 5.2.2 で扱い、ハードウェア由来の問題については、小節 5.2.3 で扱う。

5.2.1 C-side のテストパルスが期待されているタイミングより 1 BC 遅れて打たれている問題

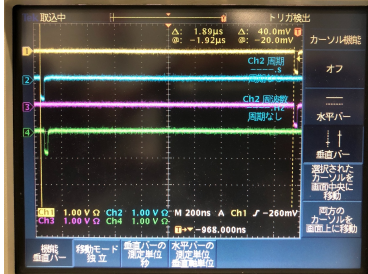
この問題は、トラックテストパルス試験のフレームワーク開発直後から見られていた。C-side の読み出し及び SLB output が全て Next BC で読み出されていた。これは、L1A 信号とテストパルストリガー信号の受信時間差が C-side で期待と異なることを意味する。C-side 全域でのエラーのため、C-side 全域を担当している L1A 信号やテストパルストリガー信号を配布する TTC システムが原因だと推測された。そこで実際に TTC-FOB の LEMO 出力を用いて、L1A 信号とテストパルストリガー信号のタイミングがオシロスコープを用いて調査された。図 5.6 に問題発生時の L1A 信号とテストパルストリガー信号のタイミングの関係を示す。

黄色: A-side L1A信号

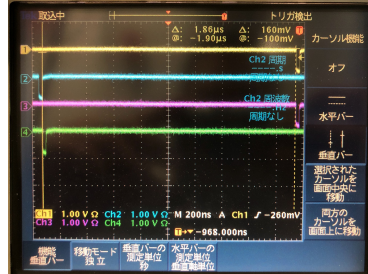
水色: A-side テストパルストリガー信号

紫色: C-side L1A信号

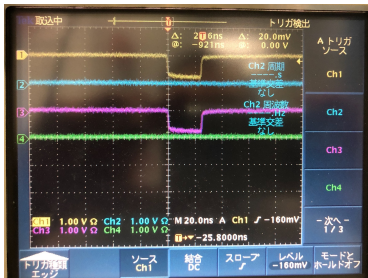
緑色: C-side テストパルストリガー信号



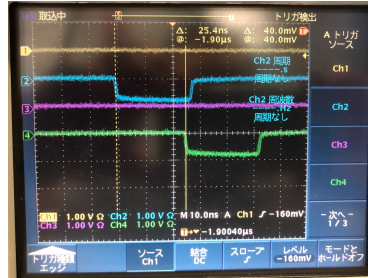
A-sideでの2つ信号の時間差~ 76 BC



C-sideでの2つ信号の時間差~ 75 BC



A/C-sideでのL1A信号の時間差≈ 0 ns



A/C-sideでのテストパルストリガー信号の時間差= 25 ns

図 5.6: 問題発生時の L1A 信号とテストパルストリガー信号のタイミングの関係。テストパルストリガー信号が A side と C side で 1 BC 異なることが確認された。

図 5.6 から LTP からの L1A 信号については、同時に配れているが、テストパルストリガー信号については C-side のものが 1 BC 遅れて送られていることが分かった。データの振る舞いから推測された通りの挙動がオシロスコープで確認された。この観測事実に基づいて、テストパルストリガー信号が、同時に両サイドで分配されるように運転パラメータを調整し解決した。また Run 2 とのシステムとの違いの詳細な検討も行い、Run 3 システムで新たに問題が観測された原因も理解されている (テストパルストリガー信号の配布の仕方を Run 3 システムで改善したが、それに伴うタイミングの違いにより、新たに調整が必要となった箇所であった)。

5.2.2 SL ファームウェアの問題

SL は、Run 3 から導入される新しいエレクトロニクスであり、FPGA 内部で動作するファームウェアも全て新たに開発されたため、Run 3 開始前にファームウェアとハードウェアの動作検証が喫緊の課題である。タイミング及びパターンを制御された入力に対し、出力を確認することのできるトラックテストパルス試験は、その動作検証を効率的に行う事ができる。これまで SL はテストベンチで試験が行われていたが、地下実験ホールでの本番環境での試験を行えるトラックテストパルス試験は非常に重要である。特に SL の入力と出力の対応関係の確認により、全チェーンが正常に動作していることを確認することにより、本番システムのハードウェア、ファームウェアの包括的な検証が実現される。試験により、多くの問題が明らかになり、システムのデバッグが効率的に行われた。現在までに見つかった入出力の位置情報に関するファームウェアの問題点は全て解決している。

入出力の位置情報に関するファームウェアの問題の一例としてここでは、“エンドキャップ SL において η が最小の HPT 出力情報に対する SL 出力情報の位置情報 RoI number が期待されるものよりも 4 大きい” という問題について扱う。図 5.7 に問題発生時と解決後の HPT 出力情報と SL 出力情報の相関を載せる。この

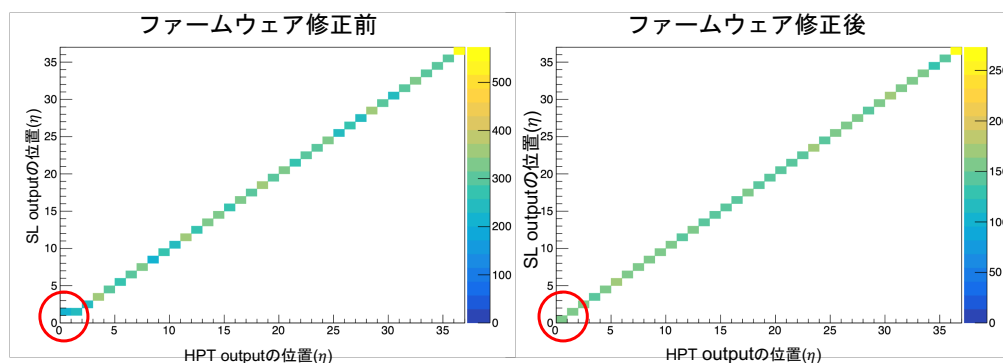


図 5.7: 問題発生時と解決後の HPT 出力情報と SL 出力情報の相関。対角線上の入出力関係が期待されるが、修正前は、赤丸で示した箇所が期待される対角線上に乗っていなかった。修正後は正しい相関が見られている。またエントリー数に関しては、正確に数を制御していないため、多少異なる (特に両試験では $\eta = 36$ に合わせて 2トラック分のパターンを打ち込んでいたため、エントリー数が他の 2 倍程度ある)。

問題は、Hit 情報, SLB 出力情報, HPT 出力情報に関しては、期待されるパターンが見られていたが、SL 出力情報の一部で期待されないパターンが入っていることから判明した。この問題が全エンドキャップの SL で見られたことから、SL ファームウェアが原因だと推測された。実際に SL ファームウェアで RoI number を計算する箇所に問題があり、修正された。また HPT 出力情報、SL 出力情報が期待されるタイミングで読み出されていることは、新設されたトリガー読み出しパスが正常に動作していることを意味する。

5.2.3 ハードウェアの問題

現在までに見つかったハードウェアの問題は、その種類によって 4 つに大きく分けられる。

- 1 トリガーセクター全体もしくは一部で HPT 出力, SL 出力が読み出されない。
- 2 SLB 出力情報のパターンに対して、期待されない HPT 出力情報が記録されている。
- 3 特定の場所に、常に同一パターンの HPT 出力が読み出されている。

図 5.8 に上記 1,2 の問題発生時の RoI profile の例を載せる。また図 5.9 に上記 3 の問題発生時のプロットを載せる。これらの例では、特定のチャンネルの出力が、HPT ボードの出力 (赤色) において期待される回数に達していなかったり、あるいは期待される回数を超過 (誤った出力情報を意味する) していることがわかる。ハードウェアの問題の原因は大きく 3 つに分ける事ができる。

- a ボード間のケーブル配線不良
- b ボード等のエレクトロニクスの故障
- c ボード間のケーブルの接続不良

また特に A-side TGC BW は、2021 年 8-9 月にかけて M1 ステーションと M2, 3 ステーション間を開けてチェンバー交換が行われたため、M1 と M2,3 にまたがるケーブルを一旦外し、再接続が行われた。そのため

Rol Profile 青: SLB output, 赤: HPT output, 黒: SL output

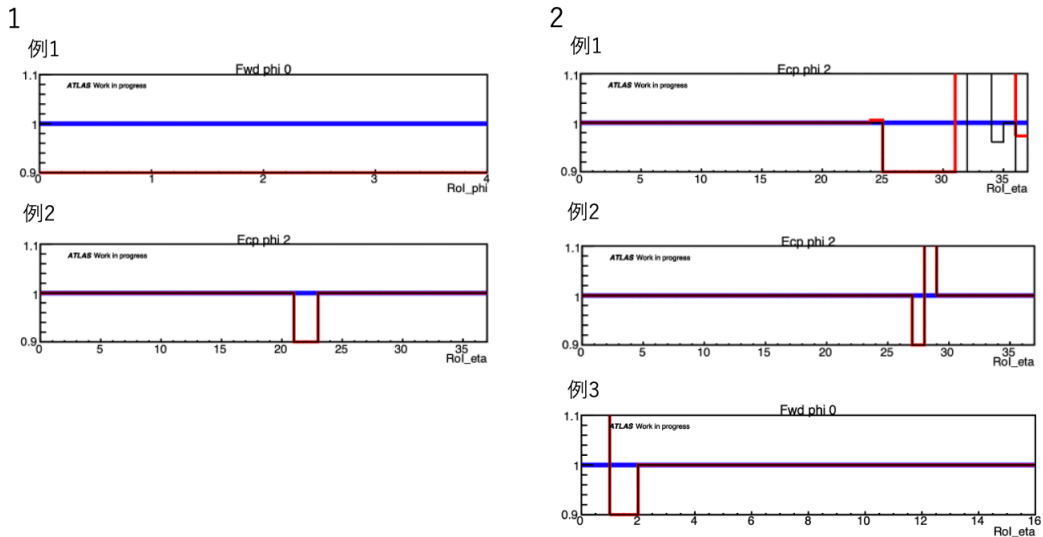


図 5.8: 上記 1,2 の問題発生時の Rol profile。SLB Doublet 出力 (青色) までは、Efficiency が 1 であるが、HPT ボードの出力 (赤色) から異常があったことが理解される。これは、HPT でのコインシデンスが期待された通り動作していないことを意味する。

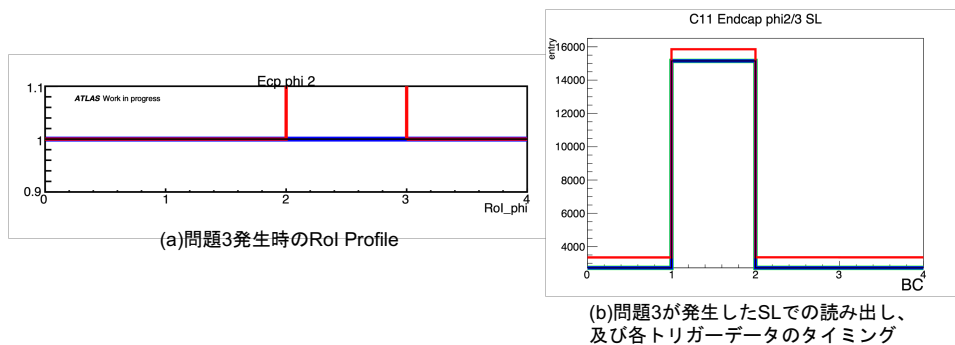


図 5.9: 上記 3 の問題発生時のプロット。図 (a) が Rol Profile で $Rol_phi = 2$ の HPT(赤線) に超過が見られる。図 (b) が問題が発生した SL での読み出し、各トリガーデータのタイミングを示す。読み出しが緑、SLB Doublet が青、HPT output が赤、SL output が黒で示されている。横軸はテストパルスに対する BC を示しており、0: Previous BC, 1: Current BC, 2: Next BC, 3: Next to Next BC である。図 (b) から赤色の HPT のエンタリーがどの BC にも同じ数超過していることが分かる。

A side に関しては、ケーブルの接続不良もトラックテストパルス試験を用いて試験した。

問題箇所の特定は、以下の順序で行われた。

- Step 1 データ収集時のエラーに注意し、ハードウェア由来の可能性がある問題箇所の範囲を特定し、その領域を担当しているハードウェアやケーブルがないか調査した。
- Step 2 さらに問題の原因を探るため、問題箇所の範囲にあるケーブルの配線チェックやケーブルの抜き差しが行われた。
- Step 3 Step 2 でも改善がなかったエラーに関しては、ボード等のエレクトロニクス故障の可能性が高まる。

どのエレクトロニクスの故障かどうか調査するため、ケーブルスワップ試験が行われた。図 5.10 にケーブルスワップ試験の模式図を載せる。エラー箇所が移動するかで、どちら側のエレクトロニクスの故障か特定することができる。

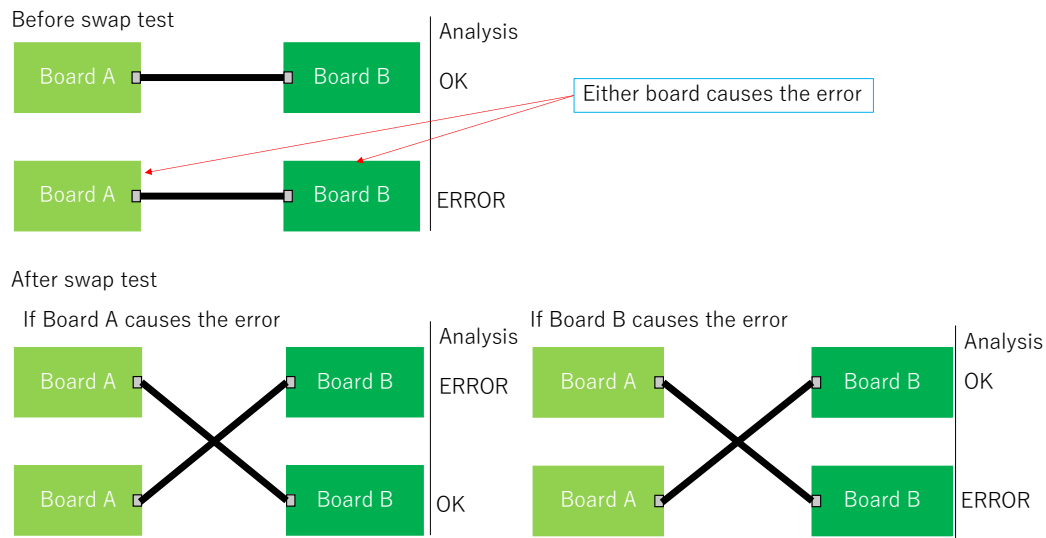


図 5.10: ケーブルスワップ試験の模式図。Board A が上流のボード、Board B が下流のボードである。ケーブルスワップ後にエラー箇所が移動するかしないかで問題箇所の特定を行うことができる。

Step 2 で Aside ケーブル再接続後、図 5.8 の 1 の例 1 で挙げた状態になっていた A10 Forward において、SL フロントパネルに該当のファイバーが全く挿さっていなかった事が発見された。正しく配線しなおすことで、入力トラックに対し期待する HPT 出力、SL 出力が確認されるようになり、またその Efficiency も全て 1 となり問題が解決した。またその他の問題は、ファーマーやケーブルの抜き差しでは問題は解決しなかった。

その後の Step 3 での HPT ボード-SL ボード間のケーブルスワップ試験で HPT 側のエレクトロニクスの問題か、SL 側のエレクトロニクス側の問題かの特定が行われた。その結果、図 5.8 に示した、1 の例 2、2 の例 2 に対しては、ASIC の不調等が疑われる HPT 側の問題であると特定され、該当の HPT board の交換が行われた。その結果、問題は解決した。

2 の例 1 で示した問題は、SL 側である事が確定した。その後、エラーが発生している領域の G-link のリンク単位でのエラーであると分かっているので、まず SL ボード上の Glink 通信を行う SFP モジュールの交換が試された。問題が解決しなかったことから、SFP モジュールは問題の原因でない事が分かり、SL ボードの交換が予定されている。SL ボード上の Glink 受信 IC 等の故障が推測されている。

また 2 の例 3 で示した問題箇所は、HPT 側である事が確定した後、HPT ボードの交換が行われた。しかし問題は解決しなかった。このことから、問題箇所として HPT ボードの上流が疑われた。PS ボード-HPT

ボード間のケーブルスワップ試験が行われ、問題箇所が PS ボード側であることが確定した。2021 年 12 月時点でアクセスできない場所であるため、2022 年 Run 3 開始までに PS ボードを調査する事が予定されている。問題データの挙動から PS ボードの交換が必要な事案であることが推測されている。

最後に問題 3 について述べる。この問題は、HPT ボード-SL ボード間のケーブルスワップ試験で SL 側である事が確定した。その後、該当 SL ボードの交換が行われ、問題が解決した。またデータ解析からシリアルパラレル変換後の特定の 1 bit が“H”になりっぱなしであることが分かった。G-link 信号の線は 3.3.2 節で言及した通り、FPGA 外部の受信 IC でパラレル信号に変換され、FPGA に入力される。このことから SL ボード上の関連するチップ I/O における半田不良等が推測されている。図 5.11、図 5.12 にその故障箇所と推測されている SL 回路上での信号線の位置を示す。

C03 エラーの推測問題箇所(Endcap phi2/3 SL board Glink 3 受信IC周辺の回路図)

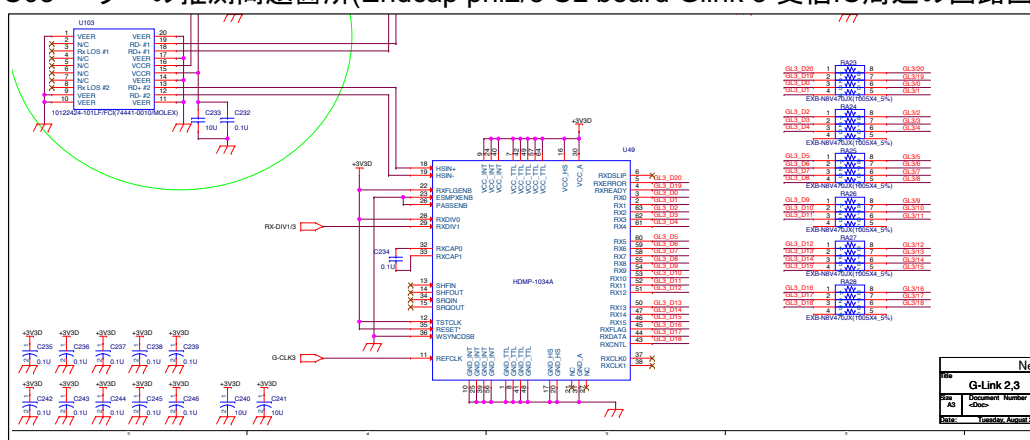


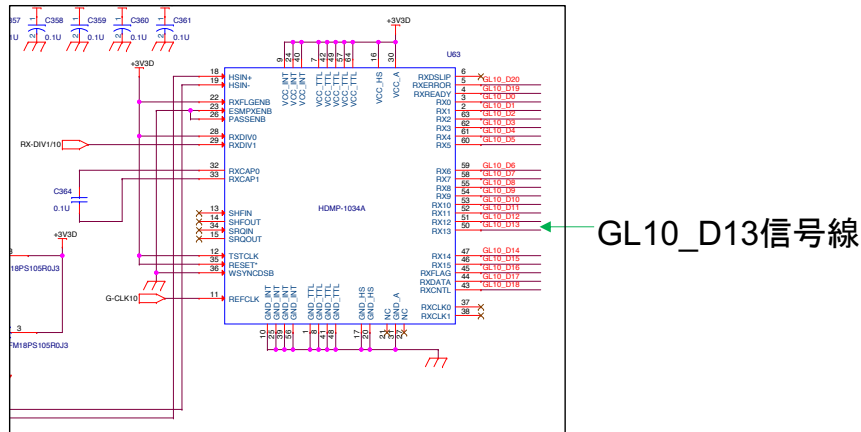
図 5.11: C03 セクター推定故障箇所。データの挙動よりこの図で示された受信 IC の不調であると推察される。

現在の各セクター毎の状況を図 5.13 に載せる。現在エラーが残る 1/12 セクターは C03、C10、C11 である。また C05、C08 は冷却の関係で電源が上げられず、トラックテストパルス試験が行えなかったセクターである。C03、C10、C11 については、前述の通り、故障箇所の同定は完了しており、Run 3 開始までのできる限り早いタイミングでの修理を予定している。C05、C08 については、2022 年の初頭に試験を行い必要なデバッグを進める。

5.3 トラックテストパルス試験による統合試運転のまとめ及び今後の展望

トラックテストパルス試験により、LHC 実験開始を待たずに新しいエレクトロニクスを含めて全システムを連動させる統合試運転が可能になった。統合試運転により新システムの運転経験を積むとともに、テストパルスフレームワーク自体の問題からエンドキャップ初段ミューオントリガーのハードウェアからソフトウェアに及ぶ各種問題をもれなく発見し、問題箇所を特定する事ができた。これによりエンドキャップ初段ミューオンの不調箇所の洗い出しを大幅に加速する事ができた。残るハードウェアの問題も問題箇所が既に特定され、その問題箇所のエレクトロニクスの交換等の予定が既に組まれている。全てのエレクトロニクス、ケーブルリングの不調の修正を Run 3 開始までに遅延なく完了し、Run 3 開始後におけるミューオントリガーの最高性能での運用を実現する。

C01 エラーの推測問題箇所(Forward SL board GL10_D13信号線)



C04, C11エラーの推測問題箇所(Endcap phi0/1 SL board GL5_D13信号線)

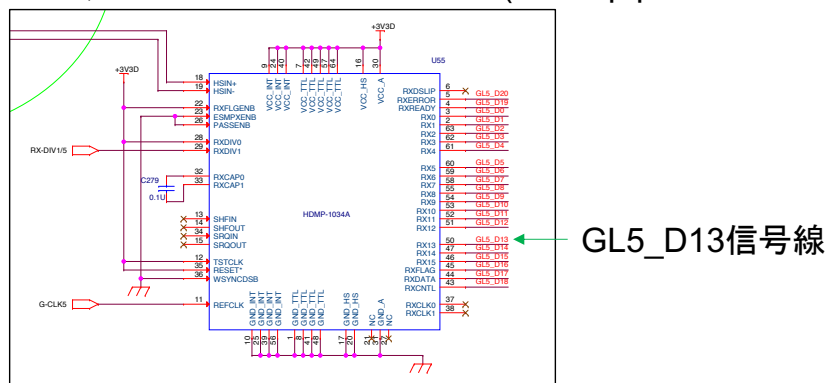


図 5.12: C01, C04, C11 セクター推定故障箇所。この信号線の G-link チップ側あるいは、FPGA 側の半田不良が推定される。

	A01	A02	A03	A04	A05	A06	A07	A08	A09	A10	A11	A12
再配線完了	完了 (10/9)	完了 (10/9)	完了 (10/7)	完了 (10/7)	完了 (10/7)	完了 (10/12)	完了 (10/12)	完了 (10/7)	完了 (10/7)	完了 (10/7)	完了 (10/9)	完了 (10/9)
トラック TP 完璧	完了 (12/16)	完了 (10/15)	完了 (10/15)	完了 (10/27)	完了 (10/19)	完了 (10/19)	完了 (11/5)	完了 (11/3)	完了 (10/15)	完了 (11/3)	完了 (12/16)	完了 (10/15)

	C01	C02	C03	C04	C05	C06	C07	C08	C09	C10	C11	C12
トラック TP 完璧	完了 (12/16)	完了 (10/5)	調査中(11/19/SL)	完了(12/16)	未着手	完了 (10/19)	完了 (11/3)	未着手	完了 (10/5)	調査中(11/6/FE)	調査中(11/19/SL)	完了 (10/5)

図 5.13: 現在の各セクター毎の状況。A side については、再配線完了し、トラックテストパルス試験でも期待された出力が見られている。C side については、C05, C08 が冷却の関係で電源が上げられず試験ができていない。また C03, C10, そして C11 では、トラックテストパルス試験で期待された出力が見られていない箇所が存在する。このようなスプレッドシートを共有し、一目でシステムの仕上がり具合が分かるように工夫した。

第 6 章

Run3 開始後のシステム診断フレームワーク とその解析手法

6.1 運転開始後の定期的なシステム診断の必要性

TGC システムを構成するチェンバーやチャンネル、そしてエレクトロニクスは、Run 3 開始後も時々刻々と変化をする。例えば、とあるチェンバーに HV が掛けられなくなり、そのチェンバーのチャンネルからの信号が全て読み出せなくなったり、エレクトロニクスの不調でそのエレクトロニクスが担当しているチャンネルからの信号が読みだせなくなってしまうことが起こりうる。3 章で議論した通り、TGC のトリガーロジックは、単一検出層の非効率に寛容に設計されている。例えば Doublet ワイヤー用の SLB ASIC のコインシデンスは、3-out-of-4 コインシデンスとなっており、4 層中の 1 層のチャンネルが何らかの原因で読み出せない状況でもトリガー出力を行う事ができる。一方、複数の層の突き抜けのチャンネルで読み出せない状況が生じると、その領域ではコインシデンスが成立せずトリガーとしての非効率が発生しうる。このような事態においては、SLB ASIC の機能を用いて不感領域の発生を回避する運用手法をとる。例えばとある Doublet ワイヤー用の SLB ASIC の担当している 2 層の同一箇所に読み出せないチャンネル (Missing Channel) が発生した場合、トリガーパスに設置しているコインシデンス入力部のチャンネルマスク機能を用いて、読み出せない 2 層のうち 1 層を “L”、もう一層を “H” にすることによって実効的に 2-out-of-2 コインシデンスを実現し、トリガーシステムにおいての不感領域の発生を回避することができる。TGC のトリガーシステムをロバストに運用するためには、Missing Channel を常に把握し、発生しうるトリガーとしての非効率を SLB ASIC の機能を最適に運用してできるだけ除くことが重要である。

また一方で、チャンネルのノイズが無視できなくなるほど多くなってしまった場合は、トリガーの入力として用いると本物のミュオン飛跡を検出できなくなったり、読み出しの通信帯域を奪ってしまうことにつながる。そのため各チャンネルのノイズ特性も常に把握し、新たに生じたノイズの多いチャンネル (Noisy Channel) に対して対処することが重要である。基本的な対処としては、PP ASIC でのバンチ識別 (BCID) 前に搭載されている各チャンネル毎のマスク機能 (BCID Mask) を用いて検出器からの信号を遮断する。BCID Mask は TGC システムのエレクトロニクスで最も上流に設置されているマスク機能である。また ASD ASIC の 16 チャンネルの全てが同様にノイジーチャンネルであった場合は、ASD ASIC の閾値電圧の不備が原因である可能性が高い。その場合、閾値電圧の最適化を行う。

以上のように、TGC システムの読み出し回路及びトリガー回路を安定的に動作させるためには、

- 1 読み出せないチャンネル位置、範囲の把握
- 2 ノイズの多いチャンネル位置、範囲の把握

が重要になる。項目 1 については、SLB ASIC 以降のデジタル回路の検証にデジタル回路に飛跡パターンを入力してトリガー回路系の試験であるトラックテストパルス試験を活用する一方で、トラックテストパルス試験で試験できない ASD ASIC-SLB ASIC 間を検出器の信号を模した試験電荷を入力する全読み出し系の試験である ASD テストパルス試験を活用して効率よく行う。ASD テストパルス試験を全チャンネルに打ち込み、その応答で Missing Channel を同定する。項目 2 については、ランダムな L1A 信号に対するチャンネルの Occupancy を確認し、Noisy Channel を同定するランダムトリガー試験を活用する。

Run 3 開始後、LHC のビームフィルに伴う停止期間で各検出器のテストに用いられる時間は、Run 1, 2 での経験からおよそ 30 分から 40 分程度と考えられている。その間にトラックテストパルス試験、ASD テストパルス試験、そしてランダムトリガー試験を組み合わせた TGC 検出器のシステム診断フレームワークを用いて頻度よく定期的に TGC システムを検査し、TGC システムの状況に合わせた柔軟な対処を行えるようにするのは、非常に重要である。

6.2 ASD テストパルス試験

この節では、ASD テストパルス試験についてそのフレームワーク及び解析手法について述べる。ASD テストパルス試験では、PP ASIC の TestPulse generator から送られた実際の検出器信号を模した試験電荷を送る (図 4.1)。ASD テストパルス試験では、ASD テストパルス用に PP ASIC のタイミングパラメータを設定する。全チャンネルで PP ASIC と ASD ASIC の信号ケーブル長は異なるが、それを事前に吸収するために調整された遅延を加える。これによりテストパルスの位置に関わる信号ケーブルの長さによらず、全ての ASD に同時にテストパルスを打ち込むことが可能になる。ASD テストパルス試験の目的は、全ての読み出しチャンネルが正常に動作しているか確かめることなので、ASD ASIC で設定されている閾値電圧よりもはるかに大きいテストパルス電圧を用いる。実際に現在、TpgAmp A/B は、その最大値 15 に設定されている。

パラメータ名	役割
TpgAmpA/B.	テストパルス電圧の大きさ (0-15 の 16 段階)、現在、最大値 15 で設定。
TpgCoarce Delay	TestPulse の Delay, 25 ns 刻み
TpgFineA/B	TestPulse の Delay, 0.9 ns 刻み
BCID MaskA/B	PP ASIC が担当する ASD ASIC からの 32 チャンネル各々に対し、BCID Mask 機能を用いて信号の遮断ができる。

表 6.1: ASD テストパルス試験用に設定するテストパルスに関するパラメータ

ASD テストパルス試験は、トラックテストパルス試験と同様、レコーディングレート 10 Hz (L1 rate=1 kHz, データ記録割合 0.01) の設定で行う。また ASD テストパルス試験では、後段の処理が考慮され、全てのチャンネルを同時に鳴らすわけではない。最初に全てのチャンネルは PP ASIC 上の BCID Mask 機能で遮断されている。全 40 種類のテストパルスパターンで指定されたチャンネルの BCID Mask 機能による遮断を解除し、順に鳴らされていく仕様になっている。またテストパルスパターンを切り替える際は、一度前のテストパルスパターンでマスクを外されたチャンネルに対して再びマスクをして (テストパターンの初期化)、その

後新しいテストパルスパターンで指定されたチャンネルのマスクが外される。各テストパルスパターンでマスクが外されたチャンネルは、1 秒間データ収集を行われる。そのフローチャートを、図 6.1 に示す。ここで、ファイル書き込み時間は、トラックテストパルス試験での値を用いた。ここから、コンフィグレーションを含

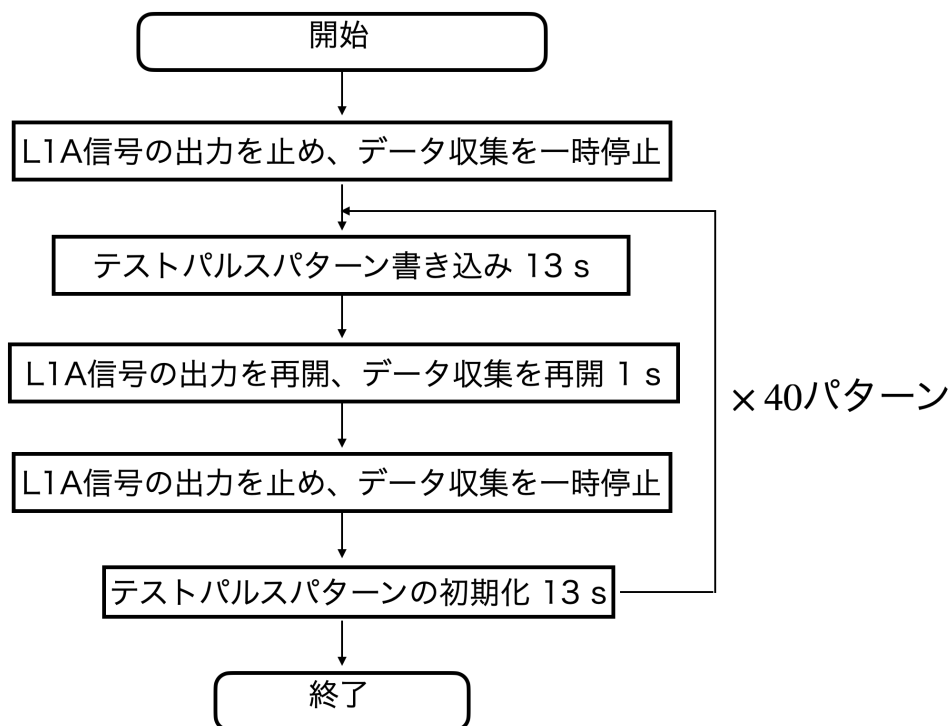


図 6.1: ASD テストパルス試験でのテストパルスパターンの切り替えのフローチャート

めないデータ収集時間は、以下のように概算される。

$$(13 + 1 + 13) \text{ s} \times 40 \text{ Files} = 1080 \text{ s} = 18 \text{ minutes} \quad (6.1)$$

6.2.1 ASD テストパルス試験解析

この小節では、ASD テストパルス試験で取得されたデータから、ASD テストパルスに対し応答がないチャンネル (以下 Missing Channel) を探す手法を示す。ASD テストパルス試験は次の要領で解析する。Missing Channel の判定基準として、当該チャンネルにテストパルスが打たれた回数で規格化し、70% を下回っていることから判断する。当該チャンネルにテストパルスが打たれた回数は、テストパルスの ON/OFF のタイミングをテストパルストリガーの回数の関係から正確に制御されていないため、データを用いて評価している。40 パターンあるテストパルス入力、エンドキャップ部トリガーセクターの奇数番 (計 24 個)、偶数番 (計 24 個)、フォワード部トリガーセクターの奇数番 (計 12 個)、偶数番 (計 12 個) に対称に打たれている。そのため当該トリガーセクターを除いた同一種類のトリガーセクターの同一チャンネルでの平均で全テストパルス数を評価している。一方この方法は、他のトリガーセクターに Missing Channel、Noisy Channel が存在していないことを仮定しており、ここに Missing Channel の判定閾値の 70% は、全テストパルス数の評価の誤差を考慮し、十分に正しく、誤検知や検知の漏れなく、Missing Channel を判定できるよう設定した。この値は、今

後の試験の結果をフィードバックして最適化を行う余地がある。図 6.2 に本手法で規格化した Hit Profile を示す。ASD 試験解析では、これらに加え、Missing Channel のリストがテキストファイルに出力される。

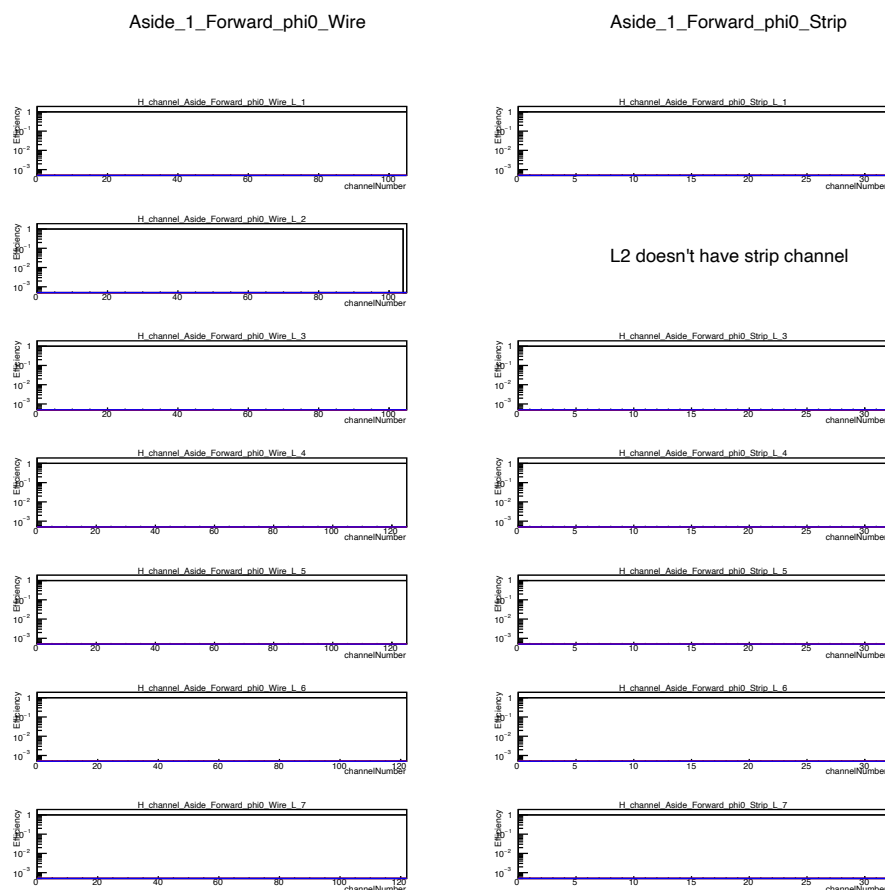


図 6.2: ASD テストパルス試験解析手法での規格された Hit profile。図は A01 Forward phi 0 のものであり、左がワイヤー、右がストリップ、上から順に TGC BW の全 7 層を示す。各プロットは、横軸がチャンネル、縦軸が Efficiency の対数である。またプロットの各色は、赤が Previous、黒が Current、青が Next BC のものである。ワイヤーの 2 層目のチャンネル 104、105 が Missing Channel であることが分かる。

6.3 ランダムトリガー試験

この節では、ランダムトリガー試験についてそのフレームワーク及び解析手法について述べる。ランダムトリガー試験では、L1 rate=1 kHz となるようにランダムに L1A 信号を TGC システムにブロードキャストし、検出器からの信号データを取得する。本研究で行ったランダムトリガー試験は、HV を掛けずに行い、レコーディングレート 1 kHz (L1 rate=1 kHz、データ記録割合=1) の設定の下で、各チャンネルのノイズ特性を調査した。

現在の TGC の運転パラメータでは、L1A 信号が出された事象及びその次の事象のデータを読み出しており、ランダムトリガー試験では 10 分間データ収集を行う。したがってデータに記録される全事象数は

$$1 \text{ kHz} \times 1 \times 600 \text{ s} \times 2\text{BC} = 1.2 \times 10^6 \text{ events} \quad (6.2)$$

となる。この全事象数は、解析を行いノイズの多いチャンネルを探すのに十分な量である。

次の小節では、このデータを用いてノイズの多いチャンネルを探す解析手法について述べる。

6.3.1 ランダムトリガー試験解析

この小説では、ランダムトリガー試験で取得されたデータから、ノイズの多いすなわち、L1A 信号が出された回数に対して、エン트리数が多いチャンネル (以下 Noisy Channel) を探す手法を示す。ランダムトリガー試験は、次の要領で解析する。Noisy Channel の判定基準として当該チャンネルのエン트리数を全事象で規格化した量 (Occupancy) が 10^{-4} を上回っていることから判断する。この 10^{-4} という条件は、Run 2 時までに使用された値をそのまま継承した。図 6.3 にランダムトリガー試験で得られた各チャンネルの Occupancy を示す。ランダムトリガー試験解析では、これらに加え、Noisy Channel のリストがテキストファイルに出力される。

6.4 フレームワーク化

統合試運転で開発したフレームワークを再活用し、誰でも使えることかつ即座に結果が容易に見られることをコンセプトに解析フレームワークも併せて開発した。5.1 節のフレームワークを基礎とし、トラックテストパルス、ASD テストパルス、ランダムトリガー試験のデータ収集の完了次第、上述の Profile やまとめのプロット等をまとめた PDF 出力や、テキストデータの出力が達成され Web インターフェースを用いて結果を確認できる。Run3 開始後本フレームワークを用いて運転のフィードバックにしかるべく用いられる。また LHC 加速器のビームフィルの間の限られた時間での運用を実現するために測定時間等の観点から最適化の余地はあるため、その最適化は今後の課題である。

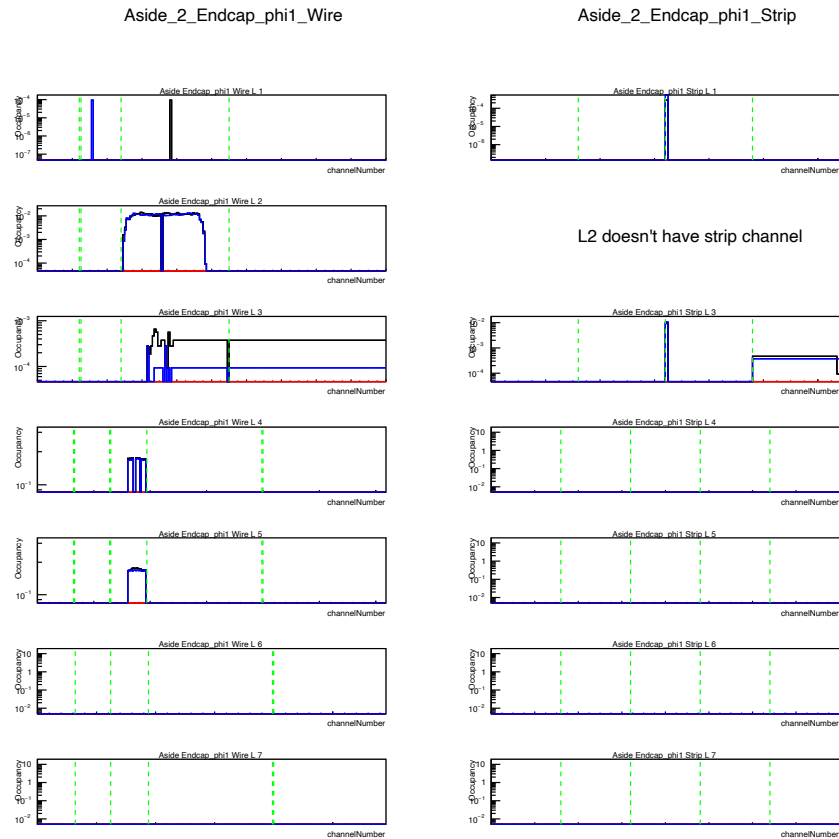


図 6.3: ランダムトリガー試験の全事象数で規格化された Hit profile。図は A02 Endcap phi 1 のものであり、左がワイヤー、右がストリップ、上から順に 1 層目から 7 層目までが順に示されている。各プロットは、横軸がチャンネル、縦軸が Occupancy の対数である。またプロットの各色は、L1A 信号に対するタイミングを示しており、赤が Previous, 黒が Current, 青が Next BC のものである。緑の点線は、チェンバーの切れ目を示す。Noisy channel は、ストリップ 1 層目の 64 チャンネル目のように 1 チャンネルのみが該当することもあれば、ワイヤー 2 層目の 49-96 チャンネルのように複数のチャンネルが該当することもある。またストリップ 3 層目の 96-127 チャンネルのように ASD ASIC の担当範囲のチャンネルが全ての Noisy Channel であり、同じ Occupancy を持っていることがある。この場合、ASD ASIC の閾値電圧の不備の可能性が高いということが分かる。

第7章

まとめと今後の展望

2022年4月開始のLHC-ATLAS実験Run 3では、新しい検出器やエレクトロニクスを導入し、トリガーの性能を高める。特に、エンドキャップ初段ミュオントリガーは、新たにNSWやRPC BIS78等の検出器信号が用いられることになる。この検出器信号の増加に伴い、エンドキャップ初段ミュオントリガーの新エレクトロニクスとして、New SLやSROD等が導入された。

本研究では、TGC検出器が備えるトラックテストパルス機能を用いてシステム全体の統合試運転を実現し、とりわけ新しいエレクトロニクスであるSL、SROD等の動作確認を行った。具体的には、SLのトリガー情報が出力されることが保証されるミュオンの無限運動量飛跡を模したトラックテストパルスパターンを、全てのSLのトリガー位置情報の出力単位RoIに網羅的に入力し試験することが可能になり、ハードウェア、ファームウェア、ソフトウェアの包括的なデバッグを効率的に行える。統合試運転により、エンドキャップ初段ミュオントリガーのハードウェア、ファームウェア、そしてソフトウェアに及ぶ各種不調問題をもれなく発見し、その問題箇所を特定できた。これによりRun 3開始後にベストパフォーマンスで臨むためのシステムの調整を可能な限り達成し、残る問題も調整完了までの予定が組まれるに至った。

加えて本研究では、Run 3開始後、LHCのビームダンプに伴う実験停止期間に行うことができるTGCシステムの診断フレームワークとして、トラックテストパルス試験及びTGC検出器のもう一つのテストパルス機能を活用した全読み出し系の試験であるASDテストパルス試験、そしてチャンネルのノイズ特性を調査するランダムトリガー試験を組み合わせたシステムの即時診断機構の実装も行った。またASDテストパルス試験の結果を解析し、読み出されていないチャンネルを包括的にリストする手法及びランダムトリガー試験の結果を解析し、ノイズの多いチャンネルを包括的にリストする手法を開発した。発見された問題に対し、TGC検出器が備えるマスク機能を用いてしかるべく対処を行うことにより、TGC検出器の読み出し、トリガーシステムをロバストに運用することができ、安定的な質の高い物理データ取得に大きく貢献することができる。

またこれらの試験の解析を自動的に行うフレームワークを開発し、誰でも即座に解析結果を確認することができる環境を整えた。Run 3開始後の24時間体制での試験開始後も本フレームワークを用いてTGC検出器システムの状況が常に理解され、本研究によって、最適な環境での運転を継続的に実現する基盤が構築された。

謝辞

本研究を進めるに当たり、多くの方々にお世話になりました。まず終始適切な助言を賜り、また丁寧に指導して下さった指導教員の奥村恭幸准教授に心より感謝します。入学前から CERN Summer Student 2020 の申し込み等の各種手続きでのサポートや研究についてもその内容、コーディングに関する相談及び発表資料に関する多くの助言をいただき、研究をスムーズに進めることができました。博士課程進学後もよろしくお願ひします。また日々の研究に関して、研究室ミーティングにて多くの助言をくださったスタッフの皆様から感謝します。石野雅也教授には、多くの点でお世話になりました。研究内容や共有した資料について素早く的確なコメントにはいつも非常に助けられています。齋藤智之助教には、トラックテストパルス試験や EEPROM 書き換えソフトウェア開発、そして発表資料に対する助言をいただき、とてもお世話になりました。また増淵達也助教には、KEK での ATLAS 検出器合同試験や SROD のデータフォーマットハッカソンの際等にかなり助けていただけました。

他の ICEPP の皆様にも大変お世話になりました。ATLAS 検出器輪講や機械学習の輪講等で多くの ICEPP の皆様や学生の方々と議論できて非常に楽しかったです。今後ともよろしくお願ひします。

また Run 3 に向けたアップグレード研究を行っている皆様に大変お世話になりました。青木雅人氏には、テストパルス試験フレームワークや KEK での研究面、生活面で大変お世話になりました。辻川さんには、EEPROM 書き換えソフトウェア開発やトラックテストパルスを活用した統合試運転、とりわけ SL タイミングパラメータ調整や SL ファームウェアに関して非常にお世話になりました。麻田さんにはテストパルス試験の設定や試験コマンドそしてテストパルスパターンの作成等で非常にお世話になりました。この他にも水上さん、吉村くん、寺村くんには ATLAS 検出器合同試験中等で大変お世話になりました。今後ともよろしくお願ひします。

そして奥村研究室の杉崎先輩、石野研究室の田中先輩には、非常にお世話になりました。これからもよろしくお願ひします。同じ大学出身の先輩方がいてとても心強かったです。また後輩の山下さんが作成してくれた SLB ASIC のマッピング表のおかげで、トラックパターンの制作の際、非常に助かりました。

また ICEPP の同期の方々にも大変お世話になりました。青木くん、これからもよろしくね。また岡崎くんには、大学院の院試勉強の時から大変お世話になりました。メディアセンターや日吉のドトールで共に勉強していたのが懐かしいです。共に合格し一緒に研究ができたこと、嬉しく思います。思い返してみると、ICEPP を志望したきっかけは岡崎が ICEPP のガイダンスに誘ってくれたことだったね。またその他の同期の皆様、M0 ゼミや日々の生活で大変お世話になりました。

最後に、ここまで日々を支えてくれた家族に感謝します。博士課程への進学の道を選ばせてくれて本当にありがとうございます。これからもよろしくお願ひします。

付録 A

TGC で用いられているデータフォーマット

この章では、TGC で用いられているデータフォーマットのうち、ROD-ROB データフォーマット、SROD データフォーマットを示したのち、ROBINNP カードがつける ROB ヘッダーのうち SROD データフォーマットに対してのエラー検知フラグをまとめた First Status Element について説明する。

A.0.1 ROD-ROB データフォーマット

図 A.1 に ROD-ROB データフォーマットを示す。

A.0.2 SROD データフォーマット

図に A.2 に SROD データフォーマットを示す。

A.0.3 ROBINNP カードがつける First Status Element

図 A.3 に NOBINNP カードがつける First Status Element の各ビットが示すエラーの内容を載せる。31-29 ビット目までが SROD からのデータの状況及び ROBINNP カードが行った対処について示している。28-24 ビットは、データを受信した際のエラーを示しており、このうち 26 ビット目の TX エラーについての詳細エラーが 23-16 ビット目で示される。特に 17 ビット目のフラグメントサイズエラーが起きた際は、SROD のデータフォーマットに従いデコードを行うのは、難しい。そこでデコーダーは、エラー検知・表示を行い、その SROD のデータに対しデコードを行わずスキップするよう設計した。

Table 1 The ROD output data format to the ROB

	Data word				Comments
	31..24	23..16	15..8	7..0	
Frame	x'B0F0xxxx'				event frame word (control mode word)
Hdr 0	x'EE1234EE'				start of header marker for ROD data
Hdr 1	<i>reserved</i>	<i>reserved</i>	header size = 9		words (excluding the x'B0F0xxxx' word)
Hdr 2	ATLAS format version=31		TGC format version=4.0		i.e.: ATLAS=0x03'01, TGC=0x04'00
Hdr 3	0	x'67' or x'68'	0	sector[12..1]	source id: x'67' / x'68' = A / C endcap;
Hdr 4	Run type	Run number			
Hdr 5	Level-1 ID				High byte is Extended Level-1 ID
Hdr 6	<i>reserved</i>	<i>reserved</i>	Bunch crossing ID[11..0]		
Hdr 7	<i>reserved</i>	<i>reserved</i>	<i>reserved</i>	Trigger type	
Hdr 8	Detector event type				not used yet
Status	First status word: specific generic				≠0: event is <i>not</i> OK. See Table 2, & [ref. 1]
Status	TGC ROD event status				See Table 3.
Status	ROD VME filter bits		Star Switch timeout or dropped status		one bit per SSW; Filter:1 = accepted. SSW: 1 = dropped or timed-out (see Table 4)
Status	Local status word		presence		Presence indicates which of the following fragments are present ^a . See Tables 5 & 6.
Status	orbit count				orbit count; zero for first L1AID. ^b
Data	Fragment ID	"raw" data word count ^c			fragment ID =1, length in words
Data	Fragment ID	"readout format" hit data word count			fragment ID =2, length in words ^d
Data	Fragment ID	"readout format" tracklet data word count ("tracklet"= 3/4 or 2/3 coincidence)			fragment ID =3, length in words
Data	Fragment ID	"chamber format" hit data word count			fragment ID =4, length in words
Data	Fragment ID	"chamber format" tracklet data word count			fragment ID =5, length in words
Data	Fragment ID	HipT output word count			fragment ID =8, length in words
Data	Fragment ID	Sector Logic word count			fragment ID =9, length in words
Data	raw data, hit, tracklet, sector logic, etc. fragments, in the order of the word counts.				See [ref. 6] and [ref. 8](raw) and Tables 7 to 10.
Data	...				
Data	last raw data, hit or tracklet word				
Trail 0	number of status elements = 5				
Trail 1	number of data elements				
Trail 2	Status block position = 0, i.e. data follows status				
Frame	x'E0F0xxxx'				event frame word (control mode word)

図 A.1: ROD データフォーマット

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Header [0]	0xee1234ee (byte1234ee)																															
Header [1]	0x0000 ATLAS format version = 3.1																header size = 0x9															
Header [2]	0x0000 SROD format version = 1.0																SROD format version = 1.0															
Header [3]	0x0000 Run Type								0x67 or 0x68 (A/C-Side)								0x00 Run number								0x0000 Applicator ID (0x11-0x13)							
Header [4]	0x0000 Extended Level-1 ID (8-bit ECRID + 24-bit L1ID)																															
Header [5]	0x0000 Bunch crossing ID																Trigger type															
Header [6]	0x00000000 Detector event type																															
Header [7]	Detector event type																															
Header [8]	Detector event type																															
Data [0]	0	0	0	E/F	Sub trigger sector	BC bitmap	0	Inner Coin Flags	Coin Flags	Sign	pT	RoI																				
Data [1]...	1	0	0	E/F	Sub trigger sector	BC bitmap	Muon cand.	SL input ID	0	φ	η																					
...	1	0	1	E/F	Sub trigger sector	BC bitmap	Muon cand.	SL input ID	BCID Lower 4bit**	NSW ID	Reserved	Low φ-res	Δφ																			
Data [N-1]...	1	1	0	0	Sub trigger sector	BC bitmap	Muon cand.	Reserved	φ	η																						
Data [N]	1	1	1	0	Sub trigger sector	BC bitmap	Muon cand.	Reserved	BCID Lower 4bit**	0	2/3flag	Δφ	Δη	Reserved																		
...	0	1	0	E/F	Sub trigger sector	BC bitmap	Reserved	Chamber C	F1																				EI			
Data [N-1]	0	0	1	E / F	Sub trigger sector	BC bitmap	Reserved	W / S	Chip	Card	hitT	Hit-ID	Pos	Sign	±ΔR		Δφ															
...	0	1	1	0	Sub trigger sector	BC bitmap	Reserved	BCID[3:0]	Mod3[2:0]	Mod2[2:0]	Mod1[2:0]	Mod0[2:0]																				
Data [N]	Detector specific status word (not fixed yet)																RPC NSW								generic status word (ATLAS Standard status words: defined)							
Status [0]	not defined yet																not defined yet								SL status bit							
Status [1]	TGC SROD status word (not defined yet)																SROD status words								Global Flag (TX1) Global Flag (TX0)							
Status [2]	number of status elements																number of data elements								status block position							
Trailer [0]	number of status elements																															
Trailer [1]	number of data elements																															
Trailer [2]	status block position																															

図 A.2: SROD データフォーマット

Bit	Name	Description		Notes
		RobinNP (since FW 1.6.0; tdaq-05-04-00)	SW ROD (since tdaq-09-04-00)	
31	Discard	The RobinNP / SW ROD did not have a fragment for the requested L1ID because it is in "discard" mode		An empty fragment is generated
30	Pending	The RobinNP / SW ROD did not have a fragment for the requested L1ID but this fragment may still arrive		An empty fragment is generated
29	Lost	The RobinNP / SW ROD did not have a fragment for the requested L1ID		An empty fragment is generated
28	Short Fragment	The amount of data received for this fragment was smaller than the size of an empty ROD fragment		If the fragment is too short to contain L1ID it is immediately deleted
27	Truncation	The amount of data received for this fragment was larger than the maximum fragment size the RobinNP / FELIX / SW ROD was configured to handle		The fragment is truncated
26	Tx Error	General flag for a S-Link / Netio transmission or formatting error		More detailed information is provided in bits 16 to 23
25	Sequence Error	The L1ID of this ROD fragment was not in sequence with the L1ID of the fragment previously received	Unused	L1ID_new ≠ (L1ID_old + 1) && L1ID_new ≠ (L1ID_old + ECR)
24	Duplicate Event	When this fragment was received the RobinNP / SW ROD still had a fragment with the same L1ID in memory		The old fragment is replaced with the new one
23	Format Error	The major format version (upper 16 bit) don't match expected format (currently 0x0301)		Bit 26 is set
22	Invalid Header Marker	The header marker was neither 0xee1234ee nor 0xee3412ee		
21	Missing EOF	The new fragment started with BOF, without the preceding one terminated by EOF	FELIX_STATUS_FW_HALF bit was set in the data chunk status byte	
20		Currently unused (for Run 1 see the following section)	FELIX_STATUS_FW_TRUNC bit was set in the data chunk status byte	Bits 26 and 27 are set by SW ROD
19	CTL Word Error	S-LINK transmission error on control word (EOF or BOF)	FELIX_STATUS_SW_HALF bit was set in the data chunk status byte	Bit 26 is set
18	Data Block Error	S-LINK transmission error on data block	FELIX_STATUS_FW_CRC bit set in the data chunk status byte	
17	Fragment Size Error	Actual number of words does not match header + trailer + number of data words + number of status words (indicated in trailer)		
16		Currently unused (for Run 1 see the following section)	FELIX_STATUS_SW_TRUNC bit was set in the data chunk status byte	Bits 26 and 27 are set by SW ROD

図 A.3: First Status Element の各ビットが示すエラー内容

付録 B

無限運動量飛跡を模したテストパルスパターン作成

この章では、トラックテストパルス試験に必要なテストパルスパターンの作成方法を述べる。この試験の目的は、全てのトリガーデータが出力させるようなパターンを用いて、

- 1 期待通りのタイミングで全てのトリガーデータが出力させることができたか
- 2 期待通りのトリガーデータが出力されているか

を確認することである。そのために確実に、全てのトリガーデータが出力される TGC BW 全 7 層にヒット点を残すミューオンの無限運動量飛跡パターンを模したテストパルスパターンを作成した。ミューオンの無限運動量飛跡の各層のヒット点は、図 B.1 に示すように、同一の (η, ϕ) を持つ。このようなテストパルスパターン

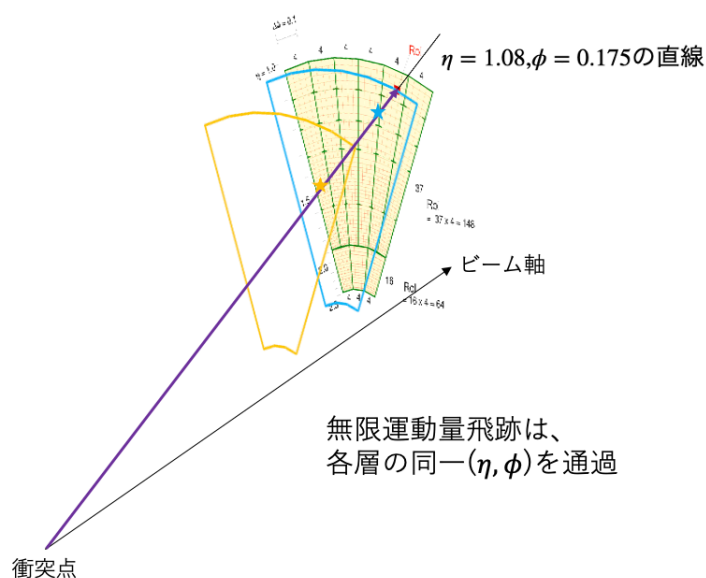


図 B.1: TGC BW 全 7 層にヒット点を残す無限運動量ミューオン飛跡の例

ンを作成するには、エレクトロニクスチャンネルマッピングを知っておく必要がある。まず TGC BW のトリガーデータに対しての SLB ASIC とチャンネルの対応表 B.1、表 B.2 を示す。ここで、表 B.1、表 B.2 の

チャンネルは、オンラインチャンネル番号というもので、ワイヤーの場合 η が大きくなるほど、ストリップの場合、 ϕ が大きくなるほど、チャンネルの番号が大きくなるようにつけられている。

PS board の名称	SLB ASIC の番号 (JTAG Access 時)	Main Channel	OR Channel
EWT0	2	0-5	–
	1	6-22, 25-39	23,24
	0	40-46, 48-72	47
EWT1	1	73-104	–
	0	105-108, 110-137	109
EWT2	1	138-169	–
	0	170-199	–
EWD0	1	0-5	–
	0	6-30, 32-38	31
EWD1	1	39-60,62-71	61
	0	72-92, 94-104	93
EWD2	1	105-136	–
	0	137-168	–
EWD3	1	169-197,200-202	198, 199
	0	203-234	–
EWD4	1	235-266	–
	0	267-294	–
FT0	1	0-31	–
	0	32-63	–
FT1	2	64-95	–
	1	96-104	–
FWD0	1	0-28	–
	0	29-60	–
FWD1	1	61-92	–
	0	93-120	–

表 B.1: SLB ASIC とワイヤーチャンネルとの関係

以下で SLB ASIC 上でのチャンネルマッピングについて説明する。

まず比較的簡単な構造のストリップを担当する SLB ASIC 上のチャンネルマッピングの様子を図 B.2 に示す。図に示された赤枠 (一番左の数字で 0-31 までに属するチャンネル) は Main Channel であり、緑枠は 1 つの ASD Chip に属するチャンネルを示す。ストリップには、Adjacent Channel はなく、Main Channel のみである。左図 (Endcap M1 Strip) での青枠は、1 つのチェンバーに属するチャンネルを示す。右図 (Endcap M2,M3) の青枠は、1 つのステーションに属するチャンネルを示す。左側の青枠が M3 , 右側の青枠が M2 に属するチャンネルを示す。また全ての青枠のうち、左側の input が A layer, 右側が B layer のものである。また、橙枠で囲まれた数字は、オフラインチャンネル番号である。5.1 節で説明するように、テストパルスの

PS board の名称	SLB ASIC の番号 (JTAG Access 時)	チェンバー
EST	1	T8, T7
	0	T6, T5
ESD0	1	T9
	0	T8
ESD1	2	T7
	1	T6
	0	T5
FT1	0	F-T1

表 B.2: SLB ASIC とワイヤーチャンネルとの関係, チャンネルは各 SLB ASIC で 0-31 である。

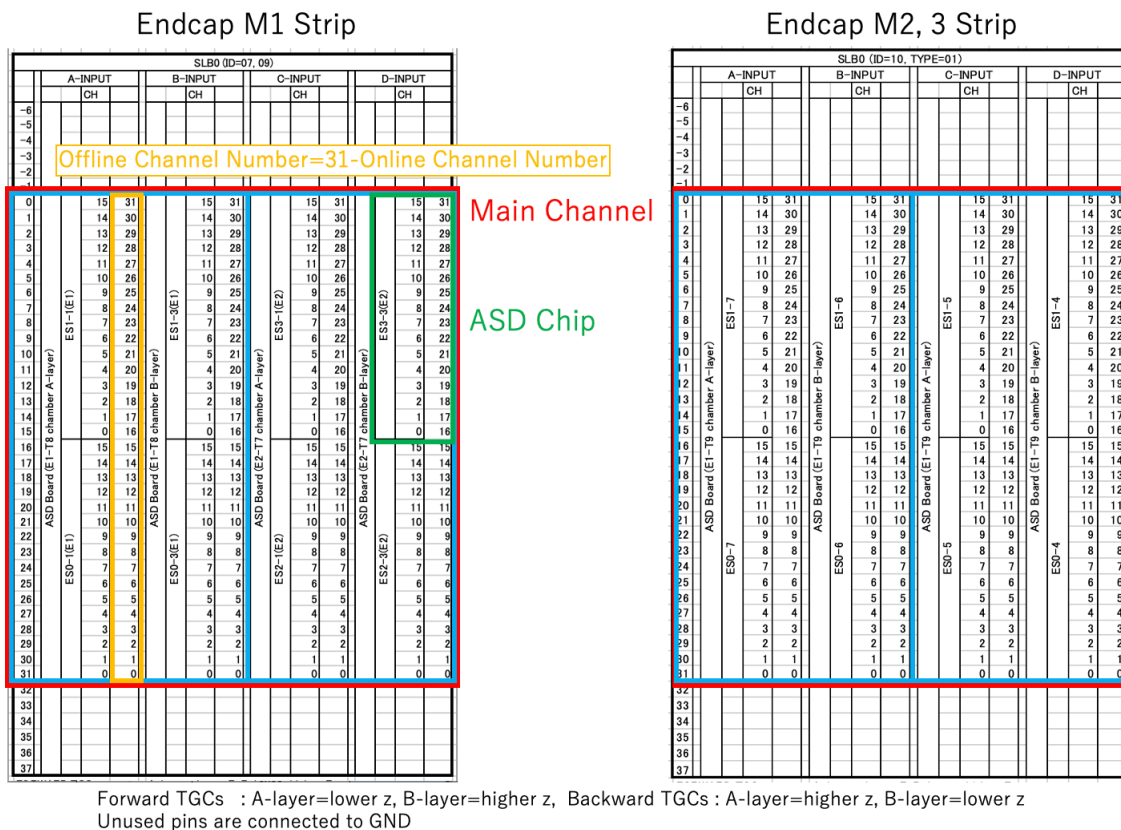


図 B.2: ストリップを担当する SLB ASIC 上のチャンネルマッピングの様子

解析では、オンラインチャンネル番号が用いられる。これら二つのチャンネル番号は、違いに逆順になっており、ストリップの場合、最大の番号が 31 なので

$$\text{Online Channel Number} = 31 - \text{Offline Channel Number} \quad (\text{B.1})$$

の関係が成り立つ。

ストリップの場合、トリガーセクター内の Online Channel Number は、Triplet, Doublet 問わず、同じ ϕ に属する。そのため、TGC 全 7 層で、同一の ϕ をならずには、図 B.2 で横一直線に並んだチャンネルの Bit を 1 にすれば良い。ただし、1 を立てるストリップが属するチェンバーは、鳴らしたい η に対応するワイヤーが属するものである。

次にワイヤーを担当する SLB ASIC 上のチャンネルマッピングの様子を図 B.3 に示す。図に示された赤枠

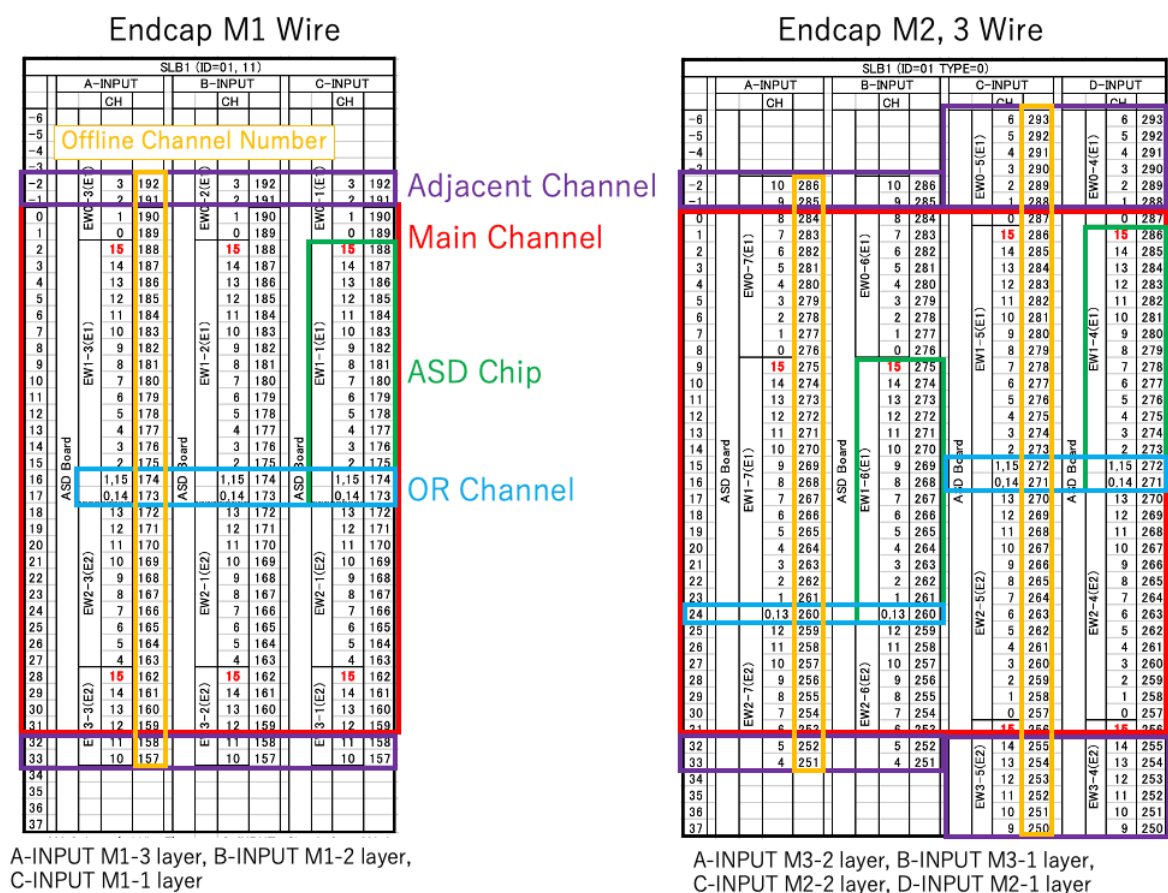


図 B.3: ワイヤーを担当する SLB ASIC 上のチャンネルマッピングの様子

(一番左の数字で 0-31 までに属する Channel) は Main Channel である。左図 (Endcap M 1 Wire) の A, B, C Input はそれぞれ M1 の 3,2,1 layer のものであり、右図 (Endcap M 1 Wire) の A, B, C, D Input はそれぞれ M3 の 2,1 layer, M2 の 2,1 layer のものである。Wire には、Main Channel の端のチャンネルに対しトリガーデータを計算するのに、必要な Adjacent Channel が存在する。左図では、Adjacent Channel は、 2×2 個存在し、右図では、M3 に属する Adjacent Channel は、 2×2 個存在し、M2 に属するものは、 6×2 個存在する。これは、M3 が pivot であり、トリガーを出力する可能性があるミュオンの飛跡の M3 への入

射角度を考慮すると、 $\Delta\eta_{23}$ を計算する際に、M2 にはより広範囲のチャンネルが必要だからである。

またワイヤーは、チェンバーの重なり部分である OR Channel(図の水色枠で示した)が存在する。ASD Chip の担当領域はこの OR Channel を基準になっている。またワイヤーの Online Channel Number と Offline Channel Number の関係は、数え方がストリップ同様に逆であるということに加え、Online Channel Number は、Main Channel と OR Channel に被りがないように設定されているという違いがある。

Wire の場合も Triplet 内、Doublet 内で、各層で η が最も近い組み合わせの一つを手に入れるは簡単で、図 B.3 で横一列に並んだチャンネルの組がそれである。しかし Triplet, Doublet の対応は、一目ではわからない。厳密に行うには、Triplet, Doublet でスタッガリング構造を考慮に入れた “Staggered Channel” に対する η からその対応関係を探す必要がある。しかし時間的制約がある中で、それを行うのは適切ではないと判断し、以下のような簡単な考察をしてその大まかな対応関係を求めた。まず Triplet-Doublet の最も近い η のチャンネルの組み合わせを求めるのに必要なのは、Triplet, Doublet チャンネルのそれぞれの η である。TGC 検出器のチャンネルは、各層において隣あうチャンネルの η の差 $\Delta\eta$ が一定になるように、カソードワイヤー線、アノードストリップ線をグルーピングして作られている。これに注意し、図 B.4 を参考にこれを求めた。

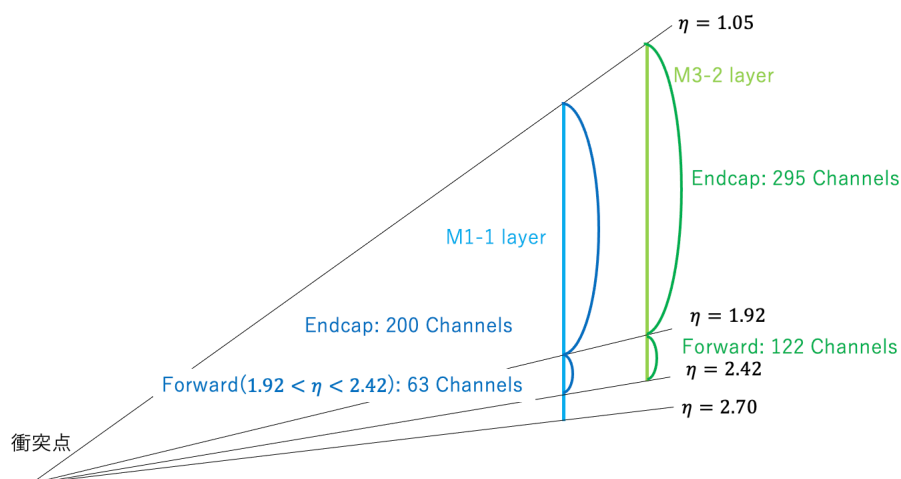


図 B.4: Triplet, Doublet の各チャンネルの η の計算方法

まずエンドキャップ部を考える。図から M1 1 層目の Online Channel: i の η 、 η_i について以下の式が成り立つ。

$$\eta_i = 1.05 + (1.92 - 1.05) \times i/200 \quad (\text{B.2})$$

同様に M3 2 層目の Online Channel: j の η 、 η_j について以下の式が成り立つ。

$$\eta_j = 1.05 + (1.92 - 1.05) \times j/295 \quad (\text{B.3})$$

上記の式より、最も近い η に属する i, j の組み合わせは、 $\eta_i = \eta_j$ より

$$i = [j \times 200/295] \quad (\text{B.4})$$

となる。ただし $[\]$ はガウス記号である。次にフォワード部を考える。ただし、M1 のフォワード部は、MDT に ϕ を提供するためだけの TGC BW のトリガーには使われない部分が存在する。図 B.4 の $2.42 < \eta < 2.70$ の領域である。この部分にも $\Delta\eta$ のトリガーに使用されているチャンネルと比べ、およそ 2 倍程度になって

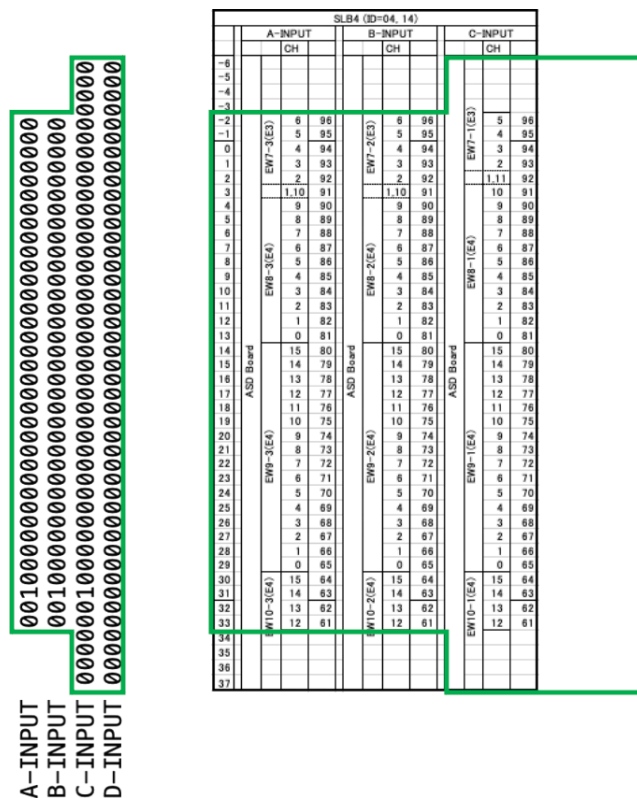


図 B.7: 160 Bit TPP parameter と SLB ASIC の対応関係の例。TPP parameter を “凸型” に整形することによって TPP parameter で “1” を立てたチャンネルが SLB ASIC 上のどのチャンネルに対応するか分かる。

“凸型” に整形したものである。また使った TPP parameter は、図 B.5 の 1 行目のものである。この “凸型” の TPP parameter と右図の SLB ASIC の凸型の領域は対応しており、Offline Channel Number: 63 のチャンネルが鳴るようなテストパターンだと分かる。

参考文献

- [1] PW Higgs. Broken symmetries, massless particles and gauge fields. *Selected Papers on Gauge Theory of Weak and Electromagnetic Interactions*, p. 125, 1981.
- [2] 天文学辞典 (日本天文学会).
- [3] Mark Trodden and Sean M. Carroll. Tasi lectures: Introduction to cosmology, 2004.
- [4] C. Grojean. Higgs Physics. pp. 143–158. 12 p, Aug 2017. 12 pages, contribution to the CERN in the Proceedings of the 2015 CERN-Latin-American School of High-Energy Physics, Ibarra, Ecuador, 4 - 17 March 2015.
- [5] D. de Florian and the others. Handbook of lhc higgs cross sections: 4. deciphering the nature of the higgs sector. <https://arxiv.org/abs/1610.07922>.
- [6] J. Tanaka, T. Yamamura, S. Asai, and J. Kanzaki. Study of black holes with the atlas detector at the lhc. *The European Physical Journal C*, Vol. 41, No. S2, p. 19–33, Jul 2005.
- [7] 浅井祥仁. LHC で期待されている物理. <http://www.icepp.s.u-tokyo.ac.jp/~asai/pamph/koene-newsfinal.pdf>.
- [8] Immersive tour of the accelerator complex. <https://home.cern/science/accelerators/accelerator-complex/panoramas> (参照 2021/11/26).
- [9] Renilde Vanden Broeck. THE CERN ACCELERATOR COMPLEX. Complexe des accélérateurs du CERN. Sep 2019.
- [10] <https://project-hl-lhc-industry.web.cern.ch/content/project-schedule> (参照 2021/12/31).
- [11] Aad, et al. The ATLAS Experiment at the CERN Large Hadron Collider. *JINST*, Vol. 3, p. S08003. 437 p, 2008. Also published by CERN Geneva in 2010.
- [12] 杉崎海斗. LHC-ATLAS 実験 Run 3 の開始に向けたミュオントリガー回路系の高速読み出しと統合制御の実現. Master's thesis, 東京大学, 2021.
- [13] J P Badiou, J Beltramelli, J M Baze, and J Belorgey. *ATLAS barrel toroid: Technical Design Report*. Technical design report. ATLAS. CERN, Geneva, 1997. Electronic version not available.
- [14] Aad, et al. Alignment of the ATLAS Inner Detector in Run-2. *Eur. Phys. J. C*, Vol. 80, p. 1194. 41 p, Jul 2020. 61 pages in total, author list starting page 45, 26 figures, 4 tables, published in EPJC. All figures including auxiliary figures are available at <http://atlas.web.cern.ch/Atlas/GROUPS/PHYSICS/PAPERS/IDTR-2019-05>.
- [15] Geoffrey Mullier. The upgraded pixel detector of the atlas experiment for run-2 at the large hadron collider. *Journal of Instrumentation*, Vol. 11, , 2016.

- [16] Aad, et al. Commissioning of the ATLAS Muon Spectrometer with Cosmic Rays. Commissioning of the ATLAS Muon Spectrometer with Cosmic Rays. *Eur. Phys. J. C*, Vol. 70, pp. 875–916. 58 p, Aug 2010.
- [17] A Zibell. Micromegas detectors for the upgrade of the ATLAS Muon Spectrometer. Feb 2014.
- [18] Nir Amram and Erez Etzion. Hough transform track reconstruction in the cathode strip chambers in atlas. 01 2022.
- [19] *ATLAS level-1 trigger: Technical Design Report*. Technical design report. ATLAS. CERN, Geneva, 1998.
- [20] 大町千尋. ATLAS 実験におけるシミュレーションを用いたエンドキャップトリガーの性能評価. Master's thesis, 神戸大学, 2006.
- [21] Functional diagram of the ATLAS Trigger and Data Acquisition system in Run 3.
- [22] 赤塚 駿一. LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良. Master's thesis, 京都大学, 2016.
- [23] M. Miyahara, O. Sasaki, H. Asada, Y. Horii, M. Ikeno, H. Inaguma, S. Ito, M. Tomoto and others. Patch-Panel ASIC Final Design Review. <http://openit.kek.jp/project/atlas-tgc-pp/>(参照 2021/12/09).
- [24] 片岡 洋介. ATLAS 実験ミュオントリガーシステムのビームテスト及びシミュレーションによる総合評価. Master's thesis, 東京大学.
- [25] ATLAS-Japan TGC electronics group. Slave Board ASIC Technical Document. <https://www.comp.tmu.ac.jp/morbier/work/SLBASIC.pdf>(参照 2021/12/09).
- [26] Hi-pT Trigger ASIC for ATLAS TGC. https://www.comp.tmu.ac.jp/morbier/public_html/atlas/TGCElexDocumLib.htm (参照 2021/12/09).
- [27] 辻川 吉明. LHC-ATLAS 実験 Run-3 に向けた TGC 検出器を用いた初段ミュオントリガーシステムの検証. Master's thesis, 京都大学.
- [28] Hiroshi Nomoto. Star Switch Spec, 2009.
- [29] ATLAS Collaboration. ATLAS Endcap Muon Trigger Read Out Driver – TGC ROD.
- [30] Sugizaki, Kaito. Integration and commissioning of the software-based readout system for atlas level-1 endcap muon trigger in run 3. *EPJ Web Conf.*, Vol. 251, p. 04015, 2021.
- [31] 杉本拓也, 戸本 誠. ATLAS ミュオントリガーシステムのコミッショニングと統合試運転. 2008.
- [32] C P Bee, D Francis, L Mapelli, R McLaren, Giuseppe Mornacchi, J Petersen, and F J Wickens. The raw event format in the ATLAS Trigger & DAQ. Technical report, CERN, Geneva, Feb 2016. Revised version number 5 submitted on 2016-11-03 11:47.