

修士学位論文

ATLAS 実験液体アルゴンカロリメータのアップグレード  
に向けた高速高密度データ通信回路の研究開発

東京大学大学院  
理学系研究科物理学専攻  
田中研究室

嶺岸優司

2015 年 1 月 5 日

## 概要

2012年、ヒッグス粒子発見により標準理論が完成したが、それを越えた理論があることを暗黒物質の存在やバリオン数非対称問題等が示唆している。LHCは、標準理論を超えた理論が预言する新しい素粒子現象の直接探索や精密測定による標準理論からのずれを発見するためにアップグレードを重ねる計画である。本論文の研究は2018 - 2019年のPhase-I アップグレードに向けた研究であり、LHCのルミノシティ上昇に対応した液体アルゴン電磁カロリメータの読み出しシステムの開発がテーマとなる。

Phase-I アップグレードでは、新トリガー読み出し構造 Supercell によって従来の10倍の読み出し数になった。Supercell からの情報はフロントエンドでデジタル化され、バックエンドでそのデジタル信号をエネルギー、時間情報に変換してL1 トリガーへ送る。本研究は、バックエンドに新たに導入される読み出しシステムに搭載される高速読み出し通信回路の研究開発を行う。今回の開発では、新読み出しシステムに搭載される機能を全て織り込むが、性能に関しては完全を求めないテストボードを開発した。本ボードは7.8 mm × 8.2 mm という小型の通信モジュールであるAvago社のMicroPODを用いた。これにより、100 Gbps以上の高速読み出しを光通信で実現できる。テストボードの開発には約半年を要し、MicroPOD 2ペアを用いた240 Gbps (10 Gbps×24Lane) で光通信を行うボードを作成した。エラーレートは各レーンで $10^{-15}$ 未滿を達成し、高速光通信による安定的な通信回路の開発に成功した。

# 目次

第 1 章	序論	5
1.1	研究背景と目的	5
1.1.1	LHC アップグレード計画	5
1.1.2	信号事象と背景事象の特徴	6
1.1.3	セル構造	7
1.1.4	Supercell	8
1.1.5	新読み出し構造のためのアップグレードとテストボード開発	9
第 2 章	LHC ATLAS 実験	11
2.1	LHC 加速器	11
2.1.1	Linac 2 ~ LHC	11
2.2	ATLAS 検出器	12
2.2.1	ATLAS 検出器概観	12
2.2.2	ATLAS におけるパラメータ	12
2.2.3	内部飛跡検出器	13
2.2.4	カロリメータ	15
2.2.5	ミューオンスペクトロメータ	18
2.3	カロリメータの読み出し	20
2.3.1	フロントエンド	21
2.3.2	バックエンド	24
2.3.3	L1Calo トリガーシステム	26
第 3 章	ATLAS Phase-I アップグレード	29
3.1	アップグレード (フロントエンド)	29
3.1.1	LSB	29
3.1.2	ベースプレーン	30
3.1.3	LTDB	30
3.2	アップグレード (バックエンド)	32
3.2.1	LDPS	32
第 4 章	高速光通信テストボード「Akatsuki」の開発	37
4.1	仕様	37
4.2	ボード開発の流れ	38
4.3	製作過程	38

---

4.3.1	部品選択 . . . . .	38
4.3.2	各部品と FPGA の位置関係 . . . . .	41
4.3.3	回路図の作成 . . . . .	43
4.3.4	配線とレイヤー構成 . . . . .	47
4.4	まとめ . . . . .	52
第 5 章	テストボードの性能評価	53
5.1	GTX トランシーバ . . . . .	53
5.1.1	PLL (Phase Locked Loop) . . . . .	53
5.1.2	Tx / Rx . . . . .	55
5.2	ループバックテスト . . . . .	62
5.2.1	Bit Error Rate (BER) と EYE パターンの測定 . . . . .	62
5.2.2	任意データによるループバック試験 . . . . .	67
5.3	温度測定 . . . . .	68
5.4	まとめ . . . . .	70
第 6 章	まとめ	71
付録 A	Akatsuki 回路図	73
参考文献		89

# 第 1 章

## 序論

### 1.1 研究背景と目的

本研究は、LHC におけるアップグレードから要請される ATLAS 電磁カロリメータ検出器のトリガー読み出し回路システムのアップグレードを目的としている。トリガーシステムの中でも Phase-I アップグレードでバックエンドに新たに導入される LAr Digital Processing System (LDPS) に焦点を当て、光信号での入出力とデジタル処理をメインに行う Advanced Mezzanine Card (AMC) の開発を目指している。本論文は、その AMC 開発のためのテストボード開発と評価が主となる。

本章では、この研究を行うに至った背景を説明する。

#### 1.1.1 LHC アップグレード計画

LHC は、2010 年から 2012 年にかけて、最高重心系エネルギー 8 TeV、最高瞬間ルミノシティ  $7.7 \times 10^{33} \text{ cm}^{-2} \text{ s}^{-1}$  で稼働し、2015 年春の再稼働に向けて LHC 加速器や検出器の補強・補修や新しい検出器の導入を行っている。積分ルミノシティは  $25 \text{ fb}^{-1}$  に達し、2012 年の発表でついにヒッグス粒子の存在が証明された。これからの LHC 実験は、超対称性粒子等の新たな素粒子の探索とともに、ヒッグス粒子の性質をより精度よく検証するためにデータの数を増やしていく必要がある。これにより、LHC は重心エネルギーとともにルミノシティの値を増加して稼働させていくことになる。

年	-2012	2013-2014	2015-2018	2018-2019
LHC 運転	Run 1	補修	Run2	Phase-I アップグレード
瞬間ルミノシティ [ $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ ]	0.77		1	
衝突エネルギー	7 - 8 TeV		13-14 TeV	
積分ルミノシティ	$25 \text{ fb}^{-1}$		$100 \text{ fb}^{-1}$	

2020-2121	2022-2023	2023-2032
Run3	補修	HL-LHC 運転 (約 3 年おきに補修が入る予定)
2		5
14 TeV		14 TeV
$300 \text{ fb}^{-1}$		$3000 \text{ fb}^{-1}$

表 1.1 LHC アップグレード計画

LHC のルミノシティ上昇により、2018 年の Phase-I アップグレードで液体アルゴンカロリメータによる検出数が、ジェット起源の粒子の増加により上昇する。よって、レベル 1 トリガー (L1) に要請されるトリガーレートまで抑えるために、トリガー回路に課すエネルギー閾値を増加させることになる。この結果、本来見たい粒子まで落としてしまう割合が増加し、効率の悪い測定となってしまふ。図 1.1 は、シングル電子と光子の検出レートをレベル 1 トリガーに要請されている 20 kHz まで抑えるためのエネルギー閾値とルミノシティの関係を表したグラフである。3 つの色は、L1 トリガータワーにおけるノイズ抑制閾値のレベルによって分けている。Phase-I アップグレード後の Run 3 ( $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ ) では、閾値が約 45 GeV にもなる。これは、データ解析においては例えばトリガー効率が電子の横エネルギーの値によらず一定にするためには、閾値が 50-55 GeV にも及び、W、Z 生成等から生じる電子の多くを捕まえることができず、このようなプロセスをトリガーレベルで落とすことになる。

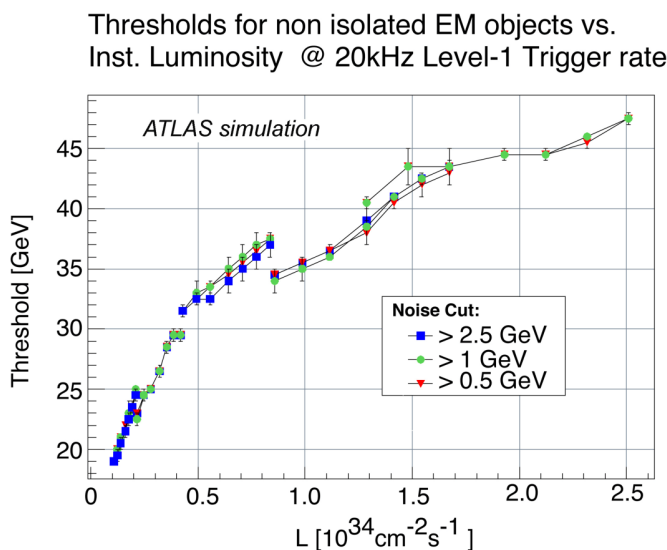


図 1.1 最高瞬間ルミノシティの変化に対する、シングル電子/光子の検出レートをレベル 1 トリガーで 20kHz 以下に抑えるためのエネルギー閾値. 3 つの曲線はノイズをおさえるためのエネルギー閾値の違いによるものである。

### 1.1.2 信号事象と背景事象の特徴

ヒッグス粒子が発見された今、ヒッグス粒子を数多く生成して精度よくこの粒子の性質を測定することは LHC 実験の主な目的のひとつである。LHC 実験の測定対象のメインの一つはヒッグス粒子であるので、ヒッグス粒子の崩壊で生成される粒子をみていく。ヒッグス粒子は LHC 内での陽子衝突により、図 1.2 のように様々な過程で生成される。生成後は寿命である  $1.6 \times 10^{-22}$  秒 (ヒッグス質量が 126 GeV の場合) を平均的に生きた後、図 1.3 のように  $H \rightarrow WW$  や  $H \rightarrow b\bar{b}$ 、 $H \rightarrow \gamma\gamma$  等に崩壊する。電磁カロリメータでは、ヒッグス粒子からの W/Z、あるいは VH 生成過程でヒッグス粒子に随伴する W/Z の崩壊から生じる電子や、 $H \rightarrow \gamma\gamma$  の光子を検出する。また、データ解析では  $W \rightarrow e\nu$  や  $Z \rightarrow ee$  プロセス (ヒッグスの崩壊ではなく一般的な Drell-Yan 過程) のイベントを数多く取得することはモンテカルロシミュレーションの改善等に非常に重要である。このように W/Z から生じる電子や光子はデータ解析において重要な観測対象である。このような電子、光子の広がり  $\Delta R \simeq 0.08$  ( $\Delta R = \sqrt{(\Delta\eta)^2 + (\Delta\phi)^2}$ ) である。このような事象の中で最も断面積の大きい  $W \rightarrow e\nu$  チャンネルでも断面積は 20 nb ほどで、Run 3 の環境下 ( $\sqrt{s} = 14 \text{ TeV}$ ,  $L = 2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ , 40 MHz) で、1 BC あたり  $10^{-5}$  だけ生成される。

これに対し、QCD 由来のジェット粒子は生成断面積が約 80 mb もあり、これが大きな運動量を持った

電子と誤認識されてしまう主な原因となる。よって、これを落とすことが重要な課題の一つである。また、ジェット粒子のサイズは  $\Delta R \simeq 0.8$  であり、これは電子の 10 倍程になる。エネルギー閾値を上げすぎてしまうと、質量 90 GeV 程度のウィークボソンによるレプトニック崩壊イベントを落としてしまうことになるので、アップグレード後は細かいセル読み出しによって電子のシャワーシェイプを測定し、ジェット粒子と区別することを目指している。そのために考案された読み出し構造が Supercell である。

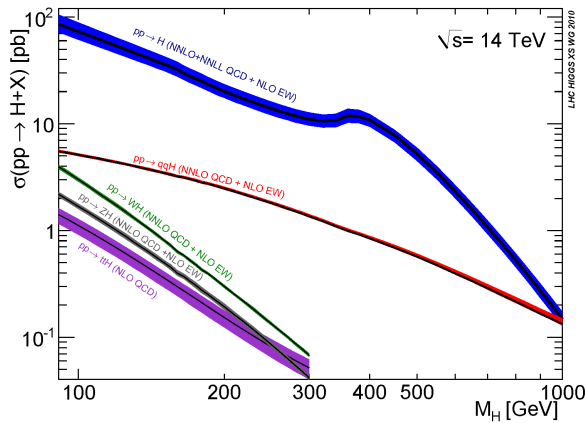


図 1.2 ヒッグス粒子の生成断面積

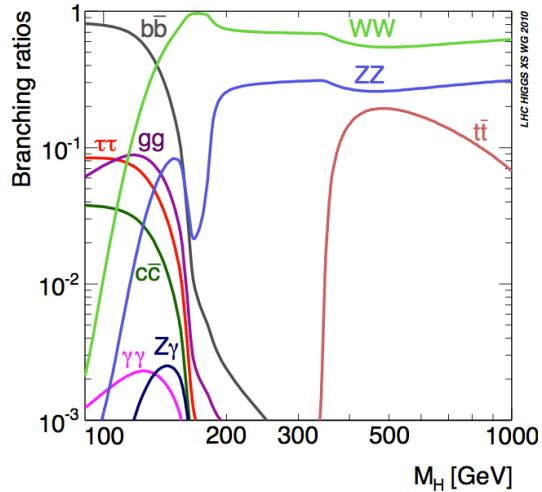


図 1.3 ヒッグス粒子の分岐比

### 1.1.3 セル構造

Supercell はカロリメータのセルに落とされたエネルギーデータの足し合わせで構築されるので、まず液体アルゴンカロリメータのセル構造について説明する。

図 1.4 のように、液体アルゴン電磁カロリメータはビームの入射方向に 4 層に分かれた構造をとっている。プリサンプラーと呼ばれる第 0 層は、 $\Delta\eta \times \Delta\phi = 0.1 \times \frac{2\pi}{64}$  ( $\sim 0.1$ ) の領域に対して  $4 \times 1$  分割されている。次に、第 1 層はフロント層と呼ばれ、同領域に対して  $32 \times 1$  分割されており、 $\eta$  方向に対して精度のよい測定が可能となっている。これは、この層でフォトンの位置を精確に測定することが想定されているからである。第 2 層はミドル層と呼ばれ、 $4 \times 4$  分割されている。 $\phi$  方向に細くなった理由は、この層で電磁シャワーの広がり測定したいからである。ビーム軸に対して一番外側にある第 3 層はバック層と呼ばれ、 $2 \times 4$  分割されている。以上より、電磁カロリメータは  $0.1 \times 0.1$  の領域に対して、 $4 + 32 + 16 + 8 = 60$  枚のセルから成り立っている。

しかしこれまでの ATLAS 実験では、L1 トリガーでこれら 60 枚のセルを別々に読み出してはなかった。その理由はデータ量が膨大となり、処理が困難だからである。実際に L1 に転送される情報は、フロントエンドのタワービルダーボードでこれら 60 枚のデータを一つにまとめ、トリガータワーと呼ばれる読み出し構造で読み出していた。ゆえに  $0.1 \times 0.1$  未満の情報取得できない測定環境にあった。Phase-I アップグレード後の測定ではジェット粒子と電子を識別したいので、これらを区別できるオーダーの位置分解能が要求される。

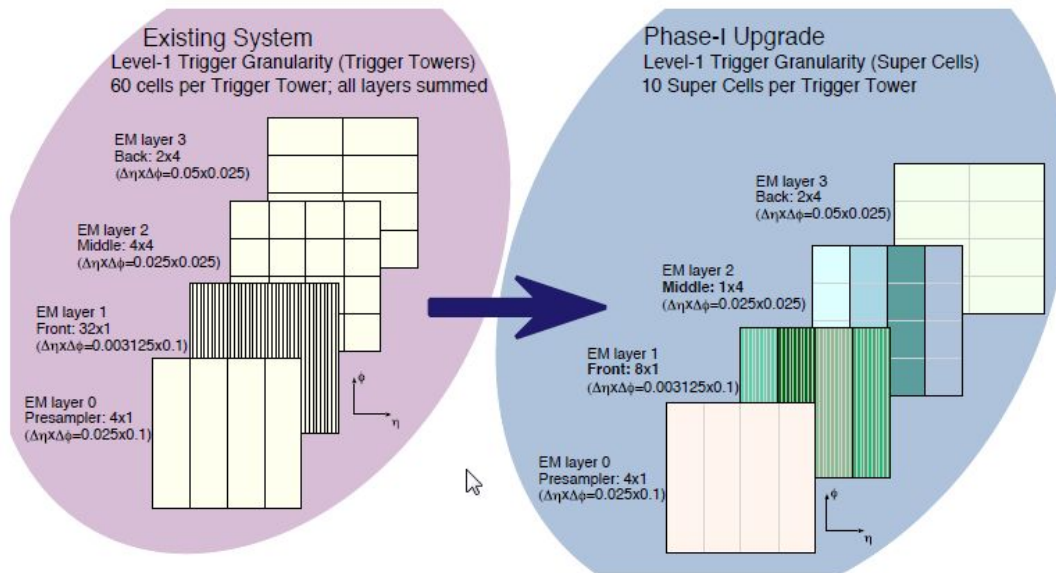


図 1.4  $\Delta\eta \times \Delta\phi$  領域の ATLAS 電磁カロリメータのセル構造

左：4 層全ての和をとって 1 つで読み出している現行のトリガー読み出し構造。

右：1 (第 0 層) + 4 (第 1 層) + 4 (第 2 層) + 1 (第 3 層) の 10 個の Supercell で読み出す。

### 1.1.4 Supercell

上で述べたように従来のトリガータワー読み出し構造では、 $\Delta\eta \times \Delta\phi = 0.1 \times 0.1$  の領域を 4 層まとめて読み出していた。新読み出し構造 Supercell ではこれら 4 層を別々に読み出し、且つフロント層とミドル層は  $\eta$  方向に 4 倍細かい  $0.025 \times 0.1$  で読み出す。よって、L1 での読み出しはこれまでの 10 倍になる。この構造によって電子のシャワーシェイプを特定でき、ジェット粒子と区別することが可能となる。

実際に、 $Z \rightarrow ee$  プロセスと、QCD-2Jet プロセスのイベントサンプルを用いて、ジェット粒子を除くためのカットパラメータによるレベル 1 トリガーレートの変化をシミュレートした。ここでは、電子のトリガー効率が 90% を切らない条件の下で、横エネルギーの値からトリガーレートを見積もった。カットパラメータには、HadCore と  $R_{\text{eta}}$  という変数を用いた。HadCore とは、ハドロニックカロリメータの  $0.2 \times 0.2$  の領域に落としたエネルギーである。電子はハドロニックカロリメータまで到達できたとしてもほとんどのエネルギーを失っているはずなのでこの値がジェットに比べて小さくなる。一方、 $R_{\text{eta}}$  とはカロリメータ第 2 層の  $0.075 \times 0.2$  と  $0.175 \times 0.2$  の領域に落としたエネルギーの比として計算される。図 1.5 は、 $R_{\text{eta}}$  に対する電子とジェットの分布である。広がりを持つジェットは、小さい方の領域である  $0.075 \times 0.2$  からもれるので、電子と比べて  $R_{\text{eta}}$  が 1 に近い値とならない確率が高い。 $R_{\text{eta}} = 0.94$  でカットをかけると 90% のトリガー効率を保ったままジェットを落とせるので、0.94 未満の  $R_{\text{eta}}$  を持ったイベントをカットした。図 1.6 は、これらの変数を用いてジェットを落とした場合の電子の L1 トリガーレートとエネルギー閾値の関係である。HadCore は、Supercell 単位の細かい情報を必要としないので、トリガータワーと Supercell どちらに対しても適用可能である。トリガータワーでは、L1 の EM オブジェクトに求められている 20 kHz を達成するために、このカットによって 35 GeV までエネルギー閾値を落としていることが分かる (赤点)。Supercell ではこれに加えて  $R_{\text{eta}}$  でのカットが加わり、27 GeV まで閾値を落としていることが分かる (青点)。実際に 20 GeV まで落とすには他にいくつかのカットパラメータを設ける必要がある。



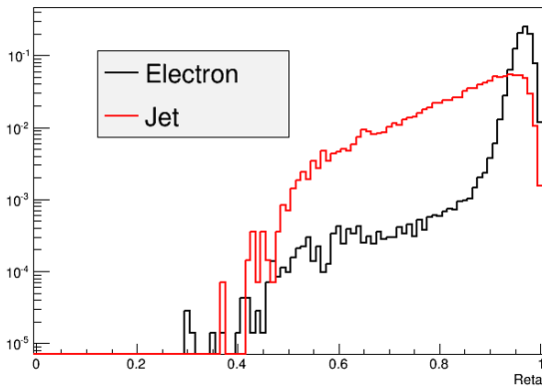


図 1.5  $R_\eta$ による電子とジェットの分布

$R_\eta = 0.94$  でカットするとトリガー効率 90% 以上を保ったままジェットを効率よく落とせる。

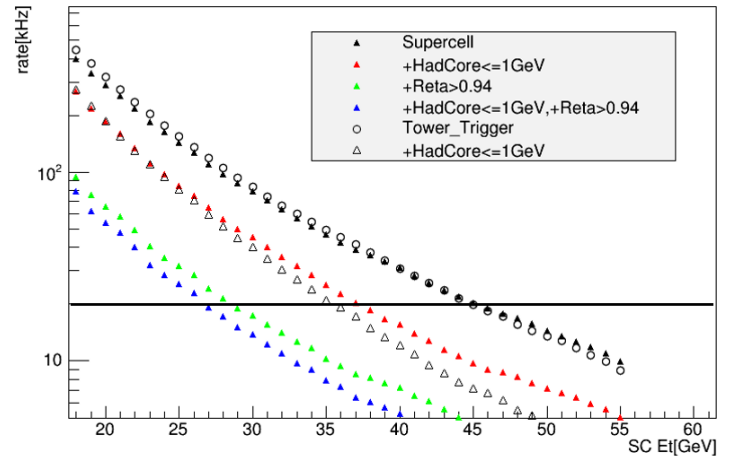


図 1.6 L1 のエネルギー閾値とトリガーレートの関係 ( $Z \rightarrow ee$ )

トリガー効率を 90% に保つように HadCore と  $R_{\eta}$  の値を設定してエネルギー閾値を落とした。HadCore を 1GeV 以下、Supercell の情報を用いた  $R_{\eta}$  を 0.94 以上と設定することで L1 トリガーレート 20kHz を 27 GeV で達成できている。(青線)

### 1.1.5 新読み出し構造のためのアップグレードとテストボード開発

Supercell の導入により、トリガー回路で扱うデータ量がこれまでの 10 倍になるので新しい高速な処理システムが必要となる。図 1.7 は、ATLAS 検出器からレベル 1 トリガーにデータを転送するまでの回路であり、赤枠で囲まれている部分が Phase-I アップグレードで新たに導入される部分である。

トリガー用の信号はまず、フロントエンドで各セルからの情報を Supercell で読み出せるように信号を足し合わせる。Supercell の情報はその後直ちにアナログ処理が行われ、バックエンドに送られる信号は ADC (Analog-to-Digital Converter) でデジタル信号に変換した後、光リンクによって 70m 後方のバックエンドへ送られる。このときの通信量は 25 Tbps である。バックエンドではその光デジタル信号を受け取り、FPGA によるフィルタリング処理を施してエネルギーと時間の情報を計算して、L1Calo (Level-1 Calorimeter Trigger System) へ送る。L1Calo への通信速度は 41 Tbps に及び、これを 124 枚の AMC (Advanced Mezzanine card) で処理することになる。

本研究の目的は、この AMC の性能を満たしたボードを開発することである。AMC は小型サイズ (156 mm × 73.5 mm) で受信、送信ともにそれぞれ 10 Gbps/Lane × 48 Lane の光通信を行うボードであり、フィルタリング処理等の主要なデジタル処理も全てこのボードの中で行う。今回はそのためのプロトタイプを製作し、その性能を評価した。

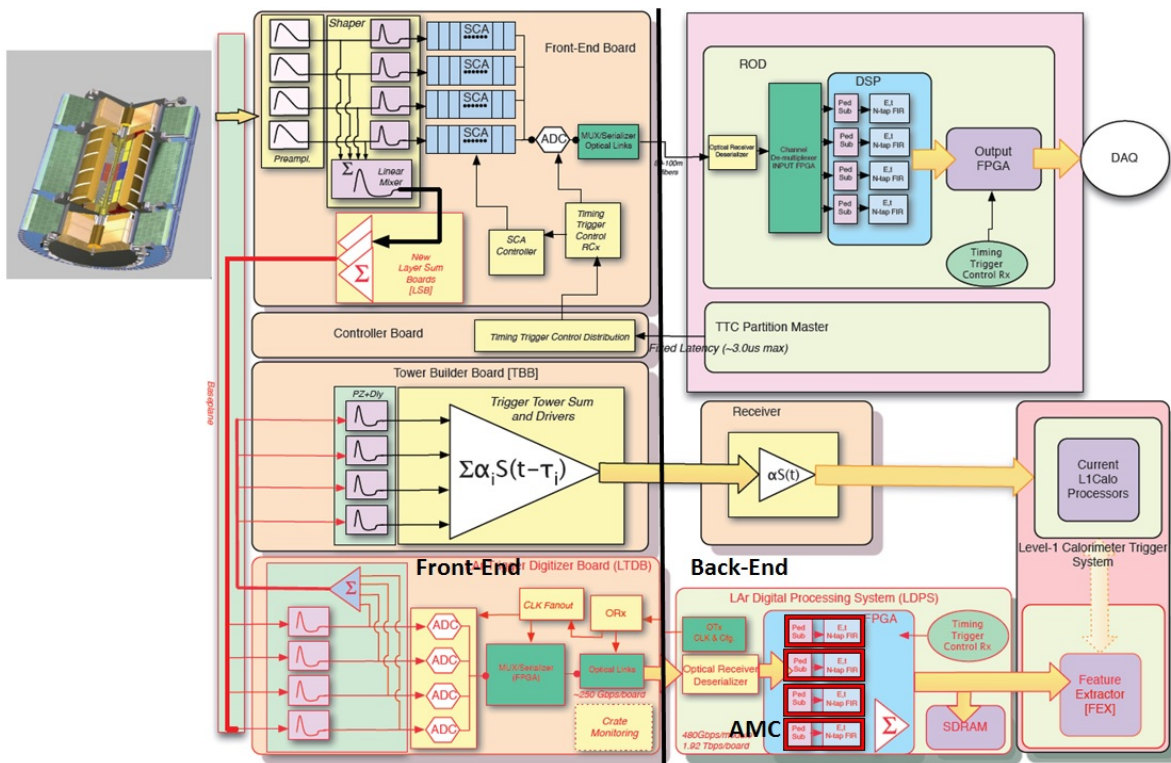


図 1.7 Phase-I アップグレード後の読み出しシステム

Supercell 導入によって LSB が新しくなり、新 LSB から L1Calo までのアナログ/デジタル処理回路が全て新しく加えられる (赤枠)。TBB から Receiver を介して L1Calo まで伝送するラインは現行のものをそのまま使用する。

本論文の以下の構成を述べる。第 2 章では、現行の LHC、ATLAS 検出器について説明する。特に、Phase-I アップグレードに関係する読み出し回路の部分を詳しく解説し、第 3 章で Phase-I アップグレード後の読み出しシステムを説明する。そこで本研究の開発部分と意義を確認した後、第 4 章で設計の過程、第 5 章で性能評価の結果を示して最後にまとめる構成とする。

## 第 2 章

# LHC ATLAS 実験

### 2.1 LHC 加速器

CERN (欧州原子核研究機構) の LHC (Large Hadron Collider) は、ジュネーヴ近郊の地下に建設された周囲約 27 km、最高重心系エネルギー 14 TeV の陽子-陽子衝突型加速器である。一般に、高エネルギー衝突を実現する上で特に問題となるのはシンクロトロン放射による影響である。質量  $m$ 、エネルギー  $E$  の粒子が半径  $\rho$  で円運動をするときのシンクロトロン放射のエネルギーは、

$$\text{シンクロトロン放射} \propto \frac{E^4}{\rho m^4}$$

よって、シンクロトロンで高エネルギーを達成するには巨大なリングと重い粒子が必要である。前身の LEP (Large Electron-Positron collider) で用いた電子 (0.511 MeV) と比べて約 1800 倍の質量 938 MeV を持っている陽子同士を衝突させることはこれが理由である。

#### 2.1.1 Linac 2 ~ LHC

陽子が LHC に至るまでを説明する。陽子の生成は、水素の入ったボトルから水素原子を取り出し、軌道電子を剥がすことで得ている。陽子は Linac 2 に送られ、50 MeV まで加速して PSB (Proton Synchrotron Booster) に入射される。PSB では 1.4 GeV まで加速して PS に入射に送られ、そこで 25 GeV まで加速される。その後、SPS (Super Proton Synchrotron) に入射して 450 GeV まで加速した後、ようやく LHC へと送られる。衝突型なので、右回り左回り双方向で陽子が回る形となる。ここまでの充填時間は 4 分 20 秒、LHC 内で 7 TeV まで加速されるのに約 20 分を要する。その後、4 箇所での陽子同士を衝突させ、それぞれの検出器 (ATLAS, CMS, ALICE, LHCb) で各生成粒子を観測している。

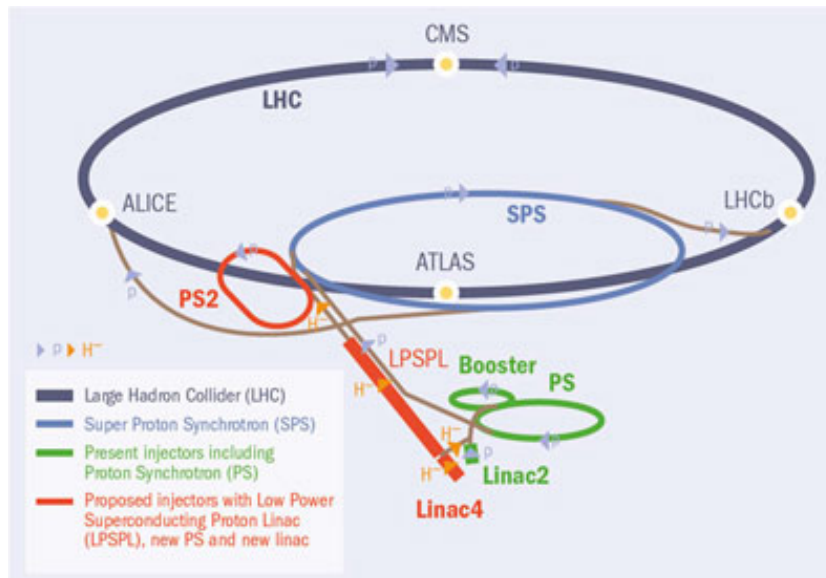


図 2.1 Linac 2 から LHC に至るまで

## 2.2 ATLAS 検出器

本節では、ATLAS を構成している検出器について説明する。液体アルゴン電磁カロリメータの読み出しが本研究の目的であるので、検出器の中でも特に電磁カロリメータについて詳しく説明する。

### 2.2.1 ATLAS 検出器概観

検出器は、直径 25 m、長さ 44 m の円筒形となっており、LHC の検出器としては最大である。内側から、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミュオンスペクトロメータが並んでいる。また、ソレノイド磁石とトロイド磁石の 2 種類の超伝導磁石を持っており、それぞれ  $\phi$  方向、 $\eta$  方向に荷電粒子を曲げている。図 2.2 は ATLAS 検出器の概観図である。

### 2.2.2 ATLAS におけるパラメータ

この節で ATLAS でしばしば用いられるパラメータの定義をまとめておくことにする。以降特に断りのない限り、各パラメータの定義はこの節で定義するものと同義であると考えてよい。

デカルト座標で見た場合、衝突点を原点とし、ビーム軸を  $z$  軸に重ねて右手系で座標を張る。 $x$  軸の正の向きは、衝突点から LHC リングの中心への向きとする。 $y$  軸に関しては、上空方向を正とする。このとき、3次元球座標に変換した際の天頂角を  $\theta$ 、方位角を  $\phi$  と定義する。この天頂角  $\theta$  を用いて、運動量  $p$ 、エネルギー  $E$  を横方向 ( $x$ - $y$  平面) に射影して定義する。

$$\text{横運動量} \quad p_T = p \sin \theta$$

$$\text{横エネルギー} \quad E_T = E \sin \theta$$

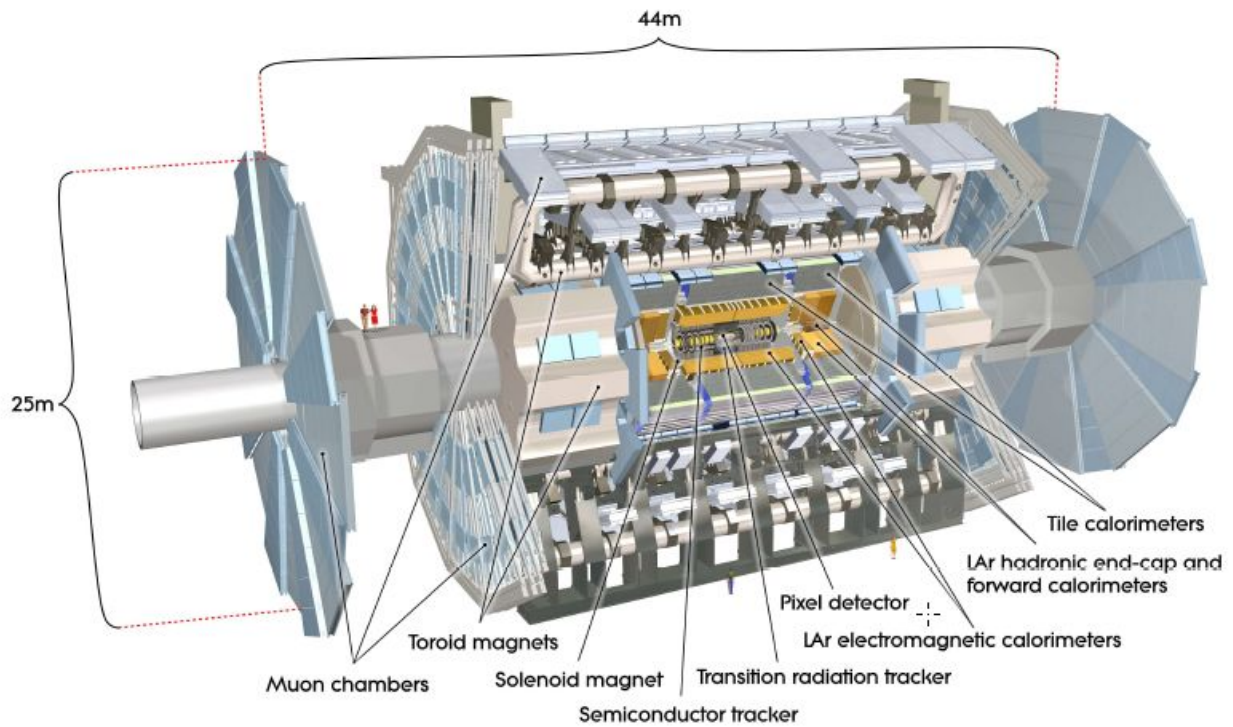


図 2.2 ATLAS 検出器概観

また、ATLAS では天頂角方向の領域を示す際、 $\theta$  の代わりに擬ラピディティを用いて表現する。

$$\text{擬ラピディティ } \eta = -\ln \tan \left( \frac{\theta}{2} \right)$$

但し、ハドロンジェットのような重いオブジェクトの場合には、しばしばラピディティが用いられる。

$$\text{ラピディティ } y = \frac{1}{2} \ln \left[ \frac{E + p_z}{E - p_z} \right]$$

ATLAS ではビームの大きさを評価する際に、 $\eta$  と  $\phi$  の幅を使って定義した次のパラメータを用いる。

$$\Delta R = \sqrt{(\Delta\eta)^2 + (\Delta\phi)^2}$$

### 2.2.3 内部飛跡検出器

内部飛跡検出器は衝突点から最も近い場所に位置し、超伝導ソレノイド磁石の内側に設置されている。そのカバー領域は  $|\eta| < 2.5$  である。内側から、ピクセル検出器 (Pixel)、シリコンマイクロストリップ検出器 (Silicon Microstrip Tracker : SCT)、遷移放射検出器 (Transition Radiation Tracker : TRT) の3つの検出器で構成されている。このうち、内側2つはシリコンによる飛跡検出器であり、TRT はガスによる飛跡検出器である。

#### Pixel

Pixel はビーム軸から 50.5 mm~122.5mm という非常に近い位置に設置してある半導体検出器である。バレル部、前後方部が3層構造で出来ており、高い位置分解能を持っている。ピクセルの寸法は  $50 \times 400 \mu\text{m}$  となっており、46080 枚のピクセルで高感度な検出を実現している。1744 個のピクセルモジュールのチャンネル数は約 8000 万にも及ぶ。b クォークジェットを識別する精度が非常によいことが特

徴である。

## SCT

SCT はビーム軸から 30 cm～51 cm に設置されている。Pixel と同じ半導体センサーだが、ストリップ状の構造となっている。80  $\mu\text{m}$  ピッチで 768 本並んでいるストリップ群が 2 枚で一つのモジュールを形成する。これら 2 枚を 40 mrad の角度でずらすことで粒子の飛跡を交差点として 2 次元的に読み出すことができる。バレル部は 4 層構造で 2112 個、エンドキャップは前後それぞれ 9 層構造で 988 個のモジュールから成り、全 4088 個のモジュールで構成されている。

## TRT

TRT はストロー型のドリフトチューブを並べたガス検出器である。同時に遷移放射を用いることで粒子識別を可能としている。ここで、遷移放射とは相対論的粒子が非一様な物質中を通過する際に光子を出す現象のことである。誘電率の異なる物質の境界でこの現象が顕著になる。放射する光子のエネルギーは  $\gamma$  因子に比例するので、これを利用して電子と中間子等の識別を行っている。放射を起こすための物質としてはポリプロピレンとポリエチレンが用いられている。

粒子識別のために 2 段階のエネルギー閾値を設けている。一つ目は Low Threshold としてイオン化のエネルギー損失を判定するために 0.2 keV 程度に設定されている。二つ目の High Threshold は電子による遷移放射を識別するためのものであり 6 keV 程度に設定されている。

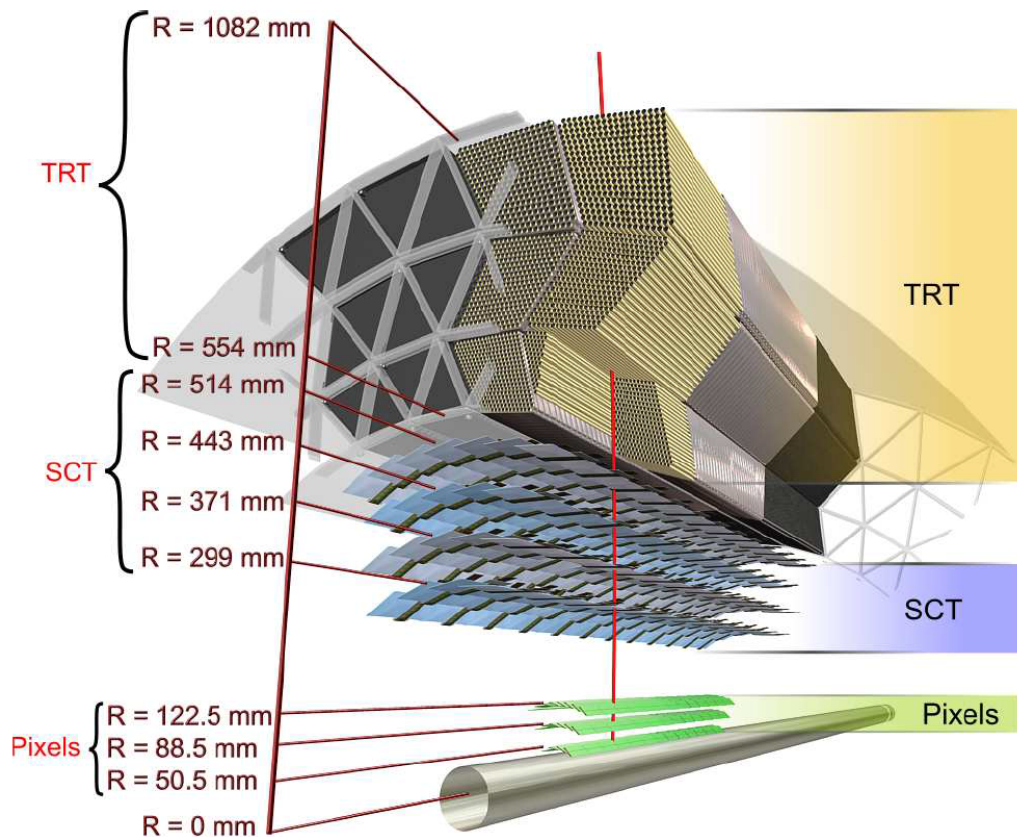


図 2.3 内部飛跡検出器

ビームラインの近くから Pixels、SCT、TRT の順に設置されている。ビーム軸から出た直後の粒子のトラッキングが主な役割である。

検出器		チャンネル数 ( $\times 10^6$ )	分解能 ( $\mu\text{m}$ )
Pixel	b-layer	16	$r\phi : 12, z : 66$
	バレル	81	$r\phi : 12, z : 77$
	エンドキャップ	43	$r\phi : 12, z : 60$
SCT	バレル	3.2	$r\phi : 16, z : 800$
	エンドキャップ	3.0	$r\phi : 16, z : 800$
TRT	バレル	0.1	170/straw
	エンドキャップ	0.32	170/straw

表 2.1 内部飛跡検出器のチャンネル数と分解能.

b-layer とは、Pixel のバレル部最内層のことである。

## 2.2.4 カロリメータ

ATLAS カロリメータはサンプリング型のカロリメータであり、検出層と吸収層から成る積層構造である。検出媒体には液体アルゴンが用いられている。その理由は、この物質のエネルギー応答が線形で且つ安定だからである。また、放射線耐性も充分持ち合わせている。また、吸収体としては鉛 ( $Z = 82$ ) が用いられている。

カロリメータは多くの検出器で構成されており、ビーム軸に対して方位角  $\phi$  を完全にカバーしている。ビームラインに近い位置にあるカロリメータは 3 つあり、一つのパレルと二つのエンドキャップでビームラインを覆っている。パレル部は電磁パレルカロリメータとハドロニックタイルカロリメータからできており、一方、二つのエンドキャップは電磁エンドキャップカロリメータ (EMEC) と、ハドロニック・エンドキャップカロリメータ (HEC) で構成されている。パレルに近い方から EMEC、HEC と並んでおり、これらのエンドキャップよりビーム軸に近い内側にフォワードカロリメータがビーム軸を覆っている。

### 電磁カロリメータ

電磁カロリメータは  $\eta$  方向と  $\phi$  方向のそれぞれを精確に測定するのに適した構造となるように設計されている。

まず  $\eta$  方向に関しては、電磁カロリメータは  $0 < |\eta| < 3.2$  の領域に 3 層のレイヤー構造 (フロント、ミドル、バック) を持っている。パレルカロリメータは  $0 < |\eta| < 1.475$ 、エンドキャップは  $1.375 < |\eta| < 3.2$  の領域をカバーしており、精密測定領域  $0 < |\eta| < 2.5$  と高-擬ラピディティ領域  $2.5 < |\eta| < 3.2$  に分けられる。また、プリサンプラーと呼ばれる層が  $0 < |\eta| < 1.8$  に存在し、カロリメータより前の領域 (内部飛跡検出器等) の物質で失われたエネルギーをより精確に見積もるために設置されている。フロント層では、 $\eta$  方向に細かく分割された層によってフォトンの精確な位置を測定することができる。実際フォトンの  $\eta$  方向の位置は、フロント層とミドル層のフォトンクラスターの位置を測定することで決定している。ミドル層は主に電磁シャワーのエネルギー測定に使われるため、物質との反応回数を考慮して他の層よりも厚く設計されている。バック層は電磁シャワーとハドロニックシャワーを区別するために用いられている。

そして  $\phi$  方向に関しては、不感領域のない完全な測定を実現するためにアコーディオン構造が採用されている。パレル部に関しては、液体アルゴンのギャップを一定に保つためにアコーディオンの角度を半径と

ともに変化させている。エンドキャップでは液体アルゴンのギャップが半径とともに増加するので、アコーディオンの角度と波の大きさを半径とともに適切に変化させている。



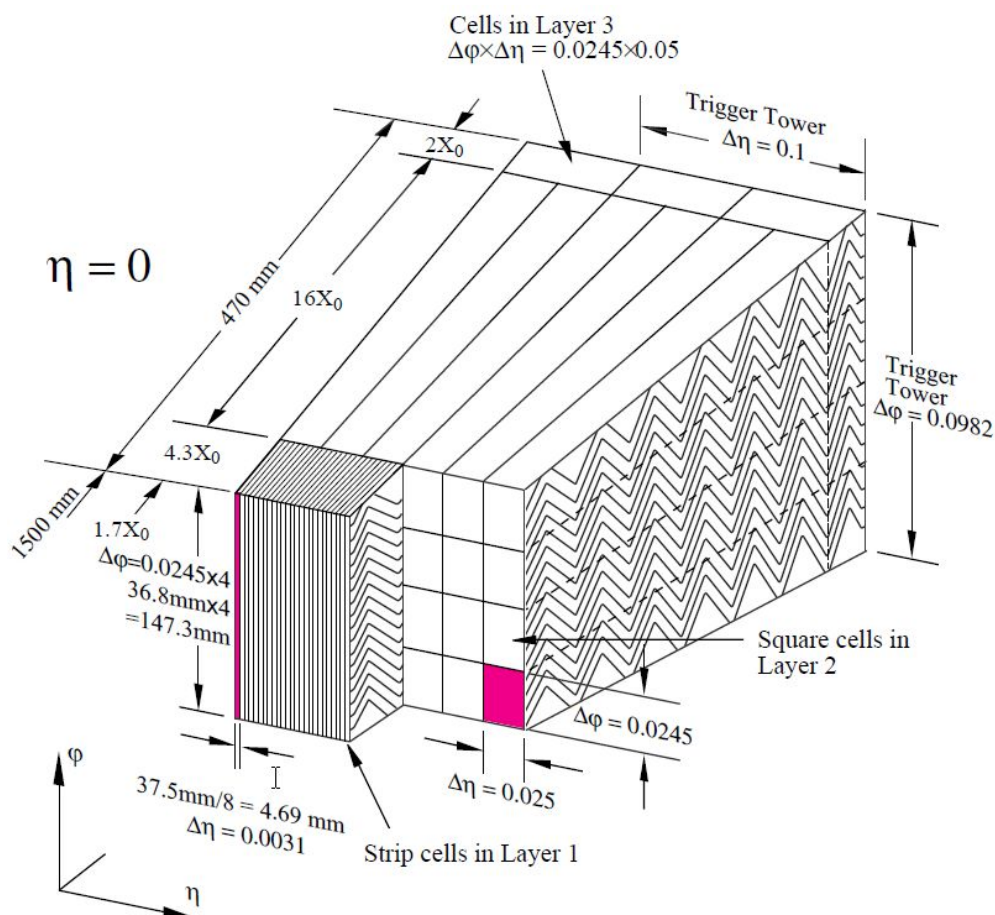


図 2.4 電磁カロリメータの構造

粒子が入射する断面を見ている。手前のセルが細かい層がフロント層である。次の厚い層がミドル層、最後の層がバック層である。 $\phi$  方向に不感領域を生まないようにアコーディオン型の構造をしている。

## ハドロニックカロリメータ

- タイルカロリメータ

鉄を用いた吸収体とシンチレータを使ったタイル状のサンプリング型カロリメータである。電磁カロリメータの外側に位置し、 $|\eta| < 1.7$  の領域に設置してある。 $\phi$  方向一周に対して 64 個のモジュールから構成されているので、1 個あたりの弧は  $5.625^\circ$  となっている。モジュール間に鉄の桁を挟み、内部に僅か 1.5mm の幅を作っている (図 2.5)。このスペースの中に読み出しのファイバーを通してある。

- HEC

銅と液体アルゴンで平板状に構成されたサンプル型カロリメータである。カバー領域は  $1.5 < |\eta| < 3.2$  である。HEC は前方と後方のホイールにそれぞれ 2 つの縦断面を持ち、それら 4 つの外径はそれぞれ 2030 mm である。各ホイールは図 2.6 のようなモジュール 32 個から構成される。

- FCal

$3.1 < |\eta| < 4.9$  の領域をカバーしているカロリメータである。他のカロリメータ間でのクラックにおけるエネルギー損失を最小限にすることに加え、ミューオンシステムに混じるバックグラウン

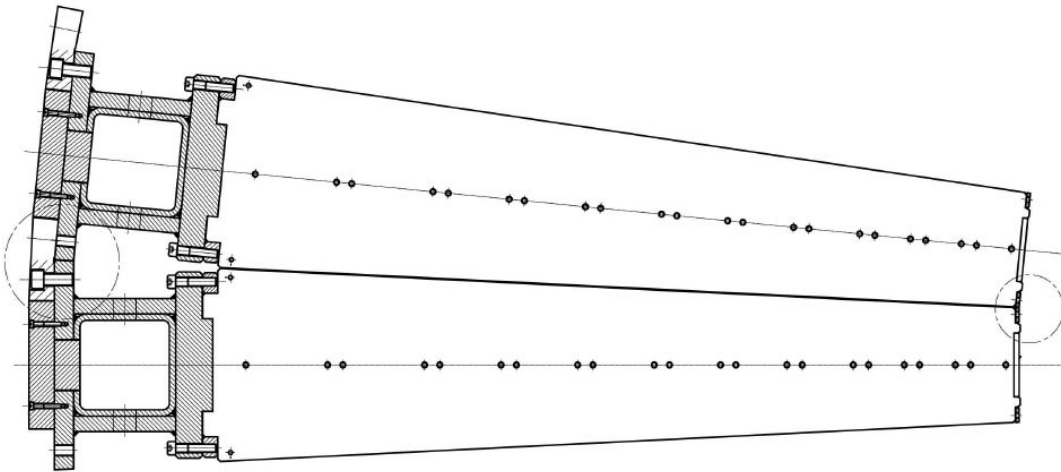


図 2.5 タイルカロリメータ

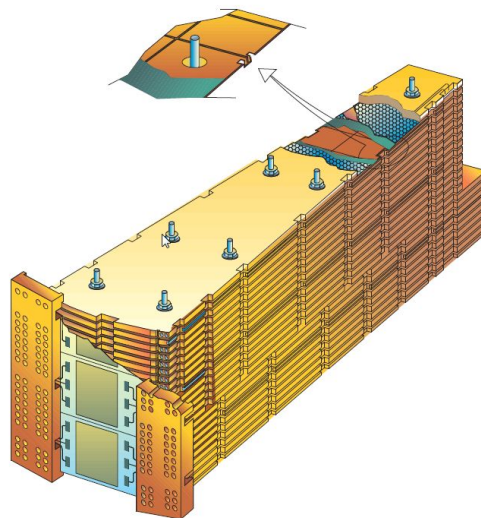


図 2.6 HEC module

ドを抑制する働きもある。FCal は 3 つの 45 cm 厚モジュールから構成される。1 層目は電磁カロリメータで、分解能と熱の拡散を考慮して銅が吸収体として用いられている。一方、2、3 層目はハドロンティックカロリメータであり、ハドロンシャワーの横の広がりを抑える為に、主にタングステンが使われている。

### 2.2.5 ミューオンスペクトロメータ

物質との相互作用の小さいミューオンを測定するための検出器であり、ATLAS 検出器の最も外側に位置している。精密飛跡検出を行う、MDT (Monitored Drift Tube)、CSC (Cathode-Strip Chamber) と、トリガーチェンバーの RPC (Radiative Plate Chamber)、TGC (Thin Gap Chamber) から構成される。

#### MDT

直径 29.970 mm のカソードチューブにアルゴンと二酸化炭素を 93 : 7 で混同したガスを満たしている。カバー領域は  $|\eta| < 2$  (最内層) ~ 2.7 である。電離した電子は、直径 50  $\mu\text{m}$  のタングステン-レニウムから成るワイヤに集められる。ドリフト時間によってミューオンの通過した  $r$  座標を測定する。最大ドリフト

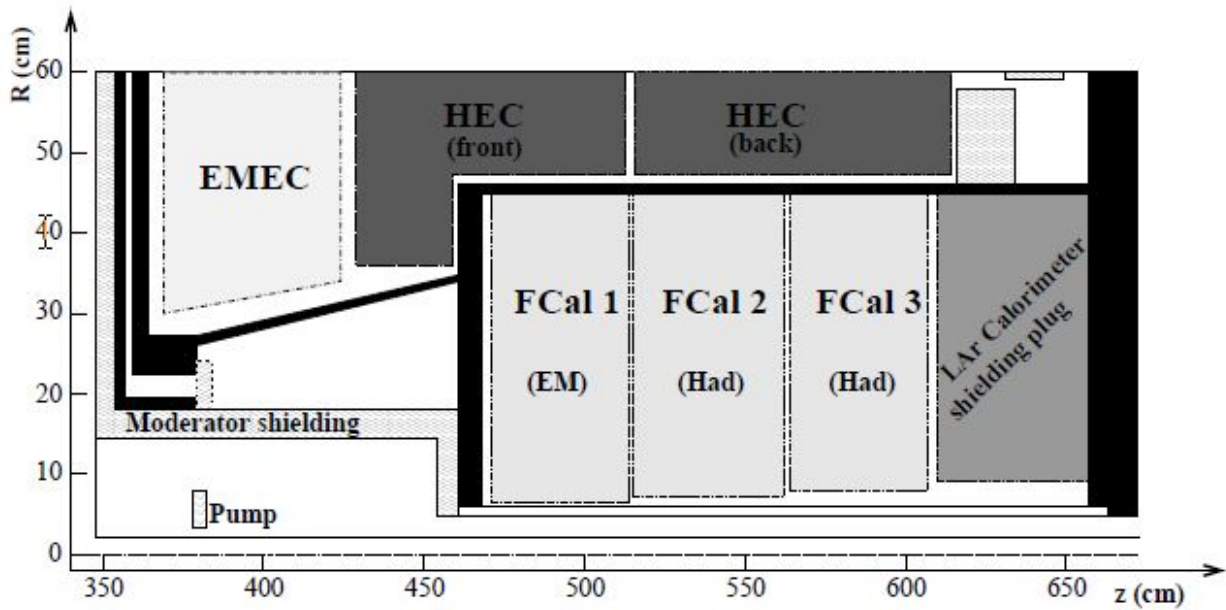


図 2.7 FCal

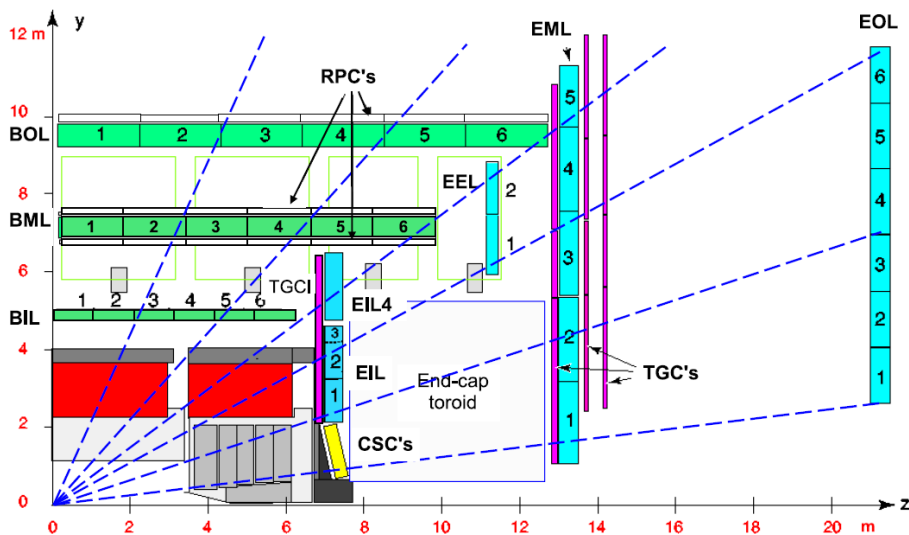


図 2.8 ミューオンスペクトロメータ

時間は約 700 ns である。バレル、エンドキャップともに 3 層構造であり、各チューブの分解能は  $80 \mu\text{m}$  であり、層単位では  $35 \mu\text{m}$  まで良くなる。カウントレート  $150\text{Hz}/\text{cm}^2$  で動作する。

### CSC

ビームライン付近はイベントレートが高いので MDT の読み出し速度では全てをカバーできず、MDT 最内層の代わりに応答の速い CSC が設置された。よって、CSC はビームライン近くのエンドキャップに存在し、 $2 < |\eta| < 2.7$  をカバーしている。ガスには、アルゴン/二酸化炭素 (80/20) を用いている。ドリフト時間は 40 ns で分解能は  $60 \mu\text{m}$  である。カウントレートは  $1000 \text{Hz}/\text{cm}^2$  である。

## RPC

$|\eta| < 1.05$  のバレル部をカバーしているガスチェンバーである。2枚のベークライト板の間に  $C_2H_2F_4$ /Iso -  $C_4H_{10}$ / $SF_6$  (94.7 / 5 / 0.3) のガスを封入して電圧を印加している。位置情報は  $\phi - z$  方向の2次元読み出しが可能である。

## TGC

$1.05 < |\eta| < 2.7$  (2.4 for triggering) のエンドキャップをカバーしている。ガスには、二酸化炭素 / n-ペンタン (55/45) が用いられている。ワイヤから電極までが 1.4 mm であり、ワイヤ間の間隔 (1.8 mm) より小さい。位置情報は  $r - \phi$  方向の2次元読み出しが可能である。

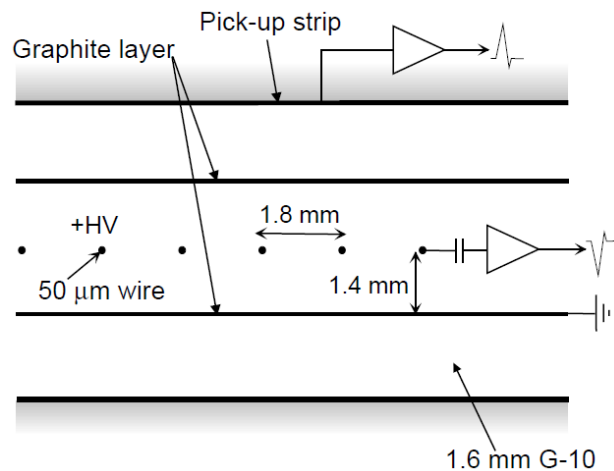


図 2.9 TGC

	$\sigma(z/r)$	$\sigma(\phi)$	$\sigma(\text{time})$	チェンバー数	チャンネル数
MDT	$35\mu\text{m}$ (z)			1088	339k
CSC	$40\mu\text{m}$ (r)	5mm	7ns	32	30.7k
PRC	10mm (z)	10mm	1.5ns	544	359k
TGC	2-6mm (r)	3-7mm	4ns	3588	318k

表 2.2 ミューオンスペクトロメータの分解能, チェンバー数, チャンネル数

## 2.3 カロリメータの読み出し

読み出しシステムは役割に応じてフロントエンド、バックエンドに分かれており、フロントエンドは検出器の横に設置されている (図 2.12)。バックエンドはその後方約 70 m に位置している。データの経路は大きく分けて 2 通りに分けることができる。一つは ROD (Read Out Driver) 経由、もう一つはトリガー回路である L1Calo を経由する経路である。ROD へ伝送される信号は、FEB (Front-End Board) で検出器からの生信号のアナログ/デジタル処理を行ない光リンクを通して送られる。L1Calo へ伝送される信号は、FEB 上のアナログ信号を LSB (Layer Sum Board) で各層ごと  $0.1 \times 0.1$  のサイズに足し合わせ、TBB (Tower Builder Board) でトリガータワー読み出しを作って L1Calo へ送られる (図 2.11)。

ダイナミックレンジは 3 TeV を上限とし、下限はカロリメータの熱ノイズの大きさによって制限され、10 MeV 程度である。フロントエンドのエレクトロニクスによる熱ノイズは各カロリメータ、そして各層によっても異なり、 $\eta$  の値によって数 MeV から数百 MeV のオーダーにわたっていることが図 2.10 から分かる。

ダイナミックレンジが広いことと、伝送によるノイズをできるだけ下げたいという要請を達成するために、検出器からのアナログ信号の処理は検出器に非常に近い位置で行っている。つまり、常に放射線にさらされた環境でアナログ信号のアンプ処理とデジタル化を行っている。これがフロントエンドの主な役割である。バックエンドではこれに続くデジタル処理を行っている。

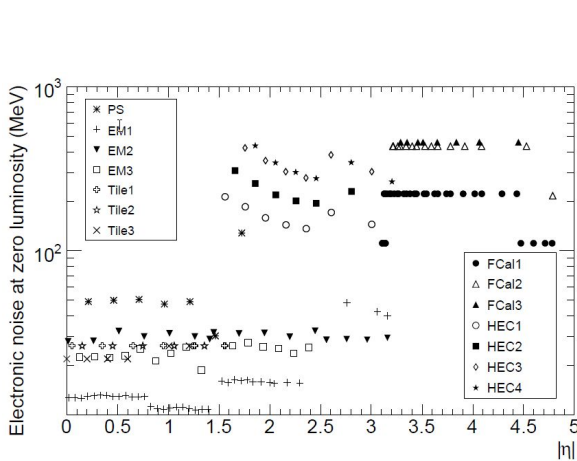


図 2.10 フロントエンドでの熱ノイズ

$\eta$  の値に対する電磁カロリメータ、ハドロンニックカロリメータの各部分 (PS, EM, Tile, FCal, HEC) と各レイヤーの熱ノイズを示している

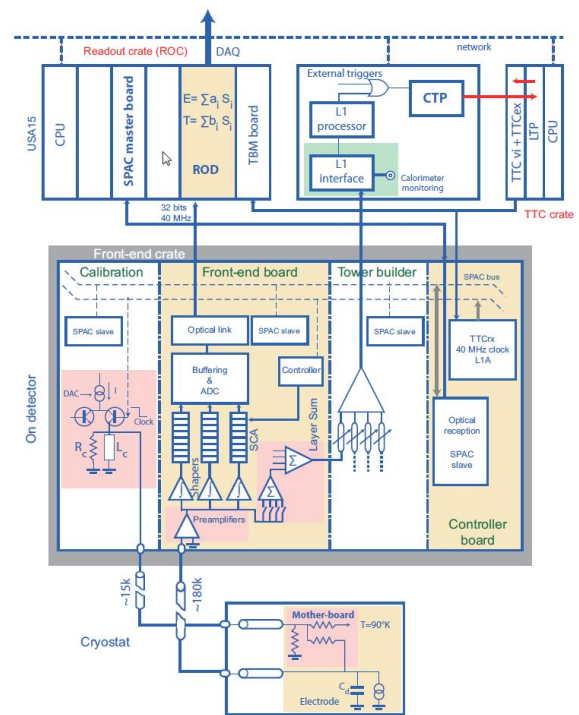


図 2.11 液体アルゴンカロリメータ読み出しシステム

### 2.3.1 フロントエンド

カロリメータの電極は、トリガータワーのような読み出しセルを形成するようにまとめられ、その信号を同軸ケーブルによってフィードスルーまで伝送している。フロントエンドのクレートはフィードスルーの近くに置かれ、その中のボードにはいくつかのタイプが存在する。

#### Front-End Board (FEB)

液体アルゴンカロリメータのチャンネル 182,468 ch に対してアナログ処理と ADC を行うボードである。58 個のフロントエンドクレートには計 1524 枚の FEB(図 2.13) が存在する。

図 2.14 は FEB のブロック図である。カロリメータからの生信号は、FEB 1 枚あたりに最大 128 ch が入力される。入力された信号は 4 ch のプリアンプで増幅される。この後、ROD ヘデータを送ってセルごとに読み出す経路と、L1Calo でトリガー読み出しを行う経路とに分岐する。

ROD へ送るデータはまず、AC カップリングを施して 4 ch の整形器に入力される。整形器ではまず、

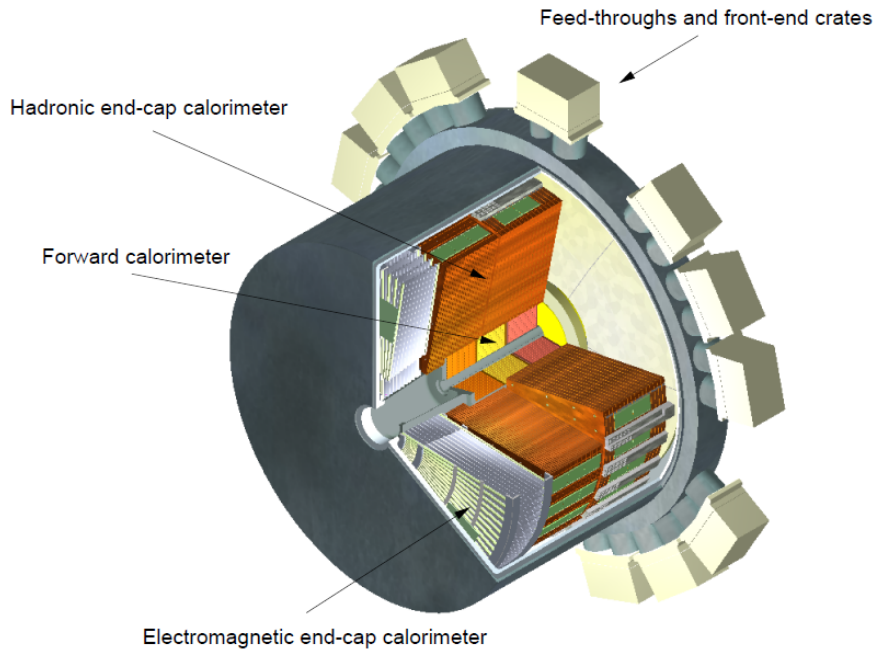


図 2.12 フロントエンドの位置  
 フロントエンドクレートはフィードスルーを通して検出器の近くに設置している。

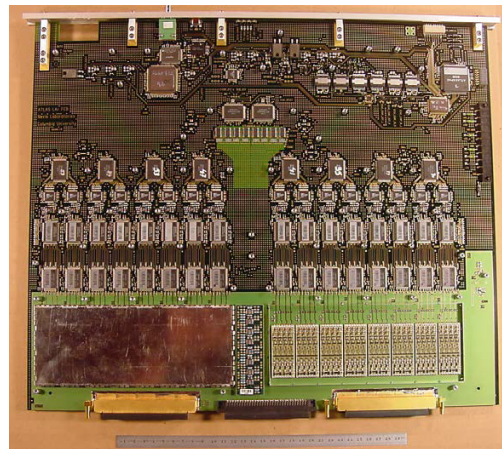


図 2.13 FEB

信号を 3 つに分けてそれぞれ 1 倍、10 倍、100 倍のゲインをかける。その後、それぞれのスケールでバイポーラフィルタ  $CR - (RC)^2$  を通すことで信号とノイズの比がよいものを選択して使用する。微分回路  $CR$  は検出器の応答信号から長いテールを除く役割があり、2 度の積分回路はノイズを軽減するためのものである。時定数 ( $\tau = RC$ ) は 13 ns であり、これはエレクトロニックノイズとパイルアップノイズをうまく調整するために設けられた値である。また、この値は LHC のルミノシティが  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  の場合を想定している。カロリメータからの信号は三角波の形をしており、バイポーラによる整形後は図 2.15 のような出力になる。

整形された信号は Switched-Capacitor-Array(SCA) に 40MHz でサンプルされ、SCA の 144 枚のセルで L1 trigger のレイテンシ時間だけ止めておく。SCA から読み出されるのは 3 つのゲインスケールのうち

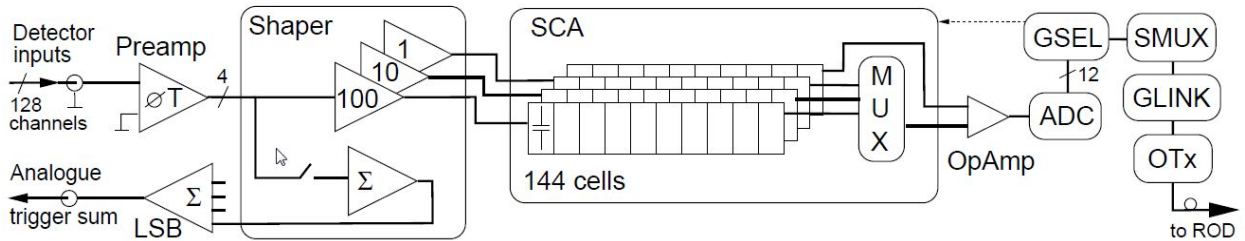


図 2.14 FEB ブロック図

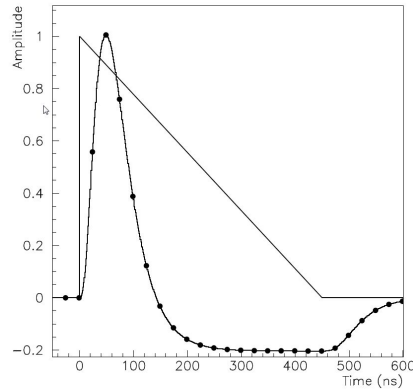


図 2.15 カロリメータからのパルス (三角波) とバイポーラフィルタによる整形後のパルス

ただひとつであり、それをチャンネルごとに適切に選択しているのが Gain-Selector(GSEL)である。SCA の出力はオペアンプをはさんだ後、12bit-ADC に入力されデジタル化が完了する。その後、GLINK によって 1.6Gbps でシリアルライズされ、光モジュール (OTx) により光デジタル信号となって ROD へ送信される。

トリガー読み出しを行う経路は、プリアンプ後に LSB へ送られる。LSB は層ごとのセル情報を  $0.1 \times 0.1$  単位に足し合わせる役割を持っている。その後、TTB へそのアナログ信号を伝送する。

### Tower Builder Board (TBB)

LSB からのアナログ情報を全層分足し合わせてトリガータワーを形成し、そのアナログ情報を L1Calo へ伝送する。

### Calibration Board

カロリメータに落とすエネルギー値を較正するために高精度な抵抗を通して既知のパルスを入れている。これらの抵抗器は電磁カロリメータのパレル部とエンドキャップ、HEC、そして FCal に搭載されている。

### Front-end Crate Controller Board

LHC 周波数である 40MHz のクロック信号を受け取り、クレート全体にクロック信号を与えている。また、L1 が受け取る信号と、フロントエンドのボードをコンフィギュレーション、あるいは制御するための情報もこのボードで受信している。

### Additional Board

温度、ピュリティモニター等からの情報を転送する役割を持っている。

### 2.3.2 バックエンド

バックエンドはカロリメータから約 70 m 離れた場所に位置し、主な役割はフロントエンドからのデジタルデータの受信とデジタル処理を行うことである。TTC 信号を受け取り、ROD とフロントエンドにクロックとトリガー信号を伝達する役割もある。これらを行うサブシステムが以下の 3 つである。

- リードアウトドライバシステム (ROD)
- トリガー・タイミング・コントロールシステム (TTC)
- トリガーレシーバ

#### ROD

ROD はデジタルデータの受信、デジタル処理、データフォーマット、インテグリティチェック、そしてモニタリング等、バックエンドの重要な仕事のほとんどをこなす部分である。モジュールは最大 4 つのメザニンカードが搭載されたマザーボードから形成されている。各メザニンカードは 2 つの DSP (Digital Signal Processor) チップがのっており、720 MHz で動作している。DSP の重要な仕事は、オプティマルフィルタリングである。これは、各セルに落としたエネルギーとタイミングの情報を再構成するためのフィルタリングである。よって、オプティマルフィルタリングはバックエンドにおける処理の中でも特に重要であり、全カロリメータの ROD にインプリメントされている。オプティマルフィルタリングの関係式は以下のようになる。

$$E = \sum_{i=1}^n a_i (s_i - ped) \quad E\tau = \sum_{i=1}^n b_i (s_i - ped) \quad \chi^2 = \sum_{i=1}^n (s_i - ped - E(g_i - \tau \frac{dg_i}{dt}))^2$$

n: サンプル数

$a_i, b_i$ : 重み

$\tau$ : 時定数

ped: ペDESTAL 値

$g_i$ : 規格化されたパルス波形

$a_i$  と  $b_i$  は、エレクトロニックノイズとパイルアップノイズから生じる  $E$ 、 $E\tau$  における分散値が最小になるように決めている。 $g_i$  と  $g'_i$  は、カロリメータによって異なる手法で概算しており、主にテストビームやキャリブレーションパルスにおけるパルス波形を使って求めている。

サンプリング数に対するエレクトロニックノイズの大きさを表したグラフが図 2.17 である。通常の LHC データ取得としてバックエンドで用いられている 5 サンプリングでは、1 つのサンプルで読み出した場合と比較するとエレクトロニックノイズが 1.7 倍減少する。

#### TTC

L1 トリガーが高い  $E_T$  を持った電子、光子等でトリガーをかけ、そのトリガー信号やタイミング信号を各セクションに分配する役割がある。TTC をインプリメントするために 4 つの VME クレートが使われており、各クレートでは最大 2 つの TTC パーティションがインプリメントされている (図 2.18)。

トリガーレイテンシは 2.5  $\mu\text{s}$  以下に保たれている。ここでトリガーレイテンシとは、バンチクロッシングが起こった時刻に対して L1 が受信する信号がフロントエンドまで到達するまでの時間である。TTC ク



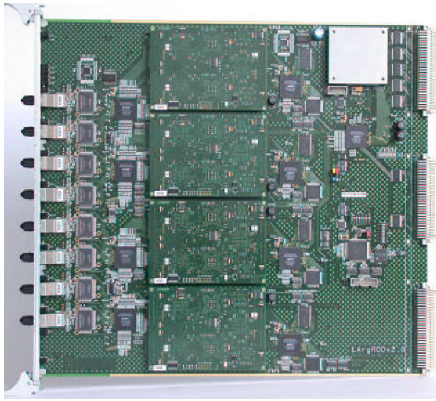


図 2.16 ROD

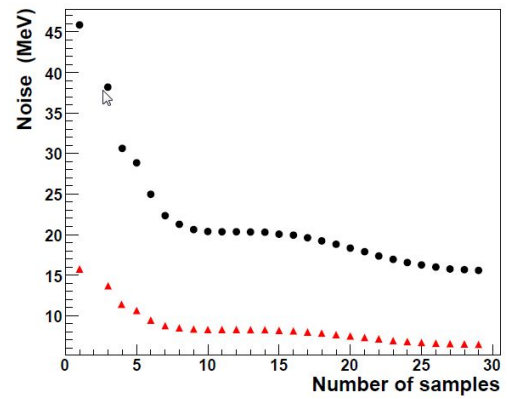


図 2.17 読み出しサンプル数とエレクトロニクスノイズの関係

丸点は EM パレルのミドル層のセル、三角点はフロント層のセルに対応している。

レート的位置は、フロントエンドクレートまでのファイバーの長さが最小になるように設置されており、これはトリガーレイテンシに対する寄与と関係している。

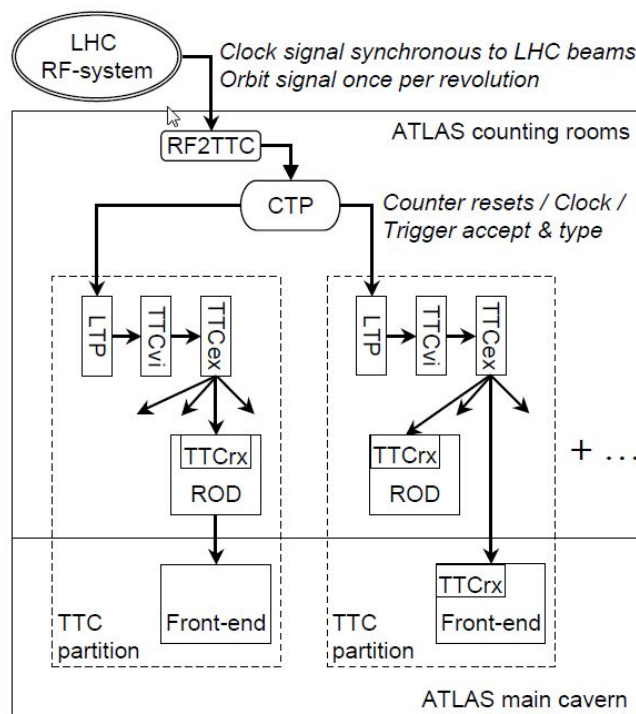


図 2.18 TTC

### トリガーレシーバ

レシーバシステムの役割は、TBB と L1 プロセッサとのインターフェースであり、特に横エネルギーへの変換処理が重要な仕事となる。6 個のレシーバクレートはそれぞれ、16 枚のレシーバモジュールと 2 枚のモニタリングモジュール、そして 1 枚の制御用モジュールで構成されている。

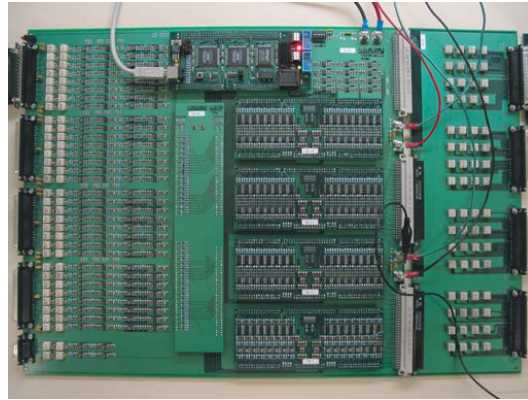


図 2.19 Receiver Board

### 2.3.3 L1Calo トリガーシステム

フロントエンドの TBB で完成したトリガータワー単位のアナログ情報がこの L1Calo へ送られる。図 2.20 のように主に 4 つのモジュールから形成されている。

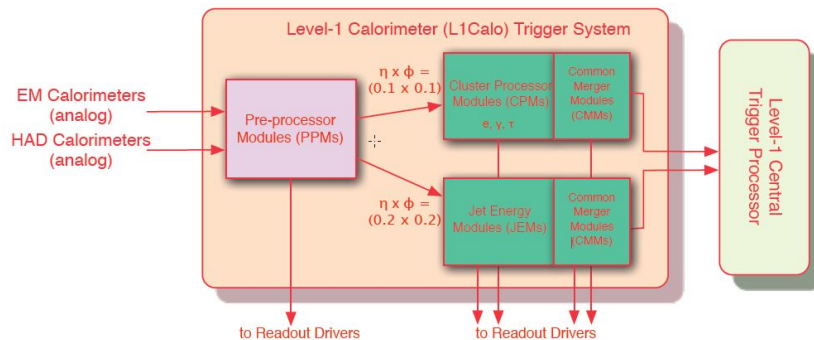


図 2.20 L1Calo

フロントエンドの TBB からアナログ信号を受信し、L1 セントラルトリガープロセッサに伝送する。

- PPM (Pre-Processor Modules)

40MHz でトリガータワー読み出し構造の情報を読み出し、パルス波形からバンチクロッシングの時間を特定する。また、エネルギーを横エネルギーの情報に変換する役割もある。その情報は、CPM と JEM に転送される。

- CPM (Cluster Processor Module)

$0.1 \times 0.1$  に落としたエネルギーから、電子、フォトン、 $\tau$  粒子を特定する。実際には、 $0.2 \times 0.2$  の中の 4 つの 2-Tower EM Cluster のうち、最もエネルギーの大きいものを採用している。ここでの Cluster の意味とは、読み出し構造 (トリガータワー) の組み合わせのことである。

- JEM (Jet Energy Module)

$0.2 \times 0.2$  に落としたエネルギーからジェット粒子を特定する。実際にジェットを特定するアルゴリズムは、この  $0.2 \times 0.2$  を 1 Jet Element とした、3 つの RoI、 $(2 \times 2)$ 、 $(3 \times 3)$ 、 $(4 \times 4)$  があり、それぞれ最もエネルギー値の大きい  $2 \times 2$  Jet Element のデータを採用している。但し、 $4 \times 4$

の場合は2つのジェットが混じる場合があるので中心の領域を採用する。

- CMM (Common Merger Module)

CPM と JEM の情報をまとめて L1 セントラルトリガープロセッサへ転送する。



## 第 3 章

# ATLAS Phase-I アップグレード

### 3.1 アップグレード (フロントエンド)

現在の読み出しシステムの多くがそのまま使われることになるが、Phase-I アップグレードで幾つかアップグレードが行われるものがある。

- Layer Sum Board (LSB)
- ベースプレーン
- LAr Trigger Digitizer Board (LTDB)

#### 3.1.1 LSB

LSB は、各層で  $0.1 \times 0.1$  の領域のアナログ信号をたし合わせてトリガーのための読み出しを作る FEB 上の回路である。アップグレード後は Supercell に対応した足し合わせが必要になるのでアップグレードが必要となる。

現行の LSB システムは 4 つのタイプがあり、ボード上の回路規模や加算器における素子の数によって変えている。4 つのタイプとは、 $S1 \times 16$ 、 $S8 \times 2$ 、 $S4 \times 4$ 、 $S2 \times 8$  である。最初の数字は加算多重度、2 番目の数字はボード上における加算回路の数を表している。

Run 1 では電磁カロリメータに対し、それぞれプリサンプラー (第 0 層)、フロント層、ミドル層、バック層に使われている。HEC に対しては数種類の  $S1 \times 16$  が使われ、FCal に対しては  $S1 \times 16$ 、 $S4 \times 4$ 、 $S2 \times 8$  の特別なボードが用いられている。新しいシステムでは、Supercell の導入によってフロント層とミドル層により高度な精度が求められる。読み出し構造を構成しているのは主に  $S1 \times 16$  と  $S2 \times 8$  なので、これら二つが特に多く導入される予定である。

表 3.1 は Phase-I アップグレードで新しく導入される LSB の数を示しており、添字はコンフィギュレーションオプションを表している。

LSB Type	Installed	Reused	New
S1×16H	200	200	0
S1×16M	2	32	0
S1×16L	896	96	800
S2×8	1216	160	1056
S2×8D	288	0	288
S1×16F	24	0	24
S2×4 + S1×8F	32	0	32
S2×6D + S1×4	128	0	128
S1×6 + S6×1	128	0	128
Totals	2944	488	2456

表 3.1 Phase-I アップグレードで新しく導入される LSB の数

### 3.1.2 ベースプレーン

ベースプレーンは新しく LTDB が入る部分を変更し、フロントエンドの他のボードに対しては現行のままである。Supercell の導入によって、LSB から TBB に送られていた信号よりもはるかに多くの信号を扱うことになる。また、これまで TBB に送られていたタワートリガーの信号も継続して伝送する。

### 3.1.3 LTDB

LTDB は Supercell 信号のデジタル化に加え、LSB で現在形成されている加算信号パルスの生成、すなわちアナログ信号を各層で  $0.1 \times 0.1$  のサイズに足し合わせ、TBB へ送る仕事も担当することになる。トリガー用の Supercell 信号をフロントエンドでデジタル化する理由は、データ量が増えてより高速な通信となったためである。LTDB のベースデザインは以下の通りである。

- 各 LTDB は最大 320 個の Supercell データを処理する。
- コンフィギュレーションとアナログ処理のどちらかに区別される。
- Phase-II 以降も使われる予定なので、電源部は互換性を考慮したデザインとする。
- 1 枚で 160W もの電力を消費することが見込まれているので、冷却板として二つの水循環路を用いる。
- 現在の Crate Monitoring Board の役割も同時に担うものとする。

各パートごとに使用されるチャンネル数と LTDB の数は下の表 3.2 の通りである。

#### アナログ処理

LTDB はベースプレーンから 4 層分の信号を受け取り、それらをまとめて TBB へと伝送し、これまでどおりトリガータワーを形成している。

図 3.1 はアナログ処理セクションのブロック図である。

#### ダイナミックレンジ

LTDB Type	Channels	LTDB per region
EMB	290	64
EMEC Standard	312	32
EMEC Special0	240	8
EMEC Special1	160	8
HEC	192	8
FCal0	192	2
FCal1	192	2

表 3.2 LTDB の数とチャンネル数

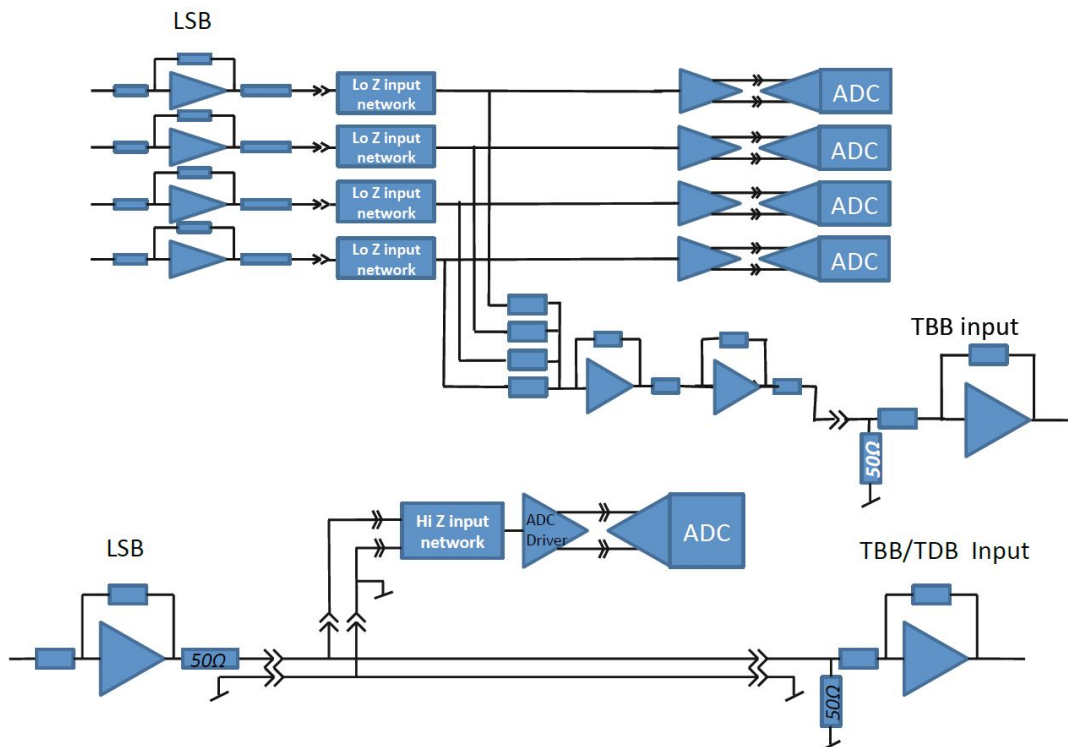


図 3.1 LTDB のアナログセクション

デジタル化のダイナミックレンジを決める際に、二つの問題が挙げられる。一つは、アイソレーション変数と  $R_\eta$  を計算するための精度である。精度を最大にする、すなわち分解能を上げるためには、ADC 1bit のエネルギー値を小さくする必要がある。二つ目は、デジタルフィルタリングアルゴリズムを使うために信号の時間情報を決定することである。これには ADC の範囲をサチュレーションレベルまで拡大する必要がある。これら二つは逆比例の関係にあるので、うまいところで折り合いをつける必要がある。以下に、決定した EMB のフロント層、ミドル層でのこれらの値を示す。

Layer	1st bit [MeV]	Maximum $E_T$ [GeV]
Front	32	102
Middle Standard	125	400

表 3.3 EM Barrel での測定分解能と最大値

## デジタル処理

- TTC リンクパス

GBTx、GBT-SCA、VTRx で構成される。GBTx は VTRx を経由して TTC バックエンドとのインターフェースに使われる。また、GBT-SCA とセットで、クロック供給、スローコントロール、そしてモニタリングの役割を果たす。

- データリンクパス

Supercell からの信号を LOCx2 でシリアル化し、光ファイバによって送信される。通信量は約 25 Tbps にも及び、高速シリアル光信号を約 70 m 後方の LDPS で受け取り、124 枚の AMC でこれを処理する。本テストボードはこの高速光信号を受け取ることが、第一の仕事である。

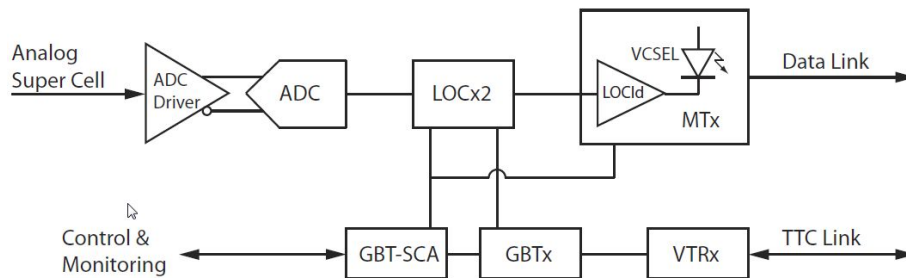


図 3.2 LTDB のデジタルセクション

## 3.2 アップグレード (バックエンド)

### 3.2.1 LDPS

Phase-I アップグレード後の液体アルゴンカロリメータのバックエンドシステムには、LDPS と称されるシステムが追加される。LDPS の役割は、LHC 周波数 (40MHz) に同期して、フロントエンド (LTDB) から送られてくる大規模なデジタルデータにフィルタリング処理を施し、レベル 1 カロリメータトリガーシステム (L1Calo) にそのデータを転送することである。

フロントエンドからのデータは、40MHz でサンプルされた Supercell 34,000 枚分のデジタルデータなので約 25 Tbps に及び、且つ転送距離は約 70 m になる。この長距離高速伝送を可能とするために、転送間を繋ぐケーブルには光ファイバケーブルが採用された。フィルタリング後は、L1Calo へのデータ転送と同時にモニタリング等も行い、データを複製する関係で通信速度が約 41 Tbps になる。

LDPS では、VME に代わって ATCA platform を用いてデータ収集を行う。現在、提案されている LDPS の構成は、31 枚の LAr Digital Processing Blades(LDPB) を 3 台の ATCA クレートで制御する形となっている。41 Tbps を 31 枚の LDPB で処理する場合、1 枚あたり 1.3 Tbps の通信速度が必要とされる。そこで、LDPB に 1 枚あたり約 400 Mbps の通信が可能な Advanced Mezzanine Cards(AMC) を 4 枚搭載し、この条件を達成することになった。この AMC の機能と条件を全てクリアするボードを開発することが本研究の目的であり、此度開発したボードはそのためのテストボードである。

### LDPS の役割

- LTDB からの ADC データの受信 (25 Tbps)



Data flow	LTDB→LDPS	LDPS→FEX	LDPB Monitoring	Data monitoring	TDAQ
Amount of Data	25.2 Tbps	41.1 Tbps	< 1 Gbps	2.7 Tbps	99.2 Gbps

表 3.4 各データパスでの通信量

- フィルタリング後のデータを L1Calo へ送信 (41 Tbps)
- LTDB、LDPB への TTC 信号を供給
- ATLAS イベントのモニタリング

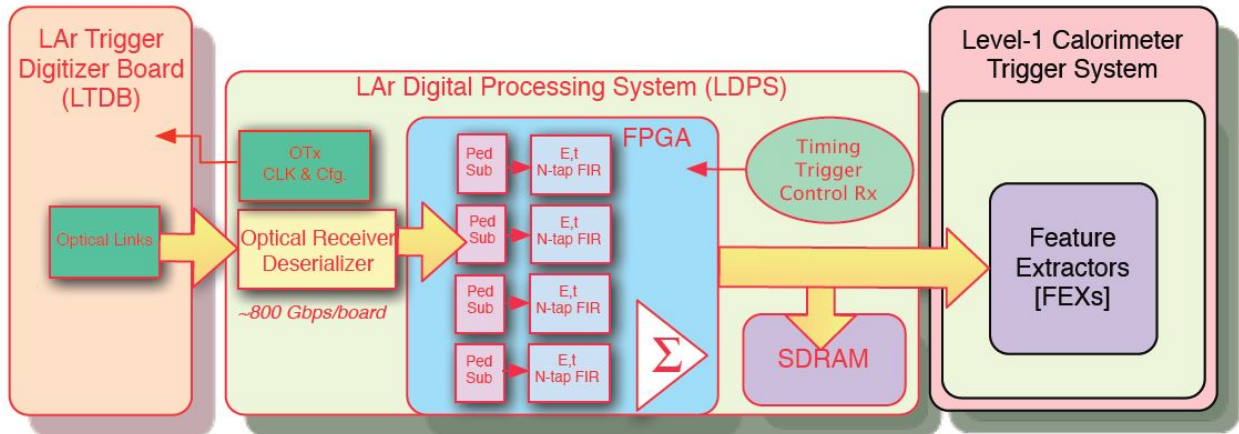


図 3.3 LDPS

LTDB から 25Tbps で入力された光デジタル信号からフィルタリング処理によって Supercell の横エネルギーを再構成している。その後は L1Calo と SDRAM (モニタリング用) に光ケーブルを通して伝送する (41 Tbps)。

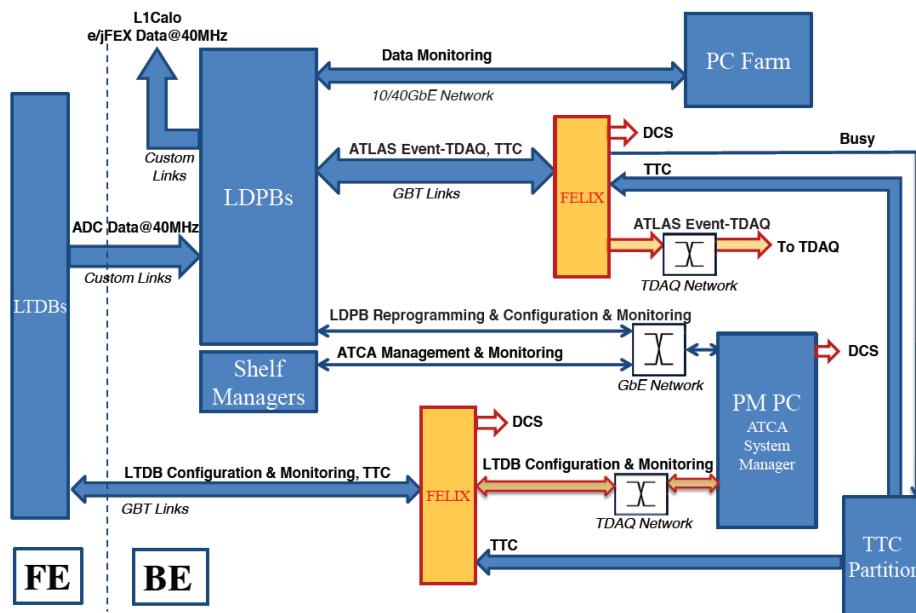


図 3.4 LDPS ブロック図

### FELIX (Front-end Link Interface exchange)

ATLAS TDAQ グループによって開発されたデータ収集システムである。ATLAS からのデータは GBT リンクを通して LDPB から FELIX へ送られる。また、GBT リンクはフロントエンドの LTDB のコンフィギュレーションとモニタリングを行うためにも設けられている。

### TTC partition

FELIX へ TTC 信号を供給する役割がある。

### Partition Master PC (PM PC)

コンフィギュレーション、GbE と TDAQ ネットワークを通じたモニタリング、そして ATCA(後述)の管理を行っている。

### PC farm

10/40 GbE ネットワークを通してデータのモニタリングを行う。

### Shelf Manager

GbE を通して ATCA クレートの制御を行う。

### ATCA

ATCA は、ホットスワップ可能な高密度通信を支えるためのプラットフォームである。1 台の ATCA クレート (図 3.5) で最大 14 枚の blades をコントロールすることができる。バックプレーンは 3 つの領域に分けられており、その役割は以下のとおりである。

Zone 1 : 電源とコントロール信号に関する領域

Zone 2 : blades とスイッチ間で P2P の Gigabit-Ethernet 通信を行うベースインターフェースと、データモニタリングのために高速通信を行うファブリックインターフェースで構成されている。

Zone 3 : ユーザー定義用の領域

### AMC

LDPB1 枚につき 4 つの AMC が搭載されるので、AMC のサイズは 156mm × 73.5mm に制限される。また、ATCA クレートのスロット幅 (30.48mm) を考慮すると、高さにも制限がある。このサイズで 400Gbps の通信を実現することが、Phase-I アップグレードにおける AMC の最大の課題である。

この AMC はスペース上の問題により 1 台の FPGA で制御するため、ロジック数、メモリ、スピード、さらには信号再構成のために必要な DSP ブロックなどを考慮すると、比較的ハイスペックな FPGA を選択する必要がある。

### 光モジュール

AMC はデジタルデータの送受信を光通信で行う。高密度な通信を想定しているため、サイズはより小さいものが求められる。LHCb で MiniPOD という Avago 社の小型光モジュールがインプリメントされてい



図 3.5 ATCA クレート

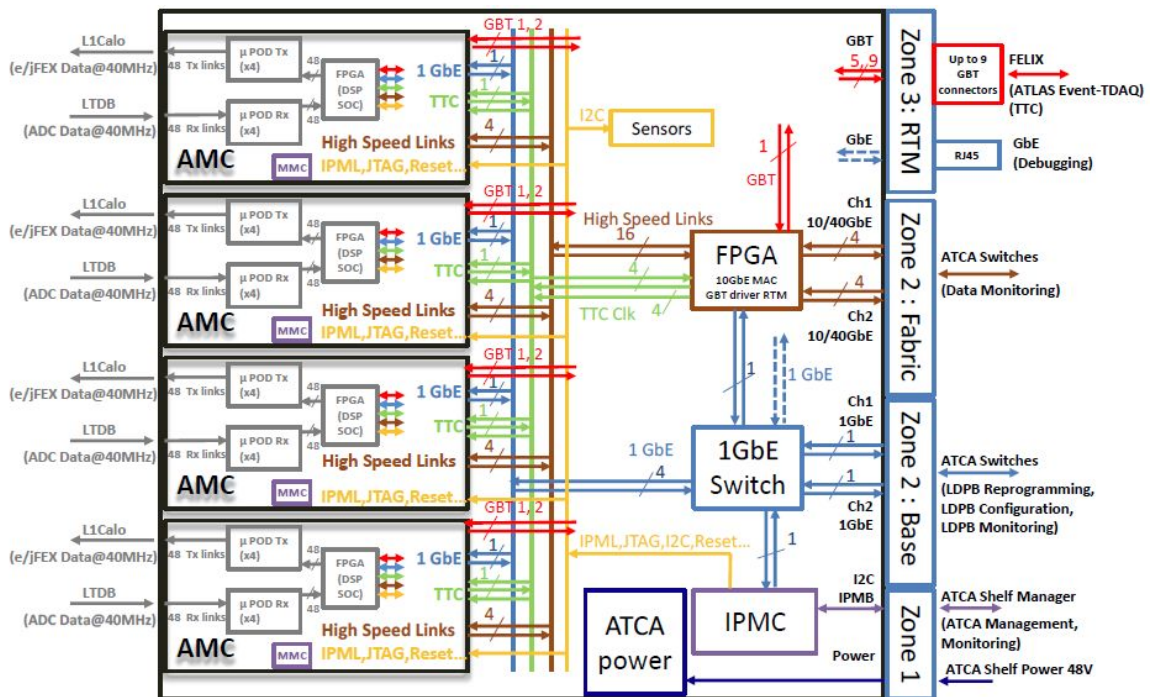


図 3.6 LDPB

たが、ここではより小型の MicroPOD を使った設計がベースデザインとして考案された。

LDPS まとめ

AMC 4 枚をのせた LDPB は 25Tbps で LTDB からデータを受信する。フィルタリング処理を施した後、L1Calo へ 41 Tbps で伝送するだけでなく 2.7 Tbps で PC farm にもモニタリングデータを転送する。本研究の開発対象となる AMC がこの重要な仕事を 124 枚でこなすことになる。つまり、AMC 1 枚あた

りに約 400 Gbps の通信速度が要求される。 次の章で AMC 開発のためのテストボード製作について説明する。

## 第 4 章

# 高速光通信テストボード「Akatsuki」の 開発

本研究では、MicroPOD を用いた高速光通信を行う「Akatsuki」を開発した。本章でこのボードの仕様決定から設計・製作までを順に説明する。

### 4.1 仕様

開発するテストボードの仕様として、AMC に要求される機能、性能を全て満たしたボード開発が理想である。但し、ボード開発は初の試みなので、今回開発するボードは光信号を用いた高速通信ボードという重要な点に絞って開発を行った。つまり、今回は熱の問題が起これないようにサイズには制限を設けず、また要求された通信速度である 400 Gbps のうち、半分だけを達成できるようなボードの開発を目指した。本ボードにも ATLAS のベースラインとして導入された 1 ペア 120 Gbps の MicroPOD を用いているが、そのような理由で今回は 2 ペアしかのせていない。

#### MicroPOD

光ファイバ 12 本に対応した小型の光モジュールであり、そのサイズは 7.8 mm × 8.2 mm × 3.9 mm である。送信 (Tx) と受信 (Rx) でチップがわかれているので Tx/Rx の 2 チップ 1 セットとして用いる。1 チャンネルあたりの動作通信速度は 10Gbps/12.5Gbps/14Gbps であり、最低のものでも 1 ペアで 120Gbps の通信速度を達成できる。通信に用いるファイバの長さ OM4 の規格で最大 150m である。ここで、OM4 とはコア径 50  $\mu\text{m}$ 、帯域幅 4700 MHz · km で規定されるマルチモード光ファイバの規格である。動作温度は 0 °C ~ 70 °C であり、1 チャンネルあたりの消費電力は 150mW という非常に低い値に抑えられた設計となっているが、AMC のサイズ制約から一般的なボード設計では十分に熱を逃がすことができず、動作温度内で動くための設計が困難になることが予想されている。

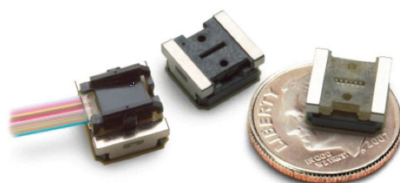


図 4.1 MicroPOD

## テストボードの主な仕様

- 複数の 10 Gbps 通信接続が可能な FPGA を搭載すること
- 200 Gbps 以上の通信が可能な光デバイスを搭載すること
- 開発後の様々なテストのために以下のデバイスを搭載すること
  - DDR3
  - Gigabit network module (NIC)
  - NIM、TTL の I/O

## 4.2 ボード開発の流れ

開発は 2013 年秋から始めた。まず、AMC に求められる機能と性能に沿って仕様を決定し、FPGA 等の主要部品を選択した。その後、KEK (高エネルギー加速器研究機構) 主催の Open-It プロジェクトに参加して開発支援を受けながら開発を進めた。残っていたフィルタ等の細かい部品や FPGA のヒートシンク等を選定した後、OrCAD を用いた回路作成にとりかかった。

OrCAD では、まずパーツごとにライブラリを作成し、そのライブラリのピン同士を結んでいく作業を行った。第 1 図案が完成するまでに約 1 ヶ月を要している。その後、Open-it の方々から助言を得ながら回路を修正し、且つ配線の流れを決める作業を同時に行った。修正開始から、企業にボード製作をお願いするまでに 2 ヶ月ほどかかっている。その後 3 週間ほどでボードが届き、テストできる運びとなった。

仕様決定、主要部品の選択	2 週間
細かい部品の選択、ライブラリ作成	2 週間
回路図作成 (ピン選択)	1 ヶ月間
回路図の提出、修正の繰り返し (この間に部品の配置を確定し、それによって ピン配置を修正し、配線を決める)	2 ヶ月間
ボード製作開始～納品	3 週間

表 4.1 テストボード開発スケジュール

## 4.3 製作過程

本節で開発スケジュールに沿って製作の過程を説明する。

### 4.3.1 部品選択

MicroPOD の性能を 100 % 活かせ、且つフィルタリングを実装するために、性能に余裕のある FPGA をまず選択した。残りの部品も仕様を確実に満たすものを選んで実装した。

- 送受信器

ATLAS のベースラインとして採用されている MicroPOD を使用した。今回のテストボードは、サイズが AMC 要請サイズ (156mm × 73.5mm) の約 2 倍、MicroPOD の数は半分なので発熱による温度上昇は小さくなる。よって、放熱器は商業用のもので動作温度内におさまると判断し、

Amphenol 社の MicroPOD ソケットキット付属のヒートシンク (図 4.2) を用いた。MicroPOD はピンのピッチが 0.74mm であり、これは一般的 FPGA 等のピッチ 1mm に比べて非常に狭い。よってスルーホール径を小さくする必要があり、厚い基板で設計することが難しい。

種類	AFBR-77/78D1SZ
サイズ	7.8 mm × 8.2 mm × 3.9 mm
最大通信速度	10.3125 Gbps × 12Lane
最大ファイバ長	150m (at OM4), 100 (at OM3)
最大消費電力	3.0W/(Tx,Rx)
動作温度	0 °C - 70 °C
ピッチ	0.74mm

表 4.2 MicroPOD 仕様

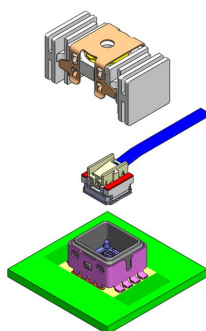


図 4.2 MicroPOD とソケットキット

上から、ヒートシンク、熱伝導材とコネクタ (+MicroPOD,cable)、ゴム製ブーツ + フェンス + ソケット。フェンスはグラウンドに接続し、ソケットは MicroPOD の代わりにボードと電氣的に接続されている。MicroPOD はソケットの上にはめるだけで使用できる。

- 光ファイバケーブル 光通信をテストするためのボードなので、ケーブルには光ファイバを用いている。ファイバは 12Lane を 1 束とし、MicroPOD コネクタとのアセンブリはフジクラ社に委託した。接続したファイバの長さは 1m であり、OM2 規格のものを使用した。OM2 はマルチモードの 50 (コア径)/125 (クリッド径) $\mu\text{m}$  で、帯域幅に特に規定はない。マルチモードとは、光が多くのモードに分散して伝送されることである。シングルモードと比較すると、安価な反面伝送損失が大きく、長距離の伝送には向かない傾向にある。しかし、OM2 では 10GBASE-S の通信で 82m までの伝送が可能である。よって、ATLAS のフロントエンドからバックエンドまでの 70m の伝送において、同ケーブルでの安定的な通信が可能である。メリットとしては、コアの径が大きく曲げには強い。また、クリッドとは伝送路であるコアを覆い、光を全反射させることで光を閉じ込めるとともにファイバの強度を確保する役割がある。
- FPGA FPGA には、Xilinx 社の Kintex-7 シリーズである「XC7K480T-2FFG1156C」を用いた。この FPGA は 32 チャンネルの GTX を持っており、12 チャンネルの MicroPOD を 2 ペア使うのに必要な数が備わっている。また、スピードグレード -2 は 1 チャンネルあたり最大 10.3125Gbps の通信速度を持ち、この速度は MicroPOD を用いるのに適当である。

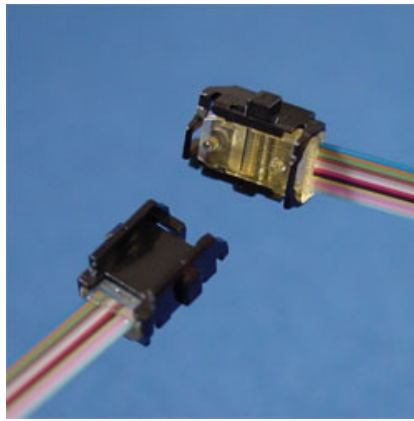


図 4.3 光ファイバケーブルとコネクタ  
レーンごとに色が違い、12Lane を 1 束としてアセンブリした。

FPGA の性能を表す各パラメータの値を表 4.3 で示した。一つ目のスライスとは、加算器や乗算器を持った一つの論理セルのことである。二つ目は LUT で、あらかじめ計算された値をテーブルとして格納しておき、計算処理を参照処理として効率化するためのものである。3 つ目は DSP、4 つ目のフリップフロップとは順序回路を構成するためのものであり、過去の状態を保持する役割がある。本ボードは新しいフィルタリングアルゴリズムを開発して搭載するため、DSP に余裕のある Kintex 最上位モデルを用いて作成した。また、本ボードでは GTX 32Lane のうち 24lane を MicroPOD を用いた通信に充てた。

デバイス	GTX	スライス	LUT	DSP	フリップフロップ
7K480T	32	74,650	298,600	1,920	597,200
AMC 必要数	54		~120,000	778	~184,000

表 4.3 ロジックブロック、DSP リソース

- メモリ 外部メモリとして、Micron 社の DDR3 (MT41J128M16HA-187E) を搭載している。用途はモニタリングとテストパルスのバッファリングが主であり、テスト用なのでそれほど高性能である必要はなく、容量 2 GB、周期 1.87 ns のものを使用した。
- オシレータ 外部クロックとして 2 種類のオシレータをのせている。一つは、AVX corporation の 125 MHz 固定クロック (KC7050Y125.000L30E00) である。この固定クロックの差動出力を、ファンアウトバッファ SY89833AL (micrel 社) を用いて 3 ペアの出力とした。 もう一つのクロックは、SILICON LABS の Si570 である。Si570 は I<sup>2</sup>C 通信によって 10 MHz~945 MHz の周波数を設定できる。
- 電源、レギュレータ 電源は、ボードの部品に必要な最大電圧である 3.3V を直接供給している。部品に必要な電圧は、対象となるチップの近くにレギュレータ (2.5V、1.8V、1.5V、1.2V、1.0V、-3.3V) を設置し、3.3V から必要な電圧まで落として入力している。用いたレギュレータは、LMZ10505、LTM4608AEV#PBF、LP38693SD-2.5/1.8、MAX889SESA、TPS51200DRC である。本ボードは全体で最大 6A ほどの電流が流れるので、レギュレータはそれに耐えるものを選んだ。
- NIM/TTL NIM と TTL 規格の信号も入出力できるように、そのための電圧変換器とパーツをのせた。



- 基板 基板には、三菱ガス化学社の CCL-EL230-T を用いた。高速伝送で問題になるパラメータは比誘電率と誘電正接である。容量が大きいと周波数特性が悪化するので誘電率は小さいほうが好ましい。また、誘電正接とはコンデンサ内での抵抗成分に近いパラメータであり、電気エネルギーの損失の程度を表す。よって小さいほうが好ましいが、周波数が大きくなるにつれてこの値は増加する。表 4.4 にこれらのパラメータの値を示した。比較対象は Panasonic 社の MEGTRON6 である。また、Panasonic 社の一般 FR-4 と比較すると、一般的な基板材料よりは上等な材質を用いている。

パラメータ		CCL-EL230-T (三菱ガス化学)	MEGTRON6 (Panasonic)	FR-4 (Panasonic)
比誘電率	1MHz	4.0	3.8	
	1GHz	3.8	3.6	4.3
	10GHz	3.6		
誘電正接	1MHz	0.004	0.002	
	1GHz	0.005	0.002	0.016
	10GHz	0.007		

表 4.4 基板の性能比較

#### 部品配置図案

図 4.4 は、仕様書の部品選択を終えた時点での部品配置構想図である。配線やピンの位置に応じて適宜配置を修正していく必要がある。サイズは 120 mm×200mm としたが、テストボードであるため強い制限ではない。

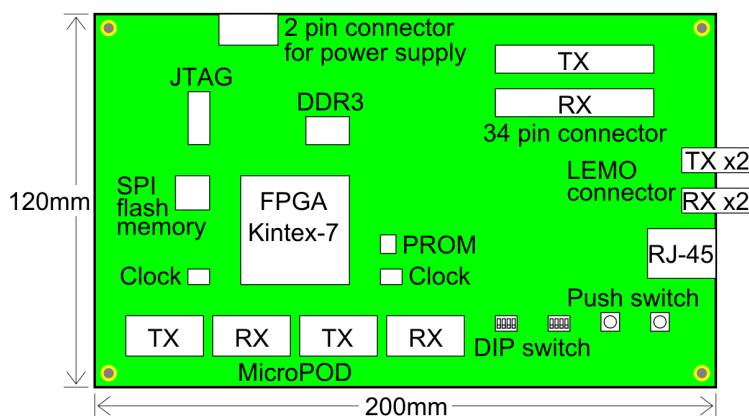


図 4.4 設計初期の部品配置構想図

#### 4.3.2 各部品と FPGA の位置関係

この小節で、各部品の配置と、FPGA のどのバンクに繋がっているのかを説明する。その前に、本ボードに搭載した FPGA の I/O バンクを紹介する。図 4.5 がその配置である。Bank 11~18 はユーザー I/O であり、Bank 111~118 は GTX 用の I/O である。GTX 用の I/O は MicroPOD にしか使用しないので、

こちら側を MicroPOD がある向きに配置した。ユーザー I/O もできる限り使っている部品の近くになるようにピン選択をした。以下、部品ごとのバンク選択について説明する。

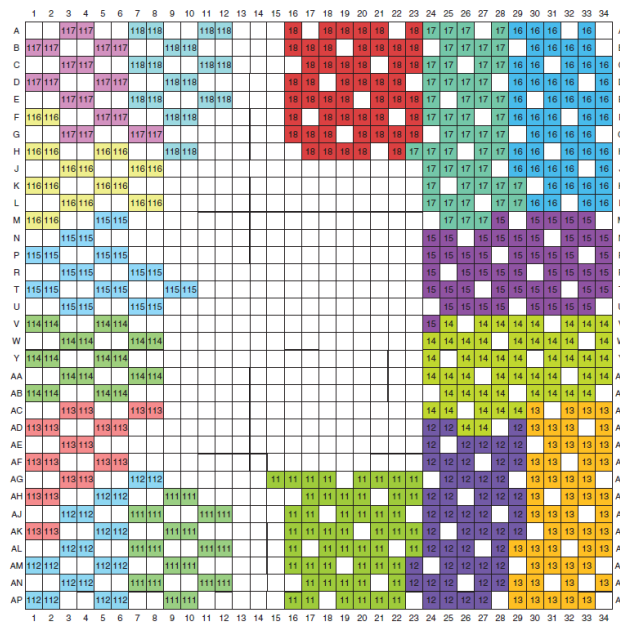


図 4.5 XC7K480T-FFG1156 の I/O バンク

Bank11 - Bank18 はユーザー I/O 用である。但し、Bank14 の一部はコンフィギュレーション用のピンとして使用される。Bank111 - 118 は GTX 用である。

- MicroPOD

MicroPOD は GTX バンクと繋がるので、Bank112~Bank117 がある側に配置した。また、制御信号はユーザー I/O バンクに繋ぐが、GTX バンクと近い Bank11 にこれを繋いだ。

- DDR3

DDR は MIG ツールを使用して、Bank16、17、18 を使うことに決定したので、それらのバンク付近に設置した。

- オシレータ

オシレータは GTX のバンクとユーザー I/O のバンク両方に入力するので、両方のバンクと近い配置とした。実際、固定クロックは 1 ペアを、FPGA の Bank12 に繋ぎ、残る二つは GTX の Bank113 と Bank116 に繋いだ。配線長を短くするために、オシレータは FPGA の bank112 付近に配置した。なお、GTX に供給されるクロックは隣のバンクまで同期できるので、これにより Bank112~Bank117 までの 6 つのバンクが使用可能となる。1 つのバンクあたり 4 ペアの GTX レーンが使えるので、この 6 バンクで 2 ペアの MicroPOD 24 レーン分のチャンネルを確保した。

可変クロックである Si570 は Bank12 のみと接続した。しかし、Si570 を GTX に入力しなかったことは、テストできる通信速度を制限してしまう結果となった。なぜなら GTX が持っている分周器には限りがあり、固定クロックではテストできる通信速度が限られてしまうからである。

- レギュレータ

電流値が大きい本ボードでは、小さな抵抗でも無視できない電圧降下を生んでしまうため、レギュレータをチップに近づけることで少しでもそれを軽減した。FPGA への電圧供給ラインは、Bank18 と Bank118 の間にある I/O の隙間を通して入れている。また、Bank18 はほとんど使用していないので、この位置には信号線が集中していないということもここを選んで理由の一つである。よって、

この位置を通すレギュレータは、FPGA の Bank18 側に設置した。

- その他.

その他の信号は、基本的に余ったバンク、ピンと接続していく形となる。図 4.5 に対して右下のバンクが余っているので、NIM/TTL や、Gigabit Ethernet PHY 用のモジュールは右側に配置し、これらのバンクと接続した。

### 4.3.3 回路図の作成

#### 部品ライブラリの作成

部品選択の後、Cadence の OrCAD Capture CIS (v16.5) ツールを用いて部品ごとのライブラリを作成した。図 4.6 はその例であり、JTAG ケーブルを接続する際の部品に対するライブラリである。部品ごとにデータシートを参照してピンの数と名称を決定した。

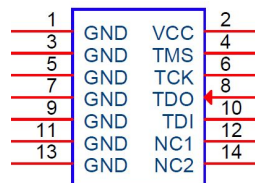


図 4.6 JTAG ケーブルコネクタのライブラリ

#### ライブラリ作成用データシート一覧

FPGA	<a href="http://japan.xilinx.com/support/packagefiles/k7packages/xc7k480tffg1156pkg.txt">http://japan.xilinx.com/support/packagefiles/k7packages/xc7k480tffg1156pkg.txt</a>
MicroPOD	Avago: MicroPOD AFBR-77D1SZ, AFBR-78D1SZ
DDR3	Micron: Micron 2Gb: x4, x8, x16 DDR3 SDRAM
固定クロック	AVX Corp/Kyocera Corp: KC7050Yxxx.xxxL30EZU
可変クロック	SILICON LABS: Si570/Si571
レギュレータ	TEXAS INSTRUMENTS: LMZ10505
	TEXAS INSTRUMENTS: LP3869x
	TEXAS INSTRUMENTS: TPS51200
	LINEAR TECHNOLOGY: LTM4608A
	Maxim Integrated: High-Frequency, Regulated, 200mA, Inverting Charge Pump

表 4.5

#### ピン選択とその記述方法

ライブラリの作成を終えたら、各部品のピンをそれぞれの仕様書に従って接続する。ピン接続の方法はページをまたぐ場合とそうでない場合とで方法が若干異なるので分けて説明する。なお、ページとは OrCAD の回路作成シート 1 枚分のことを指し、別のシートに記述されたライブラリと接続する場合を”異なるページ間での接続”として説明する。基本的にはメインパーツごとにページを分け、レギュレータやクロックはまとめて 1 ページに記述した。FPGA はピン数が多いので、コンフィギュレーションバンク、

ユーザー I/O バンク、GTX I/O バンク、電源部に分けて記述した。

- 同じページ内での接続

ピン同士の接続方法は2種類ある。一つはワイヤーで直接繋ぐ方法で、もう一つはワイヤーに名称をつけて、その名称をそろえることで接続する方法である。ラインが交差すると見づらくなるので後者の方法で接続することが多い。図 4.8 は、仕様書 (図 4.7) を参照して JTAG コンフィギュレーション回路を作成した様子である。例えば、JTAG 用コネクタのピン (TMS, TCK, TDO, TDI) と FPGA の Bank0 のピン (TMS\_0, TCK\_0, TDO\_0, TDI\_0) が、それぞれワイヤー名 (FPGA\_TMS, FPGA\_TCK, FPGA\_TDO, FPGA\_TDI) で接続されていることが分かる。

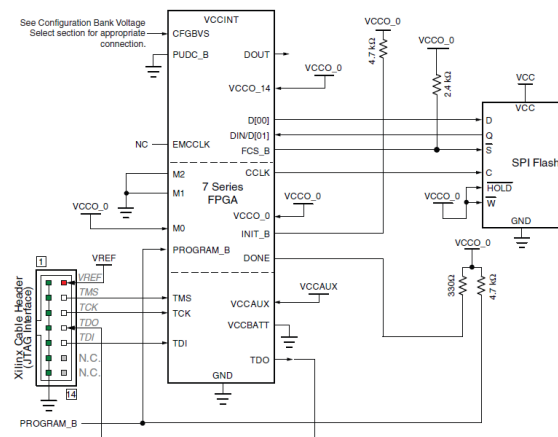
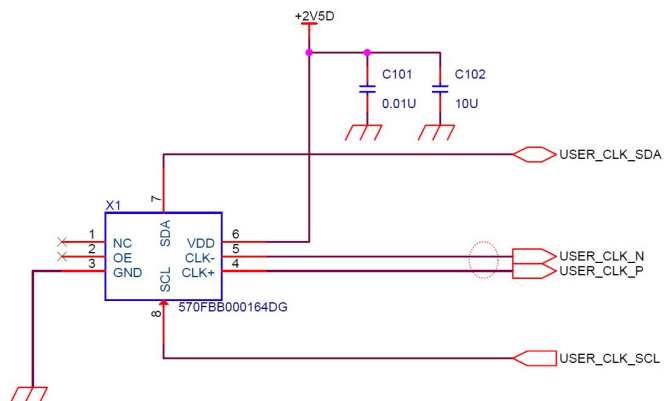


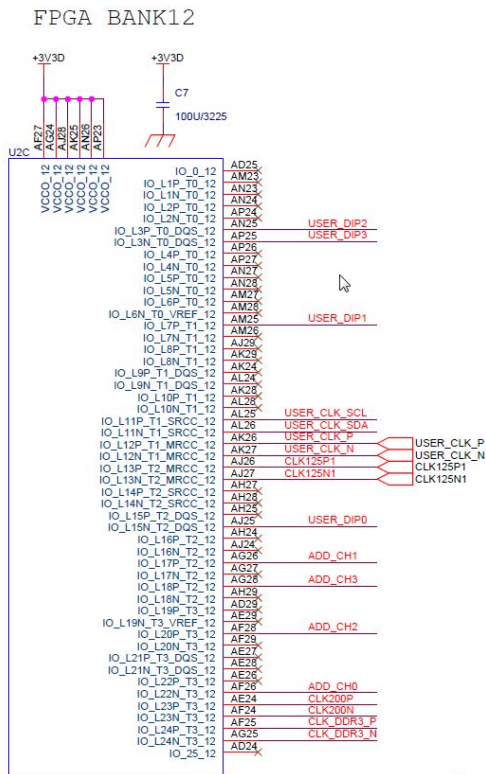
図 4.7 JTAG/SPI コンフィギュレーション

Xilinx ユーザーガイドによる推奨回路である。ピン選択だけでなく、抵抗やキャパシタの値も正常な動作が確認されている仕様書の値のものを用いた。





ページ 08



ページ 03

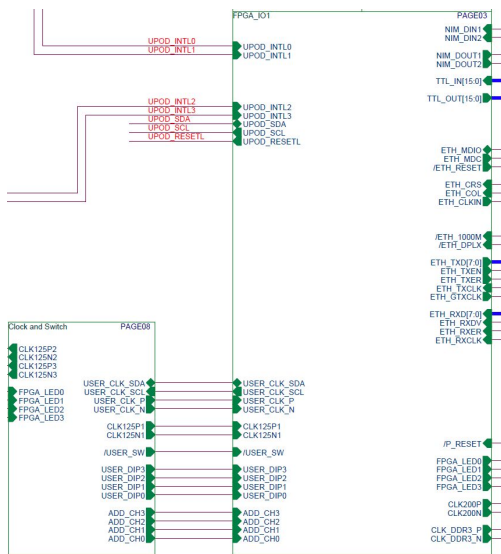


図 4.9 トップページで USER.CLK.P/N を接続している。

きる限りチップに近づけて配置するのがよい。

MicroPOD は I<sup>2</sup>C で制御するモジュールなので、アドレスポートが存在する。FPGA によるロジック制御で指定してもよいが、本ボードでは 3.3 V とグラウンドによって直接アドレスを指定した。これによって 4 個 (2 ペア) の MicroPOD を別々に制御することができる。

Rx 側には、DC をブロッキングするためのキャパシタが必要なので、データラインには 0.1 μF のキャパシタをつけた。Tx はモジュール内部にこれがあるので、FPGA の GTX バンクに直接繋がばよい。データラインは差動なので、差動ペアが等長になるように図面に明記した。各チャンネル間も長さによって信号到達までの時間に差が出てしまうが、FPGA 内のバッファを用いることで調整できるので揃えなかった。図 4.10 は MicroPOD 周りの回路である。

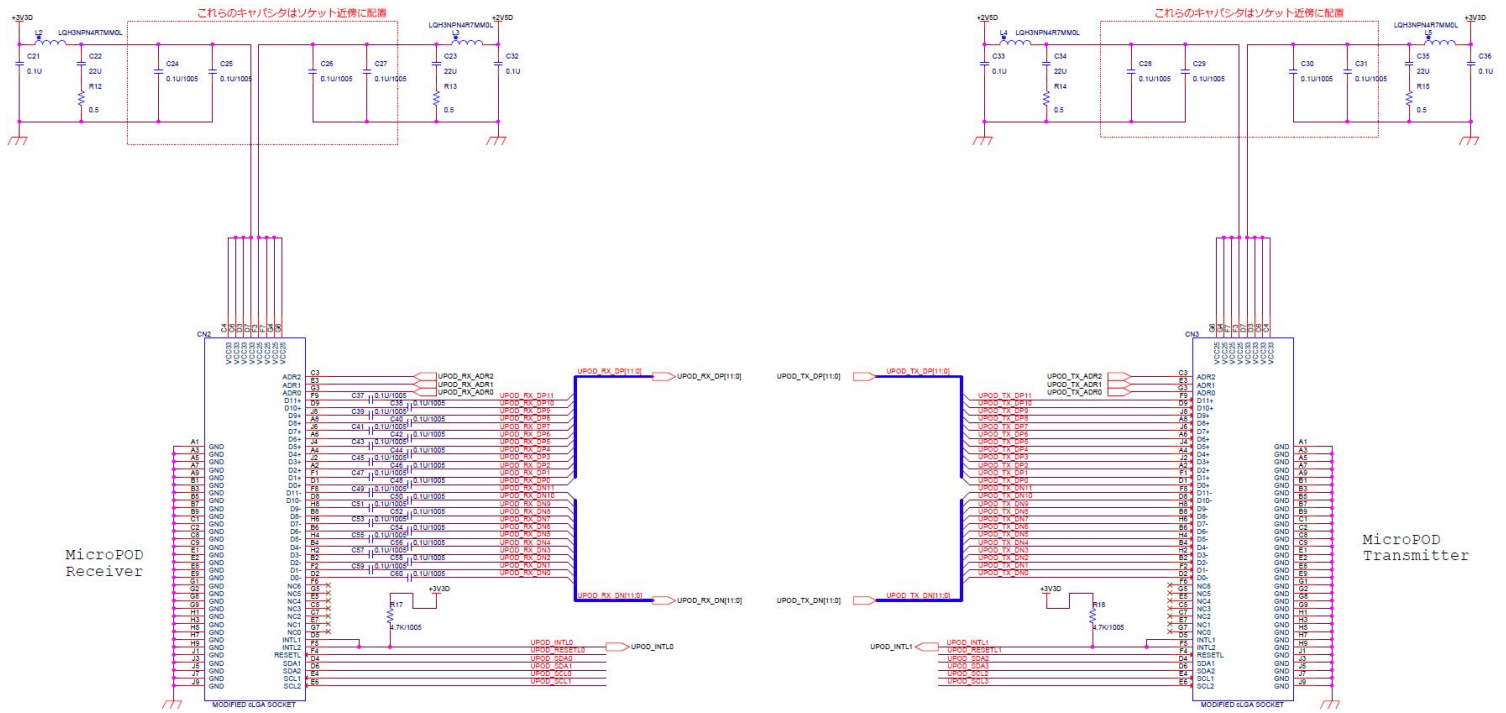


図 4.10 MicroPOD 周りの回路

● DDR3 周りの回路

DDR3 のピンを FPGA に割り当てる際にはいくつかの規則に従って行う必要がある。ピン配置を手動で行うと、規則に違反したデザインで DDR3 が動作しなくなる恐れがあるので DDR3 のピン選択は Xilinx 社が提供する MIG (Memory Interface Generator) ツールを用いて行った。MIG によるピン選択の結果、FPGA の Bank16~Bank18 の 3 つのバンクを DDR3 専用に割り当てた。専用にした理由としては、DDR3 は供給電圧が 1.5V であり、SSTL 1.5 の規格で通信を行うので、対応するバンクには他バンクと異なる 1.5 V の電圧を供給する必要があるからである。Bank18 には 2.5 V を供給しているが、これは I/O Delay のための基準クロックとして LVDS 25 規格のクロック信号を入力しているからである。

また、DDR3 のデータラインはグループごとに等長にする必要がある。本ボードでは、31mm と 65mm の 2 種の配線長で接続した。

4.3.4 配線とレイヤー構成

FPGA の各バンクに接続されている部品を以下に列挙していく。

- Bank 11 (3.3 V)
  - MicroPOD の制御信号 I/O (SDA, SCL, INTL, RESETL)
  
- Bank 12 (3.3 V)
  - 固定クロック (125MHz)、プログラマブルクロックの入力
  - テスト用ディップスイッチ

- DDR3用のクロック出力信号

- Bank 13 (3.3 V)

- Gigabit Ethernet PHY のための I/O ピン]
- テスト用 LED
- テスト用スイッチ (リセット信号等)

- Bank 14 (3.3 V)

- Gigabit Ethernet PHY 用 I/O の残り
- SPI Flash memory
- PROM

- Bank 15 (3.3 V)

- NIM 用 I/O
- TTL 用 I/O

- Bank 16, 17 (1.5 V)

Bank 18 も含めて DDR3 専用バンクとしている。ピンの指定には Xilinx の MIG ツールを使用した。

- Bank 18 (2.5 V)

DDR3 の基準クロック入力ピンのみの使用となっている。

- Bank 112~117 (GTX 用 I/O Bank)

全て MicroPOD 用の I/O として使用している。Bank 113 と Bank 117 に 125 MHz の基準クロックを入力して、Bank 112~Bank 114、Bank 115~Bank 117 の 12 Lane ずつをそれぞれ MicroPOD 1、2 に充てている。

- Bank 111, 118

未使用

以上のピン配置から、最終的な部品配置は図 4.11 のように決定した。

部品配置、ピン選択を終えた後、配線の最適化を行った。配線に関しては、ラインがなるべく交差しないような流れを考える。高速シリアル信号線や DDR3 等のラインが多い部分ではどうしても交差してしまうので、スルーホールを用いてできる限り短い配線となるように設計した。設計後は PCB 製作会社 (ジー・エヌ・ディー) に依頼して、実際のボードの製作を行った。以下、プリント基板ができるまでの製造工程を説明する。

#### PCB (Print Circuit Board) 製造工程

- 基板の切断と洗浄
- 各層のプリント
  - 基板の両面に銅箔を貼り、その上に感光フィルムをのせる。



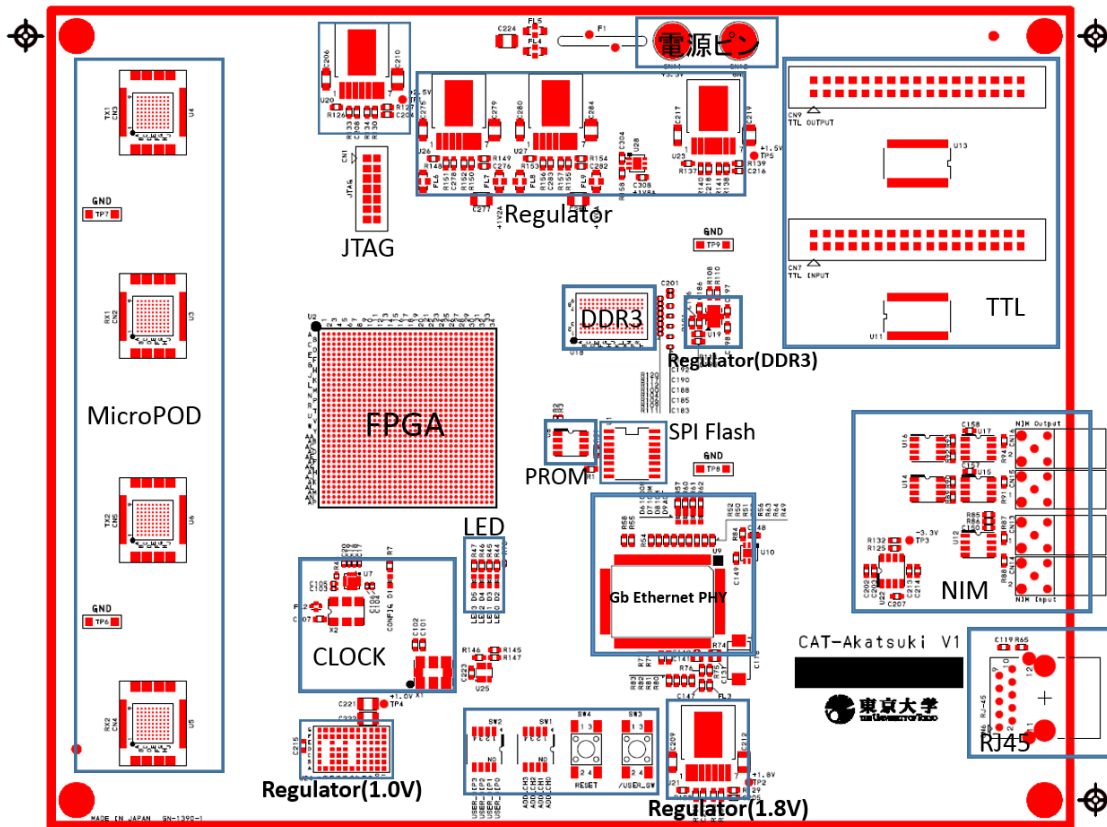


図 4.11 部品配置図

FPGA の向きは、図 4.5 と同じ向きである。サイズは 160 mm×200 mm、厚さは 1.5 mm、層数は 12 層である。

- 紫外線を照射して内層パターンを焼付ける。銅を黒化、すなわち酸化させることは、絶縁層に用いられるプリプレグと呼ばれる中間材料との密着性を高める効果がある。
- エッチング
  - 現像されたパターン以外のフィルム、銅箔を除去する。フィルム全はて剥がす。ここまでで、一枚の基板（絶縁体）の上に銅線（導体）が張られた。
- 積層プレス
  - プリプレグを挟んだ基板同士をプレスして接着させることで多層基板にする。
- 穴あけ/メッキ
  - スルーホール、ビアなどの穴あけ加工を施す。
  - 異なる層を電氣的に接続するために、スルーホール内部をメッキする。
- 表面処理
  - 銅箔部の錆防止等のためにフラックスを塗布する。
- 通電チェック
- 熱処理で素子を載せて完成

以下、完成したテストボードのレイヤー構成を記述する。

## Akatsuki レイヤー構成

## ● L1 (部品面信号層 (図 4.12))

主な部品が全て実装されている表面である。高速シリアル伝送路は一般にスルーホールを使用しない設計が推奨されている。差動ラインは等長に保つ必要があるのでスルーホールの直角配線はインピーダンスのずれを生じ、またこれらはコイルとして存在することになるので高速伝送には適さない。しかし、伝送路が非常に多い設計なので MicroPOD、DDR3 等の配線は、スルーホールを用いて別々の層で FPGA と繋いだ。

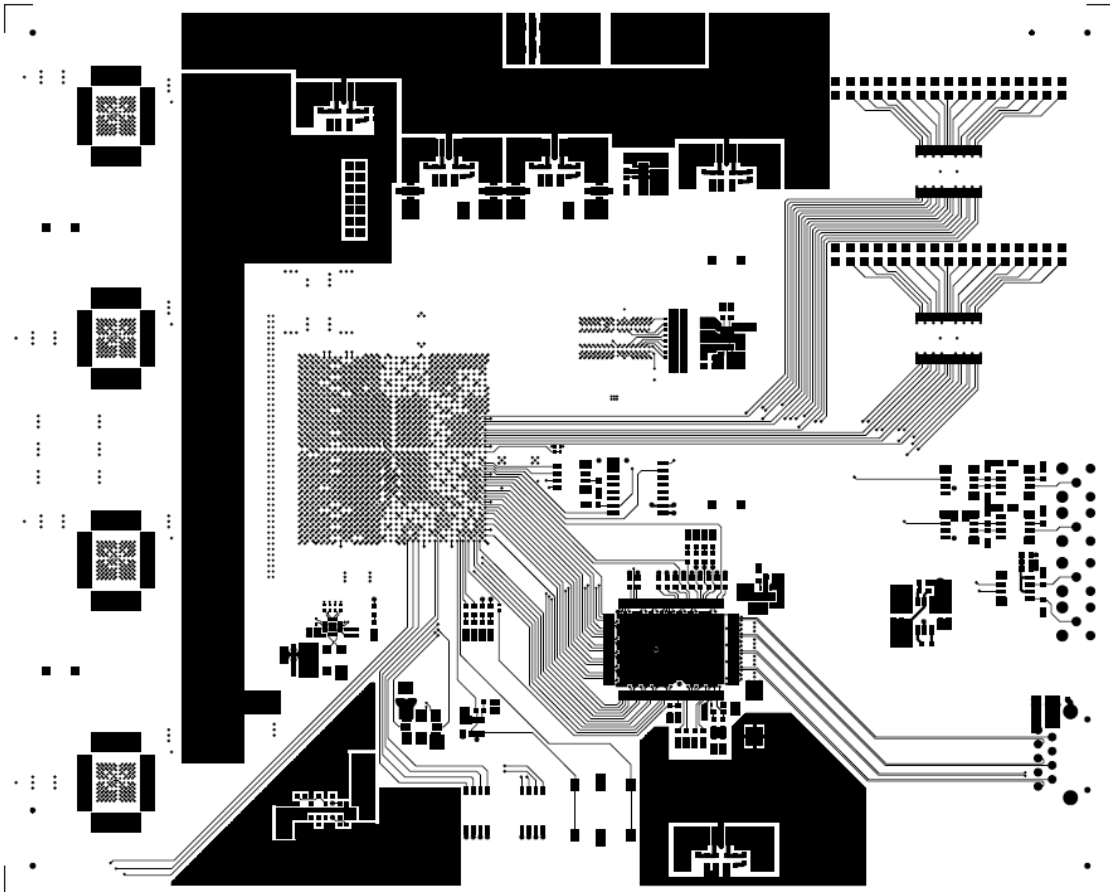


図 4.12 部品実装面 (表)

- L2,4,6,9,11 (グラウンド層)
- L3 (信号層)
  - DDR3
- L5 (信号層)
  - MicroPOD
  - DDR3
  - NIM
  - TTL
  - GbE PHY

- L7 (電源/グラウンド層)
- L8 (信号層)
  - DDR3
  - I<sup>2</sup>C
- L10 (信号層)
  - MicroPOD
  - DDR3
  - NIM
  - TTL
- L12 (部品面信号層 (図 4.13))

裏面にのせたのは、抵抗とキャパシタ、コイルだけである。

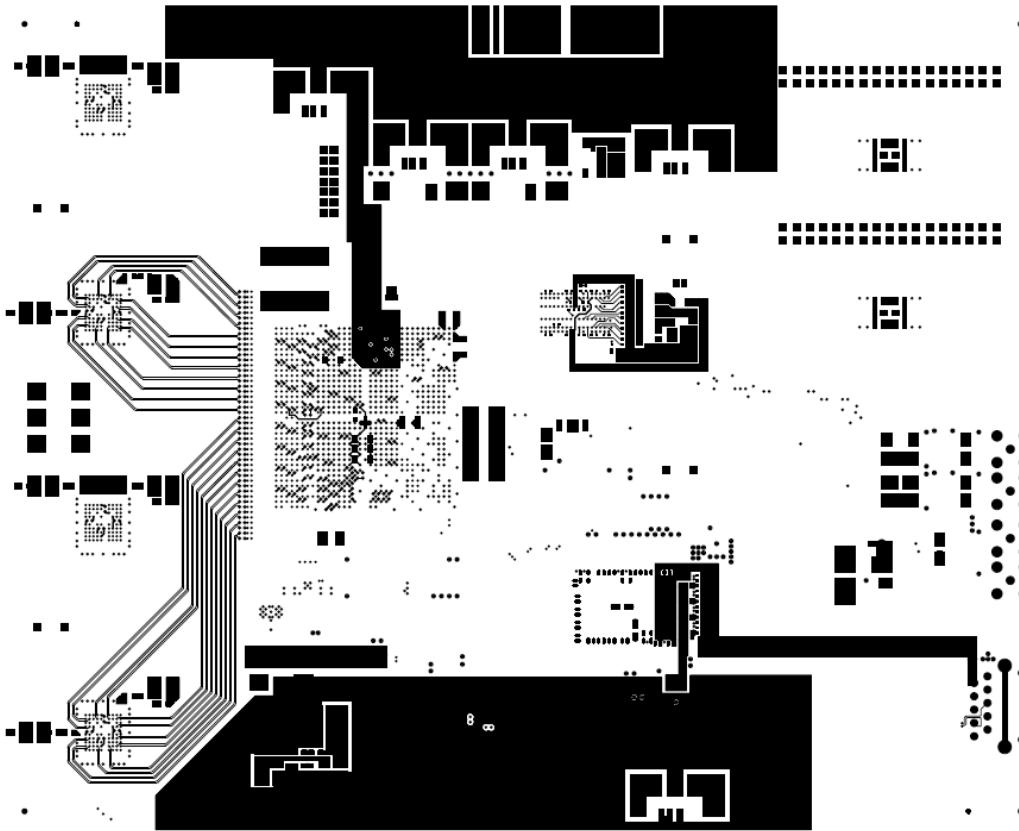


図 4.13 部品実装面 (裏)

## 4.4 まとめ

完成したボードが図 4.14 である。最終的なサイズ等は以下のように決定した。

- 名称：「Akatsuki」
- サイズ：160 mm×200 mm
- 厚み：1.5 mm
- 層数：12 層

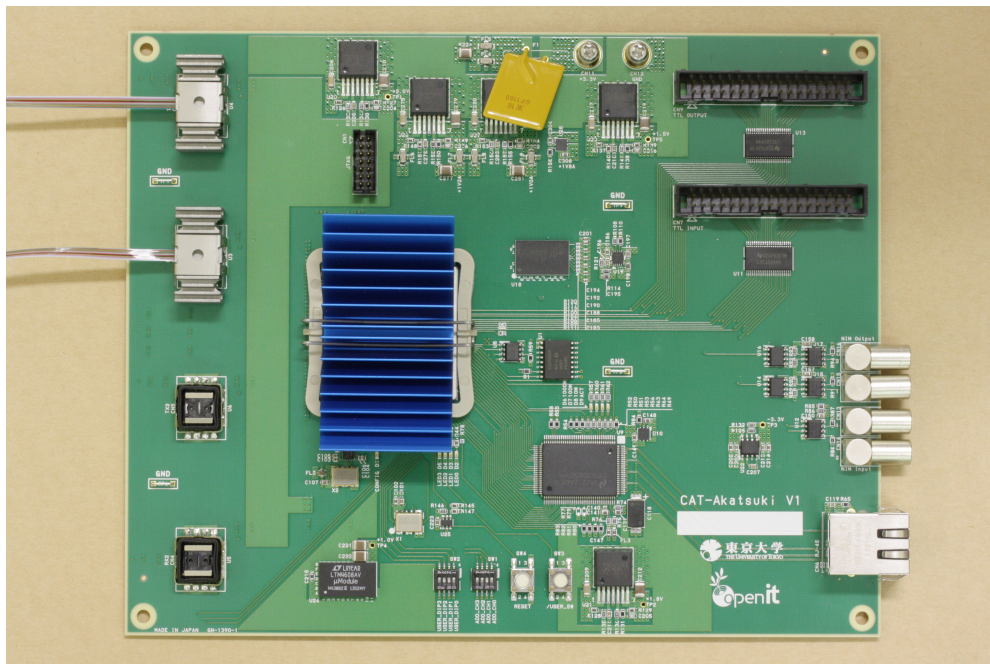


図 4.14 「Akatsuki」

次章でこの Akatsuki の性能評価の結果を示す。

## 第 5 章

# テストボードの性能評価

製作したテストボードを用いて、10 Gbps/Lane 通信を安定に行うことができることを評価する。また、FPGA を含めてボードの温度がどの程度かを測定することで、次のステップである高密度という課題にも見通しが立てられる。本章では GTX について解説した上でこれらの結果を示す。

### 5.1 GTX トランシーバ

GTX とは、Kintex-7 に搭載されている最大 12.5 Gbps の MGT (Multi-Gigabit Transceiver) である。4.3 節で述べたように、本テストボードに搭載されている FPGA はスピードグレードがひとつ下なので最大 10.3125 Gbps での通信が可能である。

#### 5.1.1 PLL (Phase Locked Loop)

Gbps レベルの高速通信を行うには、周波数が GHz オーダーのクロック信号が必要となる。通常 GTX の入力基準クロックには 100 MHz 程度のクロックを入力するので、Transceiver 内部の PLL でその周波数を増加させる必要がある。GTX の PLL は CPLL と QPLL の 2 種類あり、扱うデータレートの大きさによって使い分ける。

##### CPLL (Channel Phase Locked Loop)

CPLL を図 5.1 のブロック図を用いて説明する。

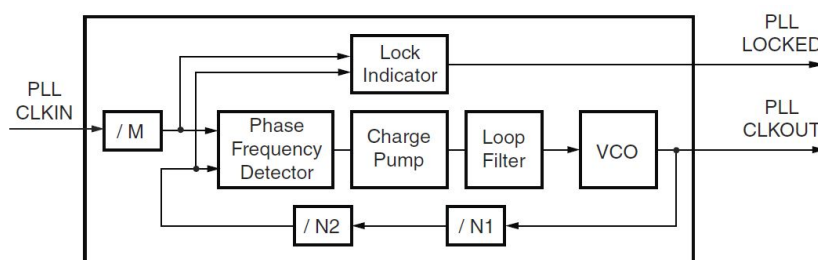


図 5.1 CPLL

M	1, 2
N1	4, 5
N2	1, 2, 3, 4, 5

表 5.1 CPLL の分周器

- /M, /N1, /N2  
分周器を表し、いずれも整数である。PLLCLKIN の周波数 ( $f_{\text{PLLIN}}$ ) が分周器 M を通過して PFD に入力される際の周波数 ( $f_{\text{R}}$ ) は、 $f_{\text{R}} = \frac{f_{\text{PLLIN}}}{M}$  となる。
- Loop Filter (LF)  
交流成分を除去して直流電圧とするためのローパスフィルタである。
- Charge Pump  
電圧を上昇させるための回路。VCO に対する基準電圧を生成する。
- Voltage Controlled Oscillator (VCO)  
高電圧がかかるほど出力周波数を上げる回路である。VCO の出力電圧の決定は、分周器 N1、N2 の値を決定することで自動的に行われる。
- PFD (Phase Frequency Detector) / Lock Indicator  
二つのクロック信号の位相、周波数をチェックして、ロック (一致) しているかを判定している。ここでは、VCO からの出力が分周器 N1、N2 を通って PFD に戻ってくるクロック信号の周波数 ( $f_{\text{D}}$ ) と、分周器 M を通ってきた  $f_{\text{R}}$  が、 $f_{\text{D}} = f_{\text{R}}$  である状態をロックしているといい、このときに出す信号が PLLLOCKED である。つまり、この PLLLOCKED 信号が HIGH の状態であれば、VCO からの出力クロックは設定値どおりの周波数で出力できている。

VCO の電圧制御により上昇した周波数のクロックを分周器  $N1 \times N2$  に通してフィードバックしたものを入力信号とロックさせることで、精確な高周波クロックを出力している。また、PFD は周波数のずれに応じたエラー信号を出力する。つまり、VCO の出力周波数が設定値より大きい場合にはダウン信号を有効にし、小さい場合にはアップ信号を有効にする。LF は、そのエラー信号に比例した直流電圧を出力し、その電圧が VCO の周波数特性に対して誤差を軽減する方向に影響することで、安定的な高周波クロック供給を実現している。

これにより、PLL CLKOUT の周波数は、

$$f_{\text{PLLOUT}} = \frac{N1 \times N2}{M} f_{\text{PLLIN}}$$

#### QPLL (Quad Phase Locked Loop)

動作原理はほぼ CPLL と同様である。QPLL はクワッド内の GTX チャンネル全てに共有で用いる。クワッドとは GTX の 1 バンクに対応し、Kintex-7 ではバンク内の 4 チャンネルが 1 つの QPLL によって動作することを意味している。よって、クワッド内のチャンネルごとに周波数を変更することはできない。その代わりに、QPLL の VCO は CPLL よりも周波数帯域が大きいものが使われている。分周器 N も大きい値

のものが用意されているので、CPLL より高い高周波のクロックを生成できる。また、QPLL の VCO には低周波数モードと高周波数モードが用意され、表 5.3 の公称周波数範囲に基づいて Transceiver Wizard が自動的に適切なモードを選択する。

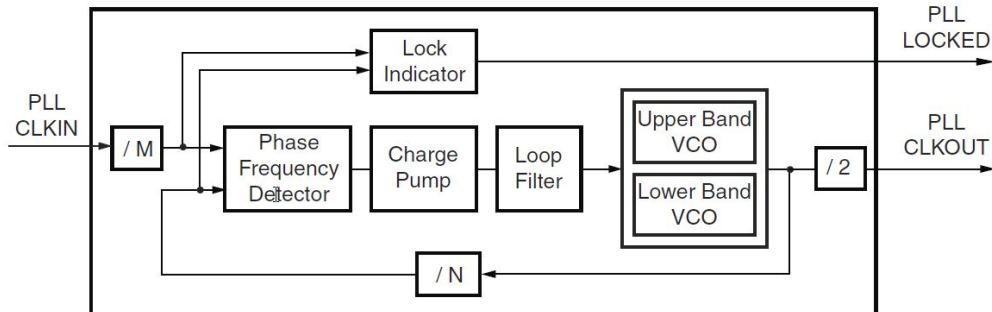


図 5.2 QPLL

M	1, 2, 3, 4
N	16, 20, 32, 40, 64, 80, 100
D	1, 2, 4, 8, 16

表 5.2 QPLL の分周器

QPLL	低周波数帯域	5.93GHz - 8.0GHz
	高周波数帯域	9.8GHz - 12.5GHz
CPLL	周波数帯域	1.6GHz - 3.3GHz

表 5.3 QPLL と CPLL の公称周波数範囲

PLL の出力を TX/RX クロックドライバに入力する際には、これら CPLL、QPLL のどちらを使うかユーザー側が選択する (図 5.3)。但し、周波数が CPLL の動作上限を超えると QPLL しか選択することはできない。ラインレートは差動クロック周波数の 2 倍になるので、表 5.3 より CPLL では 6.6 Gbps までの通信しかできない。10 Gbps の通信は、QPLL の VCO が出力できる 10 GHz のクロック信号を用いる必要がある。ここで、QPLL 内の VCO 出力後の分周器により、10 GHz の差動クロック信号は直ちに 5 GHz になることに注意する。

### 5.1.2 Tx / Rx

#### Transmitter

図 5.4 は Tx (Transmitter) のブロック図である。Tx は PCS (Physical Coding Sublayer) と PMA (Physical Medium Attachment) に分かれていて、それぞれパラレルデータ、シリアルデータで通信を行う領域である。

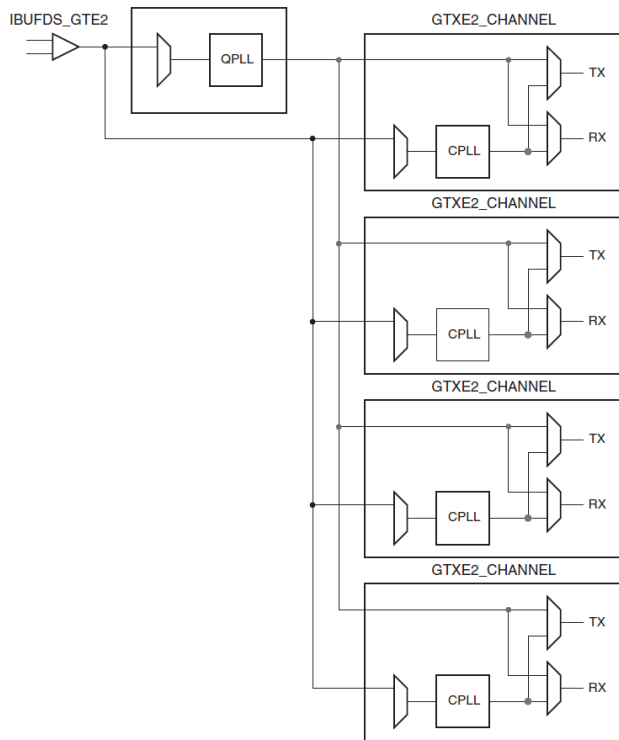


図 5.3 4チャンネルのコンフィギュレーション

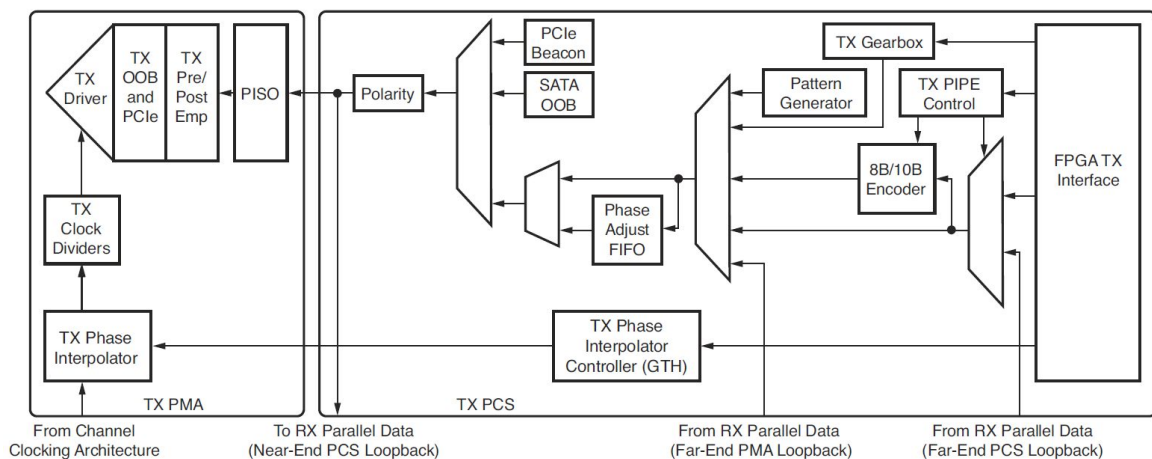


図 5.4 Tx ブロック図

#### ○ パラレルインターフェースとシリアルインターフェース

パラレルインターフェースとは、バス幅を増やして通信速度を得る通信方法のことである。通信速度を上げるためには2通りの方法が考えられる。一つ目はバス幅を増やすことであるが、データ線が増えることはFPGAのピン増加に繋がるのでコストが上昇する。二つ目はクロックをより高速にすることであるが、この場合、各レーンのデータとクロックのタイミング整合が厳しくなり、精密技術の必要性から高コストに繋がる。これらの理由でパラレルインターフェースでの通信速度向上は現実的ではない。

一方、シリアルインターフェースの方は、パリティビットによるエラー検出しか行えないことから高速データでエラーが混じりやすくあまり普及していなかった。しかし、IBMによる8b/10b技術の開発により、高速シリアルが急速に普及し始めた。



	8bit	RD+	RD-
D28.5	10111100	0011101010	0011101010
K28.5	10111100	0011111010	1100001010

表 5.4 8b/10b の例

**Tx PCS** FPGA のパラレルデータはシリアライズされるまでにいくつかのブロックを通る (図 5.4)。ここでは、PCS の各ブロックの役割を説明する。

- ① 8b/10b エンコード
- ② Tx Gearbox
- ③ TX PIPE Control
- ④ Pattern Generator
- ⑤ Phase Adjust FIFO
- ⑥ PCIe Beacon, SATA OOB

#### ① 8b/10b エンコード

入力された 8 bit のパラレルデータをあらかじめ用意された変換テーブルに沿って 10 bit の D コードもしくは K コードに変換する。D コードとは、8 bit の入力信号を通常のデータとしてエンコードしたものである。これに対し K コードは、信号をデータではなくデータ制御用のコマンドとしてエンコードされた 10 bit データである。表 5.4 に 8b/10b の変換例を示した。D28.5 と K28.5 は、8 bit 入力の時点ではどちらも 8'b10111100 である。ここで、8'b とは 2 進数で 8 bit という意味である。D28.5 は、入力された 8'b10111100 を本来のデータとして変換した 10'b0011101010 のことを指す。これに対し、K28.5 は本来流れてきたデータではなく、データを制御するために意図的に差し込んだものである。10 bit に広げることで、制御用である K コードを通常データが変換された D28.5 と区別しているのである。

D 信号と K 信号は、8 bit のパラレルデータとは別のポートを用意して区別する。8 bit のデータを 10 bit 分のシンボルを使って伝送してしまうため、20% のオーバーヘッドが生じている。また、ランニングディスパリティ (RD) と呼ばれる符号を持ち、反転させながらデータを送ることで HIGH の数と LOW の数を 1:1 に保つ。初期値は RD (-) なので、最初に送信されるシンボルは、HIGH が 5 bit、LOW が 5 bit の中性シンボルで RD (-) を継続するか、HIGH が 6 bit のシンボルで RD (+) に符号を反転させる必要がある。

まとめると、RD と 20% のオーバーヘッドを組み合わせることで、HIGH と LOW が 5 bit 以上続かないような変換で且つ DC バランスのとれたコーディングを可能とした。これにより DC 成分を抑制でき、AC カップリングが容易に可能となる。図 5.5 は一般的 AC カップリングの回路である。

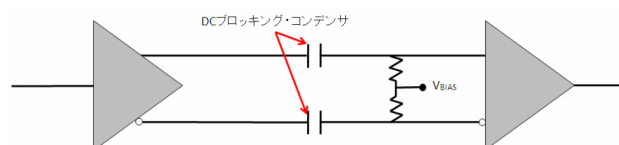


図 5.5 一般的な AC カップリング

コンデンサは DC ブロッキングコンデンサと呼ばれ、DC 成分をカットするためのものである。入力電圧は、抵抗値が同じであればバイアス電圧を中心として高電圧側と低電圧側に等しく振れる。AC 結合の欠点として挙げられるのが、DC バランスをとる必要性があること、つまり、伝送データの HIGH と LOW の数の比を 1:1 にしなければならないことである。また、HIGH、LOW が長く連続で入力されることもノイズの原因となる。つまり、8b/10b は AC カップリングのこの弱点を上手く回避した変換コードである。

#### ② Tx Gearbox

一部の高速データレートで 64b/66b エンコードを使用する。64b/66b は、転送データの 20% がオーバーヘッドの 8b/10b に比べて、オーバーヘッド約 3% で通信を行うことができる。

#### ③ TX PIPE Control

PIPE (PHY Interface for the PCI Express) の制御信号である。PCI Express (PCIe) の動作モード等を決定している。

#### ④ Pattern Generator

PRBS (擬似ランダム-ビットシーケンス) 信号を生成する。7, 15, 23, 31 bit のテストパターンが用意されている。

PRBS は、一般に高速リンクにおけるシグナルインテグリティの検証に使用される。一見ランダムに見えるが、実際は特定のプロパティが存在する。PRBS-n bit では、最大 n ビット前の履歴情報と XOR (排他的論理和) をとるので、HIGH、LOW が n bit より多く続くことはない。同じデータが長く続くほど信号の質が悪化しやすいので、より厳しい条件でテストを行いたい場合には、PRBS-31 bit を用いるのがよい。

#### ⑤ Phase Adjust FIFO

Tx バッファをバイパスする場合に、XCLK (PMA parallel clock) と TXUSRCLK (PCS parallel clock) 間の位相調整を行うための回路。GTX トランシーバの場合には自動で調整される。

#### ⑥ PCIe Beacon, SATA OOB

PCI Express 仕様に準拠するビーコン信号 (存在や位置を知らせるための信号) の生成、SATA (Serial ATA)、OOB (Out-of-Band) シーケンスの作成を行うオプション回路。

### Tx PMA

Tx の PMA はエンコード後のパラレル信号をシリアライズする領域である。Tx Driver への送信前に通る主なブロックは以下の 2 つである。

- ① PISO (Parallel In Serial Out)
- ② Pre/Post Emphasis

#### ① PISO

CPLL、もしくは QPLL の高速クロック信号を PISO に供給して、PCS からのパラレル信号をシリアルに変換する。本 FPGA では最大 10.3125 Gbps までのラインレートを実現できる。

TXSYSCLKSEL によって PLL の選択を行っている (図 5.6)。PCS からのパラレルデータ (TX DATA) にこの PLL クロック信号をのせることで高速シリアル信号を生成している。生成した高速信号は TX Driver に送られ、外部モジュールとのインターフェースを通して通信が行われる。

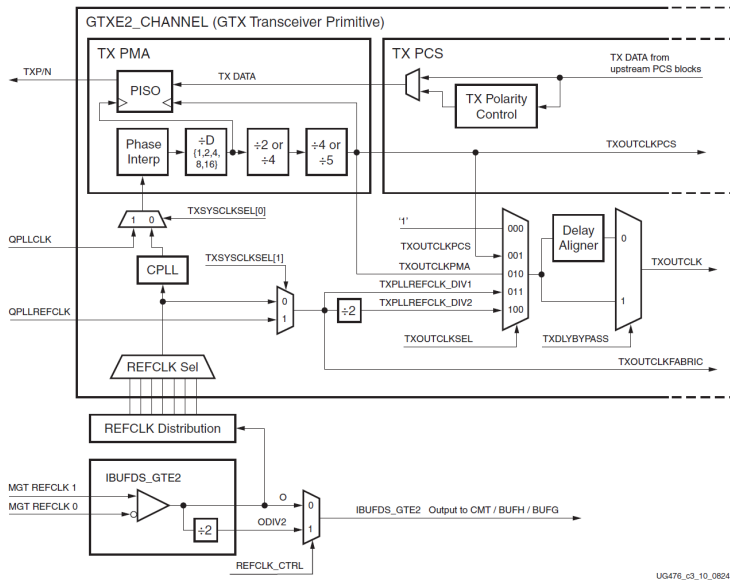


図 5.6 PISO 周辺の回路

② Pre/Post Emphasis

プリエンファシスとは、送信側で予め変調信号の高周波域を増幅しておくことである。高周波ほど S/N 比が悪くなる傾向にあることからこのような対策を行う。受信側ではこの増幅を元に戻すデエンファシス回路が必要となる。

Peak-to-Peak の差動電圧は  $269 \text{ mV}_{\text{PPD}}$  から  $1119 \text{ mV}_{\text{PPD}}$  の間の決められた値が選択できる。

Receiver

図 5.7 は、Rx のブロック図である。ほとんどのブロックは Tx と逆の変換もしくはチェックを行うような回路である。

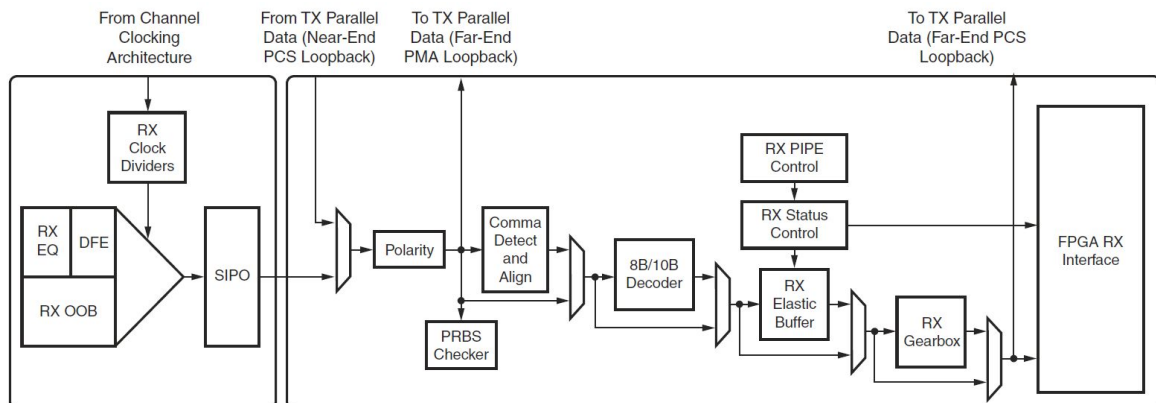


図 5.7 Rx ブロック図

Rx PCS

- Rx イコライザ

イコライザとは、受信側で高周波成分を増幅して、伝送によって減衰した信号を復元することである。プリエンファシスのように伝送信号そのものを増幅するわけではなく、受信感度の調整として受信信号の増幅を行う。

GTX のイコライザには LPM と DFE の 2 種類のモードが存在する。LPM は比較的消費電力が少なく、ナイキスト周波数 (サンプル周波数の半分の周波数) でチャンネル損失が 12 dB 以下、ラインレートが 11.2 Gbps 以下の、信号到達の比較的短いアプリケーションでの使用が推奨されている。DFE は、ナイキスト周波数でチャンネル損失が 8 dB 以上の信号を長距離走らせる場合での使用が推奨されている。

- CDR (Clock Data Recovery)

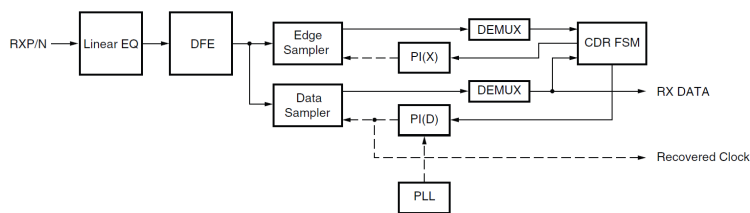


図 5.8 CDR 回路

CDR は入力データからクロックとデータ情報を抽出する回路である (図 5.8)。入力データは最初にイコライザを通過し、エッジサンプラとデータサンプラでキャプチャされる。データサンプラでキャプチャされたデータは CDR ステートマシンを通過してトランシーバブロックへ転送される (RX DATA)。CDR ステートマシンはエッジサンプラ、データサンプラ両方の情報を使って入力データの位相をチェックしている。位相補間回路 (PI) は多相クロックを生成している。多相クロックとは、位相を少しずつずらしたクロック群のことである。信号のエッジ (立ち上がり/立下がり) のタイミングによって多相クロックの中から最適なクロック相を選択している。このとき、PI には CPLL/QPLL を基準クロックとして用いているので、高精度でサンプリング位相を生成することが可能である。これにより、復元したクロックのジッタ (信号の時間的ずれ) は最小限に保たれる。

- SIPO (Serial In parallel Out))

シリアル入力をパラレル変換する回路である。CPLL/QPLL からのシリアル用クロックと、データ幅に対応した分周器を通したパラレル用クロックの両方を入力している。パラレルクロックにのせた信号 (RX DATA) は、その後 PCS ブロックに送られてデコード処理や、エラーチェックが行われる。

## Rx PMA

- Polarity

Rx\_P と Rx\_N の差動データを反転する回路である。差動信号の P/N を逆に接続してしまったときなどに用いることができる。

- カンマ検出、バイトアライメント

8b/10b の K28.5 等のように、あらかじめ設定したカンマパターンを検出して、パラレルデータをバイトごとに揃える働きを持っている回路である。この回路が正しく使えていない場合、受信デー

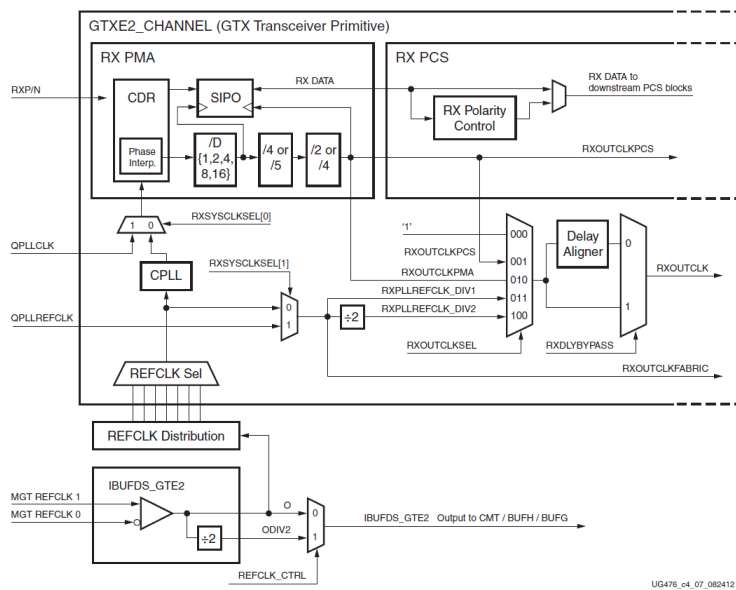


図 5.9 SIPO 周辺回路

タがビットずれした状態で読み出される。

- 8b/10b Decoder

Tx で 8b/10b エンコードされたデータのデコード処理を行う。

- Rx エラスティックバッファ

データを受信する場合、PMA パラレルクロック (XCLK) と PCS パラレルクロック (RXUSRCLK) の周波数を近似し、位相差をなくす必要がある。その際に使われるのがこのバッファである。よって、このバッファをバイパスする場合には CDR によるリカバリクロックを使用して RXUSRCLK を駆動し、その位相が XCLK と一致するように調整しなければならない。

また、チャンネルボンディング用 FIFO として使用することも可能である。FIFO とは、先に入力したデータが必ず先に出力される回路を指し、データの進行方向が一定なので主にバッファリングに使われる。各シリアルレーンが全て等長でない限り、データが到達するまでの間にレーン間に時間差が生じる。その時間差を埋めるための FIFO である。チャンネルボンディングは 8b/10b エンコードされたデータをサポートしているが、64b/66b 等その他のエンコードデータはサポートしていない。

- Rx Gearbox

Tx Gearbox で生成された 64b/66b 等のエンコードデータのデコード処理を行う回路である。

GTX トランシーバのデータパスは上述の回路ブロックから構成され、PLL によって各ブロックにおけるデータ処理のタイミングが与えられる。次節では、このデータパスを使った Akatsuki でのループバックテストの方法とその結果について述べる。

## 5.2 ループバックテスト

Akatsuki の性能を評価するために、内部ループバックと MicroPOD を用いたループバックテストを行った。性能を評価する上で指標としたものは以下の項目である。

- 通信速度
- Bit Error Rate
- シグナルインテグリティ

本節では、テスト環境について説明した上でこれらの結果を示す。

なお、テストボードのデバッグには Xilinx の Vivado (2014.2) を用いており、Hardware Manager を用いて JTAG 経由でダイレクトにリコンフィギュレーションできる環境で測定を行った。

### 5.2.1 Bit Error Rate (BER) と EYE パターンの測定

BER とは、流したデータ数に対するエラーの割合である。BER を測定するために、Xilinx 社の IBERT 7 Series GTX (v3.0) という IP コアを用いた。なお、IP コアとは Xilinx 社によって予め提供されている特定の機能を持ったブロックのことを指す。FPGA に IBERT を組み込むことで、JTAG 経由で PC から直接 GTX の制御とモニタリングが可能となる。IBERT では、テストパターンとして PRBS を送受信してエラーをチェックしている。エラーレートは各レーンで  $BER < 10^{-15}$  を目標とする。これは、ATLAS のサンプリング周波数が 40MHz であり、AMC 124 枚 ( $\sim 10^4$  Lane) で数時間 ( $\sim 10^4$  秒間) 測定したデータにエラーが含まれないことを要求した数字である。

#### アイスキャン

シグナルインテグリティを評価するために、IBERT を用いたアイパターン測定を行った。アイパターンとは、信号波形の遷移を多数サンプリングしその重ね合わせを表示したものである。波形が同じタイミングと電圧で重なっていれば質のよい波形で、一般に「EYE が開いている」と言われる。但し、IBERT ツールで表示されるものは統計 EYE と呼ばれ、アイスキャンと称される方法で EYE を測定している。

アイスキャンブロックでは、データサンプル点 (図 5.10 の点 O) からプログラマブルにオフセットを持たせる機能を持っている。この点でのサンプルをデータサンプルに対してオフセットサンプルと呼ぶ。データサンプルとオフセットサンプルの値が異なる場合を Bit Error と定義して、総サンプル数に対する Bit Error の割合を Bit Error Rate と呼ぶ。具体的に、図 5.10 赤線のサンプルに注目して説明すると、点 O ではこのサンプル値を High と認識する。時間方向 (横軸) と電圧方向 (縦軸) にオフセットを持たせた点 A でも High と認識するが、点 B までいくと Low と認識するので点 B では Bit Error となる。アイスキャンはこの測定を各点で多数回行い、各点での BER を計算する。ここで、点とは横軸を 64 分割、縦軸を 256 分割した領域とする。全領域で BER を計算すると、図 5.11 のような二次元グラフが得られる。横軸の単位には UI (Unit Interval) という周期を規格化したものを使い、縦軸は Tx の Main Pad Driver で定義した差動電圧を 256 分割したものを 1 とした単位を用いている。

また、2次元 EYE のグラフで縦軸が 0 となる位置で横に切った際の BER の値から 1次元 EYE のグラフを作り、このグラフの底の長さを Horizontal range と定義している。また、2次元 EYE の図で時間軸が 0 の位置での垂線において、BER が最小になっている長さのことを Vertical range と呼ぶ。ここでは

Vertical range に対しても Unit Interval を定義し、1 UI = 1018 mV である。

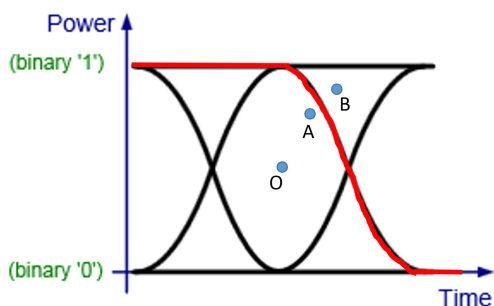


図 5.10 BER を計算するためのオフセットサンプルとデータサンプル

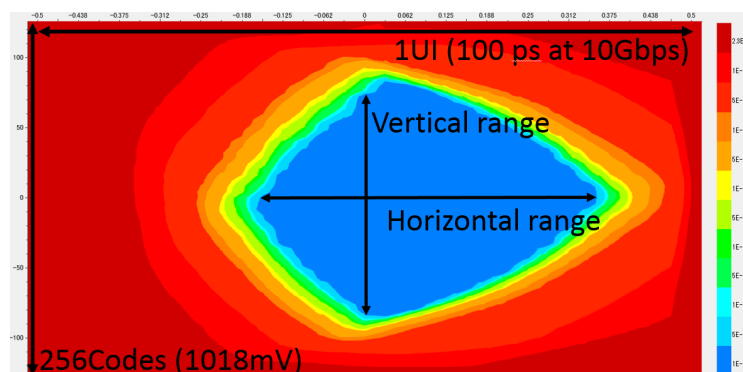


図 5.11 2次元 EYE のスケール

### -測定環境-

BER テストは、最もエラーが混じりやすいと思われる環境下で行った。つまり、Akatsuki でテスト可能な最大ラインレート 10 Gbps を MicroPOD 2 ペア (24Lane) 分の GTX レーンでデータをループバックさせたときに、どの程度エラーが現れるかを測定した。Pattern Generator のところで説明した通り、テストパターンは長いほどシグナルインテグリティが悪化しやすいので、より厳しい条件を課すために PRBS-31 bit を用いた。この測定を、FPGA の内部だけでループバックさせる内部ループバックと、光ケーブルを使った場合とで行った。ここで示すアイスキャンのグラフは、全て同じ GTX チャンネルで測定した結果であり、光ケーブルも個体差の影響を受けないように常に同じ組み合わせで測定を行った。また、サンプル数はそれぞれのセグメントで  $10^8$  だけデータをためて BER を表示している。BER が低いほど濃い青として表示されている。

- 通信速度: (BER 測定) 10 Gbps  
(EYE Pattern) 10, 8, 5, 3.125 Gbps
- 使用レーン: 24 Lane
- 光ケーブル長 (12Lane×2 本): 両方 1 m
- テストパターン: PRBS-31 bit

### 内部ループバック

図 5.13 は内部ループバックの場合のアイスキャンの結果である。約 76% の領域で BER が最小 (エラー数 0) となった。ボード配線やケーブル伝送による信号悪化がないのでこのような EYE が得られたと考えられる。

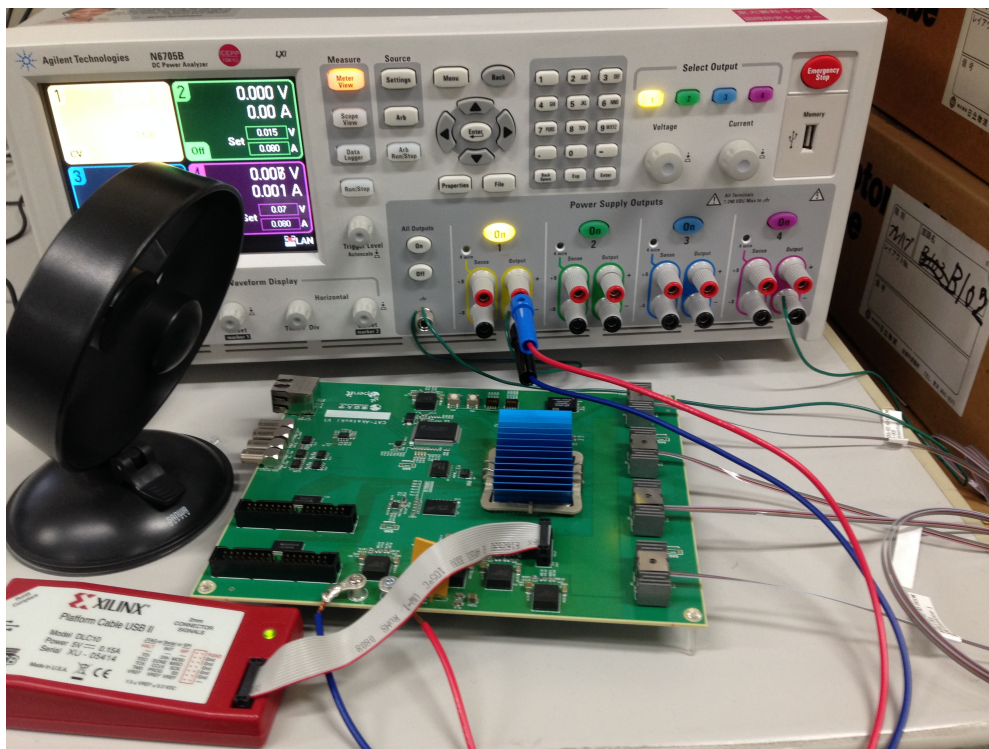


図 5.12 実験の様子

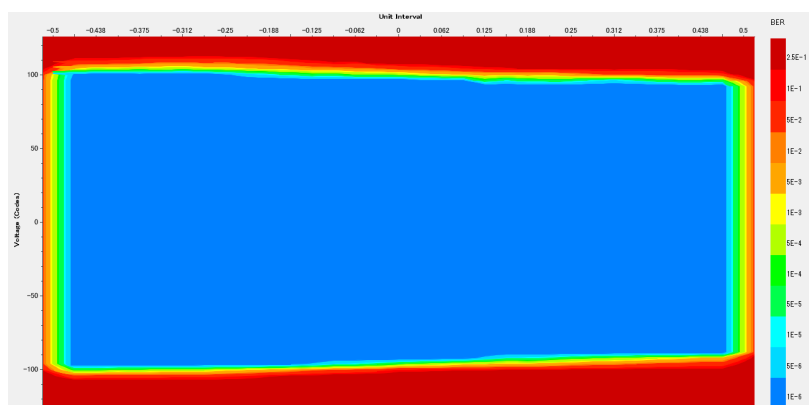


図 5.13 10Gbps で内部ループバック



## MicroPOD 経由

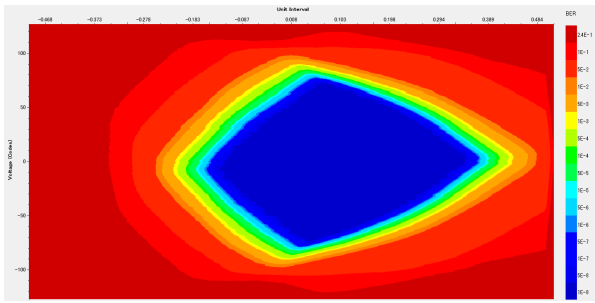


図 5.14 10 Gbps における 2 次元 EYE(左) と 1 次元 EYE(右)

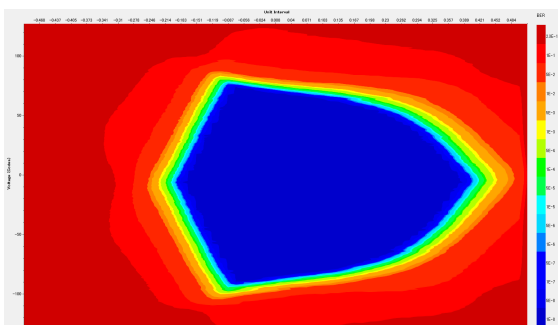
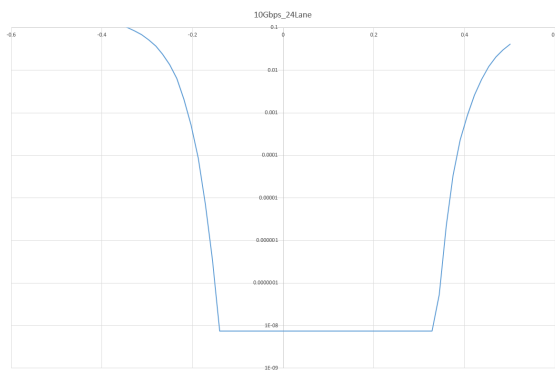


図 5.15 8 Gbps における 2 次元 EYE(左) と 1 次元 EYE(右)

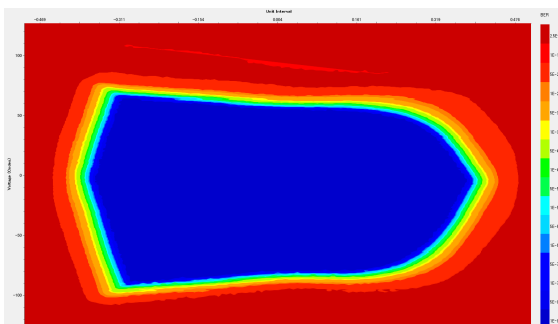
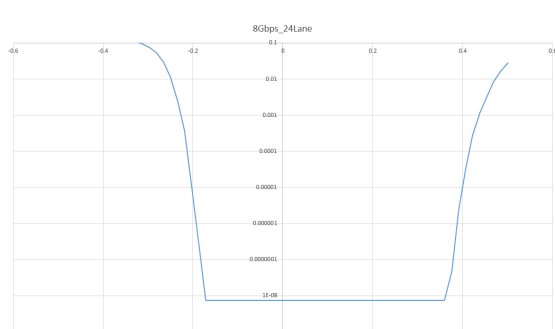


図 5.16 5 Gbps における 2 次元 EYE(左) と 1 次元 EYE(右)

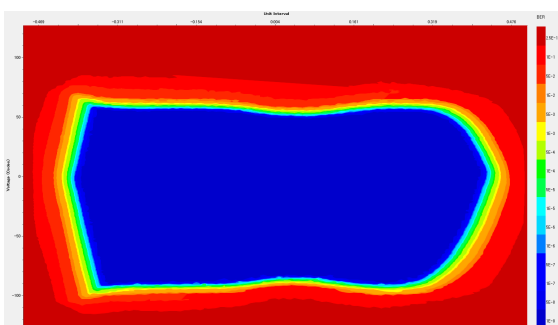
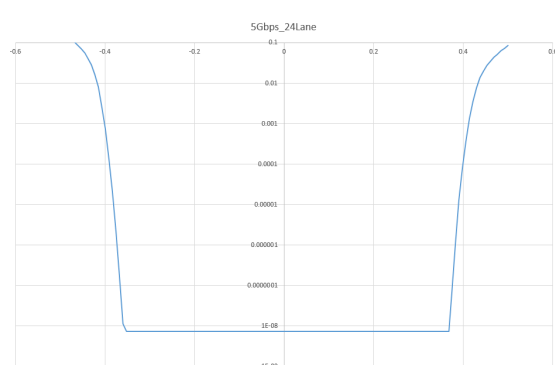
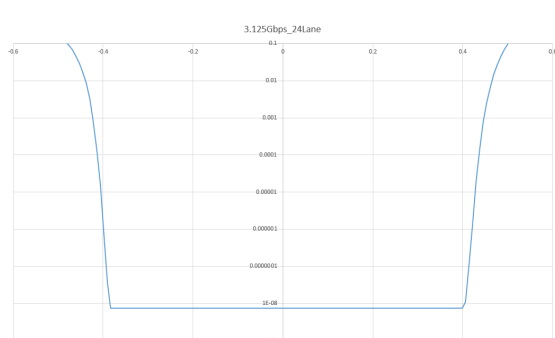


図 5.17 3.125 Gbps における 2 次元 EYE(左) と 1 次元 EYE(右)



スピードが上がるほど横軸のレンジが狭くなるので、Horizontal range はそれに応じて小さくなっている。また、左右が非対称に開いている。これは、パルス変化が変化の始まりで遅くなっていることが原因であると考えられる。図 5.18 のような 4 つの遷移を考え、各信号変化の始まりが鈍いと仮定すると図 5.14 の

	10Gbps	8Gbps	5Gbps	3.125Gbps
Horizontal range[UI]	0.47	0.55	0.72	0.79
Vertical range[UI]	0.55	0.59	0.52	0.52

表 5.5 通信速度の違いによる Horizontal range と Vertical range の違い

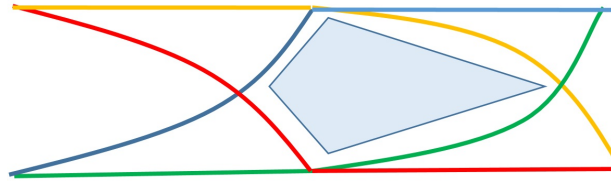


図 5.18 4つのパルス遷移を重ね合わせた。各遷移の始まりが鈍くなっている。

ような EYE が得られることが分かる。

次に、GTX のチャンネルごとにどれだけのずれがあるのかをみる。24Lane のうち 4Lane だけを選んで示すことにする。以下の図は、10 Gbps、24Lane で測定したときの結果である。チャンネルごとに FPGA から MicroPOD までの配線に差があるので、アイスキャンの結果はチャンネルによって異なる。

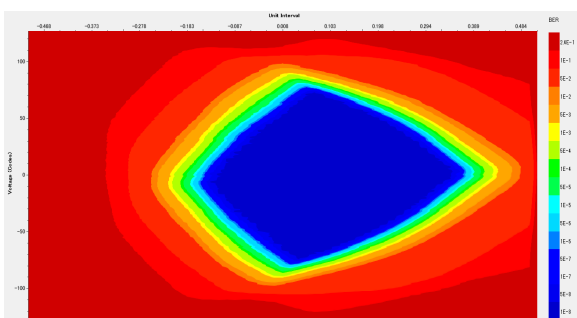


図 5.19 Bank114 Ch3

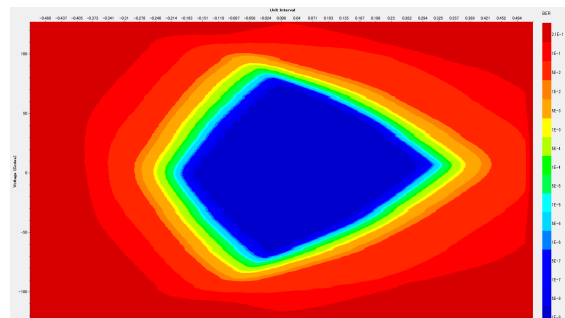


図 5.20 Bank112 Ch0

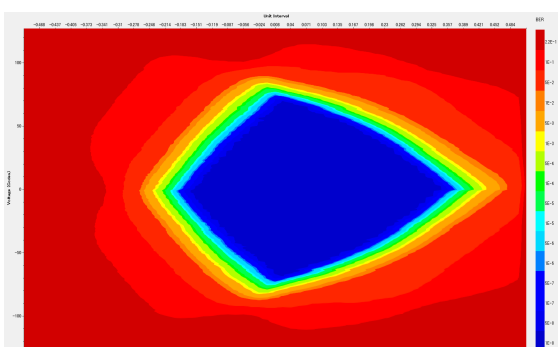


図 5.21 Bank115 Ch0

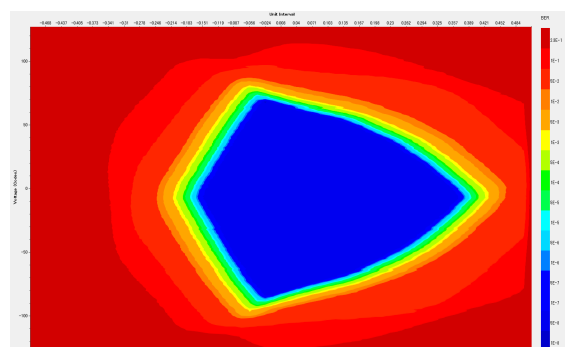


図 5.22 Bank117 Ch3

## BER 測定結果

(MicroPOD 経由)

図 5.23 は、緑の枠が通信速度を表し、右にサンプル数、エラー数、BER と続いている。全 24Lane できり

	Bank114 Ch3	Bank112 Ch0	Bank115 Ch0	Bank117 Ch3
Horizontal range[UI]	0.42	0.44	0.50	0.47
Vertical range[UI]	0.46	0.52	0.52	0.55

表 5.6 レーンの違いによる Horizontal range と Vertical range の違い

MGT_X0Y10/TX	MGT_X0Y4/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y11/TX	MGT_X0Y5/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y12/TX	MGT_X0Y6/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y13/TX	MGT_X0Y7/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y14/TX	MGT_X0Y8/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y15/TX	MGT_X0Y9/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y4/TX	MGT_X0Y10/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y6/TX	MGT_X0Y11/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y5/TX	MGT_X0Y12/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y7/TX	MGT_X0Y13/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y8/TX	MGT_X0Y14/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y9/TX	MGT_X0Y15/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y22/TX	MGT_X0Y16/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y23/TX	MGT_X0Y17/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y24/TX	MGT_X0Y18/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y25/TX	MGT_X0Y19/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y26/TX	MGT_X0Y20/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y27/TX	MGT_X0Y21/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y16/TX	MGT_X0Y22/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y17/TX	MGT_X0Y23/RX	10.000 Gbps	1.009E15	0E0	9.906E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y18/TX	MGT_X0Y24/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y19/TX	MGT_X0Y25/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y20/TX	MGT_X0Y26/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...
MGT_X0Y21/TX	MGT_X0Y27/RX	10.000 Gbps	1.009E15	0E0	9.907E-16	Reset	PRBS 31-...	PRBS 31-...

図 5.23 24 レーンのリンクの確認と Bit Error Rate (図は、Vivado Hardware Manager のスクリーンショットである。)

左から順に、レーン名 (Tx/Rx)、通信速度、サンプル数、エラー数、BER を示す。

リンクがとれ、且つ目標であった  $BER < 10^{-15}$  が達成できていることを確認した。

ここまでの結果をまとめる。

- 通信速度  
最大 10Gbps で 24Lane 同時に通信を行うことに成功した。
- BER  
BER  $< 10^{-15}$  を達成した。
- シグナルインテグリティ  
Horizontal range = 0.47 UI (at 10Gbps)  
Vertical range = 0.55 UI (at 10Gbps)

## 5.2.2 任意データによるループバック試験

PRBS のようなテストパターンではなく、ユーザーが実際に送りたいデータを Tx に入力して Rx で受け取るといった通信を行った。GTX は大規模で複雑なロジックを扱うため、7 Series FPGAs Transceiver Wizard (v3.3) を用いてコアを作成し、Example Design を変更する形で利用した。

通信速度は 10 Gbps、データは 32 bit 幅として 12Lane 使用した。24Lane ではタイミングエラーが起これ、データが途中でずれてしまっていたので今後の課題とする。分かりやすいようにデータは 32 bit カウントアップデータとした。図 5.24 がその結果である。上から順に TX\_DATA、RX\_DATA、

TX\_CHARISK、RX\_CHARISK、RX\_PCOMMAALIGN 信号である。ここで、PCOMMAALIGN とは PCOMMA (ここでは K28.5) の検出によってアライメントが正常にできていることを示す信号である。CHARISK とは、High にすることで入力された信号が K コードに変換される信号である。サンプル 1008 の TX\_DATA = bc (16 進数) は、8b/10b で使用される K28.5 に変換される。サンプル 1012 の RX\_DATA = bc は、26 サンプル前の K28.5 を受信したことを示す。時間に直すと 104 ns だけ遅れて届いている。26 サンプル前と言える根拠は、直前のカウントアップデータの値が同じである TX\_DATA = bc と比較したからである。この定期的な K28.5 のアライメントにより、カウントアップデータが問題無く通信できていることが分かる。

Name	1,007	1,008	1,009	1,010	1,011	1,012	1,013
gt10_txdata_i[31:0]	2750fa98	000000bc	2750fa99	2750fa9a	2750fa9b	2750fa9c	2750fa9d
gt4_rxdata_ila_1[31:0]	2750fa7f	2750fa80	2750fa81	2750fa82	2750fa83	000000bc	2750fa84
gt10_txcharisk_i[3:0]	0	1					
gt4_rxcharisk_ila_1[3:0]			0			1	
gt4_rpxcommaalignen_i							

図 5.24 GTX\_8b/10b 通信

### 5.3 温度測定

テストボード表面の温度を FLUKE 社のサーモグラフィ Ti95 を用いて測定した。また、FPGA 内部の温度を Xilinx 社 IP コアの System Monitor - XADC を用いてモニタリングした。測定は、通信開始時と 10 Gbps × 24 Lane での通信を約 24 時間行った時点で行った。

#### Ti95 の仕様

- 温度測定領域：-20 °C – +250 °C
- 温度分解能：0.1 °C (at30 °C)
- 視野角：26° × 26°
- 画素数：80 × 60 画素

#### ボード表面の温度

左側は電流が流れていないので、ほぼ室温である。右側は約 1 日間 10 Gbps × 24 Lane で通信した直後の写真である。FPGA から MicroPOD にかけての領域が比較的高温になっているが、最高で 42 °C である。

#### FPGA 内部の温度

測定の開始とともに温度の上昇が始まるが、数分で 45 °C 付近に落ち着いていることが図 5.27 から分かる。図 5.28 からは、24 時間測定し続けても温度に変化はないことが読み取れる。サーモグラフィで測定した FPGA 表面の温度と 2~3 °C しか変わらないことから、表面と内部ではそれほど温度に差はないということが推測される。

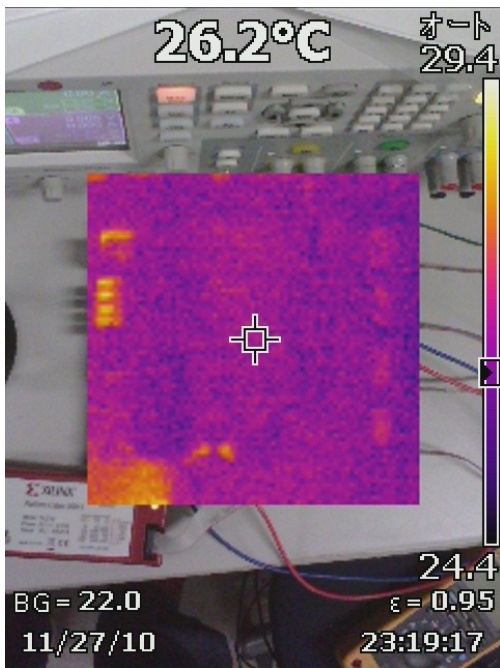


図 5.25 電源未接続状態  
MicroPOD が右側に来る向きで配置、つまり、  
図 4.11 を左右反転した写真になっている。

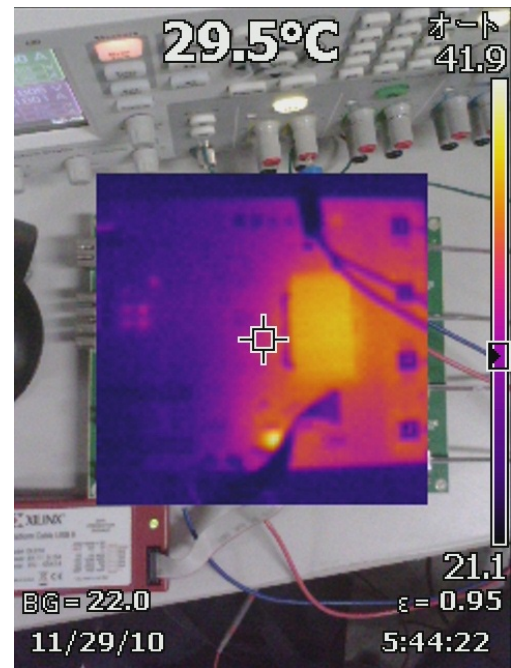


図 5.26 測定後 24 時間経過  
FPGA を中心に高温となっていることが分  
かる。

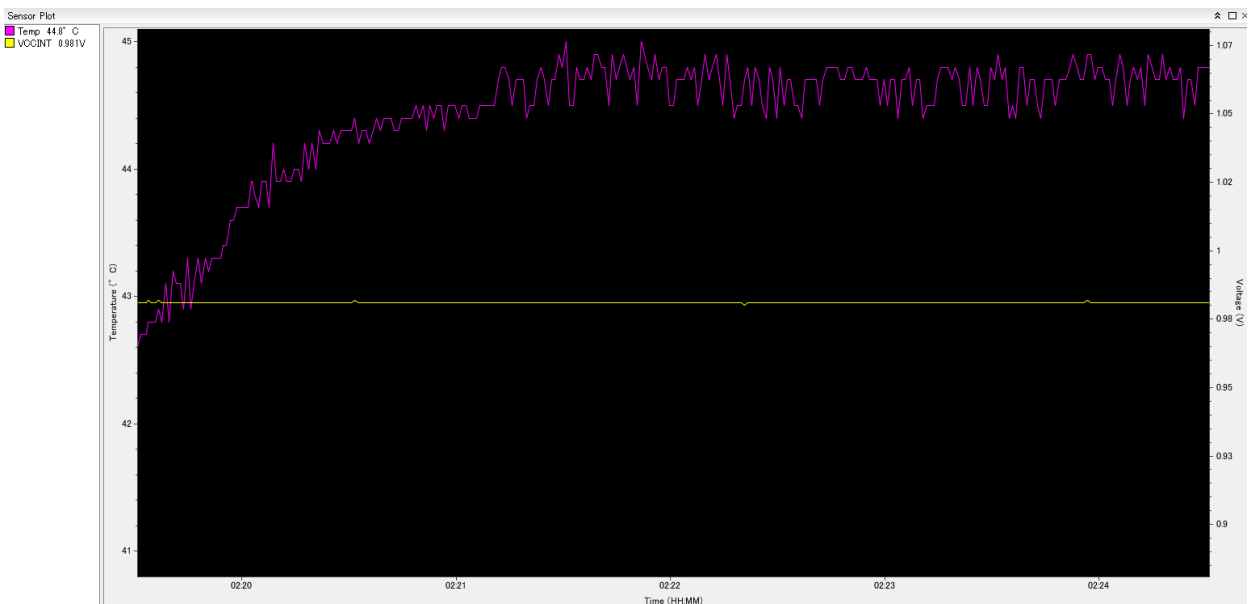


図 5.27 測定開始時の温度  
横軸は測定時刻、縦軸は温度である。時刻 2 時 19 分頃に測定を開始して、2 時 21 分には 44.5 °C ま  
で上昇している。しかし、その後はほぼ変わらず一定の温度に保たれた。

#### まとめ (温度測定)

- ボード表面：42 °C 以下
- FPGA 内部：45 °C 以下

FPGA の動作温度は 85 °C 以下、MicroPOD の動作温度は 70 °C 以下であるので、今回の測定環境下では温度が問題となることはないと考えられる。

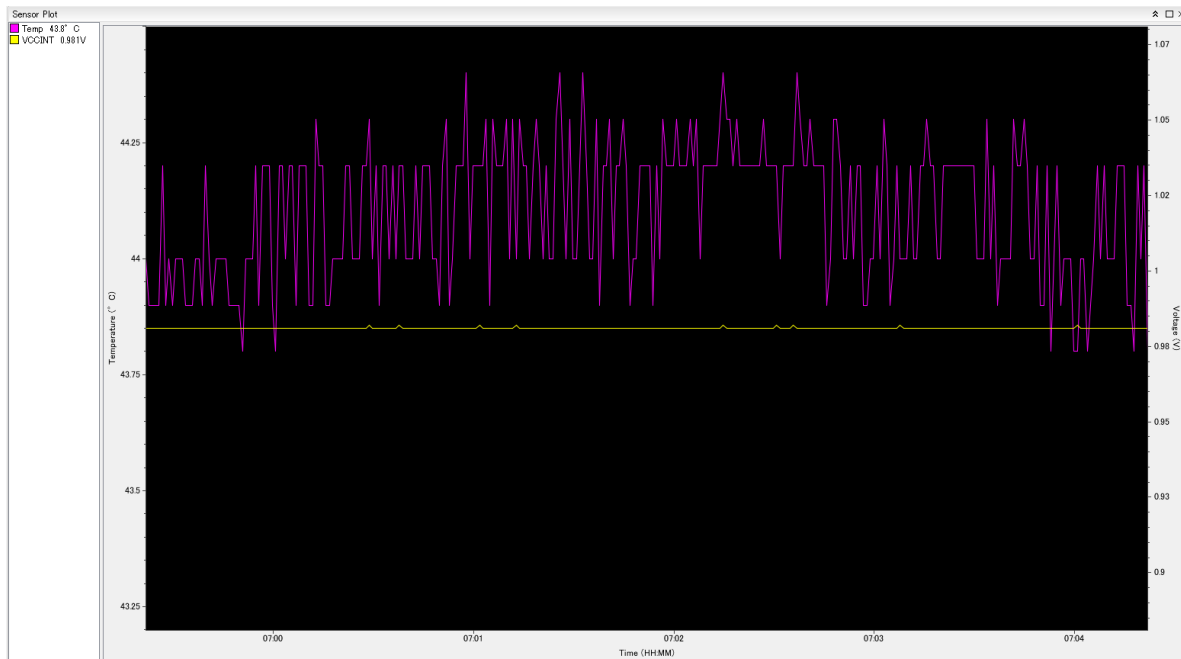


図 5.28 24 時間経過後の温度  
ほぼ一定の温度である。

## 5.4 まとめ

本章では、Akatsuki の性能評価の結果を示した。以下にそれらの結果をまとめる。

- 10 Gbps/Lane で 24Lane の通信に成功した。
- IBERT を用いて BER を測定し、 $BER < 10^{-15}$  を確認した。
- シグナルインテグリティを測定した。  
Horizontal range = 0.47 UI (at 10Gbps)  
Vertical range = 0.55 UI (at 10Gbps)
- 任意データで 10 Gbps/Lane  $\times$  12Lane を達成した。
- ボード表面と FPGA 内部の温度を測定し、動作温度内におさまることを確認した。

## 第 6 章

### まとめ

本研究は、2018 年の ATLAS Phase-I アップグレードにおける、新しいバックエンドトリガーシステムに向けたものである。LHC Run 3 はルミノシティが  $2 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$  に達するのでカロリメータの検出レートが大きく上昇する。よって、新読み出し構造 Supercell が導入され、ジェット起源の粒子をシャワーシェープを測定することで落とすことになった。Supercell による読み出し数増加は、トリガーシステムに新たな高速処理システムを必要とした。

本研究では LAr Digital Processing System に焦点を当て、ATCA 規格のボードに搭載される Advanced Mezzanine Card を開発するために、高速光通信を行うための MicroPOD テストボードを開発し、その性能評価を行った。主な成果は以下の通りである。

- AMC に求められる光高速通信を行うためのテストボードの仕様を設計し、製作を行った。
- MicroPOD を用いた 240 Gbps (10 Gbps×24 Lane) での光通信の実現に成功した。
- BER、EYE パターン測定によって通信の安定性を確認した。
- 長時間稼働させても動作温度内で動作することを確認した。

MicroPOD による光通信が確立できたので、次のステップは AMC への要求を満たすボードを開発することである。2014 年 9 月に、正式な AMC を Altera 社の FPGA で作成することが決定した。そこで、次の課題は以下の 3 つが挙げられる。

- MicroPOD の数を倍の 4 ペア (48Lane) とする。
- サイズを約半分の  $156 \text{ mm} \times 73.5 \text{ mm}$  まで小さくする。
- Xilinx に加えて、Altera での開発環境も準備する。

これら 3 つの課題をクリアして、AMC で要請される高速高密度通信を実現したい。





## 付録 A

# Akatsuki 回路図

Akatsuki の最終版回路図を載せておく。但し、ボード完成後に修正した部分が何点かある。

(変更点)

- ・ Si570 (SDA,SCL)

I<sup>2</sup>C の 2 本のラインはプルアップ抵抗が必要なので、ボード納品後に約 4 k $\Omega$  の抵抗で 3.3 V に吊り上げた。

- ・ KC7050

LVDS のクロック信号を出力するオシレータではなく、誤って LVPECL の信号を出力するものを搭載した。納品後、約 680  $\Omega$  の抵抗二つで LVDS 信号に変換している。

- ・ FPGA Bank0

Xilinx の推奨に従って、PROGRAM\_B ポートにアクティブ LOW のユーザスイッチ SW3 を繋げた。PROGRAM\_B はコンフィギュレーションに対するアクティブ LOW のリセット信号である。

- ・ 1V0A レギュレータ

300  $\Omega$  の抵抗を 240  $\Omega$  の抵抗に付け替え、1.05 V で出力するようにした。これは GTX に用いる電圧だが、動作条件が 10.3125 Gbps 未満では、[0.97 V,1.08 V] である。高電流のために実際には 0.98 V 以下で FPGA に入力されていたので、このような措置をとった。また、ノイズ軽減のために 100 $\mu$ F のキャパシタを新たにもう一つ付け加えた。

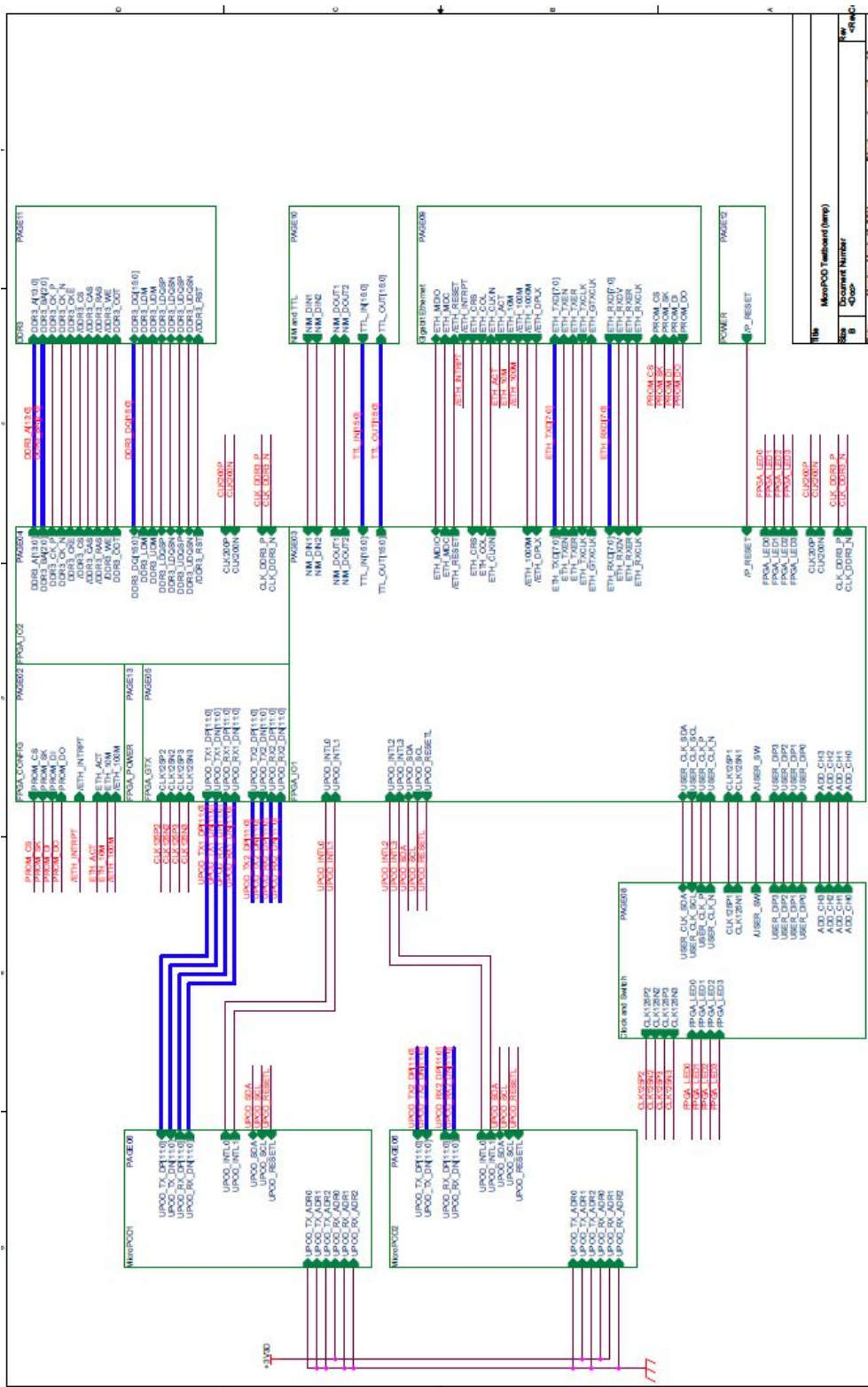


図 A.1 Top  
異なる階層 (ページ) のピン同士を接続している。

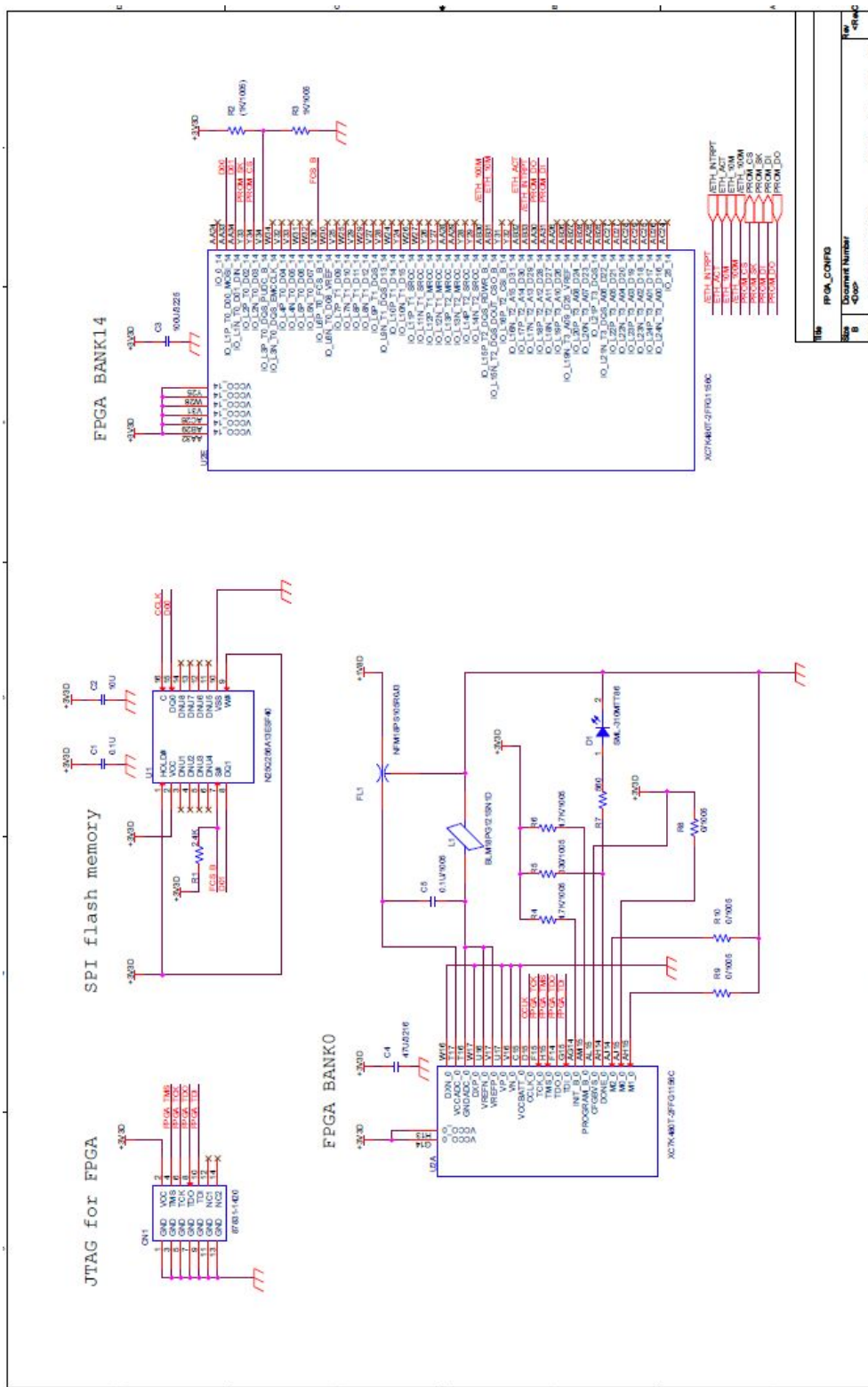


図 A.2 Page2  
FPGA のコンフィギュレーションに関するページ

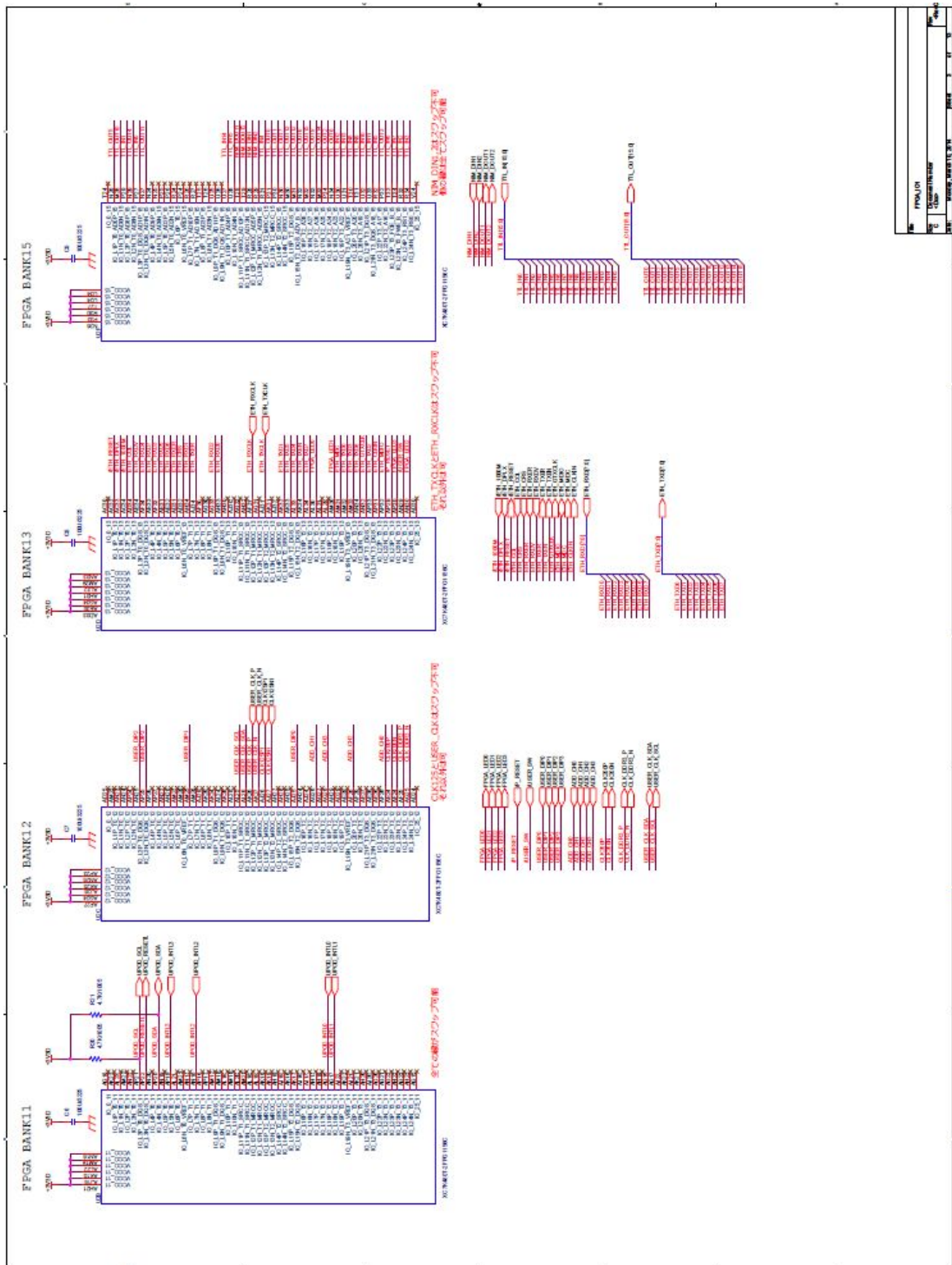


図 A.3 Page3  
FPGA ユーザー I/O

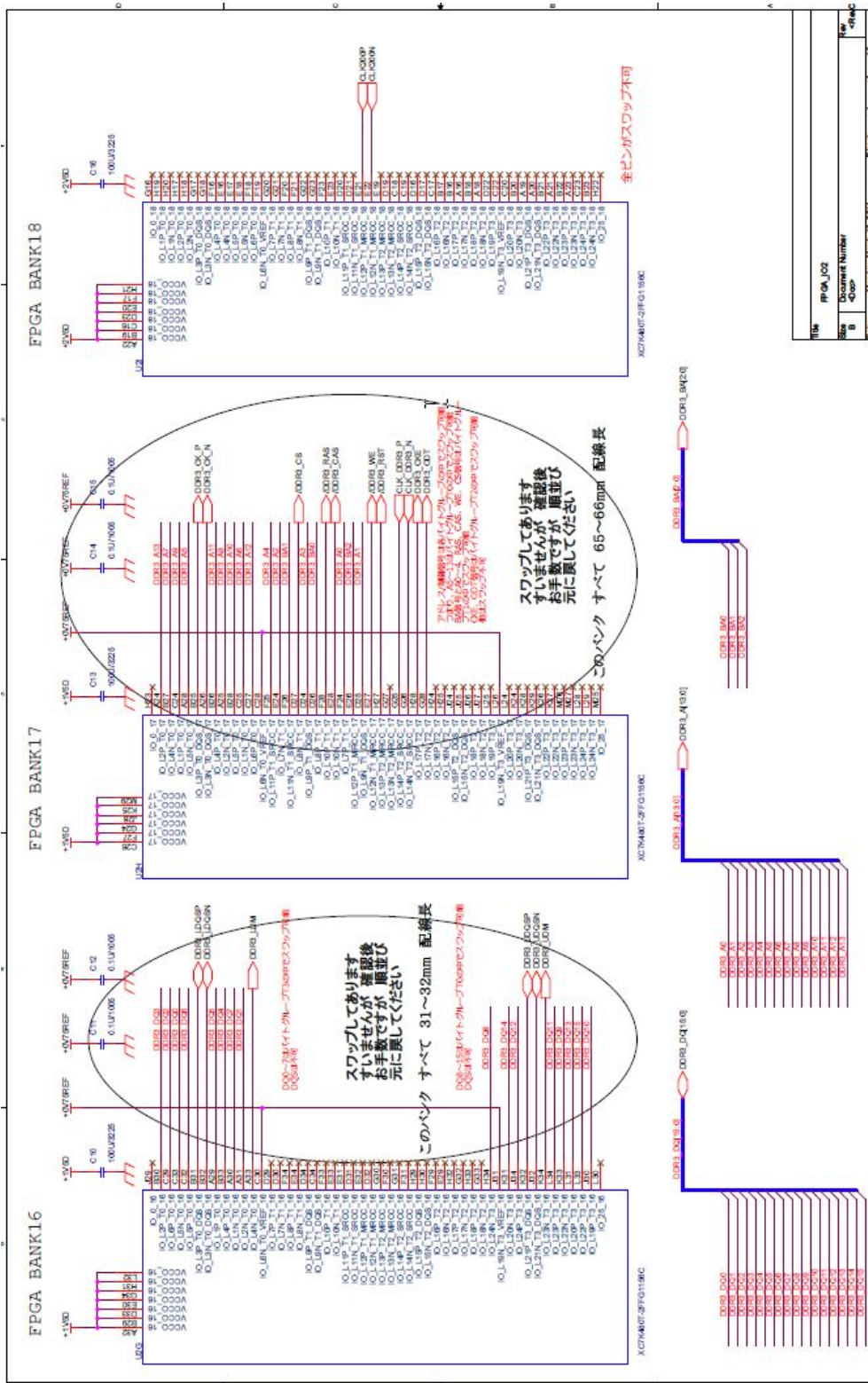
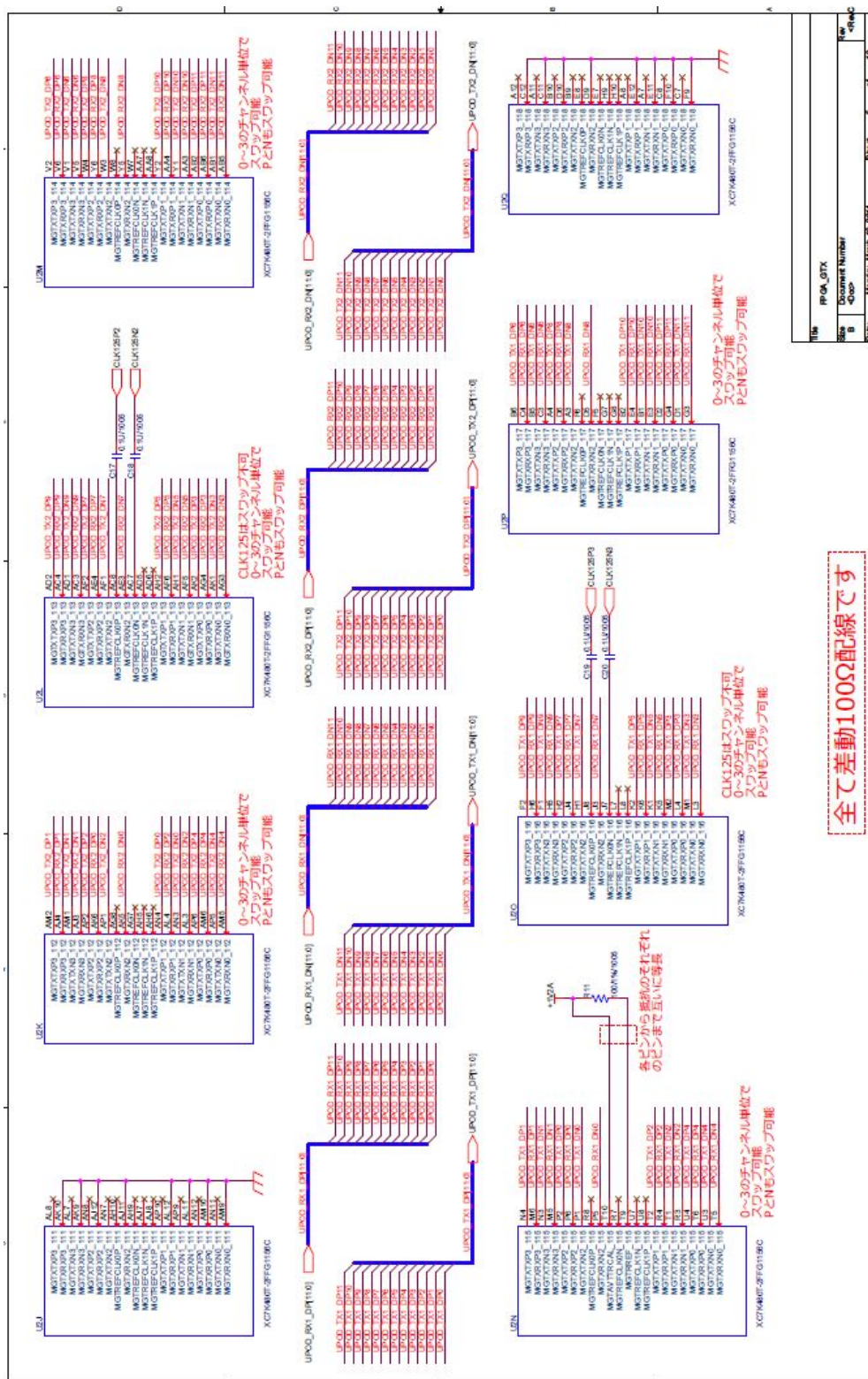


図 A.4 Page4  
FPGA ユーザー I/O

Rev	4
Doc No	13
Doc Name	Page 4 of 13
Doc Date	2004.03.19
Doc Ver	1.0
Doc Rev	1.0
Doc No	13
Doc Name	Page 4 of 13
Doc Date	2004.03.19
Doc Ver	1.0
Doc Rev	1.0



全て差動100Ω配線です

1/16	PG#_GTX
2/16	Document Number
3/16	Doc#
4/16	Rev
5/16	07
6/16	13
7/16	
8/16	
9/16	
10/16	
11/16	
12/16	
13/16	
14/16	
15/16	
16/16	

図 A.5 Page5  
FPGA GTX I/O バンク

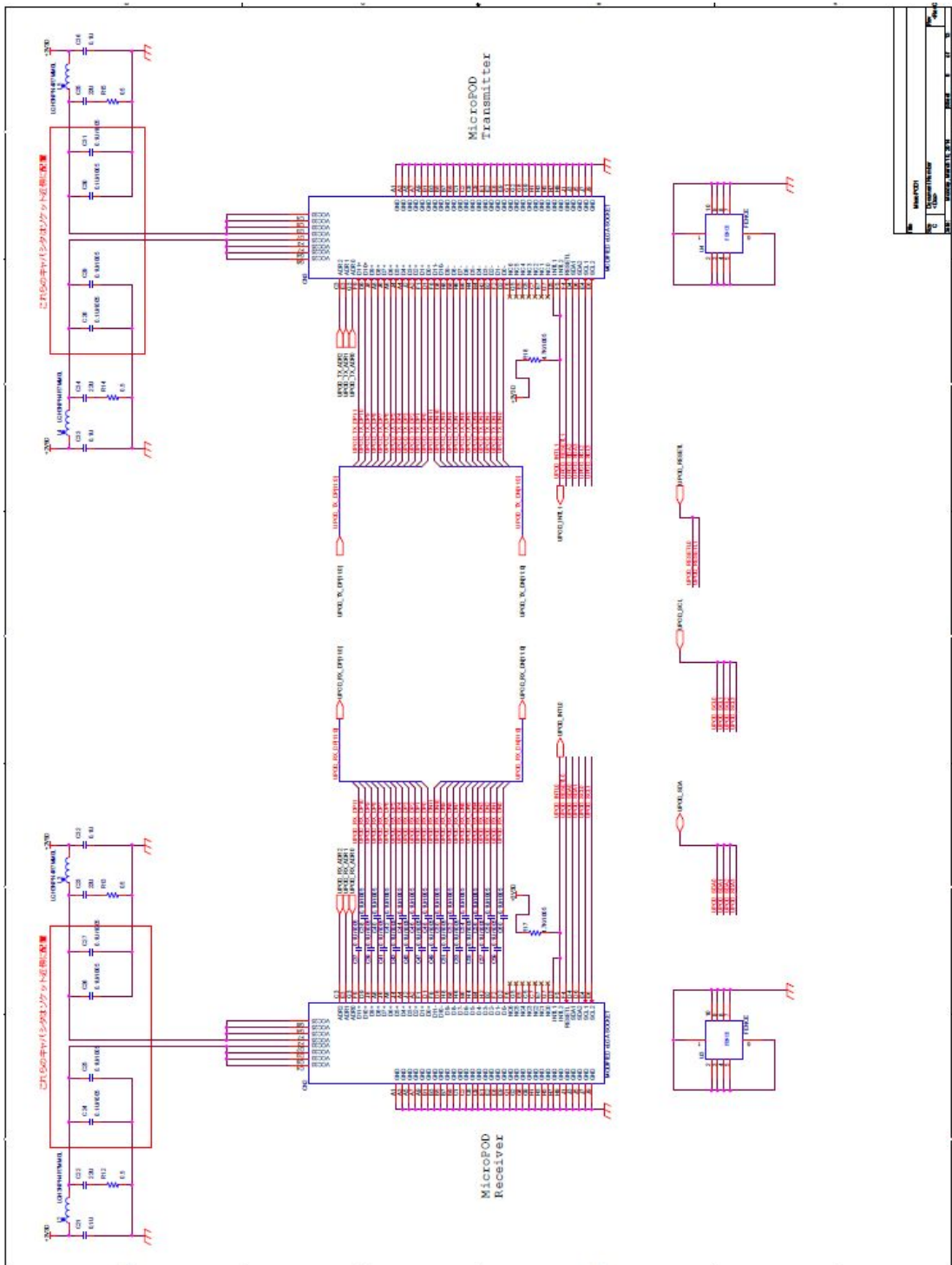


図 A.6 Page6

MicroPOD の回路

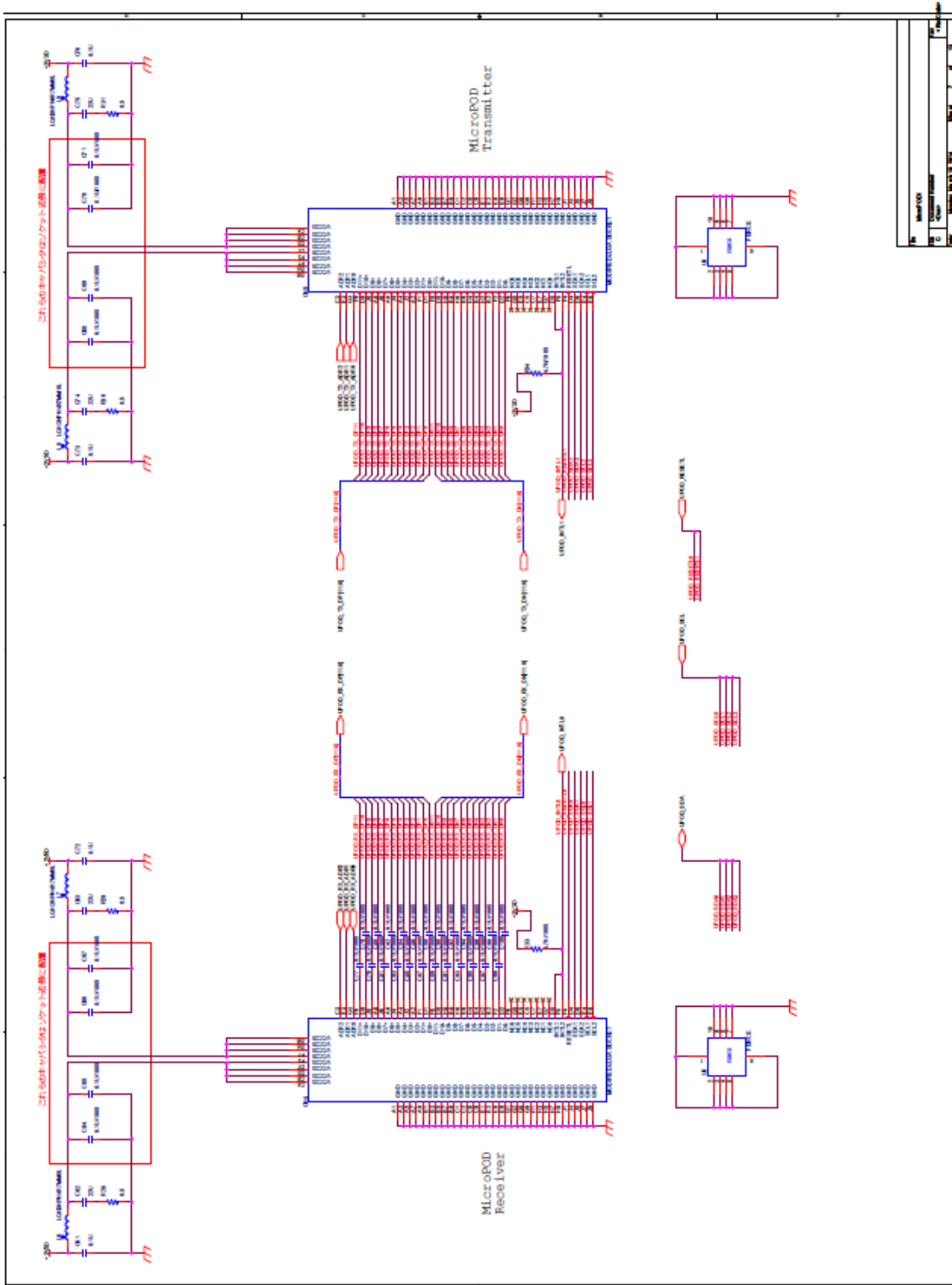
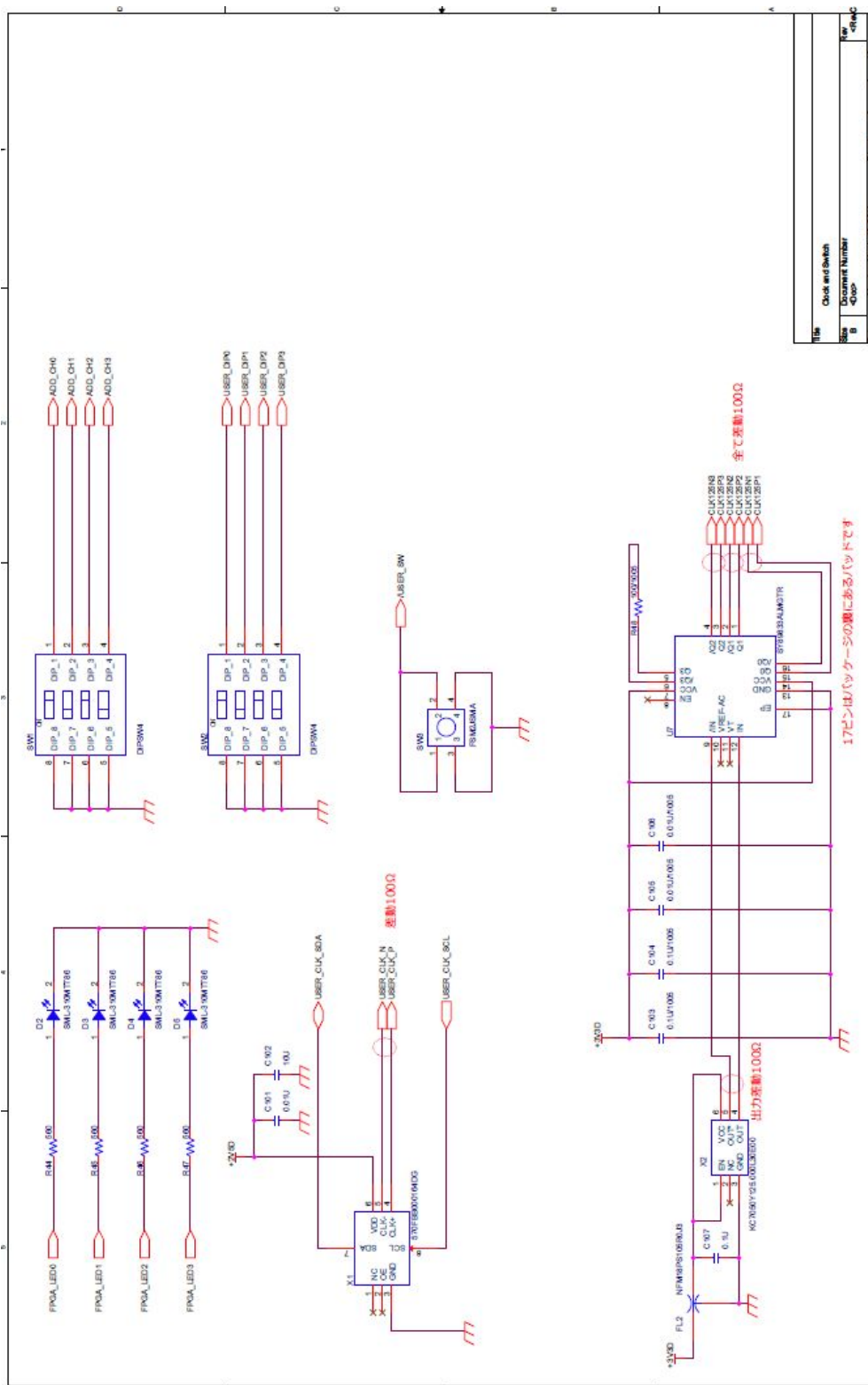


図 A.7 Page7

MicroPOD の回路





Title	Clock and Switch
Size	Document Number
B	4000
Page	MySoc, March 9, 2004
8	8 of 13

図 A.8 Page8  
オシレータ、スイッチ、LED の回路



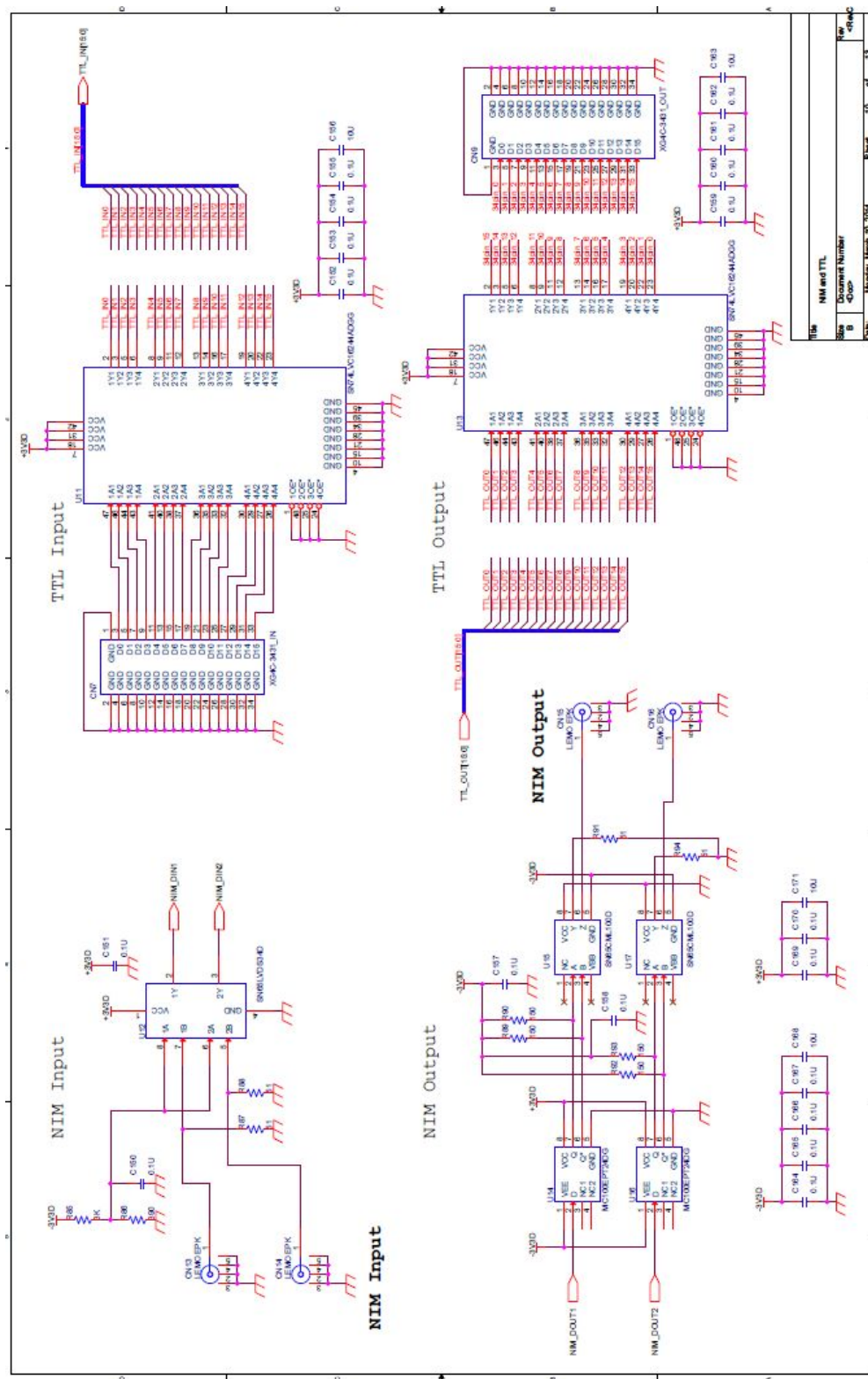


図 A.10 Page10  
NIM、TTL 規格への変換回路



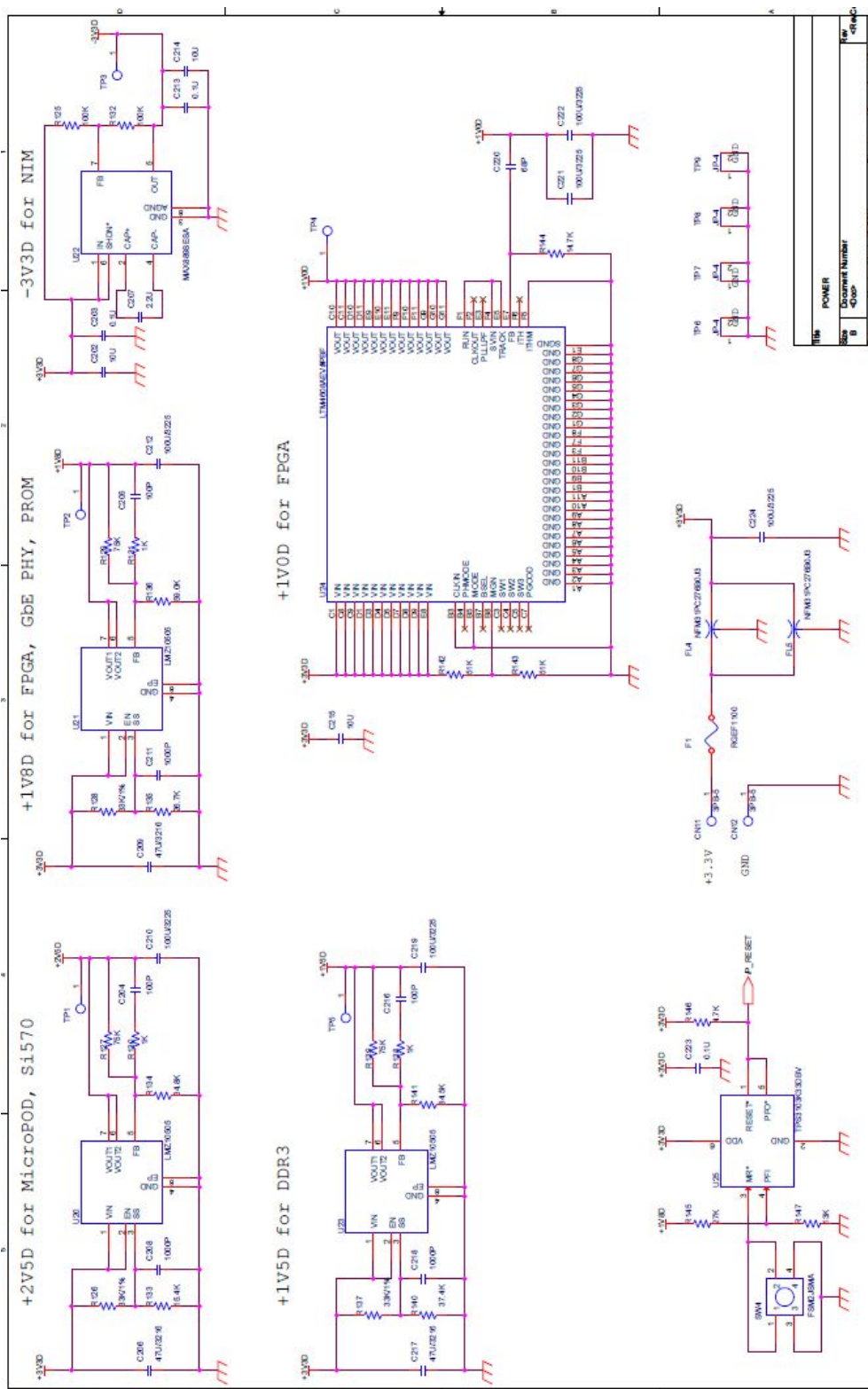


図 A.12 Page12  
レギュレータの回路

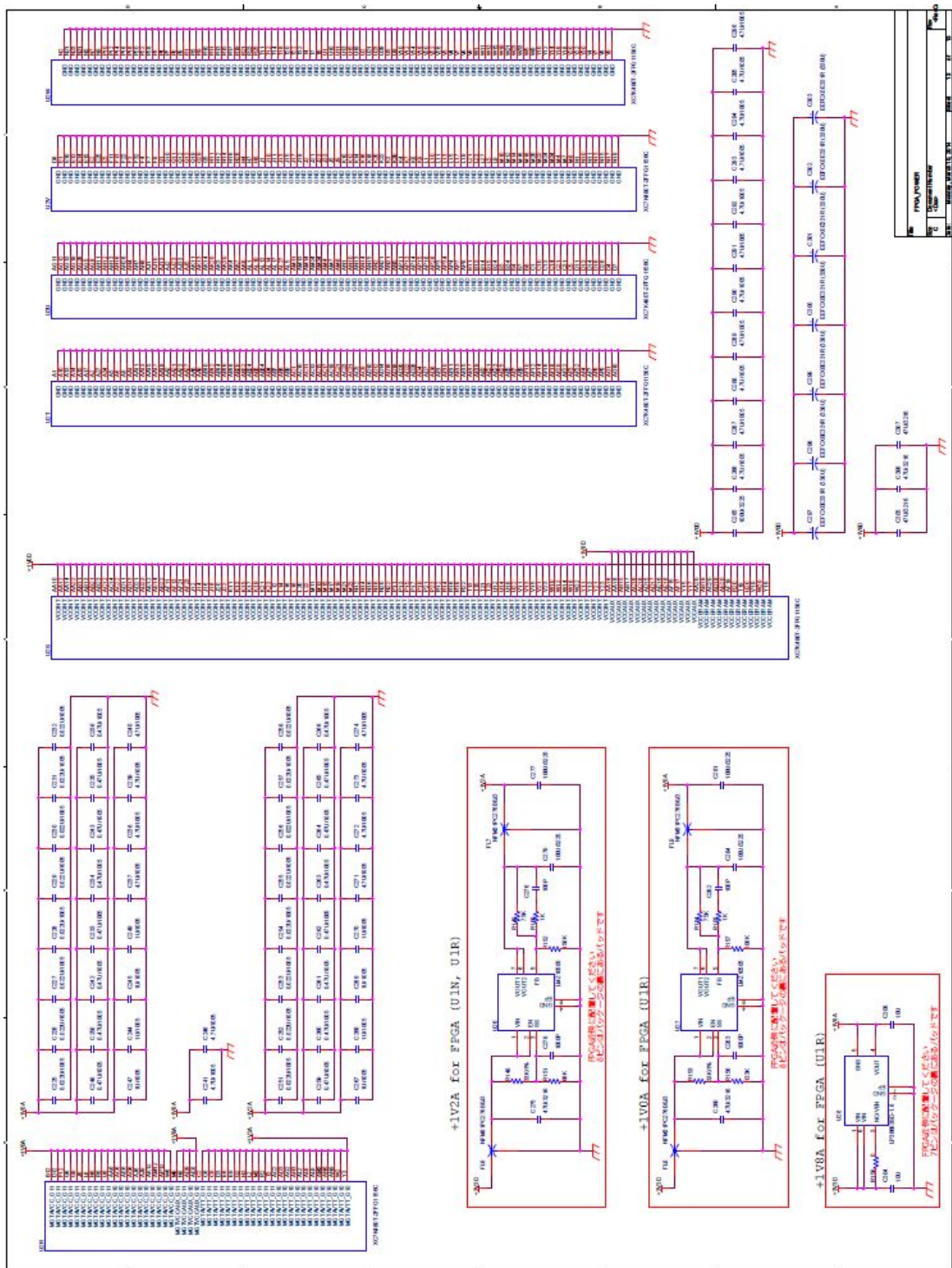


図 A.13 Page13  
FPGA の電源部

# 謝辞

2年間の研究生生活で多くの方々のご指導とご協力を頂きました。

まず、指導教官である田中純一准教授には、このような素晴らしい研究の機会を与えて下さっただけでなく、多くの助言とご指導により研究の手助けを頂いたことに深く感謝申し上げます。また、江成祐二助教、山本真平助教、金谷奈央子助教には、ミーティングの度に研究のアドバイスや課題等を与えて下さり、非常に得るものの多い研究生生活となりました。深く感謝いたします。また、授業や研究でお世話になった他のICEPPの先生方、事務手続きなどでお世話になった秘書の方々にも深くお礼申し上げます。

KEKの池野正弘様、内田智久様には、Open-Itでボード開発のあらゆる面でお世話になりました。私の研究がここまで来れたのもこの方々のお力添えによるものだと思います、非常に感謝しております。また、夏の学校でお世話になった先輩やスタッフの方々にもお礼を申し上げます。

大部屋の同期の山道君、久島君、浦野君、安達君、徳永君、寺尾君、そして先輩、後輩、難波先生には日々色々とお世話になりました。そのほかにも、家族を含め本研究の支援をしてくださった全ての方々に感謝します。ありがとうございました。





## 参考文献

- [1] The ATLAS Experiment at the CERN Large Hadron Collider, 2008
- [2] ATLAS Liquid Argon Calorimeter Phase-I Upgrade Technical Design Report
- [3] 徳宿克夫: LHC/ATLAS アップグレードの展望, 2011
- [4] CERN: High Luminosity LHC, <http://hilumilhc.web.cern.ch/about/lhc-baseline#overlay-context=about/hl-lhc-project>
- [5] SiTCP ホームページ <http://e-sys.kek.jp/tech/sitcp/>
- [6] SiTCP User Community <http://sitcp.bbtech.co.jp/xcl/html/>
- [7] 内田智久: SiTCP 説明書, 2011.
- [8] Open-It: PT6-汎用 VME マザーボード
- [9] Hucheng Chen: Upgrade Plan for the ATLAS LAr Calorimeter Readout Electronics
- [10] TEXAS INSTRUMENTS: LP3869x/-Q1 500-mA Low-Dropout CMOS Linear Regulators Stable With Ceramic Output Capacitors December, 2014
- [11] TEXAS INSTRUMENTS: LMZ10505 October, 2013
- [12] TEXAS INSTRUMENTS: TPS3103xxx TPS3106xxx TPS3110xxx September, 2007
- [13] TEXAS INSTRUMENTS: TPS51200, SINK/SOURCE DDR TERMINATION REGULATOR February, 2008
- [14] TEXAS INSTRUMENTS: SN74LVC16244A 16-BIT BUFFER/DRIVER WITH 3-STATE OUTPUTS March, 2005
- [15] TEXAS INSTRUMENTS: SN65LVDS33, SN65LVDT33 SN65LVDS34, SN65LVDT34, HIGH-SPEED DIFFERENTIAL RECEIVERS November, 2004
- [16] TEXAS INSTRUMENTS: SN65CML100, 1.5-Gbps LVDS/LVPECL/CML-TO-CML TRANSLATOR/REPEATER November, 2002
- [17] LINEAR TECHNOLOGY: LTM4608A Low VIN, 8A DC/DC  $\mu$  Module Regulator with Tracking, Margining, and Frequency Synchronization
- [18] Maxim Integrated: High-Frequency, Regulated, 200mA, Inverting Charge Pump, Rev 0
- [19] Mouser Electronics: MC100EPT24, 3.3V LVTTTL/LVCMOS to Differential LVECL Translator August, 2008 - Rev. 9
- [20] Atmel: Three-wire Serial EEPROM, AT93C46D
- [21] Avago: MicroPOD AFBR-77D1SZ, AFBR-78D1SZ AV02-3700EN February 27, 2013
- [22] SILICON LABS: Si570/Si571 Rev. 1.4
- [23] Micron: Micron Serial NOR Flash Memory
- [24] Micron: Micron 2Gb: x4, x8, x16 DDR3 SDRAM
- [25] AVX Corp/Kyocera Corp: KC7050Yxxx.xxxL30EZU
- [26] MICREL: SY89833AL, 3.3V Low Noise Ultra-Precision 1:4 LVDS Fanout Buffer/Translator with

- Internal Termination March, 2009
- [27] XILINX: 7 Series FPGAs Configuration User Guide, UG470(v1.6) January 2, 2013
  - [28] XILINX: 7 Series FPGAs SelectIO Resources User Guide, UG471(v1.3) October 31, 2012
  - [29] XILINX: 7 Series FPGAs Clocking Resources User Guide, UG472(v1.8) August 7, 2013
  - [30] XILINX: 7 Series FPGAs Memory Resources User Guide, UG473(v1.8) August 7, 2013
  - [31] XILINX: 7 Series FPGAs Packaging and Pinout Product Specification, UG475(v1.9) February 14, 2013
  - [32] XILINX: 7 Series FPGAs GTX/GTH Transceivers User Guide, UG476(v1.9.1) April 22, 2013
  - [33] XILINX: 7 Series FPGAs PCB Design and Pin Planning Guide, UG483(v1.8) September 13, 2013
  - [34] XILINX: Kintex-7 FPGA 用 KC705 評価ボードユーザーガイド, UG810(v1.0) January 23, 2012
  - [35] XILINX: VC707 Evaluation Board for the Virtex-7 FPGA User Guide, UG885(v1.3) August 22, 2013
  - [36] XILINX: 7 Series FPGAs Memory Interface Solutions v2.0 User Guide, UG586 June 19, 2013
  - [37] XILINX: Zynq-7000 All Programmable SoC (Z-7030, Z-7035, Z-7045, Z-7100): DC 特性および AC スイッチ特性 DS191(v1.13) November 19, 2014
  - [38] XILINX: <http://japan.xilinx.com/support/packagefiles/k7packages/xc7k480tffg1156pkg.txt>
  - [39] Altera: Stratix IV Device Handbook
  - [40] FLUKE: FLUKE networks, [http://jp.flukenetworks.com/tips/tips\\_fiber#tips11](http://jp.flukenetworks.com/tips/tips_fiber#tips11)
  - [41] FLUKE: FLUKE The most Trusted Tools in the World, [http://www.flukejp.com/contents\\_detail.php?product\\_id=76](http://www.flukejp.com/contents_detail.php?product_id=76)
  - [42] 神谷隆之: ATLAS 前後方ミューオントリガーシステムのアップグレードに向けた読み出し系システムインフラストラクチャの研究開発 (東京大学修士学位論文), 2011
  - [43] 大谷育生: ATLAS ミューオントリガーシステムのアップグレードに向けたギガビット通信を用いたデータ収集系の検証及び読み出しプロトタイプの開発 (東京大学修士学位論文), 2013
  - [44] 加藤千曲: ATLAS 実験のための新しいミューオントリガー装置の研究開発 (東京大学修士学位論文), 2014