ATLAS ミューオントリガーシステムのアップグレードに向けた ギガビット通信を用いたデータ収集系の検証 及び 読み出しプロトタイプの開発

東京大学大学院理学系研究科　物理学専攻
素粒子物理国際研究センター　坂本研究室
大谷　育生

2013 年 2 月 5 日

概 要

2012 年 7 月 4 日, LHC における ATLAS 実験及び CMS 実験はともに 5σ の確度で Higgs と見られる新粒子を発見したと発表した. 新たな素粒子が見つかったのは 2000 年のフェルミ研究所におけるタウニュートリノ以来であり, 素粒子標準モデルにおける素粒子が全て出そろったことになる. これは非常に歴史的な発見であり, 物理に携わる者, はたまた一般の人々にとってさえも刺激的なニュースとなった.

しかしこれで物理が終わったわけではない. この新粒子の精密測定や標準理論を超えた現象の探索を通して, まだ解明されていない謎に迫るべく邁進せねばならない. それには現状の加速装置及び検出器では限界があり, アップグレードを重ねていく必要がある.

我々ATLAS 実験のミューオングループでは, 精密な測定を妨げる不確定要素を取り除くため, トリガーのシステムを改善していく予定である. 私はエレクトロニクスのアップグレードに際して有効な技術として, 2 つのギガビットクラスの高速通信技術を取り上げ, その検証実験を行った. 1 つは FPGA 組み込み TCP/IP プロセッサであり, 複数のコンフィギュレーションでパフォーマンスの確認を行い, その有用性を確認した. もう 1 つは FPGA 内蔵マルチギガビットトランシーバであり, 10Gbps の速度で問題なく作動することを確かめた. さらにこれら技術を搭載した読み出し用プロトタイプを設計・開発し, 来たるべきアップグレードに有用な資産をもたらした.

本論文ではまず第 1 章, 第 2 章で ATLAS 実験やトリガーシステムの概要を簡単に説明する. 第 3 章, 第 4 章で私の行った 2 つの実験について, 第 5 章で読み出しプロトタイプ制作について述べる.

目 次

第 1 章　LHC における ATLAS 実験 **11**
1.1 LHC 11
1.1.1 LHC 概要 11
1.1.2 LHC で行われている実験 12
1.2 ATLAS 検出器 14
1.2.1 検出器全体像 14
1.2.2 内部飛跡検出器 15
1.2.3 カロリメータ 17
1.2.4 ミューオンスペクトロメータ 18
1.2.5 マグネット 21
1.3 トリガー及びデータ収集 22
1.3.1 トリガー全体像 22
1.3.2 Level 1 Trigger 23
1.3.3 High Level Trigger 25
1.4 ATLAS で目指す物理 25
1.4.1 Standard Model Higgs 26
1.4.2 Higgs 生成過程 27
1.4.3 Higgs 崩壊過程 28
1.4.4 プロパティ測定のまとめ 29
1.4.5 アップグレードに向けて 31
1.5 LHC アップグレード計画 32
1.5.1 Long Shutdown 1 (2013-2014) 33
1.5.2 Long Shutdown 2 (2018) 33
1.5.3 Long Shutdown 3 (2022) 33
1.6 ATLAS アップグレード計画 34
1.6.1 phase-0 34
1.6.2 phase-1 35
1.6.3 phase-2 37

第 2 章　レベル 1 エンドキャップミューオントリガーシステム **39**
2.1 TGC について 39
2.1.1 TGC 動作原理 39
2.1.2 TGC の分類 40
2.1.3 TGC の配置 41
2.1.4 TGC のセクター 42
2.2 トリガースキーム 43

2.2.1 p_{T} 算出の概要 43
2.2.2 段階的なコインシデンス 43
2.2.3 Coincidence Window 45
2.3 トリガーエレクトロニクス 46
2.3.1 全体のフロー 46
2.3.2 フロントエンド 48
2.3.3 HSC クレート 50
2.3.4 SL クレート 51
2.3.5 SL からの読み出し 52
2.3.6 TTC 54
2.4 レベル 1 ミューオントリガーの改善に向けて 54
2.4.1 現状の問題 54
2.4.2 フェイクミューオンの原因 55
2.4.3 phase-0 での対策 56
2.4.4 phase-1 での対策 56
2.4.5 phase-2 での対策 58
2.4.6 アップグレードに向けた開発計画 59

第 3 章 ギガビットイーサネットによるデータ収集系の構築実験 60
3.1 イーサネット及び TCP/IP 60
3.1.1 イーサネット 60
3.1.2 TCP/IP 61
3.1.3 UDP 62
3.2 SiTCP 62
3.2.1 機能 62
3.2.2 TCP 読み出し試験 64
3.3 1Gbps データ収集系の構築 66
3.3.1 実験の準備 66
3.3.2 1 対 1 の通信 69
3.3.3 2 対 1 の通信 72
3.3.4 2 対 2 の通信 73
3.4 100Mbps データ収集系の構築 74
3.4.1 実験の準備 74
3.4.2 1 対 1 の通信 76
3.4.3 複数対 1 の通信 76
3.5 結論 77

第 4 章 マルチギガビットトランシーバ GTX Transceiver の検証実験 79
4.1 マルチギガビットトランシーバ 79
4.1.1 Xilinx Multi-Gigabit Transceiver 79
4.1.2 GTX Transceiver 80
4.2 実験の目的及び対象 83
4.2.1 実験目的 83

4.2.2 KC705 評価キット 84
4.2.3 同軸ケーブル 85
4.3 GTX Transceiver の検証 86
4.3.1 電流の測定 86
4.3.2 温度変化の測定 89
4.3.3 ビットエラーレート測定 91
4.3.4 アイパターン測定 92
4.4 結論 97

第 5 章 Sector Logic アップグレード用プロトタイプの開発 98
5.1 Sector Logic ボードのアップグレード計画 98
5.1.1 アップグレードの動機 98
5.1.2 New Small Wheel への要求 99
5.1.3 新 Sector Logic の概要 100
5.2 PT7 の開発 104
5.2.1 開発目的 104
5.2.2 要求される性能 104
5.2.3 PT7 の構成 105
5.3 各コンポーネントの説明 106
5.3.1 FPGA 106
5.3.2 CPLD 107
5.3.3 Ethernet PHY 107
5.3.4 DDR3 SDRAM 108
5.3.5 Flash memory 108
5.3.6 クロック 109
5.4 外部とのインターフェース 110
5.4.1 VME バス 110
5.4.2 マルチギガビットトランシーバ 111
5.4.3 ギガビットイーサネット 112
5.4.4 メザニンカード 112
5.4.5 TTC 112
5.4.6 その他の I/O 113
5.5 開発状況及び今後の方針 114
5.5.1 開発状況 114
5.5.2 今後の方針 114

第 6 章 おわりに 116

付 録 A イーサネットの規格について 117
A.1 イーサネット開発の経緯 117
A.2 イーサネットの種類 117
A.3 10/100/1000BASE-T 118
A.4 オートネゴシエーション 119

A.5 ケーブルのカテゴリについて 120

付 録 B PT6 について **121**
B.1 開発の経緯 121
B.2 機能 122
B.3 使用例 123

付 録 C PT7 の回路図 **124**

付 録 D List of abbreviations **141**

図 目 次

1.1 LHC 外観図 [4] 11
1.2 LHC と前段加速器 [4] 12
1.3 ATLAS 検出器 (左), CMS 検出器 (右)[4] 13
1.4 ALICE 検出器 (左), LHCb 検出器 (右)[4] 13
1.5 ATLAS 検出器全体像 [6] 14
1.6 ATLAS における座標系 [25] 15
1.7 バレル部 ID[6] 16
1.8 カロリメータ [6] 17
1.9 ミューオンスペクトロメータ [6] 18
1.10 $r-z$ 平面ステーション配置図 (Large sector)[6] 20
1.11 ソレノイド磁石, トロイド磁石 [6] 21
1.12 重心エネルギーに対する断面積プロット [13] 22
1.13 TDAQ 概要 [6] 23
1.14 L1 トリガーシステム [6] 24
1.15 TTC を構成するモジュール [23] 24
1.16 2012 年 7 月時点でのプロット [5] 25
1.17 Higgs 生成過程 [23] 27
1.18 Higgs 生成断面積 [11] 28
1.19 Higgs 崩壊分岐比 [11] 28
1.20 結合定数の測定精度 [12] 30
1.21 ルミノシティの変遷 [5] 32
1.22 検討中の D1 磁石 [32] 33
1.23 クラブ衝突の概念図 [31] 33
1.24 IBL 挿入前後のイメージ [15] 34
1.25 予測されるカウントレート [14] 35
1.26 MicroMegas の概略図 [14] 35
1.27 High Granularity Calorimeter Trigger[14] 36
1.28 FTK とトリガーフロー [21] 37
1.29 新しい ID のイメージ [16] 38

2.1 TGC の内部構造 [6] 39
2.2 ダブレット, トリプレットの構造 [6] 40
2.3 Big Wheel[6] 41
2.4 TGC の配置図 [6] 41
2.5 TGC におけるセクター及びサブセクター [25][29] 42
2.6 p_{T} 決定の仕組み [23] 43

2.7 段階的なコインシデンス [23] 44
2.8 CW の例 [29] 45
2.9 トリガーフロー [24] 47
2.10 BW 上の PS ボード及び HSC クレート [24] 47
2.11 USA15 のラック [24] 47
2.12 PS ボードの概要 [24] 48
2.13 ASD の概要 [23] 49
2.14 HpT の写真 [23] 50
2.15 SL の写真 [24] 50
2.16 SL のブロック図 [23] 51
2.17 リードアウトフロー [24] 53
2.18 SSW の写真 [23] 53
2.19 ROD の写真 [25] 53
2.20 L1_MU20 の η 分布 [17] 55
2.21 $d\theta$, dL カットの模式図 57
2.22 $d\theta$, dL カットの結果 [17] 57
2.23 phase-2 トリガースキーム [33] 58
2.24 phase-2 のエレクトロニクス配置例 [28] 59

3.1 SiTCP のブロック図 [46] 62
3.2 TCP のチェック 64
3.3 Wireshark 画面 65
3.4 1Gbps テスト環境 67
3.5 1G 環境 RTT の測定 67
3.6 PT6 のファームウェア 68
3.7 PC のソフトウェア 68
3.8 1G 環境 1 対 1 通信における帯域使用状況 (左: Nagle on, 右: Nagle off) 71
3.9 MSS 設定値に対するスループットの変化 71
3.10 Nagle off のセグメントサイズ分布 71
3.11 1G 環境 2 対 1 通信における帯域使用状況 (左: Nagle on, 右: Nagle off) 72
3.12 2 対 2 の通信 73
3.13 flood 環境下の通信 73
3.14 LAN ケーブルの結線 75
3.15 100Mbps テスト環境 76
3.16 100M 環境 複数対 1 通信スループットのプロット 77

4.1 GTX TX のブロック図 [59] 80
4.2 GTX RX のブロック図 [59] 81
4.3 DFE のブロック図 [59] 82
4.4 KC705 の写真 84
4.5 同軸ケーブルの構造 [62] 85
4.6 同軸ケーブルの減衰率 [62] 85
4.7 Fusion Digital Power Designer GUI 画面 86

4.8 ループバックの様子 88
4.9 VCCINT に流れる電流 88
4.10 MGTAVCC に流れる電流 89
4.11 MGTAVTT に流れる電流 89
4.12 XADC のコンソール 90
4.13 FPGA ダイ上の温度 91
4.14 IBERT 画面 91
4.15 PRBS-7 の生成回路 92
4.16 アイパターンの例 [59] 93
4.17 統計的アイ生成部のブロック図 [59] 94
4.18 ケーブル 3m の統計的アイ 95
4.19 ケーブル 5m の統計的アイ 95
4.20 ケーブル 7m の統計的アイ 95
4.21 ケーブル 9m の統計的アイ 95
4.22 ケーブル 11m の統計的アイ 95
4.23 ケーブル 14m の統計的アイ 95
4.24 CTLE 周波数応答 [59] 96
4.25 CTLE 周波数応答+ケーブルの減衰 97

5.1 SL のリードアウトのイメージ 99
5.2 NSW の外観 [14] 99
5.3 BW と NSW sector の対応例 [33] 101
5.4 系のサイズと輻輳確率 103
5.5 PT7 のブロック図 106
5.6 DDR3 SDRAM ブロック図 [65] 108
5.7 Infiniband ケーブル及びコネクタの写真 111
5.8 メザニンカードの写真 112
5.9 TTCrq の写真 113
5.10 PT7 フロントパネル 114
5.11 PT7 レイアウト 115

6.1 ATLAS の人々[4] 116

B.1 PT6 の写真 [28] 121
B.2 PT6 ブロック図 [28] 122
B.3 raw data monitor 概念図 123

C.1 PT7 の回路図 (1) 125
C.2 PT7 の回路図 (2) 126
C.3 PT7 の回路図 (3) 127
C.4 PT7 の回路図 (4) 128
C.5 PT7 の回路図 (5) 129
C.6 PT7 の回路図 (6) 130
C.7 PT7 の回路図 (7) 131

C.8 PT7 の回路図 (8) 132
C.9 PT7 の回路図 (9) 133
C.10 PT7 の回路図 (10) 134
C.11 PT7 の回路図 (11) 135
C.12 PT7 の回路図 (12) 136
C.13 PT7 の回路図 (13) 137
C.14 PT7 の回路図 (14) 138
C.15 PT7 の回路図 (15) 139
C.16 PT7 の回路図 (16) 140

表 目 次

1.1 LHC のデザイン値 [1] 12
1.2 LHC で行われている実験 13
1.3 ID の性能 [7] 17
1.4 ミューオンスペクトロメータの性能 [8] 19
1.5 各ステーションの構成 (Large sector)[8] 20
1.6 生成断面積, 分岐比と結合定数 30
1.7 HL-LHC へのロードマップ 32

2.1 L1 トリガーメニューと p_{T} の関係 45
2.2 レイテンシテーブルの例 [33] 47
2.3 SLB ASIC と各エレクトロニクスの対応関係 [22] 52

3.1 OSI 参照モデル 60
3.2 RBCP アドレス空間 [47] 63
3.3 イーサネットフレームの構造 69
3.4 SiTCP and TCP control register 69
3.5 1G 環境 1 対 1 でのスループット測定結果 (Mbps) 70
3.6 1G 環境 2 対 1 でのスループット測定結果 (2 台の合計, Mbps) 72
3.7 1G 環境 3 対 1 でのスループット測定結果 (3 台の合計, Mbps) 73
3.8 100M 環境 1 対 1 でのスループット測定結果 (Mbps) 76
3.9 100M 環境 複数対 1 でのスループット測定結果 (Mbps) 77

4.1 Xilinx MGT の速度の変遷 79
4.2 GTX のサポートするプロトコル [59] 83
4.3 KC705 の使用する GTX [55] 84
4.4 KC705 の電源レール [55] 87
4.5 測定対象のコンフィギュレーション 88

5.1 新 SL のコインシデンス部 102
5.2 新 SL のリードアウト部 102
5.3 Kintex-7 シリーズ性能比較 [52] 107
5.4 PT7 のクロック一覧 109
5.5 PT7 のアドレス空間 110
5.6 VME で使用する信号線 111

A.1 イーサネット規格の命名 118
A.2 各規格のコーディング [66] 118

A.3 オートネゴシエーションの優先順位 120
A.4 ツイストペアケーブルのカテゴリ 120

B.1 Spartan-6 シリーズ性能比較 [51] 122

C.1 PT7 回路図中のリファレンスの意味 124
C.2 PT7 回路図中の値の意味 124

D.1 List of abbreviations 141

第1章　LHCにおけるATLAS実験

私はATLAS実験に参加しており, 特にアップグレードに向けた研究に従事している. 本章では前提知識となるLHC及びATLAS実験, さらにアップグレード計画についての概説を行う.

1.1　LHC

ATLAS実験の説明に入る前に, 本節ではATLASが利用しているシンクロトロン, LHCについて述べる.

1.1.1　LHC概要

LHCことLarge Hadron Colliderはスイス・ジュネーブ郊外の地下約100mに建設された, 世界最大のシンクロトロンである. 図1.1にLHCの外観図を示す. LEP [1] に使われていた周長約27kmのトンネルを利用してCERN [2] が構築した. 電子-陽電子衝突型であったLEPとは異なり, 超伝導加速空洞と偏向用超伝導電磁石の導入により陽子-陽子衝突を可能にしている. 2012年現在ビームエネルギーは4TeVであり, 最大のエネルギースケールで実験を行える加速器となっている.

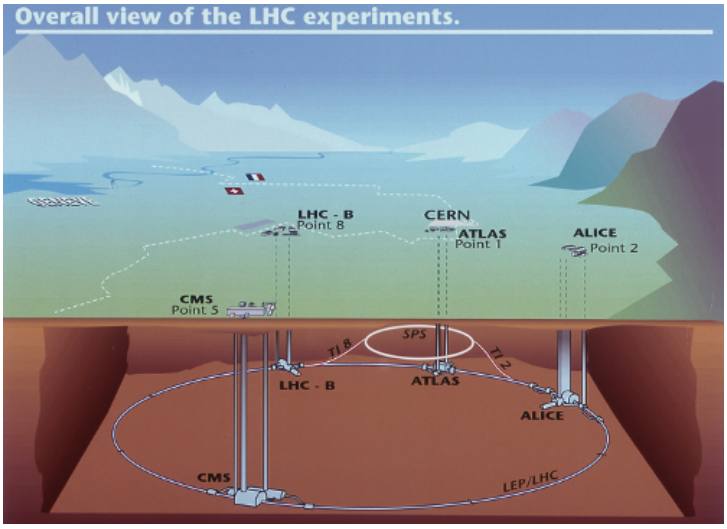


図 1.1: LHC外観図 [4]

[1] Large Electron-Positron collider: CERNが1989年から2000年にかけて実験していた電子-陽電子衝突型シンクロトロン. 重心系エネルギーは約100GeV

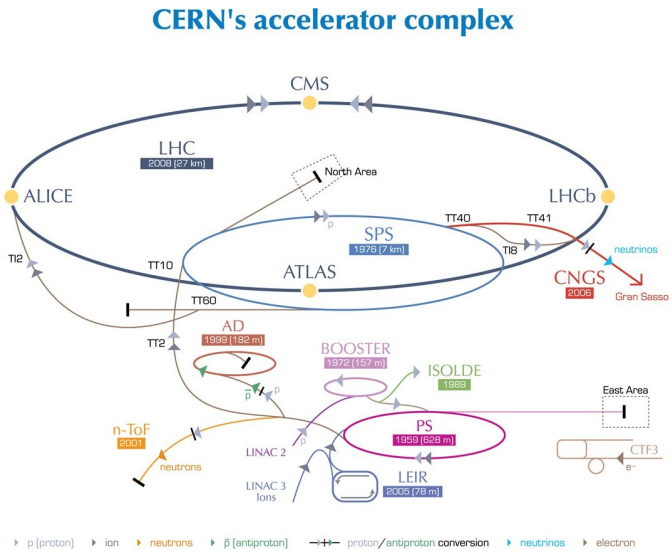
[2] Counseil Européen pour la Recherche Nucléaire: 欧州原子核研究機構

表 1.1 に LHC のパラメータ (デザイン値) を挙げる．ビームエネルギーとルミノシティはまだデザイン値に達しておらず, 後述の LHC アップグレードにより改善していく方針である．2012 年はビームエネルギー 4TeV で稼働し, 最大瞬間ルミノシティは 7.7×10^{33} cm^{-2}s^{-1} を記録した．

表 1.1: LHC のデザイン値 [1]

リング周長	26.7 km	偏向磁場	8.33 T
ビームエネルギー	7 TeV	瞬間ルミノシティ	10^{34} cm^{-2}s^{-1}
バンチ間隔	24.95 ns	バンチあたり陽子数	1.15×10^{11}
バンチ ID 総数	3564	使用バンチ数	2808

LHC に陽子ビームを入れる前に, 複数の前段加速器により段階的にエネルギーを上げる必要がある．まず陽子イオン源から出た陽子イオンは線形加速器である Linac2 で加速される．これを PS (Proton Synchrotron) に入れる前に, PS Booster と呼ばれるシンクロトロンで 1.4GeV までエネルギーを引き上げる．その後 PS, SPS (Super Proton Synchrotron) により段階的にエネルギーを 450GeV まで上げ, LHC に入射させる．この概要を図 1.2 に示す．



	Length	Energy
Linac2	30 m	50 MeV
Booster	160 m	1.4 GeV
PS	630 m	25 GeV
SPS	6.9 km	450 GeV
LHC	27 km	7 TeV

図 1.2: LHC と前段加速器 [4]

1.1.2 LHC で行われている実験

LHC で行われている実験のうち, ATLAS (A Toroidal LHC ApparatuS) と CMS (Compact Muon Solenoid) はどちらも汎用の大型検出器である．LHC リングの正反対の位置に居を据え, 互いに成果を競い合っている．2012 年の 7 月には揃って 125-126GeV 付近に 5σ の確度で Higgs とみられる新粒子を発見したと発表した [2][3](ATLAS: 126GeV, CMS: 125GeV).

ALICE (A Large Ion Collider Experiment) では陽子ではなく重イオン (^{208}Pb^{82+}) 同士を衝突させた実験により, 宇宙初期の状況の再現及び Quark Gluon Plasma (QGP) の研究がなされてい

る．LHCb (Large Hadron Collider beauty) では b クオークの物理に焦点を当て，B メソンにおける CP 対称性の破れの測定を行っている．

ATLAS, CMS, LHCb, ALICE 実験についての概要を表 1.2 にまとめた．また，各実験で用いられている検出器の概略図を図 1.3, 1.4 に示す．

表 1.2: LHC で行われている実験

実験名	サイト[3]	実験概要
ATLAS	point 1	大型汎用検出器による実験
ALICE	point 2	重イオン検出器による QGP の物理
CMS	point 5	大型汎用検出器による実験
LHCb	point 8	B メソンにおける対称性の破れの検証

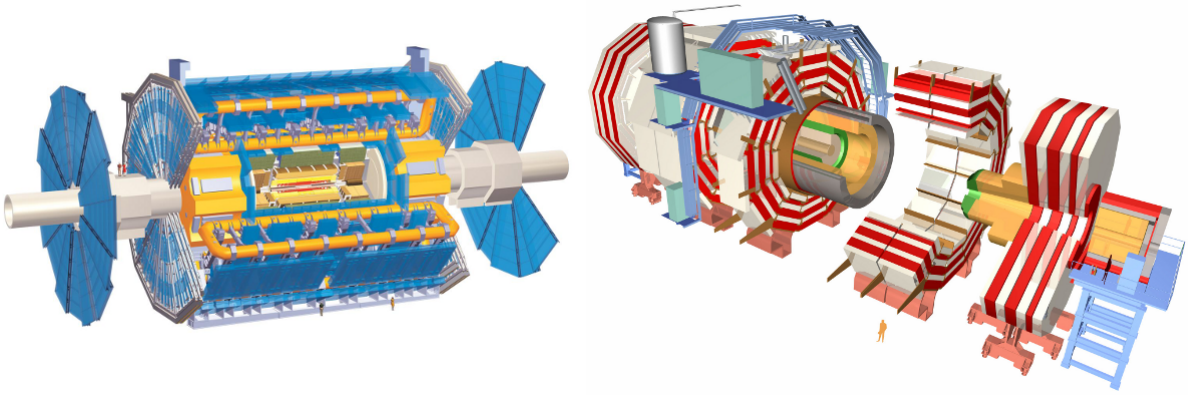


図 1.3: ATLAS 検出器 (左), CMS 検出器 (右)[4]

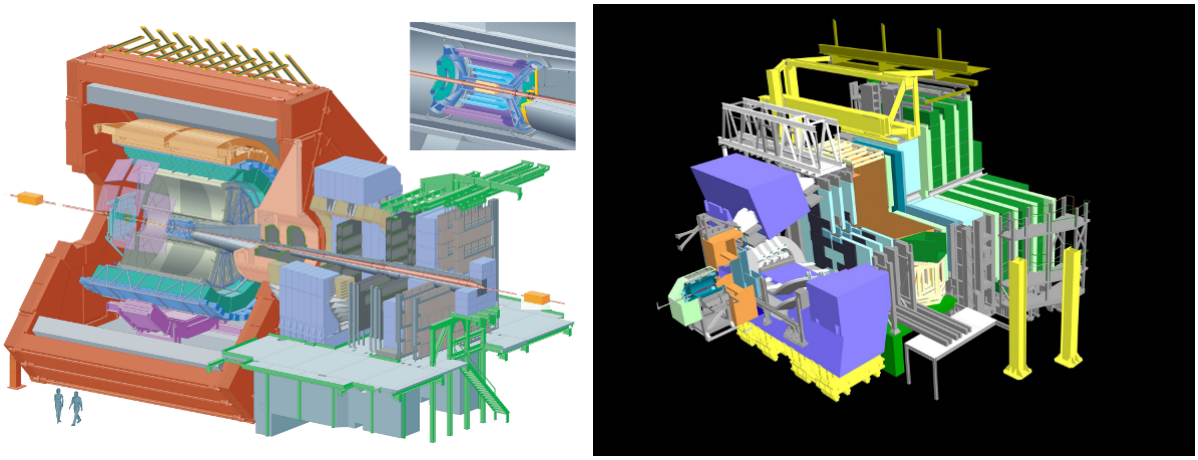


図 1.4: ALICE 検出器 (左), LHCb 検出器 (右)[4]

[3]LHC を上空から見て 8 等分する点に point 1〜point 8 と時計回りに番号がついている．各 point には検出器やビームダンプが配置されている

1.2 ATLAS 検出器

ATLAS では大型汎用検出器を用いて Higgs 粒子や標準理論を超える現象を追っている．3000 人を超える研究者が従事しており, 日本からも多数の研究者や学生が研究に当たっている．検出器は直径 25m, 長さ 44m の円筒形をしており, LHC の検出器の中では最大規模を誇る．

本節では ATLAS 検出器の構成について簡単な説明を行う．

1.2.1 検出器全体像

衝突型加速器における一般的な検出器は, 内側から飛跡検出器, 電磁カロリメータ, ハドロンカロリメータ, ミューオン検出器という構成をとる．飛跡検出器はソレノイド磁場で曲げられた荷電粒子をとらえ, 飛跡の再構成を行い運動量を測定する．電磁カロリメータは電磁シャワーにより電子及び光子のエネルギーを測定する．ハドロンカロリメータは電磁カロリメータと同様にジェットのエネルギーを測定する．ミューオンは荷電粒子であるが断面積が小さくこれらを通り抜けてくるため, 最外部に配置したミューオン検出器により位置を測定する．

ATLAS においても内部飛跡検出器, (電磁/ハドロン) カロリメータ, ミューオンスペクトロメータが内側から順に配置されている．ただし特徴的なのがマグネットで, 一般的なソレノイド磁石に加えてトロイド磁石を用いており, ミューオンスペクトロメータにおける運動量測定を可能にしている．次小節以降でそれぞれについてもう少し詳しく説明する．図 1.5 に ATLAS 検出器の全体像を載せる．

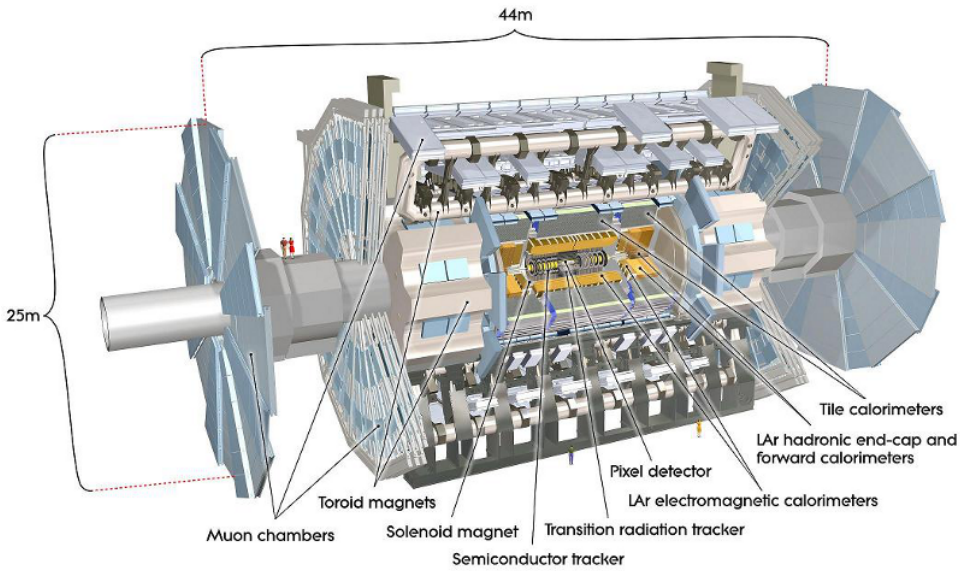


図 1.5: ATLAS 検出器全体像 [6]

座標系について

ATLAS では主に xyz 座標系もしくは $r\phi z$ 座標系を用いる．xyz 座標系は一般的な三次元直交座標系であり, ビームパイプ方向を z 軸, LHC リング中心方向を x 軸, それらと垂直な方向を y 軸[4]としている．また, 円筒型である ATLAS 検出器の両サイドを表すのに z 軸が正の方向を A-side, 負の方向を C-side と呼ぶことがある．

$r\phi z$ 座標系は円筒座標系であり, ATLAS 検出器の各要素の位置を示すのに適している．ビームパイプ方向を z 軸とするのは同じで, 円筒の動径方向を r, 方位角方向を ϕ とする．

また, 擬ラピディティ η を使うことがしばしばある．これは衝突点からの天頂角 θ を用いて次式のように表される．

$$\eta = -\ln\left(\tan\left(\theta/2\right)\right)$$

η, ϕ で表すと生成粒子の分布が一様になることから, 粒子のヒット位置を示すのによく用いられる．また, 構成要素の検出器はシリンダー状の部分 (バレル部) とディスク状の部分 (エンドキャップ部) でできており, しばしば η の大小でこれらを区別する．図 1.6 に座標系の概略図を示す．

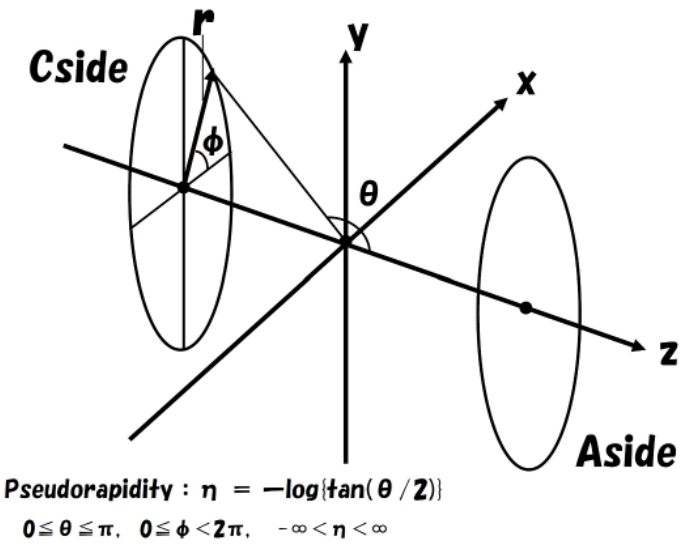


図 1.6: ATLAS における座標系 [25]

1.2.2 内部飛跡検出器

検出器の最内部において飛跡の再構成をするのが内部飛跡検出器 (ID: Inner Detecor) である．ATLAS の ID は内層のシリコン検出器及び外層の遷移放射検出器で構成される．図 1.7 にバレル部 ID の概略図を示す．また, ID の性能は表 1.3 にまとめてある．

[4]ATLAS 検出器がわずかに傾いて設置されているため, 正確に天頂方向にはならない

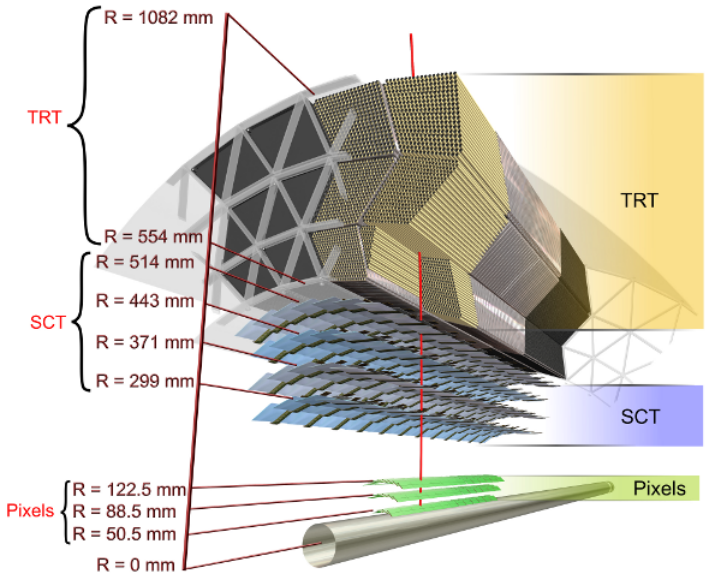


図 1.7: バレル部 ID[6]

シリコン検出器

ID 内層には飛跡再構成の要求精度を満たすため, 分解能に優れるシリコン検出器を配置する. Pixel 検出器, Semi-Conductor Tracker (SCT) の 2 種類ある.

- Pixel 検出器

  シリコンピクセルを用いた高分解能の位置検出器である. バレル部は三層からなるが, 第一層を特に B layer と呼び, 2 次バーテックス[5]の同定に威力を発揮する

- SCT

  シリコンマイクロストリップを用いた位置検出器である. ソレノイド磁場により曲げられた荷電粒子の飛跡をとらえることで横運動量 (p_{T}) の測定を可能にする

遷移放射検出器

ID を全てシリコンで作るのはコスト面で厳しい. 代わりに ID 外層には遷移放射[6]を利用した検出器である Transition Radiation Tracker (TRT) を用いる. ストローチューブ検出器と, 遷移放射物質としてのポリプロピレンファイバーが互いに重なり合った構造をしており, ポリプロピレン

[5] B など寿命の比較的長い粒子が崩壊した点
[6] 荷電粒子が誘電率の異なる 2 つの物質の境界において起こす放射

からの X 線をストローチューブ検出器が捉える. 電子からは比較的エネルギーの大きい X 線が放射されるため, 弁別することができる.

表 1.3: ID の性能 [7]

検出器	検出領域 ($\|\eta\|$)	表面積 (m^2)	チャンネル数 (10^6)	分解能 (μm)
Pixel - B layer	-2.5	0.2	16	$r\phi : 12,\ z : 66$
Pixel - Barrel	-1.7	1.4	81	$r\phi : 12,\ z : 66$
Pixel - Endcap	$1.7 - 2.5$	0.7	43	$r\phi : 12,\ z : 77$
SCT - Barrel	-1.4	34.4	3.2	$r\phi : 16,\ z : 800$
SCT - Endcap	$1.4 - 2.5$	26.7	3.0	$r\phi : 16,\ z : 800$
TRT - Barrel	-0.7		0.1	170/straw
TRT - Endcap	$0.7 - 2.5$		0.3	170/straw

1.2.3 カロリメータ

カロリメータは ID の外側において粒子のエネルギーや放出角度を測定する検出器である. 用途により電子や光子を検出する電磁カロリメータと, ジェットを検出するハドロンカロリメータに分かれる. 図 1.8 にカロリメータの概略図を示す.

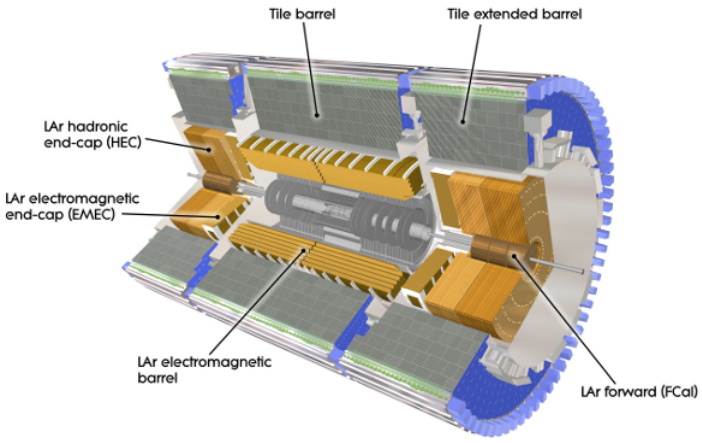


図 1.8: カロリメータ [6]

電磁カロリメータ

鉛の吸収体とシンチレーション用の液体アルゴン (LAr) で構成されるサンプリングカロリメータである. 吸収体はアコーディオン構造になっており, 効率よくエネルギーを落とすことが可能. バレ

ル電磁カロリメータは $|\eta| < 1.48$ をカバーし, エンドキャップ電磁カロリメータは $1.38 < |\eta| < 3.2$ をカバーする.

ハドロンカロリメータ

バレル部 ($|\eta| < 1.7$) には鉄の吸収体とタイル状のシンチレータが交互に重ね合わさった構造をした Tile カロリメータが採用されている. 一方エンドキャップ部 ($1.5 < |\eta| < 3.2$) には鋼の吸収体と LAr で構成された Hadronic End-cap Calorimeter (HEC) を用いている.

フォワードカロリメータ

前方 ($3.1 < |\eta| < 4.9$) をカバーするため, Forward Calorimeter (FCal) を設置している. 第一層には銅の吸収体と LAr の電磁カロリメータ, 第二, 第三層にはタングステンと LAr のハドロンカロリメータを用いる.

1.2.4 ミューオンスペクトロメータ

ミューオンスペクトロメータは ATLAS 検出器の最外部に配置されている, ミューオンの位置測定等を行う一群の検出器のことである. 図 1.9 がミューオンスペクトロメータの概略図である. ATLAS のミューオンスペクトロメータは役割により Precision Chamber と Trigger Chamber に分かれる. Precision Chamber には磁場と垂直な方向 ($r - z$) の位置を 50μm 程度の精度で測定することが求められる. 一方 Trigger Chamber には 25ns 以内の応答, p_{T} 測定によるトリガー, 数 mm〜1cm の精度での第二座標 (ϕ) 測定が求められる. 各チェンバーの性能は表 1.4 にまとめてある.

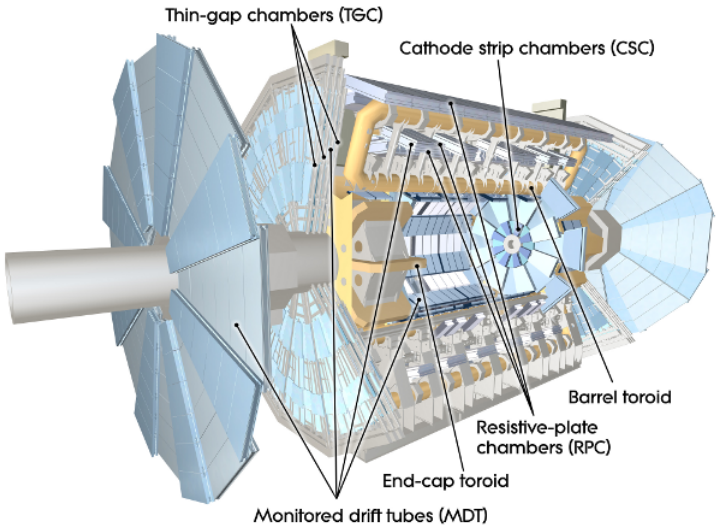


図 1.9: ミューオンスペクトロメータ [6]

Precision Chamber

高精度位置測定のため, Monitored Drift Tube (MDT) を用いる. ただしフォワード領域 ($2.1 < |\eta| < 2.7$) では高カウントレートに耐えられないため, Cathod Strip Chamber (CSC) を用いる.

- MDT

  カソード径 30mm, アノード径 50μm であるドリフトチューブが構成要素で, 1 本の位置分解能は 80μm である. スペーサーフレームの両側に, ドリフトチューブを 3 本もしくは 4 本を層状に並べたものが 1 つのチェンバーになる

- CSC

  ワイヤ間隔 2.54mm, ストリップ読み出し間隔 5.08mm の MWPC [7] で, 位置分解能 60μm である. カウントレート上限が 150Hz/cm^2 の MDT に代わり, 1000Hz/cm^2 の CSC がフォワード部の対応をする

Trigger Chamber

ミューオントリガーはバレル部を Resistive Plate Chamber (RPC), エンドキャップ部を Thin Gap Chamber (TGC) が担当する.

- RPC

  高抵抗板を電極として用いるガス検出器の一種である. ATLAS では互いに直交するストリップを用いて $z-\phi$ 二次元情報を取得できるようにしており, バレル部のトリガーに用いられる

- TGC

  ワイヤ間の間隔 (1.8mm) よりワイヤ・ストリップ間の距離 (1.4mm) の方が短いのが特徴的な MWPC である. これによりバンチ間隔である 25ns 以内に $r-\phi$ 二次元読み出しを可能にし, エンドキャップ部のトリガーに用いられる

表 1.4: ミューオンスペクトロメータの性能 [8]

検出器	検出領域 ($\|\eta\|$)	表面積 (m^2)	チャンネル数 (10^4)	分解能
MDT	-2.7	5500	37	80 μm
CSC	$2.0-2.7$	27	6.7	60 μm
RPC	-1.1	3650	35.5	∼1 mm
TGC	$1.0-2.4$	2900	44	∼1 cm

[7] Multi-Wire Proportional Chamber: 比例計数管の一種. ここではカソードをアノードワイヤと垂直なストリップ状にすることで二次元読み出しが可能なタイプである

レイアウト

ミューオンスペクトロメータを配置で分けると, いくつかのチェンバーでステーションという単位を作っている. バレル部では 3 つのシリンダー状のステーション (Inner, Middle, Outer), エンドキャップ部では 4 つのディスク状のステーション (I, M, O, Extra) が存在する. これらをバレルを表す B, エンドキャップを表す E を用いて EM などと表記する. また, EM ステーションを Big Wheel (BW), EI ステーションを Small Wheel (SW) と呼ぶことがある. これらのステーションはそれぞれ構成するチェンバーの種類が異なっており, 内訳を表 1.5 にまとめる.

表 1.5: 各ステーションの構成 (Large sector)[8]

ステーション	検出領域 ($\|\eta\|$)	トラッキング	トリガー	第二座標測定
BI	-1.0	MDT		
BM	-1.0	MDT	RPC	RPC
BO	-1.0	MDT	RPC	RPC
EI	$1.0-2.0$	MDT		TGC
	$2.0-2.7$	CSC		CSC
EM	$1.0-2.4$	MDT	TGC	TGC
	$2.4-2.7$	MDT		TGC
EO	$1.4-2.7$	MDT		
EE	$1.0-1.4$	MDT		

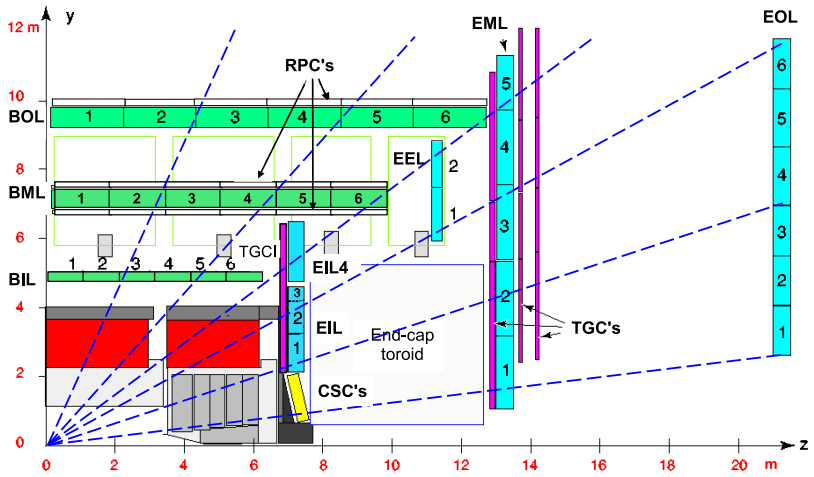


図 1.10: $r-z$ 平面ステーション配置図 (Large sector)[6]

なお, 8 回対称のトロイド磁石に合わせて各ステーションも ϕ 方向に 16 分割されている. 8 つはバレルトロイド磁石の間の領域に位置し Large sector と呼ばれ, 8 つはバレルトロイドの直近に位

置し Small sector と呼ばれる．Large, Small で η の領域が若干ずれるが, 表 1.5 に載せたのは主に Large sector のものである．図 1.10 に Large sector の配置図を示す.

1.2.5 マグネット

荷電粒子の運動量測定のために, ATLAS では 2 種類の超伝導電磁石を用いている．ソレノイド磁石と ATLAS の名前の由来にもなっているトロイド磁石である．図 1.11 は 2 種類のマグネットの図である.

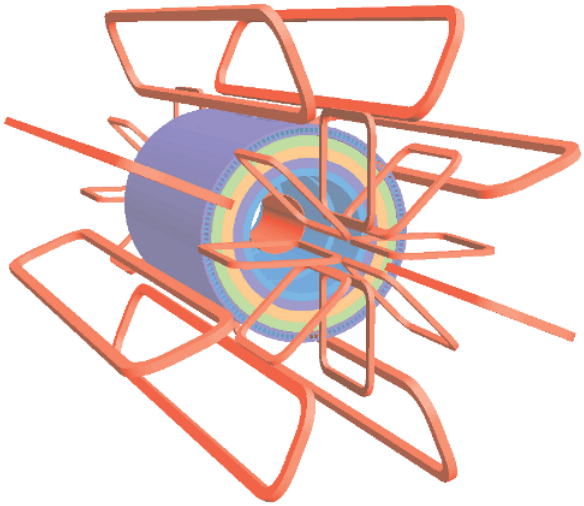


図 1.11: ソレノイド磁石, トロイド磁石 [6]

ソレノイド磁石

ID の外側に z 方向約 2T の磁場を発生させる超伝導ソレノイド磁石がある．荷電粒子は ϕ 方向に曲げられ, ID で p_{T} が測定される.

バレルトロイド磁石

バレル部はカロリメータの外側に長さ 25m のトロイド磁石がある．8 つの超伝導コイルにより ϕ 方向に約 0.5T の磁場が発生する．荷電粒子は η 方向に曲げられ, RPC で p_{T} が測定される.

エンドキャップトロイド磁石

エンドキャップ部にも長さ 5m のトロイド磁石が存在する．各コイルはバレル部のものと 22.5° ずつずれて配置されている．ϕ 方向約 1T の磁場により荷電粒子を曲げ, TGC で p_{T} を測定する.

1.3 トリガー及びデータ収集

高エネルギー実験, 特に希少な事象を探索する ATLAS にとってトリガーシステムとデータ収集システム (DAQ: Data Acquisition) の性能は非常に重要である. 図 1.12 に断面積と重心エネルギーの関係を示す. これを見ればわかる通り, 14TeV では Higgs は 10 億回に 1 回程度の割合しか生成されない. この膨大なバックグラウンドの中からいかに効率よく信号を選び出すかが ATLAS 実験の肝になる.

本節では ATLAS のトリガー及びデータ収集システム (TDAQ: Trigger and DAQ) について述べる.

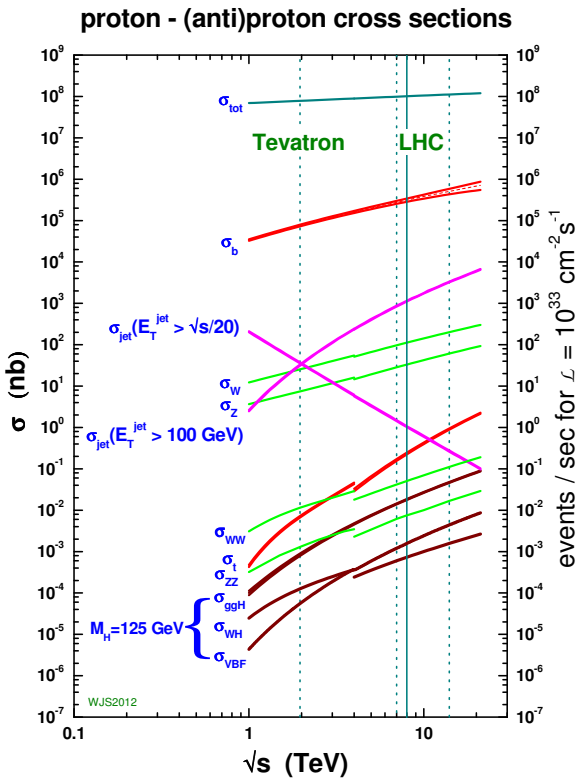


図 1.12: 重心エネルギーに対する断面積プロット [13]

1.3.1 トリガー全体像

LHC では 40MHz の頻度で衝突が起こり, 一回の衝突で数 10 個の陽子が反応を起こす. そのうちほとんどは図 1.12 中の $\sigma_{\rm tot}$ に表される minimum bias 事象である. エネルギーをほとんど落とさない “ケチな” 反応で, QCD (Quantum Chromodynamics) の効果で引き起こされる. これらを全て拾っていたのでは約 1GHz でデータがくることになり, 到底処理できない.

ATLAS では 3 段階のトリガーを用いてこのレートを 200Hz 程度にまで落とす. Level 1 (L1) で 75Hz, Level 2 (L2) で 3.5kHz, Event Filter (EF) で 200Hz, といった具合である (図 1.13). L1 は

2.5μs という厳しいレイテンシ条件からハードウェア処理により行われ, ソフトウェア処理の L2, EF と区別される. このため L2, EF をまとめて High Level Trigger (HLT) とも呼ぶことがある.

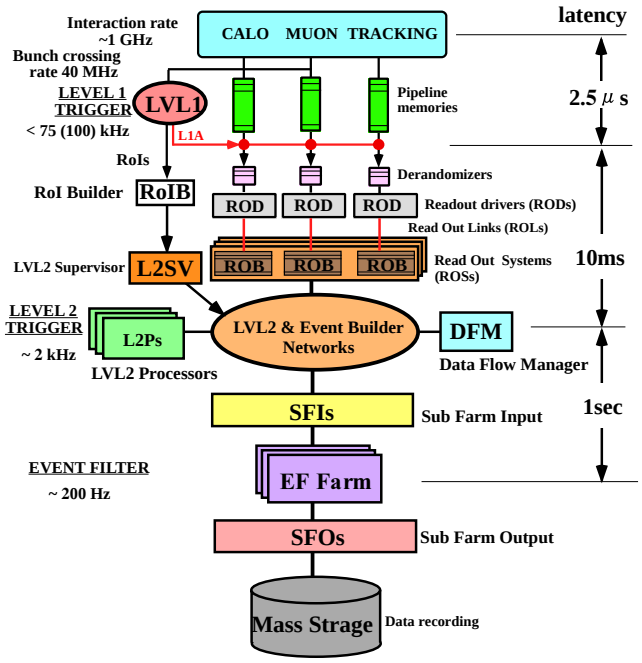


図 1.13: TDAQ 概要 [6]

1.3.2 Level 1 Trigger

L1 はミューオンの p_{T} 情報及び電子, 光子, ジェット等のエネルギー情報を用いてかけるトリガーである. p_{T} 情報は TGC, RPC から提供され, エネルギー情報は電磁/ハドロンカロリメータから精度を落としたものが提供される. これら検出器のシステムと, 情報を統合してトリガー判定を行う Central Trigger Processor (CTP), さらにトリガーを分配する Timing Trigger and Control distribution system (TTC) [9] で L1 トリガーシステムを構成する. 図 1.14 に L1 トリガーシステムの概要を示す.

読み出しデータは L1 に与えられたレイテンシである 2.5μs の間は保持しておかなければならないため, 少なくとも 100 段のパイプラインメモリ (L1 Buffer) でトリガーの発行を待つ. CTP は現象に合わせて MU (muon), EM (electromagnetic), J (jet) 等のトリガーメニューを用意しており, いずれかの基準を満たした場合に Level 1 Accept (L1A) 信号が発行される. L1A は TTC によりフロントエンドの L1 Buffer に行き着き, データが読み出される.

データはデランダマイザでトリガー発行のばらつきを吸収され, Read Out Driver (ROD) に送信される. ROD までを各検出器システムが担当しており, ROD はデータを ATLAS 共通のフォーマットに変換し, 後段の Read Out System (ROS) に送る. ROS は複数の Read Out Buffer (ROB) で構成されており, L2 の処理の間データを保持する. また, このデータフローとは別に, Region of Interest (RoI) 情報が L2 に渡される. RoI は L1 トリガーで得られた粒子の存在領域を η と ϕ で表したものであり, L2 トリガーに使用される.

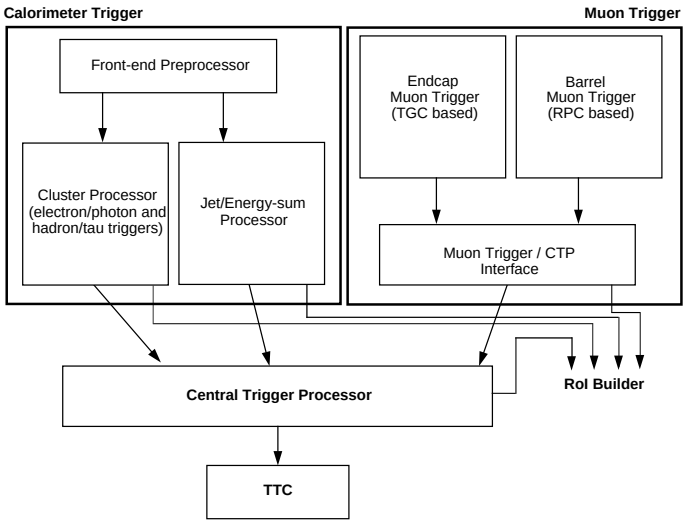


図 1.14: L1 トリガーシステム [6]

TTC

TTC は各検出器システムのフロントエンドにタイミング/トリガー信号をブロードキャストしたり, フロントエンドに個別にコマンドを送るために用いられる. タイミング/トリガー信号にはクロック, L1A, ECR [8] , BCR [9] 等がある.

図 1.15 のように, TTC は Local Trigger Processor (LTP), TTCvi, TTCvx, ROD busy から構成されている. LTP は各検出器システムごとにおかれ, ローカルにおけるマスターの役割を果たす. CTP からタイミング/トリガー情報を受け取り, クロックを TTCvx に, 他を TTCvi に渡す. この際, 例えばトリガーに関して L1A をそのまま渡すか, ローカルに生成されたトリガーを用いることができるなど, ローカルでの運用も可能になっている.

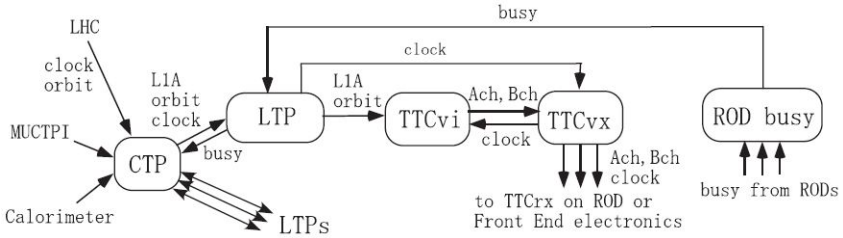


図 1.15: TTC を構成するモジュール [23]

TTCvi は受け取った情報を元にトリガーを A-Channel, その他の信号を B-Channel としてコーディングして TTCvx に渡す. TTCvx は 2 種類の信号を TDM [10] により多重化し, 光信号により

[8]Event Count Reset: イベントカウントのリセット
[9]Bunch Count Reset: バンチカウントのリセット
[10]Time Division Multiplexing: 時間ドメインを分割することで複数のチャンネルを同時に送信する技術

フロントエンドに分配する．RODbusy モジュールは ROD からの busy 信号をまとめ, LTP を経由して CTP へと受け渡す．busy は ROD が何らかの原因で処理が追いつかない場合に発行され, L1A の発行を停止させる．

フロントエンドで TTC 信号を受け取るには, TTCrx ASIC [11] を搭載したモジュールを用いる．TTCrx は TTC 信号をデコードしてタイミング/トリガー情報を再生する．例として TGC フロントエンドでは, TTCrx を載せた TTCrq メザニンカードによりデコードし, ファンアウトモジュールを介して各 L1 Buffer にトリガーを配っている．

1.3.3 High Level Trigger

L2 では L1 より高精度なトリガー判定を行うため, L1 で用いられなかった MDT, CSC, ID 等の情報にもアクセスできるようにする．ただし 40ms のレイテンシ制約があるため, RoI 情報を元に適切なデータを ROS から取り出す．L2 トリガーメニューを用いて L2 判定が行われ, 通ると L2 Accept (L2A) が発行される．L2A が発行されると, ROS に格納されていた全データは Sub Farm Input (SFI) buffer に移され, 所定のフォーマットに変換される．

EF では RoI で限定せず全てのデータを用いてトリガー判断を下す．トリガー判定は複数の EF Sub Farm から構成された EF Farm において, 並列処理により行われている．EF Sub Farm は SFI からデータを受け取り, 最大 4sec かけてトリガーを発行する．EF を通過すると, 該当データとトリガー情報が Sub Farm Output (SFO) buffer に渡され, 最終的なディスクへの書き込みが行われる．

1.4 ATLAS で目指す物理

ATLAS の主目的の 1 つとして Higgs 粒子の探索及び精密測定が挙げられる．Higgs は存在を予言されてから 50 年近く様々な実験で探索が続けられてきた．2011 年までには LEP により 114GeV 以下の領域が, Tevatron [12]により 156-177GeV の領域が, LHC により 141-476GeV の領域がそれぞれ 95%の確度で棄却されており, 2012 年の結果に期待が寄せられていた．

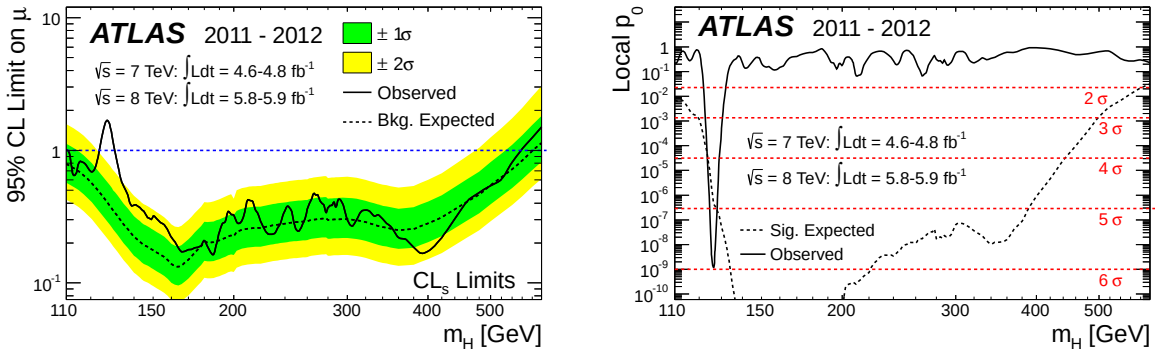


図 1.16: 2012 年 7 月時点でのプロット [5]

[11] Application Specific Integrated Circuit: 目的の機能を持つようにユーザーが設計し, 業者が製造するような IC

[12] フェルミ国立加速器研究所の所有する陽子-反陽子衝突型加速器．周長 6.3km のシンクロトロンであり, 重心系エネルギーはおよそ 2TeV である

そしてついに2012年7月, ATLASは126GeVに“新しいボソン”を発見した (図1.16). 今後はこの粒子が本当にStandard Model (SM) のHiggs粒子なのか確認するとともに, プロパティ測定のフェーズに突入する.

本節ではLHCでのHiggsの精密測定を中心に, ATLASで検証する物理について説明する.

1.4.1 Standard Model Higgs

SM Higgsの簡単なおさらいをしておく. 電弱相互作用のラグランジアンは

$$
\begin{aligned}
\mathcal{L}_1 = &-\frac{1}{4}\boldsymbol{W}_{\mu\nu}\cdot\boldsymbol{W}^{\mu\nu} - \frac{1}{4}B_{\mu\nu}\cdot B^{\mu\nu} \\
&+\overline{L}\gamma^\mu\left(i\partial_\mu - g\frac{1}{2}\boldsymbol{\tau}\cdot\boldsymbol{W}_\mu - g'\frac{Y}{2}B_\mu\right)L \\
&+\overline{R}\gamma^\mu\left(i\partial_\mu - g'\frac{Y}{2}B_\mu\right)R
\end{aligned}
$$

である. これではゲージボソンの質量が0であるため, $W^\pm$ 及び Z^0 が質量をもち, γ は質量が0であるように, スカラー場 ϕ に対して $SU(2)\times U(1)$ 不変なラグランジアンを付け加える.

$$
\begin{aligned}
\mathcal{L}_2 &= \left|\left(i\partial_\mu - g\frac{1}{2}\boldsymbol{\tau}\cdot\boldsymbol{W}_\mu - g'\frac{Y}{2}B_\mu\right)\phi\right|^2 - V(\phi) \\
V(\phi) &= \mu^2\phi^\dagger\phi + \lambda(\phi^\dagger\phi)^2 \qquad \text{where} \;\; \mu^2 < 0 \;\; \text{and} \;\; \lambda > 0
\end{aligned}
$$

さらにフェルミオンの質量を求めるには次のラグランジアンを加える.

$$
\mathcal{L}_3 = -\left(G_1\overline{L}\phi R + G_2\overline{L}\phi_c R + \text{Hermitian Conjugate}\right)
$$

対称性の自発的破れを考慮して

$$
\phi = \frac{1}{\sqrt{2}}\begin{pmatrix} 0 \\ \nu + h \end{pmatrix}, \quad \phi_c = -i\tau_2\phi^*
$$

とすることにより, フェルミオンの質量項が無事に出てくる. ここで ν はHiggsの真空期待値 (246GeV) である. ベクターボソン W, Z とフェルミオンの質量はSMでは導くことのできないパラメータであり, 結合定数と次のような関係になっている.

$$
\begin{aligned}
g_{ffH} &= \frac{m_f}{\nu} \\
g_{VVH} &= 2\frac{m_V^2}{\nu}
\end{aligned}
$$

フェルミオンの質量とHiggsの結合定数 (湯川結合定数と呼ばれる) は比例関係になっているので, 測定でこのリニアリティを再現できればボソンがHiggsだという傍証になる. また, Higgsの質量 $m_H = \sqrt{2\lambda}\nu$ はSMからは予言できない量であり, 測定により求める. スピン及びパリティは $J^{PC} = 0^{++}$ とされているが, こちらも実験により確かめる必要がある.

1.4.2 Higgs 生成過程

Higgs の主な生成過程として. $gg \to H$ (gluon fusion), $qq \to qqH$ (vector boson fusion), $q\bar{q} \to (W/Z)H$ (W/Z associate production), $gg \to ttH$ (top associate production) の 4 つが挙げられる. 図 1.17 に各生成過程のファインマン図を示す. また, Higgs の生成断面積は図 1.18 のようになる.

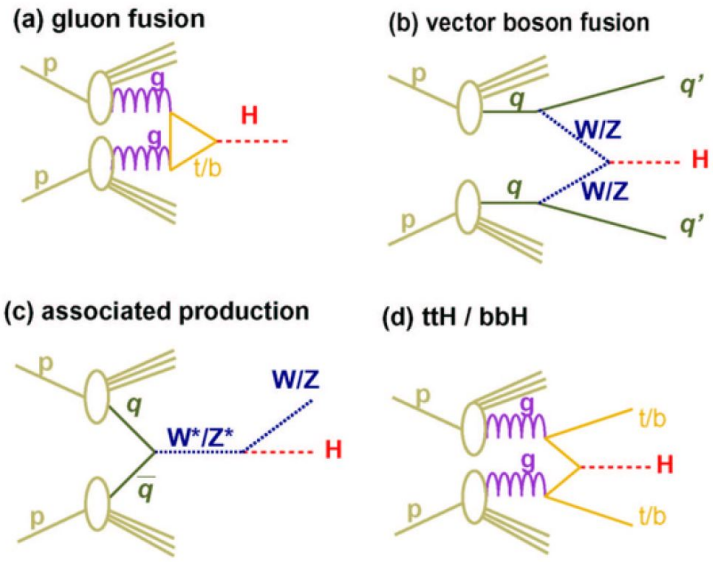


図 1.17: Higgs 生成過程 [23]

gluon fusion (GF): ∼30pb @$m_H = 125$ GeV

グルーオンは質量をもたないので Higgs とは結びつかないが, 重いクオークのループを介して Higgs を生成する. LHC では最も断面積が大きいためメインの生成過程であるが, ほかに高い p_{T} の粒子が出てこないためバックグラウンドとの選別が難しい.

vector boson fusion (VBF): ∼5pb @$m_H = 125$ GeV

クオークから出たベクターボソン (W, Z) が結合する過程で, 2 番目に断面積が大きい. GF に比べて断面積は 1/6 程度だが, 反跳クオークの高 p_{T} ジェットが出るのでバックグラウンドとの選別は比較的容易. $\eta - \phi$ 平面でラピディティのギャップができることが特徴.

W/Z associated production (WH/ZH): ∼3pb @$m_H = 125$ GeV

粒子・反粒子の対消滅で生じたベクターボソンから制動放射の形で Higgs が放出される過程である. W/Z がレプトン崩壊を起こした場合にバックグラウンドとの識別が容易である. LHC では断面積が大きくならないが, LEP や Tevatron などではメインとなる生成過程である.

top associated production (ttH): ∼0.5pb @$m_H = 125$ GeV

グルーオンから対生成した t から Higgs が生成される. t は b と W (qq or $l\nu$) に崩壊し特徴的な信号を出すので識別が可能である.

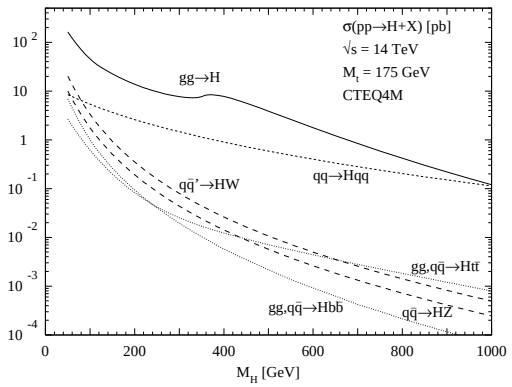


図 1.18: Higgs 生成断面積 [11]

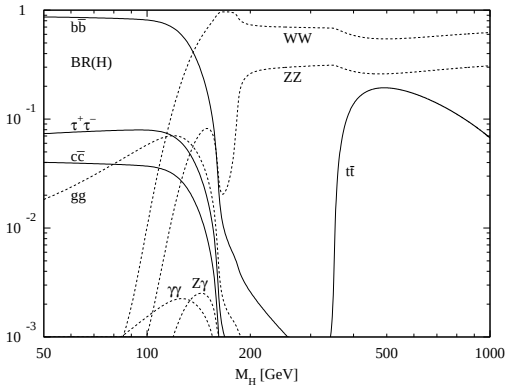


図 1.19: Higgs 崩壊分岐比 [11]

1.4.3 Higgs 崩壊過程

Higgs の崩壊過程は複数種類考えられるが, その中でも重要な 5 つのチャンネルを考える. 崩壊分岐比は図 1.19 のようになる.

$H \to \gamma\gamma$: ∼0.2% @$m_H = 125$ GeV

Higgs が 2 つの光子に崩壊する過程. 光子は電磁カロリメータでしか捕捉できないため, カロリメータの性能にかかっている. エネルギー, 角度を高い精度で測定することができれば, 不変質量が Higgs の質量の部分で鋭いピークが見える. このため質量の測定にも用いられる. 不変質量と測定値の間には次の関係がある.

$$m^2 = 2E_{\mathrm{T1}}E_{\mathrm{T2}}\left(\cosh(\Delta\eta) - \cos(\Delta\phi)\right)$$

$H \to WW^*$ ∼22% @$m_H = 125$ GeV

Higgs が 2 つの W に崩壊し, それぞれが $l\nu$ (l は μ もしくは e) に崩壊する過程で, 最も発見感度の高いチャンネルの一つ. $\nu\nu$ ペアの mET (missing E_{T}) と ll ペアで横方向質量 (m_{T}) を組むとヤコビアンピークが見える.

$$m_{\mathrm{T}} = \sqrt{\left(E_{\mathrm{T}}^{ll} + \not{E}_{\mathrm{T}}\right)^2 + \left(\vec{p}_{\mathrm{T}}^{ll} + \not{\vec{p}}_{\mathrm{T}}\right)^2}$$

Higgs のスピンが 0 であることを用いて, 2 つのレプトンが同じ方向に出てくることを要求すれば S/N が良くなる.

$H \to ZZ^*$ **〜3%** @$m_H = 125$ GeV

Higgs が 2 つの Z に崩壊し, それぞれが ll に崩壊する過程で, Higgs が重い場合にはメインとなっていたチャンネルである (golden channel). on-shell の Z が崩壊したレプトンの組は不変質量が 91GeV になるので, これを用いてバックグラウンドを落とせる. 4 つのレプトンの不変質量を計算すると細いピークが現れるので質量測定に貢献できる上, 角度分布からはスピンと CP を決定することができる.

$H \to \tau\tau$ **〜6%** @$m_H = 125$ GeV

Higgs が 2 つの τ に崩壊する過程である. τ は $l\nu_l\nu_\tau$ か $h\nu_\tau$ に崩壊するが, 2 つのうち少なくとも片方がレプトン崩壊したものを用いる. バックグラウンドの Drell Yan τ のエネルギー分布の肩に乗る形で緩やかなピークが立つ. $g_{\tau\tau H}$ のためにも重要なチャンネル.

$H \to bb$ **〜58%** @$m_H = 125$ GeV

Higgs が 2 つの b に崩壊するチャンネルで分岐比は最も大きい. しかし信号と区別できない QCD バックグラウンドが非常に多く, $q\bar{q} \to (W/Z)H$ と併せて用いられるため, 最終的な断面積は小さくなる. g_{bbH} の測定に必要なチャンネルだが, 他の湯川結合より精度は落ちる.

1.4.4 プロパティ測定のまとめ

ここで生成・崩壊過程を踏まえてこれからの Higgs のプロパティ測定についてまとめる.

質量

質量は $H \to \gamma\gamma$ 及び $H \to ZZ^*$ で測定される. 300fb^{-1} で〜0.1%程度の精度が見込まれる. 質量からは SM Higgs の確証は得られないので, 後述のスピン・パリティ及び湯川結合定数を求める必要がある. なお崩壊幅については, ATLAS の 1GeV の分解能を下回るので測定できない.

スピン・パリティ

$H \to ZZ^*$ において 4 つのレプトンの放出された角度を調べることで, スピン及びパリティを調べることができる. レプトン対の作る平面同士の角を ϕ, Z の方向からの天頂角を θ とし, θ と ϕ の分布を次の関数でフィットする.

$$F(\phi) = 1 + \alpha \cdot \cos(\phi) + \beta \cdot \cos(2\phi)$$

$$G(\theta) = T \cdot (1 + \cos^2(\theta)) + L \cdot \sin^2(\theta)$$

α, β, $R = (L - T)/(L + T)$ を理論値と比較することで, スピンと CP を推測できる. 300fb^{-1} あれば 5σ でスピン・パリティを決定できると予想される.

結合定数

各結合定数を求めるには, 生成断面積 (σ) と分岐比 (BR: Branching Ratio) との積が, 観測されたイベント数 N と次の関係にあることを用いる.

$$\sigma \times \mathrm{BR} = \frac{N - B}{L \cdot \epsilon}$$

B は推測されるバックグラウンド, L は積分ルミノシティ, ϵ はアクセプタンスである. 表 1.6 に生成断面積, 分岐比と結合定数の関係を表す. α, β は SM から導ける数である.

表 1.6: 生成断面積, 分岐比と結合定数

	σ		BR
GF	$\alpha_{\mathrm{GF}} \cdot g_{ttH}^2$	$H \to \gamma\gamma$	$(\beta_{\gamma W} \cdot g_{WWH} - \beta_{\gamma t} \cdot g_{ttH})^2/\Gamma_H$
VBF	$\alpha_{\mathrm{WF}} \cdot g_{WWH}^2 + \alpha_{\mathrm{ZF}} \cdot g_{ZZH}^2$	$H \to WW^*$	$\beta_Z \cdot g_{ZZH}^2/\Gamma_H$
WH	$\alpha_{\mathrm{WH}} \cdot g_{WWH}^2$	$H \to ZZ^*$	$\beta_W \cdot g_{WWH}^2/\Gamma_H$
ZH	$\alpha_{\mathrm{ZH}} \cdot g_{ZZH}^2$	$H \to \tau\tau$	$\beta_\tau \cdot g_{\tau\tau H}^2/\Gamma_H$
ttH	$\alpha_{\mathrm{ttH}} \cdot g_{ttH}^2$	$H \to bb$	$\beta_b \cdot g_{bbH}^2/\Gamma_H$

湯川結合定数のリニアリティが確かめられれば SM Higgs であることの証拠になることは述べた. これには g_{ttH}, g_{bbH}, $g_{\tau\tau H}$ の 3 点を測定すればよい. 生成過程の中では GF, ttH が g_{ttH} 測定に使える. g_{bbH}, $g_{\tau\tau H}$ の測定にはそれぞれ $H \to bb$, $H \to \tau\tau$ の崩壊を用いる. ただし Γ_H を測定することができないので, 結合定数を直接求めるのではなく相対値を用いる. g_{WWH} を基準とした場合の結合定数の測定精度を図 1.20 に示す. 図より 300fb^{-1} では 20〜40% で測定可能であることがわかる. しかしより精密に測定するためにルミノシティを上げて多くのデータを貯める必要がある.

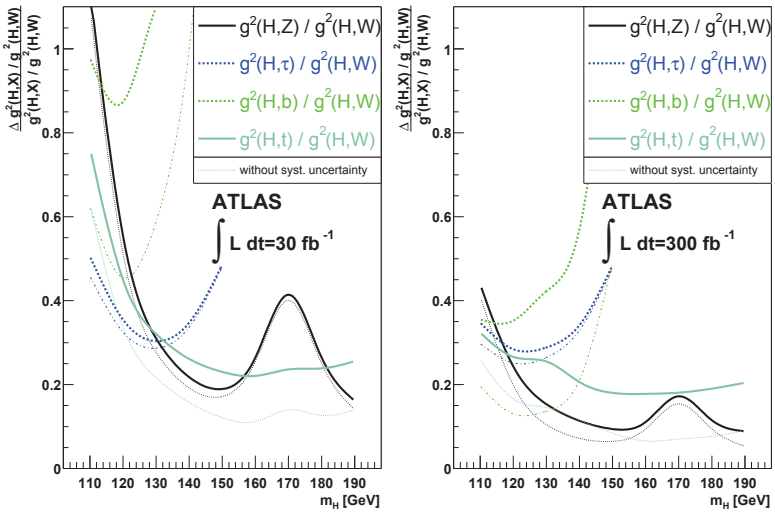


図 1.20: 結合定数の測定精度 [12]

また, Higgs には 3 点及び 4 点自己結合が存在し, それぞれ結合定数は次の式で表される.

$$\lambda_{HHH} = 3\frac{m_H^2}{\nu}$$

$$\lambda_{HHHH} = 3\frac{m_H^2}{\nu^2}$$

これらは Higgs を 2 つ生成する過程を経なければならず, 生成断面積が非常に小さいので現状では到達できない. 少なくとも 3000fb^{-1} 程度ないと発見には至れないため, ルミノシティ増加が望まれる.

1.4.5 アップグレードに向けて

2012 年までに Higgs らしきボソンを発見したが, あくまで LHC の 1 つの目的を果たしたに過ぎない. LHC は TeV 領域を探索できる唯一の加速器であるため, LHC にしかできない物理探索のためにも邁進すべきである. 本章で説明した Higgs の精密測定の他にも, 超対称性粒子 (SUSY [13]) を始めとした Beyond Standard Model (BSM) 物理の探索が求められる. これらを達成するにはより高いルミノシティを目指してアップグレードする必要があり, LHC 並びに ATLAS はすでに準備を進めている.

LHC ではビームエネルギーをデザイン値の 7TeV に, ルミノシティをデザイン値の 5 倍の 5×10^{34} cm^{-2}s^{-1} まで引き上げる計画を立てている. これを High-Luminosity LHC (HL-LHC) 計画と呼び, 2030 年頃までに積分ルミノシティ3000fb^{-1} を目指している. それに対応できるよう ATLAS でも損傷した検出器の交換やエレクトロニクスのアップグレードをしていく予定である.

この HL-LHC で期待される物理について, ほんの一部であるが以下に例を挙げる.

- Higgs の結合定数の精密測定, 及び自己結合定数の観測
- TeV スケールにおけるベクターボソン散乱過程を通した SM 精密測定
- SUSY の一種である squark (〜3TeV), gluino (〜2.5TeV) の制限
- W', Z' による新しい相互作用や余剰次元の探索

次節からは具体的なアップグレードの中身について見ていくことにする.

[13] SuperSynmetry: ボソンとフェルミオンの入れ替えに対する対称性

1.5 LHC アップグレード計画

LHC は 2009 年の 900GeV ランに始まり 2010, 2011 年の 7TeV ラン, 2012 年の 8TeV ランと順調に重心系エネルギーを増強してきた. 積分ルミノシティについては 2010 年は 50pb^{-1} 程度しか貯められなかったが, 2011 年には 5fb^{-1} を超え, 2012 年はその 4 倍もの積分ルミノシティを貯めることができた. 図 1.21 に瞬間ルミノシティ及び積分ルミノシティの変遷を載せる.

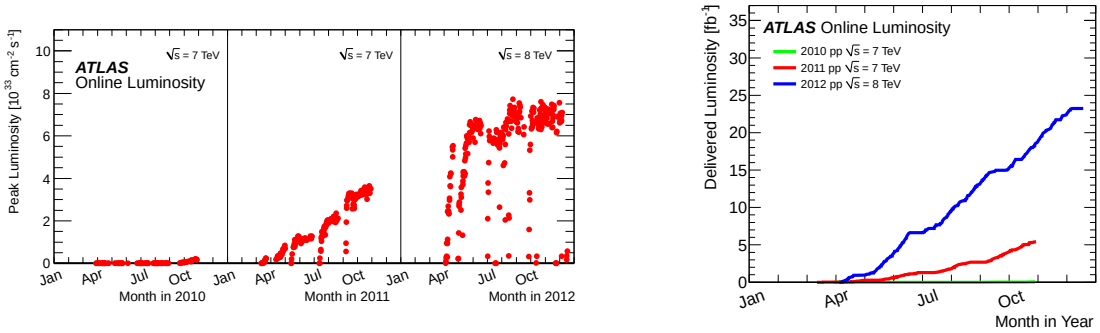


図 1.21: ルミノシティの変遷 [5]

2012 年が終わると断続してきた物理ランに一区切りがつき, Long Shutdown (LS) に入る. LS 中は LHC の補修作業やアップグレードに充てられ, 一切の物理ランは行われない. LS は今後 10 年程度の間に 3 回予定されており, そのたびに少しずつ LHC をアップグレードしてエネルギー及びルミノシティを増強していく. 2013-2014 年が LS1, 2018 年が LS2, 2022 年が LS3 となっており, LS3 をもって瞬間ルミノシティ5×10^{34} cm^{-2}s^{-1} の HL-LHC となる. 表 1.7 にこのロードマップをまとめる.

表 1.7: HL-LHC へのロードマップ

年	エネルギー (TeV)	瞬間ルミノシティ (cm^{-2}s^{-1})
2012	4	6×10^{33}
2013-14		(LS1)
2015-17	6.5〜7	1×10^{34}
2018		(LS2)
2019-21	7	2×10^{34}
2022		(LS3)
2023-	7	5×10^{34}

なお, HL-LHC ではルミノシティのレベリングを行う予定である. つまり何もしなければ 10×10^{34}cm^{-2}s^{-1} 程度出るところを, あえてビーム軸をずらしたりビームの絞りを動的に変更したりして 5×10^{34}cm^{-2}s^{-1} に抑える. こうすることで高ルミノシティに伴うパイルアップの増加を抑制し, 効率的にデータを収集できる. また, 程度の差こそあれ LS1, LS2 後の LHC でもレベリングを行う可能性はある.

以下に各 LS でどのような作業が予定されているか, 検討中のものも含めて記す.

1.5.1 Long Shutdown 1 (2013-2014)

主にエネルギーを 4TeV から 6.5 または 7TeV に引き上げる準備のためのシャットダウンである. 加速管同士の接合を強化する, 弱くなっている磁石を交換する, 放射線対策のためにエレクトロニクスを移動する, 等の作業が考えられている.

1.5.2 Long Shutdown 2 (2018)

ルミノシティを 2 倍に引き上げる. LIU (LHC Injectors Upgrade) と呼ばれるインジェクタのアップグレードが予定されており, Linac2 から Linac4 への移行, PS Booster のエネルギー増加, SPS の電子雲対策などが考えられている. Linac2 では 50MeV までしか加速しないが, Linac4 では 160MeV になり, PS Booster は 1.4GeV から 2GeV になる. PS Booster においては, J-PARC [14] の金属磁性体合金を用いた高周波加速空洞が採用されるなど, 日本の寄与が大きい.

1.5.3 Long Shutdown 3 (2022)

ルミノシティを最終的な $5 \times 10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ まで上げる. Interaction Region (IR) の磁石の強化, 超伝導クラブ空洞の導入が挙げられる. IR の磁石にはビーム収束用の四重極磁石 (Q1, Q2, Q3) とビーム分離・再結合用の双極子磁石 (D1, D2) がある. このうち KEK [15] が D1 を制作することを検討しており, 6T 級の大口径磁石を作るための R&D が行われている. 図 1.22 に現在検討中の磁石の断面図を載せる. また, クラブ空洞を用いると, バンチの向きを回転させることでビーム強度が少なくなっても高ルミノシティを保つことができる. これは KEKB 加速器[16] で世界で初めて実用化した技術であり, 技術協力等を通して日本が貢献していく方針である. 図 1.23 にクラブ衝突の概念図を載せる.

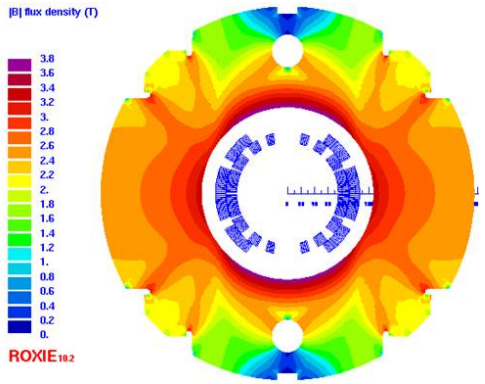


図 1.22: 検討中の D1 磁石 [32]

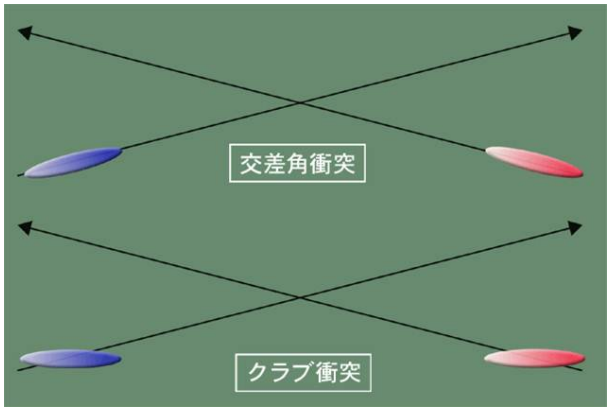


図 1.23: クラブ衝突の概念図 [31]

[14] Japan Proton Accelerator Research Complex: KEK と日本原子力研究開発機構による大強度陽子加速器
[15] 高エネルギー加速器研究機構: 高エネルギー物理や加速器物理, 物質構造化学等の総合研究機関
[16] KEK の所有する周長約 3km の加速器. 8GeV の電子と 3.5GeV の陽電子を衝突させる

1.6 ATLAS アップグレード計画

ルミノシティが上がるにつれ, パイルアップの他にもさまざまな問題が噴出する.

- 読み出し回路やトリガー回路の負担が大きくなる
- 検出器自体の放射線損傷が早まる
- cavern background [17]が増える

これらに対応していくため, ATLAS のアップグレードは 3 回の LS に合わせて部分的に行われていく. LS1 におけるアップグレードを phase-0 upgrade, LS2 は phase-1 upgrade, LS3 は phase-2 upgrade と呼んでいる. 以下それぞれのフェーズでどこをアップグレードしていくかを説明する.

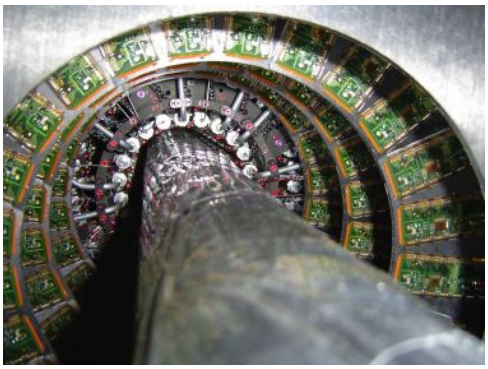
1.6.1 phase-0

phase-0 ではデザインルミノシティとエネルギーに対して弱いと思われる部分を補強するアップグレードを行う. 具体的には Insertable B Layer の導入及びミューオンシステムの改善が挙げられる.

Insertable B Layer

現在の Pixel 検出器のバレル部は 3 層構造になっていて, 最も内側の B Layer はバーテックスの特定, ひいては b タグに必須の検出器である. ルミノシティ上昇に伴い, B Layer を交換する代わりに B Layer とビームパイプの間に新たにピクセル検出器 (IBL: Insertable B Layer) を挿入する. IBL は最も IP [18] に近い (3.27cm) 部分に位置するのでトラッキングの精度が向上し, b タグの効率が向上する. ピクセル検出器としてはプラナー型のものと, 新しい技術である 3D 型のものを混載させるようである. 3D 型はプラナー型に比べ消費電力が小さい, 電荷収集時間が短い等のメリットがある. 逆に欠点としてはプラナー型より厚い, 制作コストが高い, 等が挙げられる.

図 1.24 に現在の Pixel の写真と IBL のイメージを示す.



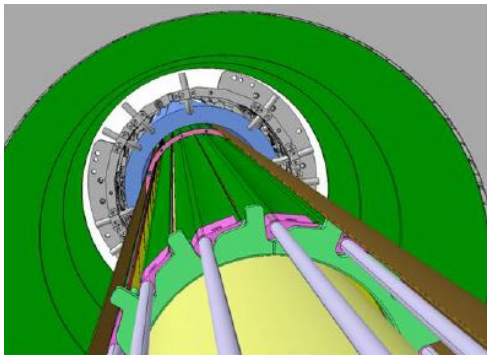


図 1.24: IBL 挿入前後のイメージ [15]

[17]反応後に検出器ホールを漂う熱中性子や低エネルギー光子のバックグラウンド
[18]Interaction Point: 陽子と陽子の衝突地点

ミューオンスペクトロメータの改善

現在 Endcap Extra (EE) Chamber は穴があり, エンドキャップ部とバレル部の境の領域 ($1.0 < |\eta| < 1.3$) のトラッキング効率がひどく低い. そのため残りをインストールすることでこの穴を埋めることは重要課題である. また, カロリメータとシールディングディスクの間 ($z \simeq 7$m) はビームパイプがシールドされておらず, 光子や中性子が漏れ出てくる. この対策のため新たなシールドを設置する.

1.6.2 phase-1

phase-1 では L2 で行われていたトリガーの一部を L1 に移すなど, トリガーの強化が行われる. 主なアップグレードには New Small Wheel, High Granularity Calorimeter Trigger, Fast TracKer, Forward Physics System の導入が挙げられる.

New Small Wheel

現在 Small Wheel (SW) の MDT 及び CSC が $1.3 < |\eta| < 2.7$ におけるトラッキング情報を生成している. この SW を, 高精度のトラッキング用検出器とトリガー用チェンバーからなる New Small Wheel (NSW) に取り換える計画である. 動機としては以下の 2 点存在する.

1. SW の MDT がデザインルミノシティ以上で性能が劣化する

   図 1.25 のように MDT は $1 \times 10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ の時点で対レートマージンが少ないため, phase-1 の前に適切な検出器に取り換える必要がある

2. フェイクトリガーを落とす

   現在 L1 ミューオントリガーの約 98% はフェイクミューオンでかかってしまっている. これはミューオン以外の荷電粒子によるバックグラウンドの存在や, p_{T} 分解能が悪いために生じる. 詳細は後の章で述べるが, NSW のヒット情報を用いることでこれらを排除し, 3 割程度にレートを落とすことができる

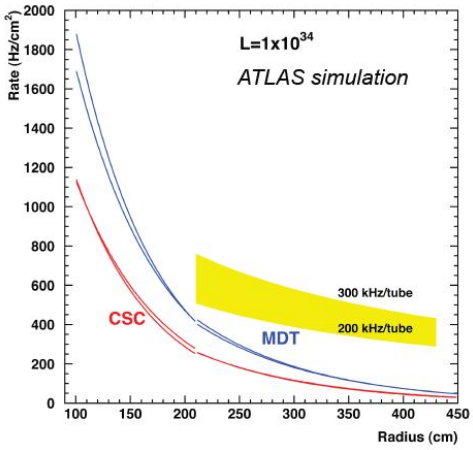


図 1.25: 予測されるカウントレート [14]

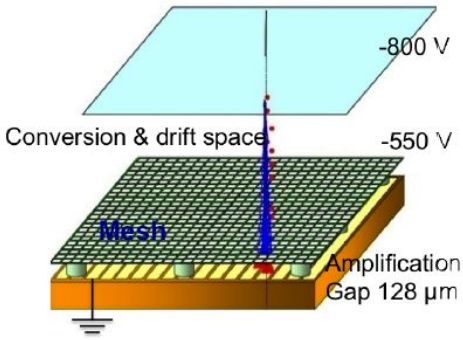


図 1.26: MicroMegas の概略図 [14]

ATLAS Phase-1 Upgrade Letter of Intent[14] 発行時点では, NSW 候補として既存の SW を改善した形の small tube MDT (sMDT)+ small wheel TGC (sTGC), sMDT + RPC の 2 案及び, 新しい技術である MicroMegas (MM) の 3 種類が挙がっていたが, 最終的には MM + sTGC の組み合わせに決定した.

MM に入射したミューオンは電極と金属製のメッシュの間の数 mm にわたる領域でイオン対を生成し, 電子はメッシュに向かってドリフトする. メッシュと読み出し電極の間には 100μm しかなく高電場 (40kV/cm 程度) がかかっているので, ドリフト電子はメッシュを通過して電子雪崩により 10^4 倍に増幅する. 陽イオンが比較的早く (〜100ns) 捌けるのでトリガーとしても用いることができる. 図 1.26 に MM の概略図を示す.

sTGC はカソードストリップの抵抗率を低減することで, 30 kHz/cm^2 の高レートまで耐えられるようにした TGC である. MM, sTGC ともに 100μm よりも良い分解能が得られる.

High Granularity Calorimeter Trigger

ルミノシティが上がると, ジェットを電子と誤ることに起因して, カロリメータによる L1 トリガーレートが大きくなる. トリガーレートを 20kHz に保つには閾値を 40〜50GeV 程度まで上げるしかないが, そうすると W, Z からの大事な信号をロスしてしまう. そこでシャワーの横方向の形を用いたカットにより電子由来のシャワーとジェットを分離するアルゴリズムが考えられた.

3 層の電磁カロリメータのうち 2 層目において, 従来の L1 であれば $\Delta\eta \times \Delta\phi = 0.2 \times 0.2$ の RoI で取っていたが, その中から最もエネルギーの大きい 0.025×0.1 を “Super-cell” として選び, そこを中心に 0.075×0.2 及び 0.175×0.2 の領域を定義してエネルギーの比をとる:

$$R_\eta = \frac{E_{3\times2}}{E_{7\times2}}$$

この R でカットをかけると効率的にジェットを落とせる (1/3 程度). L2 で行っていたことを L1 に持ち込んでいるということだが, フロントエンド読み出し回路及び L1 トリガー入力部の部分的なアップグレードによりこれを達成する. 図 1.27 にこの概念図を示す.

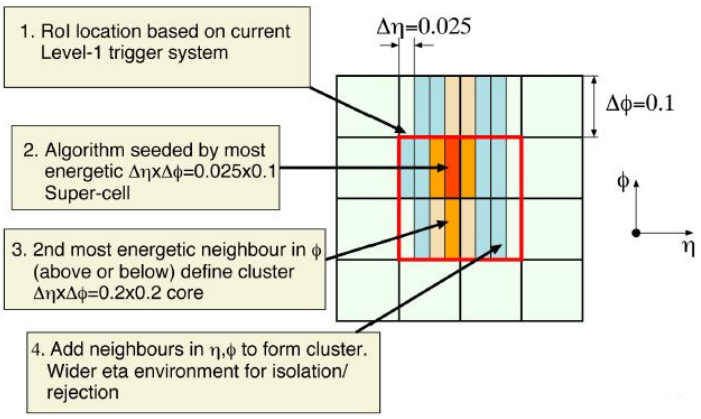


図 1.27: High Granularity Calorimeter Trigger[14]

Fast TracKer

Fast TracKer (FTK) は L1 と L2 の間の “L1.5” として機能するプロセッサである．通常トラッキングは L2 で行われ数 100ms かかるが, 粗いトラックを 100μs 以内に出して L2 に渡すことを目的とする．

入力データは L1 トリガーを通過した Pixel と SCT を用いる．FTK はこれらのコピーを受け取り, ハードウェアによりパターン認識とトラックフィットを行う．平均 25μs でオフラインに近い精度でトラックを割り出せることが確かめられている．FTK により b タグ, τ-ID, レプトンアイソレーション等の効率が上がることが期待される．図 1.28 に FTK とトリガーフローの関係を示す．

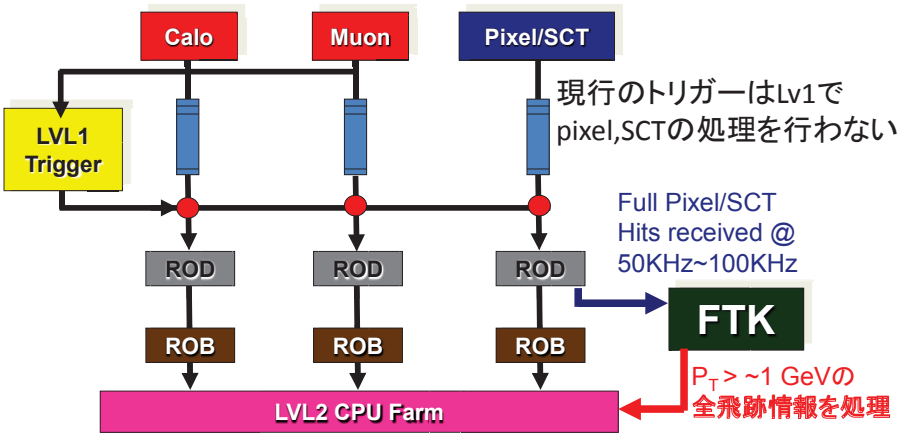


図 1.28: FTK とトリガーフロー [21]

Forward Physics System

IP から約 210m の部分に ATLAS Forward Proton detector (AFP) を置き, フォワード領域の物理探索を行うものである．BSM である $\gamma - W/Z$ のアノーマラスカップリング測定, 及び QCD 回折物理検証が含まれる．

これらの測定のため, 2 種類の AFP を用意する．206m の AFP1 は 3D シリコン検出器であり, 214m の AFP2 は 3D シリコン検出器及びタイミング検出器からなる．このタイミング検出器は水晶チェレンコフ検出器とマイクロチャネル PMT [19] で構成され, 時間分解能 10ps を達成する．

1.6.3 phase-2

phase-2 に関してはまだ詳細が決まっているわけではないが, ここでは現段階で考案されている主なものについて述べる．

[19] Photomultiplier Tube: 光電効果で出てきた電子を増幅する仕組みの, 高感度の光検出器

内部飛跡検出器

一点目には ID の総取り換えが挙げられる．Pixel と SCT については総線量が許容量に達するため, TRT は瞬間ルミノシティ$5 \times 10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ に耐えられないため, 交換が必要になる．その際 TRT を撤廃して全てシリコンベースの検出器にすることが検討されている．現段階の案では, Pixel はチャンネル数は 5 倍になり $|\eta| < 2.7$ をカバーし, SCT はチャンネル数 7.5 倍で $|\eta| < 2.5$ をカバーする．図 1.29 に新しい ID の例を示す.

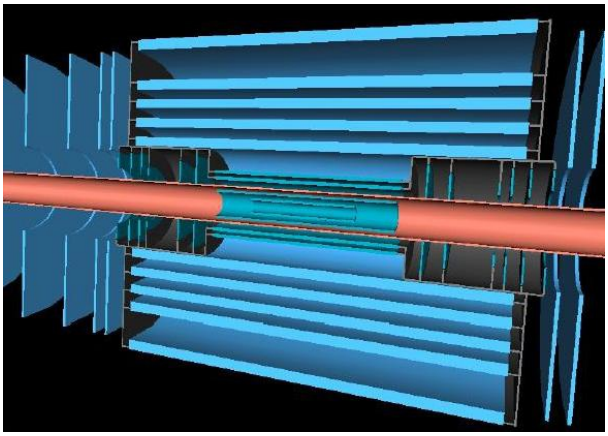


図 1.29: 新しい ID のイメージ [16]

カロリメータ

カロリメータに関しても, やはりデザインルミノシティを大きく超える phase-2 ではアップグレードが必要になる．一点目は, 総線量の限界から各種エレクトロニクスを交換することである．Tile カロリメータと電磁カロリメータでは読み出しエレクトロニクスをアップグレードしたものに交換する．HEC のプリアンプとエレクトロニクスは冷却器の中にあるので, 後述の FCal の議論と合わせて交換が必要かを慎重に検討する必要がある.

二点目に, 瞬間ルミノシティの増加により FCal が正常に働かなくなることが予期されているので, その対策を講じることである．2 案考えられていて, 1 つは FCal を完全に交換してしまう案 (sFCal) と, 現在の FCal の手前に小さなカロリメータを配置する案 (Mini-FCal) である．sFCal にする場合は FCal を取り出すために冷却器を開かなければならない.

トリガースキーム

フェイクミューオンを減らすため, 大幅なトリガースキームの変更が検討されている．ハードウェアによるトラッキングトリガーを導入するために HLT 以前を 2 段階に分割する．これを新しい L0/L1 トリガーとするが, まだ詳細は決まっていない.

第2章　レベル1エンドキャップミューオントリガーシステム

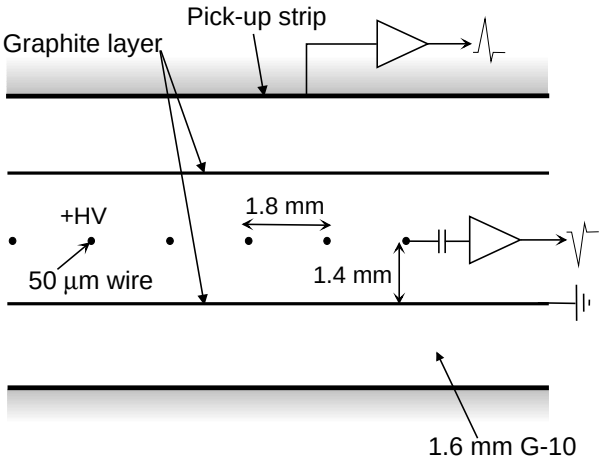
L1 ミューオントリガーは W や Z の崩壊からくる高 p_{T} ミューオンをとらえるためにも非常に重要であり, Higgs の探索等に大きく貢献している．本章ではこのトリガーのエンドキャップ部を担当する TGC と, 付随するエレクトロニクスの解説を通して, L1 エンドキャップミューオントリガーシステムの全体像を俯瞰する.

2.1　TGC について

まずは TGC の動作原理から配置, 用語について説明する.

2.1.1　TGC 動作原理

TGC は MWPC の一種であり, 直交するアノードワイヤとカソードストリップにより 2 次元読み出しが可能になっている．ワイヤ間の距離が 1.8mm なのに対してワイヤとストリップの間は 1.4mm と短いのが特徴で, 25ns 以内の読み出しが可能になっている．4〜33 本のワイヤが R 方向の 1 チャンネルにあたり, 1 本のストリップが ϕ 方向の 1 チャンネルに相当する．図 2.1 に TGC の内部構造を示す.



パラメータ	値
陽極ワイヤピッチ	1.8mm
陽極ワイヤ径	50μm
陰極カソード面厚	10μm
陽極 - 陰極面間隔	1.4mm
ワイヤ張力	350g 重
印加電圧	3.1kV
カーボン面抵抗	1MΩ/cm^2
ガス成分	CO_2/n-pentane (55:45)

図 2.1: TGC の内部構造 [6]

電離ガスとしての CO_2 とクエンチャーとしての n-pentane が 55:45 の割合で混合したガスを用いている．ガス中を荷電粒子が通過した際電離によって生じた一次電子は, チェンバー内の強電場によって電気力線に沿って移動する．そして最も近傍のワイヤに近づくと急激に加速され, 電子雪

崩を起こす. ワイヤはこの電子雪崩を信号として取り出し, またストリップ側も同時に誘起している電荷を読み出す. 電離の際に生じる紫外線は n-pentane が吸収し, 必要以上の電子雪崩が発生するのを抑えている.

2.1.2 TGC の分類

チェンバーを層の数で分類すると, ダブレットとトリプレットの 2 種類ある. ダブレットは 2 つのガスギャップをハニカム構造で支えるようになっており, 2 つのワイヤ層と 2 つのストリップ層を読み出す. 一方トリプレットでは 3 つのガスギャップをハニカム構造で支えており, 3 つのワイヤ層と 3 つのうち真ん中を除いた 2 つのストリップ層を読み出す. 図 2.2 にダブレット及びトリプレットの構造を示す.

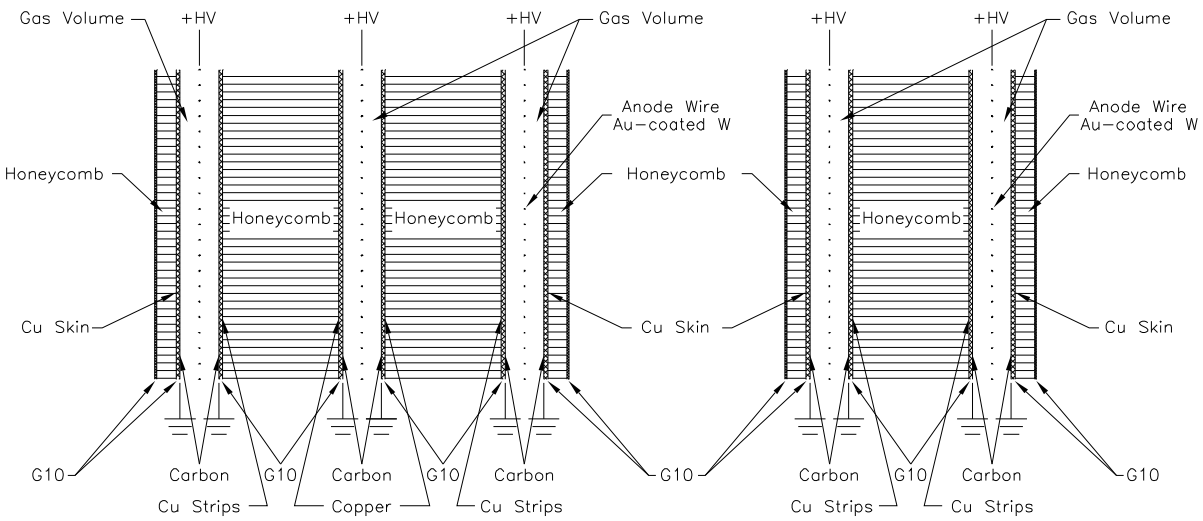


図 2.2: ダブレット, トリプレットの構造 [6]

また, 一枚のチェンバーの大きさで分けると T1〜T9 までの区分がある. T1 と T2 は ϕ 方向に $2\pi/24 = 0.26$rad の広がりを持ち, T3〜T9 の 2 倍の ϕ をカバーする. トリプレットの T1, T3, T6, T7, T8 チェンバーをこの順に R の小さい方向から並べて ϕ 方向に一周させたものが TGC1 (M1) と呼ばれる. T1 を 24 枚, そのほかを 48 枚使って 1 つの大きな円盤状の検出器群を形作るわけである. 同様にダブレットの T2, T4, T6, T7, T8, T9 で作ったのが TGC2 (M2), ダブレットの T2, T5, T6, T7, T8, T9 で作ったのが TGC3 (M3) である. M1, M2, M3 は MDT とともに BW の構成要素となっている. 図 2.3 が BW の写真である.

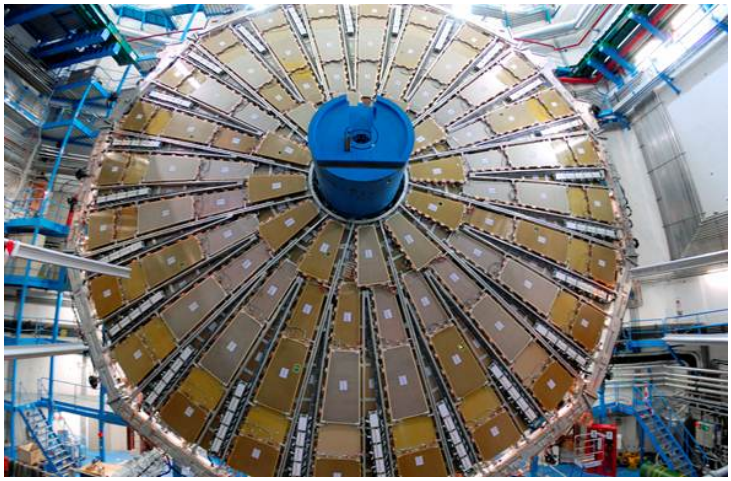


図 2.3: Big Wheel[6]

2.1.3 TGC の配置

BW の最も内側 ($z \simeq 13$m) に M1, 真ん中 ($z \simeq 14$m) に M2, 外側 ($z \simeq 14.5$m) に M3 が配置されている. IP から見るとワイヤ層が 7 層, ストリップ層が 6 層あることになる. M1 と M2 の間は 1m ほど間隙があるが, ここに MDT が入っている. 図 2.4 に TGC の配置図を示す.

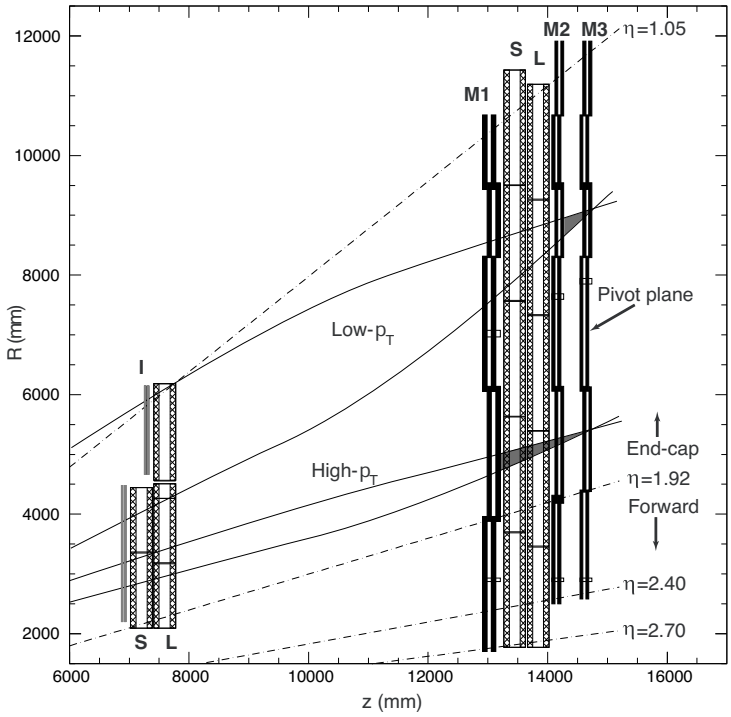


図 2.4: TGC の配置図 [6]

TGC では $1.05 < |\eta| < 1.92$ の範囲を通常エンドキャップと呼び, $1.92 < |\eta| < 2.70$ を特にフォワードと呼び名をつけている．チェンバーにして T1, T2 が当たる範囲がフォワードということになる．トリガーや DAQ はこの 2 つの領域で分けて処理している．なおフォワードのうち $2.40 < |\eta| < 2.70$ の領域は M1 しかカバーしていないため, トリガー情報生成は行われず位置測定のみ行われる．

2.1.4 TGC のセクター

TGC の組み立てや実際のデータ処理等は, 円盤を ϕ 方向に 1/12 分割したセクターという単位で行われる．また, フォワード部はチェンバー 1 枚, エンドキャップ部は R 方向に連続した 4 枚 (M1) または 5 枚 (M2, M3) の集合をトリガーセクターと呼ぶ．1 セクターにはフォワードのトリガーセクターが 2 つ (ϕ0, ϕ2), エンドキャップのトリガーセクターが 4 つ (ϕ0〜ϕ3) 含まれることになる．トリガーセクターは文字通りトリガー情報を生成する際の単位となる．

これらはさらに小さいサブセクターに分けることができる．1 つのサブセクターをワイヤ・ストリップともに 8 チャンネルで構成すると, エンドキャップでは $37\ (R) \times 4\ (\phi) = 148$ サブセクター, フォワードでは $16\ (R) \times 4\ (\phi) = 64$ サブセクターに分割される．サブセクターはトリガーする位置の最小単位であり, TGC における RoI に相当する．図 2.5 にセクター及びサブセクターの概略図を示す．

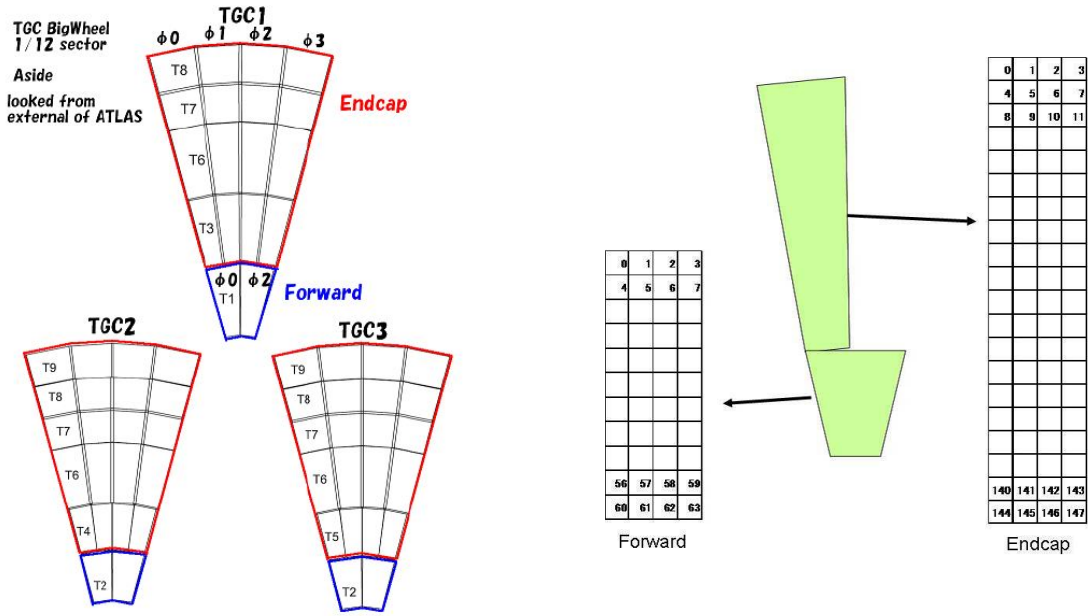


図 2.5: TGC におけるセクター及びサブセクター [25][29]

2.2 トリガースキーム

TGC を用いたトリガーはトロイド磁場によるミューオンのずれを測るものである．本節でその具体的な測定方法を解説する．

2.2.1 p_{T} 算出の概要

TGC による p_{T} 推定の流れは次のようなものである．

1. IP で陽子の衝突が起こり, W や Z の崩壊などによりミューオンが生成される
2. ミューオンは BW に到達する前にエンドキャップトロイド磁場によって曲げられる
3. 磁場を通過した後, BW の M1, M2, M3 の順にヒットする．ヒットした点ではフロントエンドエレクトロニクスにより 2 次元情報 (R, ϕ) が生成される
4. M3 のヒット点と IP を結んだ直線がミューオンが無限運動量を持った時の飛跡であると考えられる．この直線と磁場で曲がった実際の飛跡とのずれ $(dR, d\phi)$ から p_{T} を推定できる

図 2.6 に概略図を載せる．p_{T} が高いほど磁場で曲げられにくいので dR, $d\phi$ は小さくなるはずである．なお理想的には磁場は ϕ 方向なので $d\phi = 0$ のはずであるが, 磁場の非一様性から ϕ 方向にもずれる．

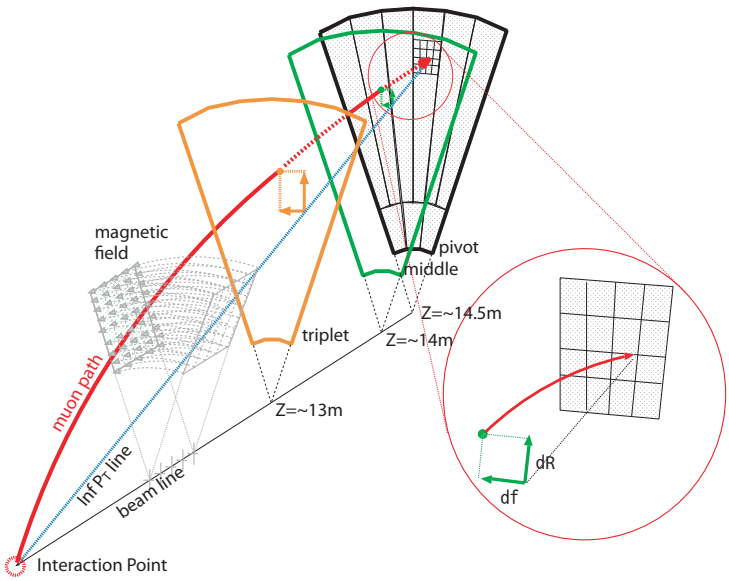


図 2.6: p_{T} 決定の仕組み [23]

2.2.2 段階的なコインシデンス

ここでもう少し詳細を見ていく．TGC はヒット情報のコインシデンスを段階的に行っていき, p_{T} 計算に必要な量をそろえていく．各段階で必要になるエレクトロニクスとともに記すと, 以下のような手順になる．図 2.7 を参照．なお各エレクトロニクスについては後で詳細を述べる．

1. SLB ASIC

   ダブレット内のコインシデンスとトリプレット内のコインシデンスは, ワイヤとストリップ独立に SLB (Slave Board)ASIC により行われる. つまり SLB ASIC は役割としてダブレット・ワイヤ/ストリップ (WD/SD), トリプレット・ワイヤ/ストリップ (WT/ST) の 4 種類が必要になる. 図のように WD, SD では 3/4 コインシデンス, WT では 2/3 コインシデンス, ST では 1/2 コインシデンスがとられる. さらに WD, SD ではコインシデンスマトリックスにより Low-p_{T} [1]情報が生成される

2. HpT ボード

   次のコインシデンスはダブレットとトリプレットの間で, HpT (High-p_{T}) ボードにより行われる. つまり HpT ボードは役割としてワイヤ, ストリップの 2 種類が必要になる. コインシデンスマトリックスにより High-p_{T} [2]情報が生成され, 複数の Low-p_{T}, High-p_{T} トラックから高いものを選択して SL に送る

3. SL ボード

   最後のコインシデンスはワイヤとストリップの間で, Sector Logic (SL) ボードにより行われる. Coincidence Window と呼ばれる特別なマトリックスを用いて最終的な p_{T} 情報が生成される

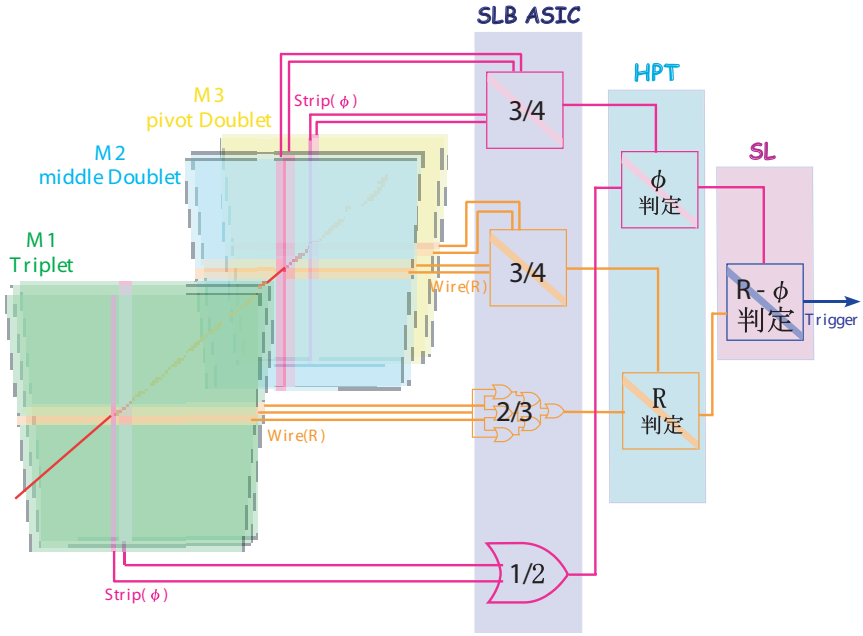


図 2.7: 段階的なコインシデンス [23]

[1]M2 と M3 の間の Δ の度合い. 2 つのダブレットの距離が短く高い p_{T} が測れないことから Low-p_{T} と呼ぶ
[2]M1 と M3 の間の Δ の度合い. ダブレットとトリプレットは離れているので高い p_{T} が測れる

2.2.3 Coincidence Window

L1 ミューオントリガーでは閾値を複数設定してミューオンの p_{T} を pt1〜pt6 の 6 段階に分ける (表 2.1). Coincidence Window (CW) とは SL に届いた (dR, $d\phi$) の組に対してそれが 6 段階のどの p_{T} に相当するかをマップしたものである. CW は SL に LUT [3] として実装されており, SL は dR, $d\phi$ 情報をアドレスに変換して対応する p_{T} 値を読み出す.

表 2.1: L1 トリガーメニューと p_{T} の関係

L1 menu	pt1〜6	condition
L1_MU0	pt1	p_{T} 6GeV 未満
L1_MU6	pt2	p_{T} 6GeV 以上
L1_MU10	pt3	現在使用されていない
L1_MU11	pt4	p_{T} 11GeV 以上
L1_MU15	pt5	p_{T} 15GeV 以上
L1_MU20	pt6	p_{T} 20GeV 以上

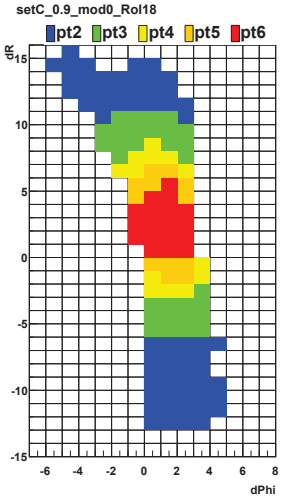


図 2.8: CW の例 [29]

図 2.8 は CW の例である. 横軸が $d\phi$, 縦軸が dR であり, dR の大きさによって p_{T} の領域が移っていくのが見える. 中心にきていないのは, 各チェンバーの占める η の範囲はずれており無限運動量でも $dR = 0$ にならないためである.

CW は RoI の数だけ存在する. 磁場の 8 回対称性から 1/8 円について考えればよいので, 含まれる RoI の数を数えると $6 \times 148 + 3 \times 64 = 1080$ の CW を用意する必要がある. CW はモンテカルロシミュレーションを用いた解析により適宜修正が施され, トリガー効率を落とさない最適な分布が採択される.

[3] Look Up Table: 演算結果をあらかじめメモリに格納しておくことで高速な応答が可能になる. この用意したテーブルのこと

2.3 トリガーエレクトロニクス

前節で説明を省略したものも含めて, p_{T} 算出に寄与するものを中心にエレクトロニクスの解説をする.

FPGA, ASIC について

FPGA (Field Programmable Gate Array) とは, ユーザーが自由に内部回路を書き換えることのできる LSI である. 内部構造は無数のロジックセルからなっており, 1 つのセルは組み合わせ回路を記述する LUT と, 順序回路を記述する FF (Flip Flop) で構成されている. LUT やロジックセル間をつなぐインターコネクトは RAM であり, これらに値を書き込む (コンフィギュレーション) ことで目的の回路を形成することができる. ただしこのように RAM ベースのアーキテクチャなので, 電源を落とすと回路は初期化される. FPGA は目的の回路を得るためのコストや時間が大幅に削減できるため, 広範な用途で用いられている.

また, 同様の IC に CPLD (Complex Programmable Logic Device) がある. FF と AND/OR アレイからなるマクロセルをスイッチングマトリックスで接続することにより, 目的の回路を形成する. 不揮発性のメモリをベースにしているので, FPGA と異なり電源を落としても回路が消えることはない. FPGA より規模は小さいが, LSI 間を相互接続したり, 不揮発性を生かしてブートローダに使用されたりする.

一方 ASIC (Application Specific Integrated Circuit) もプログラマブルな LSI であるが, こちらは設計が第一に来て, その回路を元に業者が製造するものである. 完成後には通常の LSI と同様にユーザーが回路を書き換えることはできない. 大量生産する場合には FPGA よりも単価が安くなる, コンフィギュレーションの必要がないという特徴がある.

放射線耐性の面からいうと, FPGA や CPLD よりも ASIC の方が強い. そのため高エネルギー実験のフロントエンドでは ASIC を用いることが多い. また, FPGA でも RAM ではなくヒューズを用いて構成された anti-fuse FPGA は放射線に強く, こちらもしばしば用いられる.

それぞれのデバイスには一長一短あるが, 高度な機能を持たせようとすると FPGA を選択する他はない. FPGA はロジックセルの他にも Block RAM や DSP [4] , 高速トランシーバ等の様々な機能をハードで提供しており, FPGA にできないことはなくなりつつある. 高エネルギー実験においてもこれから FPGA の重要性は増していくと思われる.

2.3.1 全体のフロー

トリガー系のフローにおいては, 検出器から出たデータが ASD, PP, SLB, HpT, SL という順に処理される (図 2.9). 各データが一定のレイテンシのもとに処理されることが非常に重要であり, この目的のために要所要所に可変ディレイ回路が備わっている. 参考までに現在のレイテンシテーブルの一部を表 2.2 に示す. PS ボードは後述するが, 簡単に言うと PP と SLB が含まれたボードのことである. MUCTPI (Muon trigger to CTP Interface) は TGC のトリガー系と CTP のインターフェースとなるモジュールである.

[4] Digital Signal Processor: デジタル信号処理に特化したプロセッサ

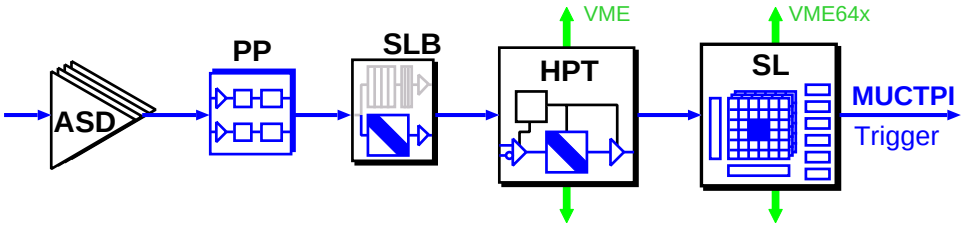


図 2.9: トリガーフロー [24]

表 2.2: レイテンシテーブルの例 [33]

	ASD	cable	PS Board	cable	HpT	fibre	SL	cable	MUCTPI
クロック消費	0.5	2.5	6	3	6.5	18	9.5	2	11
総クロック	5	7.5	13.5	16.5	23	41	50.5	52.5	63.5

それぞれのエレクトロニクスの詳細は次小節以降に譲るが, どの位置に配置されているかを簡単に記す. ASD は増幅器であるため TGC の読み出し口に直取り付けられる. そこから LVDS [5] 信号をフラットケーブルで PS ボードに送る. PS ボードは複数でまとめられて BW の側面に取り付けられている. PS ボード内の PP と SLB での処理が終わると, LVDS 信号をツイストペアケーブルで HpT ボードに送る. HpT ボードの入った HSC クレートは BW の外縁に取り付けられている (図 2.10).

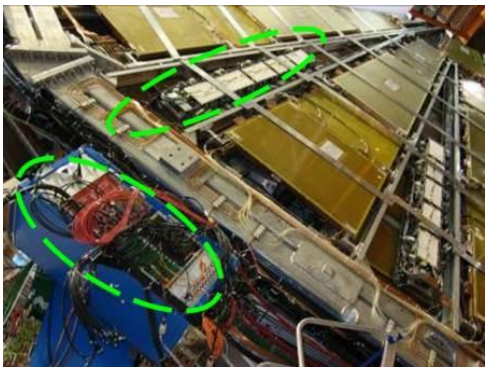


図 2.10: BW 上の PS ボード及び HSC クレート [24]

図 2.11: USA15 のラック [24]

これまでは実験ホール (UX15) であるが, これ以降のエレクトロニクスは 100m ほど離れたカウンティングルーム (USA15) にある. 遠いのでデータを運ぶのに光ファイバーを用いなければならず, ATLAS では G-Link [6] と呼ばれる規格で光通信を行っている. HpT から SL も G-Link でつながれており, 40 クロック程度かけて SL に到達する. 図 2.11 に USA15 の様子を載せる.

[5] Low Voltage Differential Signaling: 高速差動信号の規格. ANSI/TIA/EIA-644 において最大 655Mbps (理想的な伝送路で 1.923Gbps) と記されている

[6] Agilent Technologies 社のトランシーバチップ HDMP-1032/1034 で用いられている通信規格. TGC では 20bit × 40MHz = 800Mbps で使用する

2.3.2 フロントエンド

ここでは TGC に直結された ASD から, PS ボードに含まれるエレクトロニクスの紹介をする. PS ボード (Patch panel and Slave board ASIC Board) は PP, SLB を含む各種 ASIC が搭載されており, フロントエンドにおける読み出しから制御まで行う多機能プラットフォームである. ここでは PP ASIC と SLB ASIC の説明にとどめる. 1/2 セクターごとにまとめられており, トリプレット用は 10 個, ダブレット用は 17 個の PS ボードが連結されている. 図 2.12 に PS ボードの写真とブロック図を示す.

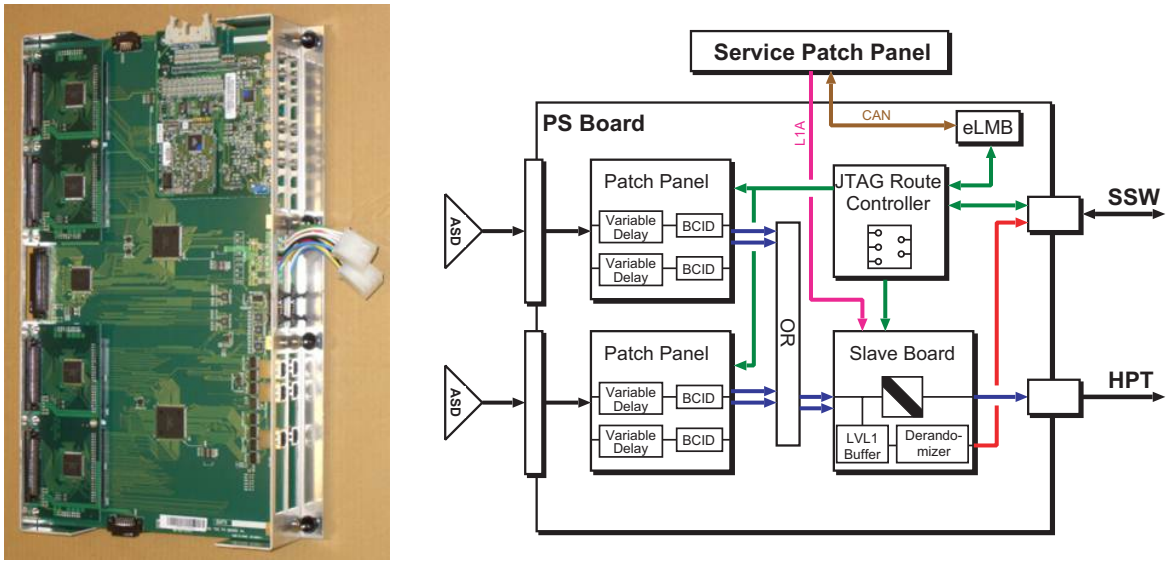


図 2.12: PS ボードの概要 [24]

ASD

ASD (Amplifier Shaper Discriminator) ASIC は TGC のアナログ信号を増幅, 整形したのち, 閾値電圧を超えていたらデジタルパルスを出力する ASIC である. 1 つの ASD ボードは 4 チャンネルを処理する ASD ASIC を 4 つ搭載しており, 計 16 チャンネルを担当している. また, 7 層のワイヤ及び 6 層のストリップには全て同一の ASD ボードが取り付けられている. 処理されたデジタル信号は LVDS にして PS ボードに送られる. 図 2.13 に ASD の写真とブロック図を示す.

PP ASIC

PP (Patch Panel) ASIC は PP に届く信号のタイミング調整及びベンチ識別の役割を担っている. 各 PP に信号が届くタイミングは TOF [7] の差やケーブル長の差によりばらつきが生じているので, $25/32 = 0.78$ns を単位として 0〜24.2ns の範囲でディレイをかけることで, このばらつきを吸収させる. PP より前には可変ディレイ回路は存在しない上, 後段にバンチ識別が控えているため非常に重要な機能である.

PP のもう一つの重要な役割がバンチ識別である. 具体的には TTC から供給される LHC クロックと同期をとることを行っている. これにより同じバンチクロッシングのデータは同じクロック

[7] Time Of Flight: 粒子の飛行時間

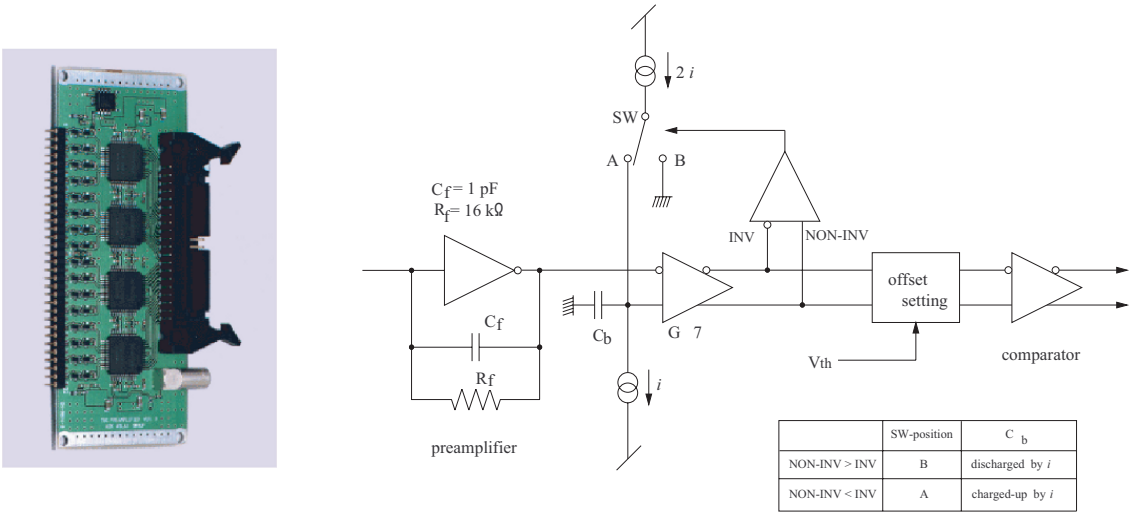


図 2.13: ASD の概要 [23]

のエッジにそろえられる．なお, 1 つの PP ASIC は 32 チャンネル, つまり 2 つの ASIC ボードからの入力を処理できる．

SLB ASIC

SLB ASIC は多機能の ASIC で, 大きくトリガー部とリードアウト部に分けられる．入力は共通で, 複数の PP からくるヒット情報を適切に並べて, 最大 160bit のヒットマップと呼ばれる形にしたものである．WD 及び SD のヒットマップは 4 層のワイヤ/ストリップを 32bit × 4 のように並べた形になっている．同様に WT のヒットマップは 3 層のワイヤを 32bit × 3 に並べた形である．ST はストリップが 2 層なので 2 枚分のチェンバーの並べて 1 つのヒットマップとしている．

トリガー部では, 前述の通り WD, SD, WT, ST の 4 種類のコインシデンスをとる．1 つの ASIC はこれら 4 種類のマトリックスを実装しており, レジスタでこれらを切り替える．WD, SD では 2 ヒット分の位置データと Low-p_{T} 情報が生成される．同様に WT では 3 ヒット分の位置データ, ST では 4 ヒット ×2 チェンバー分の位置データが生成される．これらトリガーデータはシリアル化されて HpT に送信される．

リードアウト部は L1 Buffer とデランダマイザで構成される．SLB の L1 Buffer は 212bit × 128 段のシフトレジスタであり, 最大 3.2μs の間データを保持できる．212bit のうち 160bit は入力されたヒットマップである．残りの 52bit の内訳はトリガー部で生成されたデータが 40bit, バンチカウンタの値 (BCID: Bunch Crossing ID) が 12bit である．

L1A が TTC により供給されると, 前後 ±1 イベントが L1 Buffer から取り出され, デランダマイザに入れられる．その際 4bit のイベントカウンタの値 (L1ID: Level 1 ID) が付加され, データ長は 216bit になる．デランダマイザでタイミングを調整された後, 3 バンチ分のデータは別々のシリアライザに入れられ, フラグビット用のシリアルデータと合わせて 4bit の LVDS 出力として取り出される．イベントカウンタとバンチカウンタは TTC の ECR, BCR に従って SLB 内でカウントしており, データの目印になる．

2.3.3 HSC クレート

HSC クレートは HpT SSW Crate の略で文字通り HpT 及び SSW のための VME [8] 9U クレートである．1 セクターにつき 1 つの HSC クレートが対応するため, 合計で 24 のクレートが用意されている．クレート自体が BW の外縁にあり, 放射線環境下にあることから, HSC (HpT SSW Controller board) という特殊なモジュールを VME マスターとしている．HSC は G-Link で USA15 にある CCI (Control Configuration Interface board) から遠隔操作される．

HpT

HpT ボードはダブレット-トリプレットのコインシデンスをとるためのモジュールである．HpT ASIC は 1 枚でワイヤとストリップの両方で使えるように設計されており, 外付けのスイッチで選択できる．コインシデンスマトリックスにより, 最大で 6 トラック分のトラックが High-p_{T} トラック候補として挙がる．セレクタにより, このうち p_{T} の高い 2 トラックが選出される．2 トラックに達しない場合, ダブレットの SLB ASIC で生成された Low-p_{T} トラックを加えて 2 トラックにする．

HpT ボードにはエンドキャップ・ワイヤ (EW), エンドキャップ・ストリップ (ES), フォワード (FW) の三種類がある．EW-HpT ボードはトリガーセクター 1 つ分のデータを複数の SLB ASIC より受け取り, 4 つの HpT ASIC で処理する．最大 7 トラック[9]のデータが生成され, G-Link により SL に送られる．一方 ES-HpT ボードはトリガーセクター 2 つをカバーしており, 1 つのトリガーセクターにつき 2 つの HpT ASIC が処理する．それぞれ最大 4 トラックのデータが生成され, 対応する SL に送られる．図 2.12 に FW-HpT ボードの写真と EW-HpT のブロック図を示す．

図 2.14: HpT の写真 [23]

図 2.15: SL の写真 [24]

[8] VERSAmodule Eurocard bus: バスの規格の一種．高エネルギー実験でしばしば用いられる
[9] 4 つのうち 1 つの ASIC は TGC の端に相当し, 1 トラックしか選出しない

2.3.4 SL クレート

SL のクレートは USA15 にある VME9U+6U クレートであり, 4 セクター分の SL と TTC 信号のファンアウトモジュール, VME マスターとしての SBC [10] が収められている. USA15 にあるので HpT とは G-Link で接続されている.

SL

SL は R 方向と ϕ 方向の情報を用いて最終的な p_{T} を生成するモジュールである. SL ボードはエンドキャップ (EC) とフォワード (FW) の 2 種類存在し, どちらも 2 つの独立したトリガーセクターをカバーする. つまり EC-SL を 2 枚と FW-SL を 1 枚で 1 セクターがカバーされる.

SL ボードの 1 つのトリガーセクターにつき, コインシデンス用の FPGA が 1 つと読み出し用の SLB ASIC を 1 つ用いる. 2 つのトリガーセクターは独立なため, 1 枚のボードには FPGA と SLB ASIC が 2 つずつ載る. EC-SL ではトリガーセクターごとに EW-HpT と ES-HpT のコインシデンス処理をする. FW-SL でも同様に FW-HpT のデータのコインシデンス処理をする.

FPGA ではまず CW を用いて Sub Sector Cluster (SSC) ごとに 6 段階の pt 判定を行う. SSC は R 方向に 2 つ ϕ 方向に 4 つのサブセクターの集まりで, SL でトリガー判定する際の単位となる. 次にプリセレクタにより各 pt につき 2 トラックが選ばれる. 最後にトラックセレクタにより pt の優先順に 2 トラックが選出され, MUCTPI に送信される. このデータはそれぞれのトラックの RoI, pt, BCID 等が含まれ, 32bit のパラレルデータとなっている. SL への入力は PS ボード中の SLB ASIC で BCID が付けられたデータではないので, SL 中のバンチカウンタの値を付加している.

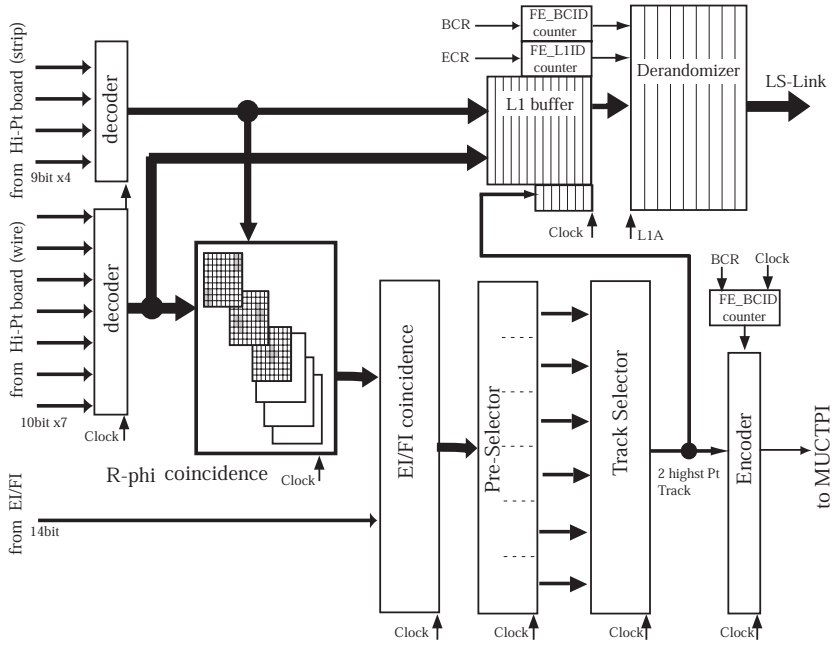


図 2.16: SL のブロック図 [23]

[10] Single Board Computer: CPU や HDD を積んでおり, ログインして VME を直接コントロールできるモジュール

表 2.3: SLB ASIC と各エレクトロニクスの対応関係 [22]

PS Board	SLB ASIC	HpT ASIC	SL
EWD0	EWD0-0	EW0	EC
	EWD0-1	EW1	
EWD1	EWD1-0		
	EWD1-1		
EWD2	EWD2-0	EW2	
	EWD2-1		
EWD3	EWD3-0		
	EWD3-1	EW3	
EWD4	EWD4-0		
	EWD4-1		
ESD0	ESD0-0	ES0/2	
	ESD0-1		
ESD1	ESD1-0	ES1/3	
	ESD1-1		
	ESD1-2		
FWD0	FWD0-0	FW0	FW
	FWD0-1		
FWD1	FWD1-0		
	FWD1-1	FW1	
FSD	FSD0-0	FW2	

PS Board	SLB ASIC	HpT ASIC	SL
EWT0	EWT0-0	EW0	EC
	EWT0-1	EW1	
	EWT0-2		
EWT1	EWT1-0	EW2	
	EWT1-1		
EWT2	EWT2-0	EW3	
	EWT2-1		
EST	EST0-0	ES0/2	
	EST0-1	ES1/3	
FT0	FWT0-0	FW0	FW
	FWT0-1		
FT1	FWT1-0	FW1	
	FWT1-1		
	FST0-0	FW2	

SL に載せられた SLB ASIC は PS ボードのものと同一であり, SL よりのち読み出し系と同じ手順で読み出すこととなる. この読み出しデータには 32bit のトリガーデータに SL の入力データを加えたものを用いている. 図 2.15 に EC-SL ボードの写真を, 図 2.16 にブロック図を示す. また, 表 2.3 に SLB ASIC と他のエレクトロニクスの対応関係を示す.

2.3.5 SL からの読み出し

SL の読み出しデータは PS ボードからの読み出しと同様に SLB ASIC, SSW, ROD という順番で読み出される. ただしここでの SSW は HSC クレートではなく USA15 にある SSW 専用のクレートに収められている. 図示すると図 2.17 のようになる.

SSW

SSW (Star Switch) はスター型のトポロジーで SLB ASIC から読み出しデータを集め, 圧縮する役割を持っている. 全ての SSW ボードの構成は同一で, 放射線耐性のある anti-fuse FPGA をデータ受信用に 6 つ, 送信用に 1 つ積んでいる. 1 つの受信 FPGA につき最大 4 つの SLB ASIC からのデータを受けられる.

データの圧縮にはゼロサプレスと呼ばれる手法を用いている. これはデータを 8bit ずつのセルに分割して, 全て 0 であるセルは完全に落としてしまい, 1 が 1 つでもあったセルはセルの番号を

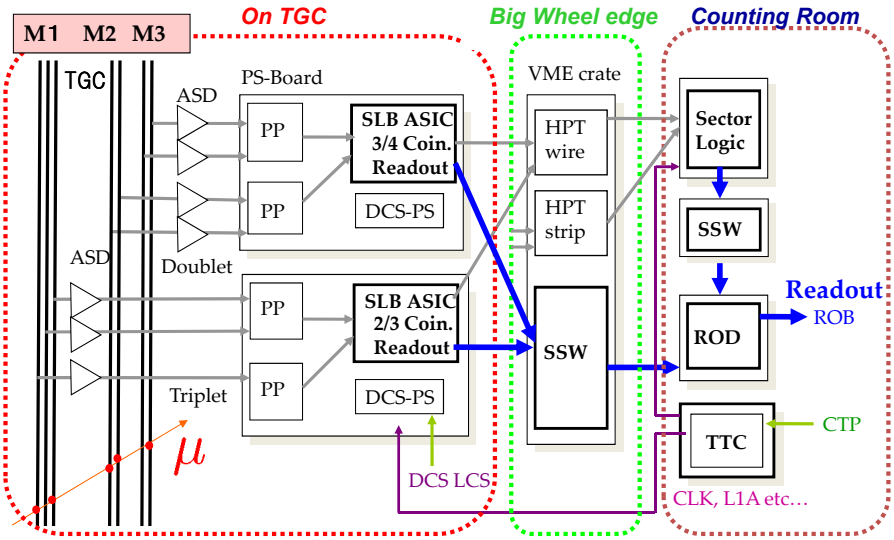


図 2.17: リードアウトフロー [24]

付加して送る方法である．TGC のデータのように 0 が連続するデータストリームに対して有効だが, 1 が多いと逆にデータ量が多くなることがある．圧縮されたデータは送信用の anti-fuse FPGA に渡され, G-Link に変換してから ROD に送られる．

用途で分けるとダブレット・エンドキャップ/フォワード, トリプレット・エンドキャップ/フォワードの 4 種類がある．ダブレット・エンドキャップはトリガーセクター 1 つ分, その他は 2 つ分をカバーし, 全部で 8 枚の SSW ボードが HSC クレートに収められている．SL 用の SSW は 2 枚の EC-SL と 1 枚の FW-SL からのデータを処理するので, 1 枚で 1 セクター分に相当する．SSW は 12 セクターでまとめられて USA15 の専用のクレートに収められている．図 2.18 に SSW の写真を示す．

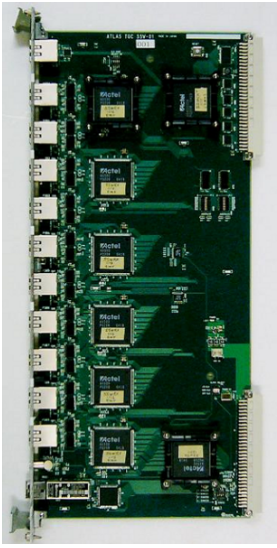


図 2.18: SSW の写真 [23]

図 2.19: ROD の写真 [25]

ROD

ROD (Read Out Driver) は TGC の読み出しデータが最終的に集まるモジュールであり, 後段の ROB のためのフォーマットに整形する役目を持つ. ヘッダ・トレイラの情報を入手するために TTC 信号を受けるためのメザニンカードを載せている. 1 セクター分の SSW のデータを受け取り, フォーマット変換の後に S-Link[10] という光信号の規格で ROB に送る. また, 何らかの原因でエラーが起きた場合には busy 信号を CTP に送信する. 図 2.19 に ROD の写真を示す.

2.3.6 TTC

TGC のエレクトロニクスで TTC の信号を用いるのは主に PS ボード及び SL の SLB ASIC, そして ROD である. まず, BW 上の PS ボードには SPP (Service Patch Panel board) が連結されている. これは TTCrq というメザニンカードを用いて TTC の光信号をデコードし, フラットケーブルにより各 PS ボードに TTC 信号をファンアウトするモジュールである. ダブレットの 17 個連結された PS ボードに供給できるように, 最大 18 個にファンアウトできる構造になっている.

USA15 において, SL は VME クレートに収められているため, この SPP を VME 用に改良した SL-SPP が用いられている. これによりクレート内の 12 個の SL に TTC 信号を配っている. ROD に関しては TTCrms と呼ばれるメザニンカードを用いてデコードしている. ROD ごとにカードを搭載しているため, 光信号をファンアウトして入れる必要がある. このためには TTCoc という光ファンアウトモジュールを用いる.

2.4 レベル 1 ミューオントリガーの改善に向けて

LHC は HL-LHC を目指して段階的にアップグレードしていくが, それに伴いミューオングループの担当する L1 ミューオントリガーシステムもアップグレードが求められる. 物理ランが終わる 2012 時点で, 最も対策を講じなければならないと思われるのはフェイクミューオンの多さであり, 実にミューオントリガーの約 98% はこのような IP 由来以外のミューオンでかかってしまっている.

本節では現状トリガーシステムの問題点の把握と, 改善に向けたミューオングループの取り組みを述べる.

2.4.1 現状の問題

ミューオンスペクトロメータの L1 トリガーメニューのうち, 最も重要度の高い L1_MU20 について考える. これはミューオンが p_{T}20GeV 以上を持っていると判断された場合に発行されるトリガーで, 2012 年時点で 4.5kHz 使っている. しかしこのままルミノシティが上がると L1_MU20 レートも上がり, ミューオンに割り当てられている 15kHz を phase-1 で超えてしまう恐れがある.

ここで L1_MU20 のエントリーを η の分布で見ると図 2.20 のようになっている. 黒線が L1_MU20 のイベント数, 青がオフラインで再構成されたイベント数, 黄がオフラインミューオンのうち実際に p_{T}20GeV 以上であったイベント数である.

このように, L1_MU20 で本来発行すべきなのはたった 2%しかないことがわかる. 残りの 98%はフェイクミューオンであり, できる限り減らさなければならない. これらのほとんどが $|\eta| > 1.0$

のエンドキャップ領域 (TGC が担当) からきており, エンドキャップのトリガー方法を改善し, ルミノシティが上がっても 15kHz 以内に収める必要がある.

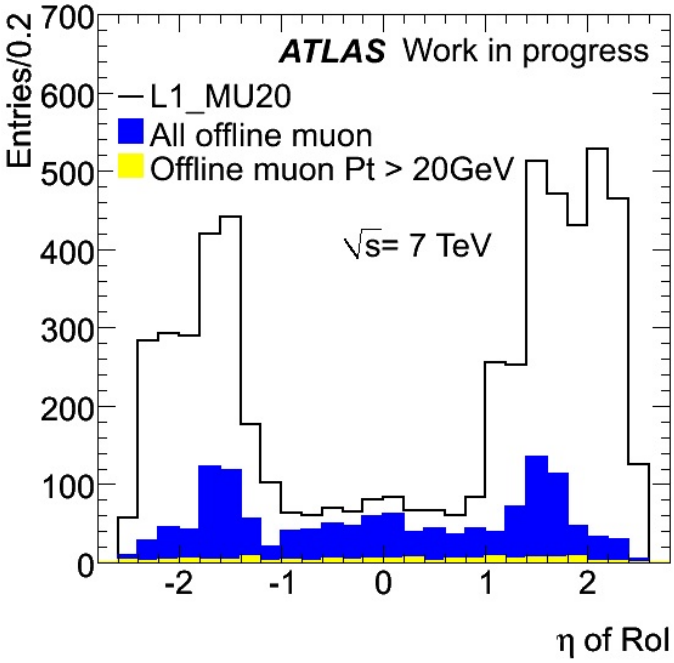


図 2.20: L1_MU20 の η 分布 [17]

2.4.2 フェイクミューオンの原因

フェイクの原因としては大きく分けて 2 つある. 一点目は, そもそもミューオンでない別の荷電粒子が磁場に曲げられ, IP から来たように見えるものである. 図 2.20 においてオフラインで再構成されていないイベント (黒線-青) に相当する. このような荷電粒子には高エネルギー中性子がビームパイプをたたいて生成される陽子や, ビームハロー[11]が考えられる.

二点目は, IP 由来のミューオンであっても, ミューオントリガーシステムの p_{T} 分解能が悪いため 20GeV 以上と誤ってしまうものである. 図 2.20 において 20GeV を下回るオフラインミューオン (青-黄) に相当する. p_{T} を決定する際 BW において行っていたのは, トラックの角度を測ることである. 3 枚の TGC を用いて 3mrad 程度の分解能で測定していたわけだが, これをさらにゆがませる要因が複数存在する.

1. エンドキャップトロイド領域で起こる多重散乱: ～0.5mrad
2. カロリメータ領域で起こる多重散乱: ～3mrad
3. nominal IP からのずれの影響: ～2mrad

[11]陽子ビームがビームパイプ内残留ガスと弾性/非弾性散乱したり, ビーム同士が弾性衝突したりして生じる二次粒子. 実験装置を横切るようにして通過するのが特徴

2.4.3 phase-0 での対策

phase-0 では, SW に存在する現在トリガーに用いられていない TGC の情報を用いる. この TGC (EI/FI) のヒットを要求することで, ビームパイプからくるフェイク粒子を落とせる. 実際, 2012 年 4〜5 月のデータで解析したところ, 3 割弱のレートを削減できることが示されている [20]. そこで EI/FI の情報を BW の TGC の情報とコインシデンスをとるロジックを追加する.

このロジックは SL の $R-\phi$ コインシデンスの後に挿入される. EI/FI からの入力は現状のボードでは 64bit 分が入っているので, デコードして BW-SW コインシデンスをとる. すでにファームウェアの開発 [19] は終わり, 現在は BW と SW の間のディレイの調整中である.

2.4.4 phase-1 での対策

phase-1 では NSW が導入される. NSW を用いてフェイクを減らすには, NSW にヒットのあるトラックのみ考え, さらに NSW においてミューオンの角度の精密測定ができればよい. まず NSW にヒットがあること前提なので, ビームパイプからくる粒子は完全に除ける. さらに IP と NSW のヒット位置を結ぶ直線とミューオンの角度の差 $d\theta$ を用いることで, IP からきていないミューオンやビームハローが除ける. 1mrad 程度の角度分解能の検出器を用意することでこれらは達成できる. こうして IP からきているとみなされたトラックを, BW で $R-\phi$ コインシデンスのとれているトラックとコインシデンスをとることにより, 多くのフェイクを落とすことができる.

ここで SW のセグメント (精密位置検出器におけるトラック) 情報を用いた 3 段階のカットにより, L1_MU20 のレートがどれほど落ちるかを見積もる. 手順は以下の通りである.

1. 全ての L1_MU20 のイベントに対して, セグメントを要求する (InnerSeg)
2. 1 のイベントに対して, さらに $d\theta$ がある一定値以内であることを要求する ($d\theta$ カット)
3. 2 のイベントに対して, さらに dL がある一定値以内であることを要求する (dL カット)

2 の $d\theta$ は図 2.21 のように IP とセグメントを結んだ線とトラックの向く方向の差である. $d\theta \simeq 0$ を要求することで IP 指向性が確保される. 一方 3 の dL はセグメントと BW-TGC の RoI における (η, ϕ) の差である.

$$dL = \sqrt{(\eta_{\mathrm{RoI}} - \eta_{\mathrm{Seg}})^2 + (\phi_{\mathrm{RoI}} - \phi_{\mathrm{Seg}})^2}$$

こちらも本来の高 p_{T} ミューオンなら $dL \simeq 0$ のはずなので, フェイクを落とすことができる.

図 2.22 にこれらカットをかけた場合の L1_MU20 のイベント数の変化を示す. レートは低い p_{T} で大幅に減り, 全体では 31.5% まで落ちている. これらカットの効率は 96.6% と高く, 本物のミューオンを落とさずにフェイクを削ることができていることがわかる.

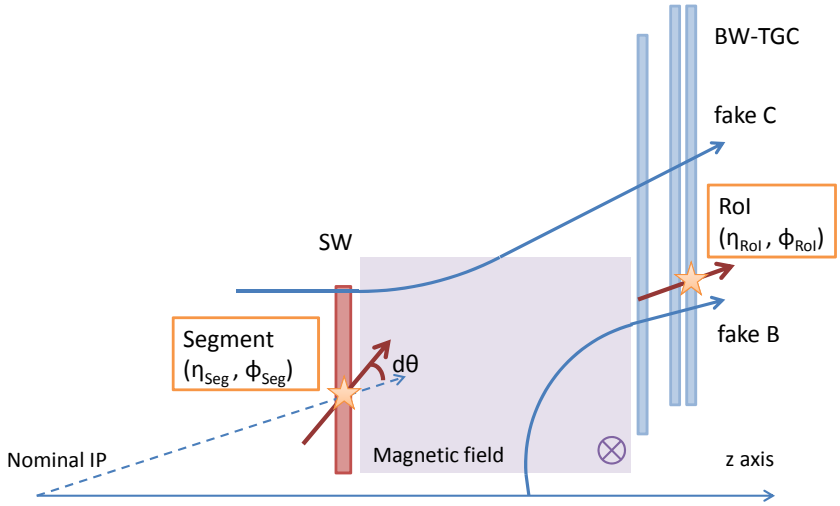


図 2.21: $d\theta$, dL カットの模式図

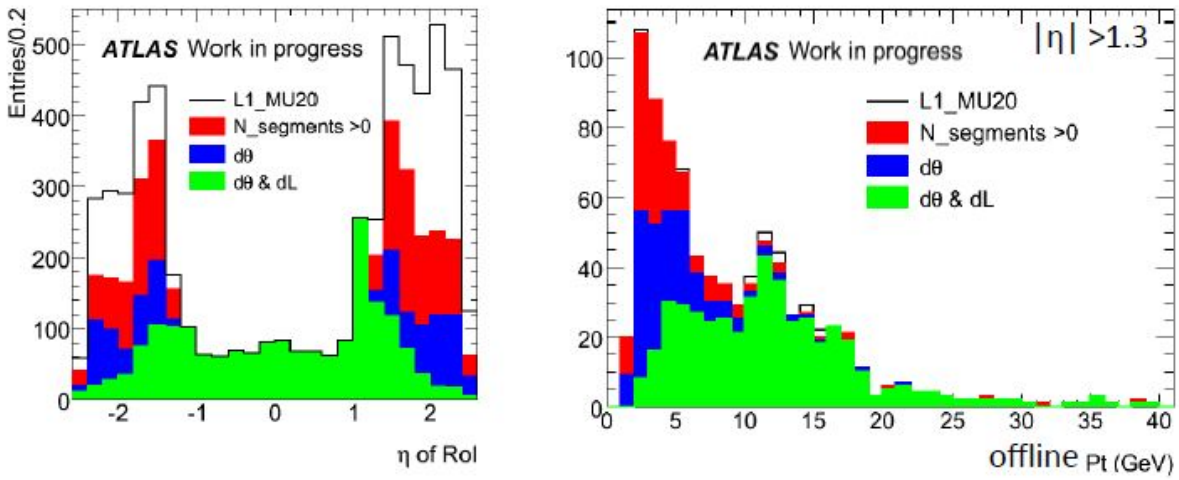


図 2.22: $d\theta$, dL カットの結果 [17]

実際の手続きとしては, NSW のフロントエンドエレクトロニクスで $d\theta$ が大幅に 0 から外れているものをまず除外する. こうして残ったトラックをいくつかまとめて BW の SL に送り, 高 p_{T} トラック候補とコインシデンスをとる. このコインシデンスは IP とセグメントを結ぶ直線と RoI が離れすぎていないことを要求するもので, オフライン解析における dL カットに相当する.

SL の $R-\phi$ コインシデンスの後に NSW-BW コインシデンスロジックを導入することになるが, 今のボードのままでは NSW のデータが入る余地がない. このため phase-1 に向けて SL ボードのアップグレードを行う.

2.4.5 phase-2 での対策

phase-2 ではトリガースキームが変更され, L0 が導入される. ここではミューオングループが導入を考えている Long L1 Buffer の方法について紹介する (図 2.23). これは他の案と異なり, L0/L1 Buffer を両方用意する代わりに深い L1 Buffer を 1 つだけ用いる.

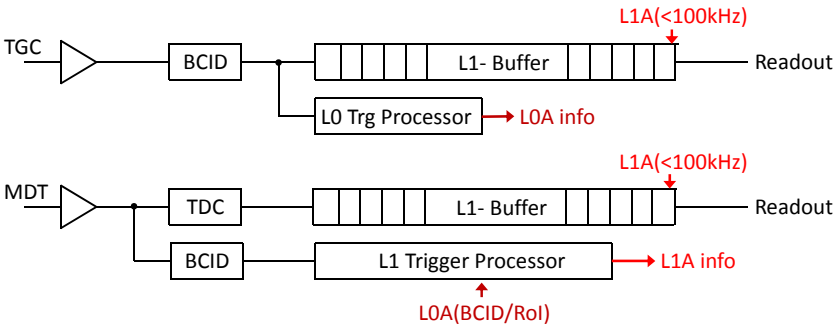


図 2.23: phase-2 トリガースキーム [33]

MDT のデータは L1 Buffer (L1B) と L1 Trigger Processor (L1TP) に分かれる. L1B はトラック情報を用いたトリガープロセスの間データを保持できるだけ深いもの (〜1k depth) を用いる. TGC/RPC のデータは同様に L1B と L0 Trigger Processor (L0TP) に分かれ, L0TP では迅速に L0 Accept (L0A) 情報を生成する. L0TP で生成された L0A 情報には BCID と RoI が含まれており, MDT の L1P は L0A を元にトラック情報を生成し, L1A 情報として CTP へ渡す.

また, トリガースキームの変更に伴い, フロントエンドエレクトロニクスの総取り換えが考えられる. その際, 現状では PS ボードにある L1 Buffer を USA15 まで引き込み, 間を光ファイバーでつなぐ案が検討されている. こうすることで放射線環境下におくモジュールが大幅に減り, 維持管理しやすくなる. また, 今まで別々であったモジュールを統廃合してコンパクトにまとめることも考えられる. 図 2.24 に, phase-2 におけるエレクトロニクスのイメージ図を載せる.

MDT のトラック情報を用いることにより, L1 ミューオントリガーの p_{T} 測定精度を上げることができる. 例として `EI`, `EM` ステーションの MDT の角度情報を用いたトリガーを紹介する [18]. `EI` ステーションでの飛跡の z 軸に対する角度を θ_{I}, `EM` でのそれを θ_{M} としてその差分を β とすると, p_{T} との間には次の関係がある.

$$\beta = \theta_{\mathrm{M}} - \theta_{\mathrm{I}}$$

$$\frac{1}{p_{\mathrm{T}}} = A\beta + B$$

つまり高 p_{T} ならば β は小さくなるので, 一定の値でカットをかけることにより閾値より小さい p_{T} のフェイクを落とすことができる.

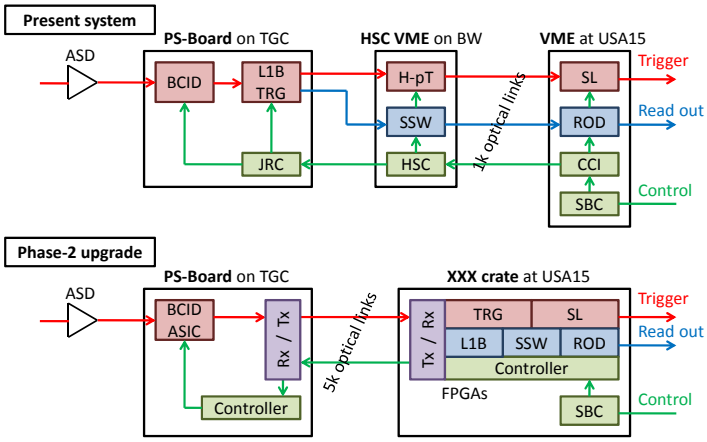


図 2.24: phase-2 のエレクトロニクス配置例 [28]

2.4.6 アップグレードに向けた開発計画

以上に見てきたように, HL-LHC に向けてエレクトロニクスをアップグレードしていく必要がある. phase-1 では SL ボードをアップグレードをする必要があり, 早急にプロトタイプ制作を含めた R&D を始めなければならない. phase-2 では BW の全ての読み出しエレクトロニクスが対象になり, 大量のアップグレードが想定されるので, R&D を現段階から進めておくことが肝要である.

それでは具体的にどのようなことについて研究開発していけばよいかというと, 基本となるのは FPGA 関連技術である. FPGA の集積度や性能は 10 年前と比べて段違いに向上してきており, 専用 LSI がなくても FPGA で大抵のことはできてしまう. FPGA 内部に組み込み CPU をマルチコアで入れることも可能になっている. 放射線環境下でもない限り, 読み出し系は FPGA が基幹となって構成されるだろう.

近年トピックとなっている FPGA 技術に, 組み込み TCP/IP プロセッサ (SiTCP) と Multi-Gigabit Transceiver (MGT) がある. 前者について, TCP/IP プロセッサが FPGA の機能ブロックとして提供されているものである. 汎用性の高いイーサネットを用いているので後段の DAQ が非常に楽になる. また後者について, 外付けの専用トランシーバを用いることなしに数 10Gbps の速度まで出せる FPGA が出始めている. MGT を導入することにより, 大量のデータをスペースを気にせず入れることができる.

これらの技術を TGC の読み出し系に照らし合わせ, どの部分に適用できそうか考える. SiTCP は新 SL からの読み出しや, phase-2 での各読み出し系モジュールに搭載して柔軟な DAQ を構築することができる. MGT は大容量のデータが送られてくる新 SL の入力や, phase-2 のフロントエンドと USA15 間の通信に用いてリソースの節約が図れる.

そこで本研究ではこの 2 つの技術の検証を行い, 有用性を確かめた. まずこれに続く第 3 章で SiTCP の検証実験, 第 4 章で MGT の検証実験を行ったことについて述べる. さらに, phase-1 用の新 SL ボードのプロトタイプを実際に制作した. 上述の技術を大容量の最新 FPGA を用いて実現しており, 第 5 章にて説明する.

第3章　ギガビットイーサネットによるデータ収集系の構築実験

高エネルギー実験では最終的にデータを処理するのはPCのような汎用計算機であり, どのようにしてデジタルデータをPCに取り込むかは1つの考慮すべきポイントであった. しかし一般家庭にまで普及したギガビットイーサネット (GbE: Gigabit Ethernet) をエレクトロニクスに導入することで, 汎用性の恩恵を受け, 手軽にDAQを構築することができるようになった.

さらに近年ではFPGA内部にハードウェアでTCP/IPプロセッサを組み込む技術が開発された. SiTCP (Silicon TCP) はその1つであり, 少ないリソースでGbE通信を可能とする. 本節ではこのSiTCPを用いて, 複数のDAQにおいてパフォーマンスの測定を行い, その有用性を確かめた.

3.1　イーサネット及びTCP/IP

本節ではインターネットの基本的なプロトコルであるイーサネット及びTCP/IPに関する簡単な説明を行う. 文中でたびたび言及されているOSI (Open Systems Interconnection) 参照モデルとは, ISO [1] の作ったネットワーク階層のモデルである. 表3.1に簡単な説明を載せておく.

表 3.1: OSI参照モデル

階層	名称	機能
7	アプリケーション層	アプリケーションごとの通信を規定
6	プレゼンテーション層	ネットワーク共通フォーマットとの変換
5	セッション層	プログラム間通信の接続や切断の手続きを規定
4	トランスポート層	プログラム間通信の確立
3	ネットワーク層	ネットワーク経路の選択
2	データリンク層	直接つながれた機器間のデータ転送
1	物理層	実際の物理的信号形態, コネクタ等の規定

3.1.1　イーサネット

イーサネットはOSI参照モデルにおいて第1層 (物理層) 及び第2層 (データリンク層) に相当するプロトコルである. MAC [2] アドレスと呼ばれるアドレスを割り振られたネットワーク機器同

[1] International Organization for Standardization: 国際標準化機構
[2] Media Access Control: イーサネットフレームの送受信を行う部分

士で, 上位プロトコルのデータをやりとりする役割を持つ.

物理層も含んでいるので, イーサネットの規格はハードウェアの部分も規定する. 例えば LAN [3] で一般的に使用されている 10BASE-T, 100BASE-TX, 1000BASE-T では RJ-45 [4] コネクタ付きの UTP [5] ケーブルを使用する. UTP ケーブルには性能ごとにカテゴリ (Cat.x で表す) 分けされており, 数字が大きい方が周波数帯域やクロストークに対する性能が良くなる. 10BASE-T 及び 100BASE-TX は Cat.5 以下の UTP ケーブルの 4 本のより対線のうち 2 対を送信/受信用に分けて用いる. 1000BASE-T では通常 Cat.5e (enhanced Category 5) 以上の UTP ケーブルの 4 本のより対線全てを用いて送信及び受信を行う.

3.1.2 TCP/IP

TCP/IP とは OSI 参照モデル第 3 層 (ネットワーク層) の IP 及び第 4 層 (トランスポート層) の TCP をまとめて呼ぶ際の名称である. IP は Internet Protocol の略, TCP は Transmission Control Protocol の略である. IP の上にくるトランスポート層としては TCP か後述の UDP を用いることになるが, 信頼性のある通信をするには TCP を用いる必要がある.

IP[34] では IP アドレスと呼ばれるアドレスを持った機器同士の通信を行う. イーサネットが隣同士の機器との通信を可能にするのに対し, IP では目的 IP アドレスまで確実にデータを転送する手続きが規定されているわけである. IP のおかげで IP アドレスさえ知っていれば任意のネットワークを経由してその機器と通信できるようになる.

TCP[35] では IP により機器に届いたデータをポート番号に基づいてアプリケーションにまで渡す. さらに再送制御, フロー制御, 輻輳制御などの機能を用いて通信の信頼性を高める役割を持つ. データを確実に届けたい HTTP [6] や SMTP [7] などのアプリケーションに利用される.

ARP

次に送るべき IP アドレスがわかっても MAC アドレスを知らなければ実際に送信することはできない. この IP と MAC アドレスの間の解決を行うのが ARP[37] (Address Resolution Protocol) である. IP アドレスを鍵として ARP request パケットを送り, 該当機器が MAC アドレスを追加した ARP reply パケットで応答する.

ICMP

IP パケットの転送中にエラーが起きた場合, エラー内容を含むメッセージを送信元に返すことでエラーを知らせる. この手続きは ICMP[38] (Internet Control Message Protocol) で規定されている. また, 相手までの経路が確保できているかを確かめるコマンドである ping コマンドは, この ICMP を利用している.

[3] Local Area Network: 外界と区別のつく小規模なネットワーク
[4] Registered Jack-45: ここでは一般にそうであるように 8P8C コネクタのことを指す
[5] Unshielded Twisted Pair: 最外部がシールドされていないツイストペアケーブル
[6] HyperText Transfer Protocol: Web ブラウザとサーバの間で用いられる通信プロトコル
[7] Simple Mail Transfer Protocol: インターネットで電子メールを送受信するプロトコル

3.1.3 UDP

UDP[36] は User Datagram Protocol の略で, TCP と同じく第 4 層 (トランスポート層) に属するプロトコルである. 目的ポートまでデータを届けるものの, TCP と異なりコネクションが確立されているわけではない. また, 複雑な制御は一切せず, したがって通信の信頼性は保証しない. リアルタイム性の求められるアプリケーションなどで使用される.

3.2 SiTCP

一般のネットワーク機器では TCP 等の処理はソフトウェアが担うのが普通であるが, 高エネルギー実験ではレイテンシの制約などにより高速動作が求められるため導入が難しい. さらにソフトウェアによる処理ではイーサネットの帯域を使い切るのは難しい.

本節ではこれらの問題を解決したハードウェアベースのネットワークプロセッサ, SiTCP[44] の説明を行う.

3.2.1 機能

SiTCP は FPGA の要素のみを用いて構成されたネットワークプロセッサである [46]. イーサネット通信に必要な機能を FPGA 内に作り上げることにより, ソフトウェアいらずで GbE が可能になる. さらにソフトウェアを排除したことにより, 複雑な処理は行えないが, スループットを上限値近くで使用できる. 本質的には FPGA に依存しない構造になっているが, FPGA デバイスごとのライブラリとしてパッケージ化され, BeeBeansTechnologies 社により提供されている. SiTCP のブロックダイアグラムを図 3.1 に示す.

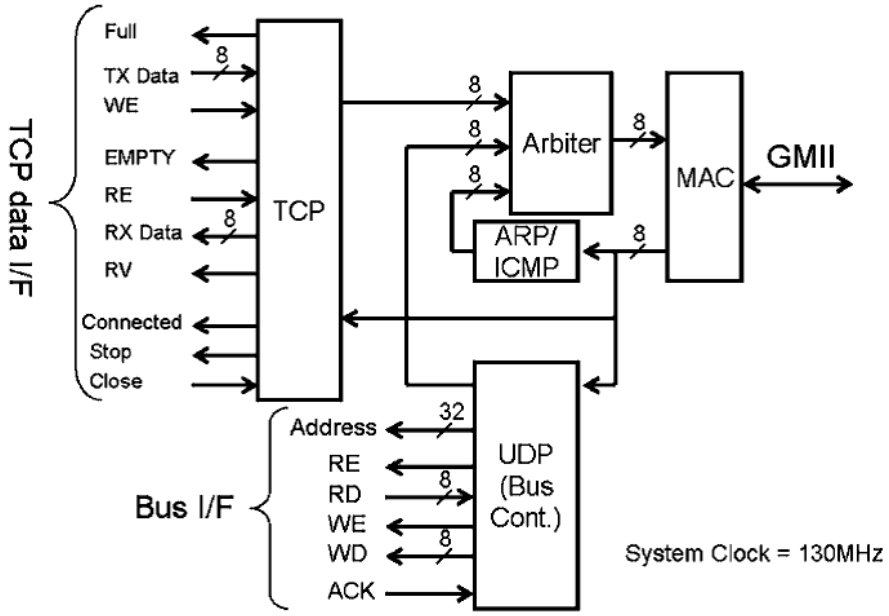


図 3.1: SiTCP のブロック図 [46]

このように TCP ブロック, UDP ブロック, ICMP/ARP ブロックの 3 つがアービタを介して 8bit のバスで MAC とつながっており, 適切なプロトコルによりイーサネット通信を行う. 主に TCP は高速読み出しに, UDP はスローコントロールに用いられる.

TCP ブロック

TCP ブロックでは TCP による読み出し及び書き込みをサポートしている. デフォルトで TCP サーバーの役目を担い, クライアントである PC との通信を確立する. ユーザーロジックとのインターフェースは 8bit 幅の FIFO [8] 構造になっており, FIFO に書き込むように手軽に読み出しができる.

UDP ブロック

UDP ブロックはバスコントローラとなっており, UDP を用いて FPGA 内のバスにアクセスすることができる. これを RBCP (Remote Bus Control Protocol) と呼んでいる. RBCP により外部から FPGA 内のレジスタを操作することができ, スローコントロールに適している.

操作できるアドレス空間は Ethernet PHY [9] の空間, ネットワークパラメータを保存する外付け EEPROM [10] の空間, 現在のネットワークパラメータを直接操作できる SiTCP コアの空間などがある. ユーザーは必要に応じてこれらのアドレスにアクセスし, FPGA のコントロールをする. 現在のバージョン (ver 5.0) でのアドレス空間は表 3.2 の通り.

表 3.2: RBCP アドレス空間 [47]

RBCP アドレス	説明
0xFFFF0000 - 0xFFFFFBFF	Reserved
0xFFFFFC00 - 0xFFFFFCFF	EEPROM
0xFFFFFD00 - 0xFFFFFDFF	Reserved
0xFFFFFE00 - 0xFFFFFEFF	Ethernet PHY I/F
0xFFFFFF00 - 0xFFFFFFFF	内部レジスタ, SiTCP 制御レジスタ

ARP/ICMP ブロック

ARP request 及び ICMP echo request に応答するためのブロック. ARP に対する応答は自身の MAC アドレスを返すもので, IP を用いて通信する機器に必須の機能である. ICMP echo (いわゆる ping コマンド) に対する応答は, IP のパスが当該機器まで到達しているかのチェックのために用いられる.

[8] First In First Out: 入った順にデータが出ていく, バッファの形態の一種
[9] Physical layer: 物理層の処理をするチップを指す
[10] Electrically Erasable and Programmable ROM: 専用の ROM ライタにより消去や書き込み可能な ROM

MAC ブロック

MAC ブロックでは上位階層のデータにヘッダ及びトレイラをつけてイーサネットフレームに変換して送信する．受信側ではイーサネットフレームを探しだし，自分の MAC アドレス宛ならプロトコルごとのタグをつけて各ブロックに渡す．

3.2.2 TCP 読み出し試験

まずは TCP 読み出しの簡単なチェックを行う．用いるのは ProtoType6 (PT6)[48] という名の汎用 VME モジュールである．PT6 は FPGA に Xilinx 社の Spartan-6 FPGA XC6SLX150T, Ethernet PHY に DP83865 を用いており，SiTCP による GbE が可能なモジュールである．付録 B に PT6 の要点をまとめるので参照のこと．

テスト環境は以下のようにセットアップした．FPGA 内部で 8bit × 130MHz [11]のデータを生成し，それを SiTCP へ渡す．SiTCP はネットワーク状況に応じてできる限りの速度で TCP 読み出しを行う．クライアント側 Windows PC を Cat.6 ケーブルでつなぎ，SiTCP Utility[45] というデバッグツールによりこのデータを受け取る．

図 3.2 が SiTCP Utility の画面である．このように正しくカウントアップするデータが届いていることが確認できる．

図 3.2: TCP のチェック

[11]SiTCP を 1Gbps 動作させる場合に要求されている最低限の周波数

ここで, 受信レートが 170kbps 程度しか出ていない点が気になるが, これは送信側の PT6 の問題ではなく受信側のソフトウェアの問題であることが想像される. これを確かめるためにパケットキャプチャツール Wireshark[49] で実際のパケットを見ることにする. 図 3.3 がこの時の Wireshark の画面である.

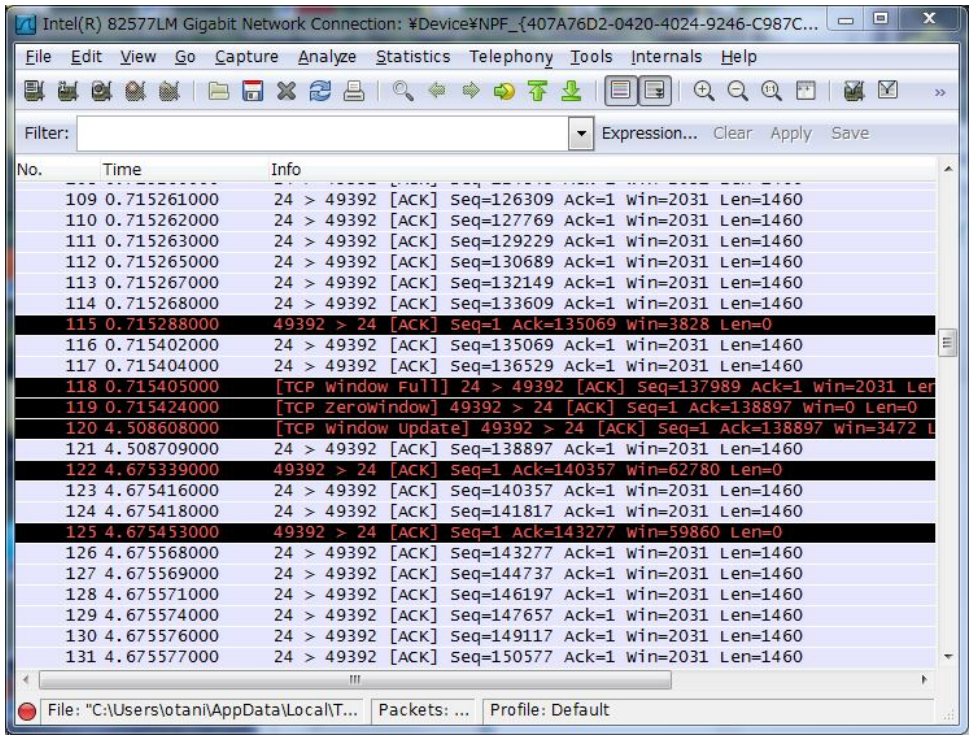


図 3.3: Wireshark 画面

数 μs ごとにパケットが送られてくるが, 119 番で [TCP zerowindow] と出た後に 120 番の [TCP window update] が起こるまでに約 4sec もかかっているのがわかる. 全体でこの window update が数秒間隔で起こっており, 受信レートを落としていたことがわかった. 実際, この 120 番から次の update までで受信したデータで考えると 64240byte/2.4sec = 27kbps となり, Utility ツールの値に近くなる.

TCP Window は, TCP を用いた通信における受信バッファのようなものである. 今回は受信側のアプリケーションがこのバッファに届いたデータを処理するのに時間がかかっているため, このように遅い受信レートとなってしまっている. 瞬間的に見ると数 100Mbps 出ていることも確認できた.

3.3 1Gbps データ収集系の構築

SiTCP は Ethernet PHY の動作状況に応じて 10/100/1000BASE-T のいずれかで通信を行う. PT6 はデフォルトでは 1000BASE-T で動作するので, まずこの 1Gbps のモードで実際のスループットの測定を行う.

3.3.1 実験の準備

まずは実験に関わる各コンポーネントの説明をする.

- PT6

  前節で使用した PT6 で SiTCP のパフォーマンスを確かめる. FPGA に入れるファームウェアも前節同様に 8bit × 130MHz で転送できるものを用意する

- 1G 対応スイッチ[12]

  Corega CO-BSW16GTX を用いる.

  ポート: 10/100/1000BASE-T×16

  最大パケット転送能力: 23.8Mpps [13]

  スイッチングファブリック: 32Gbps

- LAN ケーブル

  PT6 とスイッチ, スイッチと PC を接続するのに 3m の Cat.6 ケーブルを用いている

- PC

  DELL PRECISION T3500 を用いる.

  CPU: Intel Xeon W3565 @3.2GHz

  メモリ: DDR3-1333 24GB

  OS: Scientific Linux CERN release 5.8

  NIC [14] : Broadcom BCM5761 搭載 1G 対応 NIC

以上を次の図 3.4 のように配置する. この配置において, RTT [15] を測定した. 100 回 ping コマンドを打って調べた結果を図 3.5 に載せる. 平均は 0.125ms, 標準偏差は 0.016ms であった.

[12]スイッチングハブ: データリンク層のパケット中継を行う. 全ポートにキャストするリピータハブと異なり, 送信先を記憶することで帯域を節約できる

[13]packet per second: 1 秒当たりのパケット転送能力

[14]Network Interface Card: PC に接続するイーサネットのインターフェースカード

[15]Round-Trip Time: ある機器からデータを送り, 応答が返ってくるまでの時間

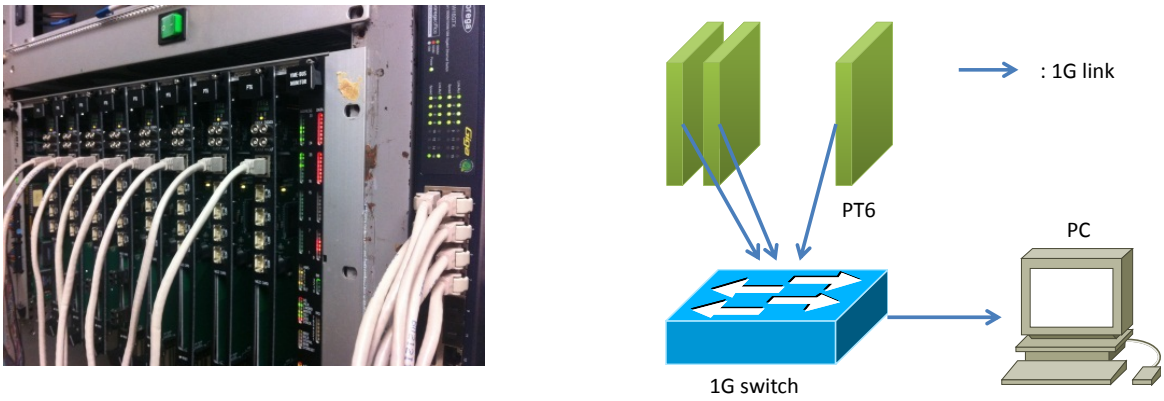


図 3.4: 1Gbps テスト環境

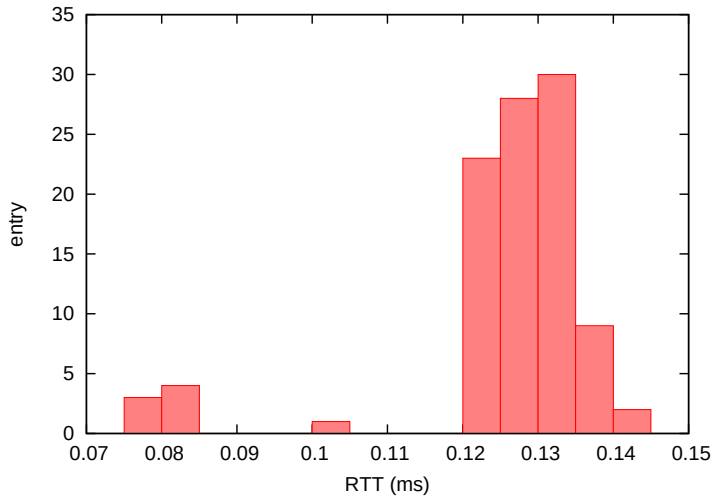


図 3.5: 1G 環境 RTT の測定

ここで理論スループット (そのコネクションにおけるスループット上限) について考える．理論スループットと RTT との間には次の関係がある．

$$T = \frac{W}{R}$$

T はスループット, W は TCP ウインドウサイズ, R は RTT である．2 点間の距離が長く RTT が大きくなると, それだけ上限値は下がる．PC 側の設定は $W = 87.4$kB であったが, SiTCP はウインドウスケールオプション[16]をサポートしていないので, 結局 64kB までしか使用できない．ここから理論スループットを算出すると

[16]64kB を超えるウインドウサイズを許容するオプション．送受信どちら側もサポートしている必要がある

$$T = \frac{65536 \times 8}{0.125 \times 10^{-3}} = 4.2 \text{ [Gbps]}$$

となる．よってケーブルの長さは問題にならない環境であることが確かめられた．

送信側 PT6 のファームウェア

ここで PT6 のファームウェアについて解説を加えておく．SiTCP のインターフェースは FIFO 型になっており，TCP_TX_FULL が 0 の時にデータとともに TCP_TX_WR を 1 にすることでデータの受け渡しが行われる．今回のファームウェアではユーザーデータ FIFO をこのインターフェースに図 3.6 のように接続する．ユーザーデータ FIFO は 8bit × 130MHz で書き込まれ，常に FULL の状態である．TCP_TX_FULL をユーザーデータ FIFO の rd_en (read enable)，TCP_TX_WR を valid に接続することで，SiTCP に空きができるとすぐにデータを補充する形になる．今回は最大でどれだけのスループットが実現できるか確かめるため，このように最速のコンフィギュレーションにしておく．

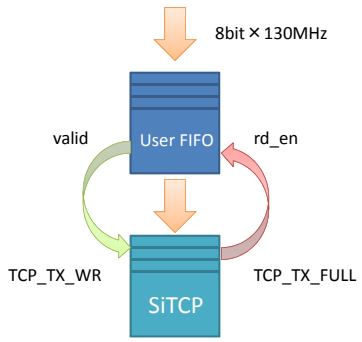


図 3.6: PT6 のファームウェア

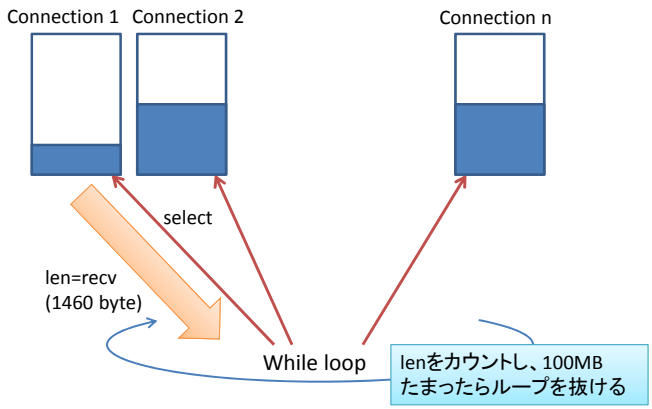


図 3.7: PC のソフトウェア

受信側 PC のソフトウェア

スループットの測定のため，次のようなソフトウェアを書いた．図 3.7 はこの概念図である．

1. PC は複数の PT6 と TCP 接続を確立する
2. データが送られてくるので Select システムコールを用いて順に処理していく．データは受信バッファからデフォルト MSS と同じ 1460byte ずつ取得する
3. PC の受け取ったデータが合計 100MB を超えたらその時点で通信を終了する
4. 最初の受信から最後の受信までに送られてきた各 PT6 のデータを，かかった時間 (clock_gettime 関数で計測) で割り出力する

ただし, ここで計算されたスループットは実効スループットであり, TCP/IP やイーサネットのオーバーヘッドは入っていないことに注意. ハードウェア的に許される実効スループットの上限は次のように考えられる. まず帯域の 1Gbps に隙間なくイーサネットフレームを詰めた場合の速度 (ワイヤスピード) は, イーサネットフレームの構造 (表 3.3) から

$$1000 \times \frac{1518}{1518 + 8 + 12} = 987 \text{ Mbps}$$

である. 1518byte がイーサネットフレーム, 8byte がプリアンブル[17], 12byte が IFG [18] である. これに TCP/IP およびイーサネットのオーバーヘッドを加味して

$$987 \times \frac{1460}{1518} = 949 \text{ Mbps}$$

がとりうる最大の実効スループットの値となる.

表 3.3: イーサネットフレームの構造

<table>
<tr><td>12〜</td><td>8</td><td>6</td><td>6</td><td>2</td><td>20</td><td>20</td><td>〜1460</td><td>4</td></tr>
<tr><td>IFG</td><td>preamble</td><td>src addr</td><td>dst addr</td><td>type</td><td colspan="3">Ether data</td><td>FCS[19]</td></tr>
<tr><td></td><td></td><td colspan="4"></td><td>header</td><td colspan="2">IP data</td><td></td></tr>
<tr><td></td><td></td><td colspan="5"></td><td>header</td><td>TCP data</td><td></td></tr>
</table>

3.3.2 1 対 1 の通信

1 対 1 の通信でどの程度のスループットが出るか検証する. さらにパラメータを変更させてスループットに違いが出るかも同時に調べる.

SiTCP の設定可能なレジスタである SiTCP and TCP control register (RBCP アドレス: 0xFFFFFF10) は表 3.4 のような構成になっている. 聞き慣れない言葉が出てきたので以下に説明する.

表 3.4: SiTCP and TCP control register

bit	デフォルト値	名前	役割
7	0	SiTCP reset	1 でリセット
6-3	0	Reserved	
2	0	Keep alive packet	1 で Keep alive 機能をオン
1	0	Fast retrans	1 で Fast retransmit 機能をオン
0	1	Nagle buffering	1 で Nagle buffering 機能をオン

[17]無信号状態から同期を伴う状態への移行を知らせるフィールド

[18]Inter Frame Gap: イーサネットフレームの間に置かれる間隙で最小 12byte

[19]Frame Check Sequence: フレームのエラーを CRC (Cyclic Redundancy Check) に基づいてチェックするフィールド

- Keep alive[39]

  データのやり取りがない場合, 相手側が落ちていると判断され TCP のコネクションを切られてしまうことがある. Keep alive 機能は一定間隔で空のパケットを送ることにより自身が正常に通信できていることを通知する機能である

- Fast retransmit[40]

  TCP における再送は, 基本的に再送タイマの時間が経過しても ACK [20] が返ってこない場合に行われる. Fast Transmit ではこれを待たずにも, 同じセグメントの ACK が 3 回来た場合にデータロスと判断し再送する

- Nagle buffering[41]

  小さなパケットを連続して送ると TCP/IP のヘッダの分オーバーヘッドが増える. これを回避するため先の ACK が返ってくるか MSS [21] に到達するまで送信データをバッファする機能である

これらのうち Keep alive は本来のデータ送受信には直接関わらないため検証しない. 代わりに Fast retransmit 及び Nagle buffering のオンオフを切り替えてスループットに差が出るか調べた. 結果を表 3.5 にまとめる. それぞれ 20 回計測した平均値と標準偏差を載せてある.

表 3.5: 1G 環境 1 対 1 でのスループット測定結果 (Mbps)

	Fast retransmit off	Fast retransmit on
Nagle buffering off	860±2	861±1
Nagle buffering on	818±1	819±1

表より Fast retransmit には拘わらず Nagle buffering で決まることがわかる. Fast retransmit はデータロスが起こるような状況でない限り影響はないので当然といえる. また Nagle buffering は切っていたほうが 40Mbps ほど速くなることがわかった.

次に Nagle buffering がオンの時とオフの時でパケットの流れにどのような違いがあるかを調べた. tcpdump コマンドを使用してキャプチャし, Wireshark により GUI 表示した. 図 3.8 が IO グラフである. 縦軸は Bits/Tick なので 1000000 が 1Gbps に相当する. 右の Nagle buffering を使用しない方が全体的に帯域を有効に使えているのが見える. 1 対 1 では細切れでもいいのでデータをすぐに送った方がスループットが上がるということである.

[20] Acknowledgement packet: 受信側の応答パケット
[21] Maximum Segment Size: 機器がルーターによるフラグメント化を受けずに送信できる最大のセグメント長

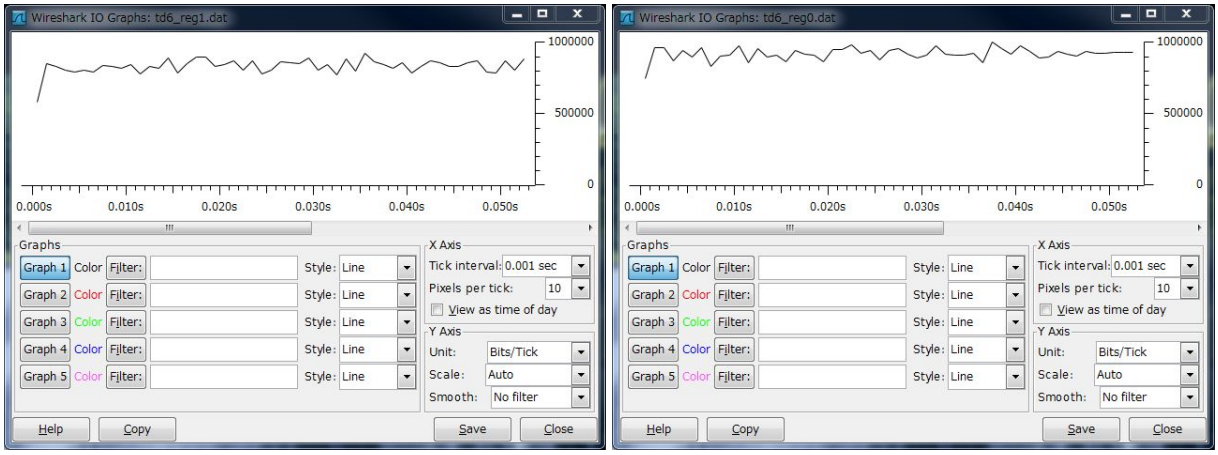


図 3.8: 1G 環境 1 対 1 通信における帯域使用状況 (左: Nagle on, 右: Nagle off)

これを確かめるために, セグメントのサイズによりスループットにどのような変化が見れるか調べる. MSS はフラグメンテーションを受けない TCP セグメントサイズであり, 一般的にはネットワークの MTU [22] から算出する. MTU はイーサネットにおいては 1500byte であり, そこから TCP/IP のヘッダ長 40byte を引いて 1460byte が MSS になる. ネットワーク機器は TCP コネクションを確立する際に互いに MSS の値を通知し, 小さい方にセグメント長を合わせる. SiTCP が通知する MSS の値はレジスタ (RBCP アドレス: 0xFFFFFF20-21) の操作で変えることができるので, PC とのコネクションにおけるセグメント長を任意に設定できる.

そこで MSS 設定値を 100〜2048byte までの範囲で変えてスループットを計測した. その際 Nagle buffering をオンにすることで, 常に設定した MSS までデータを詰めて送信するようにした. 結果を図 3.9 に示す.

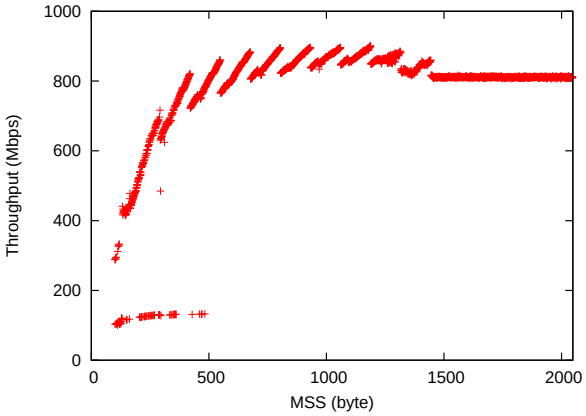


図 3.9: MSS 設定値に対するスループットの変化

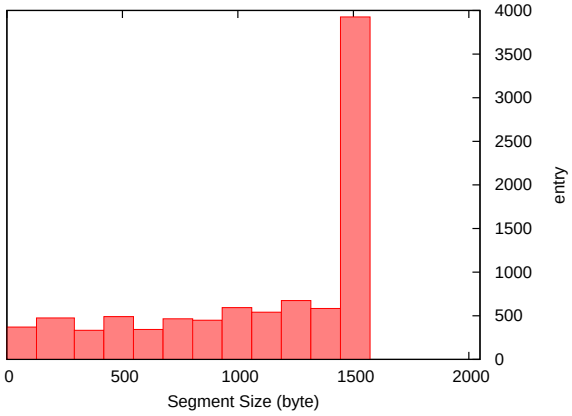


図 3.10: Nagle off のセグメントサイズ分布

MSS が 293〜1444byte の範囲では 128byte ごとにスループットの途切れが見られる. この理由としては PC の受信バッファにおいて OS が 128byte ずつデータを処理している可能性が考えられる. また, MSS が中間的な値の時, デフォルトの 1460byte の場合よりスループットが大きいことが確認できる. これより Nagle buffering をオフにするとこの中間サイズのセグメントが増え, 全体的なスループットが上がるという仮説が立てられる.

[22] Maximum Transmission Unit: 一度に転送できるデータサイズの最大値

図 3.8 (右) のデータにおいて, セグメントサイズについての分布を見たものが図 3.10 である. x 軸は図 3.9 でスループットの断絶が見られる値で区切っている. 図より 1460byte が最も多いが, それよりもスループットが大きいと思われる中間サイズ領域にも多く分布している. 逆にスループットが落ちる小サイズ領域にも分布しているが, 足し引きではスループットが上がると推測される. つまり結論としては, Nagle buffering オンの場合には全て 1460byte のセグメントサイズで送信されるが, オフの場合にはその制約がなく, スループットの比較的大きいセグメントサイズで送信する比率が増える. このためオンの場合に比べてスループット上昇につながった.

3.3.3 2 対 1 の通信

次に 2 対 1 に拡張した場合で実験する. 表 3.6 が結果である. 1 対 1 の場合と異なり, Nagle buffering をオフにすると安定性がなくなっている. オンの場合は速度は上がるがもちろん 2 倍にはならず, PC 側のボトルネックのため 893Mbps にとどまっていると推測される.

表 3.6: 1G 環境 2 対 1 でのスループット測定結果 (2 台の合計, Mbps)

	Fast retransmit off	Fast retransmit on
Nagle buffering off	740±200	690±40
Nagle buffering on	893.0±0.2	893.0±0.2

再び Wireshark で見てみることにする. 図 3.11 がその結果である. Nagle buffering オンの場合は帯域を 2 つの PT6 が等しく分けあって帯域を活用できている. 一方オフの方を見てみると途中から IP = 192.168.10.7 が帯域を独占している. パケットを解析したところ IP = 192.168.10.6 からのデータが喪失し, PC が何度も同じ ACK を返しているところで帯域の独占が始まり, 再送タイマの 0.5sec 経ったのちに該当データが再送されてから再び 192.168.10.6 が復帰していた.

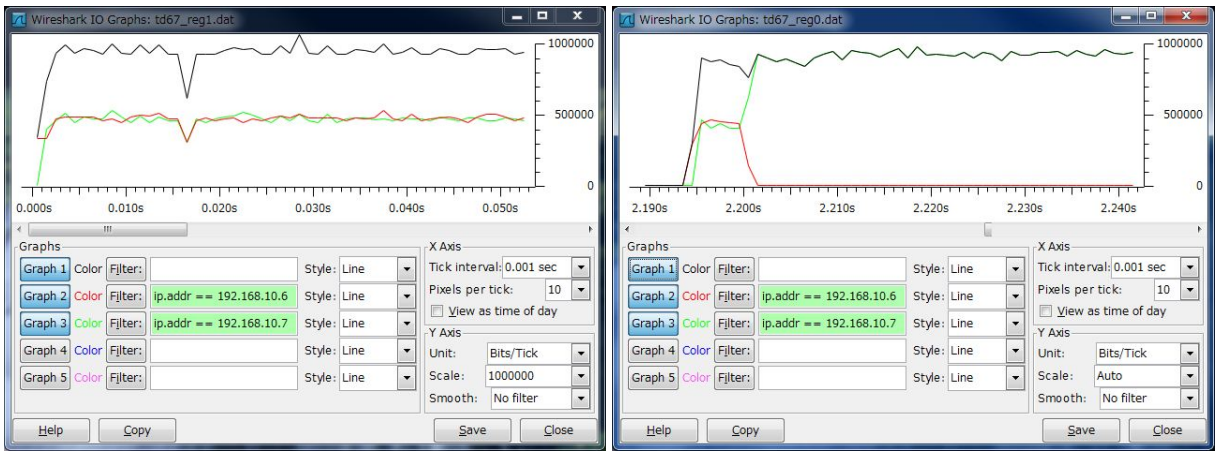


図 3.11: 1G 環境 2 対 1 通信における帯域使用状況 (左: Nagle on, 右: Nagle off)

このようにパケットロスという確率的な過程が絡んでくるため, 分散が大きくなっていたようである. また, Fast retransmit を用いた場合 0.5sec 待たずに再送が起こっていることを確認した.

これにより安定性は若干増すが, スループットの値は Nagle buffering オンの場合には遠く及ばない. 平均値が Fast Retransmit オフの時の方が大きいのは, 片方のパケットが喪失して 1 対 1 の通信になっている状況の方が, 帯域を独占して効率よく通信できるためと考えられる.

以上より, 2 台以上で通信する場合は, Nagle buffering をオンにして, 双方が有効的に帯域を利用できるようにした方が良いと思われる. その際, 速度はボトルネックの 893Mbps を平等に分けた値になる. なお, 本実験では PC の設定やプログラムを試行錯誤することはしていない.

念のためもう 1 台 PT6 を増やして 3 対 1 通信にした場合の結果を表 3.7 に示す. ここでもやはり Nagle buffering オフの場合の不安定性とオンの場合のサチュレーションが見える. またオンの場合, 確かに帯域を三等分していることも確かめられた.

表 3.7: 1G 環境 3 対 1 でのスループット測定結果 (3 台の合計, Mbps)

	Fast retransmit off	Fast retransmit on
Nagle buffering off	830±90	640±40
Nagle buffering on	893.2±0.2	893.2±0.1

3.3.4 2 対 2 の通信

次に PC を 1 台追加して 2 対 2 の DAQ を構築した (図 3.12). 便宜的に 2 台の PT6 を PT6A, PT6B, 2 台の PC を PCa, PCb と名付けると PT6A-PCa, PT6B-PCb というように 1 対 1 通信を 2 つ並列に行うことになる. 1 対 1 の時と比べて速度の低下が起こらないことを確かめる.

結果はどちらの組でも速度の低下は見受けられなかった. つまりネットワークにおいてコンフリクションが起こることなく, 正常に通信を行えていることが確認された.

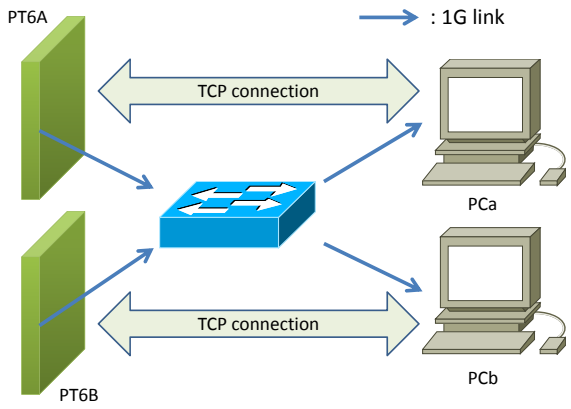


図 3.12: 2 対 2 の通信

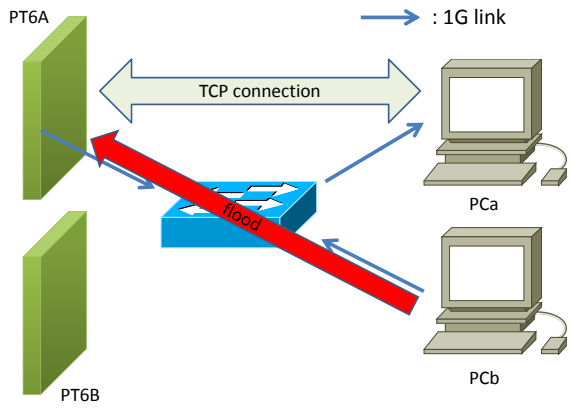


図 3.13: flood 環境下の通信

flood 状況下での動作

ここで, 細切れのパケットが大量に届いた場合の SiTCP の挙動を調べた. 2 対 2 のコンフィギュレーションで PT6A-PCa をターゲットとし, PCb が flood を引き起こす. PCb が PT6A に DoS [23] 攻撃を仕掛けるような状況である (図 3.13).

近年話題になっている DoS 攻撃は大別すると 2 種類ある. 回線の帯域を埋めてしまう手法と, 直接サーバーをダウンさせる手法である. 前者では ICMP flood や UDP flood を用いて大量のデータをサーバーまでのネットワークに氾濫させる. 後者では TCP SYN flood で大量の接続要求を送ったり, TCP コネクションを確立しておいて何もしないといったものである. hping3[50] という TCP や UDP 等各種プロトコルでパケットを生成できるツールを用いて, これらの状況を起こすことが可能である. PCb に hping3 をインストールし, TCP SYN flood により PT6A を攻撃する場合と, ICMP flood により攻撃する場合を試した.

まず TCP SYN flood の場合であるが, PCa と接続中の PT6A に SYN [24] を flood モード (できるだけ早く SYN を送りつける) で送ったところパフォーマンスに変化はなかった. つまり確立中のコネクションには影響はない. 一方 PCa と接続する前に flood を起こすと応答してしまい, 後から PCa と接続できなくなることも確認された.

次に PT6A に ICMP パケットを flood モードで送ったところ, データ長 100 の ICMP パケットで 460Mbps, 1000 のパケットで 130Mbps 程度まで下がった. しかしパケット解析をしたところ, PT6A-PCa の通信自体にはエラー等は見受けられず, ただ帯域を圧迫されてスループットが落ちただけのようである.

これらの結果より SiTCP はパケットの flood が起こるような状況でも, コネクションを正常に保ち続けられることが確認された. 実験で同様の状況に陥ることは考えにくいが, SiTCP の安定性は示せていると考える.

3.4 100Mbps データ収集系の構築

前節ではそれぞれの SiTCP が 1Gbps 出る設定でデータを取得したが, PC 側のボトルネックにより 893Mbps を超えることはなかった. 次にあえて 100Mbps しか出ない状況で多対 1 通信し, SiTCP にスケーラビリティが見られるか検証した.

3.4.1 実験の準備

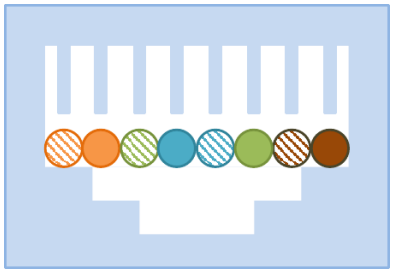
SiTCP を強制的に 100M のモードで使用するには外側の環境を変えてやる必要がある. 100Mbps に落とす方法としては以下の手段が考えられる.

1. PHY チップのレジスタを操作して 100BASE-TX に強制する
2. 100M スイッチを PT6 と 1G スイッチの間にはさむ
3. 1000BASE-T の仕様を満たさないケーブルを用意する

[23] Denial of Service: 特定のサーバーを狙って攻撃することでダウンさせること
[24] Synchronize packet: 接続要求パケット

ここでは 3 の方針に則り, 100BASE-TX で使えるが 1000BASE-T では使えるようなケーブルを自作することを考える. この 2 つの規格には, 前者が 4 対のうち 1 対を送信 100Mbps, もう 1 対を受信 100Mbps に用いているのに対し, 後者では 4 対全て 250Mbps の双方向通信を行うという違いがある.

つまり 4 対のうち 100BASE-TX で使わない 2 対を物理的に切断してしまえば 1000BASE-T で伝送できるはずがないことになる. これに従い 0.5m の Cat.5e のケーブルを改造することにする. 一般的な LAN ケーブルの結線を図 3.14 に示す. これは TIA/EIA-568-b [25]という規格である. 100BASE-TX に用いるのはペア 2 とペア 3 であるため, ペア 1 の青線とペア 4 の茶線を切断すればよい. このようにして 100M 用のケーブルを 8 本作成して, 全てにおいて 100M 動作を確認した.



番号	ペア	色
1	2	橙/白
2	2	橙
3	3	緑/白
4	1	青
5	1	青/白
6	3	緑
7	4	茶/白
8	4	茶

図 3.14: LAN ケーブルの結線

このケーブルを用いて次の図 3.15 のように配置する. この配置で 100 回 ping コマンドを打って RTT を計測したところ, 平均は 0.162ms, 標準偏差は 0.006ms であった. 理論スループットを算出すると

$$T = \frac{65536 \times 8}{0.162 \times 10^{-3}} = 3.2 \text{ [Gbps]}$$

となる. よって 100Mbps を出すには全く支障がないことが確かめられた. なお前節ではデータが 100MB たまった時のスループットを測定したが, これでは多すぎるため 10MB に設定し直して測定する.

[25]TIA/EIA-568-a という類似の規格もあり, TIA/EIA-568-b と比べて橙と緑の位置が逆転している. つまり両端を a と b で分ければクロスケーブルが作成できる

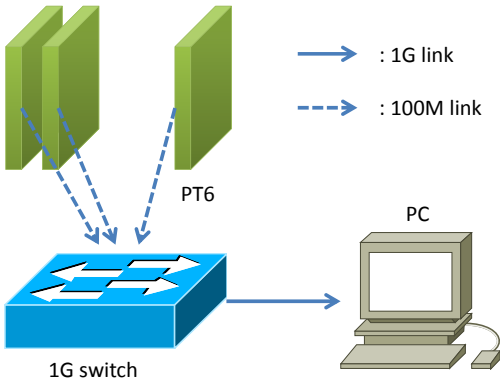


図 3.15: 100Mbps テスト環境

3.4.2　1 対 1 の通信

100Mbps で 1 対 1 通信をした結果を表 3.8 にまとめる．これまで同様にそれぞれ 20 回計測した平均値と標準偏差を載せてある．結論から述べるとどの設定でも安定して 94.8Mbps という結果になった．また, 1G では顕著にみられた Nagle buffering による差異は消えている．この結果は 100M 通信の実効スループットの最大値である 94.9Mbps の 99.9%にあたり, 事実上理論の最大値まで引き出せているといえる．ソフトウェア処理をしていたのではここまで最大限に活用することは難しく, SiTCP のハードウェアゆえの利点になっている．

表 3.8: 100M 環境 1 対 1 でのスループット測定結果 (Mbps)

	Fast retransmit off	Fast retransmit on
Nagle buffering off	94.79±0.05	94.8±0
Nagle buffering on	94.8±0	94.8±0

3.4.3　複数対 1 の通信

SiTCP が 100Mbps なら 10 台未満の PT6 に対して図 3.15 にボトルネックは存在しない．よって PT6 を増やしていけば合計のスループットは PT6 の数に比例するはずである．これを見るために PT6 の数を 1 台〜8 台で変えて測定を行った．表 3.9 に結果をまとめる．Nagle buffering と Fast retransmit のオプションは SiTCP and TCP control register のそれぞれビット 0, 1 なので reg[1:0] = 01 (Fast retransmit off, Nagle buffering on) というように表記した．前小節の結果と同様, 100M ではこのオプションの効果は見られず, PT6 の数だけに依存しているのがわかる．

表 3.9: 100M 環境 複数対 1 でのスループット測定結果 (Mbps)

PT6 台数	reg[1:0] = 00	reg[1:0] = 01	reg[1:0] = 10	reg[1:0] = 11
1	94.8	94.8	94.8	94.8
2	189.7	189.7	189.7	189.7
3	284.6	284.4	284.4	284.1
4	379.5	379.5	379.5	379.5
5	474.2	473.6	474.0	474.1
6	568.4	569.0	569.1	569.4
7	663.6	664.9	665.0	664.9
8	760.7	760.7	760.8	760.7

図 3.16 に reg[1:0] = 01 の場合の PT6 台数に対するスループットのプロットを載せる．線形近似式は次のように求まった．

$$T\ [\mathrm{Mbps}] = 95.062n - 0.7036$$

台数にきれいに比例しており, SiTCP のスケーラビリティが確認できた．

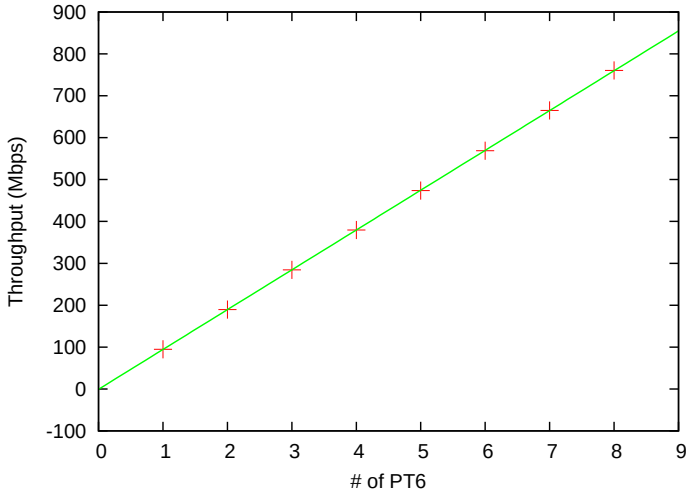


図 3.16: 100M 環境 複数対 1 通信スループットのプロット

3.5 結論

本章では FPGA 組み込み TCP/IP プロセッサである SiTCP の検証を, 汎用 VME モジュールである PT6 を用いて行った．SiTCP を 1000BASE-T 環境で使用したところ, 1 対 1 の通信ではデータをまとめて送る Nagle buffering 機能を切った場合に 860Mbps を記録した．PT6 の数を増やしたところ, 帯域上限を超えるのでスケーラビリティは確認できないが, Nagle buffering 機能がオンの場合に安定して 893Mbps を記録した．

一方 SiTCP を 100BASE-TX 環境で使用したところ, 1 対 1 では Nagle buffering 機能のオンオフに拘わらず理論上限の 94.8Mbps を達成した. PT6 の数を増やしても台数に比例してスループットが増え, スケーラビリティが確認された.

以上より次のことが結論される. ここで n 台の SiTCP 機器, 1 台の DAQ PC, 適切な数のスイッチがあるとする.

- 転送量の n 台合計が 890Mbps を超えるような場合にはそのままではデータがスタックする. ネットワークを分断して n を減らす
- 1 台の転送量が 95〜890/n Mbps 程度である場合には, SiTCP 機器とスイッチ, PC を全て 1000BASE-T で構成できる. ただし Nagle buffering の設定などに気を付ける
- 転送量が 95/n〜95 Mbps 程度である場合には SiTCP 機器を 100BASE-TX で, PC 及びスイッチを 1000BASE-T で構成できる. 最も安定したコンフィギュレーションと思われる
- 転送量が 95/n Mbps 未満であれば全て 100BASE-TX で構成できる. ただし台数を増やして上のケースにした方が効率的である

例として現行の EC-SL に SiTCP を搭載した場合を考える. 読み出すべきデータは 320bit × 75kHz = 24Mbps だけある. EC-SL の枚数は A/C-side で 24 枚ずつなので, 1 サイドずつで考えれば DAQ PC は 2 台で済む. SL 側を 100BASE-TX, DAQ PC 側を 1000BASE-T にして安全な DAQ が構築できる.

第4章　マルチギガビットトランシーバGTX Transceiverの検証実験

加速器を用いた実験には本質的に大容量のデータが伴う．高速伝送の技術がまだ未発達であった頃はデータを減らさなければならなかったが, 10G クラスの高速伝送技術が身近になった現在, そのような障壁はなくなりつつある．

近年のトレンドは FPGA 内のハードマクロによりそのような 10G 超の転送速度を可能にする技術である．Xilinx 社は Multi-Gigabit Transceiver (MGT) として展開しており, ローエンドからハイエンドの FPGA に至るまで実装済みである．本章では MGT の 1 つである GTX Transceiver について検証実験を行ったことについて述べる．

4.1　マルチギガビットトランシーバ

本節では Xilinx 社の MGT に焦点を当て, その機能の簡単な説明を行う．

4.1.1　Xilinx Multi-Gigabit Transceiver

表 4.1 に Xilinx 社の MGT の速度の変遷を示す．2012 現在では 30Gbps 近くの転送レートが出ており, 8 年間で約 4 倍に上がっていることがわかる．また, 低コストの FPGA でも 6.6Gbps 出ることからも, MGT が身近になってきたことが読み取れる．

表 4.1: Xilinx MGT の速度の変遷

年	MGT 名	デバイス名	速度 (Gbps)
2004	RocketIO	Virtex-4	6.5
2006	RocketIO GTP	Virtex-5	3.75
2006	RocketIO GTX	Virtex-5	6.5
2009	GTP Transceiver	Spartan-6	3.2
2009	GTX Transceiver	Virtex-6	6.6
2009	GTH Transceiver	Virtex-6	11.18
2012	GTP Transceiver	Artix-7	6.6
2012	GTX Transceiver	Kintex-7	12.5
2012	GTH Transceiver	Virtex-7	13.1
2012	GTZ Transceiver	Virtex-7	28.05

MGT は FPGA 内に専用のブロックを持っており, 外付けのトランシーバなしで高速伝送を可能にする. ゆえにコネクタから差動シリアル信号を直接入れることができる. また, IP コア[1] を使用することにより比較的簡単にデザインに組み込むことができる.

4.1.2 GTX Transceiver

ここで, 本実験で使用する MGT である GTX Transceiver (以下 GTX) について説明する. 表 4.1 にもあるように, GTX はミドルクラスの FPGA である Kintex-7 に搭載された最大 12.5Gbps の MGT である.

Transmitter

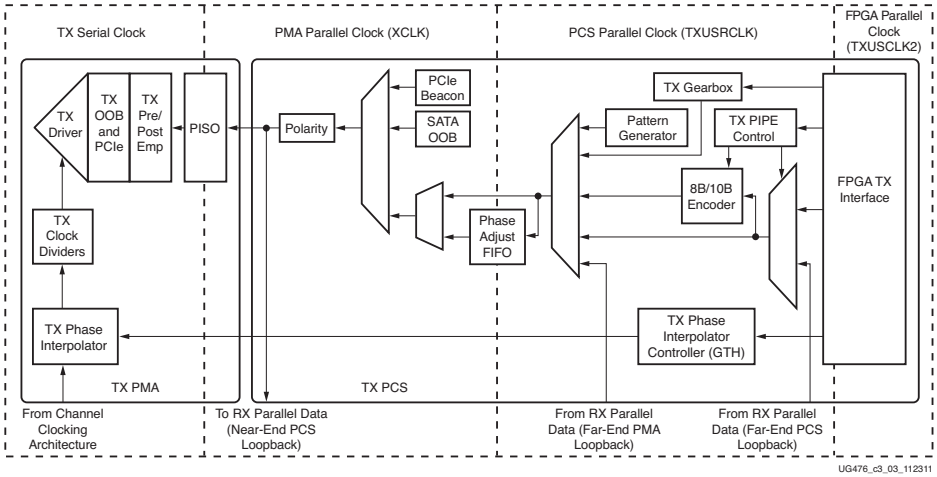


図 4.1: GTX TX のブロック図 [59]

図 4.1 が Transmitter (TX) のブロックダイアグラムである. TX は PCS と PMA に分けられる. PCS [2] はパラレル領域で, 2 種類のクロックで駆動される. PMA [3] はシリアル領域で, シリアルクロックで駆動される. また, アナログ電源を必要とする.

- 8B/10B Encoder

  8bit のパラレルデータを 10bit のパターンにテーブル変換する 8b10b 変換を行う. 必要ない場合はバイパスする

- TX Gearbox

  64b66b 変換を行う. 信号が高速な場合に使用する

[1]Intellectual Property Core: あらかじめ特定の機能をもったブロックとして提供されているもの
[2]Physical Coding Sublayer: シリアル通信において符号化を担う部分
[3]Physical Medium Attachment: 主にシリアル化を行う部分

- Pattern Generator

  デバッグ用のパターンを生成する．パターンとしては PRBS [4] -7, PRBS-15, PRBS-23, PRBS-31 や, 2UI [5] 方形波, データ幅分の方形波等がある

- Phase Adjust FIFO

  PMA パラレルクロック領域と PCS クロック領域をつなぐための FIFO

- PISO

  Parallel In Serial Out．シリアル変換を行う

- TX Pre/Post Emp

  pre-cursor / post-cursor プリエンファシスを行う．プリエンファシスとは ISI [6] を抑えるために送信前に高調波成分を追加すること

- TX Driver

  アナログ信号のドライバ

Receiver

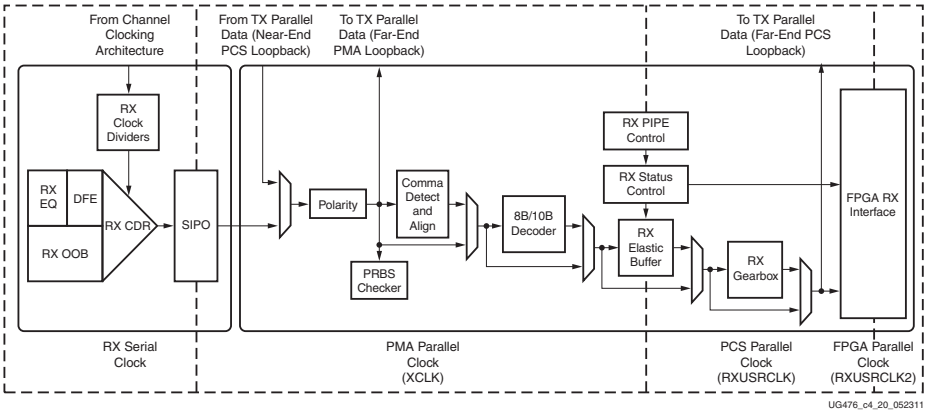


図 4.2: GTX RX のブロック図 [59]

図 4.2 が Receiver (RX) のブロックダイアグラムである．

- RX EQ, DFE

  受信データのイコライジングをする．RX EQ は一般に CTLE (Continues Time Linear Equalizer) と呼ばれるリニアイコライザである．DFE は Decision Feedback Equalizer の略で, 先に届いているデータパターンをフィードバックさせて ISI を抑える．DFE を使用しない低電力モードもオプションとして選択可能

[4] Pseudo-Random Bit Sequence: 疑似乱数．生成方法がわかっているので受信側でデータを予測できる
[5] Unit Interval: 時間の代わりに用いる単位．1UI はクロックの 1 周期
[6] Inter Symbol Interference: アナログ信号が隣接したビットの間で干渉する現象．ジッタの原因になる

- CDR

  Clock Data Recovery. シリアルストリームからクロック及びデータを再生する

- PRBS Checker

  送信側で生成された疑似ランダムパターンを読み, エラーをチェックする

- SIPO

  Serial In Parallel Out. デシリアライズする

- Comma Detect and Align

  シリアルデータの中からデータの区切りを示すカンマの検出を行う. カンマは自分で設定できる. カンマが見つかるとそこから一定長ずつパラレルデータとして取り出す

- 8B/10B Decoder

  8b10b でエンコードされたデータをデコードする. 必要なければバイパスする

- RX Elastic Buffer

  PMA パラレルクロック領域と PCS クロック領域をつなぐための FIFO

- RX Gearbox

  64b66b でエンコードされたデータをデコードする

GTX の大きな特徴としては, GTP Transceiver では採用されていなかった DFE の使用が挙げられる. データパターンに応じて最適な補償ができ, 10Gbps 超のラインレート[7] を可能にする. 図 4.3 に DFE のブロック図を示す.

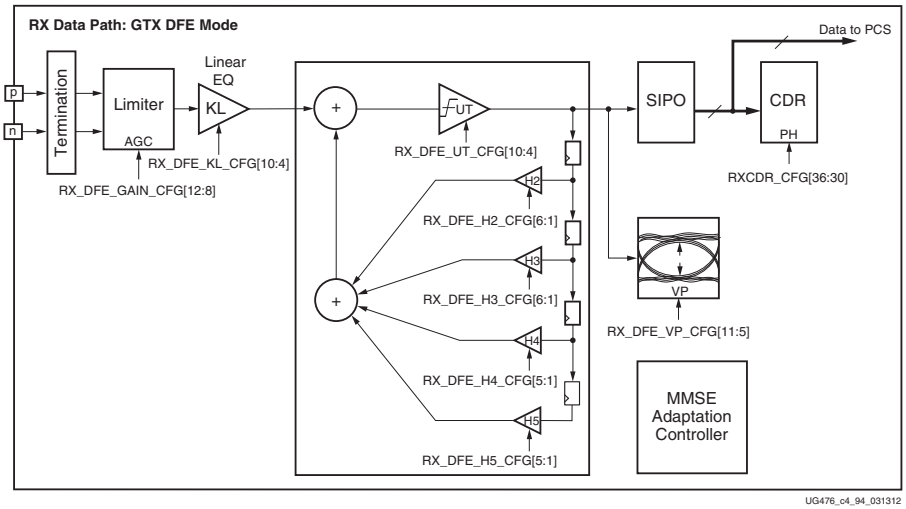


図 4.3: DFE のブロック図 [59]

[7]Line Rate: シリアル通信におけるビットレートのことで実際の情報量より大きくなる. 単位は bps

対応プロトコル

GTX は種々のプロトコルに対応している．代表的なものを表 4.2 に示す．10Gbps を超えると 8b10b では無駄が大きいため 64b66b に移行しているのがわかる．

表 4.2: GTX のサポートするプロトコル [59]

プロトコル	速度 (Gbps)	コーディング	説明
PCIe[8]Gen 2	5.0	8b10b	PC 等で広く使用されるシリアル I/O
SRIO[9]Gen 2	5.0, 6.25	8b10b	無線基地局等で使われるシリアル I/O
XAUI[10]	3.125	8b10b	10GbE PHY との接続 (4 レーン使用)
XLAUI[11]	10.3125	64b66b	40GbE PHY との接続 (4 レーン使用)
10GBASE-R	10.3125	64b66b	光ファイバーによる 10GbE

4.2 実験の目的及び対象

以下では上述の GTX の性能を調べる実験を行っていく．本節では実験に入る前に実験目的と評価の対象を説明する．

4.2.1 実験目的

第一には GTX のパフォーマンス評価を通して有用性を検証し, ATLAS 実験に組み込む足がかりを作ることである．MGT を実験で使う際の利点としては次のようなものが考えられる．

- 大容量のデータを送信できるので, これまでなら複数に分かれていた経路ををまとめ, 1 つのケーブル (ファイバー) で送ることができる．これは phase-2 で BW のエッジから USA15 にファイバーを通す際など, 並列にデータを渡す必要のある場面で威力を発揮する．経路を節約できればコストも減り, 維持管理もしやすくなる
- FPGA 内でデシリアライズするので, FPGA のピンやボード上の面積を節約できる．実験に用いる VME 等のボードは定められたスペースしか使えないので, 実際にボードの設計をするに際してこれは重要なファクターである

第二に, 実際の使用に際してどのような制約があるか調べることである．具体的には電流値や温度上昇, 媒体である同軸ケーブルの長さの制約を調べることにより検討の材料を提供する．私自身がプロトタイプを制作するにあたり参考とした．

[8]Peripheral Component Interconnect express
[9]Serial Rapid IO
[10]10Gb Attachment Unit Interface
[11]40Gb Attachment Unit Interface

4.2.2 KC705 評価キット

GTX の評価は Xilinx 社の Kintex-7 KC705 評価キット [55] を用いた．図 4.4 が KC705 の写真である．本ボードは FPGA として XC7K325T-2FFG900 を用いている．この FPGA が有する 16 レーンの GTX は全て使用されており，その構成は表 4.3 のようになっている．今回は機材の関係で SMA [12] 1 レーンのみで検証実験を行っている．

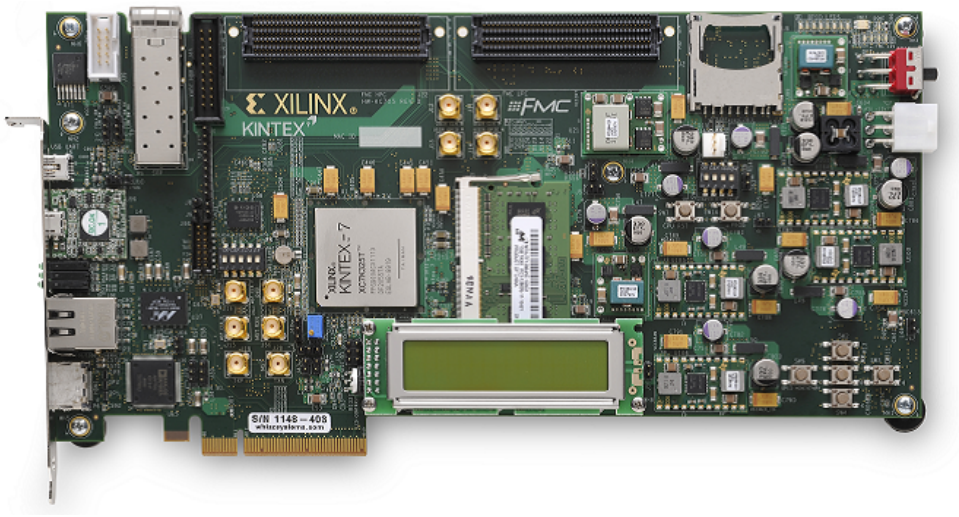


図 4.4: KC705 の写真

表 4.3: KC705 の使用する GTX [55]

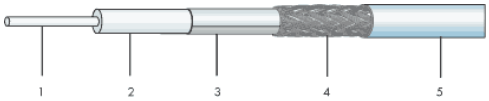
バンク	GTX レーン	用途	バンク	GTX レーン	用途
115	0	PCIe	116	4	PCIe
	1	PCIe		5	PCIe
	2	PCIe		6	PCIe
	3	PCIe		7	PCIe
117	8	SMA	118	12	FMC HPC
	9	SGMII[13]		13	FMC HPC
	10	SFP+[14]		14	FMC HPC
	11	FMC LPC[15]		15	FMC HPC

SMA は TX±, RX± の 4 つを使用する必要がある．実験では TX+に接続した同軸ケーブルを RX+に, TX-のケーブルを RX-に接続し, データをループバックさせる．詳細は後述する．

[12]Sub Miniature type A: 同軸ケーブルに接続するコネクタの一つ
[13]Serial Gigabit Media Independent Interface: GMII でパラレルだったデータをシリアルにしたもの
[14]Small Form factor Pluggable +: 小型の光トランシーバの一種
[15]FPGA Mezzanine Card Low Pin Count: 160 ピンのメザニンコネクタ．HPC は 400 ピン

4.2.3 同軸ケーブル

使用した SMA プラグ付同軸ケーブル, HUBER+ SUHNER 社の S_04272_B の説明をする．図 4.5 に本製品の構造を示す．



要素	材質	外径 (mm)
内部導体	銀メッキ銅線	1.40
誘電体	発泡ポリエチレン	3.82
第 1 シールド	アルミフォイル	3.96
第 2 シールド	スズメッキ銅編組線	4.48
ジャケット	ポリエチレン	5.50

図 4.5: 同軸ケーブルの構造 [62]

通常のポリエチレンより損失の少ない発泡ポリエチレンを用いている．また, 漏洩特性向上のためにアルミフォイルが用いられているのがわかる．なお, 特性インピーダンスは 50Ω である．

このケーブルの減衰率を図 4.6 に示す．式で表すと

$$a\ [\mathrm{dB/m}] = 0.1970 \cdot \sqrt{f\ [\mathrm{GHz}]} + 0.0450 \cdot f\ [\mathrm{GHz}]$$

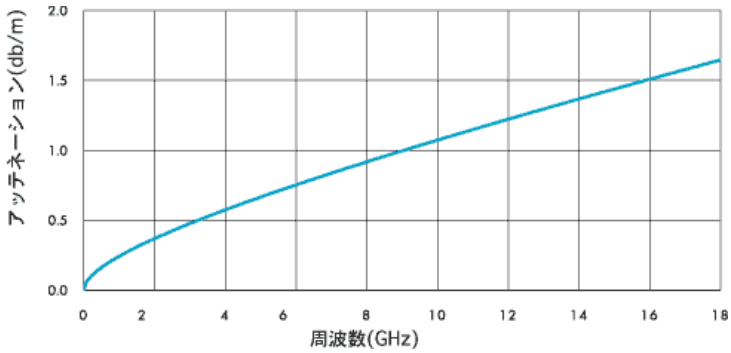


図 4.6: 同軸ケーブルの減衰率 [62]

同軸ケーブルの長さを変える際には SMA ジャック-ジャックアダプタとして HUBER+ SUHNER 社の 31_SMA-50-0-1/111_NE を用いることにする．同アダプタは 18GHz までなら VWSR $< 1.05 + 0.01f$ [GHz] を保証している [63]．ここで VSWR は Voltage Standing Wave Ratio の略で定在波の影響を表す指標であり, 1 に近ければ定在波すなわち反射が小さい．一般的な定義を以下に示す．

$$\mathrm{VSWR} = \frac{1 + |V_2/V_1|}{1 - |V_2/V_1|} = \frac{1 + \left|\frac{Z - Z_0}{Z + Z_0}\right|}{1 - \left|\frac{Z - Z_0}{Z + Z_0}\right|}$$

4.3 GTX Transceiver の検証

前節までの機材を用いて GTX の評価を行っていく．具体的には GTX の使用による電流/温度の変化量, GTX の BER (Bit Error Rate), BER ベースのアイパターンを見る．

4.3.1 電流の測定

まずは GTX を用いた場合にどれほどの電流を消費するのかを検証する．

KC705 は電圧コントローラとして Texas Instruments (TI) の UCD9248 が 3 つ用いられている．この IC は 4 つの電源レールを制御でき, さらにそれぞれの電源レールの出力電流, 温度を 12bit の ADC [16] によって計測できる [64] (温度は外部入力になる)．

3 つの UCD9248 は PMBus [17] と呼ばれるバスに接続されており, 専用の USB 変換アダプタ (TI: EVM USB-TO-GPIO) とソフトウェア (TI: Fusion Digital Power Designer GUI) を用いることで外部から電圧制御及び電流/温度のモニターができる仕組みになっている．

図 4.7: Fusion Digital Power Designer GUI 画面

図 4.7 は GUI の画面である．FPGA にデザインファイル (bit ファイルと呼ぶ) をダウンロードした直後なので, Pout (出力電力) とわかりにくいが Iout (出力電流) が変化しているのがわかる．このように 1 つの電源レールの Vin, Iin, Vout, Iout, Pout, Temperature が視覚的にわかりやす

[16] Analog to Digital Converter: アナログ信号をサンプルしてデジタル信号に変換する回路
[17] Power Management Bus: パワーサプライの制御に焦点を置いた I^2C ベースのプロトコル

く表示される．右上のプルダウンメニューを操作することで 4 電源レール × 3 IC の 12 レールを切り替えることもできる．

表 4.4 に KC705 の扱う電源レールを示す．斜線で表したのが今回測定対象にする電圧である．GTX に直接関係するのは MGTAVCC と MGTAVTT, MGTVCCAUX であるが, FPGA のメインの電圧である VCCINT_FPGA と VCCAUX も測定することにした．

表 4.4: KC705 の電源レール [55]

PMBus アドレス	レール番号	電源名	電圧 (V)	説明
52	1	*VCCINT_FPGA*	1.0	FPGA コア電源
52	2	*VCCAUX*	1.8	FPGA 補助電源
52	3	VCC3V3D	3.3	3.3V 電源
52	4	VADJ	1.8 - 3.3	調整可能電源
53	1	VCC2V5_FPGA	2.5	FPGA 用 2.5V 電源
53	2	VCC1V5	1.5	1.5V 電源
53	3	*MGTAVCC*	1.0	GTX アナログ電源
53	4	*MGTAVTT*	1.2	GTX 終端用電源
54	1	VCCAUX_IO	2.0	FPGA 補助電源
54	2	VCC_BRAM	1.0	BRAM[18]用電源
54	3	*MGTVCCAUX*	1.8	GTX 補助電源
54	4	未使用		

測定方法

測定するコンフィギュレーションは表 4.5 を用意した．表中の値は全ラインレートの和 (Gbps) である．これにより消費電力の GTX レーンの数による違いとラインレートによる違いを調べることができる．なお lane 8 については 3m の同軸ケーブルによる外部ループバックをさせる (図 4.8)．他のレーンについては外部ループバックできないので Near-End PMA Loopback に設定してある．これは TX の PMA から RX の PMA に直接データを渡すパスである．

デザインは ChipScope Pro IBERT [19] Kintex7 GTX (2.01a) IP コア [61] を用いて生成した．生成した bit ファイルを KC705 の FPGA にダウンロードしてから 30 分以上放置し, Fusion GUI に表示された電流値を記録する．

ここで ChipScope Pro[60] とは, 各種ソフトウェアツールと対応する IP コアのセットを用いて FPGA を外部から診断することを可能にする技術である．ロジックアナライザや BER 計測などの機能を提供しており, Xilinx JTAG [20] ケーブルで手軽に FPGA のデバッグ等を行うことができる．

[18]Block RAM: Xilinx FPGA 内に配置されている RAM

[19]Integrated Bit Error Ratio Test: BER 計測を目的とした Xilinx 社の IP コア及びツール

[20]Joint Test Action Group: IC 内部のセルを順々に読み出すバウンダリスキャンの規格．IEEE1149.1 に規定されている [42]

表 4.5: 測定対象のコンフィギュレーション

	2.5G	5.0G	10G
lane 8 only	2.5	5.0	10
lane 8〜11	10	20	40
lane 8〜15	20	40	80

図 4.8: ループバックの様子

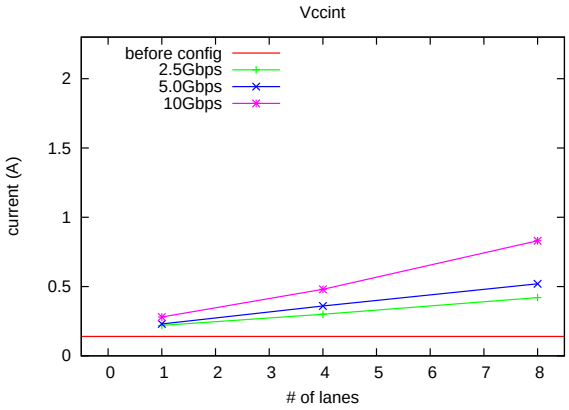
測定結果

VCCAUX の電流はどのコンフィギュレーションでも 0.13±0.02[A] で変化は見られなかった．また MGTVCCAUX についても同様に 0.02±0.02[A] で変化はなかった．

図 4.9, 4.10, 4.11 にそれぞれ VCCINT, MGTAVCC, MGTAVTT の電流値の測定結果と線形近似式を示す．なお MGTAVTT においては 3 つのラインレートで同じ値とみなし, 平均の線形近似式を示している．

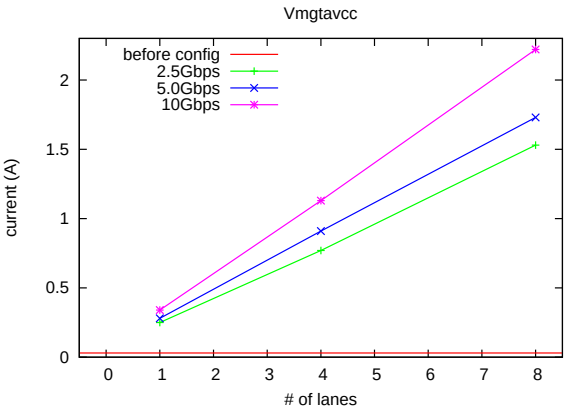
VCCINT, MGTAVCC はレーンの数について線形近似できる．1 レーン増えるごとの増分はラインレートにより異なるが, レートが大きいほど増す．一方 MGTAVTT はレーンの数で線形近似できるものの, ラインレートによる差は見られなかった．

結果よりこの FPGA (XC7K325T) で達成できる総ラインレート 10Gbps × 16 = 160Gbps で運用しようとする場合, MGTAVCC 及び MGTAVTT には少なくとも 5A の出力を確保できるレギュレータが必要であると推測される．一般的な IC の使用する電力よりも大電流であるので, Kintex-7 FPGA を用いた基盤を設計する際は注意しなければならない．



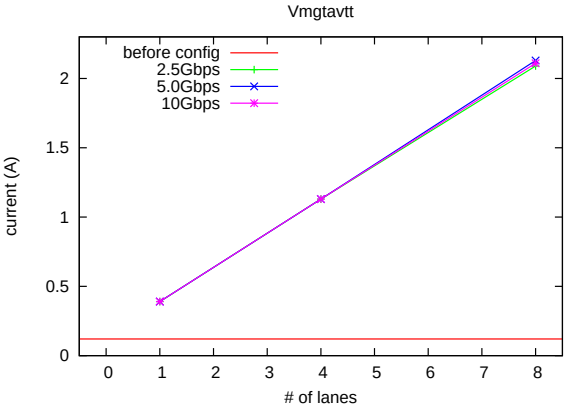
line rate	current (A)	R^2
10G	$I = 0.0791n + 0.1874$	0.9989
5G	$I = 0.0414n + 0.1908$	0.9995
2.5G	$I = 0.0286n + 0.1892$	0.9989

図 4.9: VCCINT に流れる電流



line rate	current (A)	R^2
10G	$I = 0.2688n + 0.0653$	0.9999
5G	$I = 0.2070n + 0.0762$	1.0000
2.5G	$I = 0.1832n + 0.0559$	0.9993

図 4.10: MGTAVCC に流れる電流



average current (A)
$I = 0.2457n + 0.1454$

図 4.11: MGTAVTT に流れる電流

4.3.2 温度変化の測定

続いて GTX を用いた場合に FPGA にどれほどの温度変化があるのかを検証する．Fusion GUI でも温度はモニターできるが, 知りたいのはレギュレータの温度ではなく FPGA 自体の発熱具合なので, 異なるツールを用いる．

Kintex-7 FPGA は標準で XADC と呼ばれる ADC を搭載しており, PCB [21] 上であらかじめ専用の配線をしておけば ADC 入力ピンと内部のセンサーを利用することができる．センサーには VCCINT, VCCAUX, VCCBRAM 等の FPGA 電源の電圧を計るものとダイ[22]上の温度を計るものがある．今回はこの XADC による温度測定を採用する．モニターは図 4.12 のように ChipScope Pro の XADC コンソールで行うことができる．

[21] Printed Circuit Board: プリント回路板
[22] 半導体チップのこと．製造過程でシリコンウエハから切り離されたものを言う

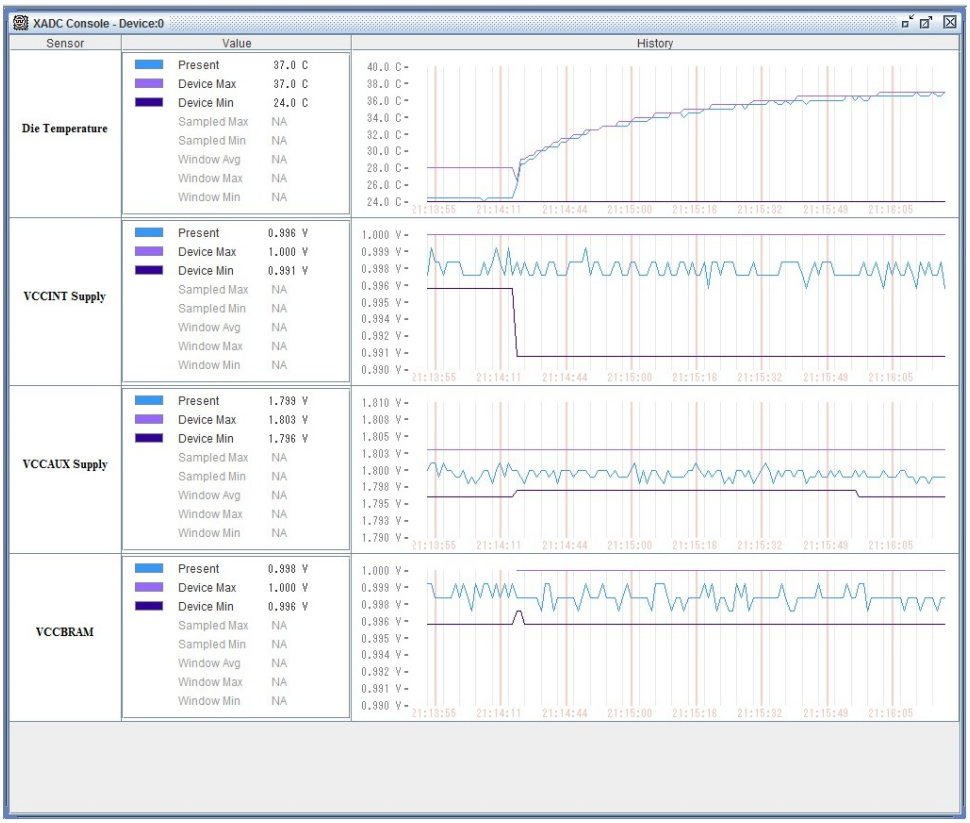


図 4.12: XADC のコンソール

測定方法

KC705 の FPGA に bit ファイルをダウンロードしてから 30 分以上放置し, XADC コンソールに表示された温度を記録する. 測定するコンフィギュレーションは電流計測の時と同じで表 4.5 を用意した. その他測定条件も同じにしてある.

測定結果

図 4.13 に温度の測定結果を示す. また, 3 つの平均の線形近似式は次のように求まった.

$$T = 1.20n + 27.85$$

どのラインレートでも一様に温度が上昇しているが, ラインレートによる差異はあまり見られない (XADC の温度測定誤差は ±4 ℃である [54]). 線形近似するとおよそ 1.2 ℃/1 レーン の上昇になる. しかし FPGA の外気に対する熱抵抗 (θ_{JA}) は 10.4 ℃/W[58] なので, 8 レーン (約 5W) では 50 ℃の上昇があってもよいはずである. それがここまで抑えられているのはヒートシンク及びファンのおかげであると思われる. 以上より, 大量の GTX レーンを用いる場合には KC705 と同様にヒートシンクを使用すべきである.

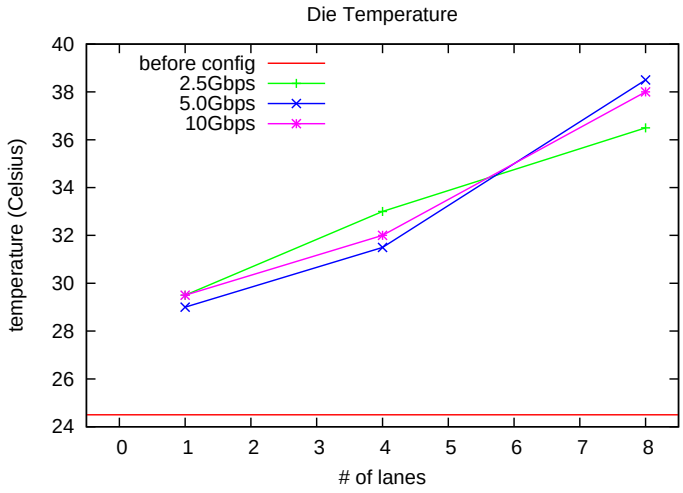


図 4.13: FPGA ダイ上の温度

4.3.3 ビットエラーレート測定

次に, Xilinx 社の ChipScope Pro IBERT[60] を用いて BER の計測をする. IBERT は IBERT IP コアの組み込まれた FPGA と PC を JTAG 接続することで, GUI 上で GTX の制御及び BER の計測ができるツールである. 図 4.14 に IBERT の画面を載せる.

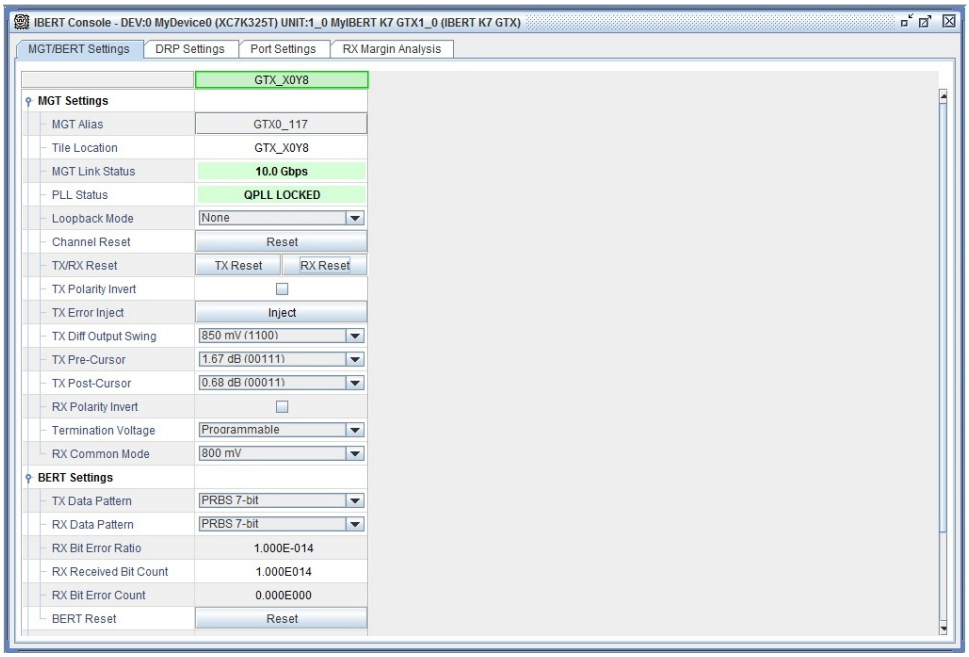


図 4.14: IBERT 画面

BER 算出の仕組みは次のようなものである．TX 側は Pattern Generator でテストパターンを生成する．RX 側は PRBS Checker がシリアルストリームの中から PRBS パターンを 20bit ずつ読み込み, この中にエラーがあればカウントを+1 させる．総受信データとエラーカウントの比をとることで BER を割り出す．

PRBS は統計的にはランダムであるが次のビットを予測できるので, Signal Integrity (SI) のテストにしばしば用いられる．例として PRBS-7 の生成方法を図 4.15 に示す．

GTX は PRBS-7, 15, 23, 31 をサポートしている．PRBS-n なら最大で n ビット前の自身の情報と XOR をとるので, 0 または 1 が n+1 ビット続くことはない．本実験では 8b10b の通信のテストに用いられている PRBS-7 を使用する．

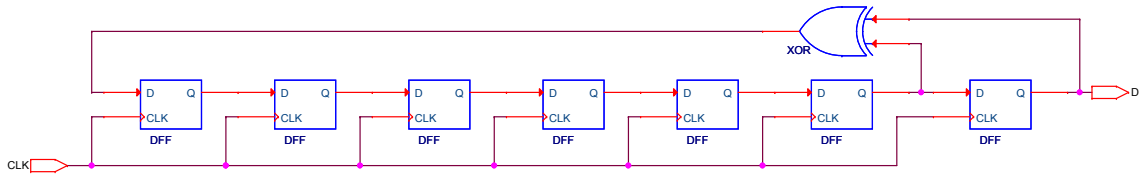


図 4.15: PRBS-7 の生成回路

測定方法

測定は 10Gbps の信号を SMA TX± から出し, 同軸ケーブルを通して SMA RX± にループバックさせて行う．最低 10^{14}bit のデータをとり, その時点の BER を記録する．同軸ケーブルの長さを変えていって BER の変化を見る．

測定結果

結論から述べると, 3m〜14m の範囲において全て BER$< 10^{-14}$ を達成した．逆に言えば受信エラーは観測されなかった．図 4.6 より 14m の長さの場合 10GHz で 15dB, 18GHz で 23dB 落ちているはずである．にも拘わらずエラーがないのは直感に反する．より多く情報を得るため, 次にアイパターンの測定を行った．

4.3.4 アイパターン測定

前小節では同軸ケーブルの長さによる BER の違いは見られなかったが, 実際の波形は必ず変化しているはずである．それを確かめるためにアイパターンの測定を行う．

アイパターンとは特定のビットシークエンスを重ね合わせることで見える開いた “目” のようなパターンのことである．図 4.16 (左) にアイパターンの例を示す．アイパターンは高速な信号の SI について議論する際には必ずと言っていいほど出てくる概念である．SI の良い信号では中心の目が大きく開いたパターンが見え, 一目で信号の質を読むことができる．

GTX は 20%-80%の立ち上がりが 40ps[54] であり, オシロスコープできれいな波形を見ようと思ったら 20GHz 程度の帯域を備えたものを用いなければならない．手近にこのような広帯域オシ

ロスコープはないので実際の波形を見ることはできないが, IBERT はオシロスコープがなくてもアイパターン状の波形を取ることができる機能を備えている. それが統計的アイである.

統計的アイとは IBERT の RX マージン解析機能を用いて描かれた, 水平方向 (時間軸) と垂直方向 (電圧軸) のエラー率のマップである. 統計的アイをとるには図 4.16 (左) のように Data Sample と Offset Sample という 2 つのサンプリング点を用いる. Data Sample は通常のサンプリング点で, Offset Sample とはここから水平方向及び垂直方向にオフセットを持たせたサンプリング点である. この 2 点でデジタイズしたデータに違いがあればエラーとしてカウントしていき, エラー率を Offset Sample 点の位置でマップすると図 4.16 (右) のようなアイパターンに似た図が描ける. これを統計的アイと呼ぶわけだが, もちろん実際の波形を見ているわけではないので本来の意味のアイパターンとは異なる.

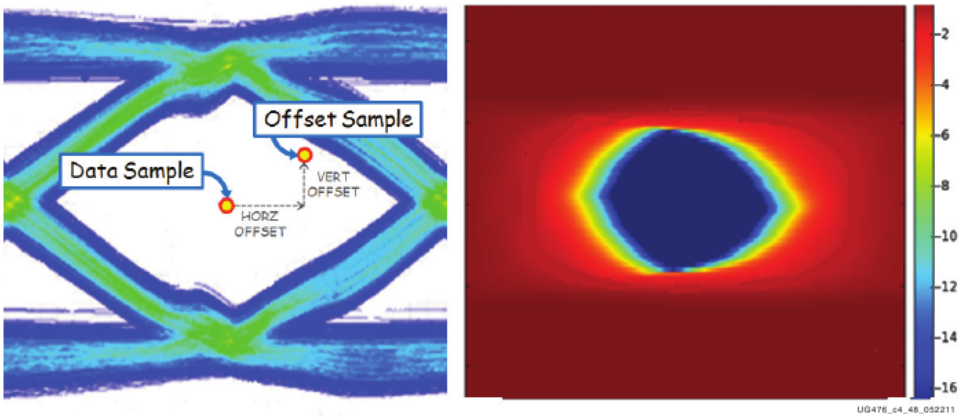


図 4.16: アイパターンの例 [59]

統計的アイを生成する部分のブロック図を図 4.17 に示す. 垂直方向のオフセットは DAC [23] により受信データに加算され実現し, 水平方向のオフセットは PI [24] でクロックの位相をずらして生成していることがわかる.

統計的アイをとる意義としては, 実際に受信したデータを用いたプロットであるので RX 側の特性も見ることができる点がある. 特にイコライザの効果を見られるのは大きい. また, サンプリング数が多いのでオシロスコープでは見えない低頻度のノイズによる影響も見ることができる [59].

測定方法

測定は再び 10Gbps の信号を用いる. 同軸ケーブルをループバックさせ, ケーブル長による統計的アイの変化を見る. 同軸ケーブルの長さは 3m, 5m, 7m, 9m, 11m, 14m と変えた.

[23] Digital to Analog Converter: 離散値をアナログ波形に変換する回路
[24] Phase Interpolator: 入力クロックと位相のずれたクロックを生成する. CDR 等に用いられる

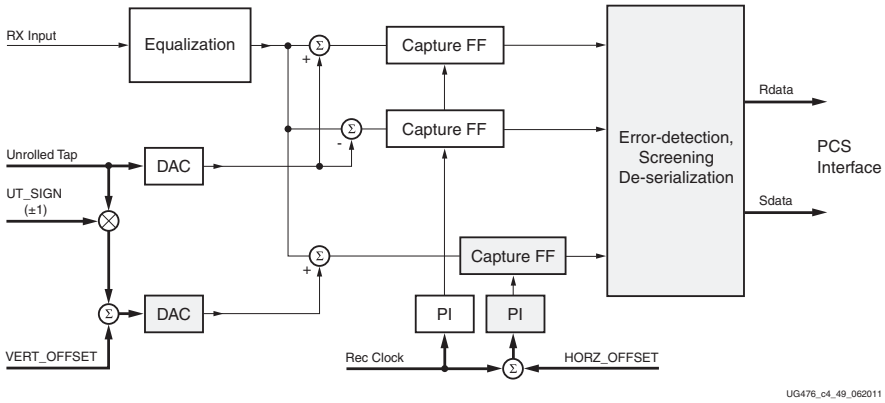


図 4.17: 統計的アイ生成部のブロック図 [59]

測定結果

次ページに実際に測定した統計的アイを載せる．縦軸はサンプリング点の電圧 (単位: オフセットパラメータ), 横軸がサンプル点の位相 (単位: UI) である．3m では他と形が大きく異なる点, 14m でつぶれている点が気にかかる．

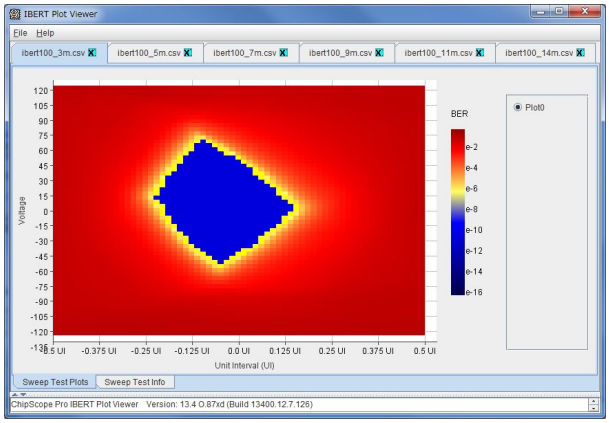


図 4.18: ケーブル 3m の統計的アイ

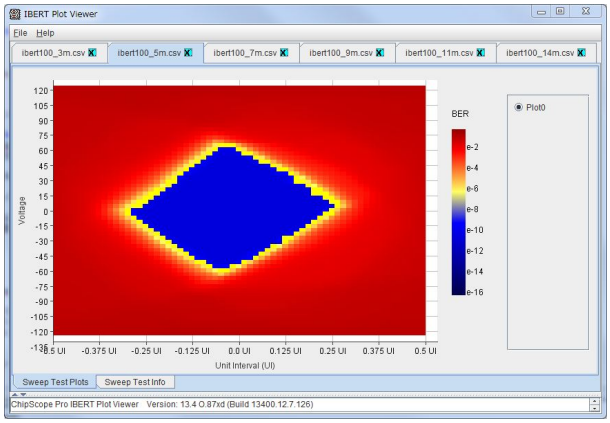


図 4.19: ケーブル 5m の統計的アイ

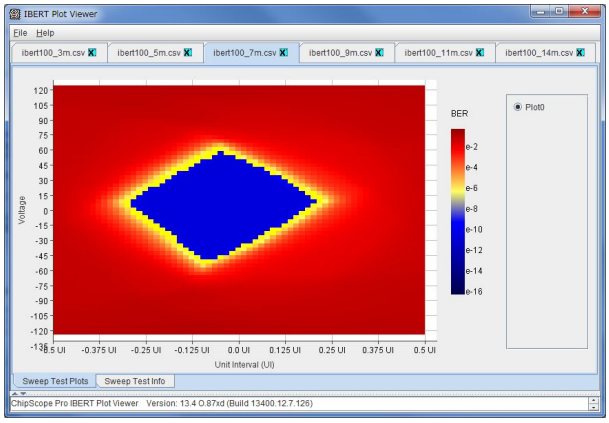


図 4.20: ケーブル 7m の統計的アイ

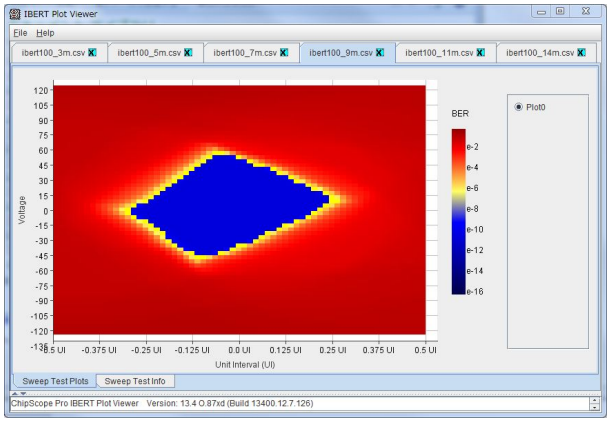


図 4.21: ケーブル 9m の統計的アイ

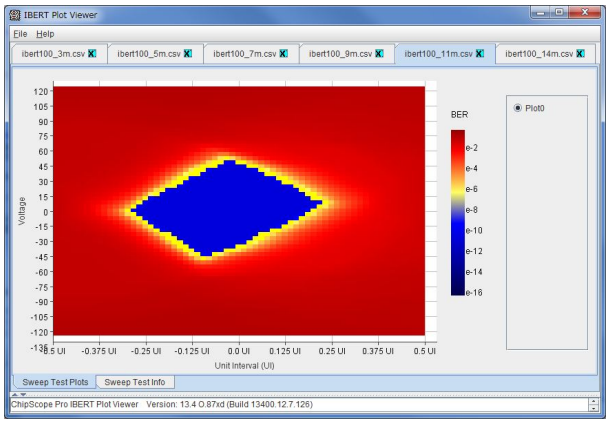


図 4.22: ケーブル 11m の統計的アイ

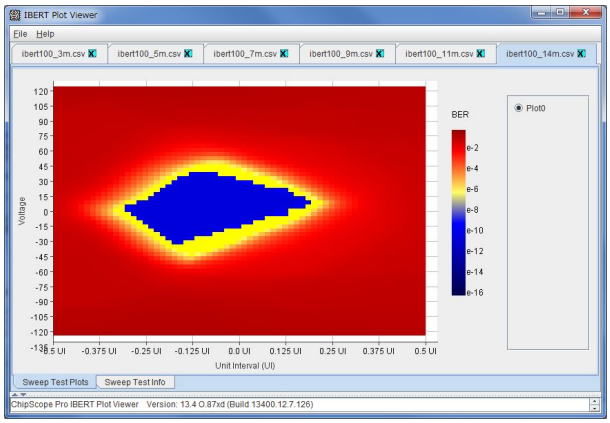


図 4.23: ケーブル 14m の統計的アイ

結果の解釈

GTX RX ブロックまで立ち戻ると, CTLE と DFE の 2 つのイコライザを用いていることがわかる. 前者はアナログ回路で構成されているリニアイコライザであり, 継続的に効果を与える. 周波数応答は図 4.24 のようになっており, GHz 領域を 2〜9dB 増幅することができる. 一方 DFE はビットごとに適切なフィードバックを重ねるデジタルフィルタである. 単純に周波数応答で表すことはできないが, CTLE と異なりきめ細かな補償ができる.

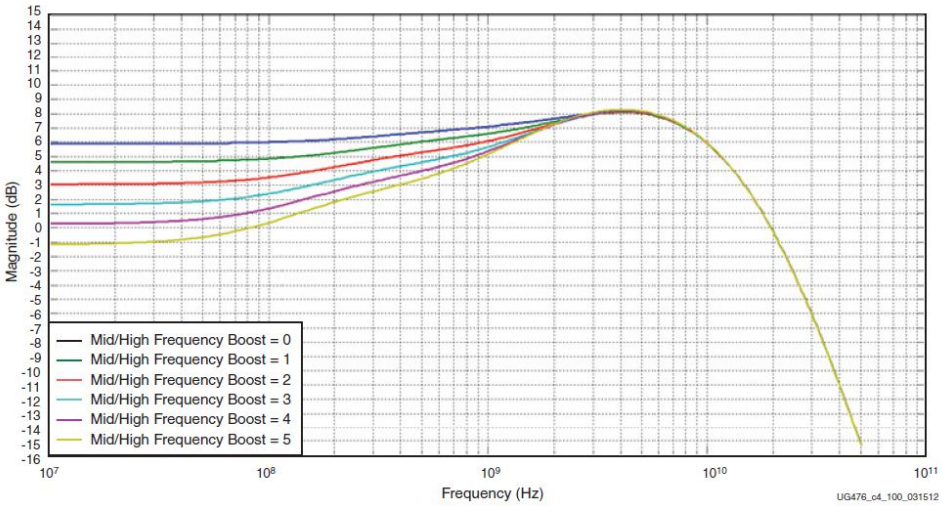


図 4.24: CTLE 周波数応答 [59]

CTLE と DFE は前者が高周波補償, 後者が ISI の除去というように相補的に用いられる. 今回の実験の場合, CTLE で高周波に 6dB のゲインをかけ, DFE を通過した後の波形で BER を測定している. DFE は周波数特性で表せず, 自動的に最適化されるため定量的な議論はできない. ここではケーブルの減衰と CTLE の補償のみ考える. なお, イコライザとは別に全体に AGC (Automatic Gain Control) のゲインがかかるため, 絶対値にはあまり意味はない.

図 4.24 にケーブルの減衰特性を書き加えたものを図 4.25 に示す. CTLE がちょうどケーブルの減衰の大きい部分を補償していることがわかる. 10Gbps のナイキスト周波数[25]である 5GHz で見ると, 減衰に CTLE の補償を足した値は 3m から順に+4.2, +2.9, +1.5, +0.2, -1.1, -3.0dB である. これより, 14m でアイの形が平たくなっているのは補償が足りていないためと推察できる. また, 3m では逆に補償しすぎであると思われる. 高周波成分が過剰にブーストされるので, アイの横幅が狭まり歪んでしまったと解釈できる.

以上より, 適切なイコライザをかけないと波形をゆがめてしまうことがわかった. ここで今回の実験で最適なイコライザのかけ方を考えてみることにする. 5GHz で 0dB 程度とすると, 3m の減衰が-2dB であることから, 図 4.25 中の Frequency Boost = 0 とすればよさそうである. 一方 14m では減衰が 9.3dB であることから, Frequency Boost = 5 のブーストをかけることができる.

[25]サンプリング点から復元できる最大の周波数で, サンプリング周波数の 1/2 (サンプリング定理). ここでは周波数の目安程度の意味で用いている

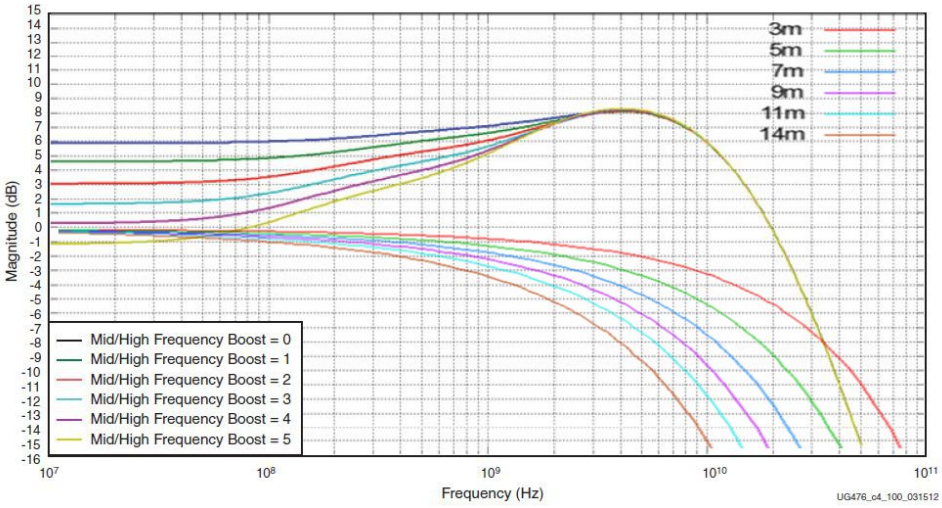


図 4.25: CTLE 周波数応答+ケーブルの減衰

4.4 結論

本章では MGT の一種である GTX Transceiver の検証を, Kintex-7 評価キットである KC705 を用いて行った. 10Gbps で電流値を測定したところ, 2 種類の GTX アナログ電源で, それぞれ 250mA/レーン 程度の電流が流れていることがわかった. FPGA のコア電源においては 80mA/レーン 程度消費していた. また, FPGA ダイの温度を計測したところ, ラインレートに依らずおよそ 1.2 ℃/レーン の温度上昇が認められた.

同軸ケーブルの長さを変えながら BER の測定を行ったところ, 14m までの長さで BER $< 10^{-14}$ を確認した. 統計的アイという手法で波形を観察したところ, 同軸ケーブルの長さにより歪みのあるものが存在した. これは適切にイコライザの設定ができていないためと思われる.

ATLAS ではどのように使われうるかを考える. レイテンシが一定になるように 40MHz の整数倍のクロックで動作し, 8b10b で動かすという制約をつける. この場合の最速のコンフィギュレーションは

$$200\text{MHz} \times 32 \times 10/8 = 8\text{Gbps}$$

である.

例として NSW から BW にセグメント情報を送る場合を考える. 詳細は後述するが, 1 トラックにつき 16bit の情報を, 4 トラックでまとめてファイバーで送ることを想定している. この場合 16bit $\times$ (4 $\times$ 40MHz) $\times$ 10/8 $=$ 3.2Gbps であり, 十分に余裕がある. GTX ならさらに 2 倍の 32bit $\times$ (4 $\times$ 40MHz) $\times$ 10/8 $=$ 6.4Gbps で転送することもできる. このように, 800Mbps の G-Llink に比べてかなり資源が節約できる.

第5章　Sector Logic アップグレード用プロトタイプの開発

フェイクミューオンを落とすために phase-1 upgrade において NSW を導入することが決定された．NSW と BW の間で適切にコインシデンスをとることで, 大幅にレートを落とすことができる．この新たなコインシデンスロジックを導入するため, Sector Logic (SL) ボードをアップグレードしなければならない．

私は前章までで実証された 2 つのギガビット通信技術を盛り込んだ SL プロトタイプを制作した．本章にてその詳細を述べる．

5.1　Sector Logic ボードのアップグレード計画

まず SL のアップグレード計画について, 現在考えられている構想を述べる．

5.1.1　アップグレードの動機

phase-1 で行うことを簡潔にまとめると, NSW セグメントにおける IP 指向性の高いトラックと BW の RoI の間でコインシデンスをとるということである．まず IP 指向性の高いトラックの選別は, NSW のフロントエンドエレクトロニクスで $d\theta$ が大幅に 0 から外れているものを除外することで行う．こうして残ったトラックをいくつかまとめて BW の SL に送り, BW におけるトラック候補とコインシデンスをとる．このコインシデンスは IP とセグメントを結ぶ直線と RoI が離れすぎていないことを要求するもので, オフライン解析における dL カットに相当する．

最後のコインシデンスは BW で $R-\phi$ コインシデンスのとれた高 p_{T} トラック候補と行うので, タイミングとしては SL の $R-\phi$ コインシデンス LUT の後に行えばよい．このため SL には現行の HpT ボードからの入力の他に NSW からの入力を受けなければならず, ファームウェアだけでなくボード自体のアップグレードが必要になる．逆に言うと phase-1 では HpT より以前は何も変更する予定はない．

以上は避けられないアップグレードであるが, これに際してリードアウト部も大幅に変更する計画がある．現行のボードでは読み出しのために PS ボード用の SLB ASIC を用いている．SL 制作時に開発時間と労力の節約のために導入されたものと思われるが, いくつか弊害もある．すなわち読み出しのために専用の SSW クレートを用意し, ROD へ送信している点である．この少々回りくどい手続きをなくし, ROD を通さず自由に読み出しデータにアクセスできるように, 独自の読み出しラインを構築したい．その際, 読み出しの手段として GbE を用いることで, 後の処理を単純化しようと考えられている．

イメージ図を図 5.1 に載せる．左が今の読み出しラインで, 余計に SSW クレートを使用している．右は新しい読み出しラインで, イーサネットスイッチを介して PC にデータを渡すことができる．

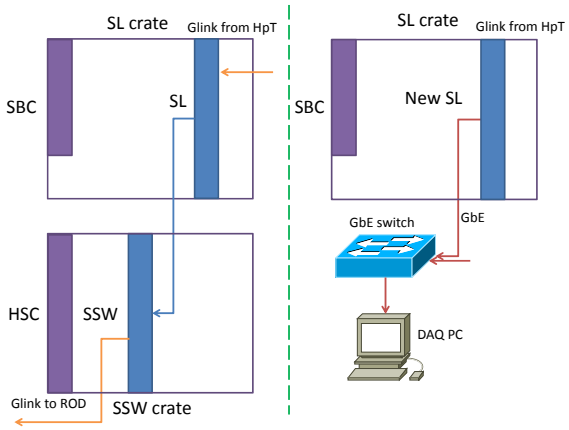


図 5.1: SL のリードアウトのイメージ

5.1.2 New Small Wheel への要求

新 SL には NSW からの入力が入るが, どのようなデータが必要か考えなければならない. そのためまずは現段階の NSW の概要を説明する.

NSW は $z \simeq 7$m において SW と同じく $1.3 < |\eta| < 2.7$ をカバーする. MM + sTGC を用いており, ともに 4 層構造の quadruplet で構成される. IP から見て sTGC 4let, MM 4let, MM 4let, sTGC 4let のように並べられ, sTGC 及び MM にそれぞれ 8 点衝突することになる.

バレルトロイド磁石の空間的制約から NSW は 8 回対称になる. コイルにあたる部分には 8 つの小さなセクター (Small sector), その間を 8 つの大きなセクター (Large sector) が埋める. これを図示したものが図 5.2 である.

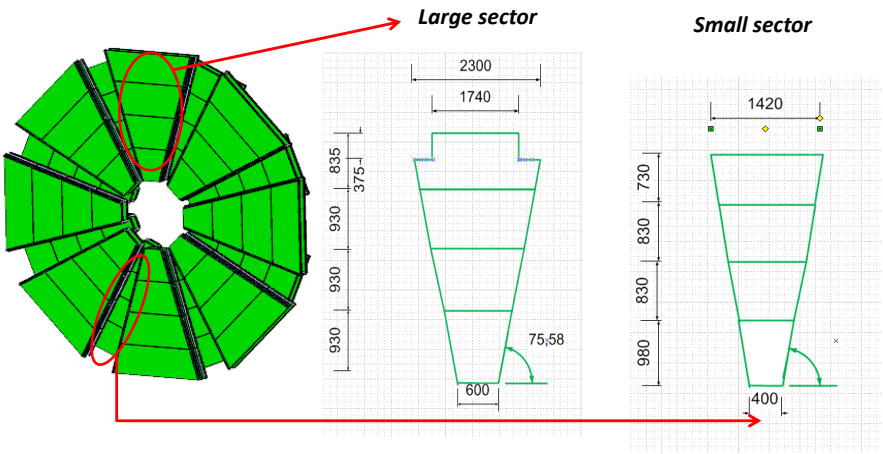


図 5.2: NSW の外観 [14]

このNSWフロントエンドエレクトロニクスで生成されたデータを, 光信号によりUSA15のSLまで届けることになる. その際, BWサイドがNSWサイドに要求するのは次の三点である.

- 角度分解能1mrad
- 40MHzで動作し, バンチごとのデータが前後しない
- 限られたレイテンシの間にBWエレクトロニクスにデータを届ける

一点目は$d\theta$による適切なカットを用いるために必要な最低限の分解能である. 二点目及び三点目はバンチクロッシングごとに適切にデータを処理するために必須である. レイテンシについては特に44クロック以内にSLに到達していることが求められる.

ここでBWが受け取るべきデータの考察を行う. 具体的にはNSWフロントエンドで$d\theta$カットに用いた$d\theta$の値と, BWとのコインシデンス (dLカット) を行うためのセグメント情報η, ϕが挙げられる. まず$d\theta$についてであるが, 角度分解能1mradで15mrad程度のカットをかければ十分である. これより4bitと正負ビットの5bitで十分である.

ηについて考えるのに, NSWのRoIのグラニュラリティを仮定しなければならない. BWエンドキャップ領域についてはおよそ$\Delta\eta$が0.025, $\Delta\phi$が0.033であり, これと同水準かさらに細かいグラニュラリティが求められる. ここではBWと同じこれらの値を仮定する.

BWと重なるηのカバレッジは1.3-2.4なので, RoIの数は$(2.4-1.3)/0.025=44$となる. ϕはSmall sectorとLarge sectorで異なるが, それぞれ1/24, 1/12円の範囲とするとSmallのRoIの数は$2\pi/24/0.033=7.9$, Largeで$2\pi/12/0.033=15.9$である. ηとϕを合わせたRoIの総数は結局$44\times8=352$, $44\times16=704$になり, ここから考えてRoIのビット数は10bitでよい.

以上より$d\theta$, η, ϕにヒットフラグを合わせて, 1トラックにつき都合16bitの入力となる. 次にこのトラックをいくつ供給してもらう必要があるかを考える. 今と同じようにBWの1つのトリガーセクターから高々2つの高p_{T}候補トラックが出せればよいと考えると, 1/8円の中のトリガーセクターは9つあるので18トラックになる. 4トラック分を1つのファイバーに入れて送信できれば都合が良いので, 4の倍数で区切ってLargeから12トラック (3ファイバー), Smallから8トラック (2ファイバー) を要求するとよい.

5.1.3 新Sector Logicの概要

ここでは新SLの概略についてまとめる. SLの機能を入力部とコインシデンス部, リードアウト部に分けて考える. なお基本的に現在のEC-SLボードについて述べるが, FW-SLボードでも本筋に変わりはない. また, カバーする範囲も2トリガーセクターを想定する.

入力部

まずはこれまでのHpTと同じ入力がある. EW-HpTからは7トラック分のHigh/Low-p_{T}トラックが送られてくる. 1トラックにつき10bitであり, 70bitを4本のG-Linkファイバーでまかなっている. 一方ES-HpTからは4トラック分のHigh/Low-p_{T}トラックが送られてくる. 1トラックにつき9bitであり, 36bitを2本のG-Linkファイバーでまかなう. ただし, 実際には送信幅が17bitのG-Linkに詰めるために, 自明なビットを除いたりファイバー間でビットの調整を行っている. このため受け取るのはトリガーセクターあたり$17\times5+16=101$bitである.

これとは別に NSW からの入力が入る．NSW と BW のコインシデンスをとるのに, SL はどの NSW sector の RoI 情報が必要かを考える．BW の 1 つの RoI に対応する NSW の RoI は広げてとる必要があり, 必ずしも 1 つの NSW sector だけの入力で足りるとは限らない．

NSW の RoI をどれだけ広くとればよいかについては, dL カットの大きさに依存する．ここでは図 2.22 のオフライン解析の値 [17] に倣い $d\eta$ が 0.07, $d\phi$ が 0.06 でカットすると仮定する．η の 0.07 は現 BW の RoI に換算して 3RoI, ϕ の 0.06 は 2RoI である．つまり NSW のある RoI でヒットがあったトラックは η は ±3RoI, ϕ は ±2RoI まで許容できるということである．

したがって例えば Large sector でヒットのあったトラックが, 境界を越えて BW の Small sector に対応する領域まではみ出してくることがある．参考として現在の BW に Large/Small sector の境界を書き込んだ図を図 5.3 に示す．この図では Large/Small sector が 28°/17° として仮定している．

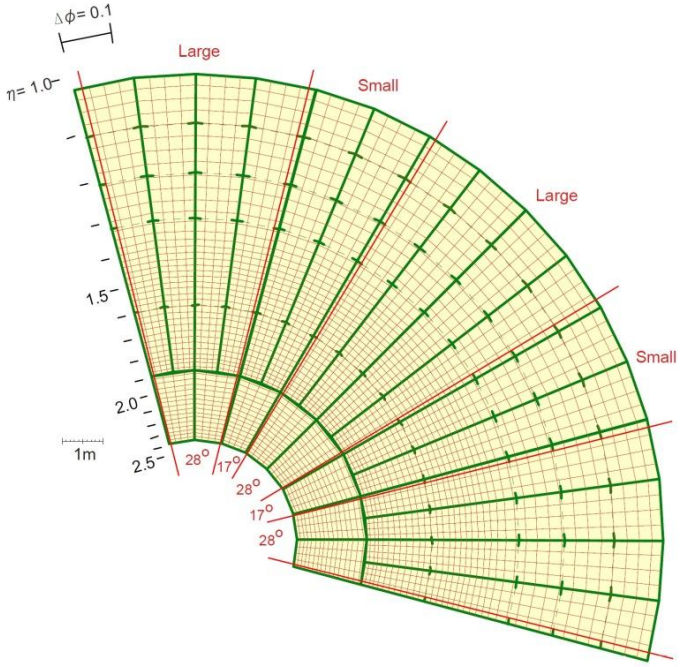


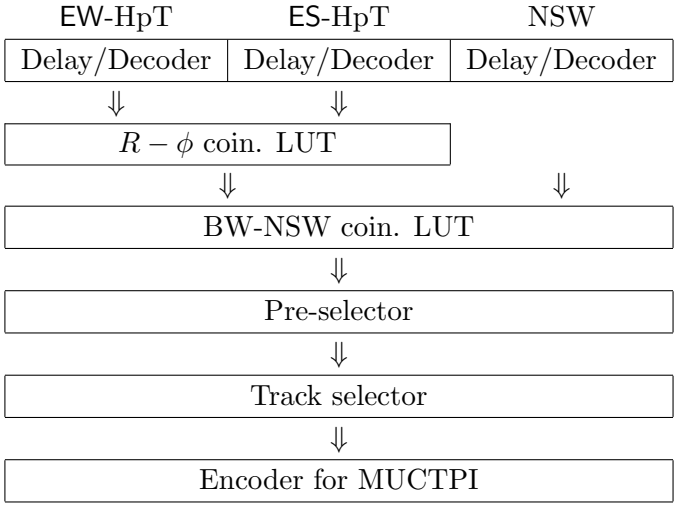
図 5.3: BW と NSW sector の対応例 [33]

SL の入力としては Large sector からの 3 ファイバー, Small sector からの 2 ファイバーを受けられるようにしておけばよい．複数の SL にファイバーを入れる必要が出てくるので, 適宜光信号をファンアウトしておく．1 ファイバーは 4 トラック分のデータを含んでおり, 1 トラックは前述の通りヒットフラグ 1bit, $d\theta$ 5bit, RoI 10bit である．HpT と合わせて $101 \times 2 + 16 \times 4 \times 5 = 522$bit がありうる最大の入力となる．入力されたデータはディレイ回路をはさんでタイミング調整された後, フォーマットに則ってデコードされ, 後段のコインシデンスロジックに備える．

コインシデンス部

コインシデンス部はトリガーセクターごとに用意され, 大部分は現行のボードと同じである. 異なるのは $R-\phi$ コインシデンス LUT の後に NSW とのコインシデンスをとる LUT が追加される点である. 表 5.1 に考えられているコインシデンス部のブロックダイアグラムを示す.

表 5.1: 新 SL のコインシデンス部

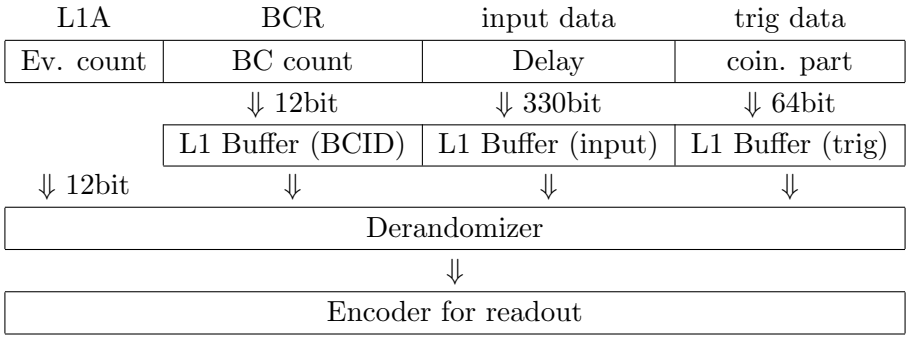


BW-NSW のコインシデンスでは, $R-\phi$ コインシデンスで選出されたトラック候補の RoI に対して NSW とのコインシデンスをとる. η は ±3RoI, ϕ は ±2RoI の範囲に NSW のトラックがなければその RoI のトラックは落とす. 残ったトラック候補を Pre-selector, Track selector により 2 つに絞り, コーディングして MUCTPI へ送る.

リードアウト部

現在 SLB ASIC で代用している SL のリードアウト部を FPGA 内に埋め込むことを想定している. SLB ASIC と大きく異なるのは, コインシデンス部を排する点と, エンコーダを SiTCP にする点である. 表 5.2 にリードアウト部のブロックダイアグラムを示す.

表 5.2: 新 SL のリードアウト部



読み出すデータは NSW のデータを含む SL ボードへの入力, および 2 つのコインシデンス部で生成されたトリガーデータである. NSW のデータは複数の SL ボード間でファンアウトするので, オーバーラップを加味して 1 つの SL 当たり 8 トラック (= 128bit) 程度を考える. また, トリガーデータは現 SL ボードで 32bit であるが, ここでは倍の 64bit 分用意している. これらにバンチカウンターから BCID を付加し, L1 Buffer に格納する. BCID は SLB では 4bit に削っていたが, ここではその必要もないので 12bit 程度用意する. 幅はこれで $202 + 128 + 64 + 12 = 406$bit になる. 深さは phase-2 でレイテンシが長くなることを想定して 1k ほど用意する.

L1A が発行されたらイベントカウンタから 12bit の L1ID を付加し, 前後 3 バンチをデランダマイザに渡す. デランダマイザは FIFO 構造をしており, エンコーダとの間のフロー制御を行う. デランダマイザに必要な深さは, 待ち行列理論から導ける. 入力データ量を λ, 処理能力を μ とすると平均使用率 ρ は

$$\rho = \frac{\lambda}{\mu}$$

さらに $M/M/1/K$ [1] の系において系の容量 K が全て満たされる確率 (輻輳確率) P_K は [67]

$$P_K = \frac{(1-\rho)\rho^K}{1-\rho^{K+1}}$$

入力のデータ量はトリガーレートが 100kHz の場合, $\lambda = (406+12) \times 3 \times 100\text{kHz} = 125.4\text{Mbps}$ である. これは SiTCP を 100Mbps で使用した場合では処理できないので, 1Gbps (実効スループット合計 893Mbps) の環境で考える. 6 台の SL のデータをこの中に入れるとして, 1 台あたりの処理能は $\mu = 893/6 = 148\text{Mbps}$ となる. よって

$$\rho = \frac{125}{148} = 0.844$$

$\rho = 0.844$ に対して計算すると図 5.4 のようになる. $K = 9$ で 2σ, $K = 24$ で 3σ がカバーされる.

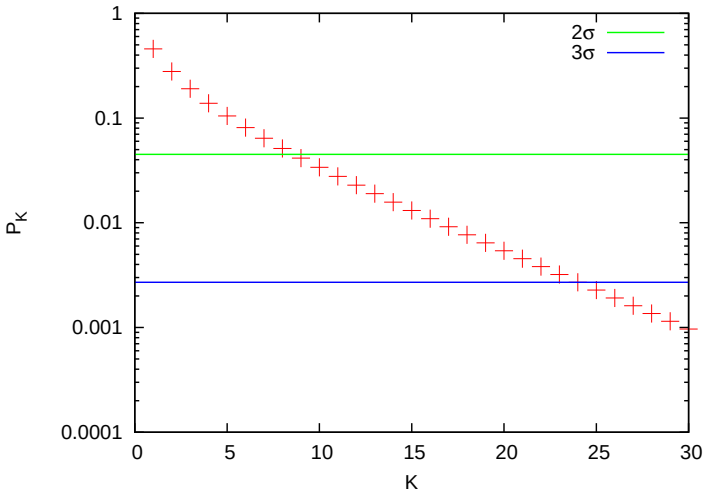


図 5.4: 系のサイズと輻輳確率

[1] 入力と処理がともにマルコフ過程 (状態が持続する確率が過去の状態に依存しない), 窓口が 1 つ, 窓口を含めた系全体の容量が K

最後に SiTCP でデータをエンコードした後, PC に送信する. 先に計算したように 125Mbps を読み出さなければならないので 1Gbps の環境を用いる必要がある. また, 6 台程度の SL 出力を 1 つのネットワークにまとめることがでる.

5.2 PT7 の開発

私は新 SL の入力から読み出しまでを行うプロトタイプモジュールとして, ProtoType 7 (PT7) を制作することになった. SL のリードアウトフローが再現できるように, 入力に GTX Transceiver (GTX), 出力に SiTCP を搭載し, なおかつ汎用性を持ったボードとした. 本節ではこの PT7 の仕様の決定に至るまでの経緯を説明する. なお, コインシデンス部のロジック開発については行っていないので, リファレンス [26][30] を参照されたい.

5.2.1 開発目的

本プロトタイプでは以下のような目的をもって開発を行った.

1. 新 SL リードアウト部のプロトタイプとして, 大容量のインプットと TCP によるアウトプットを備えた VME モジュールを制作する
2. NIM [2] 入出力やメザニンカードに対応するなど, 汎用モジュールとしての機能をもたせる

1 についてはボードが完成したら実際のリードアウトロジックを FPGA に実装し, テストベンチを用いてデータ収集の R&D を行う予定である. テストベンチに関する議論は後の節に譲る. リードアウトを再現することに主眼を置いてはいるが, もちろん SL のコインシデンス部の開発のための使用も可能である.

2 について, 現行 SL は 9U サイズの VME モジュールであるが, 汎用性を持たせるために 6U サイズにした. 後述のように NIM によるトリガーの入出力やメザニンカードによる多彩なインターフェースの増設により, 汎用モジュールとして使用できるような設計とする. TCP による読み出しも重宝することと思われる.

5.2.2 要求される性能

前節の議論を元に, PT7 に求められる性能は以下のようなものになる.

入力部

入力には従来の HpT からの 202bit と NSW からの 320bit が LHC クロックである 40MHz で入る. つまり $(202 + 320) \times 40\text{MHz} = 20.88\text{Gbps}$ である. この入力を再現できるだけの手段を用意しないといけない.

PT7 では第 4 章で検証した GTX を用いてこの入力をまかなうことにした.

[2] Nuclear Instrument Modules: 放射線測定標準モジュール

バッファ

新 SL では前述のように SLB ASIC を排して FPGA の中にバッファを置く．L1 Buffer では 522bit の入力データに加えてトリガー情報 64bit と BCID 12bit を加えてバッファ (〜1k) する．デランダマイザではさらに L1ID を加えてバッファする．

Kintex-7 FPGA には 36Kb BRAM が 445 個入っている [57]．これを 72bit 幅のメモリとして 9 個並列に用いることで上のデータを処理することができる．

出力部

トリガーがかかったら, 前後のバンチを含めた 3 バンチに 12bit 程度の L1ID をつけて GbE で読み出す．トリガーレートが 100kHz の場合で考えると $(598 + 12) \times 3 \times 100\text{kHz} = 183\text{Mbps}$ となる．

PT7 ではこの GbE 読み出しのため, 第 3 章で検証した SiTCP を採用する．

5.2.3 PT7 の構成

ここで前節の要求を実際のボードに落とし込む. 要点を以下のようにまとめた. なお各コンポーネントの詳細は次節に譲る．

- 最も重要な FPGA は GTX が使えて規模も大きい Kintex-7 を 1 つ用いる．基本的には全てこの FPGA から配線して, PT7 の全ての処理を行えるようにする
- VME とのインターフェースは電源投入時にも機能している必要があるため, 不揮発性の CPLD を用いる．また, CPLD は FPGA のコンフィギュレーションも行う
- GTX を使用するために Infiniband 4x のコネクタを 2 つ実装する．Infiniband を用いたのは省スペースで大容量なのと, PT6 との互換性を加味してのことである
- SiTCP を使用するため, Gigabit Ethernet PHY である DP83865 を用いる．この IC はすでに PT6 での実績がある
- 汎用モジュールとして用いる際や, SL 用のバッファとして用いるために外付けの大きなメモリが欲しい．このため DDR3-1333 [3] SDRAM [4] である MT41J64M16 を用いる
- TTC 信号でトリガーをかける場合や, TTC 自体の信号をモニターするために TTCrq 用ピンヘッダを用意する．その際, SPP では捨てられている信号も受け取れるようにする
- 汎用モジュールとして十分に活用できるように, メザニンカードコネクタ, LEMO [5]コネクタ, LED, テストピン等を用意する．メザニンカードはすでに開発済みのものを使用できる
- FPGA 内の組み込み CPU の有用性が示されている [27] ので, PT7 でも利用できる環境を整えておく．OS 格納用の Flash memory, コンソール用の RS232C [6] がこれに当たる

[3]Double Data Rate 3: 1 クロックで 8 ワード読み書きできる SDRAM の規格．数字はビット当たり転送速度 (MT/s) を示す

[4]Synchronous Dynamic RAM: クロックに同期して動作する DRAM の一種．5.3.4 節を参照

[5]LEMO 社により製造されているコネクタ．ここでは NIM 規格に基づく 50Ω の同軸コネクタ

[6]Recommended Standard 232 version C: PC とモデム等をつなぐシリアル通信インターフェース

以上の要点を押さえて描いたブロック図を図 5.5 に示す．基本的なコンポーネントと, FPGA から出ている配線を抽出したものである．バスの幅が数字で示してあり, VME の信号はアドレス線を赤, データ線を青で描いた．このブロック図を基に回路図を引き, PT7 を制作した．

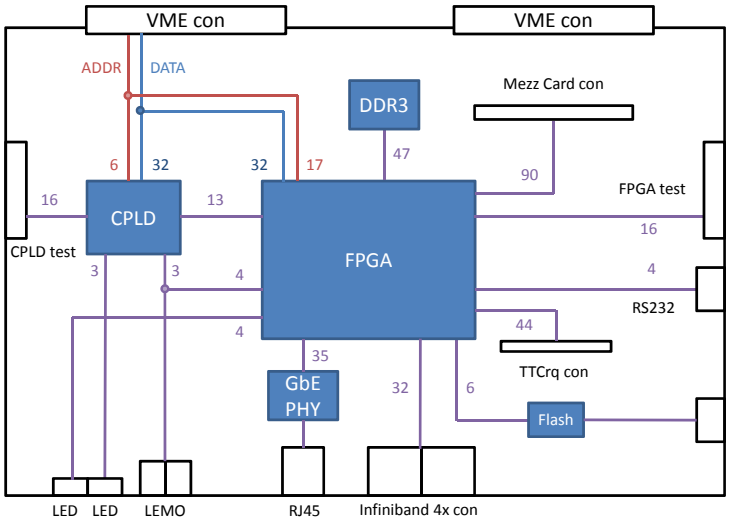


図 5.5: PT7 のブロック図

5.3 各コンポーネントの説明

本節では PT7 に搭載したメインとなるコンポーネントの紹介をする．

5.3.1 FPGA

FPGA は Xilinx 社製の Kintex-7 FPGA XC7K325T-2FFG900 を用いている．デバイスとして 325T を選んだ理由は, 表 5.3 のようにユーザー I/O が Kintex シリーズの中で最も多いためである．他の機能を見ても必要十分な性能を持っているので 325T とした．またパッケージとしては FFG900 の他にもあるが, FFG676 ではピン数が足りないこと, FBG タイプでは後述の DDR3 SDRAM の速度を活かしきれないことから FFG900 とした．このパッケージにより DDR3 は 1333MT/s まで, GTX は 10.3125Gbps までが使用可能になる [54].

325T では GTX を 16 レーン搭載しているが, PT7 ではそのうち 8 レーンを使用しており, PT7 同士の通信や, GTP Transceiver を搭載した PT6 との通信[7]が可能である．

[7]Infiniband 1x-4x cable が必要

表 5.3: Kintex-7 シリーズ性能比較 [52]

デバイス名	スライス[8]	BRAM[9](Kb)	GTX	総 I/O バンク	最大ユーザー I/O
XC7K160T	25,350	11,700	8	8	400
XC7K325T	50,950	16,020	16	10	500
XC7K410T	63,550	28,620	16	10	500
XC7K420T	65,150	30,060	32	8	400
XC7K480T	74,650	34,380	32	8	400

ヒートシンクについて

第 4 章の実験の結果から, ヒートシンクを採用することとした. FPGA のサイズに合わせて 31mm×31mm のクリップタイプのものを用いる. 500LFM [10] で 6.3 ℃/W の熱抵抗を持つ Advanced Thermal Solutions の ATS-53310D-C2-R0 を検討している.

5.3.2 CPLD

CPLD には Xilinx 社の CoolRunner-II CPLD XC2C256-7PQ208 を用いている. この CPLD を搭載した理由は, TGC グループで長らく使用されており, 実績とノウハウがあるためである. 役目としては VME 制御と FPGA のコンフィギュレーションがある. VME 制御については後述するので, ここではコンフィギュレーションについて説明する.

FPGA は SelectMAP[56] という方法でコンフィギュレーションする. これは CPLD がマスター, FPGA がスレーブとなり, マスターがパラレルデータをクロックとともに提供する方法である. ただし PT7 では CPLD がデータを渡すのではなく, VME のデータバスを FPGA のコンフィギュレーション用のピンに引き込んでいるので, CPLD はタイミングを合わせてクロックを打つだけである.

5.3.3 Ethernet PHY

UTP ケーブルによる GbE を可能にするため, PHY チップとして Texas Instruments 社の DP83865 Gig PHYTER を搭載している. 10BASE-T (Full/Half duplex), 100BASE-TX (Full/Half duplex), 1000BASE-T (Full/Half duplex) の 6 種のプロトコルに対応しており, オートネゴシエーション機能で自動的に選択される. クロックは 25MHz と, 1000BASE-T 使用時にはさらに 125MHz を FPGA から供給する.

PHY チップの通信状態を視覚的にわかりやすくするため, フロントパネルに 4 段の LED を設けた. それぞれ ACT (送信/受信), LINK (リンク確立), 100M (100BASE-TX 使用時) 1G (1000BASE-T 使用時) である.

[8] 1 スライスには 4 つの LUT と 8 つの FF が含まれる
[9] 1 つの BRAM は 36Kb
[10] Linear Feet per Minute: エアフローの単位. 200LFM = 1m/s

5.3.4 DDR3 SDRAM

PT7 は SDRAM として micron 社の MT41J64M16JT-15E を用いている．これは DDR3-1333 タイプのメモリチップであり, バスクロックが 667MHz まで対応できる．16bit 幅のデータバスがあるので 1333MT/s × 16 = 21.3Gbps の速さで読み書きができる．DDR3 SDRAM のブロック図を図 5.6 に載せる．

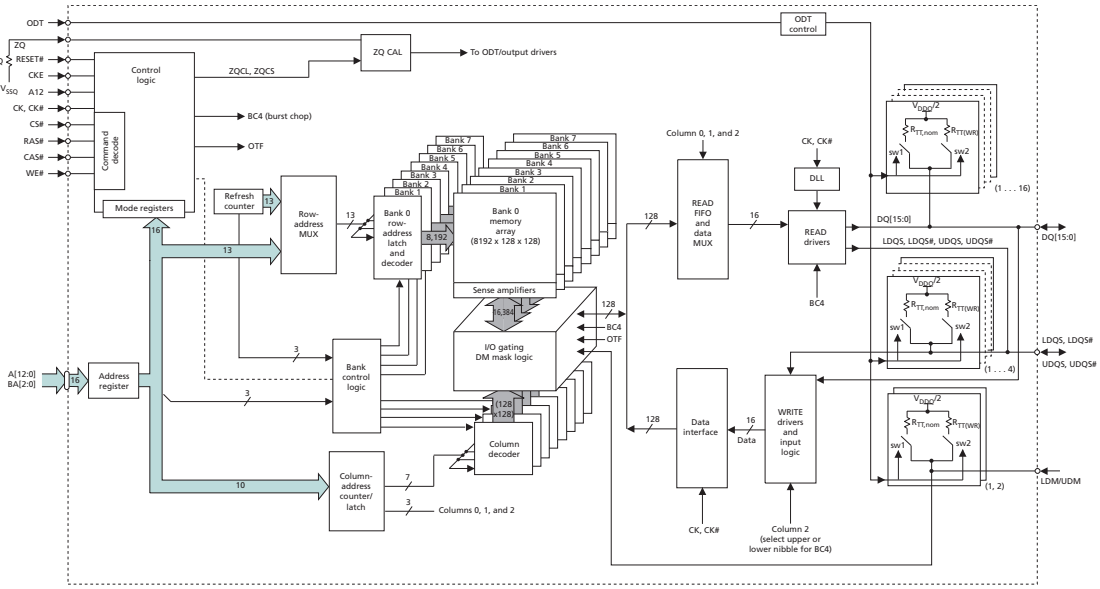


図 5.6: DDR3 SDRAM ブロック図 [65]

SDRAM は複数のバンクからなり, 各バンクはロウ, コラムで構成されている．データのアクセスはロウ単位であり, 当該ロウをアクティベートするのには時間がかかる．これを t_{RCD} (Row to Column Delay) と呼んでいる．ロウをアクティベートしてから実際にデータを読み出すまでの遅延時間は t_{CL} (CAS Latency) である．同じロウであればバースト的に高速読み出しが可能であるが, ロウを変える際にはアイドル状態に戻すために一定の時間がかかる．これを t_{RP} (Row Precharge Delay) と呼ぶ．本パッケージではこれら 3 つのパラメータはともに 13.5ns[65] となっている．

実際の使用に際しては, 125MHz の水晶発振器を 5 逓倍して 625MHz のバスクロックとし, 最大 20Gbps で運用する予定である．これは 40MHz に直すと 500bit なので, 500bit 幅の L1 Buffer としての利用も見込まれる．データ容量としては 1Gb であり, L1 Buffer として用いた場合は 2M イベント貯められる計算になる．

5.3.5 Flash memory

Flash memory は EEPROM と同様に電気的に書き換えができる ROM であり，構造により NAND 型と NOR 型に分類される．高集積で書き込み速度の速い NAND 型に対し, 信頼性が高く 1byte 単位のランダムアクセスが可能なのが NOR 型の特徴である．

PT7 では Flash memory として micron 社の NOR 型 Flash memory である N25Q108 を搭載している．FPGA とのインターフェースは SPI (Serial Peripheral Interface) と呼ばれるシリアルバ

スで, 最大 108MHz での動作が可能である．FPGA に組み込み CPU を載せた場合のブートローダ, OS の格納といった用途を考えている．

5.3.6 クロック

PT7 では多くのクロックを扱うのでここで整理しておく．表 5.4 がクロックソースとその対象の関係である．◯ のついているものはソースから直接またはファンアウトを通して渡されるものである．JP はジャンパーピンの番号で, JP1, 2 については複数のうち 1 つが選ばれる．JP4 については後述する．

表 5.4: PT7 のクロック一覧

src \ dst	frequency	FPGA	GTX	CPLD	NIM out
X1	40MHz	◯		JP1	
X2	125MHz LVDS	◯			
X3	125MHz LVDS		◯		
VME sysclk	16MHz			◯	
NIM in		◯		JP1	
TTC cmos40	40MHz	◯		◯	JP2
TTC lvds160	160MHz LVDS		◯		
TTC another	40MHz	JP4		JP4	JP4 × JP2
FPGA nim					JP2

dst の GTX は FPGA の GTX bank に入れるものを指す．単なる FPGA とあるのはそれ以外のバンクである．また, NIM out は LEMO コネクタからの出力, NIM in は out とは別の入力である．

src の X1〜X3 は水晶発振器である．X1 は LHC クロックに合わせた 40MHz のクロックで, 一般的な用途に用いる．X2 は DDR3 コントローラ用の参照クロックとして用いる．X3 は X2 と同じ周波数であるが, GTX 用に別に用意した．

TTC からはモニターの意味も含めて 5 種類のクロックを受け取っている．cmos40 が TGC フロントエンドにおいて実際に用いられているクロックで, lvds160 はこれを 4 逓倍したものである．こちらは GTX の 2 つ目の周波数として GTX バンクに入れている．another となっているのは残りの 3 種類のクロックのうち 1 つを JP4 で選んだものであり, モニター用途に用いる．

5.4 外部とのインターフェース

PT7 は複数種類のインターフェースを備えている．FPGA へのデータ入出力, 制御などを行う．

5.4.1 VME バス

PT7 は VME スレーブモジュールとして, アドレス 32bit, データ 32bit での通信を VME マスターモジュールとの間で行う．スレーブとしての制御は専ら CPLD が行う．以下では VME の信号線を斜線で強調する．また, Low active の信号線に*をつける．

- データバス: D[31:0]

  VME の 32bit のデータバスはバッファを介して CPLD と FPGA に接続されている．FPGA においては前述のようにコンフィギュレーション用のピンに接続されており, VME 経由のコンフィギュレーションが可能である．もちろんコンフィギュレーションが終わった後は FPGA はデータバスをユーザー I/O として使用できる．また, VME との間にあるバッファを切れば CPLD と FPGA の自由な内部バスとして利用することもできる

- アドレスバス: A[31:1]

  A[31:20] はボードのアドレス判定に用いられる．つまりボード上の 12bit 分のディップスイッチの値と比較され, 一致していたら match*信号が Low にドライブされる．また, A[19] は CPLD と FPGA のどちらにアクセスするかを示すフラグになっており, 0 なら CPLD, 1 なら FPGA である

表 5.5 に PT7 のアドレス空間を載せる．Byte Access とは 4byte アクセスする際に VME が利用する領域で PT7 ユーザーは関知しない．

表 5.5: PT7 のアドレス空間

	31 - 20	19	18 - 6	5 - 2	1, 0
FPGA Access	board address	1	FPGA address[16:0]		Byte Access
CPLD Access	board address	0		CPLD address[3:0]	Byte Access

VME とのやり取りはおよそ次のようなものである．ここに出てきた VME の信号線は表 5.6 にまとめてある．

*AS**が Low になった際, CPLD はボードアドレスが一致 (match*信号) かつ特定のアクセスタイプ (AM[5:0] と *LWORD**で判断) なら応答する．応答の仕方は A[19] と *WRITE**の値により異なる．

1. A[19] が Low なら CPLD 自身のアクセスであり, A[5:2] を内部アドレスとして取り込む

   (a) *DS**[1:0] がともに Low になった際, *WRITE**が High なら読み出しなのでデータをドライブする．数クロック後に *DTACK**を Low にドライブし, マスターに読み出し終了を伝える．その後データバスを開放する

(b) *DS**[1:0] がともに Low になった際, *WRITE** が Low なら書き込みなのでデータを取り込む. 数クロック後に *DTACK** を Low にドライブし, マスターに書き込み終了を伝える

2. *A*[19] が High なら FPGA へのアクセスである. FPGA は *A*[18:2] を内部アドレスとして取り込んでいる

   (a) *DS**[1:0] がともに Low になった際, *WRITE** が High なら読み出しであり rstr* (read strobe) 信号を Low にドライブする. FPGA は rstr* 信号が Low の間データをドライブし続ける. CPLD は数クロック後に *DTACK** を Low にドライブし, マスターに読み出し終了を伝える

   (b) *DS**[1:0] がともに Low になった際, *WRITE** が Low なら書き込みであり wstr* (write strobe) 信号を Low にドライブする. FPGA は wstr* 信号の立下りでデータを取り込む. CPLD は数クロック後に *DTACK** を Low にドライブし, マスターに読み出し終了を伝える

表 5.6: VME で使用する信号線

ドライブする側	有効になるタイミング	信号線
VME マスター	*AS** 立下り	*AS**, *A*[31:2], *AM*[5:0], *LWORD**, *WRITE**
	*DS**[1:0] 立下り	*DS**[1:0], *D*[31:0] (*WRITE** = Low)
PT7	*DTACK** 立下り	*DTACK**, *D*[31:0] (*WRITE** = High)

5.4.2 マルチギガビットトランシーバ

GTX を 8 レーン用いている. 4 レーンずつ Infiniband 4x コネクタと接続しており, 2 つのコネクタが PT7 のフロントパネルから出ている. 今回採用した Infiniband ケーブルには 9 本のグラウンド線と 16 本のシグナル線が入っており, 1 本で 4 レーンの全二重差動通信が可能となっている.

図 5.7 は今回採用した Infiniband ケーブルとコネクタの写真である. 型番はそれぞれ Mellanox 社の CTMC1104130 と日本航空電子社の DG1R025HS8E250 である.

図 5.7: Infiniband ケーブル及びコネクタの写真

このケーブルはInfiniband DDR (double data rate: 5Gbps) の速度で用いることができ, $5 \times 4 = 20$Gbps の速度が出せる. 8b10b を使用した場合, 実際の速度は $20 \times 0.8 = 16$Gbps になるので, 2 本使うと新 SL の入力データ (20.88Gbps) を全て再現できる.

5.4.3 ギガビットイーサネット

FPGA は GMII/MII を介して PHY チップと接続されている. MII (Media Independent Interface) は MAC と PHY の間のインターフェースのことである. GMII (Gigabit Media Independent Interface) は一部を MII と共有しており 1000BASE-T 使用時に用いられる.

PHY チップは MDI を介してパルストランス一体型コネクタ HFJ11-1G02E (HALO Electronics) と接続されており, アナログ信号の送受信を行う. MDI (Medium Dependent Interface) は PHY と伝送メディアとのインターフェースでのことである.

5.4.4 メザニンカード

汎用性をもたせるために, CMC [11] 規格準拠のメザニンカード用コネクタを 1 組用意している. PT6 と互換性があり, すでに開発済みのメザニンカードを使用できる. 具体的には G-Link 送受信カードや S-Link 送信カード, LVDS カードがある. 図 5.8 は G-Link 送受信カード (左) と LVDS カード (右) の写真である.

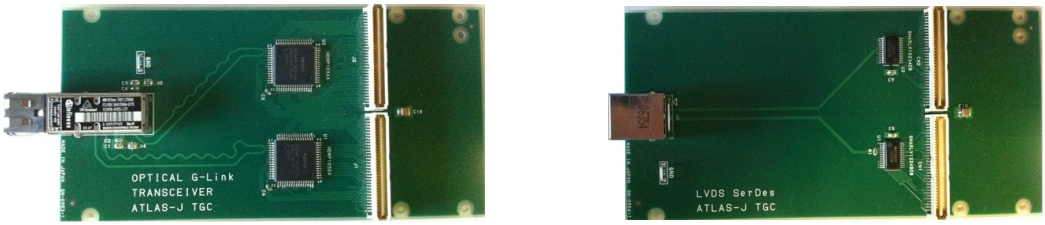


図 5.8: メザニンカードの写真

5.4.5 TTC

ATLAS では TTC によりクロックやトリガー信号等を配布している. シリアル化された TTC 信号は光ファイバーにより伝達され, TTCrq と呼ばれる小さなボードによりデシリアライズされる. TGC フロントエンドにおいては TTCrq で受け取った信号のうち重要なクロック, L1A, ECR, BCR をファンアウトしてフラットケーブルで配っている. 図 5.9 に TTCrq の写真を載せる.

現行 SL でもそのようにして限られた TTC 信号を受け取っているが, TTC 信号を直接モニターしたいとの要望もあったため, PT7 ではこの TTCrq を直接載せてモニター機能を持たせることにした. ただしピンヘッダの位置がメザニンカードと重なるためどちらか一方しか使えない. 新 SL として用いるのであれば TTCrq を, 汎用モジュールとして用いるのであればメザニンカード用に残しておく.

[11] Common Mezzanine Card: VME や CompactPCI 等に用いられているメザニンカードの規格. IEEE1386 に規定されている [43]

図 5.9: TTCrq の写真

5.4.6 その他の I/O

NIM

高エネルギー実験で一般的に使用されている NIM レベルの信号の送受信が可能になっている. フロントパネルに LEMO コネクタが 4 つ出ており, 2 つが入力, 2 つが出力である. クロック入力により PT7 を外部のクロックに同期させて動かすことが可能になるほか, トリガーの入出力ができる.

RS232C

低速のシリアル通信規格である RS232C の信号線を 10 ピンのボックスピンヘッダから出している. ただしグラウンドを除くと 8 種類ある信号のうち送信 2 本, 受信 2 本しか出していない. これらは Linear Technology 社のデュアルトランシーバ LTC2804 により送受信される. FPGA に組み込み CPU を載せた場合のコンソール等に用いることができる.

JTAG ピン

FPGA, CPLD コンフィギュレーション用にそれぞれ JTAG ピンヘッダを出している. Xilinx 社製のダウンロードケーブルを使用可能. また Flash memory に外部からアクセスするために, 同じ型のピンヘッダをもう 1 つ用いている.

テストピン

CPLD と FPGA はともに 16 ピンのボックスピンヘッダに接続されている. デバッグや TTC モニターのために用いることができる.

5.5 開発状況及び今後の方針

PT7 は 2013 年 1 月現在, 基盤図面の修正を終えて試作機を製作している段階にある. 本節では PT7 の現状とこれからについて説明を加える.

5.5.1 開発状況

PT7 は数 100MHz を超える高速な信号が多く開発には困難が伴った. 回路図を描き上げた後にも基盤の配線に関して度重なる修正が入り, 固まったのは 2012 年の 12 月である. 図 5.11 にできあがった Layer 1 のシルク及びマスク図を示す. また, 図 5.10 はフロントパネルの図である. 本稿執筆中の現在は基盤図面に従って試作機の製作に入った段階である.

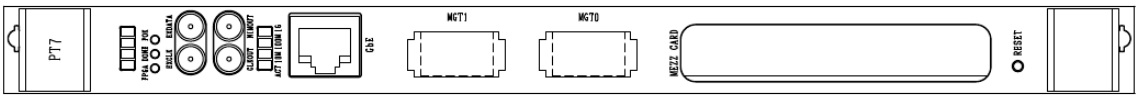


図 5.10: PT7 フロントパネル

5.5.2 今後の方針

PT7 が完成し, 動作確認が済んだらいよいよ PT7 を用いたテストベンチの構築に移る. テストベンチの目的は, 実際に似せた環境下におけるリードアウトロジックのテストである. 大量のデータを送ってもトリガーに合わせて正常に読み出すことができ, パフォーマンスに変化がないかを見る.

ここでは最も単純なテストベンチの例を考える. 1 台の PT7 にリードアウトロジックを実装し, もう 1 台の PT7 にテストデータを生成するロジックを実装する. 送信側の PT7 (txPT7) は HpT もしくは NSW からくる約 500bit 分のデータを, GTX を用いて送信する. これは $500 \times 40\text{MHz} \times 1.25 = 25\text{Gbps}$ に相当する (1.25 は 8b10b を用いた場合). GTX を 5Gbps で動かせば, これは 5 レーンに相当し, 2 本の Infiniband 4x ケーブルで送信できる.

受信側の PT7 (rxPT7) はこのデータを受け取り, BCID を付加してバッファする. 本来コインシデンス部で生成する 64bit は今はないが, 必要ならダミーワードで代用する. TTC で L1A を受け取ったら L1ID を付加し, SiTCP に 8bit ずつ渡す. rxPT7 はイーサネットスイッチを介して PC と接続しておき, SiTCP が GbE により PC にデータを読み出す. PC は受け取ったデータをディスクに書き出すか, その場のソフトウェア処理で誤りがないかを検出する.

単純な読み出しがうまくいくようなら, トリガーレートや txPT7 のデータの送り方を変えたりして安定性を確かめる. また, PT7 の数を増やしてより複雑な系にして総合的な読み出し試験を行う. このようにして新 SL のリードアウト部の開発を進めていくことができる.

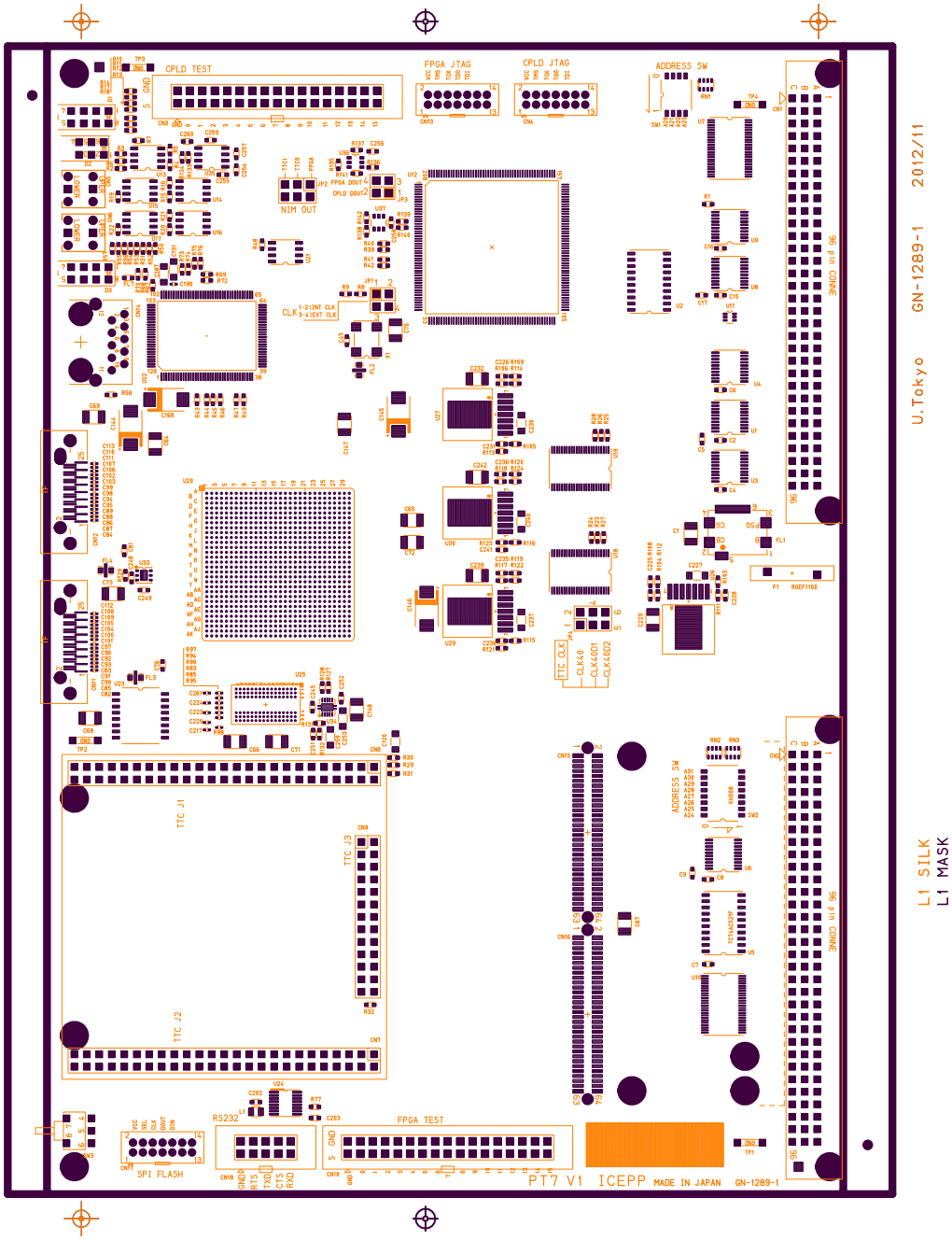


図 5.11: PT7 レイアウト

第6章　おわりに

私はギガビットクラスの 2 つの通信技術, SiTCP 及び GTX Transceiver についてそれぞれ検証実験を行った. SiTCP は安定して高スループットで動作することが確認され, 100Mbps で複数使用した際のスケーラビリティも確認できた. GTX は同軸ケーブルを用いて, 10m 以上の長さでの 10Gbps 動作が確認された. これからの高エネルギー実験において, 前者は柔軟で手軽な DAQ の構築が求められる場面で, 後者は大容量の通信が必要な場合にそれぞれ利用されることが期待される.

さらに, ATLAS 実験アップグレードに向け, エンドキャップトリガーシステムの要となるモジュールのプロトタイプを開発した. 上述の技術を搭載しており, アップグレードのための R&D に活用されることであろう. 汎用性を持たせてあるので, これに限らず多彩な用途に用いることで, 高エネルギー実験への幅広い貢献も可能である.

本論文がこれからの素粒子物理学の発展に少しでも寄与できることを期待している.

図 6.1: ATLAS の人々[4]

付 録A　イーサネットの規格について

第3章で説明不足であったイーサネットの規格について補足する.

A.1　イーサネット開発の経緯

イーサネットはLANを構成する技術の一つであり, OSI参照モデルにおける物理層及びデータリンク層にあたるプロトコルである. 歴史的な経緯から, イーサネットにはDIX [1]規格と, 現在主流になっているIEEE 802.3規格がある. 前者はゼロックス社が, Intel社, DEC社とともに開発し, 1980年にIEEE 802委員会[2]に提出・公開したもの (DIX仕様第1版) が起源である. 1982年には第2版が発表され, これに基づき1983年に802委員会がIEEE 802.3 CSMA/CD [3] として標準化したのが後者の規格である.

DIXでは物理層にMACを用いていただけであるが, IEEE規格ではデータリンク層をMAC副層とLLC (Logical Link Control) 副層に分けた. これは他のLAN規格との差異をLLCで吸収して, 複数のLAN規格の混在したネットワークにおいても上位層が違いを気にせず通信できるようにするためである. このためDIXとIEEE 802.3のイーサネットフレームの構成は若干異なるが, 近年では他のLAN規格が市場性を失ったためにDIXフレームを使用することが多い.

A.2　イーサネットの種類

始めにIEEE 802.3として標準化されたイーサネット (10BASE5) は, 同軸ケーブルを用いて10Mbpsの速度で通信するものであった. ここから現在に至るまで様々なイーサネットの規格が現れたのでまとめておく. 命名には一定のルールがあり, 伝送速度, 伝送方式, 伝送媒体/距離の順に並ぶ. 3つ目の項目はアルファベットであれば伝送媒体の特徴, 数字であれば伝送距離を示す. これらの意味合いは表A.1のようになっている.

ここでベースバンド伝送とは, デジタル信号をほぼそのままパルス波形として伝送路に流す方式である. 一方でブロードバンド伝送とはデジタル信号をアナログ波形のパラメータとして送る方式である. この変換を変調 (modulation) という. しかしイーサネットではほとんどブロードバンド伝送は用いられない.

10Mbpsの規格は主に10BASE5 (Thick Ethernet), 10BASE2 (Thin Ethernet), 10BASE-Tがある. 前の2つはそれぞれ12mm, 5mmの50Ω同軸ケーブルを用いるもので, バス型のトポロジーを採用している. 10BASE-TではCat.3のUTPケーブルを用いたスター型のネットワークが使用できるようになり, 使いやすさが格段に向上した.

---

[1] DEC, Intel, Zeroxより

[2] 1980年2月に発足し, 名前の由来になっている

[3] Career Sense Multiple Access with Collision Detection: 衝突検出付き搬送波検知多重アクセス. MACの方式の1つで, 名前がそのまま通信手順を示している

100Mbps の規格 (Fast Ethernet) には主に 100BASE-TX と 100BASE-FX がある．100BASE-FX では FDDI [4] に用いられていた物理層の技術を転用し, 光ファイバーによる長距離伝送を行う．100BASE-TX は Cat.5 の UTP ケーブルを用いた規格である．

1Gbps の規格 (Gigabit Ethernet) には主に 1000BASE-T, 1000BASE-SX, 1000BASE-LX がある．1000BASE-SX は波長 850nm で多モード光ファイバー, 1000BASE-LX では波長 1300nm で多モード/単一モード光ファイバーを用いる．1000BASE-T は Cat.5e の UTP ケーブルを用いる規格で, 100BASE-TX とともに広く普及している．

表 A.1: イーサネット規格の命名

項目	記号	意味	項目	記号	意味
伝送速度	1	1Mbps	伝送媒体	T	UTP ケーブル
	10	10Mbps		F	光ファイバー
	100	100Mbps		S	光 850nm 帯
	1000	1000Mbps		L	光 1300nm 帯
	10G	10Gbps		X	FDDI の技術を転用
伝送方式	BASE	ベースバンド伝送	伝送距離	5	500m
	BROAD	ブロードバンド伝送		2	185m

A.3 10/100/1000BASE-T

ここで UTP ケーブルを用いた 3 つの規格 10BASE-T, 100BASE-TX, 1000BASE-T について詳しく見ていく．1 つの PHY チップでこの 3 つをまとめて処理する場合などには, 10/100/1000BASE-T とまとめて表記されることがある．この 3 つの規格の符号や信号変換方式について表 A.2 にまとめる．

表 A.2: 各規格のコーディング [66]

	10BASE-T	100BASE-TX	1000BASE-T
符号	マンチェスタ	4B5B	8B1Q4
信号変換	複流 NRZ	MLT-3	4D-PAM5
シンボルレート	20Mbaud	125Mbaud	4×125Mbaud
周波数帯域	10MHz	30MHz	80MHz
ツイストペア	送受信 1 対ずつ	送受信 1 対ずつ	双方向を 4 対

10BASE-T はマンチェスタ符号によりコーディングする．これは 0 を 01, 1 を 10 と変換する方式であり, 1B2B と言えなくもない．このような変換をすることにより, 2 倍の帯域が必要になる

[4] Fiber Distributed Data Interface: LAN の一種で光ファイバーを用いる規格

がデコードのしやすい波形が得られる．10BASE5 がバースト式[5]の伝送を行っていた名残である．2 倍になった信号は複流 NRZ という方式で実際の波形に変換される．これは 0 を $+E$ $[V]$, 1 を $-E$ $[V]$ として (複流), シンボルの周期ごとに 0 に戻らない (NRZ [6]) ことを表す．マンチェスタ符号と複流 NRZ の組み合わせにより, 周波数はおよそ 10MHz にピークを持った分布になる．

100BASE-TX は 4B5B によりコーディングする．4bit の信号に余分な 1bit を付加するので 2 倍の情報量を記述できるが, そのうち性質の良い 16 パターンだけをデータに対応させる．しかし帯域は 1.25 倍になり, このままでは 125MHz という高い周波数で送信しなければならなくなる．これを避けるために信号変換では MLT-3 [7] という方式を採用している．これは信号が 1 の場合のみ $+E$, 0, $-E$ の 3 レベルを順番に行き来し, 0 なら同じ電圧レベルにとどまるという方式である．これにより実効的な周波数帯域を 1/4 に下げている．

1000BASE-T ではさらに周波数が上がることが必至なので, 特殊なコーディングを用いている．まず 8B1Q4 という符号を用いているが, これは 8bit の信号に余分に 1bit 追加して 9bit にした後, 4 組の 5 値の組に変換する方式である．9bit の情報量 $2^9 = 512$ を $5^4 = 625$ でまかなうわけである．4 組はそれぞれツイストペアに対応しており, PAM5 [8] で 5 値を伝送路に流す．これは振幅を $+2E$, $+E$, 0, $-E$, $-2E$ の 5 レベルに分けて送信するということである．8B1Q4, PAM5 を用いることにより最終的な周波数は 80MHz 程度に抑えられる．

なお, 表中のシンボルレートとは伝送路に符号化された信号を送り出す速度のことであり, 単位は baud である．4B5B などバイナリ同士の符号化であれば baud は bps と等しくなるが, 8B1Q4 のようにバイナリ以外が絡むと bps より大きくなる．baud を bps に変換するには X 値変換の場合 $\log_2 X$ をかければよく, 1000BASE-T の場合は以下のようになる．

$$125\ [\mathrm{Mbaud}] = 125 \times \log_2 5\ [\mathrm{Mbps}] = 290\ [\mathrm{Mbps}]$$

よってこの場合 $250/290 = 86\%$の効率で信号を送信していることになる．

A.4 オートネゴシエーション

もともとイーサネットは CSMA/CD 方式を軸にして発達したプロトコルであった．CSMA/CD は同軸ケーブル上で複数端末が効率よく半二重通信を行うためのもので, 仕組みを簡単に説明すると以下のようになる．

1. 送信前に他の端末が信号を発していないことを確かめる
2. 確認でき次第送信を開始, 送信中は衝突の有無を監視
3. 衝突を検知したら衝突を知らせるジャム信号を送信する
4. ランダムな時間だけ待った後に再送する

このように 10BASE5 等で通信していた際の規定であり, ツイストペアケーブルで全二重通信が可能な 10/100/1000BASE-T ではもはや不要なものである．しかし 100BASE-TX までは CSMA/CD

[5] IFG の間は電圧 0 の無信号状態にし, プリアンブルで同期をとる方式
[6] Non-Return to Zero
[7] Multi-Level Transmission 3
[8] 5-level Pulse Amplitude Modulation

に則る半二重通信をサポートするように設計されている．10/100/1000BASE-T 対応機器同士で通信を行う際には 3 つの速度と全/半二重通信を切り替えて, 同じプロトコルで通信する必要がある．これを自動で行う機能がオートネゴシエーション機能である．

オートネゴシエーションでは FLP [9] バーストと呼ばれるパルス列をやり取りすることで互いのサポートする通信方式を検出する．可能なものの中で表 A.3 の優先順位に従って 1 つの方式に定め, 通信することになっている．

表 A.3: オートネゴシエーションの優先順位

優先順位	通信方式	
1	1000BASE-T	Full Duplex
2	100BASE-TX	Full Duplex
3	100BASE-TX	Half Duplex
4	10BASE-T	Full Duplex
5	10BASE-T	Half Duplex

A.5 ケーブルのカテゴリについて

最後にイーサネットで用いられる UTP ケーブルのカテゴリについて表 A.4 にまとめる．主な用途の他にも, 下位のプロトコルにも使用できる (Cat.5 で 10BASE-T など).

表 A.4: ツイストペアケーブルのカテゴリ

カテゴリ	周波数帯域	主な用途
Cat.3	16MHz	10BASE-T
Cat.5	100MHz	100BASE-TX, (1000BASE-T)
Cat.5e	100MHz	1000BASE-T
Cat.6	250MHz	1000BASE-TX
Cat.6A	500MHz	10GBASE-T

Cat.3 は 10BASE-T にしか用いられない．100BASE-TX では周波数帯域が 30MHz なので Cat.3 は使えず Cat.5 にする必要がある．Cat.5 は 100MHz なので 1000BASE-T でも原理的には使用できるが, クロストーク特性を高めた Cat.5e の使用が推奨される．Cat.6 項の 1000BASE-TX とは 1000BASE-T とは互換性のない規格であり, ツイストペアを 2 対ずつ送信受信に分けたものである．1000BASE-T が普及した現在はイーサネットにおいて使用する必然性はないが, LVDS 信号を高速で使用したい場合等に活用できる．Cat.6A (Augmented Category 6) は Cat.6 を改良して 10GBASE-T に対応させたものである．なお Cat.6A 以降のケーブルはノイズに強い STP [10] ケーブルになる．

[9] Fast Link Pulse
[10] Shielded Twisted Pair: 最外部がシールドされているツイストペアケーブル

付 録B　PT6について

第 3 章では SiTCP の実験のため PT6 ボードを用いた．ここで PT6 の概要について補足をする．

B.1　開発の経緯

現在の ROD は, ルミノシティの上がってデータ量の増加した環境下においては処理能力を超えてしまう可能性が示唆されている．具体的には HL-LHC で見積もられる平均データ量がイベントあたり 1500byte, L1 トリガーレート 100kHz で 150MB/s であるが, ROD 自体は 130MB/s 程度の処理能とされている．そこで TGC グループでは ROD のアップグレードに向けてプロトタイプやロジック開発を続けてきた．

PT6 がこの ROD プロトタイプ [28] であり, PT7 の前身にあたる．FPGA 組み込み CPU である MicroBlaze, MGT の一種である GTP Transceiver (以下 GTP), ハード TCP/IP プロセッサの SiTCP といった技術の検証, 及びこれらを用いたテスト環境の構築に用いられた．図 B.1 に PT6 の写真を載せる．

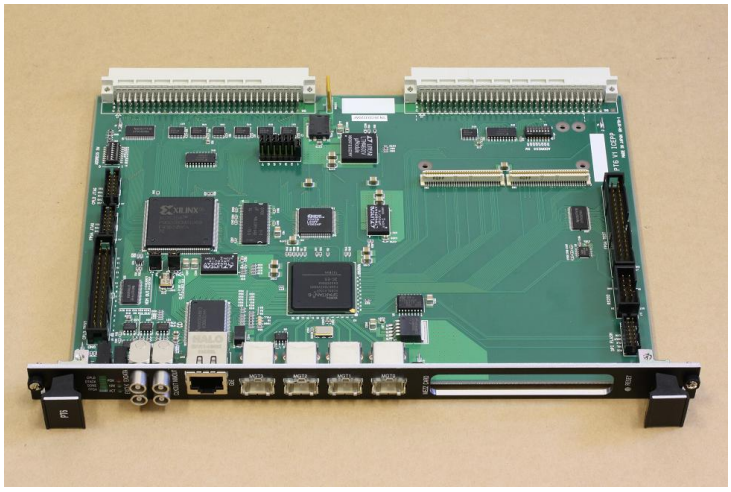


図 B.1: PT6 の写真 [28]

B.2 機能

FPGA として Spartan-6 FPGA XC6SLX150T-2FGG676 を用いている．この FPGA は表 B.1 のように Spartan-6 シリーズの中で最も規模の大きい FPGA である．図 B.2 に PT6 のブロック図を載せる．

表 B.1: Spartan-6 シリーズ性能比較 [51]

デバイス名	スライス[1]	BRAM[2](Kb)	GTP	総 I/O バンク	最大ユーザー I/O
XC6SLX25T	3,758	936	2	4	250
XC6SLX45T	6,822	2,088	4	4	296
XC6SLX75T	11,662	3,096	8	6	348
XC6SLX100T	15,822	4,824	8	6	498
XC6SLX150T	23,038	4,824	8	6	540

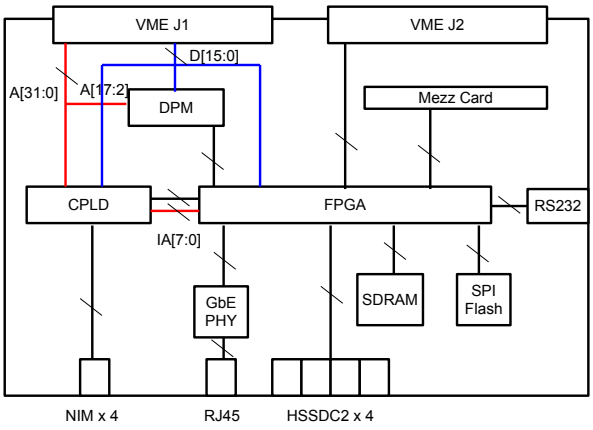


図 B.2: PT6 ブロック図 [28]

MicroBlaze を Spartan-6 で生成するには 1500 ほどの LUT と 1 つの BRAM が必要になる．つまり LX150T では 50 以上の MicroBlaze をマルチコアで走らせる規模を持っている．

GTP は 8 レーン使用可能であるが, PT6 ではこのうち 4 レーンを 4 つの HSSDC2 [3] コネクタに接続している．また, このパッケージで可能な最大ラインレートは 2.7Gbps である [53] が, 125MHz の水晶発振器を参照クロックとして用いて 2.5Gbps で使用する．

[1] 1 スライスには 4 つの LUT と 8 つの FF が含まれる
[2] 1 つの BRAM は 18Kb
[3] High Speed Serial Digital Connector 2: 3 本のグラウンド線と 4 本のシグナル線で前二重差動通信が可能なコネクタ．HSSDC2 ケーブルは Infiniband 1x ケーブルで代用可能

SiTCP で GbE を可能にするため, PT7 と同じく PHY チップとして DP83865, RJ-45 コネクタとして HFJ11-1G02E を使用している. PHY に供給するための 125MHz 及び 25MHz のクロックは, GTP バンクに入れている前述の 125MHz クロックを流用する.

B.3 使用例

PT6 は汎用モジュールであり現在メインの読み出しフローの中には入っていないが, デバッグ等の作業に頻繁に使用されている. 例として raw data monitor として使用された事例を紹介する.

TGC の ROD は頻繁に busy を発行し, そのたびランが止まってしまうため問題視されている. この原因究明のため, ROD に入ってくる raw data を取得して解析しようという試みが raw data monitor である. 具体的には SSW から ROD に入れる G-Link をファンアウトさせて PT6 にも入れ, ROD busy が発行された際のデータを GbE を用いて読み出すというものである. この概念図を図 B.3 に示す. 私は raw data monitor における PT6 の FPGA のファームウェア, 及び PC のソフトウェアの開発を行った.

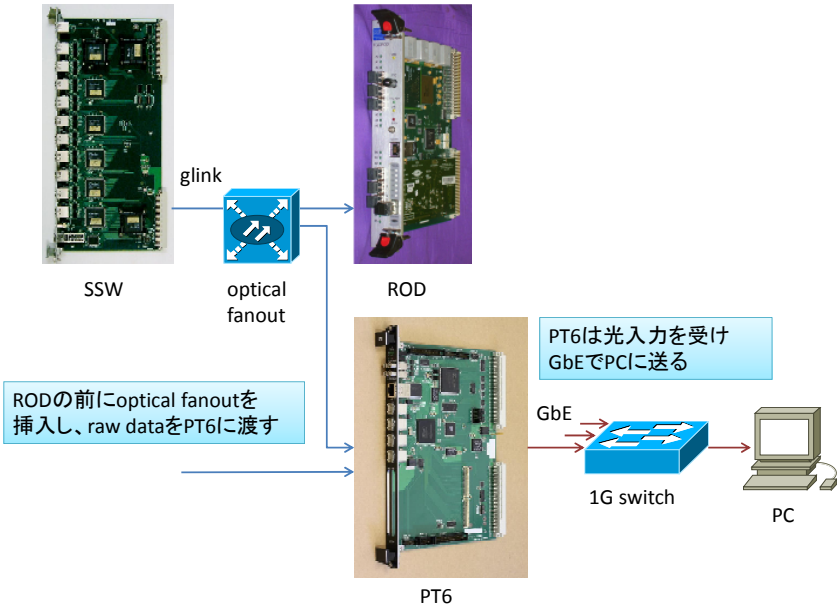


図 B.3: raw data monitor 概念図

付 録C　PT7の回路図

付録として, 私の描いたPT7の回路図を載せる. 階層構造を採用しており, 図C.1がトップにあたる. このトップブロックは下に15個のブロックがあり, 図C.2〜図C.16に対応する. 部品のリファレンスの意味は表C.1にまとめた.

表 C.1: PT7回路図中のリファレンスの意味

受動素子	意味	能動素子	意味	機構部品	意味
C	コンデンサ	U	半導体	CN	コネクタ
R	抵抗			JP	ジャンパーピン
L	インダクタ			SW	スイッチ
FL	ノイズフィルタ			TP	テストピン
F	ポリスイッチ[1]				
X	水晶発振器				
D	発光ダイオード				

部品の値の表し方については表C.2にまとめた. 表に従って抵抗では 値 単位/精度/サイズ のように表記し, コンデンサでは 値 単位/耐圧/サイズ のように表記している.

表 C.2: PT7回路図中の値の意味

抵抗			コンデンサ		
単位	無記入	Ω	単位	F	F
	K	kΩ		U	μF
	M	MΩ		P	pF
精度	無記入	5%	耐圧	無記入	6.3V
	E24系列以外では%で表記			6.3V以外ではVで表記	
サイズ	無記入	チップ部品1608サイズ	サイズ	無記入	チップ部品1608サイズ
	1608以外ではmmで表記			1608以外ではmmで表記	

また, 電源については[±][x][V][y][A/D]のように表記する. アナログ用はA, デジタル用はDとし, $x.y$ Vを示す. 例としてデジタル用3.3Vでは +3V3D となる.

[1]電流上昇に伴い抵抗が急激に増大する部品. ヒューズとして用いている

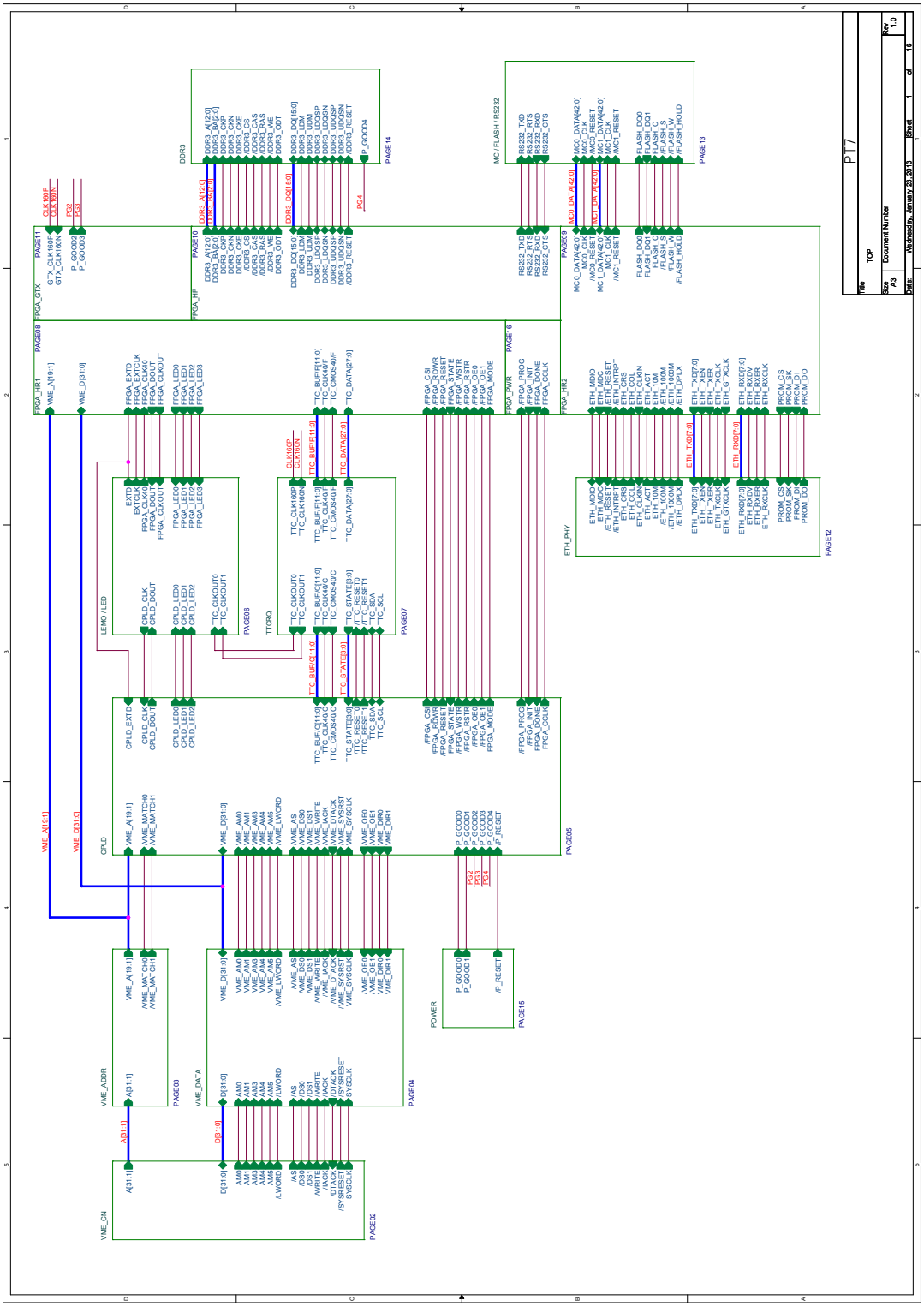


図 C.1: PT7 の回路図 (1)

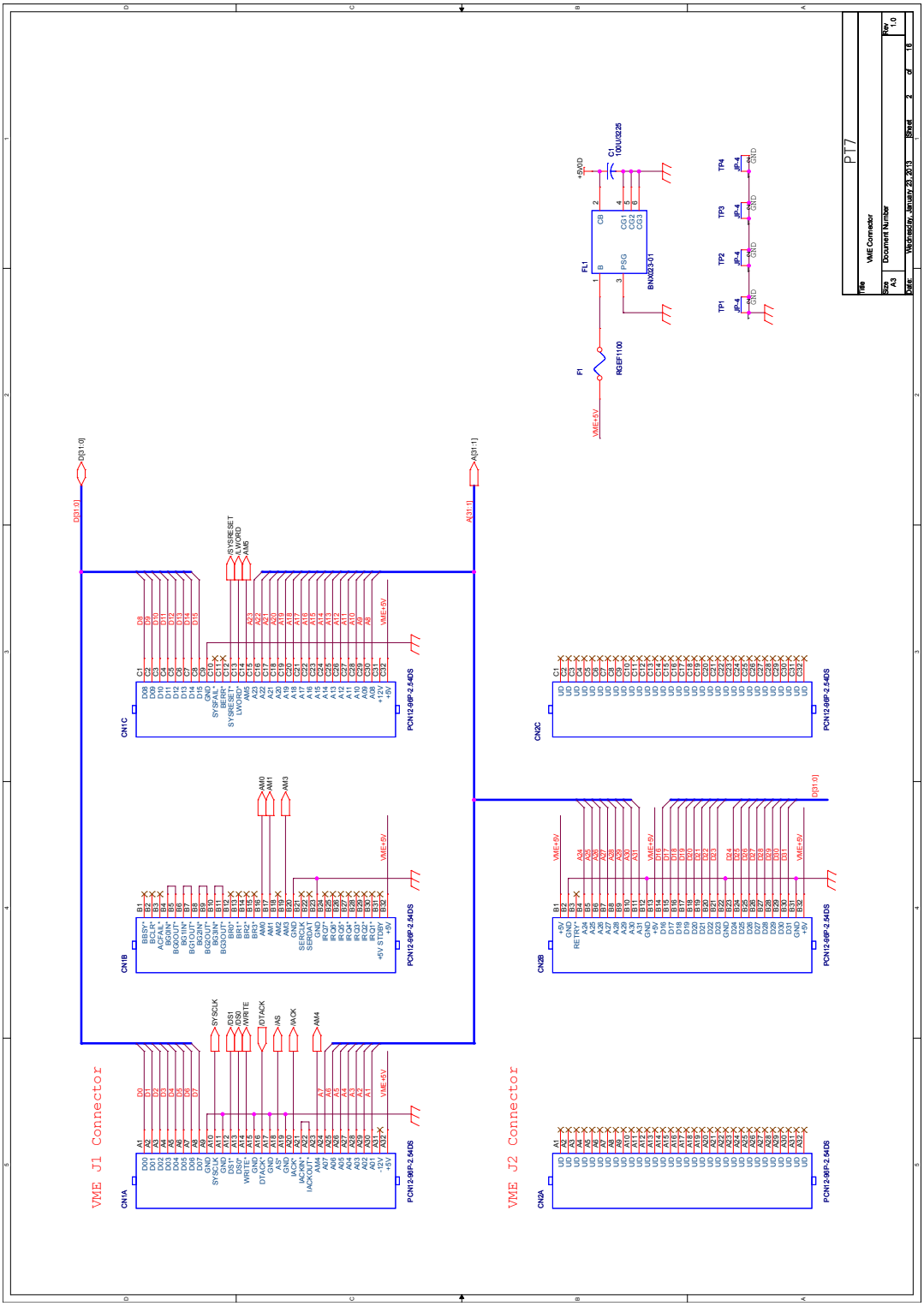


図 C.2: PT7 の回路図 (2)

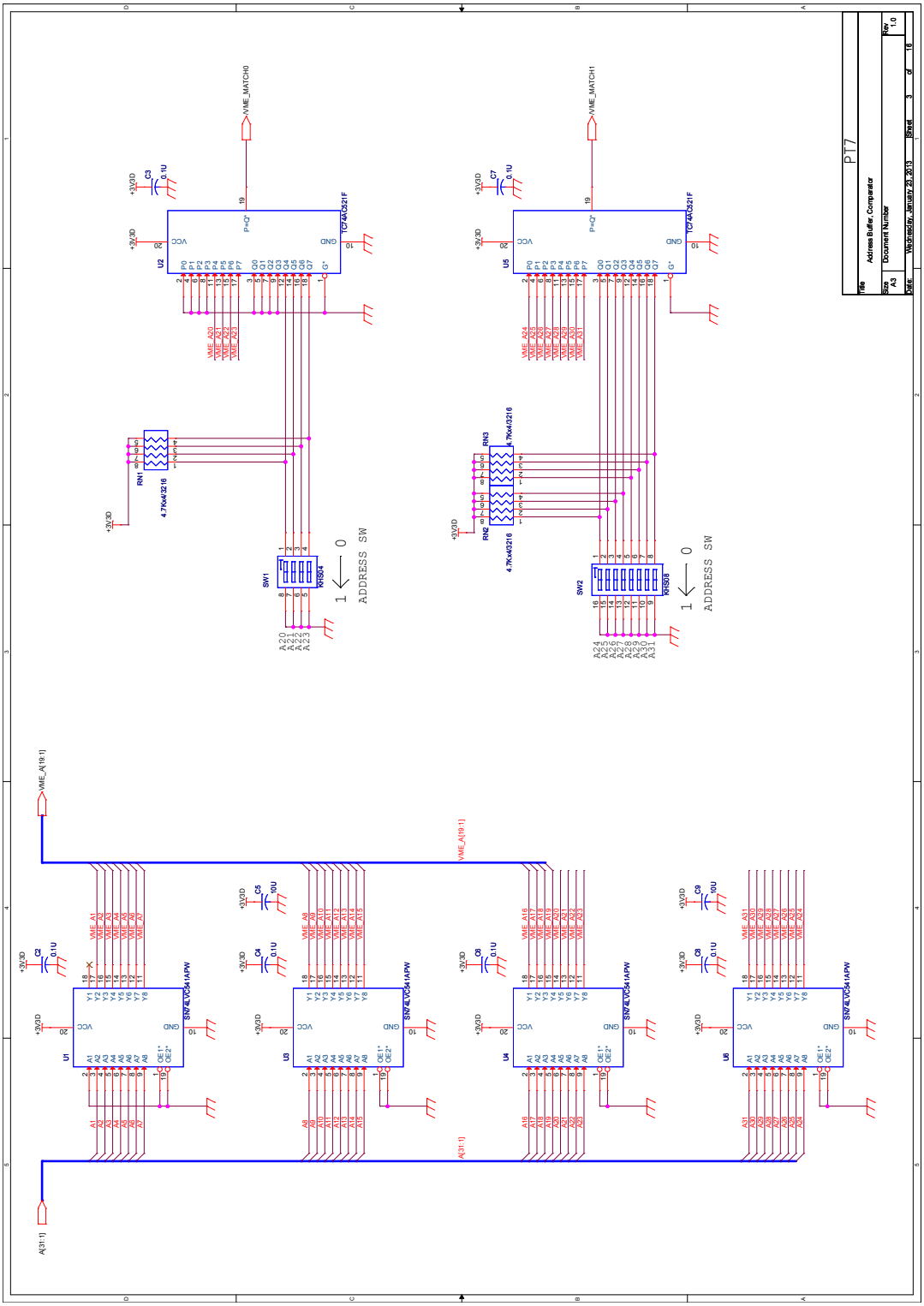


図 C.3: PT7 の回路図 (3)

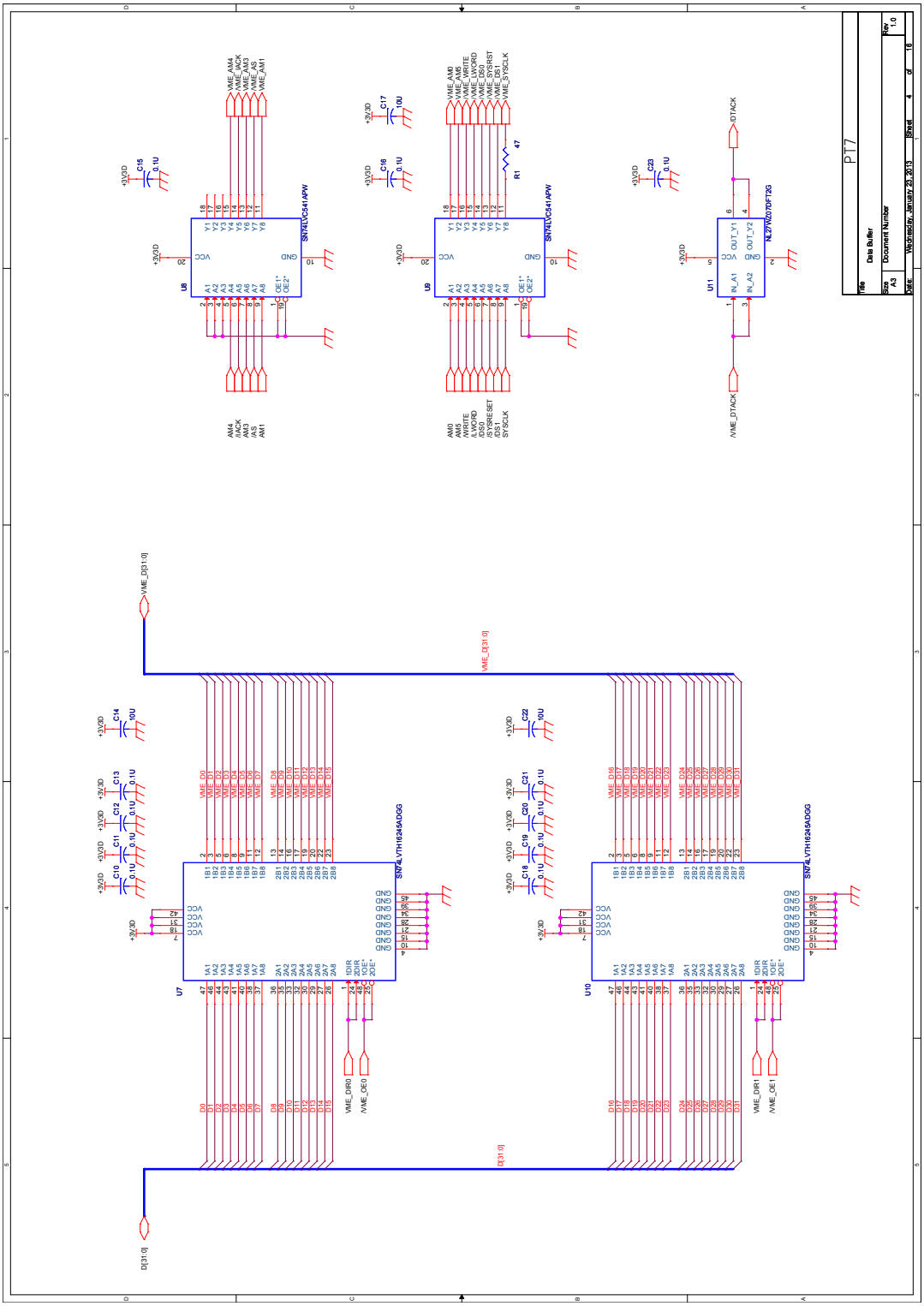


図 C.4: PT7 の回路図 (4)

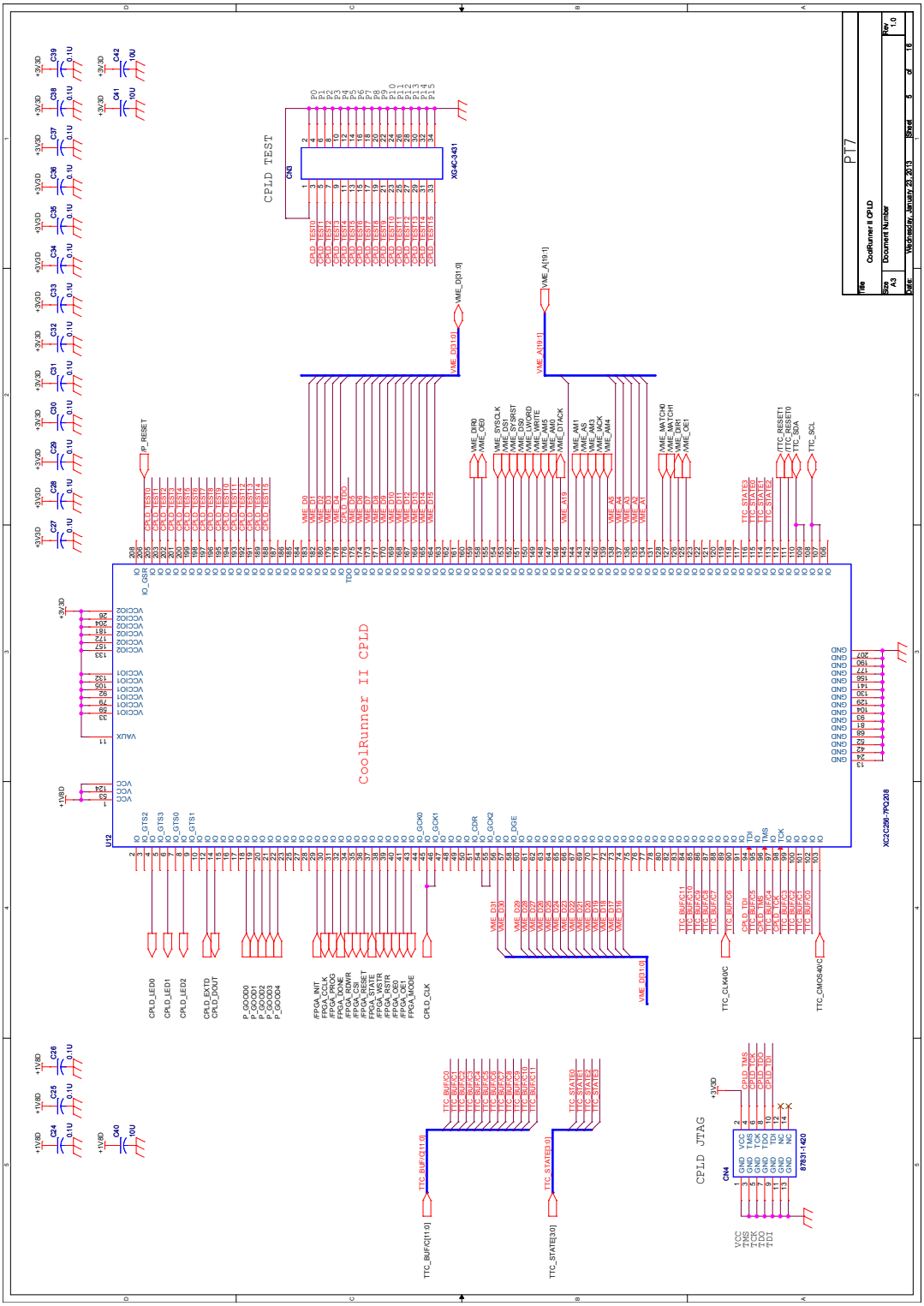


図 C.5: PT7 の回路図 (5)

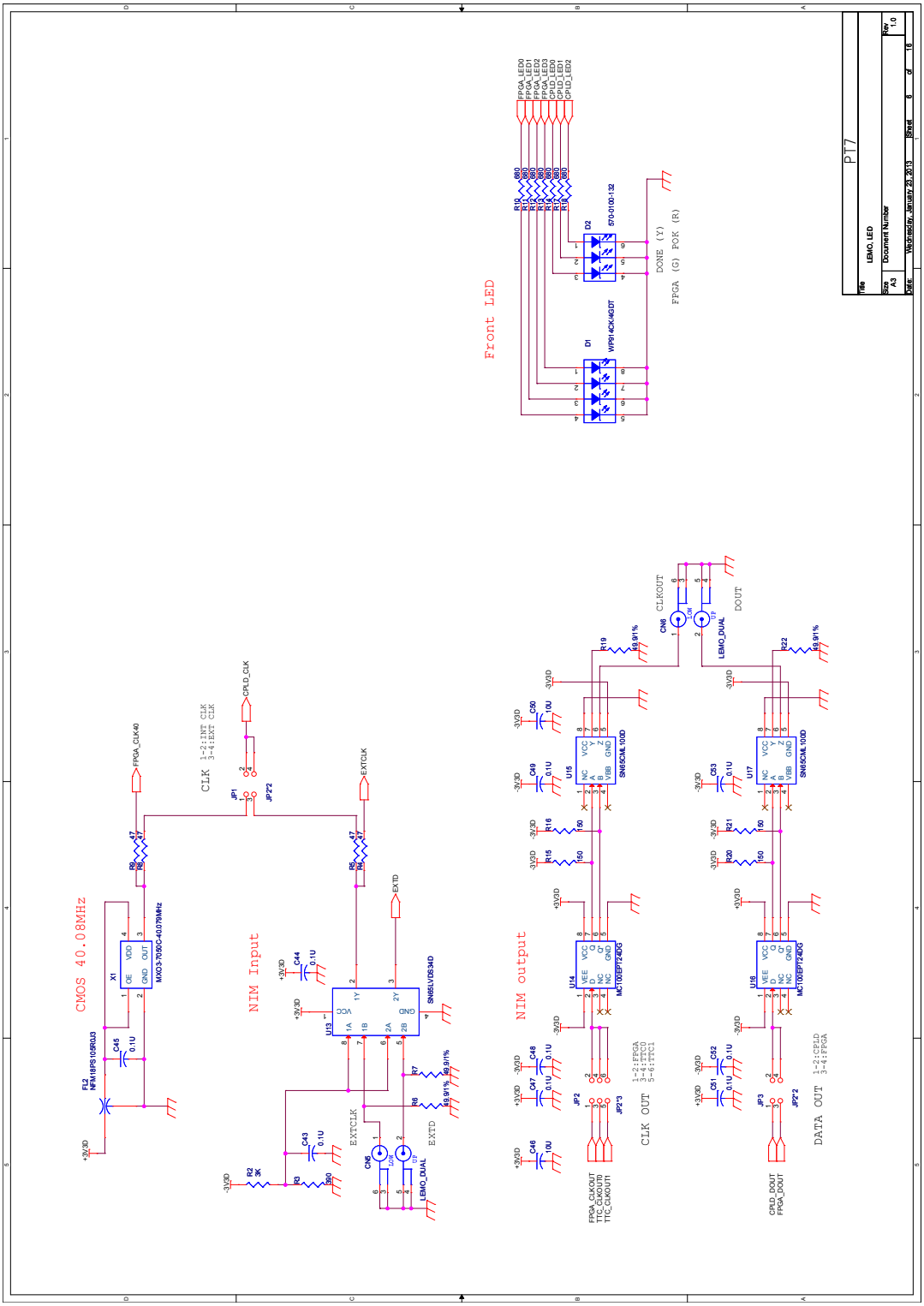


図 C.6: PT7 の回路図 (6)

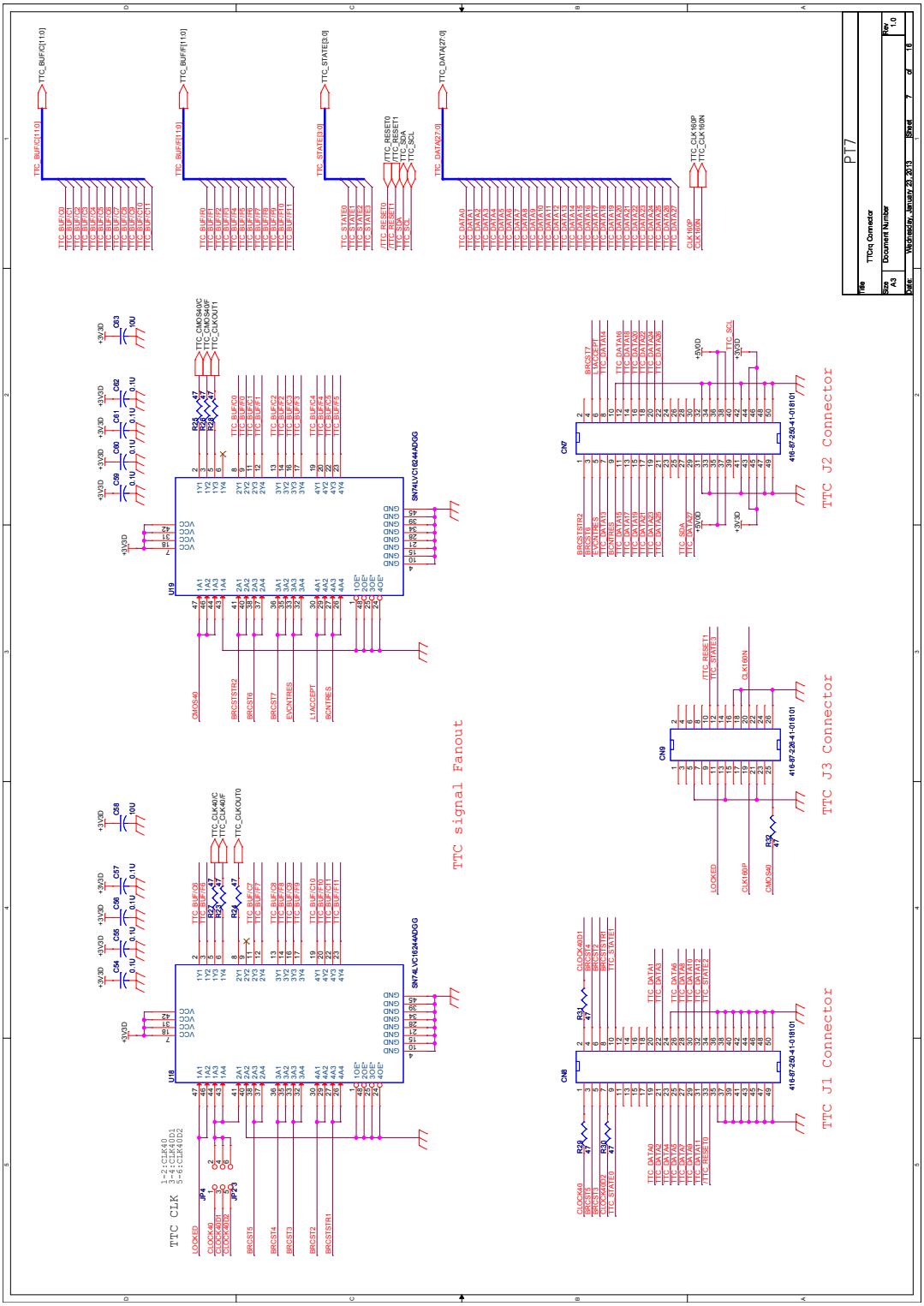


図 C.7: PT7 の回路図 (7)

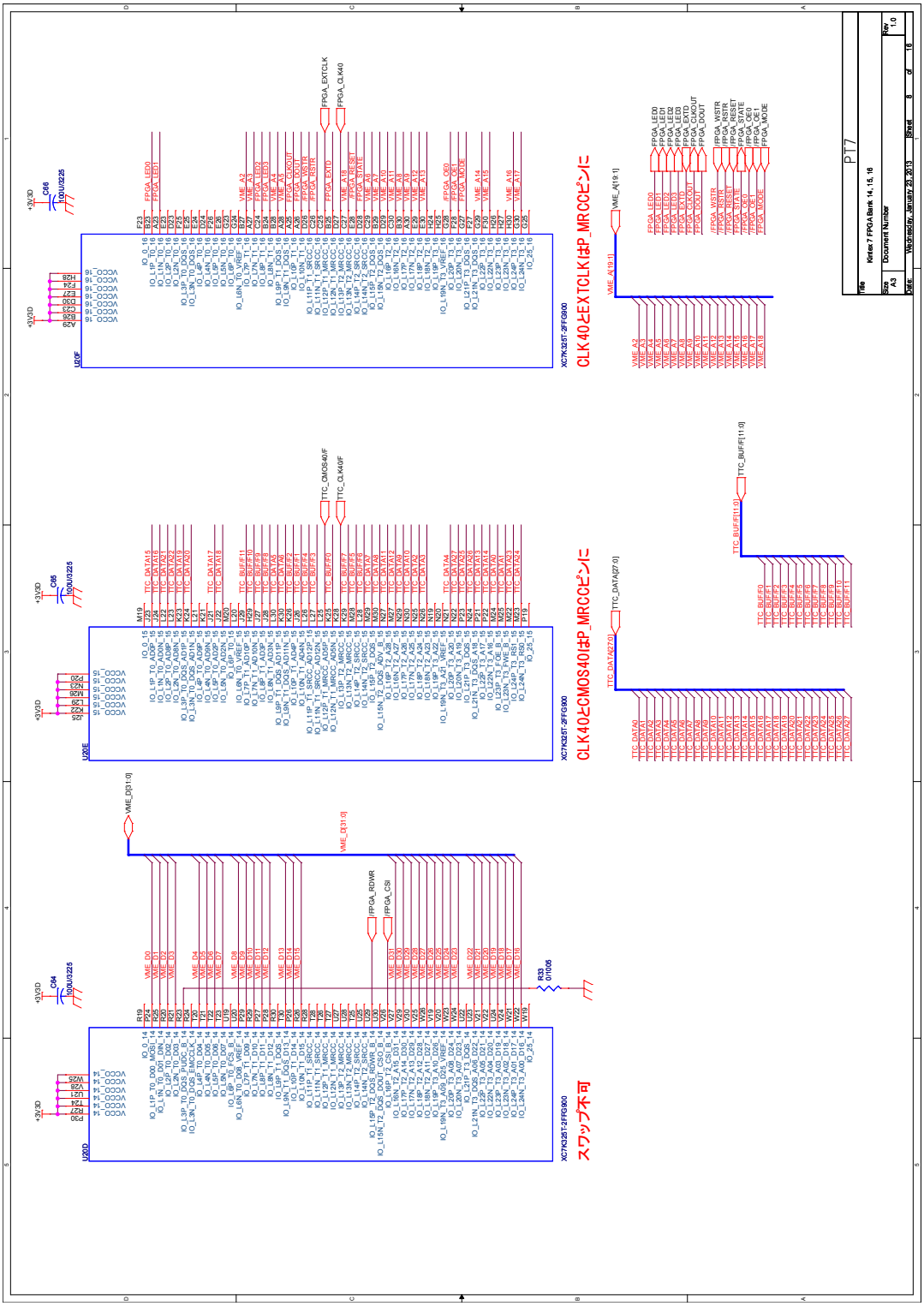


図 C.8: PT7 の回路図 (8)

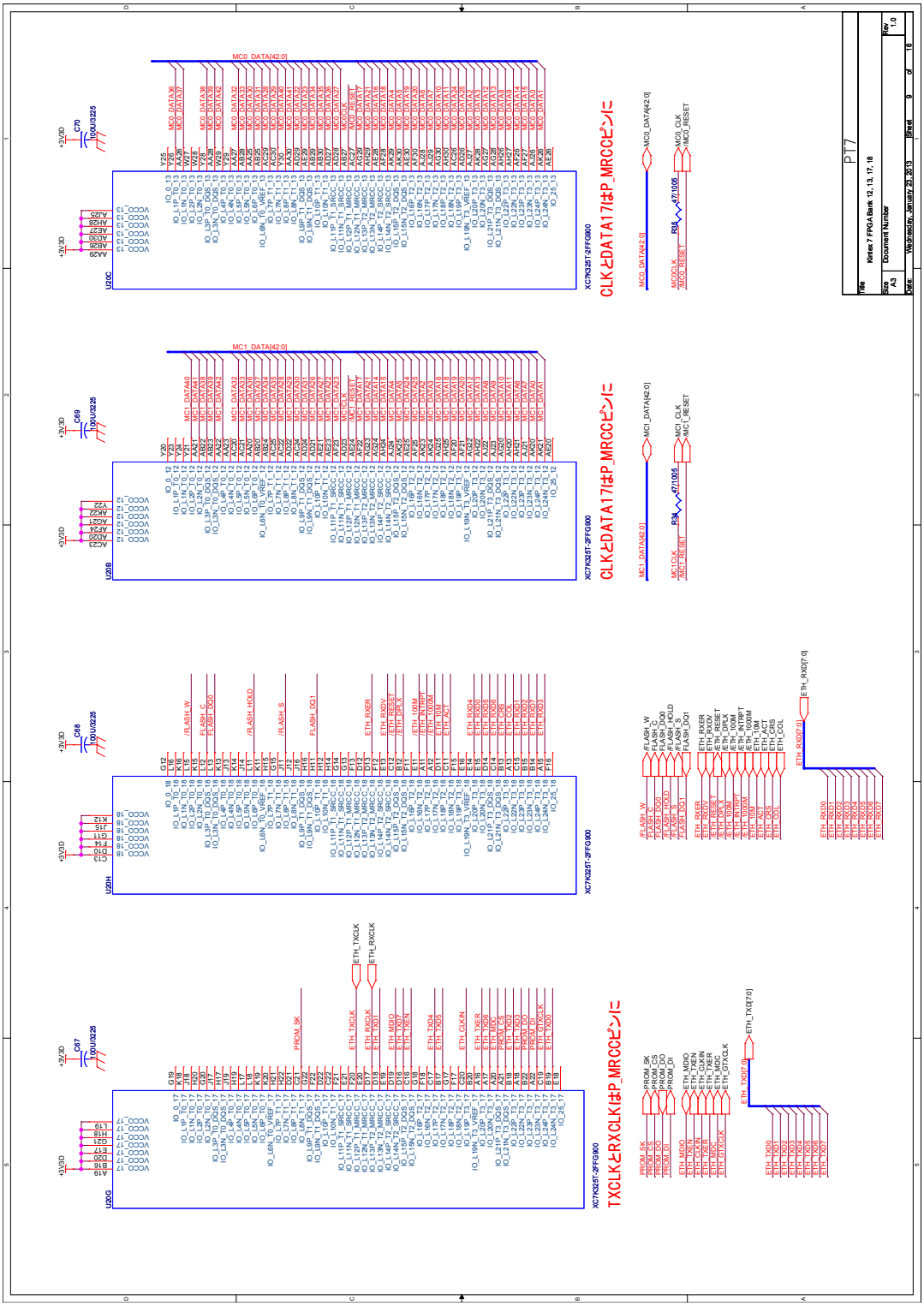


図 C.9: PT7 の回路図 (9)

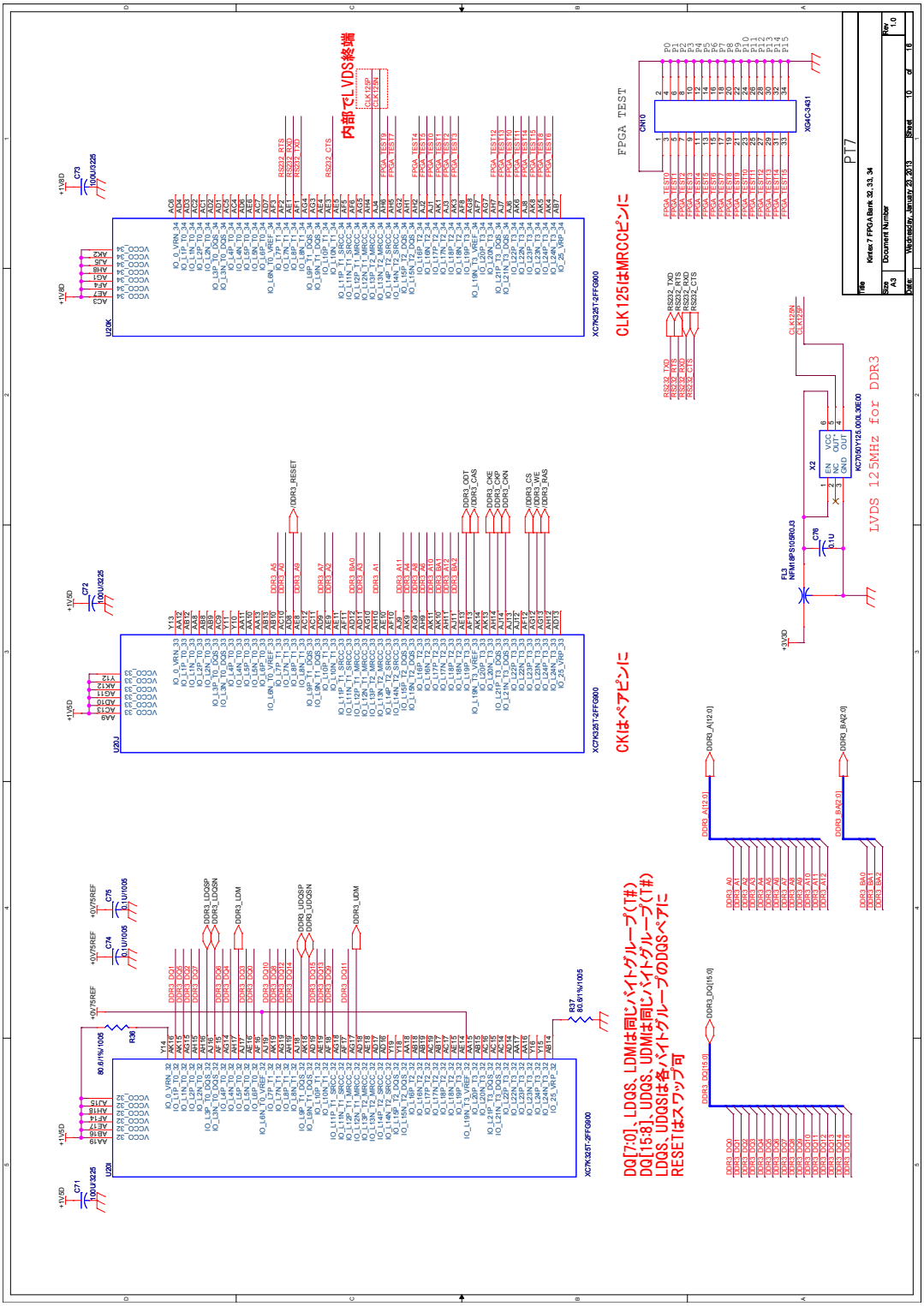


図 C.10: PT7 の回路図 (10)

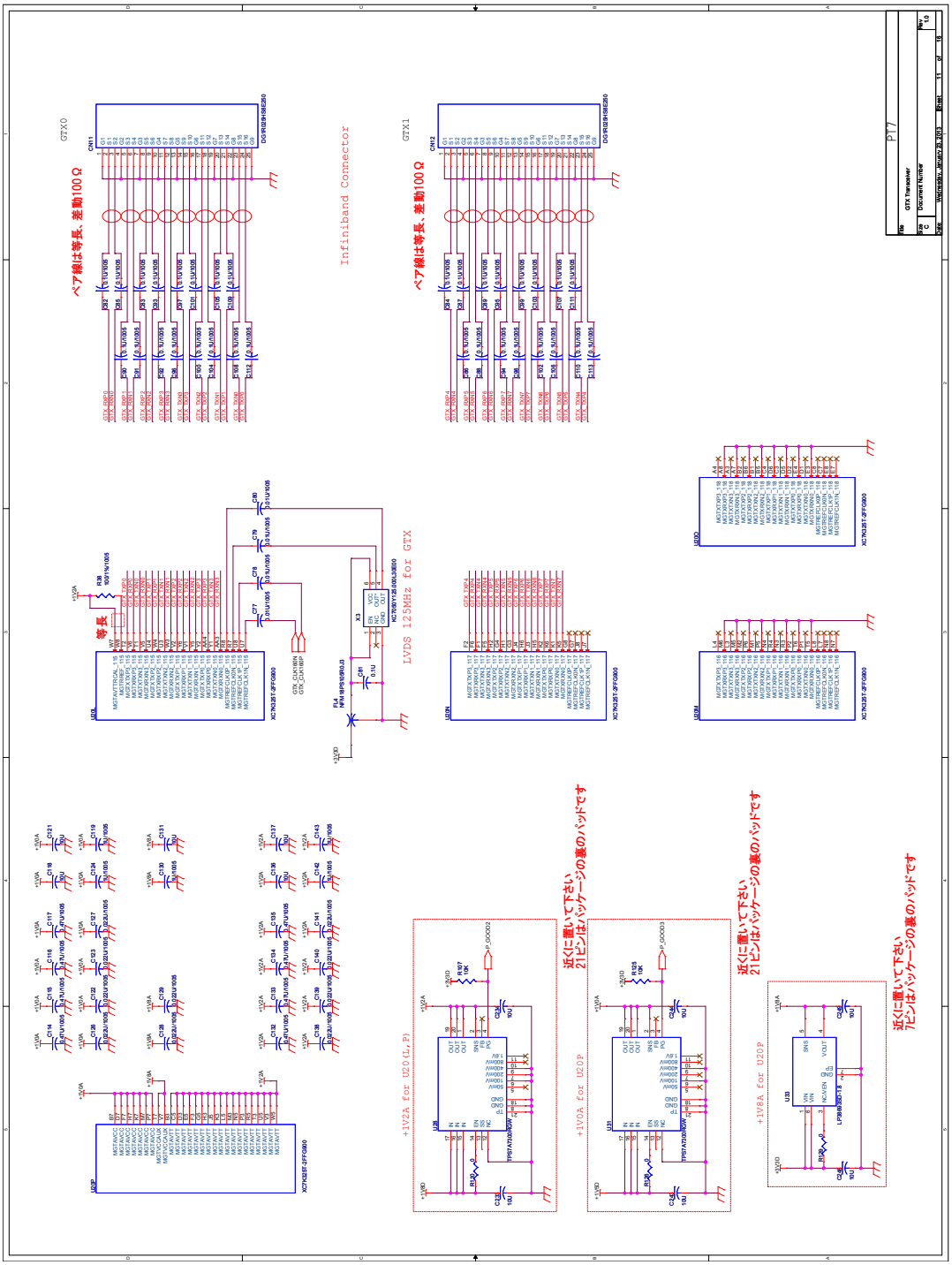


図 C.11: PT7 の回路図 (11)

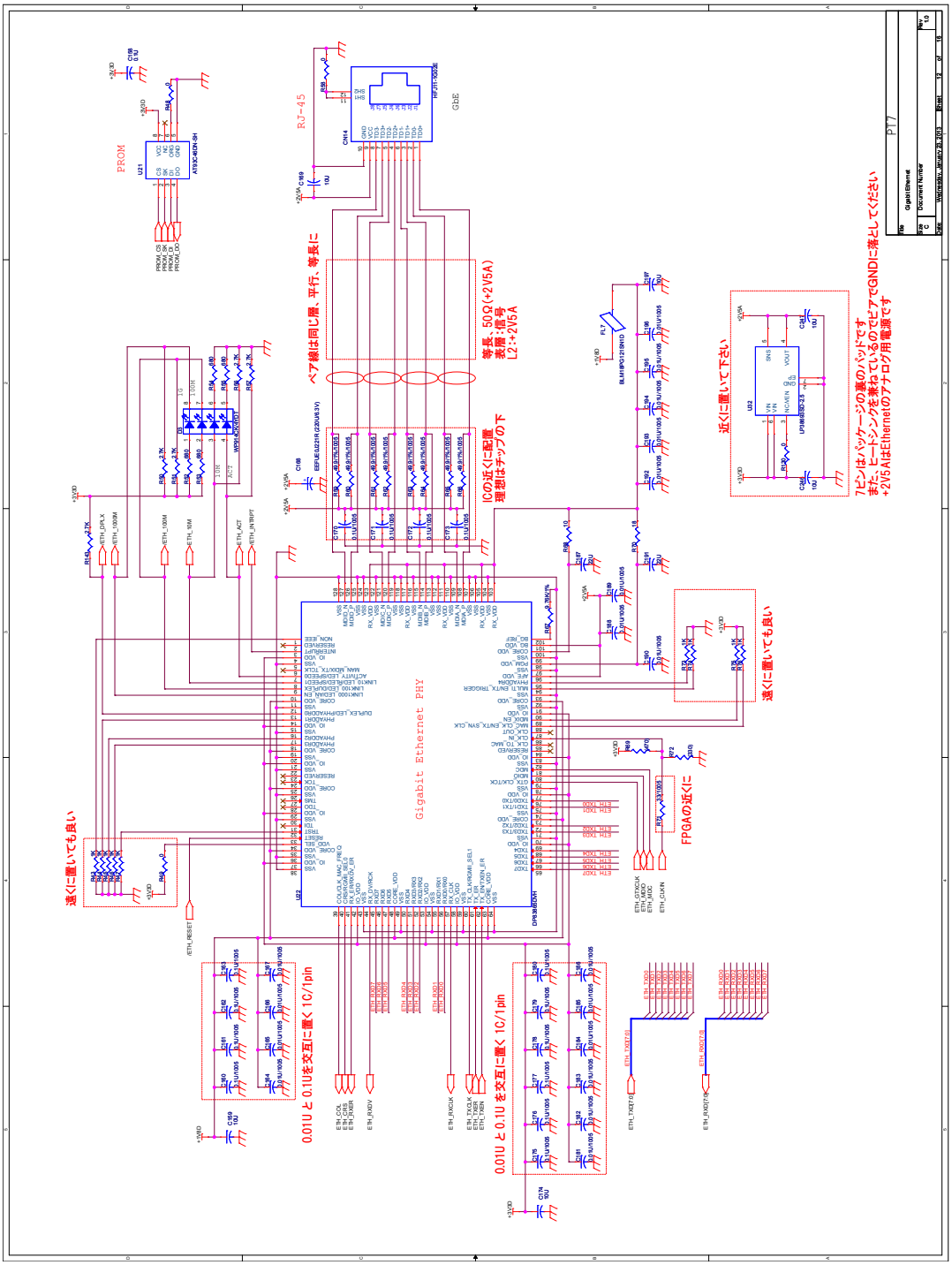


図 C.12: PT7 の回路図 (12)

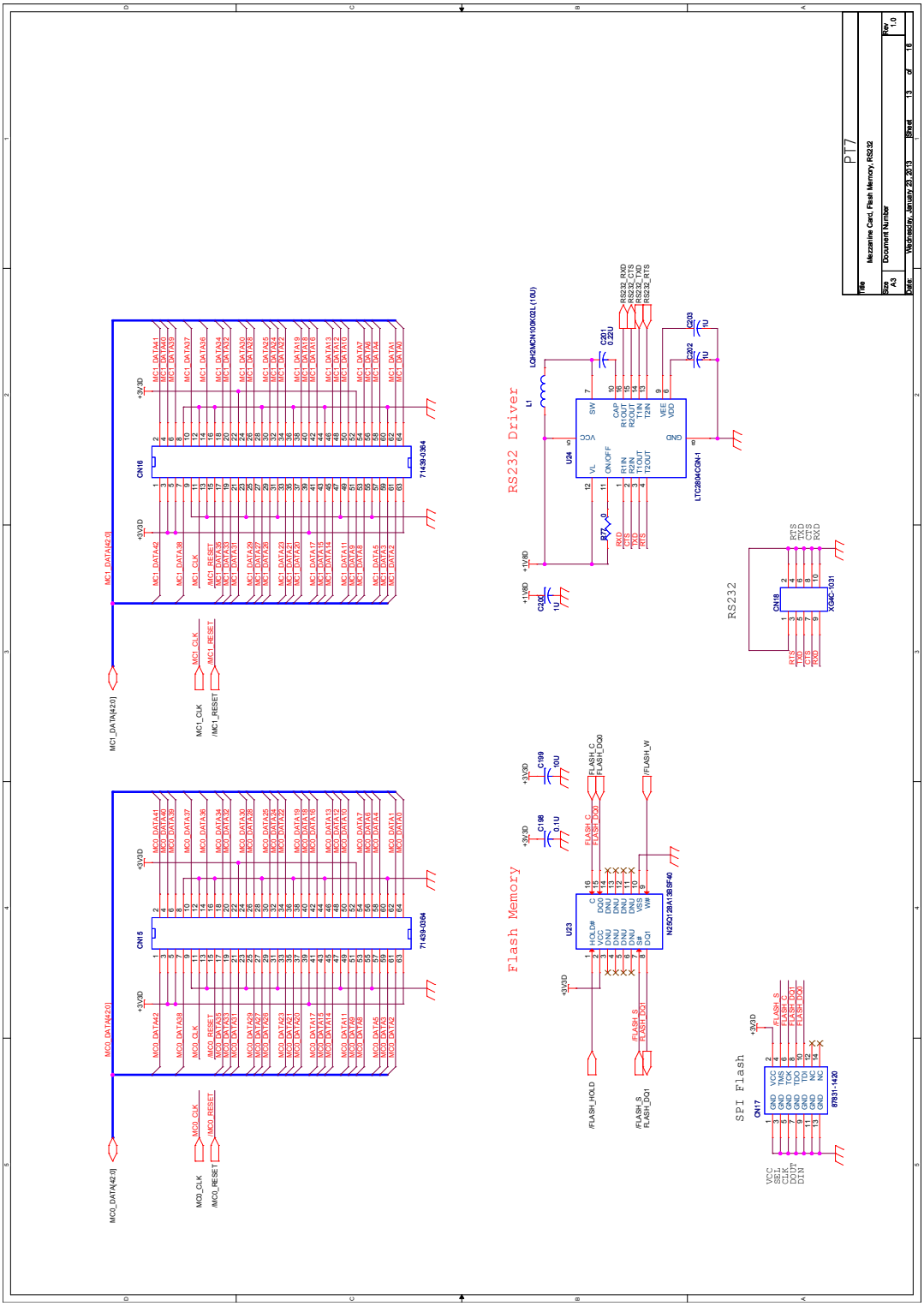


図 C.13: PT7 の回路図 (13)

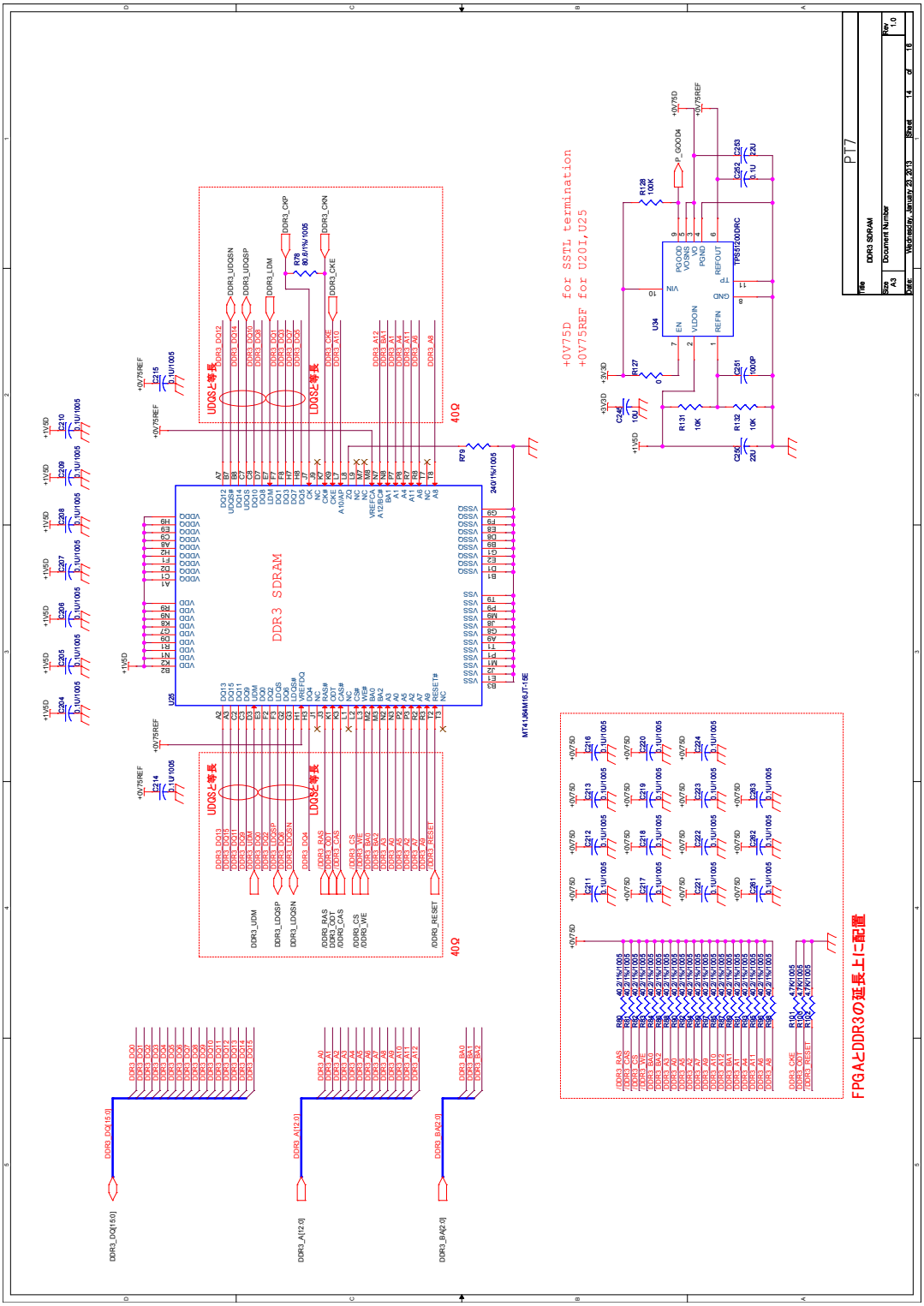


図 C.14: PT7 の回路図 (14)

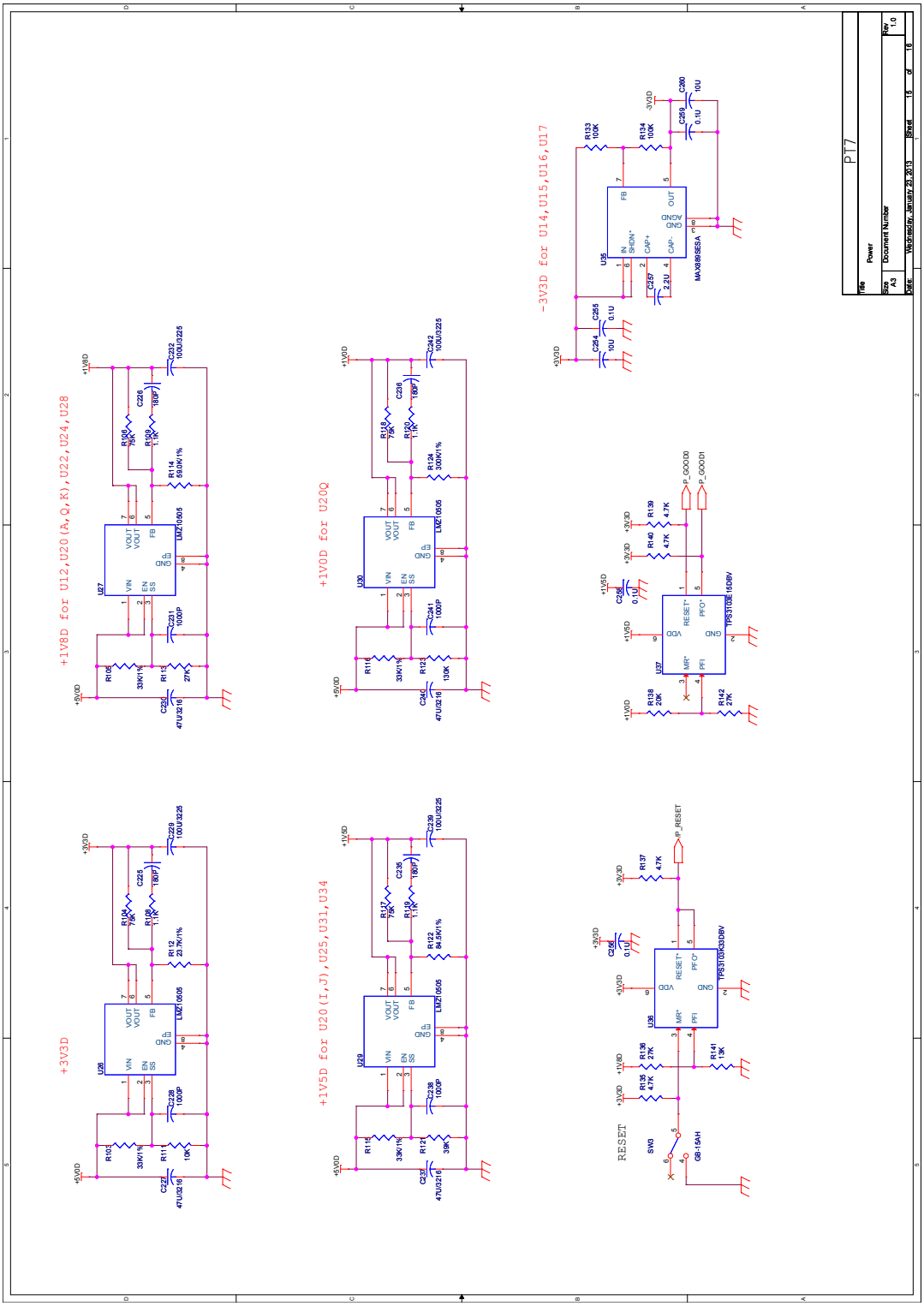


図 C.15: PT7 の回路図 (15)

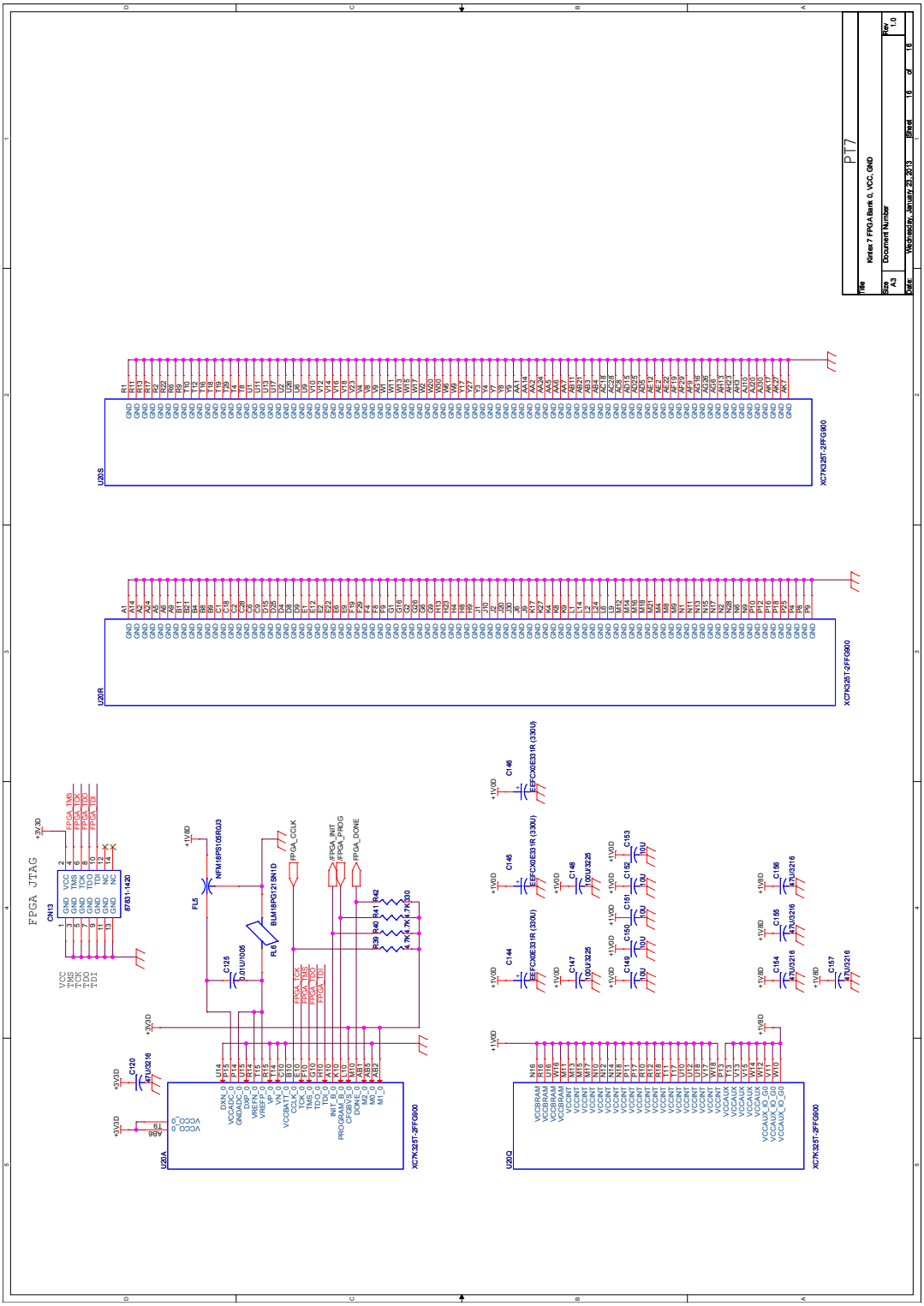


図 C.16: PT7 の回路図 (16)

付 録D　List of abbreviations

ここでは略語の一覧を表 D.1 に示す. expansion は非省略形, page は初出のページである.

表 D.1: List of abbreviations

abbreviation	expansion	page
ACK	Acknowledgement packet	70
ADC	Analog to Digital Converter	86
AFP	ATLAS Forward Proton detector	37
AGC	Automatic Gain Control	96
ALICE	A Large Ion Collider Experiment	12
ARP	Address Resolution Protocol	61
ASD	Amplifier Shaper Discriminator	48
ASIC	Application Specific Integrated Circuit	25
ATLAS	A Toroidal LHC ApparatuS	12
BCID	Bunch Crossing ID	49
BCR	Bunch Count Reset	24
BER	Bit Error Rate	86
BR	Branching Ratio	30
BSM	Beyond Standard Model	31
BW	Big Wheel	20
CCI	Control Configuration Interface board	50
CDR	Clock Data Recovery	82
CERN	Counseil Européen pour la Recherche Nucléaire	11
CMC	Common Mezzanine Card	112
CMS	Compact Muon Solenoid	12
CPLD	Complex Programmable Logic Device	46
CSC	Cathod Strip Chamber	19
CTLE	Continues Time Linear Equalizer	81
CTP	Central Trigger Processor	23
CW	Coincidence Window	45
DAC	Digital to Analog Converter	93
DAQ	Data Acquisition	22
DDR	Double Data Rate	105
DFE	Decision Feedback Equalizer	81
DoS	Denial of Service	74
DSP	Digital Signal Processor	46

abbreviation	expansion	page
ECR	Event Count Reset	24
EEPROM	Electrically Erasable and Programmable ROM	63
EF	Event Filter	22
FCal	Forward Calorimeter	18
FCS	Frame Check Sequence	69
FF	Flip Flop	46
FIFO	First In First Out	63
FMC HPC / LPC	FPGA Mezzanine Card High / Low Pin Count	84
FPGA	Field Programmable Gate Array	46
FTK	Fast TracKer	37
GbE	Gigabit Ethernet	60
GF	Gluon Fusion	27
GMII	Gigabit Media Independent Interface	112
HEC	Hadronic End-cap Calorimeter	18
HL-LHC	High-Luminosity Large Hadron Collider	31
HLT	High Level Trigger	23
HpT	High p_{T}	44
HSC	HpT SSW Crate / Controller board	50
HSSDC2	High Speed Serial Digital Connector 2	122
IBERT	Integrated Bit Error Ratio Test	87
IBL	Insertable B Layer	34
ICMP	Internet Control Message Protocol	61
ID	Inner Detector	15
IFG	Inter Frame Gap	69
IP	Interaction Point / Internet Protocol	34 / 61
IP Core	Intellectual Property Core	80
IR	Interaction Region	33
ISI	Inter Symbol Interference	81
ISO	International Organization for Standardization	60
J-PARC	Japan Proton Accelerator Research Complex	33
JTAG	Joint Test Action Group	87
KEK	高エネルギー加速器研究機構	33
L1	Level 1	22
L1A	Level 1 Accept	23
L1ID	Level 1 ID	49
L2	Level 2	22
L2A	Level 2 Accept	25
LAN	Local Area Network	61
LAr	Liquid Argon	17
LEP	Large Electron Positron collider	11
LFM	Linear Feet per Minute	107

abbreviation	expansion	page
LHC	Large Hadron Collider	11
LHCb	Large Hadron Collider beauty	13
LIU	LHC Injectors Upgrade	33
LS	Long Shutdown	32
LTP	Local Trigger Processor	24
LUT	Look Up Table	45
LVDS	Low Voltage Differential Signaling	47
MAC	Media Access Control	60
MDI	Medium Dependent Interface	112
MDT	Monitored Drift Tube	19
mET	missing E_{T}	28
MGT	Multi-Gigabit Transceiver	59
MII	Media Independent Interface	112
MM	MicroMegas	36
MSS	Maximum Segment Size	70
MTU	Maximum Transmission Unit	71
MUCTPI	Muon trigger to CTP Interface	46
MWPC	Multi-Wire Proportional Chamber	19
NIC	Network Interface Card	66
NIM	Nuclear Instrument Modules	104
NSW	New Small Wheel	35
OSI	Open Systems Interconnection	60
PCB	Printed Circuit Board	89
PCIe	Peripheral Component Interconnect express	83
PCS	Physical Coding Sublayer	80
PHY	Physical layer	63
PI	Phase Interpolator	93
PISO	Parallel In Serial Out	81
PMA	Physical Medium Attachment	80
PMBus	Power Management Bus	86
PMT	Photomultiplier Tube	37
PP	Patch Panel	48
pps	packet per second	66
PRBS	Pseudo-Random Bit Sequence	81
PS	Proton Synchrotron	12
PS Board	Patch panel and Slave board ASIC Board	48
PT6 / PT7	ProtoType 6 / 7	64 / 104
QCD	Quantum Chromodynamics	22
QGP	Quark Gluon Plasma	12
RBCP	Remote Bus Control Protocol	63
ROB / ROD / ROS	Read Out Buffer / Driver / Systems	23

abbreviation	expansion	page
RoI	Region of Interest	23
RPC	Resistive Plate Chamber	19
RS232C	Recommended Standard 232 version C	105
RTT	Round-Trip Time	66
SBC	Single Board Computer	51
SCT	Semi-Conductor Tracker	16
SDRAM	Synchronous Dynamic RAM	105
SFI / SFO	Sub Farm Input / Output	25
SFP+	Small Form factor Pluggable +	84
SGMII	Serial Gigabit Media Independent Interface	84
SI	Signal Integrity	92
SIPO	Serial In Parallel Out	82
SL	Sector Logic	44
SLB	Slave Board	44
SM	Standard Model	26
SMA	Sub Miniature type A	84
sMDT	small tube MDT	36
SPI	Serial Peripheral Interface	108
SPP	Service Patch Panel	54
SPS	Super Proton Synchrotron	12
SRIO	Serial Rapid IO	83
SSC	Sub Sector Cluster	51
SSW	Star Switch	52
sTGC	small wheel TGC	36
SUSY	Supersynmetry	31
SW	Small Wheel	20
SYN	Synchronize packet	74
TCP	Transmission Control Protocol	61
TDAQ	Trigger and Data Acquisition	22
TDM	Time Division Multiplexing	24
TGC	Thin Gap Chamber	19
TOF	Time Of Flight	48
TRT	Transition Radiation Tracker	16
TTC	Timing Trigger and Control system	23
UDP	User Datagram Protocol	62
UI	Unit Interval	81
UTP	Unshielded Twisted Pair	61
VBF	Vector Boson Fusion	27
VME	VERSAmodule Eurocard bus	50
VSWR	Voltage Standing Wave Ratio	85
XAUI / XLAUI	10Gb / 40Gb Attachment Unit Interface	83

参考文献

[1] CERN: LHC Design Report, 2004.

[2] ATLAS: Latest Results from ATLAS Higgs Search
http://www.atlas.ch/news/2012/latest-results-from-higgs-search.html

[3] CMS: Observation of a New Particle with a Mass of 125 GeV
http://cms.web.cern.ch/news/observation-new-particle-mass-125-gev

[4] CERN Document Server / Photos http://cds.cern.ch/collection/Photos

[5] CERN TWiki / ATLAS Public Results

[6] ATLAS: The ATLAS Experiment at the CERN Large Hadron Collider, 2008.

[7] ATLAS: Inner Detector Technical Design Report, 1997.

[8] ATLAS: Muon Spectrometer Technical Design Report, 1999.

[9] TTC ホームページ http://ttc.web.cern.ch/ttc/

[10] S-LINK ホームページ http://hsi.web.cern.ch/hsi/s-link/

[11] Michael Spira: Higgs Production and Decay at Future Machines, 1997.

[12] Michael Dührssen: Prospects for the measurement of Higgs boson coupling parameters in the mass range from 110 - 190 GeV/c^2, 2003.

[13] James Stirling: Tevatron and LHC parton luminosity comparison plots
http://www.hep.phy.cam.ac.uk/~wjs/plots/plots.html

[14] ATLAS: Letter of Intent for the Phase-I Upgrade of the ATLAS Experiment, 2012.

[15] F. Hügging: The ATLAS Pixel Insertable B-Layer (IBL), 2010.

[16] Nataliia Zakharchuk: Studies for the ATLAS Tracker Upgrade, 2011

[17] 鈴木友: アトラスレベル 1 ミューオントリガーにおけるバックグラウンドの評価とその除去, 日本物理学会 2011 年秋季大会発表.

[18] 二ノ宮陽一: ATLAS 実験の位置検出器を用いた新ミューオントリガーシステムの開発, 日本物理学会 2012 年秋季大会発表.

[19] 田代拓也: アトラス実験レベル 1 ミューオントリガーへの新しいアルゴリズムの導入, 日本物理学会 2012 年秋季大会発表.

[20] 玉川耕介: ATLAS 実験レベル 1 ミューオントリガーのアップグレード、アルゴリズムと性能評価, 日本物理学会 2012 年秋季大会発表.

[21] 飯沢知弥: ATLAS 実験における高速トラッキングトリガーシステムの効率化と最適化, 日本物理学会 2012 年秋季大会発表.

[22] 一宮亮: ATLAS 実験前後方ミューオントリガシステム用 Sector Logic の開発 (神戸大学修士学位論文), 2001.

[23] 桑原隆志: ALTAS 前後方ミューオントリガーシステムの構築 (東京大学修士学位論文), 2007

[24] 門坂拓哉: ATLAS 前後方ミューオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発 (神戸大学修士学位論文), 2008.

[25] 平山翔: ATLAS 実験前後方レベル 1 ミューオントリガーシステムの構築と検証 (東京大学修士学位論文), 2009.

[26] 徳永香: LHC アップグレードに向けた ATLAS レベル 1 ミューオントリガーの研究 (神戸大学修士学位論文), 2011.

[27] 二ノ宮陽一: High-luminosity LHC へ向けた ATLAS ミューオントリガー検出器用読み出しシステムの開発 (東京大学修士学位論文), 2011.

[28] 神谷隆之: ATLAS 前後方ミューオントリガーシステムのアップグレードに向けた読み出し系システムインフラストラクチャの研究開発 (東京大学修士学位論文), 2011.

[29] 鈴木雄太: Look Up Table 改良による ATLAS レベル 1 ミューオントリガーの性能向上の研究 (神戸大学修士学位論文), 2012.

[30] 小西拓也: ATLAS レベル 1 ミューオントリガープロセッサーのアップグレードに向けた研究 (神戸大学修士学位論文), 2012.

[31] 徳宿克夫: LHC/ATLAS アップグレードの展望, 2011.

[32] 中本建志: LHC アップグレード計画 (HL-LHC, LIU) と日本の貢献, 2012.

[33] 佐々木修: Muon Endcap Trigger Updates, ATLAS Upgrade Week 2012.

[34] Jon Postel: Internet Protocol, RFC791, 1981.

[35] Jon Postel: Transmission Control Protocol, RFC793, 1981.

[36] Jon Postel: User Datagram Protocol, RFC768, 1980.

[37] David C. Plummer: An Ethernet Address Resolution Protocol, RFC826, 1982.

[38] Jon Postel: Internet Control Message Protocol, RFC792, 1981.

[39] Robert Braden: Communication Layers, RFC1122, 1989.

[40] W. Richard Stevens: TCP Slow Start, Congestion Avoidance, Fast Retransmit, and Fast Recovery Algorithms, RFC2001, 1997.

[41] John Nagle: On Packet Switches With Infinite Storage, RFC970, 1985.

[42] IEEE 1149.1: IEEE Standard Test Access Port and Boundary Scan Architecture, 2001.

[43] IEEE 1386: IEEE Standard for a Common Mezzanine Card (CMC) Family, 2001.

[44] SiTCP ホームページ `http://e-sys.kek.jp/tech/sitcp/`

[45] SiTCP User Community `http://sitcp.bbtech.co.jp/xcl/html/`

[46] 内田智久: Hardware-Based TCP Processor for Gigabit Ethernet, 2008.

[47] 内田智久: SiTCP 説明書, 2011.

[48] Open-It: PT6-汎用 VME マザーボード
`http://openit.kek.jp/project/lists/z9z2o2/public/z9z2o2`

[49] Wireshark ホームページ `http://www.wireshark.org/`

[50] hping ホームページ `http://www.hping.org/`

[51] XILINX: Spartan-6 Family Overview, 2011.

[52] XILINX: 7 Series FPGAs Overview, 2012.

[53] XILINX: Spartan-6 FPGA Data Sheet: DC and Switching Characteristics, 2011

[54] XILINX: Kintex-7 FPGAs Data Sheet: DC and Switching Characteristics, 2012.

[55] XILINX: KC705 Evaluation Board for the Kintex-7 FPGA User Guide, 2012.

[56] XILINX: 7 Series FPGAs Configuration User Guide, 2012.

[57] XILINX: 7 Series FPGAs Memory Resources, 2012.

[58] XILINX: 7 Series FPGAs Packaging and Pinout, 2012.

[59] XILINX: 7 Series FPGAs GTX/GTH Transceivers User Guide, 2012.

[60] XILINX: ChipScope Pro Software and Cores User Guide, 2012.

[61] XILINX: ChipScope Pro Integrated Bit Error Ratio Test (IBERT) for Kintex-7 FPGA GTX, 2011.

[62] HUBER+ SUHNER: Coaxial Cable: S_04373_B, 2008.

[63] HUBER+ SUHNER: Within Series Adaptor: 31_SMA-50-0-1/111_N, 2010.

[64] Texas Instruments: UCD9248 Digital PWM System Controller, 2012.

[65] micron: 1Gb: x4, x8, x16 DDR3 SDRAM Features, 2006.

[66] 村上泰司: ネットワーク工学, 2004.

[67] 村上泰司: わかりやすい情報交換工学, 2009.

謝辞

本研究及び 2 年間の研究生活においてご助力いただいた皆様方に, この場を借りて謝意を述べさせていただきます.

まず本研究の機会を与えてくださり, また実験に対する助言や至言をいただいた坂本宏教授に深く感謝いたします. ご指導は実験にとどまらず, 人として, 研究者としてステップアップすることができました. 佐々木修氏, 池野正弘氏, 内田智久氏には, 未熟な私にハードウェアに関する助言を数多いただきました. 感謝申し上げます. 有限会社ジー・エヌ・ディーの宮沢正和代表には, ボードの制作に関して無理な要求も聞いていただき, 感謝しきれません. ありがとうございました.

ATLAS 日本グループの徳宿克夫氏, 小林富雄氏, 川本辰男氏, 浅井祥仁氏には CERN 内外問わずお世話になりました. 感謝いたします. 特に TGC に関する研究において蔵重久弥氏, 福永力氏, 岩崎博行氏, 戸本誠氏, 石野雅也氏, 隅田土詞氏, 長野邦浩氏, 越智敦彦氏, 松下崇氏を始めとした方々にご助力いただきました. ありがとうございました.

鈴木友氏, 早川俊氏, 岸本巴氏, 青木雅人氏, 長谷川慧氏, 若林潤氏には, 研究だけでなく日常生活に至るまで面倒を見ていただき, ありがとうございました. また, CERN での生活を刺激的にして下さった道前武氏, 奥山豊信氏, 管野貴之氏, 野辺拓也氏, 廣瀬穣氏, 岡村航氏, 遠藤理樹氏には深く感謝いたします. 田代拓也氏, 山内克弥氏, 渡邊一平氏, 北村拓己氏は同期として切磋琢磨し, 成長することができました.

東裕也氏, 山口博史氏, 佐々木雄一氏, 吉原圭亮氏, 宮崎彬氏, 風間慎吾氏を始め ICEPP の先輩方には色々とお世話になりました. 感謝申し上げます. また, 同期の大和田健太氏, 森永真央氏, 黒崎龍平氏, 稲田聡明氏, 有馬匡彦氏, 崔原硯氏, 山田崇人氏, 東直氏, 谷美慧氏のおかげで楽しい学生生活になりました. 同じ研究室で時に真剣に議論し, 時に笑い合った織田勧氏, 結束晃平氏, 二ノ宮陽一氏, 加藤千曲氏には, ここで日頃の感謝の意を申し上げたいと思います.

事務員の安蒜律子氏, 塩田雅子氏, 手塚淑恵氏, 竹本葉子氏, 宮園あき子氏の影のご尽力おかげで, 学生生活を恙なく過ごすことができましたことに深く感謝申し上げます.

最後に, これまで好きに研究を続けさせてくれた祖母に感謝の意を述べ, 謝辞と致します.