修士学位論文

ATLAS前後方ミューオントリガーシステム オンライン系の開発と統合テストビームによる動作検証

東京大学 大学院 理学系研究科 物理学専攻 坂本研究室 藤井 祐介

2005年1月6日

概 要

欧州合同原子核共同研究機構 (CERN) において、ATLAS 実験が 2007 年より開始される。 ATLAS 検出器は大型陽子陽子衝突型加速器 (LHC)の衝突点に設置され、重心系で 14TeV のエ ネルギーを持つ。ATLAS 実験では、素粒子の質量の起源を担うヒッグス粒子の発見や、標準 理論の枠組みの外に予言されている超対称性粒子の発見を目指している。ATLAS 実験開始ま であと2年余りとなり、今年度は全検出器でのテストビームを行った。われわれはこの ATLAS 検出器の中で、前後方ミューオントリガーチェンバーとして用いられる TGC システムの開発 を行っている。この論文では、最終デザインの完成しつつある TGC エレクトロニクスの Test Beam での動作検証について論ずる。

目 次

第1章	序論	1
第2章	ATLAS 実験	3
2.1	LHC	3
2.2	ATLAS の目指す物理	4
	2.2.1 標準理論 Higgs 粒子	4
	2.2.2 超対称性粒子 (SUSY)	7
	2.2.3 超対称性 Higgs 粒子	8
	2.2.4 その他の物理	8
2.3	ATLAS 検出器	9
	2.3.1 インナーディテクター	10
	2.3.2 カロリメータ	10
	2.3.3 ミューオン・スペクトロメータ	11
	2.3.4 マグネットシステム	13
2.4	ATLAS 実験でのトリガー & DAQ システム	15
	2.4.1 LVL1	16
	2.4.2 LVL2	18
	2.4.3 EF (Event Filter)	19
第3章	TGC ミューオントリガーシステム	20
第3章 3.1	TGC ミューオントリガーシステム TGC の構造	20 20
第3章 3.1 3.2	TGC ミューオントリガーシステム TGC の構造....................................	20 20 23
第3章 3.1 3.2 3.3	TGC ミューオントリガーシステム TGC の構造	20 20 23 25
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造	20 20 23 25 26
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム TGC エレクトロニクス 3.4.1	20 20 23 25 26 26
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置	20 20 23 25 26 26 29
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board	20 20 23 25 26 26 29 29
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board 3.4.4 PP(Patch Panel) ASIC	20 23 25 26 29 29 31
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム FUブースキーム TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board 3.4.4 PP(Patch Panel) ASIC 3.4.5 SLB(Slave Board) ASIC	20 20 23 25 26 26 29 29 31 32
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム FUTOL TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board 3.4.4 PP(Patch Panel) ASIC 3.4.5 SLB(Slave Board) ASIC 3.4.6 JRC(JTAG Routing Controller)	20 23 25 26 29 29 31 32 34
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム FQC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board 3.4.4 PP (Patch Panel) ASIC 3.4.5 SLB(Slave Board) ASIC 3.4.6 JRC(JTAG Routing Controller) 3.4.7 DCS(Detector Control System)	20 20 23 25 26 26 29 29 31 32 34 34
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置 トリガースキーム TGC エレクトロニクス 3.4.1 システム全体 3.4.2 TGC エレクトロニクスの設置 3.4.3 ASD(Amplifier Shaper Discriminator) Board 3.4.4 PP(Patch Panel) ASIC 3.4.5 SLB(Slave Board) ASIC 3.4.6 JRC(JTAG Routing Controller) 3.4.8 PS Board	20 23 25 26 29 29 31 32 34 34 35
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造	20 20 23 25 26 26 29 29 31 32 34 34 34 35 36
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造	20 23 25 26 29 29 31 32 34 34 35 36 36
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造	20 20 23 25 26 29 29 31 32 34 34 34 35 36 36 37
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造	20 23 25 26 29 29 31 32 34 34 35 36 36 37 38

	3.4.14 Read Out Driver Board (ROD)	0
	3.4.15 High-pT Star-switch Controller Board (HSC)	1
	3.4.16 Control Configuration Interface Board(CCI)	1
笹₄音	テストビーム 4	2
⊿ 4 1		2
4.9	۲ <u>– ۲</u>	2
4.2		2 2
4.0	1991日前 · · · · · · · · · · · · · · · · · · ·	5 6
4.4	$441 \mathbf{f}_{\mathbf{r}} \mathbf{i} \mathbf{j} \mathbf{i} \mathbf{i} \mathbf{i} \mathbf{i} \mathbf{i} \mathbf{i} \mathbf{i} i$	6
	$4.4.1 \mathbf{J} \perp \mathbf{J} \perp \mathbf{J} \parallel \mathbf{J} \perp \mathbf{J} \parallel \mathbf{J} \perp \mathbf{J} \parallel \mathbf{J} \perp \mathbf{J} \parallel \mathbf{J} \parallel$	0 6
4.5	$4.4.2 \mathbf{L} \mathbf{V} \mathbf{V} \mathbf{V} \mathbf{U} = \mathbf{V} \mathbf{X} \cdot \cdots \cdot \mathbf{U} \mathbf{U} \mathbf{U} \mathbf{U} \mathbf{U} \mathbf{U} \mathbf{U} \mathbf{U}$	0
4.0		0
	4.5.1 LVLI System	1
	4.5.2 HLI(High Level Irigger) $\ldots \ldots \ldots$	1
	4.5.3 RCD(Rod Crate Daq) $\dots \dots \dots$	3
	4.5.4 DAQ 9 7 F 9 ± 7	4
	4.5.5 online УЈ ГЈ Г ГЈ ГЈ ГГ ГЈ ГЈ ГГ ГЈ ГЈ Г Г Г Г Г Г Г Г Г Г	4
	4.5.6 テストヒームでの DAQ 5.	5
4.6	TGC DAQ	6
	4.6.1 ROD	6
	4.6.2 $\uparrow \checkmark \lor \models$ format	6
4.7	online ソフトウェア 開発	8
	4.7.1 目的	8
	4.7.2 TGC $\mathbf{L} \mathbf{\nu} \mathbf{\rho} \mathbf{h} \mathbf{n} = \mathbf{\rho} \mathbf{\lambda} \mathbf{n} \mathbf{\nu} \mathbf{h} \mathbf{n} \mathbf{n} \mathbf{n} \mathbf{n}$ 54	8
	4.7.3 RCD ソフトウェア 55	9
	$4.7.4 \vec{r} - \boldsymbol{9} \vec{\wedge} - \boldsymbol{7} \dots \dots \dots \dots \dots \dots \dots \dots \dots $	0
	4.7.5 TGC での RCD ソフトウェア	0
	4.7.6 SBC(Single Board Computer) $\ldots \ldots 6$	1
	4.7.7 online 環境の動作検証	3
4.8	$DAQ rate \mathcal{B}\mathcal{V} trigger \qquad 66$	4
	4.8.1 データサイズ 64	4
4.9	スケール	4
4.10	TGC 動作検証	5
	4.10.1 チェンバーオペレーション	5
	4.10.2 タイミング調整	6
	4.10.3 ヒットマップ	1
	4.10.4 トリガーアウトプットの検証	3
	4.10.5 シミュレーションでのコンシステンシーの検証	6
	4.10.6 MUCTPI へのデータ転送の検証	8
	4.10.7 レイテンシー	9
4.11	Combined run	0
	4.11.1 MDT-TGC 相関 8	0
	4.11.2 インナーディテクター、カロリメータからのデータ 8	3

第5章 まとめ

88

付 録 A 略語一覧

89



2.1	LHC 加速器	3
2.2	CMS	4
2.3	Alice	4
2.4	LHC-B	4
2.5	Higgs 生成のファインマン・ダイアグラム	5
2.6	Higgs 生成断面積の質量依存................................	5
2.7	Higgs 崩壊分岐比の質量依存	6
2.8	標準 Higgs 粒子発見の可能性...............................	7
2.9	ATLAS 測定器	9
2.10	インナーディテクターの構造................................	10
2.11	カロリメータの構造	11
2.12	ミューオン・スペクトロメータ	12
2.13	ミューオン・スペクトロメータ (R-Z 断面図)	12
2.14	MDT の構造	13
2.15	マグネットの構造....................................	14
2.16	η と磁場積分強度の関係	14
2.17	X-Y 平面の磁束の構造 (z=10.5m)	14
2.18	Trigger & DAQ システム	15
2.19	LVL1 トリガー処理の流れ	16
2.20	TTCpartition	18
31	TGC の配置と構造	20
3.2	1000000000000000000000000000000000000	20
9.2 3.3	TGCの新面図	91
3.5 3.4	TGCのTriplet(左)とdoublet(右)の構造	21 22
3.5	TGCの時間分布	22 22
3.6	R-7 断面での TGC のレイアウト	23
3.7	M_3 (nivot)でのTGCの配置と区分	24
3.8	Pt 測定の原理	25
3.9	TGCトリガーの判定方法	26
3.10	TGC I L D D L D D L D D D D D D D D D D	27
3.11	TGC エレクトロニクスのデータの流れ	28
3.12	TGC エレクトロニクスの配置	30
3.13	TGC エレクトロニクスの配置 (R-Z 断面)	30
3.14	ASD Board	30
3.15	PP ASIC のプロック図	31
3.16	SLB 3 out-of 4 プロック図	32

3.17	SLB 2 out-of 3 ブロック図	2
3.18	SLB 1 out-of 2 ブロック図 33	3
3.19	SLB EI/FI ブロック図	3
3.20	デクラスタリング	3
3.21	JRC 内部の模式図 34	1
3.22	PS Board の構成図	5
3.23	PS Board	5
3.24	Service Patch Panel	3
3.25	PS-Pack の構成と配置	3
3.26	HPT ワイヤ ブロック図 37	7
3.27	HPT ストリップ ブロック図 37	7
3.28	HPT Board	3
3.29	SL	3
3.30	SL プロック図)
3.31	SL での処理の流れ)
3.32	SSW)
3.33	ROD)
3.34	HSC	L
3.35	CCI 41	L
4 1		,
4.1		5
4.2		Ł
4.3	$H8$ テイテクター配直 \dots $H8$ ティテクター配直 \dots $H8$ $H8$ $H8$ $H8$ $H7$ $H8$ $H8$ $H8$ $H8$ $H8$ $H8$ $H8$ $H8$	ł
4.4	1ノノーティテクターとカロリメータ 4c)
4.0	$TGC, MDI \dots \dots$)
4.0	1GC テェノハー 即直)
4.1	テェノハーダイノとエレットロークスダイノ)
4.0	$\mathbf{L}\mathbf{V}\mathbf{T}$ setup) \
4.9		,)
4.10	$\operatorname{TTC} \mathbf{D} \mathbf{L} = \mathbf{b} $,)
4.11	$POD \Delta L = b$,)
4.12	TTC_{avetom}	, 1
4.10	TTCCデータフロー 59	,)
4.14	HITでのデータフロー 59)
4.10	$\begin{array}{c} \text{RDD} C \text{ rate} \overline{\mathbb{V}} \end{array}$	2
4.10	online State	, 1
1 18	partition 55	с 5
4.10 A 10	$anline \int z \mathbf{I} \mathbf{J} \mathbf$, ;
4 20	Combined data format	, 7
1.40 4.91	segment 🛛)
1.21 4.99	⁵⁰ 5mmm 四	′)
1.22		′
	TGC データベース 構造 60)
4.20	TGC データベース構造)

4.25	configure process	2
4.26	SBC	2
4.27	HV スキャン 縦軸:エフィシエンシー	5
4.28	層毎のエフィシエンシー 縦軸:エフィシエンシー 横軸:層68	5
4.29	Delay parameter \mathcal{F}_{a} - \mathbb{Z}_{a}	3
4.30	M1 delay curve 上から T1,T2,T3 67	7
4.31	M1 gate curve 上から T1,T2,T3	3
4.32	M2 delay curve 上から D4,D5 69	9
4.33	M2 gate curve 上から D4,D5 65	9
4.34	M3 delay curve 上から D6,D7 70)
4.35	M3 gate curve 上から D6,D7 70	C
4.36	M1 hit map	1
4.37	M2 hit map	2
4.38	M3 hit map	2
4.39	SL-Pt 分布	4
4.40	SLRoI 分布に対応する beamprofile	4
4.41	SL-RoI 分布	4
4.42	Low Pt delay curve	5
4.43	SL output delay curve	5
4.44	リードアウト consistency check	6
4.45	パターン 1 での代表的な hit map 上がビーム上流	7
4.46	MUCTPI-TGCSL の Pt コンシステンシー	3
4.47	MUCTPI-TGCSLのRoIコンシステンシー	3
4.48	MDT-BARREL からの外挿 赤:BIL 緑:BML 青:BOL80	C
4.49	MDT-BIL からの外挿と TGC 相関 83	1
4.50	カット後の MDT-BIL からの外挿と TGC 相関83	1
4.51	MDT-EML からの外挿と TGC 相関 赤:16ch 緑:17ch 青:18ch 82	2
4.52	tile vs lar CTP トリガー	4
4.53	tile vs lar 10×10 トリガー 84	4
4.54	tile energy CTP トリガー 85	5
4.55	tile energy 10×10 FU \mathcal{J} -	5
4.56	インナーディテクターと MDT にトラックがある場合とない場合の Pt 86	5
4.57	PT1とPT6でのビーム 86	3
4.58	Pt1 の場合の hit 分布	7
4.59	Pt1の場合のLowPtcoincidence-delta	7



2.1	LHC 加速器の主なパラメーター	4
2.2	TTC で使われる主な信号	17
4.1	Header データ	56
4.2	モジュールへのアクセス	61
4.3	module 毎のパラメーター数と configure 時のエラー	63
4.4	テストビームと $ATLAS(1/12)$ での $configure$ 量の比較	63
4.5	ビームタイム	64
4.6	テストビームと ATLAS 実験でのスケール	64
4.7	トリガーエフィシエンシー	73
4.8	SLPt 出力	73
4.9	consistency $\square \neg \neg \neg$	76
4.10	TGC-MUCTPI 間 BCID のずれ	78
4.11	レイテンシー	79
4.12	テストビームと ATLAS 実験での違い	79

第1章 序論

現在スイス・ジュネーブにある欧州合同原子核共同研究機構 (CERN) にて大型陽子陽子衝突型 加速器 LHC(Large Hadron Collider) 計画が進んでいる。LHC は重心系 14TeV のエネルギー を実現する陽子衝突型加速器で、2007 年に運転を開始する予定である。LHC の衝突点の 一つに設置されるのが ATLAS 検出器である。ATLAS 検出器は現在標準理論で唯一未発見の 粒子である Higgs 粒子、及び標準理論の枠組みの外に予言されている超対称性粒子の発見を目 指す。

LHC のエネルギーが非常に高いことから、確実に散乱粒子を捕らえるため、ATLAS 検出器の規模も全長 40m 高さ 20m 重さ 7000t と過去にない大きなものとなる。LHC のバンチ衝突は 40MHz で起き、最大ルミノシティ $10^{34}cm^{-2}s^{-1}$ であり、1 バンチ衝突あたり平均 23 個の陽子 陽子非弾性衝突事象が起こる。そのような高頻度な事象と検出器の規模の大きさから、必要な イベントを効率良く選び出す DAQ システムも複雑なものとなる。トリガーシステムは 3 段階 で構成され、われわれは、最初の段階である LVL1 トリガーの役割を担い、前後方ミューオン トリガーチェンバーとして使用される TGC を開発してきた。

実験開始まで2年余りとなった今年度は、CERN-SPS 加速器からのビームを LHC と同じ 40MHz にバンチ化して使用し、ATLAS 検出器に使用される全ての検出器を使用して本実験を 見据えたテストビームが行われた。ATLAS 検出器は過去の実験にない非常に大規模な装置で あるが、データ収集の開始から終了まで全システムが同期を取ってコントロールされ、検出器 の各部分が 25nsec 間隔で起きる事象を正確に特定し同じバンチのデータを収集しなければな らない。そのため、システムは複雑なものになっておりテストビームでのデータ収集スキーム の評価が必要不可欠である。ATLAS検出器のデータ収集系での特徴は、25nsecという短いバ ンチ間隔のため、LVL1 トリガー時にパイプライン処理を行うことや、TTC(Timing Trigger Control)と呼ばれるトリガーシグナルを正確に検出器全体に配るシステムが用いられているこ とである。またデータ収集系は、検出器の規模の大きさから、検出器の各部分毎に動作確認を することができ、その後スムーズに各部分の集合体として動作出来るように設計されている。 テストビームでの目的はこれらの機能を備えた ATLAS 検出器のスキームを検証することであ り、各検出器の性能評価、部分毎に動作確認された各検出器の統合試験、DAQ スキームテス トが行われた。TGC グループに求められるのは、トリガー検出器としてミューオンの発生し たバンチを決定し、そのミューオンの位置とPt(横運動量)の概要をすばやく出力することであ る。このミューオンの結果はLVL1のトリガー判定の材料となる。結果、ほぼ全ての検出器が同 時にデータ収集を行い (Combined Run)、データ (combined data) を取得した。また、われわ れはこのテストビームで TGC が ATLAS 実験に於いて LVL1 トリガーシステムの一部として 機能できることを示した。各検出器グループは、LVL1アクセプトされたデータをROD(Read Out Driver) と呼ばれる VME モジュールから S-Link という共通な規格により送り出すまでの エレクトロニクスを開発する必要がある。この ROD が配置されるクレート (ROD Crate) は、 ROD よりも検出器に近いエレクトロニクスのコントロールを全て行うため、このクレートの コントロールは重要である。

この論文では、今回のテストビームでの ROD Crate のコントロールを中心とした online ソ

フトウェアの開発、トリガースキームを実現するためのTGCエレクトロニクスの検証、TGC を主眼に置いた combined data 解析の結果をまとめる。第2章でATLAS実験について簡単に まとめ、第3章でTGCについて解説する。第4章で今回のテストビームについて述べ、第5 章で最後にまとめる。

第2章 ATLAS実験

この章では初めに ATLAS 実験が行われる LHC 加速器について説明し、続いて ATLAS 実験で 発見が期待される物理、ATLAS 検出器の各検出器について説明する。

2.1 LHC

LHC(Large Hadron Collider)は2007年実験開始を目指して、スイスとフランスの国境にあるCERN(欧州合同原子核共同研究機構)にて地下100mに建設中の周長約27kmの大型陽子 陽子衝突型加速器である。図2.1にLHCの完成予想図を示す。ハドロンコライダーであるため シンクロトロン放射によるエネルギー損失が少なく、重心系14TeVの高エネルギー領域の実験 が可能である。陽子ビームは1.1×10¹¹ 個づつバンチ化され、バンチ・クロッシング・レート は40.08MHzで、高ルミノシティ時には1回のバンチクロッシングあたり平均23回の陽子衝 突が予想される。LHCの主なパラメーターを表2.1に示す。



図 2.1: LHC 加速器

主リング周長	$26.66\mathrm{km}$	重心系エネルギー (陽子+陽子)	$7.0 \mathrm{TeV} + 7.0 \mathrm{TeV}$
(低) ルミノシティ	$10^{33} {\rm cm}^{-2} {\rm sec}^{-1}$	(高) ルミノシティ	$10^{34} {\rm cm}^{-2} {\rm sec}^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	$450 \mathrm{GeV}$
衝突頻度	$40.08\mathrm{MHz}$	バンチ間隔	24.95nsec
1 バンチあたりの陽子数	10^{11} 個	バンチの長さ	$75 \mathrm{mm}$
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	23
衝突点のビーム半径	$16\mu{ m m}$	衝突角度	$200\mu rad$

表 2.1: LHC 加速器の主なパラメーター

LHC には4つのビーム衝突点がありそれぞれに、後述する大型汎用検出器 ATLAS(A Troidal LHC ApparatuS)、ATLAS より小型の汎用検出器である CMS(the Compact Muon Solenoid 図 2.2)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment 図 2.3)、 B-Physics に特化した検出器 LHC-B(図 2.4) が設置される。



2.2 ATLASの目指す物理

ATLAS 実験の主要な目的は Higgs 粒子と超対称性粒子の発見である。以下にそれらについて簡単に説明する。

2.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要 な目的はこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100 GeV から 1 TeV の広範囲 で Higgs 粒子を探索する能力を持つ。

Higgs 粒子は重い粒子と結合しやすいため、主に以下の4つの生成過程が考えられる。それ ぞれのファインマンダイアグラムを図 2.5 に、生成断面積と質量の関係を図 2.6[1] に示す。

1. $gg \to H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊して出来る粒子以外に大きな p_T(運動量)を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。



図 2.5: Higgs 生成のファインマン・ダイアグラム

図 2.6: Higgs 生成断面積の質量依存

- 2. $qq \rightarrow qqH$ (W/Z fusion) クォ-クから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較 $的大きく、反跳したクォークに起因する大きな <math>p_T$ を持つジェットが 2 本観測される特徴 があり、イベントの選別が比較的行いやすい。
- 3. $qq \rightarrow (W/Z)H$ (W/Z associate production) クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終 状態にゲージボソン (W/Z) が観測される特徴がある。
- 4. qq/gg → ttH (top associate production)
 対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいる。

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.7[1] に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を 簡単に説明する。

- 1. $H \to \gamma \gamma \ (m_H < 150 \text{ GeV})$ この質量領域では、実は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+ \tau^-$ が支配的であるが、陽子陽子衝突から引き起こさ れる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが $H \to \gamma \gamma$ を観測し、不変質量 $M_{\gamma\gamma}$ 分布を求めると、Higgs 粒子の質量が鋭いピークとし て存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。
- 2. $H \rightarrow \tau \tau (m_H < 150 \text{ GeV})$ Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma \gamma$ よりも崩 壊確立が高く、W/Z fusion の生成過程を考えることでバックグラウンドと区別すること ができる。この場合、Higgs のピークはバックグランドである Z のピークのテールに現れ る。 τ の崩壊にはニュートリノが含まれるので E_T^{miss} の精度が重要になる。



図 2.7: Higgs 崩壊分岐比の質量依存

3. $H \rightarrow ZZ^* \rightarrow 4l^{\pm}$ (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に 対しては、不変質量 *m_z* に等しくないという条件を課することが出来るが、*Z** が仮想粒 子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器に は運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ がある。このうち ZZ^* 、 $Z\gamma^*$ は減らす ことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれレプトン対が、 Z起源または Z^* 起源であるという条件をつけることによって取り除くことが出来る。

- 4. $H \rightarrow ZZ \rightarrow 4l^{\pm}$ (180GeV~800GeV) このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に m_Z に 等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。
- 5. $H \to ZZ \to ll\nu\nu$ (400GeV~) この領域では、このモードの方が $H \to ZZ \to 4l^{\pm}$ よりも分岐比が約6倍も高い。 $\nu\nu$ の 不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー E_T^{miss} を精密に測定することが必要になる。
- 6. $H \to WW \to l\nu jj, H \to ZZ \to lljj$ (600GeV~)

この領域ではこれらのモードが $H \to ZZ \to 4l^{\pm}$ に比べて、 $H \to WW \to l\nu jj$ は約 150 倍、 $H \to ZZ \to lljj$ は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウン ドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この 過程では、散乱角前方にクォークによる 2 つのジェットが特徴的で、このジェットを指標 とすることでバックグラウンドを排除することが出来る。 最後に ATLAS 実験における標準 Higgs 粒子発見の可能性を図 2.8 に示す。図 2.8 より、100 fb⁻¹ の積算ルミノシティがあれば、標準 Higgs 粒子は 10σ の確からしさで発見できることを示して いる。



図 2.8: 標準 Higgs 粒子発見の可能性

2.2.2 超対称性粒子 (SUSY)

素粒子物理学の究極の目標は重力を含めた力の大統一であり、超対称性(SUSY)の発見はこれに向けての大いなる一歩であると最も有力視されている。LEPでのゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示された。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンが 1/2 だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を予言する。例えば、クォークやレプトン(フェルミオン)のスーパーパートナーとして、スクォーク(\tilde{q})やスレプトン(\tilde{l})(ボソン)があり、グルーオン(ボソン)のスーパーパートナーとして、スクォーク(\tilde{g})(フェルミオン)がある。もし、この理論が正しければ、LHCでは強い相互作用をするスクォークやグルイーノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊仮定によっては比較的重いニュートラリーノ $(\tilde{\chi}_{2,3,4}^0)$ やチャージーノ $(\tilde{\chi}_{1,2}^\pm)$ が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP (Lightest SUSY Particle) になる。この LSP の候補としては最軽量ニュートラリーノ $(\tilde{\chi}_1^0)$ が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー E_T^{miss} として現れるので、ジェットと共に E_T^{miss} を指標として探索を行う。主な崩壊として以下の3つがある。

1. Multijets+ $E_T^{miss} \in - \aleph$

$$\tilde{g} \rightarrow q \tilde{q} \tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss}$$

$$\tilde{q} \rightarrow q \tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss}$$

2. 同符号の 2 レプトン・モード

$$2\tilde{g} \to 2(q\tilde{q}\tilde{\chi}_i^{\pm}) \to 2(q\tilde{q}\tilde{W}^{\pm}\tilde{\chi}_1^0) \to 2(\text{jets} + l^{\pm} + E_T^{miss})$$

3.3 レプトン・モード

$$\tilde{\chi}_1^{\pm} \tilde{\chi}_2^0 \rightarrow l \nu \tilde{\chi}_1^0 + l l \tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

2.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM(Minimal Supersymmetric extension of Standard Model) では、2 つの Higgs 2 重項が要求され、結果的に 5 つの Higgs 粒子が導入される。この 5 つはそれぞれ、H[±](荷電スカラー)、h(中性軽スカラー)、H(中性重スカラー)、A(中性擬スカ ラー)である。これらの Higgs 粒子の質量は 2 つのパラメーター tan β 、 m_A で表される。 以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

1. $H/A \rightarrow \tau \tau$

標準 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い 分岐比が期待される。生成された ⁷ 粒子の両方がレプトンに崩壊するチャネルと、一方 はハドロンに崩壊するチャネルの 2 種類のモードが利用できる。

2. $H/A \rightarrow \mu\mu$

 $H/A \rightarrow \tau \tau$ に比べて、分岐比は $(m_{\mu}/m_{\tau})^2$ 倍低いが、精度よく測定が行えることから $\tau \tau$ モードでの測定を補う役割が期待される。

3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow bb\overline{b}b$ が支配的だが、このモードでは効率の良いトリガーが行えな いため、 $hh \rightarrow \gamma\gamma\overline{b}b$ チャネルで観測されることが期待される。イベントレートは低いが、 2 つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4. $A \to Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$ など Z の崩壊で生じる 2つ のレプトンでトリガーを行う方法が有効である。

2.2.4 その他の物理

ALTAS 実験の目的は上で述べた新しい素粒子現象の探索以外に標準理論の検証、ボトムクォークの精密検証、QCD の精密検証などもある。

標準理論の検証はトップクォークの質量や部分崩壊率の測定などにより行われ、ボトムクォークの精密研究はボトムクォークの稀崩壊現象を探索し標準理論を超える物理を探る手段として

行われる。QCDの精密研究はクォークに内部構造がないかということを高い横運動量を持つ ジェットの生成断面積の測定を通して行われる。

2.3 ATLAS 検出器

ATLAS 検出器は、直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な汎用検出 器である。その全体図を図 2.9 に示す。検出器は内側からインナーディテクター、カロリメー タ、ミューオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置 されている。LHC の高いルミノシティにおいても、フォトン、電子、ミューオン、ジェット、 E_T^{miss} などの信号を高速かつ正確に処理できるように、以下のような要求を満たすように設計 されている。[2]



図 2.9: ATLAS 測定器

- 電磁カロリメータによる高精度の電子とフォトンのエネルギーと位置の測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー *E*^{miss}の測定
- ミューオン・スペクトロメータによる高精度のミューオンの運動量測定
- 飛跡検出器による high-pr レプトンの運動量測定
- 広範囲のラピディティη*と完全な方位角のカバー

^{*} η は 擬ラピディティ(pseudo rapidity) と呼ばれ、ビーム軸と粒子のなす角を θ とすると

- 高頻度のイベントを逃すことなく処理するシステム
- 大量のバックグラウンドに対する耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ($|\eta| < 1$) 領域と、エンドキャップと呼ばれる円筒の円に相当する部分 ($1 < |\eta|$) の 2 つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム)付近より外側 ($1 < |\eta| < 1.9$)の領域をエンドキャップ、円の中心付近 ($|\eta| > 1.9$)をフォワードと分けて呼ぶこともある。

以下に検出器とマグネットについて簡単に説明する。

2.3.1 インナーディテクター

インナーディテクターはビームの衝突点に最も近い場所に設置され、2Tの磁場をつくる超伝 導ソレノイドの内部に位置する。図 2.10 にインナーディテクターの構造を示す。インナーディ テクターは内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射ト ラッカー (TRT)の3つで構成されている。ピクセル検出器は、最内層にある半導体検出器で、 高い位置分解能を持つ。シリコン・トラッカーはマイクロストリップと呼ばれる細長い有感領 域をシリコン上に施した半導体検出器である。遷移輻射トラッカーは、半径4mmのストロー チューブ検出器で、トラッキングの他に遷移輻射[†]を利用した電子の同定も行う。これらの検出 器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。



図 2.10: インナーディテクターの構造

2.3.2 カロリメータ

カロリメータの主な役割は、電子や γ 線、ジェットなどのエネルギー、角度の測定である。 ATLAS 実験に使用される 4 種類のカロリメータは、電磁カロリメータとハドロンカロリメー

 $[\]eta = -\ln(\tan(\theta/2))$ で定義される。

[†]遷移放射は、誘電率の異なる 2 つの媒介境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する。



図 2.11: カロリメータの構造

タの2つのカテゴリーに分けられ、広い |η| 領域をカバーする。図2.11 にその構造を示し、以下に各カロリメータについて簡単に説明する。

- 電磁カロリメータ
 電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射
 線耐性に優れている。セントラル・ソレノイド・マグネットの内側に設置されバレル/エンドキャップ領域をカバーし(図2.11の黄色部分)、電子と光子の同定に用いられる。
- ハドロンカロリメータ

バレル部(ピンクの線で囲われた部分)は鉄の吸収体とタイル状のシンチレータからな るカロリメータが用いられる。放射線強度がより高いエンドキャップ部(赤部分)は、銅 の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高い フォワード部(緑部分)は銅とタングステンの吸収体と液体アルゴンからなるカロリメー タが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネ ルギー測定、ジェットの再構成などを行う。

2.3.3 ミューオン・スペクトロメータ

LHC で引き起こされる重要な物理現象のほとんどが終状態に荷電レプトンを含む。その中 でもミューオンは物質の透過力が高いために、ATLAS 検出器の外側でも他の検出器に影響 されることなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT(Monitored Drift Tube)、CSC(Cathorde Strip Chamber)と、トリガー用のRPC(Resistive Plate Chamber)、TGC(Thin Gap Chamber)の4種類の検出器とトロイダル磁石から構成さ れ、ATLAS 検出器の一番外側に設置される検出器である。ミューオン・スペクトロメータの 全体図を図2.12 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置される。 CSC は、フォワードの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバー する。

図 2.13 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝 導空芯トロイダルコア磁石がバレル部 (図中の赤線の四角) エンドキャップ部 (図の下側中央 の青線の四角)に検出器に内包されるように置かれ、それぞれに ϕ 方向の磁場を作っている。 この ϕ 方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率を、3 層の検出器で測定 してその運動量を測定する。この R-Z 平面での R 方向の座標を第1座標と呼ぶ。理想的には ミューオンは ϕ 方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一 様ではないために ϕ 方向にも曲がる。トリガー用の2つの検出器 (TGC, RPC)は、この ϕ 方 向の座標(第2座標と呼ばれる)を測定する役目も持っている。トリガー用検出器の一つであ る、TGC は本論文で対象とする検出器であり、3章で詳しく説明する。ここでは、他の3つの 検出器について簡単に説明する。



図 2.12: ミューオン・スペクトロメータ



図 2.13: ミューオン・スペクトロメータ (R-Z 断面図)

Monitored Drift Tube (MDT)

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を 精密に測定することができる。その構造は図 2.14 に示すような、チューブ径 30mm、ワイヤ径 50µm のドリフトチューブを積層したものであり、位置とドリフト時間の線形性に優れている。 位置分解能は 60µm、総チャネル数は 30 万チャンネルである。



図 2.14: MDT の構造

Cathorde Strip Chamber (CSC)

CSC は放射線の多い高ラピディティ領域 $|\eta| \ge 2$ に置かれる運動量精密測定用のカソードス トリップ読み出し MWPC(Multi-Wire Proportional Chamber) である。構造はワイヤ間隔が 2.54mm、ストリップ間隔が 5.08mm、ドリフト時間は 30nsec 以下であり、位置分解能は 60 μ m となっている。

Resistive Plate Chamber (RPC)

RPC はバレル部 ($|\eta| < 1.05$) に設置され、r-z 方向、r- ϕ 方向の運動量を測定しトリガー判定 を行う。トリガー判定用なので、時間分解能は LHC のバンチクロッシング周期の 25 nsec より 短い 1.5 nsec となっている。

2.3.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれの トロイダル磁石の3つからなり、いずれも超伝導磁石である。マグネットの構造を図2.15 に示 す。両トロイダル磁石は、8つのコイルがビーム軸に対して8回対称になるように配置されて おり、積分磁場強度はバレル部で2~6Tm、エンドキャップ部で4~8Tm である。ラピディティ η の値に対するトロイダル磁場の積分強度を図2.16 に示す。トロイダル磁場は ϕ 方向成分が主 だが、磁場の不均一性は避けられないため、R方向成分も存在する(図 2.17)。



図 2.15: マグネットの構造



図 2.16: ηと磁場積分強度の関係



図 2.17: X-Y 平面の磁束の構造 (z=10.5m)

2.4 ATLAS 実験でのトリガー & DAQ システム

LHC の最高ルミノシティ時には、40.08MHz のビーム衝突ごとに平均 23 個の陽子の衝突が 起こり、イベントレートは約 1GHz にもなる。1 イベントを記録するのに必要なデータ量は、 ~1.5MByte と見積もられている。記憶装置、計算機資源の制限から、膨大なバックグラウン ドを含んでいる 1GHz で起こるイベントの中から物理的に重要なイベントだけを効率よく選び 出すことが必要とされる。よって、ATLAS 実験では段階的にレートを下げて行き、最終的に 200Hz 程度までおとしてデータを記録する。そのトリガー DAQ システムの中で TGC は最初 の段階である LVL1 の役割を担う。

ATLAS 実験のトリガーシステムは図 2.18 に示すように LVL1 (Level1)、LVL2 (Level2)、 EF(Event Filter)の3段階のトリガーを設け段階的にレートを落としている。各レベルについ て以下に説明する。



図 2.18: Trigger & DAQ システム

2.4.1 LVL1

LVL1トリガーは 40.08MHz のイベントレートを 75kHz に落とすためのトリガーである。図 2.19 に示すように、LVL1トリガーシステムは、カロリメータ、トリガー用ミューオン検出器 (TGC、RPC)、MUCTPI(Muon Trigger to CTP Interface)、CTP(Central Trigger Processor)、TTC(Timing, Trigger and Control distribution system) から構成されている。基本的には 75kHz だが 100kHz までのアップグレードが可能なように設計されている。カロリメータから は、 e/γ 、 E_T^{miss} 、 τ 、Jet のエネルギー等の情報、ミューオン検出器からは高いPt の値を持った ミューオンの情報が、CTP に送られる。[3] 粒子の衝突からトリガー判定をして、フロントエン ドのエレクトロニクスヘトリガーを送るまでの処理時間 (レイテンシーと呼ばれる)は 2.5 μ sec 以内でなければならない。そのため、情報量が多く、処理に時間のかかるインナーディテクター からの情報は利用せず、トリガー用ミューオンチェンバー (TGC、RPC) からの位置とPt の情 報と、精度を落としたカロリメータからのエネルギー情報によってトリガーをかける。各検出 器からの情報は CTP に集められ、トリガー判定の結果 L1A(Level1 Accept) 信号が出される。この L1A は TTC システムによって各検出器に配られる。

各検出器からの信号は、LVL1 バッファと呼ばれるパイプラインメモリに保持される。衝突が 起きてから、L1A 信号が来るまでの処理時間である 2.5μ sec の間、25nsec 毎にやってくる信号 を全て保持するために、最低 100 イベント分を保持できるように設計されている。L1A 信号を 受け取ると、LVL1 バッファの内容はデランダマイザ (derandomizer) に送られる。デランダマイ ザは不規則にやってくるデータを ROD(Read Out Driver) に読み出されるまで保持する。デー タはどのバンチ衝突のデータか、どの L1A で読み出されたデータなのかが分かるように、バン チクロッシング ID(BCID)、L1ID(LVL1ID) が付加され、圧縮されて ROD に送られる。ROD で各検出器毎にまとめられたデータは、S-Link と呼ばれる規格の ROL(Read Out Link) を通し て ROB(Read Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS(Read Out System) と呼ぶ。



図 2.19: LVL1 トリガー処理の流れ

CTP(Central Trigger Processor)

CTP の役割はカロリメータとミューオンの情報を統合して、最終的な Level1 トリガーの判定を行うことである。カロリメータでは、 e/γ 、 $\tau/$ ハドロン、ジェットのそれぞれに対し、数段階の閾値が設けてあり、同様にミューオン検出器では、ミューオンの PT について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC システムに対して、L1A(トリガー結果) とトリガーの情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

MUCTPI(Muon Trigger to CTP Interface)

MUCTPIはTGCとRPCの情報をMUCTPIに渡す役割を担う。RPCとTGCは各々セク タと呼ばれる単位ごとにPtの大きなミューオンの候補を挙げて、MUCTPIに送る。TGCの 場合のセクタは、forward領域で円の24等分、endcap領域で円の48等分された領域であり、 各領域からは1イベントに対して最大二つの候補が挙げられる。各候補の情報は、領域を表す RoI(Region of Interest)とPtの二つである。MUCTPIはこれらのトラックの候補を受け取り、 境界部分での処理(TGCとRPCの重なった部分で、一つのミューオンが両方の検出器に候補 を出した場合、二つの候補となってしまうが、両方合わせて一つの候補と判定する)を行って から、ミューオンの候補についての情報を、CTPへ送る。またその情報はLVL2トリガーに送 るため、RoIB(RoIBuilder)に渡される[6]。

TTC(Timing, Trigger and Control distribution)

TTC システムは、フロントエンドの各エレクトロニクスの同期をとるために、BCclock や L1A などの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブ レーション用のコマンドを受信し、実行する役割も担う。表 2.2 に TTC が扱う主な信号を挙 げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度
	(40.08MHz) に同期させるための clock。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す) のリ
	セットに使用。88.924s の LHC の軌道周期 (ORBIT 信号) に同期する。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するか
	を示す)のリセットに使用。
EVID(L1ID)	EVent IDentifier。ROD、ROB でのバンチクロッシングのチェックに使用。
	L1ID(LVL1ID)と同じ。
BCID	Bunch-Crossing IDentifier。ROD、ROB での Level1ID のチェックに使用。

表 2.2: TTC で使われる主な信号

TTCはATLAS実験全体で見た場合、いくつかのpartitionに分割されており、例えば、TGCの場合は左右のエンドキャップが各々2つのpartitionを成している。ひとつは実験ホール用の

partition であり、もうひとつは ROD 用の partition である。ここで2つ用意するのは ROD の みが Trigger Word と呼ばれるトリガーの種類を特定する信号を必要とするからである。

1 つの TTCpartition は TTCvi[7] と呼ばれる VME インターフェイスを中心に構成される。 TTC で扱う信号は clock や orbit などの全検出器に共通に使用される信号の他、テストパルスを 発生させる信号など各検出器に固有な信号も扱う。またこれらの信号はひとつの TTCvi に属す るシステムには全て共通なものとなるため、partition は各検出器毎に分けられる。しかし、各 検出器の中でも設置される場所の違い等により、特にコミッショニング時や test run の場合に 異なったトリガーが要求される。このような理由で各検出器の中でも partition が分けられる。

ーつの TTCpartition は TTCvi と、LTP(Local Trigger Processor)、TTCvx、RODbusy の 4 つのモジュールを必ず持つ。図 2.20 に TTCpartition を示す。LTP は、partition の外部からの TTC で扱う信号を全て受信する。LHC からは 40.08MHz の BC クロックと周期 88.924µsec の ORBIT 信号を、CTP からは L1A 信号を受信する。L1A と orbit は TTCvi へ送信され、clock は TTCvx へ送信される。

TTCvi は受信した L1A やテスト信号を TTCvx に送信し、TTCvx は受信した情報を加工し た後、オプティカルリンクによってフロントエンドに設置される TTCrx[8] と呼ばれる ASIC ま で分配する。TTCvi から TTCvx に渡される信号は、A-Channel、B-Channel という2種の信 号に分配される。A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTCrx に同期コマンド、非同期コマンドを送付することが出来、前者はテストパルスの発生等に用い られ、後者はパラメーターの設定などに用いることが出来る。TTCrx では、受信した信号を フロントエンドに配置される各エレクトロニクスに分配する。また、RODbusy モジュールは、 TTCpartition 内に属する ROD からの busy を集め結果を LTP に渡す。LTP が受け取った busy は CTP に渡される。



ℤ 2.20: TTCpartition

2.4.2 LVL2

LVL2 トリガーではイベントレートは 75kHz から 3kHz 程度に落とされる。カロリメータ、 MDT からの情報、インナーディテクターからの完全な位置情報に基づいて、より精度を上げ て処理を行うが、効率を良くするため、LVL1 トリガーの情報により選定された RoI(Region of Interest)と呼ばれる領域のみの情報を用いてトリガー判定が行われる。RoI とは大きい運動量 を持ったジェット、電子、ミューオンなどが検出された領域である。

複数の LVL1 の結果が RoIB(RoI Builder) に渡され、そこで RoI が決定される。RoI は他の LVL1 の情報と共に L2SV(LVL2 SuperVisor) に渡される。L2SV は受け取った RoI 及び LVL1の 情報から LVL2 判定をするため、負荷分散アルゴリズムに従い、幾つかの L2P(LVL2 Processor) をそのイベントのトリガー判定に割り当てる。割り当てられた L2P は、LVL2 ネットワークを 介して必要なイベント情報を ROS から受け取り、LVL2 判定を行う。その結果、LVL2 Accept 信号は L2SV に戻され DFM(Data Flow Manager) に渡される。

LVL2 は 3kHz でトリガーを出し、L2P には最大で 500 台程度の PC が使われる予定で、それらでパラレルに LVL2 判定の処理を行う。1 イベントにかかる処理時間は 10msec 以下とされている。また、LVL2 判定はその精度をソフトウェアで自由に変えられるため、精度を落とせば 10msec より高速に LVL2 判定を行うことも出来る。

LVL2 Accept 信号が DFM に送られると、DFM は負荷分散アルゴリズムに従ってデータを 受ける SFI(Sub Farm Input buffer)を割り当てる。SFI はイベントビルダーネットワーク(物 理的には LVL2 ネットワークと同じもの)を介して ROS からデータを受け取り、フォーマット に従ってイベント構築を行う。構築されたイベントは EF に送られるために SFI 内のバッファー に保持される。

2.4.3 EF (Event Filter)

EF トリガーにより最終的なイベントレートが200Hz まで落とされる。EF では全検出器の 完全な情報を用いてトリガー判定がなされる。

EF は全体で 1600 台程度の PC で構成される大規模なプロセッサ・ファームであり、幾つかの独立した EF sub farm から構成されている。EF sub farm は、スイッチング・ネットワークを介して一つ又は複数の SFI に繋がっている。EF sub farm では EFD(EF Data flow control program) というプログラムが走っており、SFI から完全なイベントデータを受け取り、トリガー判定を行う。あるイベントのトリガー判定が終わると、EFD は SFI から次のイベントデータを取って来て処理を続ける。EF 全体としてのトリガー・レートは 200Hz であるが、各 EF sub farm で並列に処理が行われるため 1 イベントにかかる処理時間は 1sec 以下とされている。

EF トリガー判定のためにデータは SFI より EF sub farm に取り込まれる。EF Accept 信号 が出ると、EFD はトリガー判定のために生成された情報に、イベントの完全な生データを付加 し、SFO(Sub Farm Output buffer) へとデータを送る。そして、SFO から Disk に記録される。 1イベントで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/sec のデータが記録されて行く。

第3章 TGCミューオントリガーシステム

この章では、本論文の主題である TGC ミューオントリガーシステムについて説明する。TGC の構造、トリガー処理の方法ついて説明し、我々が開発を行っている TGC のエレクトロニク スを説明する。そして、TGC エレクトロニクスが置かれる放射線環境について述べる。

3.1 TGCの構造

TGC(Thin Gap Chamber) は 2.3.3 で説明したように、ミューオンスペクトロメータの一部で、エンドキャップに設置されるトリガー用の検出器で $1 < |\eta| < 2.7$ の領域をカバーする。 $|\eta| < 1.9$ の領域をエンドキャップと呼び、 $|\eta| > 1.9$ の領域をフォワードと呼ぶ。図 3.1 に ATLAS での TGC の位置とその構造の模式図を示す。TGC はエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1 辺が 1~2m ほどである。



図 3.1: TGC の配置と構造

構造はアノードとして直径 50μm の金メッキしたダンクステンワイヤが台形の上底、下底と 平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 1MΩ のカーボンを途布 してある。ガラス・エポキシ版を挟んだ反対の面には、1 面を 32 分割した扇型の銅のストリッ プがワイヤに直交して並べてある。ワイヤには図 3.2 に示すように約 30cm 毎にワイヤサポー トがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成とTGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 (幅にして 10.8~36mm)をまとめて 1 つの チャンネルとして読み出す。ストリップは 32 本あり、各ストリップはエンドキャップ領域では 4mrad、フォワード領域では 8mrad に相当する幅 (15.1~53.4mm)を持ち、それぞれが 1 つの チャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤによ り R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行う。

TGC は、高エネルギー実験でよく使われる MWPC(Multi-wire Proportional Chamber)型 チェンバーの1種であり、その構造は2枚の平行陰極板に等間隔に並んだ陽極線ワイヤが配置 されている。ただし、TGC は図 3.3 で示すように、ワイヤ面とカソード間の間隔(1.4mm)がワ イヤ間の間隔(1.8mm)よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電 子のドリフト時間を短くし、バンチクロッシング間隔(25nsec)に対応できるようにするためで ある。ワイヤとストリップの間隔が狭いのは陽イオンのドリフト距離を短くし、粒子が高レー トで入射してきても検出効率を落とさないようにするためである。



図 3.2: ワイヤサポート

図 3.3: TGC の断面図

TGC は、内部に CO₂/n - pentane(55/45) 混合ガスが満たされ、ワイヤには通常 2.9kV の 高電圧が印加されている。このガスは、紫外線を吸収し放電を起こしにくくするクエンチ効果 という特性がある。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオ ン化される。生成された電子は、アノード・カソード間の電場によって、アノードに向かう。ア ノード(ワイヤ)近傍の電場は大きいので、移動してきた電子はさらにその周辺のガス分子を イオン化し、電子雪崩を起こし、これが信号として読み出される。同時にカソード面では、塗 布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号と して読み出される。

実際のATLAS実験では、TGCは1層(singlet)では用いず、図3.4で示すように、2層(Doublet)または3層(Triplet)を重ねた構造にする。Doubletの場合は2層のワイヤ面と2層のストリップ面から読み出しが行われる。Tripletでは、2層目にはストリップがなく、3層のワイヤ面と2層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。

トリガー用のチェンバーである TGC は、25nsec 毎に起こる LHC のバンチ衝突を正しく識別するために、1回のバンチ衝突による信号が 25nsec 以内の範囲に収まっていなければならな



図 3.4: TGC の Triplet(左) と doublet(右) の構造

い。図 3.5[5] に、粒子が TGC を通過してから信号を出すまでの時間分布が TGC に対する粒子 の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテストの 結果である。

約115nsec で最も早い信号が到達し、ここから25nsec の間、つまり140nsec までに到達した 信号が同じバンチとして認識される。入射粒子が0度(TGC に垂直に入射)の時、時間分布の 値は25nsec になっているが、入射角度の増加に伴い、ジッターは減少し45度では15nsec 以下 まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ 間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しか し、実際の実験環境下においてはTGCへの入射角度は10度から45度であり、その領域にお ける時間分布は25nsec よりも十分に小さい。



図 3.5: TGC の時間分布

3.2 TGCの配置



図 3.6: R-Z 断面での TGC のレイアウト

図 3.6 に示すように、TGC システムは M1,M2(middle), M3(pivot) と EI(Endcap Inner), FI(Forward Inner) の5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2,M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。また、内側 から M1 では T1,T2,T3、M2 では D4,D5、M3 では D6,D7 と各層を呼ぶ。これら 5 つがそれぞ れ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。図 3.7 に pivot の配置 を示す。黒い線で示されているセルが 1 つの TGC を表している。

TGC は 1/12 円 (円形状に配置した TGC を φ 方向に 12 等分したもの) が 1 つの大きな単位 となっており、データの処理、TGC の建設はこの単位で行われる。(図 3.7 の赤い線で示され た部分)

レベル 1 トリガーに関連する部分では、1/12 はさらにセクタと呼ばれる単位で分割され、図 で示すように、エンドキャップを ϕ 方向に 4 等分した領域と、フォワードを ϕ 方向に 2 等分した領域をそれぞれトリガーセクターと呼ぶ (図 3.7 の水色の部分)。

トリガーセクターの ϕ 方向の幅がちょうど TGC1 枚の幅と一致する。さらにトリガーセク ターはエンドキャップ領域では η 方向に 37 分割、 ϕ 方向に 4 分割、フォワード領域では η 方向 に 16 分割、 ϕ 方向に 4 分割され、それぞれサブセクターと呼ばれる(図 3.7 の黄色の部分)。サ ブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガー処理の最小 単位であり、1 つの RoI(Region of interest) でもある。

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は *R* 方向で約 22 万、 *ϕ* 方向で約 10 万になる。



図 3.7: M3(pivot) での TGC の配置と区分



図 3.8: Pt 測定の原理

図 3.8 に、ミューオンの Pt の求め方を示す。まず、pivot でのミューオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line)を考える。この直線は、Pt 無限大のミューオンが磁場の影響を全く受けずに直進してきた場合のトラックである。Doublet 及び Triplet で、ミューオンが通過した位置と Infinite Momentum Line が通る位置の差を、R、 ϕ 方向それぞれに検出することで $\delta R, \delta \phi$ の値を求め、ミューオンの Pt を検出する。トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta \phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、 ϕ 方向の変位 $\delta \phi$ も考えなければならない。

ミューオントリガシステムでは、Low-Pt と High-Pt と呼ばれる 2 種類の Pt に関する閾値を 設けている。この閾値の値は、Low-Pt が 6GeV 以上、High-Pt が 20GeV 以上となっている。 middle 及び Triplet では、それぞれ $\delta R \ge \delta \phi$ の上限が設定されており、上限の $\delta R \ge \delta \phi$ で形成 される領域をウィンドウと呼ぶ。middle でのウィンドウは、Low-Pt 以上の Pt を持つミューオ ンが通過できる範囲になっており、Triplet のウィンドウは High-Pt 以上の Pt を持つミューオ ンが通過できる範囲になっている。

図 3.9 で示すように、TGC では 2 層構造、3 層構造を利用したコインシデンス処理を行うこ とで、バックグラウンドによる偶発的なトリガーを抑えながら、トリガー判定を行っている。 Low-Pt コインシデンス情報は pivot、middle の 2 つの Doublet を使用して求められる。ワ イヤ、ストリップ共に 4 層のうち 3 層以上で、ウィンドウの範囲内にヒットがある (3 out of 4



図 3.9: TGC トリガーの判定方法

コインシデンス)かどうかで判定を行う。

また High-Pt コインシデンス情報の場合には、Low-Pt コインシデンスの条件に加えて、Triplet にワイヤでは3層のうち2層以上で(2 out-of 3)、ストリップでは2層のうち1層以上で(1 out-of 2) ウィンドウの範囲内にヒットがあるか無いかで判定を行う。

Triplet ウィンドウは Pt が 20 GeV 以上の場合、確実にその範囲を通過するが、Pt が 6 GeV 以上のミューオンでも多くの場合 Triplet ウィンドウの範囲を通過するため、Pt の判定は High-Pt コインシデンス情報を基に決定される。しかし 20 GeV 以下の場合、Triplet ウィンドウの範囲 から漏れてしまうこともあり、その場合には Low-Pt コインシデンス情報を用いて Pt を判定 する。

3.4 TGCエレクトロニクス

ここでは、TGCエレクトロニクスについて説明する。まず、システム全体のデータの流れ、 及び配置を述べる。次にTGCエレクトロニクスで使われる各モジュールについて説明する。

3.4.1 システム全体

ここまでは主に TGC のトリガー用検出器としての機能について述べてきたが、TGC には

- LVL1 ミューオントリガーシステムとしてトリガー判定のための情報を得る
- MDT が測定出来ないユーオンの第2座標(φ方向の座標)の情報を得る

という二つの役割がある。よって、データの流れは大きく分けて、

トリガー系 25nsec 毎に流れるトリガー判定の為の情報

リードアウト系 L1A が来ると読み出される TGC 各層でのミューオンのヒットチャネル情報

コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報の3つがある。

TGC エレクトロニクスの全体像を図 3.10 に示し、3 種類のデータの流れについて簡単に説明 する。特に図 3.11 にトリガー系とリードアウト系のデータの流れを示す。



図 3.10: TGC エレクトロニクス

トリガー系

トリガー系の流れは、ASD(Amplifier Shaper Discriminator) ボード, PP(Patch Panel ASIC), SLB(Slave Board ASIC)、HPT(High-Pt ボード), SL(Sector Logic) の順に信号が処理される (図 3.11 の赤線)。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・ 整形・デジタル化が行われ、LVDS 信号で PP へと送られる。PP では、各チャンネルへ粒子 が到達するまでの飛行時間である TOF(Time of Flight) やケーブル遅延などから生じるタイミ ングのずれを調整し、バンチ識別 (信号を LHC clock に同期させる) を行う。SLB では、PP か らの信号を受け取り、4 層からなる pivot,middle Doublet からの信号をもとにコインシデンス 処理 (3 out of 4) が行われ、Low-Pt トリガーの判定が行われる。また Triplet からの信号につ いてもコインシデンス処理 (ワイヤ:2 out-of 3, ストリップ:1 out-of 2) が行われる。HPT では、 SLB で測定した Doublet 及び Triplet のコインシデンス処理の結果を基に、High-Pt コインシ デンス情報が生成される。SL では、それまで独立に扱われていたワイヤ・ストリップの情報を 統合し、コインシデンス処理が行われ、TGC のトリガー系の最終的な情報として Pt が大きな 2 つのトラックをセクタ毎に選び出す。SL の結果は、MUCTPI(Muon CTP Interface) に送ら れ、RPC の情報と合わせて、ミューオンの最終的なトリガー判定が下される。


図 3.11: TGC エレクトロニクスのデータの流れ

リードアウト系

リードアウト系の流れは図 3.11 の青線で示される。PP から送られてきたデータは、SLB の 中にあるレベル 1 バッファに蓄えられ、L1A 信号を受けたデータのみがデランダマイザを通 じて、次段の SSW(Star Switch) へと送られる。SSW では、データの圧縮を行い、あるフォー マットにデータ を変換する。またトリガー情報 (コインシデンス処理の結果) は SL に搭載さ れた SLB から同様に SSW に送られる。変換されたデータは ROD(Readout Driver) に送られ、 ROD では最大 8 個の SSW からの情報を収集し、それらのデータと TTC から送られてくる情 報との整合性を確認し、データが正しいものであれば、要求されるフォーマットにデータを変 換して、ROB(Readout Buffer) に送られる。 コントロール系

コントロール系は、ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS(Detector Control System)が導入され、フロントエンドには ADC(Analog-Digital Converter)やDAC(Digital-AnalogConverter)などの機能を持った eLMB(embedded Local Monitor Box)がPS Board 上に設置される。HPT/SSWが搭載される VME*クレート (HSC クレート)は 実験室外の CCI(Control Configuration Interface Board)から HSC(High-pT Star-switch Controller Board)を介してコントロールされ、PS Board 上の PP/SLB の設定は SSW から行う。ま た、TGC エレクトロニクスでは、DCS は温度状態管理や供給電源の監視、さらに SSW から行わ れる PP/SLB の設定も、バックアップのために eLMB から行えるようにしてある。PS Board 上 には JTAG プロトコルの PP/SLB への経路選択を行うために JRC(JTAG RoutingController) が設置される。

3.4.2 TGC エレクトロニクスの設置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく3 つの場所に分けられて設置される。PS Pack は Triplet 用のものは、図 3.25 の様に Triplet の(衝突点から見て)前面に、Doublet 用のものは、pivot の裏側に設置される。2 つ目の場所は、TGC を支えるビックウィールという構造体の外縁である。ここには HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは1 つの 1/12 に1 台設置される。以上の2 つの場所は UXA15 と呼ばれる実験ホール内で、ここに設置されるモジュールは強い放射線環境下に置かれるため、放射線耐性が求められる。

3 つ目の場所は実験ホールから 90 ~ 100m 離れた外にある USA15 というコントロールルーム で、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。図 3.13 に設置位置 を示す。

3.4.3 ASD(Amplifier Shaper Discriminator) Board

ASD Board は TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個 搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号 を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS(Low Voltage Differential Signaling: 低電圧作動信号)レベルの信号で出力する。また、ASD ボード以降のエレクトロニクスの診断 やタイミング調整のために、トリガー信号を受けて、擬似的な TGC の出力信号 (Test Pulse) を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS Board と ツイストケーブルで接続され、動作電源、閾値電圧、Test Pulse のためのトリガーは全て PS Board から供給される。また、ASD Board には 16 チャンネル目のアナログ信号をモニタでき るアナログ出力もついている。図 3.14 は ASD Board の写真である。

^{*}Versa Module Europeの略で、IEEE で規格化された産業用の標準バス。96 ピン DIN コネクタを実装した 32 ビット・バスで最大通信速度は 50MB/sec であり高エネルギー物理の分野でも一般的に用いられている



図 3.13: TGC エレクトロニクスの配置 (R-Z 断面)



⊠ 3.14: ASD Board

3.4.4 PP(Patch Panel) ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。 そこで、PP ASIC でタイミング調整とバンチ識別を行う。具体的には、ASD からの LVDS 信 号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、 各チャンネルにそれぞれ 0~25 nsec の範囲でディレイをかけることによりタイミングの調整を 行う。このディレイは 0.84 nsec 単位で調整が可能になっている。タイミング調整された信号は BCID (バンチクロッシング ID)回路に入り、TTC から供給される LHC clock と同期が取ら れバンチ識別が行われる。最期に TGC の重なった部分のダブルカウントを防ぐため、OR ロ ジックを通して SLB ASIC に送られる。また PP ASIC は、ASD Board に向けて Test Pulse を発生させるためのトリガーを出力する Test Pulse 回路も搭載している。Test Pulse の振幅、 タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャ ンネル信号を処理できる。図 3.15 に PP ASIC のブロック図を示す。



図 3.15: PP ASIC のブロック図

3.4.5 SLB(Slave Board) ASIC

SLB は大きくわけて、トリガー部とリードアウト部からなる。トリガー部は TGC からの入 力信号に対して、コインシデンス処理を行い、6GeV 以上の Low-Pt を持つミューオンの信号 を選別する。SLB の段階では、ワイヤとストリップ、Doublet と Triplet は別々に扱うので、設 定により 5 種類のコインシデンス処理 (ワイヤ Doublet, ストリップ Doublet, ワイヤ Triplet, ストリップ Triplet, EI/FI) を切替えられるようになっている。Doublet ではワイヤ、ストリッ プ共に middle、pivot からの信号を使い、4 層を利用して 3 out-of 4 のコインシデンスをとる (図 3.16 参照)。そして、pivot を基準にして middle 上でのズレによって Low-Pt の判定を行う。 Triplet では Doublet と独立に処理されるため、pivot の情報が無い。従って、Pt は測定されず、 位置のみが求められる。また、Triplet はワイヤとストリップで層の数が違うため、ワイヤでは 2 out-of 3、ストリップでは 1 out-of 2 のコインシデンスがとられる (図 3.17、図 3.18 参照)。 EI/FI ではミューオンが通過したかどうかのヒット情報のみがとられる (図 3.19 参照)。また トリガー部には、PP ASIC からの信号に 1/2clock 単位でディレイをかける機能や、各チャン ネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネル だけから信号を出力させる機能 (デクラスタリング:図 3.20 参照)、さらに SLB 以降のエレクト ロニクスの診断やタイミング調整を行うための Test Pulse を出力する機能も持っている。



図 3.17: SLB 2 out-of 3 ブロック図

SOS051V10







図 3.19: SLB EI/FI ブロック図





リードアウト部は、LVL1トリガーの判定を受けたデータの読み出しを行う部分である。主 にLVL1バッファとデランダマイザにより構成される。データはLVL1バッファと呼ばれる、幅 212bit、深さ128段のシフトレジスタに蓄えられる。212bitの内訳は入力データ160bit、トリ ガーパートの出力40bit、バンチ・カウンタ値12bitとなっている。このデータはCTPからの L1Aが与えられるまでの時間保持され、L1Aが与えられると該当するデータとその前後1バ ンチずつの、計3バンチ分のデータにそれぞれ、イベントカウンタの値(4bit)が付加されデラ ンダマイザにコピーされる。デランダマイザにコピーされるとすぐに、3バンチ分のデータは

3.4.6 JRC(JTAG Routing Controller)

JRC は2 系統の入力ポートと7 系統の出力ポート、それらをコントロールするための2 系統 の JTAG ポートを持つスイッチングルータである。それぞれのラインは、TRST, TCK, TMS, TDI, TDO の5 つの信号から成る。2 系統の入力ポートは SSW と eLMB からのもので、図 3.21 のように CA_JTAG(または CB_JTAG) が JRC 内のスイッチをコントロールすることで、 Q1~Q7 のポートのうち 1 つを選択して DA_JTAG(または DB_JTAG) の信号をそのまま出力 する。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行われる。7 系統の出力ポートは、4 つが PP ASIC へのもので、3 つが SLB ASIC へのものである。

JRCは初めASICとして実装される予定だったが、今年の放射線照射テストでAntifuse FPGA[†] (焼き切り型で、一度しか書き込みの出来ないFPGA)の対放射線性が確認されたため、この素 子を使って実装されることになった。



図 3.21: JRC 内部の模式図

3.4.7 DCS(Detector Control System)

DCS は eLMB (embeded Local Monitor Box) と呼ばれるサブモジュールを使用し、ADC (Analog-Digital Converter) や DAC (Digital-Analog Converter) が搭載され、センサーからの信号をデジ タル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレク トロニクスの電圧・電流モニタ、チェンバー位置モニタ、TGC のアノードに印加する HV (High Voltage) 電源電圧のモニタとコントロール、ASD の閾値電圧の設定などを行う。eLMB は CAN バス[‡]を通じてデータの読み書きが行われる。

[†]Field Programmable Gate Array の略 CPLD 同様、内部に回路構成用のメモリーを持ち、自由に回路構成 を行うことができる。CPLD とは内部構造やプログラム素子が異なる。

[‡]CAN(Controller Area Network) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信 側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。

3.4.8 PS Board

PS ボードには図 3.22 に示すように、PP ASIC、SLB ASIC、JRC、eLMB が搭載される。 PS Board では、ASD からの LVDS 信号を PP ASIC で受け、TGC のオーバーラップ領域での ダブルカウントを防ぐための OR 論理回路を通して、SLB ASIC へ送られる。SLB ASIC で、 トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へ と、それぞれ LVDS 信号に変換され、さらにシリアライズされて送られる。また、SSW あるい は eLMB から送られてくる PP/SLB を制御するための JTAG 信号は、JRC により PS Board に設置される各 ASIC に分配される。さらに PS Board は、ASD Board に電源電圧と閾値電圧 を供給する役割も果たす。PS Board は後述する SPP から、TTC(Timing Trigger Control) に よって供給される LHC clock や、各種 Reset 信号、Test Pulse のためのトリガー信号等の信号 を受け取る。図 3.23 に PS Board の写真を示す。



図 3.22: PS Board の構成図



☑ 3.23: PS Board

3.4.9 SPP(Service Patch Panel) Board

SPP には TTC の信号を受信する機能を持つ TTCrx が載せられ、TTC から LHC clock、 L1A、BCR、ECR、Test Pulse トリガー等の信号を受け取り、それらの信号を 10 又は 17 枚の PS Board に分配する。

SPP には、TTCrx の設定を行うために I²C プロトコル [9] を受信する、カテゴリー 5 ケーブ ルのポートが搭載されている。また、HPT クレートへ clock とリセットを供給するカテゴリー 5 ケーブルのポートが搭載されている。図 3.24 に SPP の写真を載せる。

3.4.10 PS Pack

PS Board と SPP は、図 3.25 に示すような PS-Pack にまとめられ、Triplet の前面、及び Doublet の後面に設置される。PS-Pack は 1/12 毎に 2 つ設置され、1 つの SPP と複数の PS Board(Triplet は 10 枚、Doublet は 17 枚) から構成される。



 \boxtimes 3.24: Service Patch Panel



図 3.25: PS-Pack の構成と配置

3.4.11 HPT(High-Pt Board)

HPT は Doublet と Triplet の情報を用いて HPT コインシデンス情報を生成する。HPT はま ず、PS Board から送られてきた LVDS レベルのシリアライズされたデータを、パラレルのデー タに変換する。HPT では、SLB ASIC まで独立に処理されてきた Doublet と Triplet のデータ を統合して HPT コインシデンス情報を生成する。Triplet は 2 つの Doublet よりも衝突点に近 く、しかも Doublet 同士の間隔よりも離れた位置に設置されているため、Triplet を用いること によりトロイダルマグネットによってあまり曲げられることがなかった大きな Pt を持つミュー オン信号を選別できる。HPT ではワイヤとストリップは独立に処理が行われ、 $\delta R, \delta \phi$ を出力す る。以後この論文ではこの $\delta R, \delta \phi$ を delta と呼ぶ。図 3.26 にワイヤ、図 3.27 にストリップのブ ロック図を載せる。出力データはシリアライズされ、オプティカル信号に変換されて、光ファ イバーによって 90 ~ 100m 離れた実験室外のカウンティング・ルーム (USA15) にある SL に送 信される。HPT はエンドキャップ領域用のワイヤとストリップ用、フォワード領域用の計3 種 類作られる。フォワード領域用には 3 つ、エンドキャップ領域用には 4 つの HPT ASIC が搭載 される。図 3.28 に HPT Board の写真示す。



図 3.26: HPT ワイヤ ブロック図



図 3.27: HPT ストリップ ブロック図

3.4.12 SL(Sector Logic)

SLはTGCエレクトロニクスシステムのトリガーのデータが最終的に集められるモジュール であり、2 トリガーセクター分の信号を処理する。SL は主に $R-\phi$ コインシデンス、プレトラッ クセレクター、ファイナルトラックセレクターから構成される。まず SL は、HPT から送られて きたシリアライズされているオプティカル信号を受け取り、電気信号に変換した後パラレル変 換をする。そして、HPT Board まで独立に処理されていた R 方向 (ワイヤ) と ϕ 方向 (ストリッ プ)のHPT 信号から両者のコインシデンス (R-φコインシデンス)を取ることにより、ミュー オンのトラックを構築する。それらのトラックを、 $ssc(Sub-Sector Cluster: R 方向に 2 つ、 \phi 方$ 向に 4 つの Sub-Sector のあつまり) ごとに 6 段階の Pt の閾値によって分類する。6 段階のう ち3段階はLow-Pt用で、残り3段階がHigh-Pt用となっている。はっきりと決まっている閾 値は Low-Pt の 6GeV 以上と High-Pt の 20GeV 以上という 2 つのみで、その他は探索する物 理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table(LUT)によって実装される。プレトラックセレクターは、6段階のPt 判定のそれぞれに 用意され、Ptの大きい順に2つの選択して、計12トラックがファイナルトラックセレクター に送られる。ファイナルトラックセレクターでは、プレトラックセレクターから送られた1ト リガーセクター分のトラックから Ptの大きいものを2つ選択して、6段階の Pt判定と位置情 報を MUCTPI に送る。このロジックは FPGA に書き込まれる。SL が処理に使用した HPT か らのデータと SL での処理の結果は、SL に搭載された SLB から USA15 に設置された SSW に 送られる。SLには各セクタに対して一つずつ SLB が搭載され、JRC も搭載される。図 3.29 に SLの写真、図 3.30 にブロック図、図 3.31 に SL での処理の流れを載せる。



⊠ 3.29: SL

☑ 3.28: HPT Board



図 3.31: SL での処理の流れ

3.4.13 SSW(Star Switch)

SSW の主な役割は、SLB のリードアウトから送られてくるデータを圧縮し、ROD にデータ を送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的な データ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値が ゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生す るのはごく一部なので、これによりデータを減らすことが出来る。1 つの SSW で最大 23 個の SLB のデータを受ける。SSW はまず、SLB からの LVDS レベルのシリアライズされたデータ を受け取り、それをパラレルのデータに変換する。そのデータは SSWrx(レシーバー) に送ら れ、データの圧縮が行われる。その後データは、SSWtx(トランスミッター) に送られ、フォー マットされる。フォーマットされたデータはシリアライズされ、オプティカル信号に変換され て 90 ~ 100m はなれた実験室の外にある ROD に送られる。また SSW は、PS Board 上の PP ASIC、SLB ASIC に JTAG プロトコルによってレジスタ設定と、I²C による SPP 上の TTCrx の設定も行う。図 3.32 に SSW の写真を載せる。 3.4.14 Read Out Driver Board (ROD)

ROD は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモ ジュールである。ROD は複数の SSW からシリアライズされた圧縮データをオプティカル・ファ イバーを通して受け取り、オプティカル信号を電気信号に変換した後パラレル・データに戻し、 FIFO メモリーに一時格納する。このデータをマイクロコンピュータ (SH-4) が読み出し、トリ ガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、 トレーラーをつける。まとめられたデータは S-link(Simple Link Interface) というフロントエ ンドとリードアウトのエレクトロニクスを繋ぐために CERN で開発された光信号のリンクモ ジュールによって ROB(Read Out Buffer) に送信される。また、ROB 以外に VME 経由でデー タを取り出すことも可能である。

イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー情報が必要と なるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これにより TTC から の信号を受け取ることができるようになっている。

ROD は 100kHz でこれらの処理ができるように求められている。 図 3.33 に ROD の写真を載せる。





🕱 3.33: ROD

🗷 3.32: SSW

3.4.15 High-pT Star-switch Controller Board (HSC)

HSC は HPT、SSW と同じ VME クレート (HSC クレート) に載せられる、VME マスターモ ジュールである。後述する CCI とオプティカルケーブルで結ばれ、CCI からの命令を受け取る。 命令を受け取ると、命令に対応した処理を行いその後 CCI へ応答を返す。命令は HPT や SSW に対するもので、命令を受け取ると VME バスを支配しスレーブモジュール (HPT、SSW) に 対して命令を伝える。また VME バス以外に JTAG バスも使用されている。このため HSC に は、CCI との情報のエンコード、デコードのために 2 種類の機能が用意されている。ひとつは PPE(Primary Protocol Encoder) という JTAG 用のもので、リセットや JTAG のコントロー ルを行う。もう一方は SPE(Secondary Protocol Encoder) という VME 用のもので、VME の コントロールを行う。図 3.34 に HSC の写真を載せる。

3.4.16 Control Configuration Interface Board(CCI)

CCI はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。 これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 3.35 に CCI の写真を載せる。



⊠ 3.34: HSC



🕱 3.35: CCI

第4章 テストビーム

TGC を含む ATLAS 検出器に使用されるすべてのサブシステム (各検出器及びトリガー DAQ システム)を統合し、テストビームを行った。この中で TGC システムは ATLAS のすべての検 出器システムに対してトリガーを配ることが出来た。ここに概要を示す。

4.1 目的

 全体としての目的 ATLAS にインストールされるすべての種類の検出器を共通のビームラインに設置してこのテストビームを行った。

各検出器グループはROD(Read Out Driver)からROL(Read Out Link)によってROS(Read Out System)にデータを渡すまでを受け持つことになっており、その動作検証のために、 最終デザイン、またはそれに近い検出器、読み出しエレクトロニクス、データ収集ソフトウェアを用意し、実際のビームを用いてその性能を明らかにすることを目標とする。 また、トリガー・DAQシステムを含むすべてのサブシステムが協調動作をすることを確 認することも、ATLASに用いられるすべてのサブシステムを用いてビームテストを行う ことの、大きな目的のひとつである。

• TGCsystem としての目的

TGCsystem は 25nsec にバンチ化されたミューオンに対して、高いトリガーエフィシエ ンシーでバンチ特定をし、ATLAS のすべての検出器に対してトリガーを配ることが最も 重要な目的である。また、TGC エレクトロニクスは、トリガー情報を正しく MUCTPI に送ることと、LVL1 アクセプトされたデータを正しく ROS へ送ることを受け持つ。そ のためにシステムとして全体の枠組みの中に入る必要があり、他検出器と同じコントロー ル下に入る必要から、DAQ コントロールソフトウェアの開発を行う。

4.2 ビーム

実験は CERN にある H8 ビームラインにて行った。ビームは半径約 2km の SPS 加速器で 400GeV に加速された陽子線の 2 次ビームの 180GeV-muon であり、LHC と同じ 25nsec にバ ンチ化されたビームと、SPS-RF の 200MHz ビーム (以降 non bunched ビームと呼ぶ) の二種 類を使用した。

ビーム構造は、bunched beam では、12.0 秒のサイクルに対して 2.2 秒のスピルであり、Spillの 構造は SPS オービットの 23μ sec 毎に 25nsec 間隔で 48 bunch が連なっている。また non bunched beam では 16.8 秒のサイクルに対して 4.8 秒のスピルである。 1 次ターゲットでの陽子密度は 1 pulse あたり、bunched beam で 2×10^{11} 個、non bunched beam で 30×10^{11} 個である。

4.3 検出器

ビームラインには上流からインナーディテクター、カロリメータ、ミューオン検出器が設置 された。3 層の Pixel と4 層の SCT は専用の箱に入れられマグネットの中に設置された。マグ ネットの外には TRTbox が設置された。電磁カロリメータは cryostat に入った状態でハドロン カロリメータとともに回転することができる専用の台の上に設置された。図 4.2 と図 4.4 では、 左がビーム上流で、Pixel、SCT、TRT、電磁カロリメータ、ハドロンカロリメータの順に並ん でいる。

最下流にはまずバレル MDT と RPC が設置され、その後ろにエンドキャップ MDT と TGC が設置された。MDT は上流からインナー、ミドル、アウターの3層がそれぞれ並ぶ。TGC は本 実験同様に MDT-EML(Endcap Middle Large)を挟むようにして上流側に M1、下流側に M2、 M3を設置した。バレル MDT とエンドキャップ MDT の間には CSC が設置された。図 4.5 で は右がビーム上流であり、上流にはバレル MDT が設置されていて、その後ろに 3層のエンド キャップ MDT が並んでいる。中央にあるのが TGC である。ここにあるエンドキャップ MDT のフレームは実際の ATLAS 検出器の big wheel といわれるエンドキャップの8分の1を表して いる。

また、カロリメータと MDT の間にはミューオントリガー用 $10 \text{cm} \times 10 \text{cm}$ シンチレーショ ンカウンタ (以後 10×10) が設置された。



図 4.1: H8 配置図



図 4.2: インナーディテクターとカロリメータ配置図



図 4.3: H8 ディテクター配置



図 4.4: インナーディテクターとカロリメータ



⊠ 4.5: TGC,MDT

4.4 TGC setup

4.4.1 チェンバー

TGC は MDT-EML を挟むようにして設置される。 10×10 から M1 までの距離は 23m であ る。TGC の間隔は M1-M2 間が 168cm、M2-M3 間が 14cm である。またビームはフォワード 領域に粒子が飛んだことを想定し、図 4.6 のようにビームに垂直な位置から 15 °傾けて設置し た。設置された TGC は本来エンドキャップの外側で使用される T8 と呼ばれるチェンバーで ありチャネル数は M1 ワイヤが 24ch、M3 ワイヤが 30ch、それ以外の M1 ストリップ、M2 ワ イヤ・ストリップ、M3 ストリップは 32ch である。チェンバーの大きさは長辺 1528cm、短辺 1364cm、高さ 1250cm で、長辺と平行にワイヤが張られている。1 チャンネルの幅は、M1 ワイ ヤ 5.2cm、M1 ストリップ 4.5cm、M2・M3 ワイヤ 4.1cm、M2・M3 ストリップ 4.5cm である。



図 4.7: チェンバータイプとエレクトロニクスタイプ

4.4.2 エレクトロニクス

ATLAS 本実験に使用される全種類のエレクトロニクスを用いた。トリガー用モジュールで ある HPT と SL は forward 用のものを使用した。各モジュールの結線は図 4.8 の通りである。 PS ボード、HPT、SSW は新しいデザインのモジュールを使用した。このうち HPT、PS ボー ドは最終デザインである。PS ボードは M1 前面に設置した。また、HPT クレートは M1 の隣 に設置し、TTC クレート・ROD クレートはカウンティングルームに設置した。以下使用した モジュールについて説明する。

PS ボード

図 4.9 のように M1 前面に設置し、ASD と 10m のケーブルで接続される。ワイヤ用とスト リップ用の 2 枚を使用した。JRC は最終デザインのものを使用し、SLB ASIC はプロトタイ プである version4 と呼ばれるものを使用した。この SLB ASIC にはまだ不十分な部分があり、 5.5μ sec の veto time が必要である。

\mathbf{HPT}

HPT クレートに配置され、PS ボードと 5m の CAT5 ケーブルで接続される。出力は 50m の fiber でエレキハットへ送信され、optical fanout で分配された後、SL に向かう。fanout と SL は 50m の fiber で接続される。

\mathbf{SSW}

ひとつは HPT クレートに配置され、PS ボードと 10m の CAT5 ケーブルで接続され、L1accept された hit map データを ROD へ送る。もうひとつは ROD クレートに配置され、SL からの データを ROD に送る。SSW からのデータはエレキハットで fanout され、30m fiber で ROD に送られる。PS 用 SSW-fanout 間は 50m、SL 用 SSW-fanout 間は 30m の fiber で接続した。 最終デザインの SSW は Antifuse FPGA で実装されるが、テストビームではプロトタイプであ り、SRAM FPGA で実装されている SSW を使用した。

CCI-HSC

CCI はエレキハットの TTC クレートに、HSC は HPT クレートに配置され、<math>50m の fiber で 接続された。HPT クレートのコントロールを行う。

ROD

ROD クレートに配置され、SSW からのデータを受け取り、ROD ヘッダーを付けた後、ROL を通して ROS ヘデータを送る。イベントビルドしたデータを VME から sampling 出来る。

\mathbf{SL}

HPT からデータを受け取り最終的な TGC のトリガーデータを MUCTPI へ送る。SL に搭載されている SLB から MUCTPI へ送るデータは ROD クレートに配置された SSW を経由し、 ROD へ送られ読み出される。今回のテストビームではプロトタイプであるため読み出される データは SL から MUCTPI に送るデータのみであるが、最終デザインでは他に HPT の出力も 読み出される。



図 4.8: エレキ setup





図 4.10: HPT クレート

図 4.9: チェンバー・PS ボード



図 4.11: TTC クレート



図 4.12: ROD クレート

4.5 トリガー DAQ セットアップ

4.5.1 LVL1 System

CTP(Central Trigger Processor)

ATLAS 実験で使用されるものを用いた。MUCTPI(MuonTrigger Interface to CTP) からの ミューオンの情報とカロリメータからの情報を基に L1A 信号を出す。

MUCTPI(MuonTrigger Interface to CTP)

TGCとRPCにそれぞれひとつのセクタを割り振り、合計2セクタの処理を行った。

TTC(Timing, Trigger and Control distribution)

今回のテストビームでは、図 4.13 のようなセットアップとなった。LTP と RODbusy は全 検出器で共通のものを使用し、TTCvi と TTCvx は各検出器が個別に所有する。clock と orbit は本来、CTP、LTP から供給されるが、今回は SPS からの信号を直接各 TTCvi へ分配した。 10×10 からのトリガーシグナルは clock と同期させるため、専用の TTCvi で受信した。 10×10 からのシグナルか、CTP からのシグナルのどちらを L1A として採用するかは LTP によってス イッチできる。



 \boxtimes 4.13: TTC
system

TGC データフロー

LVL1 システムの中の TGC データの流れについて述べる。TGC の hit map が生成された後、 LVL2 に渡されるまでのデータフローを図 4.14 に示す。トリガーパスではヒットマップがコイ ンシデンスされながら PS から 40MHz で HPT-SL-MUCTPI に伝わる。SLB では、ワイヤ・ス トリップそれぞれトリプレット・ダブレットの hit map がコインシデンス処理される。トリプ レットを処理した SLB からは position の情報が HPT に渡され、ダブレットを処理した SLB か らは M3 での position と M2 と M3 の間の delta が HPT に送信される。SLB での Low-Pt コイ ンシデンス情報に基づき HPT ではワイヤ・ストリップ別にトリプレットとダブレットの情報 のコインシデンスをとる。HPT コインシデンスされなかった場合、Low-Pt コインシデンス情 報が SL に送信され、HPT コインシデンスされた場合、M3 での position 情報と、M1 と M3 で の position の差 delta が HPT コインシデンスフラッグと共に SL に送信される。最後に SL に て HPT からのワイヤ・ストリップの情報のコインシデンスをとる。コインシデンス処理の結 果は RoI と Pt によって表される。RoI はワイヤ 8ch× ストリップ 8ch の大きさで forward 領域 では $\delta\eta \times \delta\phi = 0.03 \times 0.07$ という大きさである。Ptの大きさは、予め領域毎にシミュレーション によって用意されたテーブルを参照し、HPTから送られてくる deltaの値を元にして6段階に 決定される。SL はコインシデンス処理の結果を MUCTPI へ渡す。MUCTPI に送られたデー タは RPC の情報とともにミューオンの情報として CTP に渡される。CTP はカロリメータか らの情報も併せてトリガー判定を行い TTC システムを通して L1A 信号をだす。

L1A 信号を受け取った時、SLB の LVL1 バッファーに蓄えられていたデータが読み出される。 PS ボードからは hit map と Low-Pt コインシデンス情報、SL からは High-Pt コインシデンス 情報と $R-\phi$ コインシデンス情報が読み出され、SSW を経由して ROD へと送られる。ROD は 各 SSW からのデータをイベント毎にまとめ、ヘッダーとトレーラーを付加して ROL を通して データを ROS へ送る。

4.5.2 HLT(High Level Trigger)

LVL1 アクセプトされ、各検出器の ROD から ROL、または RCP(ROD Crate Processor)・ LAN を通して ROS へ送られたデータは、ROS の中の ROB に蓄えられる。その後、図 4.15 の ようなデータフローを経由する。Data Network は独立した Gigabit Ethernet で構築されてい る。L2SVはRoIB(Region Of Interest Builder)を通してCTP・MUCTPI・カロリメータから RoIの情報を受け取り、L2farmへとそのRoIの部分のみデータを集める。ここでLVL2判定を 行う。LVL2 判定の結果は pROS(pseudo-ROS) から出力され、次に DFM が全ての ROS から のデータを SFI に送る。ここでイベントビルドが行われる。SFI に蓄えられたデータは EFfarm へと送られ、EF 判定された後、SFO へ送られる。今回のテストビームでは、LVL2、EF とも に一部のイベントに対してしか判定は行わず、ほとんどのイベントについては dummy 判定(判 定したふり) しかされていない。これはまだ LVL2、EF のプロセスが開発中であることと、計 算機資源が準備されていないためである。また、判定を行ったイベントに対しても判定結果を 出し、全てのイベントをアクセプトした。図 4.15 の中では、データは各検出器が stand alone で DAQ を行う時には ROS から disk1 に記憶する。また LVL2、EF が DAQ から抜けている場 合もあった。LVL2 が存在しない場合には LVL2 の動作を飛ばし DFM が SFI にデータを送り、 EF が存在しない場合にはSFI から disk2 へ、EF が存在する場合にはSFO から disk3 ヘデータ を記憶する。



図 4.14: TGC データフロー



図 4.15: HLT でのデータフロー

ROS(Read Out System)

L1A を受け取ったデータは ROD から S-Link という規格の ROL(Read Out Link) によって出 力される。ROD からのデータを受け取り、HLT 用の Data Network ヘデータを送るのが ROS である。ROS は S-Link-PCI カードと Gigabit Ethernet カードを二つ搭載したリナックス PC である。S-Link-PCI カードには ROB(Read Out Buffer) を搭載している。ROD から受け取っ たデータは ROB に一時保管され、L2SV 及び DFM からの要求に対してデータを供給する。

ROS は 3 つの要素から構成されている。LocalController、IOManager、ROB である。LocalController は Online ソフトウェアとのインターフェイスの役割を担う。IOManager は複数 の ROB からのデータをイベント毎にひとつにまとめ L2SV 及び DFM からのリクエストによ リデータを送り出す。ROB は ROD からのデータを ROL を通して受け取り蓄える。リクエス トにより IOManager ヘデータを渡す。

テストビームでの TGC-ROS は 1 台の PC が一つの ROB を持ち、一つの ROS として機能 した。本実験では ROS はブレードコンピュータとして用意され、一つの ROS に最大 12 個の ROB を持つ。また設置場所は USA15 である。

4.5.3 RCD(Rod Crate Daq)

フロントエンドからデータを読み出し、ROS 以降のデータフローへ渡す役割を担うのが ROD である。ROD クレートは ROD を中心として RCP(ROD Crate Processor、主に SBC)、TTC モジュール、フロントエンド・エレクトロニクス・コントロールモジュール (TGC では CCI) 及びその他モジュール (TGC では SL など) が含まれる。各検出器グループは ROD からデータ を ROL によって送り出すところまでを開発する必要がある。よって、ROD クレートまでが各 検出器グループの担当である。

ROD クレートの役割は、フロントエンド・エレクトロニクスのコントロール、フロントエンドからのデータ転送、データ sampling などである。これらの機能は RCP によってコントロールされ、ATLAS 検出器全体としてデータをとるときに活用されるのはもちろんであるが、この ROD クレート単体、すなわち ROS 以降のデータフロー無しの standalone の状態でもフロントエンド・エレクトロニクスの初期化・コントロール、データの DAQ が行えるようにする必要がある。また、エレクトロニクスの診断、キャリブレーションなどの機能も備える。これらのクレートとクレートの役割、ソフトウェアを総称して RCD(ROD CRATE DAQ) という。



図 4.16: ROD Crate 図

53

4.5.4 DAQ ソフトウェア

TDAQ システムはコミッショニング時や test run の時には ATLAS 検出器の各部分が独立に 調整することができ、順次 root controller のオペレーションの下に入れられるように構成され ている。また、全体が physics run の最中でも、ある部分は test run をするというような、各部 分が出来るだけ独立して機能できるようにデザインされている。システムを各部分毎に管理・ コントロールするため、TTCpartition の他、以下の枠組みが用いられている。

TDAQsegment(segment)
configuration,control が他システムとは独立に行え、コントローラからの信号 (load action,configure action 等) を受け取る最小の単位である。すなわち TDAQsegment には一

つの PC または SBC などの CPU が存在する。

• TDAQpartition

いくつかの TTCpartition の集合で、TDAQ の全ての機能を使用でき、ATLAS 検出器全体または ATLAS 検出器の部分集合である。TDAQsegment の集合でもある。

4.5.5 online ソフトウェア

ATLAS で使用される online 環境は online グループが発行している online ソフトウェアパッ ケージの枠組みの上に構築される。online ソフトウェアの役割は、データベースへのアクセス、 ユーザーとのインターフェイスの供給、各ソフトウェア要素のコントロール等であり、データ 収集を制御する。LVL1・HLT の制御、データフローの制御、DCS の制御、RCD 制御等の個 別のソフトウェアは全てこの online ソフトウェアの枠組みの上に構築されている。次節以降で 述べる RCD ソフトウェアも online ソフトウェアの上に構築されており、各検出器グループは RCD の制御のための共通の RCD ソフトウェアを利用するが、各検出器に固有な部分のみを記 述する必要がある。online ソフトウェアで定義される State の順序は図 4.17 に示す通りで、そ れぞれの State へ移るように online 環境の中心となるコントローラ (root controller) から各ソ フトウェア要素に対して命令が出される。



 \boxtimes 4.17: online State

4.5.6 テストビームでの DAQ

テストビームでの CombinedDAQ(他検出器との合同での DAQ) では、図 4.19 のような GUI パネルのボタンを押して root controller から各 segment に対して命令を出すことにより、各 検出器の初期化とデータテイキングを行う。順序は図 4.17 に従う。各検出器を操るソフトウェ アは segment でグループ化されている。図 4.18 は今回のテストビームで、part_Combined と いう TDAQpartiton の下、DAQ を行った検出器の segment である。segment は動作を行う Application を持つものと、コンテナとなり子 segment を保有するものとの二種類に分けられ る。図 4.18 にある segment は各検出器に属する複数の segment を抱えている。



 \boxtimes 4.18: partition

	-	Beginned & Personne - Hot Pais - Hot State - Hot d. Real Contrast - Name Paismenter	ner menn jugkennt mone Lipper betann men Dich happertien	Pro. Ediffere Mantes
the survey of the state		T Baurt antioller Card Saletta	Costing.	IN Associations
A county	Tic Segment Contractor RefeaseBCDR2, ToCCer CONTIGNED REDR7, TicCengersen, Conditional	APRICATION STATUS	and the second se	
IN CONTROL XTATE	CONTINUED	HOME, Folloganes (goldCamp)		
(minut	(Conference)	FETSCSegment COMICINIT	BON CONTROL STATE	Courscounti
-	trat		81672 STATUS	00
-			SART STATUS	<u>A</u>
	Vanishing.		COMMAND	MININA
Radina de Calendaria				
- 1294 - 1996	-		MINUE	Real antidas
ern samber			Mandership	Deal incovery
and the second	Touble		**	siteat erear
a Mart Time	deployed and		0.000	nexes somewher
n Illen Timie	19120104-10102-42		.0.00	All converter
Figs all and a close states there			Alarne [Gefermations] [Ehrmands]	
		JE 4		
and the second second	D-TERSAS	Campions Infrastructure in Learning Concerning & starting CO.F.		
a as an or and the set	evitines.	Starting infrastructure places well.		

図 4.19: online パネル

4.6 TGC DAQ

4.6.1 ROD

このテストビームでは TGC-ROD には二つの SSW から zero-suppress されたデータが送ら れてくる。ひとつは PS 用の SSW からであり、もうひとつは SL 用の SSW である。ROD は CPU と DPRAM(メモリー)を搭載している。そのため、ソフトウェアを用いてイベントデー タに対して複雑な操作を行うことができる。SSW のデータはまず fifo に蓄えられる。ROD は TTCrx を搭載していて L1A を受信すると、TTCrx からは L1ID と BCID が fifo に蓄えられる。 これら fifo に蓄えられたデータは同じイベント毎にイベントビルドされ、ROD header をデー タの先頭に、ROD trailer を最後尾に付け、ROS へ送る。

4.6.2 イベント format

イベント format は図 4.20 に示されるように、イベント毎に、sub-detector 毎に、ROS 毎に、 ROB 毎にまとめられている。テストビームでは 1 台の PC が 1 つの ROB を持つ一つの ROS と して働いたため、 1 つの ROD データに対して 1 つずつの ROS header と ROB header が付く。

TGC の場合の Event Data は図 4.20 の右側に示されているものである。TGC での 1 イベ ントのデータには zero-suppress された hit map がありその先頭には読み出された SLB による SLB header が付く。hit がない場合には SLB header のみが送られる。この SLB からのデー タは読み出された SSW 毎にまとめられていて、その先頭には SSW header、最後尾には SSW trailer が付く。この SSW データの先頭と最後尾に ROD header、ROD trailer が付く。

TGC データに含まれるものをまとめると、表 4.1 にあるヘッダーの内容の他、TGChit map、 Low-Pt コインシデンス結果、SL による $R-\phi$ コインシデンス結果である。

ROD Header	SSW Header	SLB Header
header size	format version	SLB ID
format version	SSW ID	BC map
source ID	SLB map	Mod Type
run number		SEU
L1ID		SLB L1ID
BCID		SLB BCID
trigger type		
detector type		

表 4.1: Header データ

表 4.1 はそれぞれのヘッダーに含まれる情報である。

- source ID 検出器番号と ROD ID が含まれる。
- SLB MAP SSWの enable されている RX を示す。
- BC map SSW から最大で前後の BC を含めた 3BC 分読み出せるがデータ量を減らしたい場合、読



 \boxtimes 4.20: Combined data format

み出したいBCを指定できる。どのBCが読み出されているかを示す。

- Mod Type ワイヤ/ストリップ、ダブレット/トリプレット、または EI・FI の区別を示す。
- SEU 放射線による Single Event Upset が起きたことを示す。

4.7 online ソフトウェア開発

これまで TGC エレキグループではハードウェアの開発に専念してきた。そのため細かな作 業がし易い小さなプログラムが多く存在したが、ATLAS 検出器の一部として動作するという視 点では不向きなものであった。エレクトロニクスを ATLAS 検出器の一部として動作させるた めには、RCD の枠組みでのソフトウェアの開発とエレクトロニクスのコントロールが重要であ る。そのため、テストビームをするにあたり、過去に開発されてきたモジュールをコントロー ルするプログラムを RCD の枠組みで使用出来るように再開発した。また、VME マスターとし て bit3*から SBC(Single Board Computer)を使用できるようにした。以下に詳細を述べる。

4.7.1 目的

TGC エレクトロニクスの初期化を行うソフトウェアを、RCD ソフトウェアの枠組みに組み 込む。各検出器をコントロールするソフトウェアは、各検出器に固有な部分を最小限にし、出来 るだけ共通のソフトウェアを使用することが望まれる。できるだけ共通なものを使用すること により、システムの変更や問題が発生した場合の解決を容易にする。この共通の枠組みが RCD ソフトウェアである。

また、bit3 から SBC への移行も行う。TGC エレキグループでは bit3 を使用してエレクトロ ニクスの開発を行ってきたが、本実験では実験スペースや、PC のメンテナンスという問題か ら SBC が使用される。

4.7.2 TGC エレクトロニクスコントロール

コントロール

図 4.22 は TGC エレクトロニクスのコントロールパスを示している。エレクトロニクスは clock や ECR 等の TTC 信号による早いコントロール (赤線) と、JTAG、VME アクセスによ るレジスタの設定の遅いコントロール (青線)の二系統から成る。これら二系統の信号を SBC からの VME アクセスによって制御する。

また、エレクトロニクスの設定では、設定する順序が重要となる。順序は、前述のonline ソフトウェアの枠組みによる State で分けられるがそれ以上に細かい順序付けが必要となる。TGC エレクトロニクスからの要請は、まず最初に TTC を初期化すること。その後、各モジュールの設定をする。モジュールの設定では、CCI-HSC の先に SSW があり、SSW の先に PS ボード があるという構造から、PS ボードよりも SSW が先、SSW よりも CCI が先に設定をする必要 がある。また、SSW では FPGA をまずコンフィギュアする必要があるなど同じモジュールの 中でも順序付けが必要になる。最後に TTC の設定と、ROD の fifo をクリアする。これはコン フィギュアの最中に出てしまった SSW からのデータを消すためである。

segment の構成

TGC の segment は TGCJSegment を中心に構成されている。TGCJSegment と ROSandROD82_TGCSegment はコンテナとなる segment であり実際に動作を行うのはRCD82_TGCSegment、 ROS82_TGCSegment、FE_TGCSegment である。ROS82_TGCSegment では ROS ソフトウェ

^{*}PCI バスと VME バスを接続するバスアダプタ

アが動作するが、RCD82_TGCSegment と FE_TGCSegment では RCD ソフトウェアが動作 する。



図 4.22: コントロール

4.7.3 RCD ソフトウェア

RCD ソフトウェアは online ソフトウェアの枠組みで動作し、ROD クレートをコントロール するソフトウェアである。また、フロントエンド・エレクトロニクスのコントロールやデータ収 集といった動作を commissioning、calibration 時には独立したシステムとして、また本実験が 始まった時には ATLASDAQ システムの一部として共通のプログラムを使用できるように構成 されている。できるだけ同じ機能を持つ部分は共通化するという考えから、RCD ソフトウェア では Online ソフトウェアとの交信、データの読み出し作業など共通点の多い ROS ソフトウェ アと多くの部分を共有している。

Segment はいくつかの ReadOutModule と呼ばれる class を保有している。ReadOutMod-

ule には load 等 State 毎の関数が定義されている。TGC の場合、ReadOutModule は RCDT-GCFEModules である。RCD ソフトウェアが動作する Segment では、RCD process と Local Controller process が動作する。Local Controller process はデータベースへアクセスする。ま た、オンラインソフトウェアの枠組みの中には State と言われる動作が定義されていて、root controller からその状態に移るよう各 segment に命令が渡される。各 segment は信号を受け取 り、RCD process がそれぞれの State に対して定義されている動作を行う。State は図 4.17 に 表されるとおりで、LOAD / CONFIGURE / PREPARE 等の順に遷移する。PREPARE は CONFIGURE 後 START の直前に行われる動作である。

4.7.4 データベース

データベースは XML で記述され Local Controller がアクセスする。TGC では RCDTGCFEModules がパラメーター (TgcParameter) を保持するという形式を構成した。RCDTGCFEModules と RCDTGCFEModules が持つ TgcParameter の情報は図 4.23 に示す構造をしている。



図 4.23: TGC データベース構造

4.7.5 TGC での RCD ソフトウェア

機能

以上の条件から、TGC エレクトロニクスをコントロールするため、図 4.24 のように動作を 割り振った。RCDTGCFEModules を呼び出す順序と、呼び出された RCDTGCFEModules の 設定の順序は XML に記述された順序で動作するように実装した。また、State を分けるため、 各 TgcParameter に State 情報を付加して決まった State で動作し、同じ State の中では XML に記述された順に動作するように実装する。

構成

TGC エレクトロニクスに固有な部分は LocalController process から呼び出される RCDT-GCFEConfig と RCD process から呼び出される RCDTGCFEModules である。 今回作成したのは以下の3つのパッケージである。それぞれの機能について述べる。

• RCDTGCFEConfiguration

Local Controller process に呼び出される関数のライブラリ。XML で記述されたデータ ベースから受け取った情報を適切な形式に整えた後、RCD process に渡す。



☑ 4.24: config State

• RCDTGCFEModules

RCD process からここに記述されている各 State の動作が呼び出される。各 State での 動作の内容、順序がここに記述されている。必要なデータベースにある情報を受け取り、 TGCModules の中の関数に渡して動作する。動作の内容は、RCDTGCFEModules クラ スが持つ各 TgcParameter に対して図 4.25 にある動作をする。またデータベースからの 情報を IS(Information Service) サーバへ送る。IS は online ソフトウェアで定義されてい て、異なったソフトウェアの要素間での情報の交換に使用される。各 State で行われる動 作をまとめたのが図 4.24 である。

• TGCModules

module 毎に Read, Write の動作が記述されている。また module の置かれている位置によ リ VME アクセスの方法が異なるが、表 4.2 のようにそれぞれの API が定義されている。

Access	動作	module
VMEHB	VME でアクセスする	ROD,SL,TTC,SL 用 SSW
VMEHBSSW	SSW から JTAG によってアクセスする	SLB on SL
CCI	CCI 経由で VME アクセスする	HPT,PS ボード用 SSW
CCISSW	CCI 経由の SSW から JTAG でアクセスする	PS ボード

表 4.2: モジュールへのアクセス

4.7.6 SBC(Single Board Computer)

crate controller として SBC に移行した。RCD では ROD Crate Processor である。使用 した SBC は Concurrent Technologies 社製 VP110 である。CPU:800MHz-PentiumⅢ、メモ リー:512MByte、ハードディスク 40GByte を搭載している。

この SBC は現在 ATLAS-RODCRATE で標準に使用されており、ドライバやその他必要な ソフトは DAQ グループから供給されている。



 \boxtimes 4.25: configure process



☑ 4.26: SBC

4.7.7 online 環境の動作検証

今回テストビームにて RCD の枠組みに取り入れたのは表 4.3 のモジュールである。全ての run においてエラーは検出されず、configuration が行われた。RCD の枠組みを使用し、TGC エレクトロニクスが configuration 出来るようになり、他検出器との Combined run に於いても 問題無く動作した。またクレートコントローラは bit3 から SBC に移行出来た。

また、TGCエレクトロニクスのコンフィギュアでは、CCI-HSC を通じて実験ホールのエレ クトロニクスを設定するのに最も時間を要する。その設定が行われる configure action に今回 要した時間は約 30 秒だった。このことから本実験で見込まれる設定時間を推察する。表 4.4 に は、HSC から SSW・HPT に read または write の VME アクセスをした回数を示した。左は テストビームでの回数、右は予想される ATLAS 実験での 1/12 あたりに要するアクセス回数 の最大値である。1/12 を考えるのは、HPT クレートが 1/12 に対して一つ設置されるからで ある。テストビームと ATLAS 実験では 2 点の違いがある。まず、SSW は SRAM FPGA から Antifuse FPGA になるので bit ファイルの load の必要がない。次に、CCI-HSC 間の fiber 長 であるが、テストビームでは 50m のものを用いたが、ATLAS 実験では 100m のものを用いる。 この効果を概算すると、CCI-HSC は規格により、1 回のアクセスあたり最大 3 回の通信を行う。 fiber を 1m あたり 5ns で伝播すると仮定すると、1 回のアクセスあたり、さらに 1500ns 必要で ある。全体では 1500ns×2501260=約 3.8 秒である。アクセス回数が 1.3 倍になることと、fiber 長の補正から、予想される 1/12 あたりの設定時間は~45 秒である。

module 名	parameter 数	エラー	access	module
ttc00	45	0	VMEHB	TTCvi
ps00	103	0	CCISSW	wire PS ボード
ps01	103	0	CCISSW	strip PS ボード
ps02	18	0	VMEHBSSW	SLB on SL
ssw00	34	0	CCI	PS ボード用 SSW
ssw01	34	0	VMEHB	SL用 SSW
hpt00	23	0	CCI	HPT
s100	2	0	VMEHB	SL
rod00	44	0	VMEHB	ROD

表 4.3: module 毎のパラメーター数と configure 時のエラー

	テストビーム		ATLAS	
	個数	アクセス回数	個数	アクセス回数
PP	16	44688	~ 500	~ 1400000
SLB	4	36624	~ 120	~ 1100000
SSW register	1	42	~ 10	~ 420
SSW FPGA	1	1917892		
HPT	1	28	~ 30	~840
total		1999274		2501260

表 4.4: テストビームと ATLAS(1/12) での configure 量の比較
4.8 DAQ rate 及び trigger

それぞれの期間の rate、trigger 等のコンディションをまとめた。SLBAsic の影響により 5.5μ sec のデッドタイムを設けた。

run	期間	run	ビーム	u - b (Hz)	トリガー	検出器
1	$10/5 \sim 10/8$	stand alone	25n	300	10×10	
2	$10/9 \sim 10/10$	stand alone	25n	300	10×10	
3	$10/9 \sim 10/10$	$\operatorname{combined}$	25n	300	10×10	MDT,RPC,TGC
4	$10/9 \sim 10/10$	$\operatorname{combined}$	25n	600	CTP	${ m Pixel, SCT, Lar, Tile,}$
						MDT,RPC,TGC
5	$10/30 \sim 11/2$	$\operatorname{combined}$	non	600	10×10	Pixel,SCT,TRT,Lar,Tile
			bunched			MDT,CSC,RPC,TGC

Lar:リキッドアルゴン電磁カロリメータ Tile:タイルハドロンカロリメータ

表 4.5: ビームタイム

4.8.1 データサイズ

1 イベントあたりのデータサイズの平均をまとめる。表 4.5 の中で、run.1 のデータでは 193Byte、run.3 のデータでは 3039Byte、run.4 のデータでは 45395Byte であった。

run.1のデータは TGC のみのデータであり、 $ROS \land vy$ ダー及び $ROB \land vy$ ダーのない図 4.20 の右側と同じ format である。1 イベントには $\land vy$ ダー等のフォーマットの部分が 104Byte あ り、残り約 90Byte がデータ部分である。

4.9 スケール

テストビームは ATLAS 実験の全ての検出器と全ての DAQ 機能を使用し、本実験よりも小 さな規模で動作を確認した。今回のテストビームでの規模を ATLAS 本実験と比較した。単純 に比較できないが、目安として ROD の台数を参考にすると、本実験の 40 分の 1 程度のスケー ルで実験を行ったことになる。

	テストビーム	ATLAS
ROD	26	960
ROS	11	144
LVL1rate	$600/\mathrm{sec}$	$75 \mathrm{k/sec}$
データサイズ/event	$45 \rm kbyte$	$1.5 \mathrm{Mbyte}$
TGC チャネル	392	320k
TGC ROD	1	16

表 4.6: テストビームと ATLAS 実験でのスケール

4.10 TGC 動作検証

4.10.1 チェンバーオペレーション

チェンバーのオペレーションについて記す。スレッシュホールドはワイヤ 50mV、ストリッ プ 70mV でオペレーションを行った。その時の HV スキャンによるエフィシエンシーの違いを 示したのが図 4.27 である。この図は 3 層目 (トリプレットの最下流層)のストリップについて示 したものである。エフィシエンシーの分母は、(10×10 からの信号数)-(前後 BC を含む 3BC に TGC の hit が無いもの) であり、分子は 3BC の中にこの層に hit があるものである。今回のテ ストビームでは HV を 2900V にした。そのときの各層毎のエフィシエンシーが図 4.28 である。 ワイヤサポート、ボタンサポートという不感領域があり、各層でその位置が異なるため、値に ばらつきがある。全ての層で 90 パーセント以上となっている。なおエフィシエンシーの分母は HV スキャンの場合と同じで、分子は 3BC の中に各層に hit があるものである。



図 4.27: HV スキャン 縦軸:エフィシエンシー



図 4.28: 層毎のエフィシエンシー 縦軸:エフィシエンシー 横軸:層

4.10.2 タイミング調整

TGC システムはトリガーチェンバーであることから、どのバンチでイベントが起きたかとい うバンチ特定をすることが重要な役割のひとつである。TGC チェンバーからの信号はある時間 分布に従う。また、検出器の位置により TOF の違いも生じる。このような効果を、信号の遅延 (delay) 及び gate 幅の調整によって吸収し、バンチを特定するのが PP-ASIC の役割である。こ こにその手順と、テストビームでの結果をまとめる。まずは gate の幅を最小にし、信号の delay を変化させる。そこである時間分布に従っている信号の中で最も早い信号が gate の最初と一致 するようにする。TGC から読み出されるデータのうち L1A を受けた BC を current BC、その 前の BC を previous BC、後ろの BC を next BC と呼ぶことにすると、これは previous BC に hit が存在しないようにすることである (図 4.29 参照)。次に幅を調節し、next BC にはみ出し ている hit も current BC で認識出来るようにする。出来るだけ小さい gate 幅で、current BC の hit を多くする。

図 4.30 から図 4.35 では、赤:previous BC 緑:current BC 青:next BC であり、左側がワイ ヤ、右側がストリップである。縦軸に層毎のエフィシエンシー、横軸に delay、gate のパラメー ターの値を示した。なおこのパラメーターの単位は実際には約 0.84ns である。それぞれの delay curve では delay の値を大きくしていくに従い、previous BC は減り、current BC が増え、さ らに値を大きくすると current BC が減り next BC が増加する。また、gate curve では gate 幅 の値を大きくするとわずかに current BC が増加し、previous BC は大きく増加する。

図の中での delay パラメーターの設定値は previous に hit がなくなる場所、すなわち赤線が 最初に最小となる値に合わせる。gate 幅は、図の中では赤線が大きく増加しない範囲で緑線が 最大になるようにする。

こうして delay と gate 幅の調整によって current BC として hit が認識される。previous BC、 next BC に漏れてしまった hit はほとんどがコインシデンスをされていく過程で消え、イベン トの起きたバンチが正しく特定される。

これらの図からわれわれは M1 の delay parameter を 20、M2、M3 の delay parameter を 15、 gate 幅を 2(実際には 27.7ns=26+0.84×2) としてデータをとった。ここで M1 と M2、M3 の間 に値が 5(4.2ns) だけ異なるのは TOF を考慮したためである。これら delay parameter と gate 幅 parameter は PP16 チャネル毎に調節でき、必ずしも M1、M2、M3 等の各層の中で共通に する必要はない。TGC の特性上、ワイヤとストリップの間には応答時間の差が生じる。実際、 delay curve の図からもそれが確認できる。このことから同じ層でもワイヤとストリップでは異 なった最適なパラメーターを設定するべきである。



図 4.29: Delay parameter チューニング



図 4.30: M1 delay curve 上から T1,T2,T3



図 4.31: M1 gate curve 上から T1,T2,T3



図 4.32: M2 delay curve 上から D4,D5



69 図 4.33: M2 gate curve 上から D4,D5



図 4.34: M3 delay curve 上から D6,D7



70 図 4.35: M3 gate curve 上から D6,D7

4.10.3 ヒットマップ

前節で説明した delay,gate 幅によって得られたデータの確認として、10×10 トリガーでの ビームプロファイルを示す。図 4.36 から図 4.38 では左側がワイヤ、右側がストリップであり、 赤:previous BC 緑:current BC 青:next BC である。ストリップではワイヤに比べて反応が遅 く、delay 及び gate 幅をワイヤとストリップで同じ値に設定したため、next BC に hit が現れ ている。



☑ 4.36: M1 hit map



🗷 4.37: M2 hit map



🖾 4.38: M3 hit map

4.10.4 トリガーアウトプットの検証

エレクトロニクスによって、hit map からコインシデンス処理され生成されたトリガー情報 を検証する。今回のテストビームでの SL アウトプットの Pt は、表 4.8 のように割り振った。 ワイヤとストリップでそれぞれ High-Pt コインシデンスされているか、Low-Pt コインシデン スされているかでまず判定し、ワイヤもストリップも High-Pt コインシデンスしている場合、 HPT からの delta の値が-2~+2 の時 Pt6 などとした。この結果、図 4.39 に示すように 10×10 トリガーでのデータでは、Pt 値はほとんどが 6 になっている。この delta と SL-Pt との対応は SRAM FPGA を使用することにより変更可能になっていて、ATLAS ジオメトリの要請、及び 物理トリガーメニューからの要請に応えられるようになっている。SL から Pt と共に出力され るのが RoI である。今回のテストビームでは RoI は、48 から 63 の範囲で出力され、その値か ら描いたプロファイルが図 4.41 である。図 4.40 にこのときのチャンネル情報からのプロファ イルを示した。チャネルプロファイルから予想される正しい SL-RoI プロファイルが見えてい るのがわかる。この RoI は forward 領域の場合、 $\delta\eta × \delta\phi$ =0.03×0.07 という細かさである。ま た、Low-Pt コインシデンスと SL アウトプットでのトリガーエフィシエンシーを表 4.7 に示す。 分母は (10×10 からの信号数)-(前後 BC を含む 3BC に TGC の hit が無いもの) であり、分子は current BC に各コインシデンスが成立したものである。

次にトリガー出力による delay カーブを作成した。Low-Pt 出力 (図 4.42)、SL 出力 (図 4.43) 共に正しく delay curve を描いている。両図とも赤:previous BC 緑:current BC 青:next BC で ある。SL 出力ではトリプレット - ダブレット間の TOF を考慮し、PP の設定値を 5 ずらしな がらデータを取った。

	efficiency	error
Wire Doublet	0.98448	0.00055
Strip Doublet	0.98480	0.00055
Wire Triplet	0.98596	0.00053
Strip Triplet	0.99332	0.00036
Sector Logic	0.98148	0.00060

表 4.7: トリガーエフィシエンシー

wire delta	strip delta	SL Pt
Low	Low	1
Low	High	2
High	Low	3
7 ~ 15	High	4
3~6	High	5
0~2	High	6

表 4.8: SLPt 出力



図 4.39: SL-Pt 分布



図 4.40: SLRoI 分布に対応する beamprofile

図 4.41: SL-RoI 分布



☑ 4.42: Low Pt delay curve



☑ 4.43: SL output delay curve

4.10.5 シミュレーションでのコンシステンシーの検証

リードアウトされたデータには hit map の他に、SLB による Low-Pt コインシデンスデータ と SL による R- ϕ コインシデンスデータが含まれている。また、TGC トリガーシミュレーター [10] を使用することにより hit map から各段階でのコインシデンス結果をシミュレーションす ることができる。これらの情報から、コインシデンス結果の実データとシミュレーション結果 の比較を行った。比較の結果、表 4.9 のようになった。run.1、run.5 についてはエラーはなかっ たが、run.2,3,4 においてエラーがあった。ここでのエラーは全て hit map と SL データの比較 によるもので、Low-Pt コインシデンスデータは全て一致した。表 4.9 にある run は表 4.5 の中 の run を指す。



図 4.44: リードアウト consistency check

run	DAQ	event 数	エラー数	エラー rate
1	stand alone	585750	0	0
2	stand alone	213912	171	0.000799
3,4	$\operatorname{combined}$	838070	166	0.000198
5	$\operatorname{combined}$	2150536	0	0

表 4.9: consistency エラー

エラーイベントについて

表 4.9 にあるエラーの解析を行った。まず、Low-Pt コインシデンスデータが一致していることから、PS ボードからのリードアウトパスは正しい。また、SL データと MUCTPI データは次節で示すように一致していることから SL からのリードアウトパスも正しい。よってトリガー

パスに何らかの原因があると考えられる。図 4.45 にエラーパターンの典型的なものを示す。こ の図で、ダブレットは3/4 コインシデンスであることから、ワイヤダブレットでは current BC のみでコインシデンスが起き、ストリップダブレットでは previous BC のみでコインシデンス が起きる。しかし、SL の出力は、current BC でのコインシデンスを示しており、ストリップ ダブレットにコインシデンスが起こったことになってしまっている。全てのエラーイベントに 共通しているのは、エラーの起こったイベントの前のバンチには必ずストリップダブレットの コインシデンスが起きていることである。エラーは、コインシデンスが起きるべきイベントで SL の出力に候補が無い場合、逆にコインシデンスが起きないケースで候補を出力する場合、候 補の出力の内容が間違っている場合の3つのパターンが、それぞれ1割、7割、2割で起きてい るが全てのパターンで前のバンチにストリップダブレットのコインシデンスが起きている。こ れらのことから、特にストリップを扱う HPT・SL のトリガーパスに於いて前のバンチの処理 の影響によりエラーとなっている。前後のrunでエラーがないことからハードウェアの故障、 または論理的な間違いではないが、40MHz という厳しい条件での動作のため、モジュールの結 線時や電源投入時の条件によってはエラーが出てしまうことがある。テストビームで使用され た SL はプロトタイプであり、読み出すのは MUCTPI へ送られるデータのみであるが、次回の SLではHPTからSLへ渡されたデータの内容も読み出すことができるため、今後ラボでの検 証・原因特定と対策をする。



図 4.45: パターン 1 での代表的な hit map 上がビーム上流

4.10.6 MUCTPIへのデータ転送の検証

SLからMCTPIへのデータ転送をチェックするため、SLからのリードアウトデータとMUCTPI のリードアウトデータをチェックした。チェックしたのは1st候補、2nd候補のPtとRoIであ る。その結果、runの途中からイベントがずれるという現象が見られた。表4.10ではTGCと MUCTPIで差が27であるが、イベントID-1855を境に27と異なっている。イベントID-1855 のTGCとイベントID-1856のBCIDの差は27になっている。これはTGCとMUCTPIでイ ベントの数が違い、MUCTPIではTGCよりも多くイベントを読み出していることを示してい る。TGCの内部であるRODとSLBの間でこのようなずれは見られず、TGCとMUCTPIは 異なるTTCviを使用していることからTTCシステムの中に原因があったと考えられる。なお、 今回のテストビームでは各検出器間でのBCIDの調節は行われなかった。インストレーション、 キャリブレーション時の課題となるであろう。

それらイベントがずれる効果を差し引いた場合のコンシステンシーの比較結果が図 4.46 と図 4.47 である。横軸が MUCTPI からのデータ、縦軸が TGC からのデータである。全て一致し、 SL から MUCTPI へのデータ転送を確認した。

イベントID	TGC	MUCTPI	diff
1852	100	127	27
1853	89	116	27
1854	135	162	27
1855	123	163	40
1856	110	150	40
1857	89	137	48

表 4.10: TGC-MUCTPI 間 BCID のずれ



図 4.46: MUCTPI-TGCSL の Pt コンシステン 図 4.47: MUCTPI-TGCSL の Rol コンシステ シー ンシー

4.10.7 レイテンシー

TGC のhit から SL のアウトプットまでのレイテンシー、及び CTP のアウトプットまでのレイ テンシーを計測した。SLOUTPUT はLVDS であり計測が困難であることから、MUCTPIへの アウトプットではなくテストピンでの測定である。計測方法は、10×10を基準とし、10×10から 計測室の NIM 信号による出力までのレイテンシーをまず測定する。その結果、360ns であった。 10×10 から TGC までの距離は 23m であるから、TOF は 77ns である。計測室の 10×10 からの 出力と SL の OUTPUT の時間差を計測すると 791ns であった。また、CTP の OUTPUT との 差は 1224ns であった。このことから、TGChit から SLOUT までのレイテンシーは、360+791-77=1074ns である。また、同様にして計算すると CTP の OUTPUT までのレイテンシーは 1507nsec である。TGC から SL までのレイテンシーの要素をまとめたものが表 4.11 である。 ケーブル及び fiber では 1m あたり 5ns とし、モジュール及び Asic のレイテンシーは過去に計 測されたものから引用した。この結果、SLOUTPUT での LVDS によるレイテンシーを考慮 すると、予想される値 1105ns とほぼ一致した。テストビームと本実験での違いをまとめたも のが 4.12 であり、最大で 75.5ns である。CTP のアウトプットに TTC システムでのレイテン シーと TTCvx から TTCrx までの fiber(100m) を足す。TTC システムは最大 200ns であり、 fber500ns を考慮すると、ATLAS 実験でのレイテンシーは 1584+75.5+200+500=2359.5ns で **あり**、要求される 2.5μsec の範囲内である。

object	time(ns)
TGC	25
ASD	10
ケーブル (10m)	50
PP	43
SLB	49
LVDS(TX,RX)	83
ケーブル (5m)	25
HPT	55
fiber(50m)	250
fan out	0
fiber(50m)	250
GLINK(TX,RX)	105
SL	160
sum	1105

表 4.11: レイテンシー

	テストビーム	ATLAS
TOF	$23\mathrm{m}(77\mathrm{s})$	$19.5\mathrm{m}(65\mathrm{ns})$
Propagation on wire/strip	$5\mathrm{ns}$	$15 \mathrm{ns}$
Cable from ASD to PS	$10\mathrm{m}(50\mathrm{ns})$	12.5m(62.5ns)
Cable from PS to HPT	$5\mathrm{m}(25\mathrm{ns})$	$15\mathrm{m}(75\mathrm{ns})$
Cable from SL to MUCTPI	$2\mathrm{m}(10\mathrm{ns})$	$5\mathrm{m}(25\mathrm{ns})$
total	$167 \mathrm{ns}$	$242.5 \mathrm{ns}$

表 4.12: テストビームと ATLAS 実験での違い

4.11 Combined run

今回のテストビームではほぼ全ての検出器が H8 でデータを取れるようになったため、イン ナーディテクター、カロリメータ、ミューオン検出器の全てが同時にデータを取った。ここで はその中でも TGC に関連のあるものについて結果をまとめる。

4.11.1 MDT-TGC 相関

10×10 トリガーでの MDT との相関を調べた。MDT のデータからは層毎に軌跡の傾き、切 片が得られる。Barrel-MDT の各層からミューオンの軌跡を外挿したのが図 4.48 である。層に よって軌跡の数が違うのはキャリブレーションに関係していると思われる。図 4.49 から図 4.51 では横軸に TGC ワイヤの hit channel、縦軸に MDT からの外挿による位置を示す。TGC は サンプルとして M2D4 層のデータを使用した。

BIL と TGC の相関ははっきりと見え、図 4.49 にカットを施したのが図 4.50 である。カットは M2D4 層のワイヤに 1 hit のみが存在するイベントを選び、MDT トラックは χ^2 の最も小さい ものを選んだ。Endcap MDT は鉛直から 15 °傾いて設置されている。そのため、Barrel-MDT の場合のような比較が出来ないので、TGC の strip 1channel 毎に MDT-TGC の相関を見たの が図 4.51 である。この図では M2D4 層のワイヤ、ストリップそれぞれに 1hit のみ存在するイベントを選んだ。

これらから MDT と TGC の間の相関が見られることから MDT と TGC が同じイベントを 正しく DAQ 出来ていることが確認できた。



図 4.48: MDT-BARREL からの外挿 赤:BIL 緑:BML 青:BOL



図 4.50: カット後の MDT-BIL からの外挿と TGC 相関



図 4.51: MDT-EML からの外挿と TGC 相関 赤:16ch 緑:17ch 青:18ch

4.11.2 インナーディテクター、カロリメータからのデータ

次に CTP トリガーを使用し、インナーディテクター、カロリメータとの相関を調べた。CTP は TGC, RPC からのミューオン情報の他、カロリメータからの情報によって L1A 信号を出した。

図 4.52、図 4.53 に於いて、横軸は電磁カロリメータのエネルギー、縦軸はハドロンカロリ メータのエネルギーを示し、緑は TGC に hit のあるもの、水色は TGC に hit のないものであ る。10×10 はハドロンカロリメータよりビーム下流にあり、そこでトリガーされるものの大部 分はミューオンである。図 4.52 では、図 4.53 に見られない水色の部分がパイオン及びエレク トロンである。これらからミューオントリガーとカロリメータトリガーの両方が機能している ことがわかる。

図 4.54 と図 4.55 では横軸ハドロンカロリメータのエネルギー、縦軸イベント数を示して いる。青:TGCにhit があり MDT-BARREL・インナーディテクターにトラックがあるもの、 赤:TGCにhit があり MDT-BARRELにトラックがありインナーディテクターにトラックがな いもの、緑:TGCにhit があり MDT-BARREL、インナーディテクターにトラックがないもの、 水色:TGCにhit が無いもの、を示している。カロリメータのエネルギーが小さいものに対して は、TGCにhit があるが MDT や inner にトラックがあるものとないものがある。トラックのな いものについては宇宙線と考えられ、トラックが存在するものについてはビーム起源のミュー オンであると考えられる。トラックのあるイベントに対してはハドロンカロリメータのエネル ギーが 3GeV 付近を中心とした分布になっていて最小イオン化粒子 (MIP)を表している。

二種類の図に対して、それぞれ、CTP トリガーのものは run.4、10×10 トリガーのものは run.5 でのデータである。

図 fig:816pt では TGC ヒットがあり、トラックがあるもの (図 4.54 での青) とないもの (図 4.54 での緑) について SL のアウトプットした Pt の値を示した。以降の図では配色の意味は図 4.54 と同じである。トラックがあるものについてはビームからのミューオンと考えられ、Pt6 が多いのに対し、トラックの無いものはほとんどが Pt1を示している。この Pt1 のミューオン に対してさらに pivot plane での hit 分布と Low-Pt コインシデンスの delta の値を示したのが 図 4.58 と図 4.59 である。トラックがあるイベントでは delta の値が小さく、チェンバーに垂直 に近い角度で入射していて、pivot ではチャネルの大きい部分に hit している。このことから、図 4.57 のように、ビームミューオンの中には M1 の横を通過し、ダブレットに達しているイベ ントが存在している。また、トラックの無いイベントは、ランダムな方向からランダムな場所 に入射している。従ってこれらは宇宙線であると思われる。

以上、まとめるとこの combined run ではハドロンイベント、ミューオンイベント (ビーム起源)、宇宙線イベントが観測されている。このことから全体 DAQ の中でも TGC から確実にト リガーを出せたことが確認された。

83



図 4.53: tile vs lar 10×10 トリガー

- 緑 TGC:hit 有
- 水色 TGC:hit 無







図 4.55: tile energy 10×10 トリガー

- 青 TGC:hit 有 MDT-BARREL:トラック有 インナーディテクター:トラック有
- 赤 TGC:hit 有 MDT-BARREL:トラック有 インナーディテクター:トラック無
- 緑 TGC:hit 有 MDT-BARREL:トラック無 インナーディテクター:トラック無
- 水色 TGC:hit 無



図 4.56: インナーディテクターと MDT にトラックがある場合とない場合の Pt



図 4.57: PT1 と PT6 でのビーム



図 4.58: Pt1 の場合の hit 分布



図 4.59: Pt1 の場合の LowPtcoincidence-delta

第5章 まとめ

ATLAS 実験開始まで残り2年余りとなり、最終の Test Beam を行った。各検出器自体の性能 評価はもちろんであるが、ATLAS 実験の規模の大きさから、異なる種類の検出器が集合体と して機能できるかどうかを評価することが必要であった。そのため、H8 実験ホールに全ての 検出器を設置し、全てのトリガー DAQ システムを構築して、CERN-SPS からのビームのデー 夕収集を行うことでそれらを確かめた。

Test Beam でのデータ収集では異なる検出器が同時に動作するため、ひとつのコントローラ から全体が操作できる必要がある。そのため TGC が全体のデータ収集に加わるための、エレ クトロニクスの制御を行うソフトウェアの開発をし、TGC も同時にデータ収集を行った。ま た、TGC は LVL1 トリガーシステムの一部である。CTP、MUCTPI、RPC、カロリメータと 共に LVL1 システムとして動作し、ミューオンイベントをバンチ特定し全体に対して L1A 信号 を供給することが出来た。

また、TGCエレクトロニクスの評価・確認をいくつかの項目に渡って行った。ます、今回の Test Beam では 25ns にバンチ化されたビームを使用したため、タイミングスキームの確認を 行った。精密な delay 依存データを取得した。今後のパラメーターの決定時にいかされるであ ろう。また、トリガーエフィシエンシーは 98 パーセントを得た。読み出したデータに含まれる hit map とトリガー情報のコンシステンシーを検証し、run によっては 0.1 パーセント程度のエ ラーを確認した。トリガーパスでの不具合が原因であり、今後ラボでの検証・原因の特定と対 策を行う。ROD からの出力が正しくデータフローへ渡っていることを確認した。SL の出力と MUCTPIの出力を確認し、正しく MUCTPIにデータが渡っていることを確認した。レイテン シーの測定を行い CTP のアウトプットまで 1507ns であった。この数値から、ATLAS 本実験 で予想される値は最大で 2.4µs であり、デザイン上の total レイテンシー 2.5µsec 以内であるこ とを確認した。Combined dataを使用した解析では MDT とのコリレーションを確認し、読み 出したデータが正確に他の検出器と同じイベントを DAQ していることを示した。またカロリ メータのデータ、内部検出器のデータを参照しトリガー出力を検証した。TGC からの候補によ るイベントにはカロリメータでのエネルギー値は小さく、それらのイベントの中には宇宙線に よると思われるイベントが混在していたが、ビーム起源であるミューオンに対して正しくトリ ガー出力を行っていることを確認した。

この Test Beam の主眼は ATLAS 検出器で用いられるデータ収集スキームを確認することで あり、無事クリアーすることができた。だが、本実験と比べ規模・レートは小さいものである。 今後、規模・レートが大きくなった場合の検証・対策が必要となる。TGC エレクトロニクスで も高いレートに対して十分に対応できる設計になっているが、今後仕上がるエレクトロニクス で順次確認する必要がある。

付録A 略語一覧

- ASD Amplifier Shaper Discriminator
- BCID Bunch Crossing Identifier
- CCI Control Configuration Interface
- CTP Central Trigger Processor
- EF Event Filter
- HLT High Level Trigger
- HPT High Pt
- HSC High-pt Star-switch Controller
- JRC JTAG Routing Control
- L1ID Level 1 Identifier
- L2 Level 2 Trigger
- LTP Local Trigger Processor
- MDT Monitored Drift Tube
- MUCTPI Muon Trigger to CTP Interface
- PP Patch Panel
- RCD Rod Crate Daq
- RoI Region of Interest
- ROD Read Out Driver
- ROL Read Out Link
- ROB Read Out Buffer
- ROS Read Out System
- SBC Single Board Computer
- SL Sector Logic
- SLB Slave Board

- SPPService Patch Panel
- SSW Star Switch
- TGC Thin Gap Chamber
- TTC Timing Trigger Control

参考文献

- CERN/LHCC/99-15," ATLAS Detector and Phisics Performance Technical Design Report Volume2", ATLAS TDR 15, 25 MAy 1999.
- [2] CERN/LHCC/99-14,"ATLAS Detector and Phisics Performance Technical Design Report Volume1", ATLAS TDR 14, 25 MAy 1999.
- [3] "ATLAS High-Level Trigger, Data Acquisition and Controls", "ATLAS TDR-016, 2 October 2003
- [4] "ATLAS Level1 Trigger Technical Design Report", ATLAS TDR 12, 20 August 1999.
- [5] CERN/LHCC97-22 "ATLAS Muon Spectrpmeter Technical Design Report" 5 June 1997.
- [6] "LVL1 Muon Trigger(User) Requirements Document(DRAFT version1.4). 9 March 1998.
- [7] RD12Project. "TTC-VMEbus INTERFACE TTCvi -MkII" http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html, May 2000
- [8] P.Moreira J.Christiansen A.Marchiro T.Toil "TTCrx Refarence Manual" http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html", June 2002
- [9] "THE I²C-BUS SPECIFICATION" http://www.semiconductors.philips.com/markets/mms/protocols/i2c/ ,January 2000
- [10] 戸塚 真義 信州大学修士学位論文 「ATLAS 実験ミューオン検出器用トリガーシステムの現実的シミュレーターの開発研究」2002 年 1 月
- [11] 中村 佳央 東京大学修士学位論文 「アトラス実験ミューオントリガーシステム用リ モートコントロールシステムの開発」 2002 年 1 月
- [12] 豊島 克幸 東京都立大学修士学位論文 「アトラス実験エンドキャップ Level1 ミューオ ントリガシステムのビームテスト」 2004 年 1 月
- [13] 小松 知 東京都立大学修士学位論文 「ATLAS 実験におけるエンドキャップレベル 1 ミューオントリガーシステムの統合テスト」 2003 年 1 月

謝辞

本研究を行なう機会を与えて頂くと共に適切な指導と助言を頂いた指導教官 坂本宏教授^aに深 く感謝致します。また本研究において、常に丁寧な御指導と助言を頂きました佐々木修氏^bに 深く感謝致します。TGC エレクトロニクスグループにおいて、様々な御指摘と助言を頂いた 福永力氏^c、蔵重久弥氏^d、池野正弘氏^b、安芳次氏^bにも深く感謝致します。また様々な面で 貴重な意見と御指導を頂いた小林富雄氏^a、川本辰男氏^a、真下哲郎氏^a、浅井祥仁氏^a、石野 雅也氏^a、田中純一氏^a、近藤敬比古氏^b、岩崎博行氏^b、神前純一氏^b、田中秀治氏^b、石井恒 次氏^d、長谷川庸司氏^c、他 ATLAS 日本グループの方々に深く感謝致します。多くの部分で丁 寧な指導と適切な助言を頂いた長野邦浩氏^b、前野忠嗣氏^fに心から深く感謝致します。研究 生活を通じて惜しみない協力と助言を頂いた南條創氏^a、片岡洋介氏^a、佐々木貴之氏^aに深く 感謝致します。TGC エレクトロニクスグループで共に研究を行い議論した、一宮亮氏^d、野本 裕史氏^a、羽根八尋氏^a、福地直也氏^c、山口嘉樹氏^a、緒方岳氏^dに心から感謝します。上記 の方々の協力がなければ、私の研究生活は成り立たなかったと思います。最後に全ての方々に、 心から感謝を申し上げます。

所属:

東京大学素粒子物理国際研究センター (ICEPP)^a 高エネルギー加速器研究機構 (KEK)^b 東京都立大学 理学研究科^c 神戸大学 自然科学研究科^d 信州大学 工学系研究科^e 欧州原子核研究機構 (CERN)^f