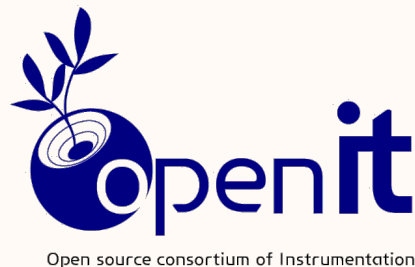


講演番号: 16pSF-2



東京大学 大学院
理学系研究科・理学部
SCHOOL OF SCIENCE, THE UNIVERSITY OF TOKYO



高輝度LHC-ATLAS実験に向けた TGC検出器フロントエンドにおける エレクトロニクス制御回路の開発と動作試験

田中碧人^{A,D},

青木匠^A, 池野正弘^{C,D}, 石野雅也^{B,D}, 奥村恭幸^{B,D}, 佐々木修^{C,D}, 庄子正剛^{C,D}, 杉崎海斗^{A,D}, 田内一弥^{C,D},

他 ATLAS 日本トリガーグループ

(東大理^A, 東大素セ^B, KEK 素核研^C, Open-it^D)

日本物理学会 2020年秋季大会 2020/9/16

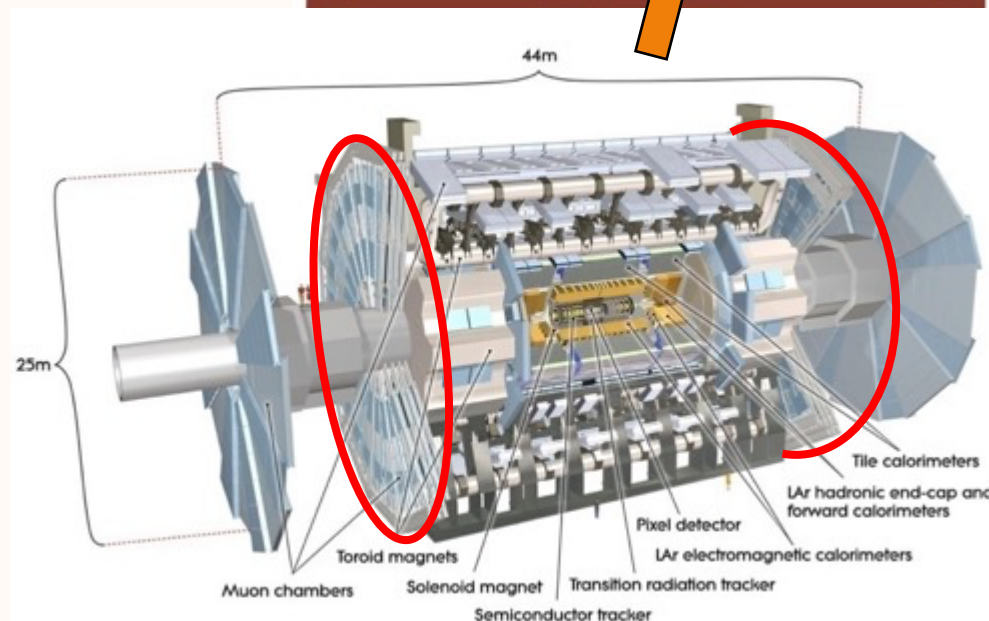
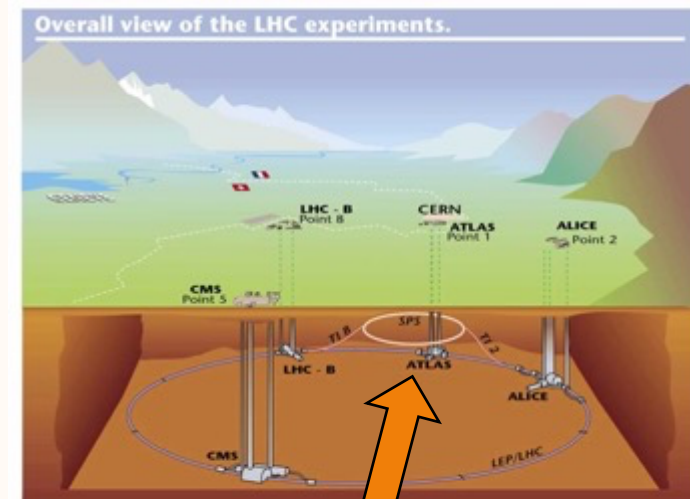
高輝度LHCと検出器のアップグレード

- ・ LHC加速器
CERNの陽子陽子衝突型円形加速器
- ・ LHC加速器のアップグレード
瞬間最高ルミノシティを最大 $7.5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$
に向上させる“高輝度LHC”が2027年から運転開始予定

- ・ ATLAS検出器のアップグレード
高輝度LHCの運転開始に合わせて
ATLAS検出器・エレクトロニクスの多くを一新し
新物理探索を行う

高輝度化に対応するべく

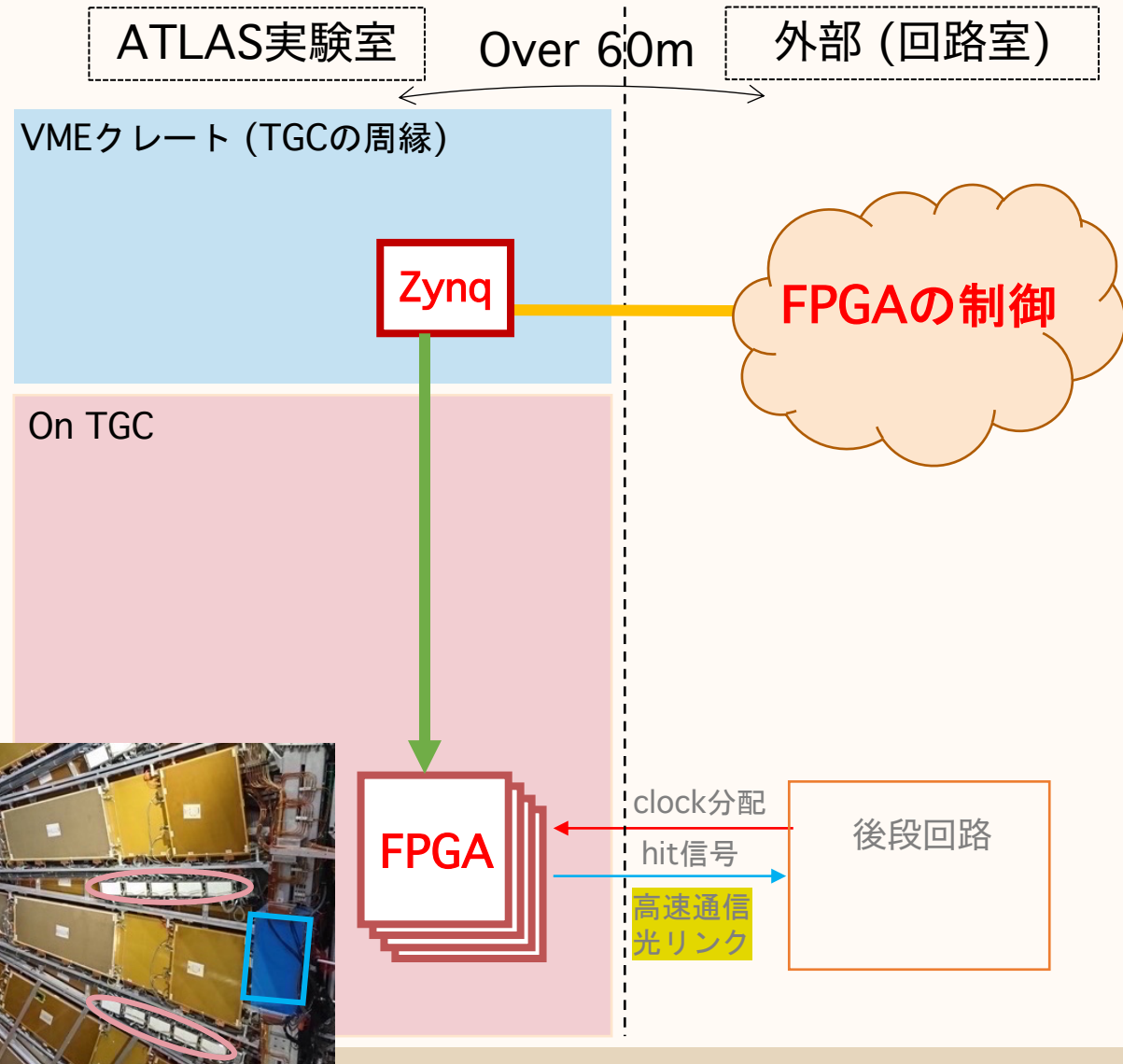
Thin Gap Chamber (TGC) 検出器の
読み出し・トリガーエレクトロニクスも一新される



ATLAS検出器と
TGC検出器(ミュオントリガー検出器)

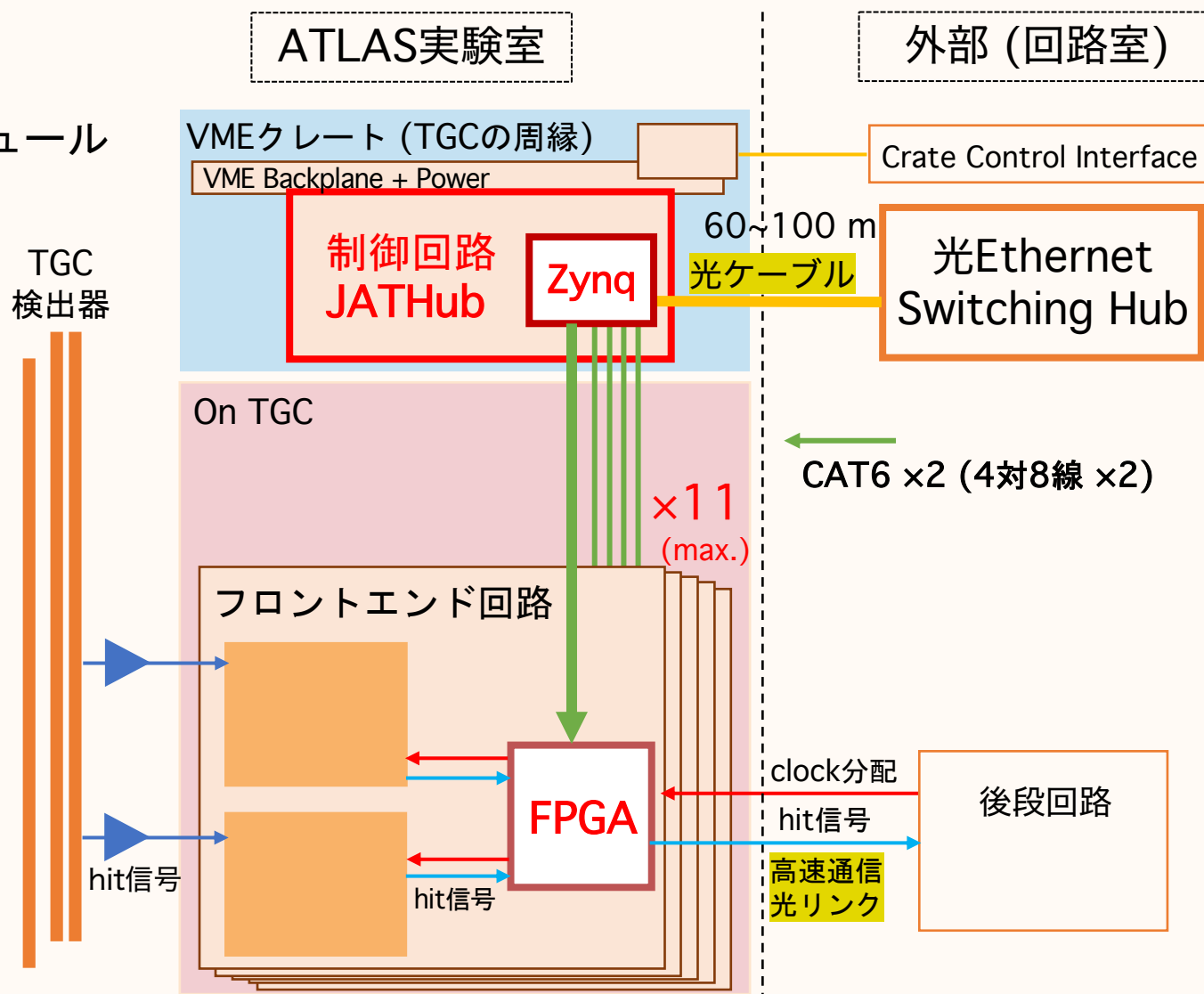
高輝度LHCでのTGC検出器フロントエンド におけるFPGAとその制御

- ・ 高速光通信技術で全ヒット信号を回路室に転送するため、
遠く離れたATLAS実験室内にFPGAを設置
- ・ 実験室内のFPGAを安定して動作させるには
外部から以下の制御が必要
 - ・ Firmwareのプログラムとデバッグ
 - ・ フロントエンドの堅牢なシステムを構築
 - ・ FPGA内のSingle Event Upset(SEU)への対処：
SEUを自動回復するSoft Error Mitigation(SEM)が
稼働していても、対処不可能なSEUが起きた時、
FPGAの動作を回復させる
 - ・ 光リンクが切断された時、
リセットと再確立を行う
 - ・ (LHCクロック位相のモニター)



JATHub の設計概要

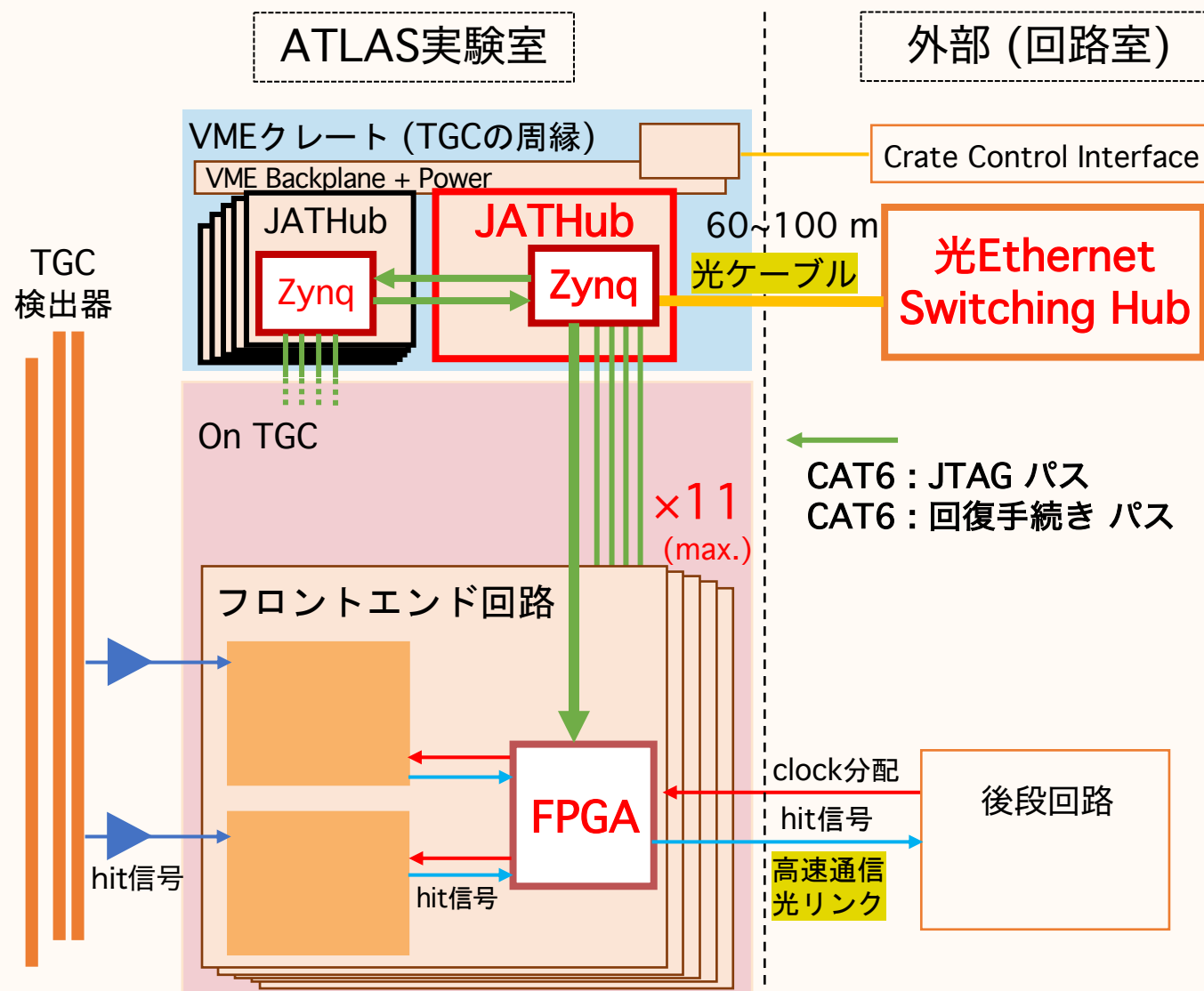
- ・ フロントエンド回路のFPGAを制御するハブモジュール
“JTAG Assistance Hub” (“JATHub”)
を導入し、制御システムをデザインした
- ・ JATHubの具体的な設計
 - ・ 最大11枚のフロントエンド回路とCAT6で接続
(フロントエンド回路: 1434, JATHub: 148)
 - ・ Zynq SoC (CPU+FPGA) をメインドライバー
として搭載
 - ・ TGC周縁のVMEクレートに置かれる



JATHub に実装する機能

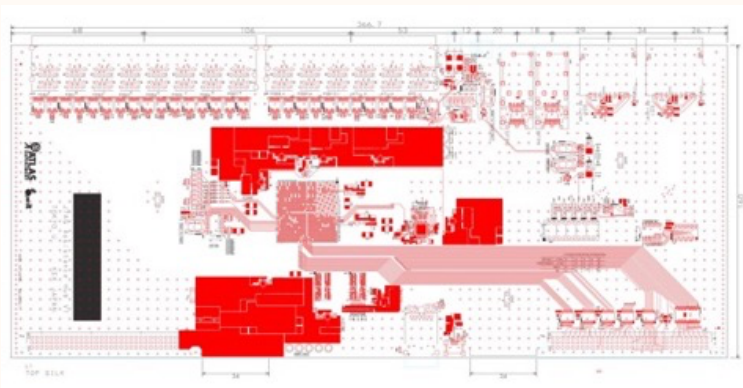
赤字：制御系の基盤となる重要な機能

- ・ 光Ethernet 通信
- ・ フロントエンド回路 ×11(max.) を操作する
 - JTAG通信によるコンフィギュレーション
 - 回復不可能なSEUの監視と回復手続き
 - (LHCクロック位相のモニター)
- ・ 隣のJATHubを相互に操作する
 - JTAG通信によるコンフィギュレーション
 - 回復不可能なSEUの監視と回復手続き
- ・ 冗長性のあるBOOTシステム (詳細はbackup)
with SD card ×2, QSPI
- ・ VMEによる通信

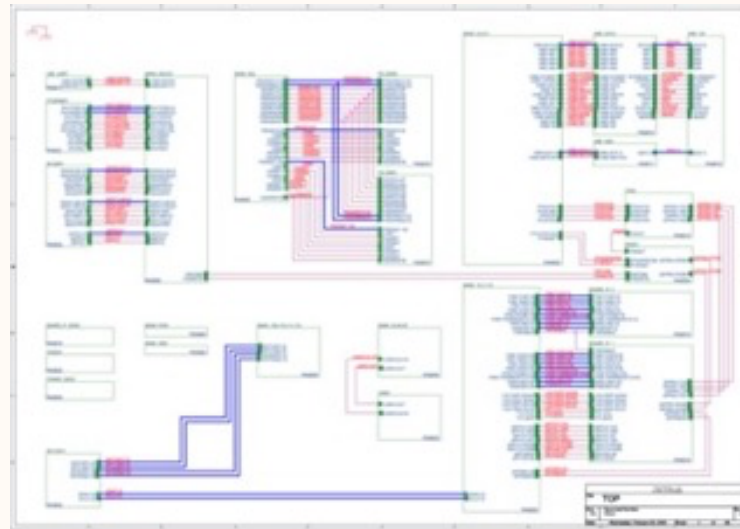


JATHub試作機の製作

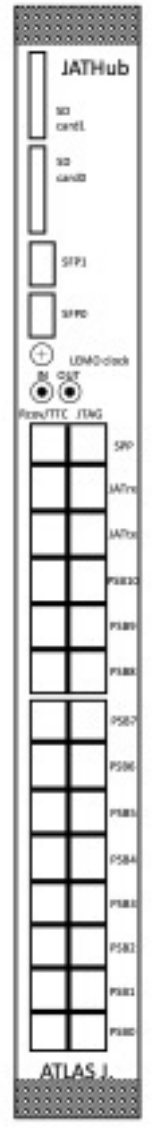
- ・ JATHubの仕様を決定した後に、試作機を設計した
 - ・ Zynqは XC7Z045-2FFG900I を使用
 - ・ 主なインターフェイス：
multiRJ45 for フロントエンド回路 ×22(11×2)、SFP for 光Ethernet、SD card ×2
- ・ 試作機の回路図、フロントパネルデザインを作成 (レイアウトは業者に委託)
 - ・ 14層構造の基板
- ・ 2枚の試作機を製作 (2020/4/17 納品)



JATHub試作機レイアウト配線図面

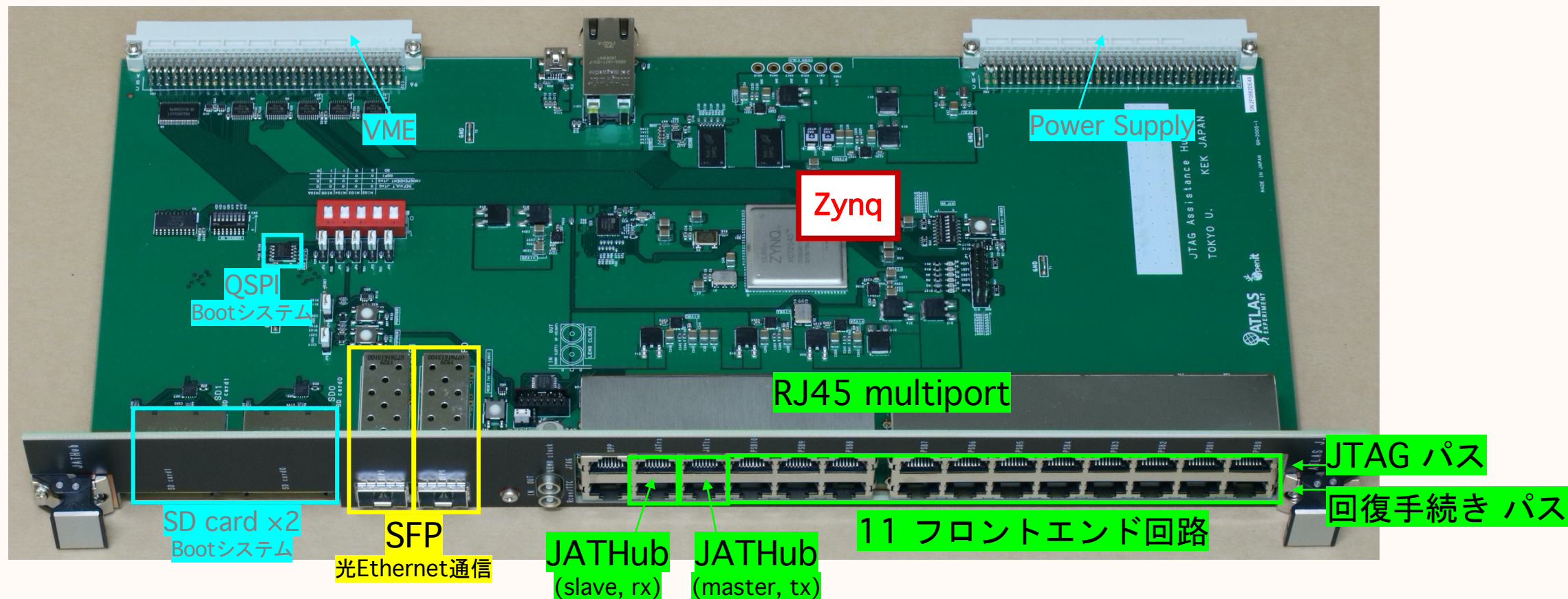


JATHub試作機回路図



フロントパネルのデザイン

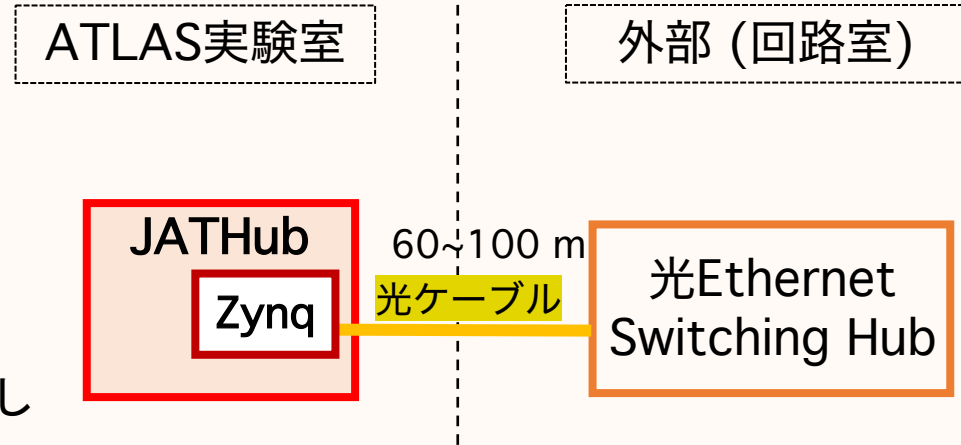
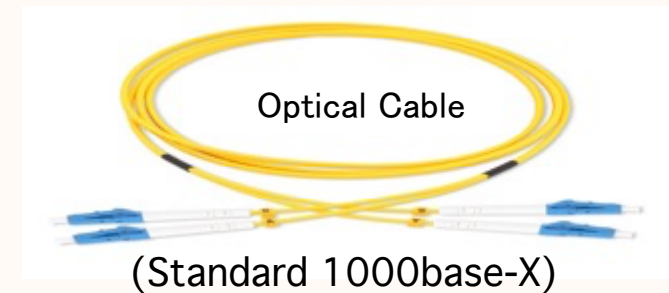
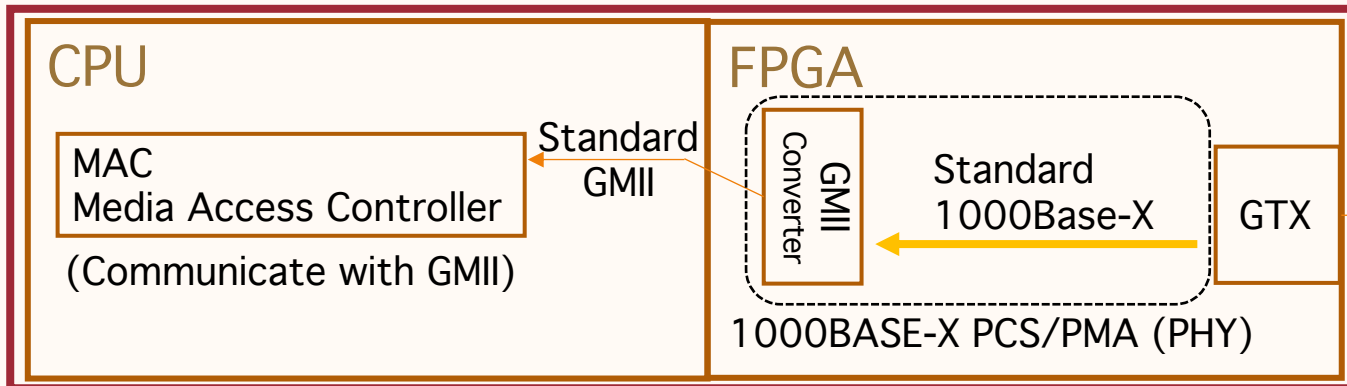
JATHub 試作機



光Ethernet通信の仕組み

- ・ 本実験環境では有線で高速の長距離通信を行う必要がある
→光ケーブルで実験室と回路室を接続する
- ・ Zynq内のGTXと光ケーブルを使用してEthernet通信を確立する
(GTX : 高速シリアル通信対応のtransceiver)
- ・ GMII規格の接続口を持つ1000BASE-X PCS/PMAをFPGA内に実装し
CPU内のMACとGTXを接続

Zynq



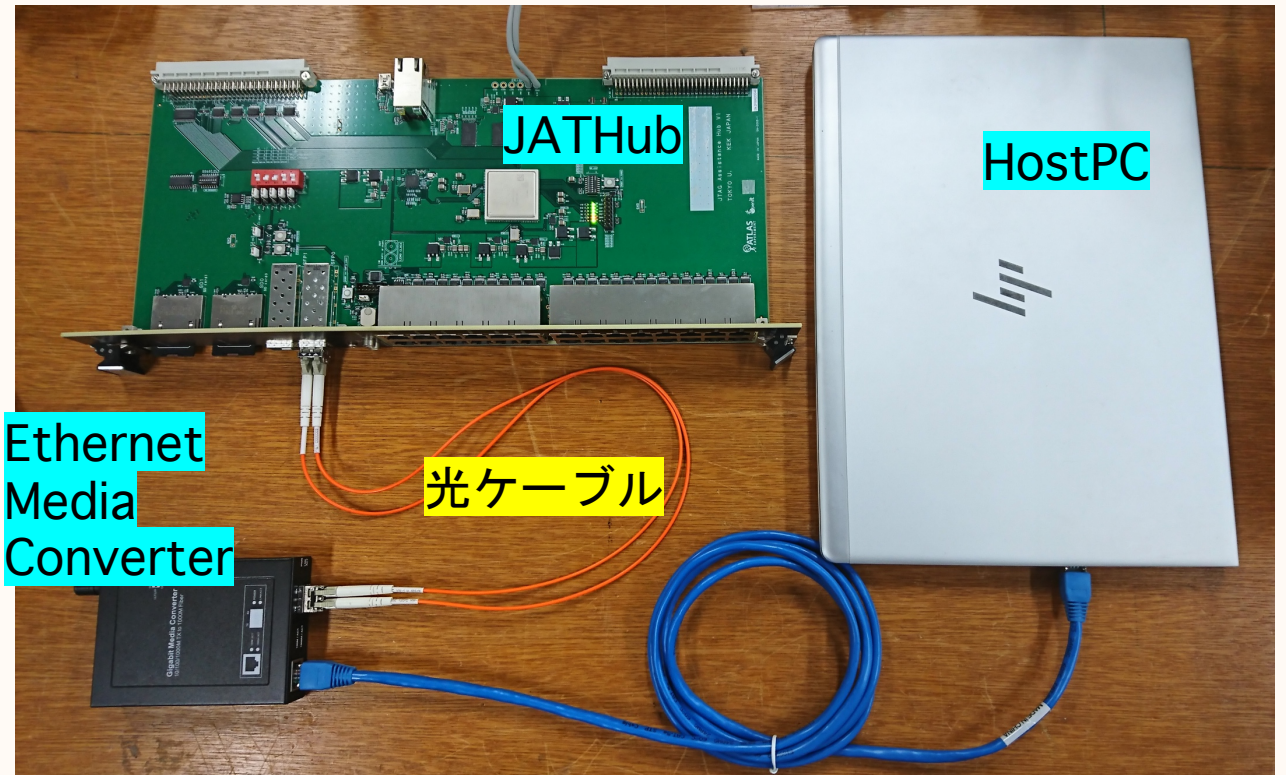
JATHub試作機の光Ethernet通信試験に成功

- ・ 光Ethernet通信の機能を開発し、実装
- ・ HostPCからJATHub試作機へ光Ethernet用ケーブルを接続
- ・ Local netでJATHubとのネットワークを設定
- ・ HostPCからping, sshを通すことに成功

```
OpenSSH SSH client
Add correct host key in C:\Users\yaotot/.ssh/known_hosts to get rid of this
message.
Offending RSA key in C:\Users\yaotot/.ssh/known_hosts:1
RSA host key for 192.168.10.1 has changed and you have requested strict check-
ing.
Host key verification failed.
C:\Users\yaotot>del C:\Users\yaotot/.ssh/known_hosts
C:\Users\yaotot>ping 192.168.10.1
192.168.10.1 に ping を送信しています 32 バイトのデータ:
192.168.10.1 からの応答: バイト数=32 時間<1ms TTL=64
192.168.10.1 からの応答: バイト数=32 時間<1ms TTL=64
192.168.10.1 からの応答: バイト数=32 時間<1ms TTL=64
192.168.10.1 からの応答: バイト数=32 時間<1ms TTL=64
192.168.10.1 の ping 統計:
    パケット数: 送信 = 4, 受信 = 4, 損失 = 0 (0% の損失)、
    ラウンドトリップの概算時間 (ミリ秒):
        最小 = 0ms、最大 = 0ms、平均 = 0ms
C:\Users\yaotot>ssh root@192.168.10.1
The authenticity of host '192.168.10.1 (192.168.10.1)' can't be established.
RSA key fingerprint is
Are you sure you want to continue connecting (yes/no)? yes
Warning: Permanently added '192.168.10.1' (RSA) to the list of known hosts.
root@192.168.10.1's password:
root@ethlg:~#
```

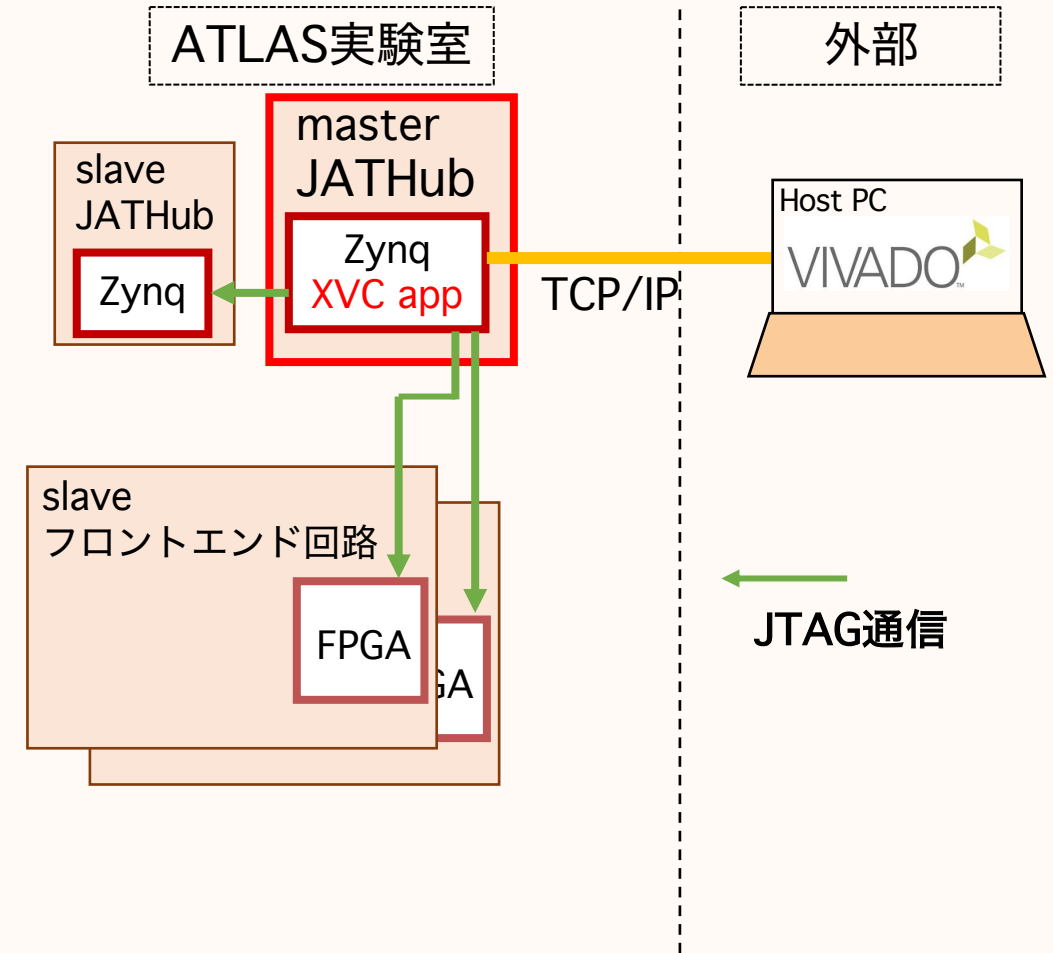
ping

ssh



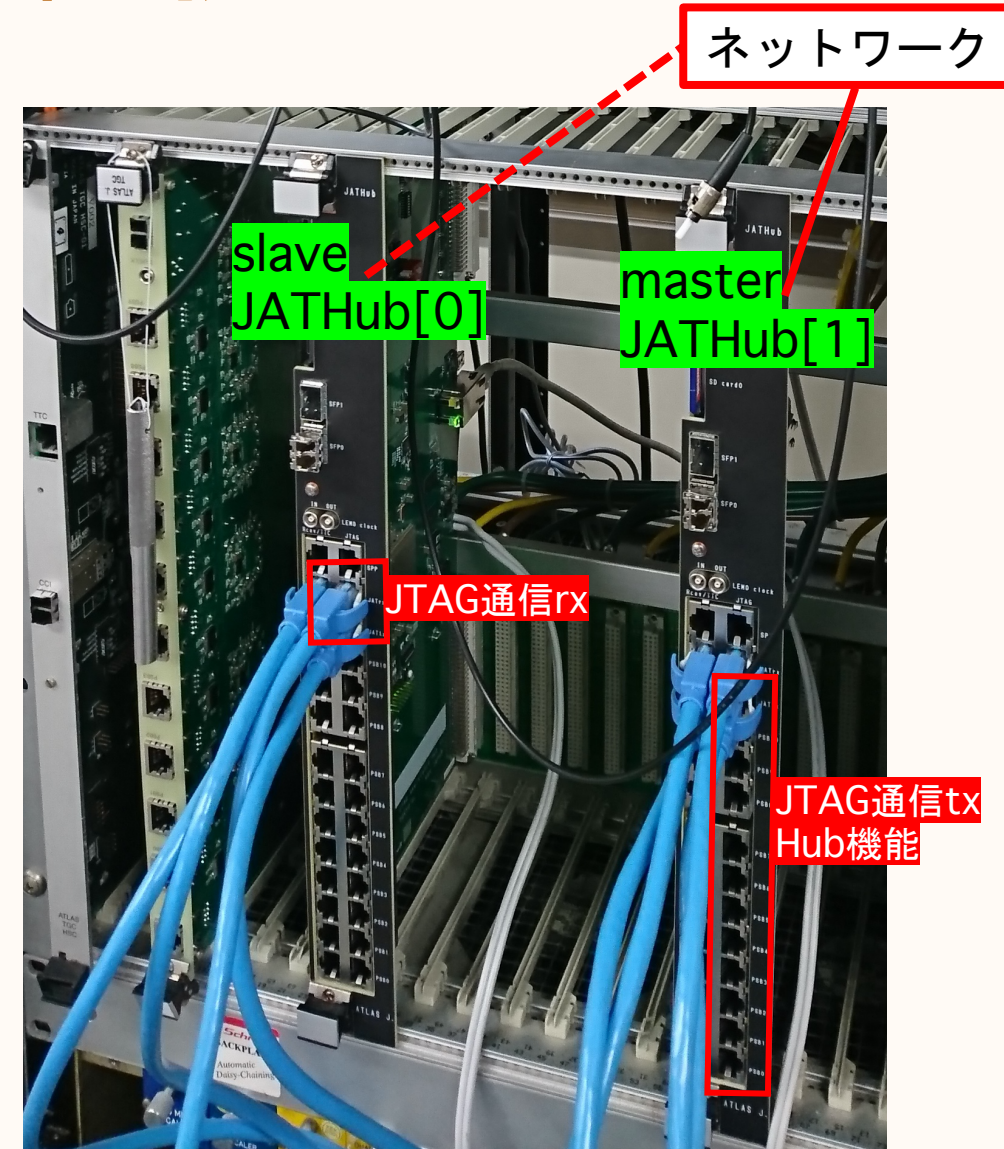
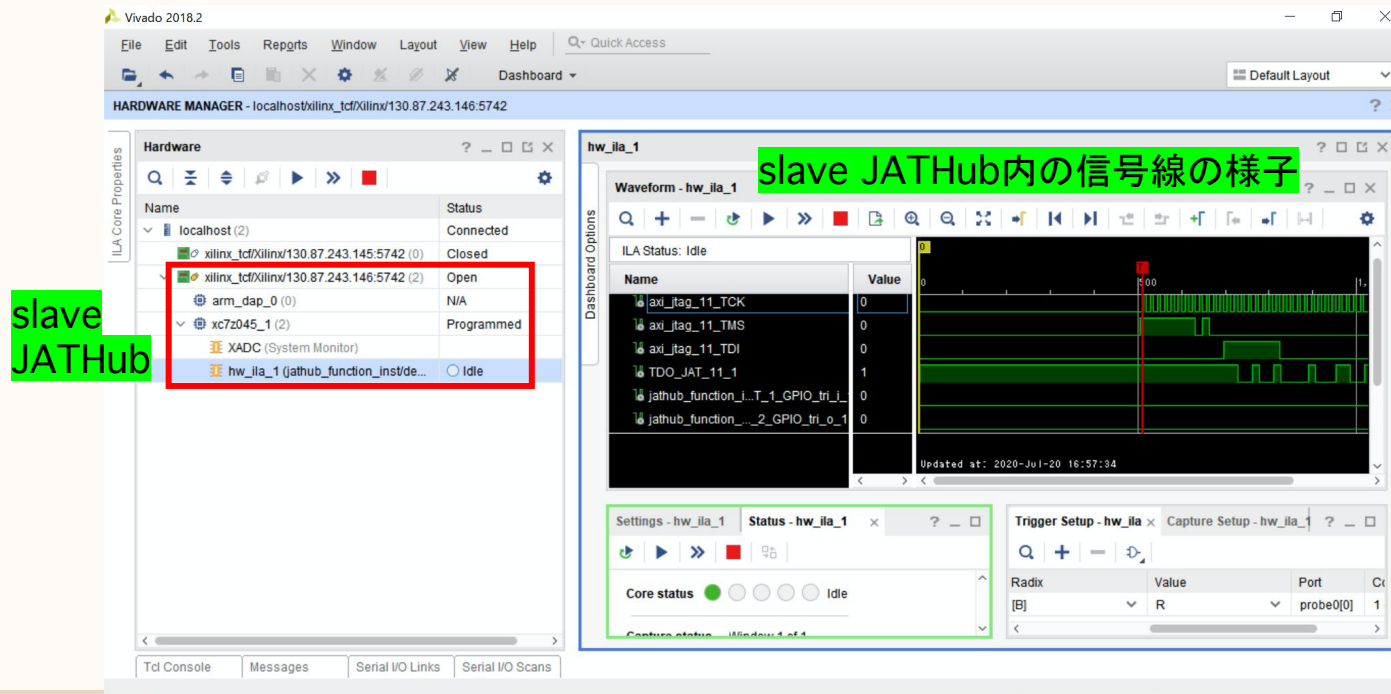
リモートのFPGAやZynqとJTAG通信する仕組み

- ・ TCP/IP通信によりZynq SoCにアクセスし、
専用のアプリ (Xilinx Virtual Cable [XVC]) をZynqで走らせることで、
Zynqから他回路のFPGAやZynqにJTAG規格でアクセスする
- ・ HostPCがmasterのZynq SoCとネットワークで繋がれば、
遠距離のslave上のFPGAやZynqに対してVivadoの機能が使える
 - ・ Programming FPGA and Flash memory
 - ・ IBERT
 - ・ ILA (Integrated Logic Analyzer) for debug



JATHub試作機のJTAG通信試験

- ・ ハブ機能を持つJTAG通信機能を開発し実装
- ・ master側JATHubとslave側JATHubは、JTAGパス用CAT6で接続
- ・ HostPCで走るVivadoが、slave側JATHubのZynqを認識し、Zynq内の信号線の様子を見ることができた



slave FPGAの動作回復試験

- 回復手続きの流れ

slave側FPGAで自動回復不可能なSEUが発生

→ slaveが送る救難信号をmaster側JATHubが検知

→ master側JATHubが回復信号をslaveへ送信

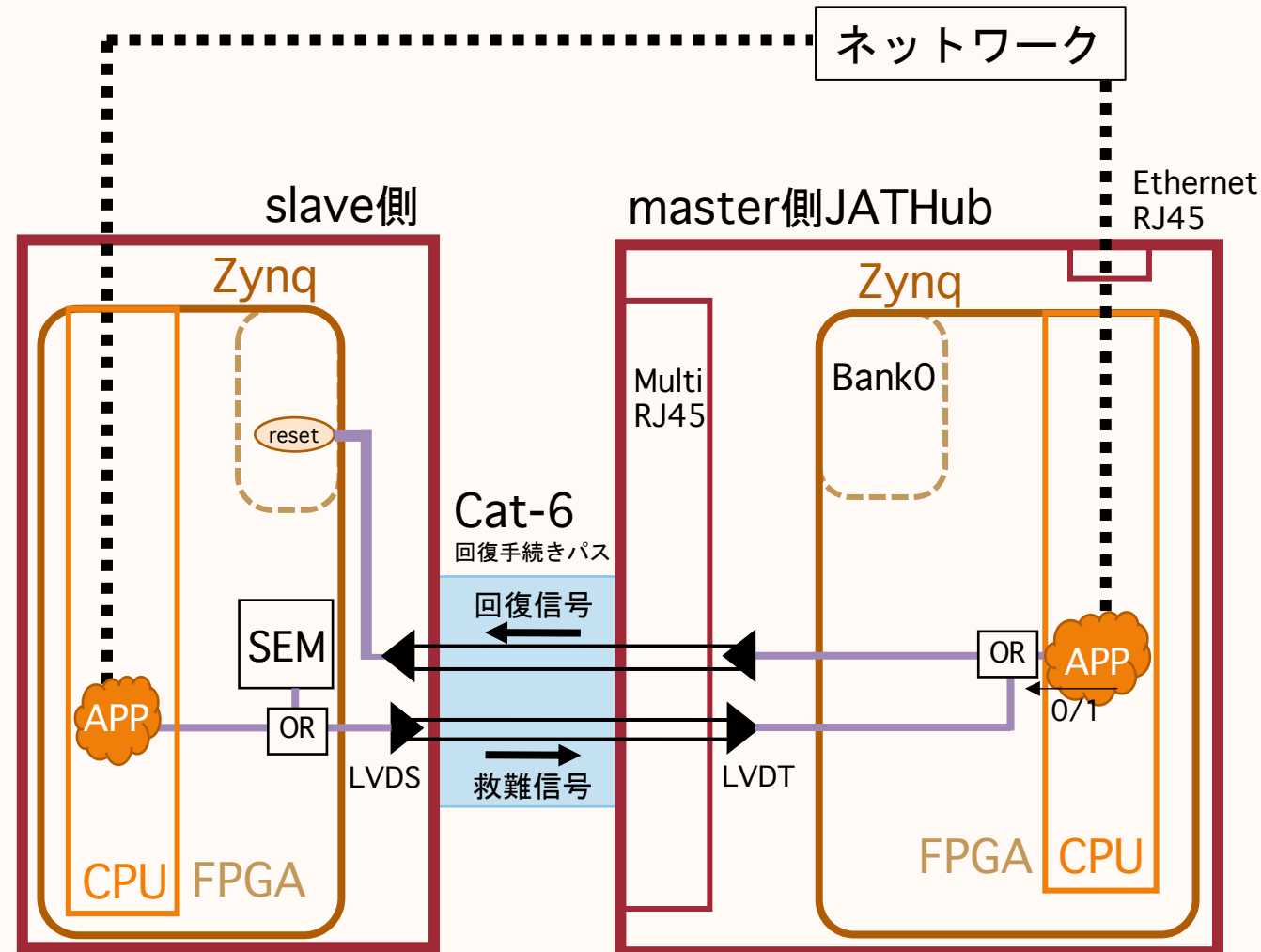
→ slaveでは回復信号を引き金に
再起動、再コンフィギュレーションが行われる

- JATHub試作機に回復手続きpathを実装した

- ・ Zynq内のSEU対策としてpathの各所に
多数決ロジックを実装した

- ・ 2台のJATHub試作機で試験した

- ・ 回復手続きpathの開通を確認した



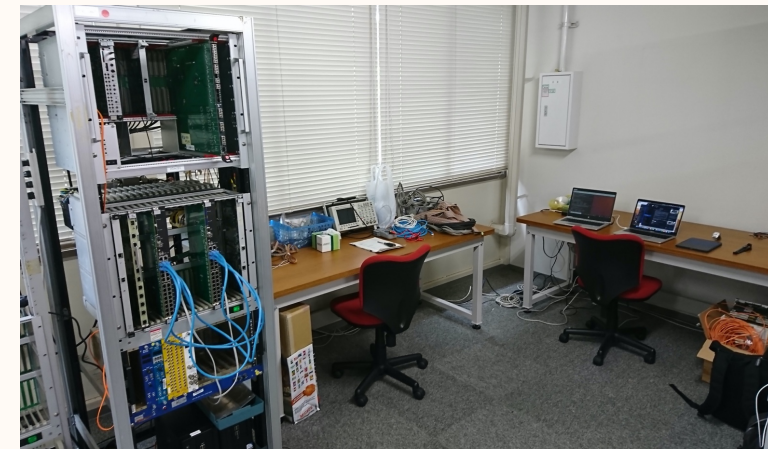
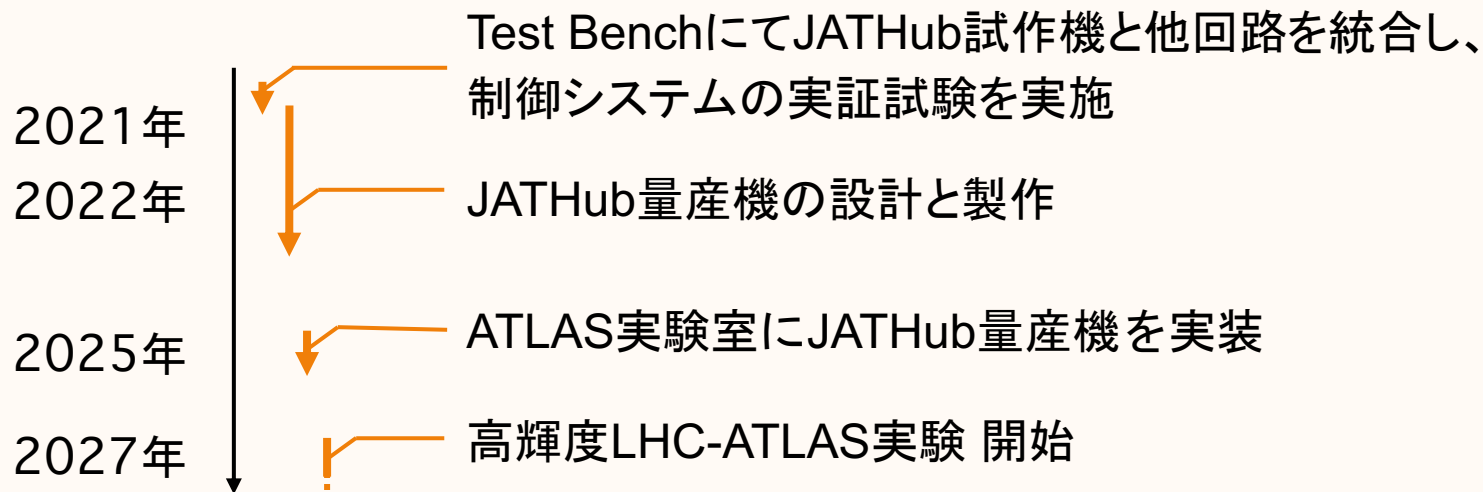
JATHub試作機を用いた動作試験 まとめ

JATHubの機能	開発と実装	動作試験
光Ethernet通信	○	○
他回路へのJTAG通信	○	○
他回路への回復手続き	○	○
(フロントエンド回路のLHCクロック位相をモニター)	進行中	
冗長性のあるBOOTシステム	○	進行中
VME通信	進行中	

赤字：制御系の基盤となる重要な機能

まとめと展望

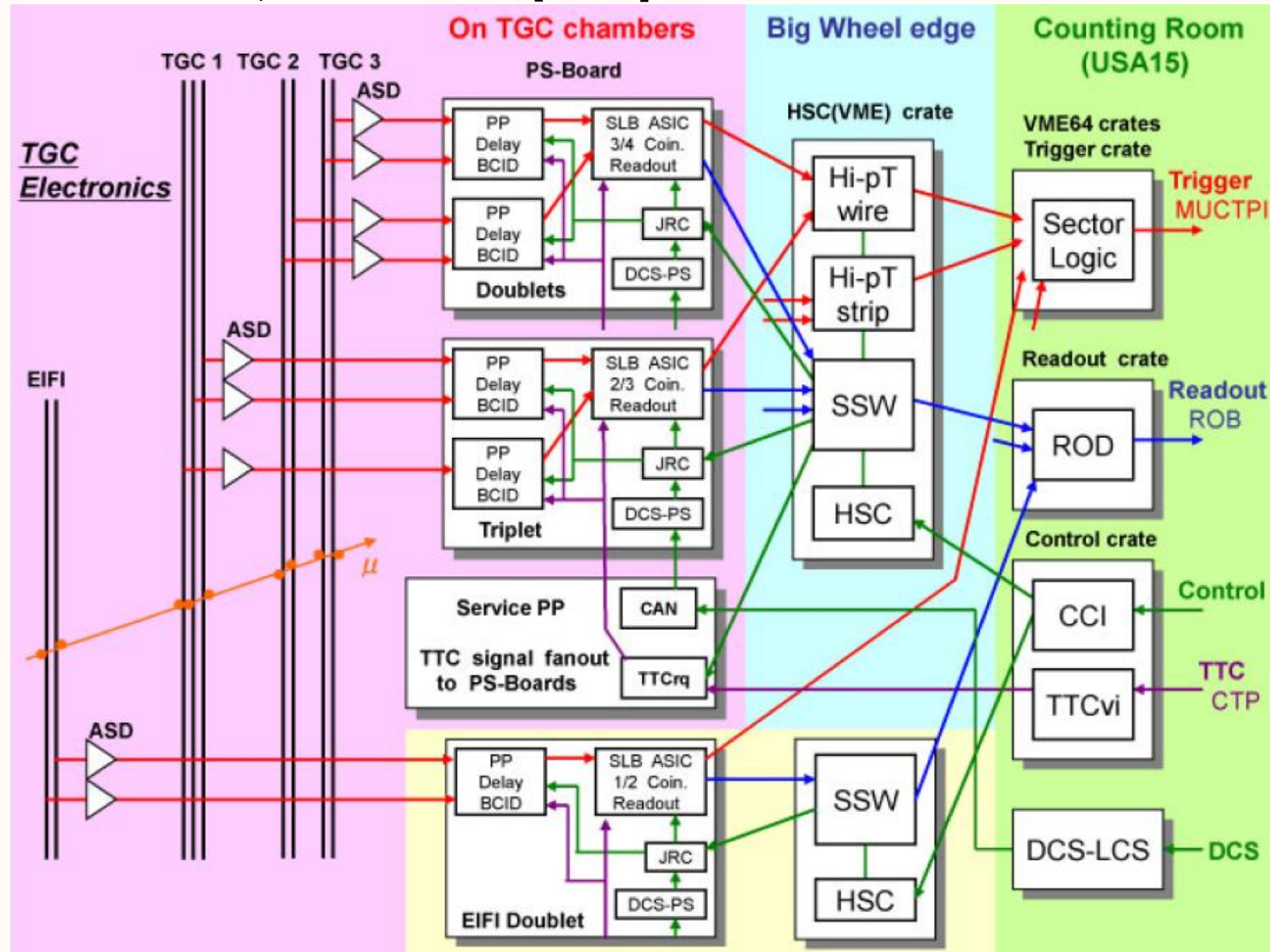
- 高輝度LHC-ATLAS実験のミュオントリガーシステムの制御系をデザイン・開発した
- 次の主要な要請を満たす制御システムの仕様を決め、
その制御システムの中心的な役割を担う JATHubハブモジュール を設計し、試作・開発を行った
 - 実験室内の1500個程のFPGAを遠隔操作・モニターする
 - 高い放射線環境における運転で高い信頼性を持つ
- JATHub試作機を用いて 制御系の基盤となる重要な機能 が自分の設計通りに動作したことを確認した



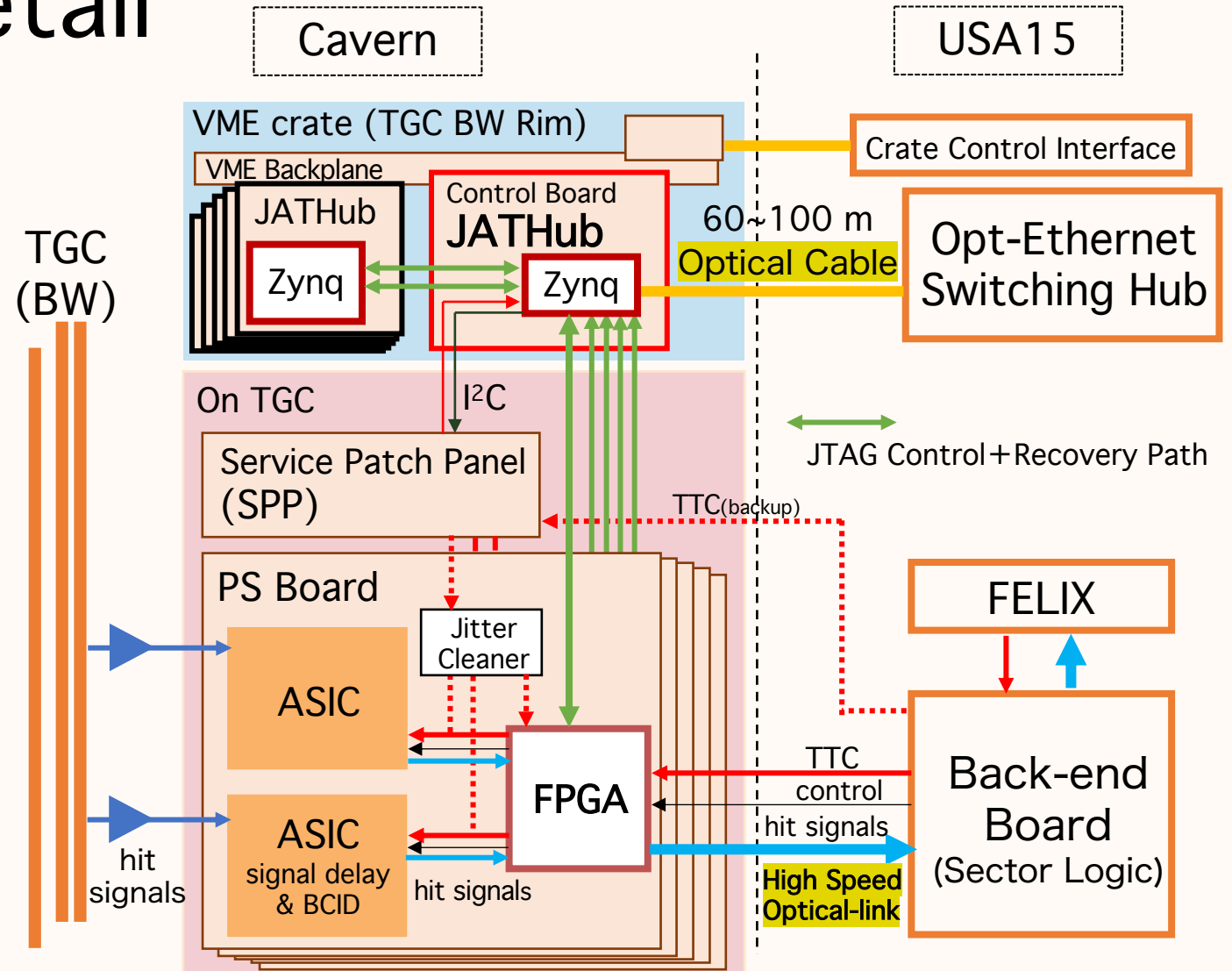
Test Bench @ KEK

Backup

現行のTGC検出器読み出し・トリガー エレクトロニクス仕組み

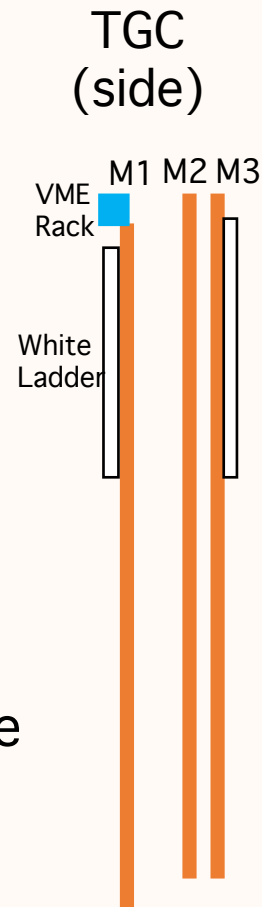


System of TGC Readout·Trigger Electronics for Phase 2 in Detail

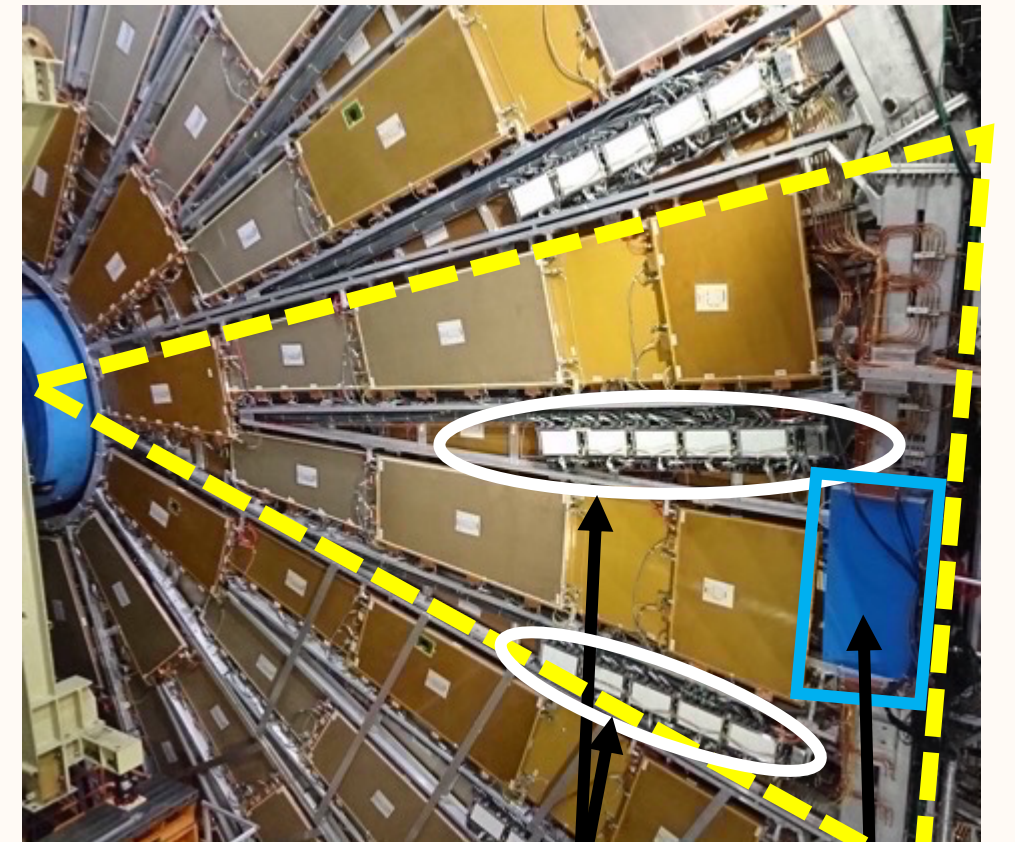


Location of JATHub & PS board

- TGC has three stations (M1, M2, M3)
- One unit of TGC is 1/12 sector (yellow triangle)
- Number and Location per one unit
 - 58 PS boards are in white ladders
 - 6 JATHub boards are in VME crate



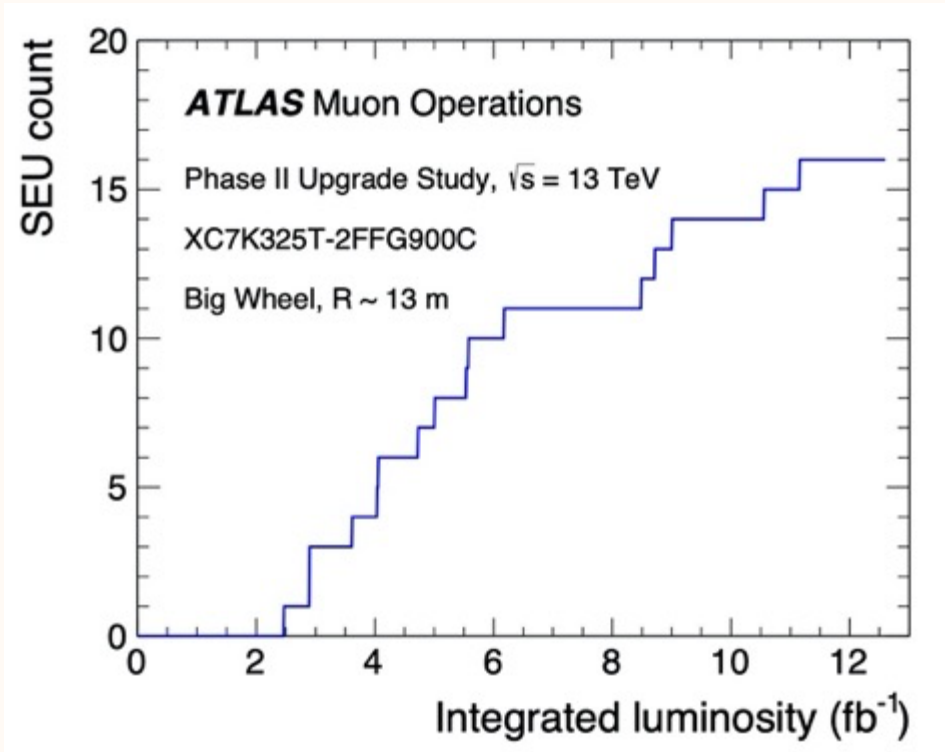
TGC (M1 front)



White Ladder

VME Crate

SEU Counts at PS board in Phase 2



- SEU count test for FPGA
at the location of PS board in Run 2(2018)
[\[Link\]ATLAS public results](#)
- Peak Luminosity in Phase 2
→ $7.5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$
- Frequency of SEU in FPGAs of all PS boards
in ATLAS cavern
→ Approximately 1 time per 10 seconds
- [note] Unless 2 or more SEUs are occurred
at the same time in the same FPGA,
SEM(Soft Error Mitigation) in FPGA will automatically
recover the function of FPGA.

Zynq

- Zynq : SoC (System on Chip) device made by Xilinx, which combines CPU and FPGA
- CPU : Enable to monitor and control through network, and to handle data with software
- FPGA : Enable to handle data quickly with firmware, and to connect with peripherals

→ Zynq is the device that has the high performance, flexibility, and scalability, because it can use the strong points of both CPU and FPGA.

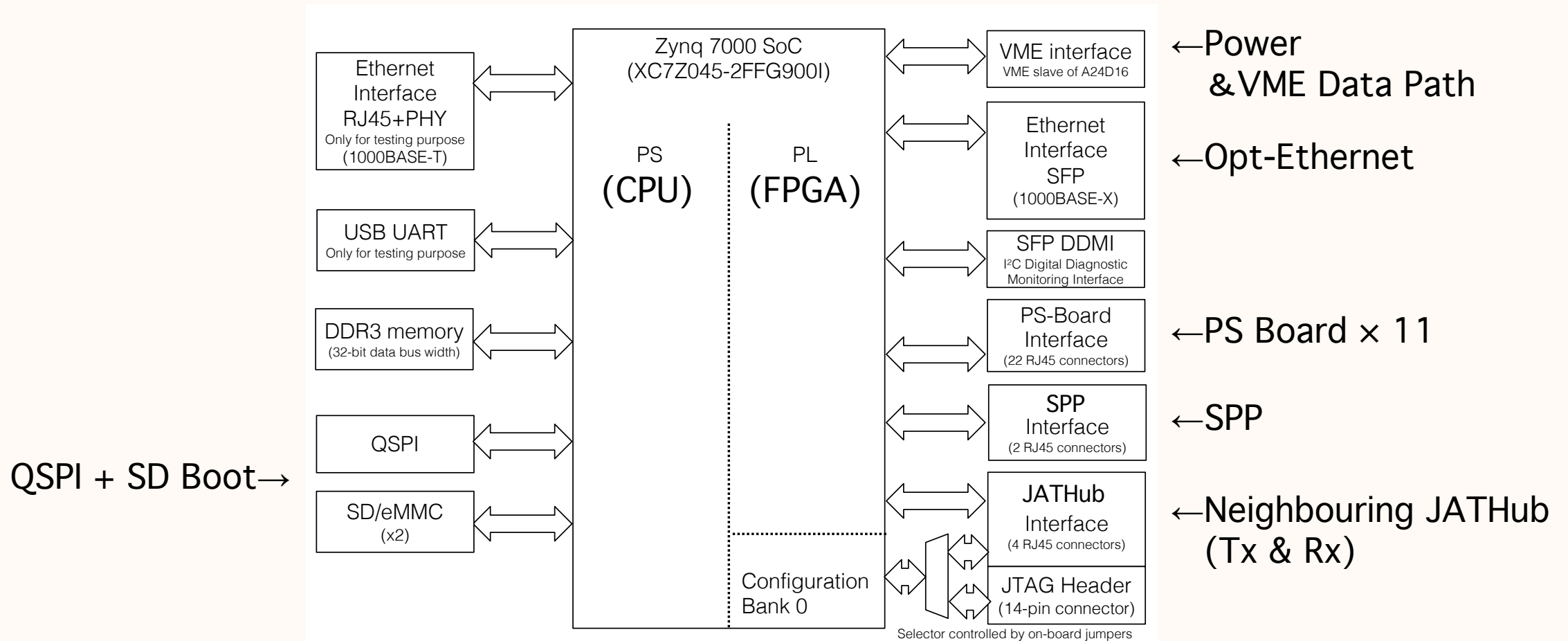
Zynq is suitable to operate the monitoring and data-handling at the front-end.

If Zynq has the radiation resistance,

Zynq is practical for high-energy physics experiments.

- Keywords of Zynq : Automatic Driving (Advanced Driver-Assistance Systems (ADAS)), IoT, Edge Computing ...etc.

JATHub Design around Zynq SoC



Pin Assignment of JATHub RJ45 Ports

PIN ASSIGNMENT on RJ45 for PSBoard(i)

PIN	CN4 (A-H) , CN5 (A-C)
1	PSB-TDO+
2	PSB-TDO-
3	PSB-TDI+
4	PSB-TMS-
5	PSB-TMS+
6	PSB-TDI-
7	PSB-TCK+
8	PSB-TCK-

PIN	CN4 (I-P) , CN5 (G-I)
1	PSB-RECOVERY-REQUEST-B+!
2	PSB-RECOVERY-REQUEST-B-!
3	PSB-MONITORING+
4	PSB-PRGB-*!
5	PSB-PRGB+*!
6	PSB-MONITORING-
7	/PSB-TRANSCEIVER-RESET+*!
8	/PSB-TRANSCEIVER-RESET-*!

PIN ASSIGNMENT on RJ45 for Legacy SPP Board(ii)

PIN	CN5 (F)
1	LGCYSPP-SDA-W+
2	LGCYSPP-SDA-W-
3	LGCYSPP-SDA-R+
4	LGCYSPP-SCL-W-
5	LGCYSPP-SCL-W+
6	LGCYSPP-SDA-R-
7	LGCYSPP-SCL-R+
8	LGCYSPP-SCL-R-

PIN	CN5 (L)
1	LGCYSPP-TTC-CLK+
2	LGCYSPP-TTC-CLK-
3	LGCYSPP-TTC-BCR+
4	N/A
5	N/A
6	LGCYSPP-TTC-BCR-
7	N/A
8	N/A

PIN ASSIGNMENT on RJ45 to Neighbouring JATHub Board (TX) (iii)

PIN	CN5 (D)
1	SPP-TDO+
2	SPP-TDO-
3	SPP-TDI+
4	SPP-TMS-
5	SPP-TMS+
6	SPP-TDI-
7	SPP-TCK+
8	SPP-TCK-

PIN	CN5 (J)
1	SPP-RECOVERY-REQUEST-B+!
2	SPP-RECOVERY-REQUEST-B-!
3	SPP-MONITORING+
4	SPP-PRGB-*!
5	SPP-PRGB+*!
6	SPP-MONITORING-
7	/SPP-PORB+*!
8	/SPP-PORB-*!

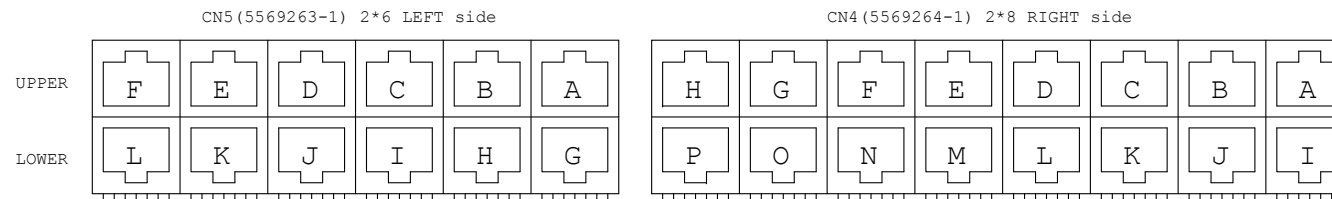
PIN ASSIGNMENT on RJ45 from Neighbouring JATHub Board (RX) (iv)

PIN	CN5 (E)
1	SPP-TDO+
2	SPP-TDO-
3	SPP-TDI+
4	SPP-TMS-
5	SPP-TMS+
6	SPP-TDI-
7	SPP-TCK+
8	SPP-TCK-

PIN	CN5 (K)
1	SPP-RECOVERY-REQUEST-B+!
2	SPP-RECOVERY-REQUEST-B-!
3	SPP-MONITORING+
4	SPP-PRGB-!
5	SPP-PRGB+!
6	SPP-MONITORING-
7	/SPP-PORB+!
8	/SPP-PORB-!

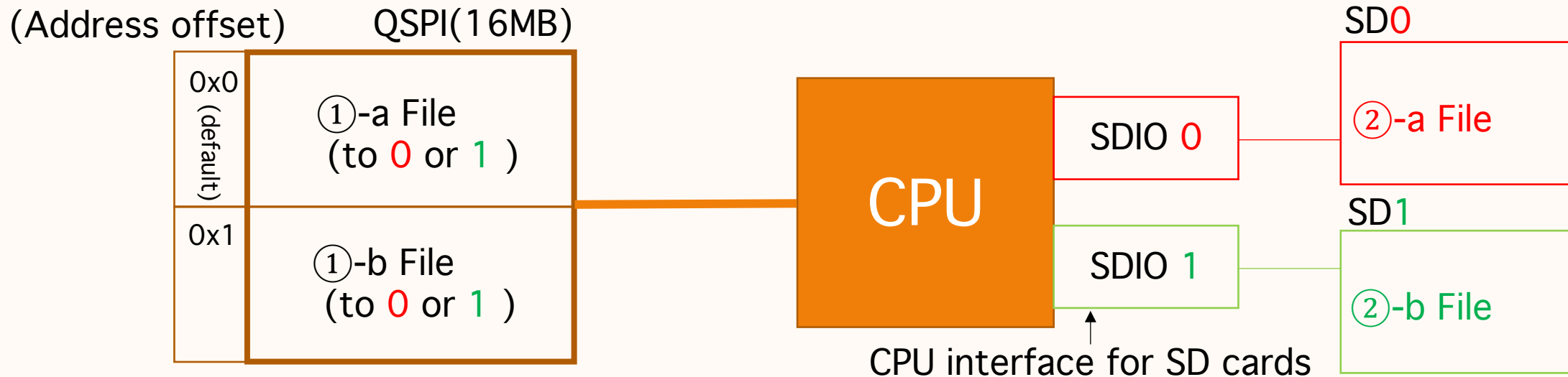
*:Program_b singals and the reset signals are in high impedance when the Zynq isn't configured or the JATHub isn't powered on(v)
!:Negative Logic (Active Low)(vi)
All signals driven by transmitter DS90LV047ATMTCX/NOPB have fail safe function; default high impedance(vii)
All signals received by receiver SN65LVDT348PWR have fail safe function; default high(viii)

PORT ASSIGNMENT of RJ45 Multi-Ports(ix)



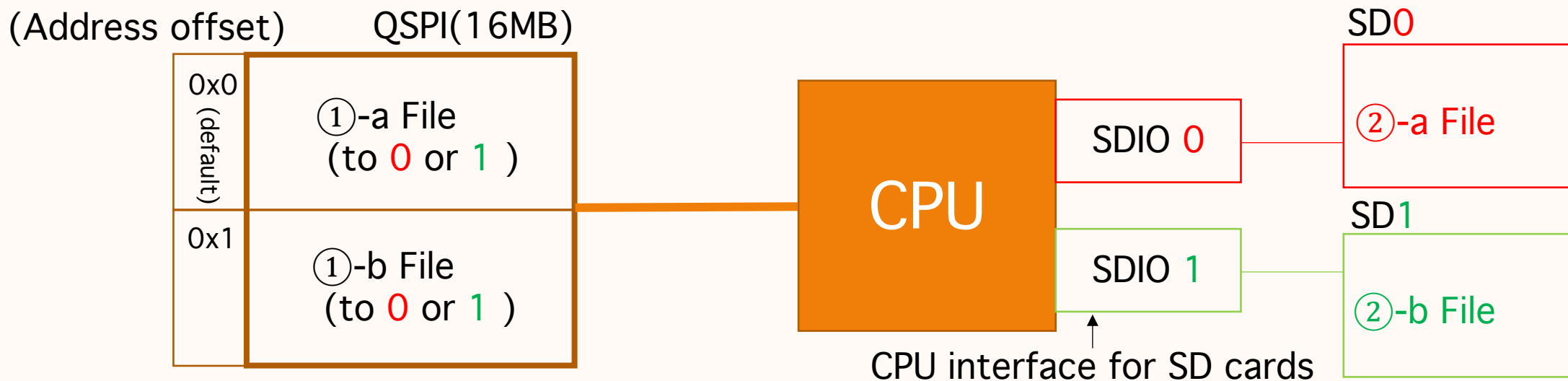
JATHub Boot System with 2 SDs & QSPI

- Boot Files for Zynq SoC can be divided into ①, ②
 - ① Initial Boot File (~0.5 MB)、② Second Boot File (~25 MB)
- ① Program the same 2 Initial Boot Files (①-a, ①-b) into QSPI, attaching offset value for each
- ② Store the same 2 Second Boot Files (②-a, ②-b) into each SD card(SD0, SD1)
- By default, when CPU is powered on, CPU reads ①-a File with the smallest offset value at first
 - According to the read pointer (0/1) written in ①-a File (eg. SD0), CPU reads ② File (eg. ②-a)



System of Boot Redundancy on the JATHub

- When CPU fails to read ①-a File
 - CPU will automatically start reading ①-b File
(“Boot header searcher” will find the file with the second smallest offset value)
- When CPU fails to read ②-a File
 - Remotely, change the read pointer to SD1 in ①-a File, reprogram ①-a File in QSPI
 - CPU will read ②-b File in SD 1, after CPU loads the changed ①-a File

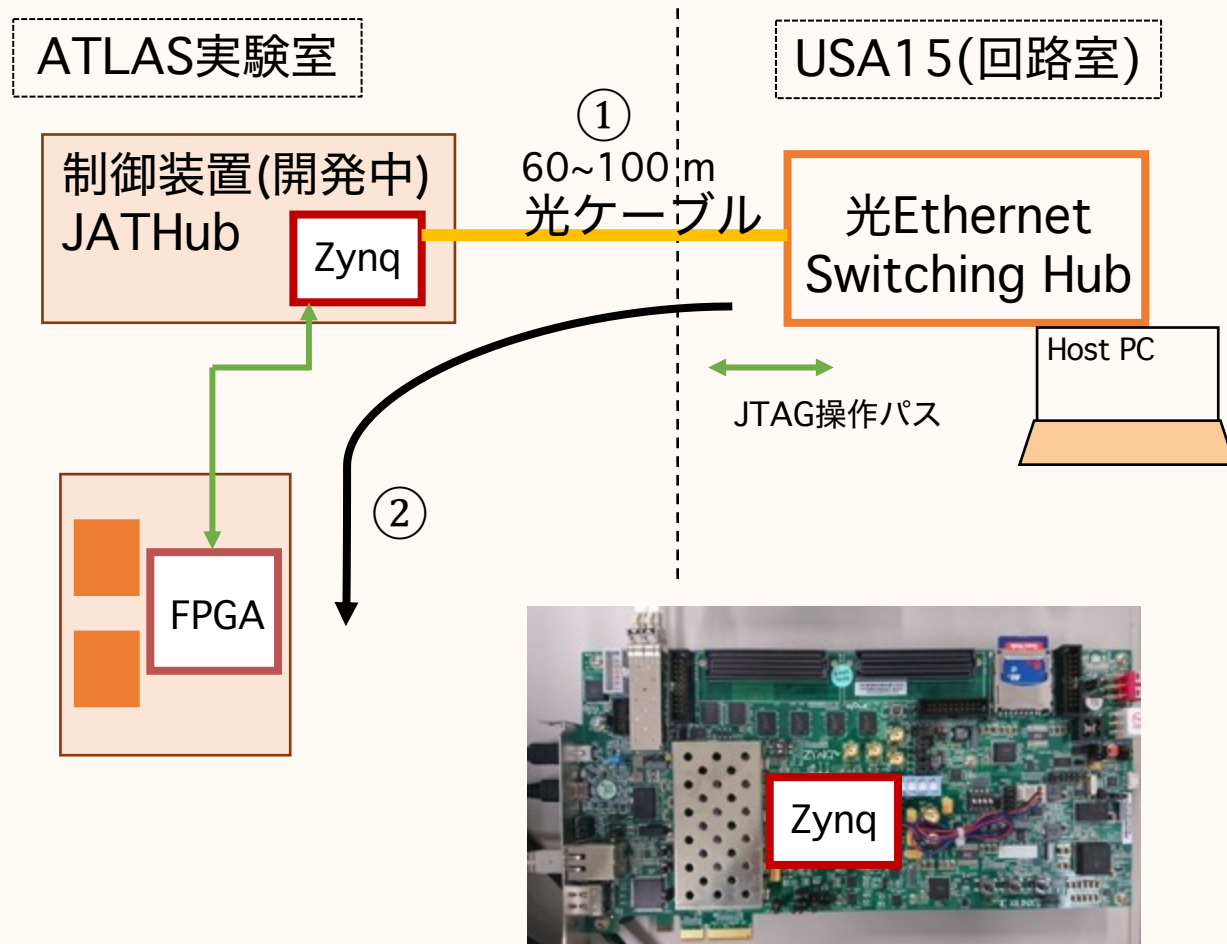


評価ボードによる機能のデモンストレーション

JATHubの以下の2つの機能を
ZC706評価ボードでデモンストレーションし、
JATHub試作機に実装するための知見を蓄えた

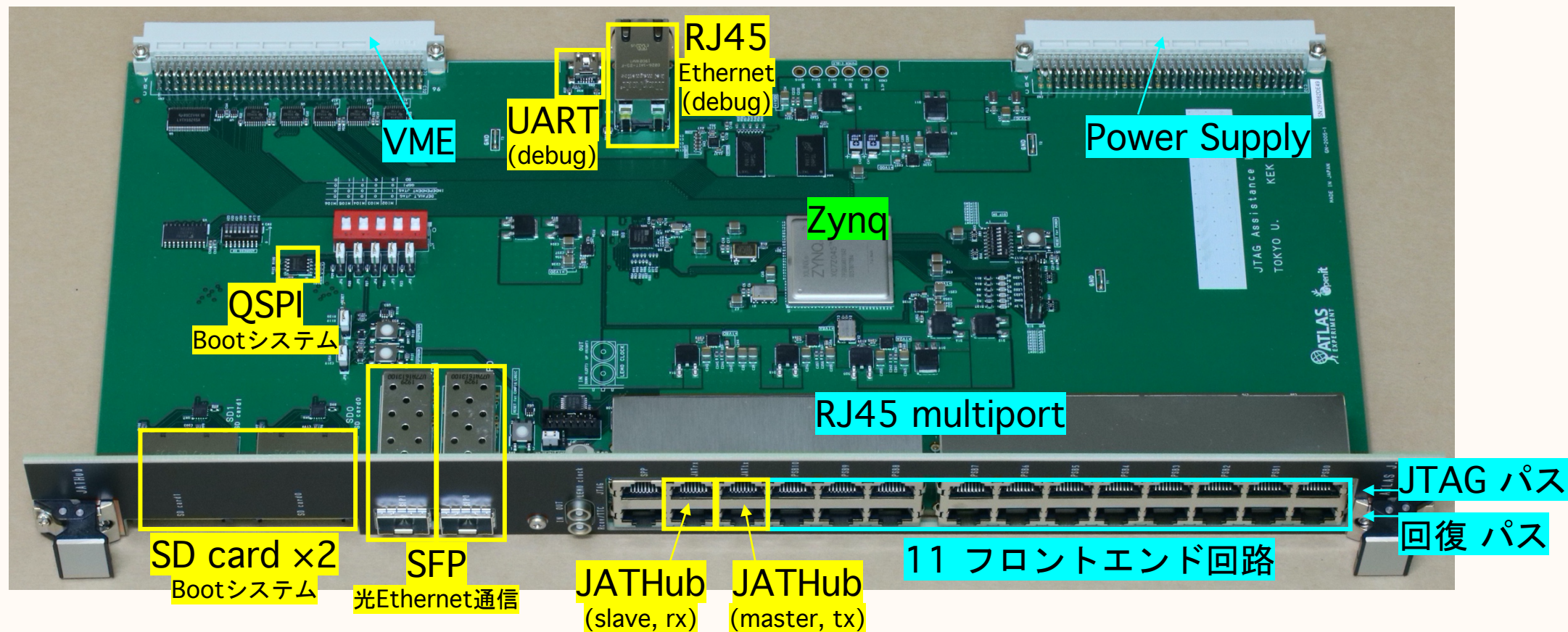
- ・ 機能①: 光Ethernet
Copperケーブルでなく、光ケーブルにより
SFP光モジュール経由で
Zynqが光Ethernet通信できるようにする
- ・ 機能②: Xilinx Virtual Cable (XVC)
Host PCからネットワークでZynqにアクセスし
Zynqから別回路のFPGAへJTAG通信を行うことで、
簡単にリモートのFPGAに対して
Firmwareのプログラムやデバッグが行える

→ デモンストレーションは完了、同時期にJATHub試作機も完成



同じZynq SoCデバイス搭載
ZC706評価ボード

JATHub 試作機 (2020/4/17 2台納品)



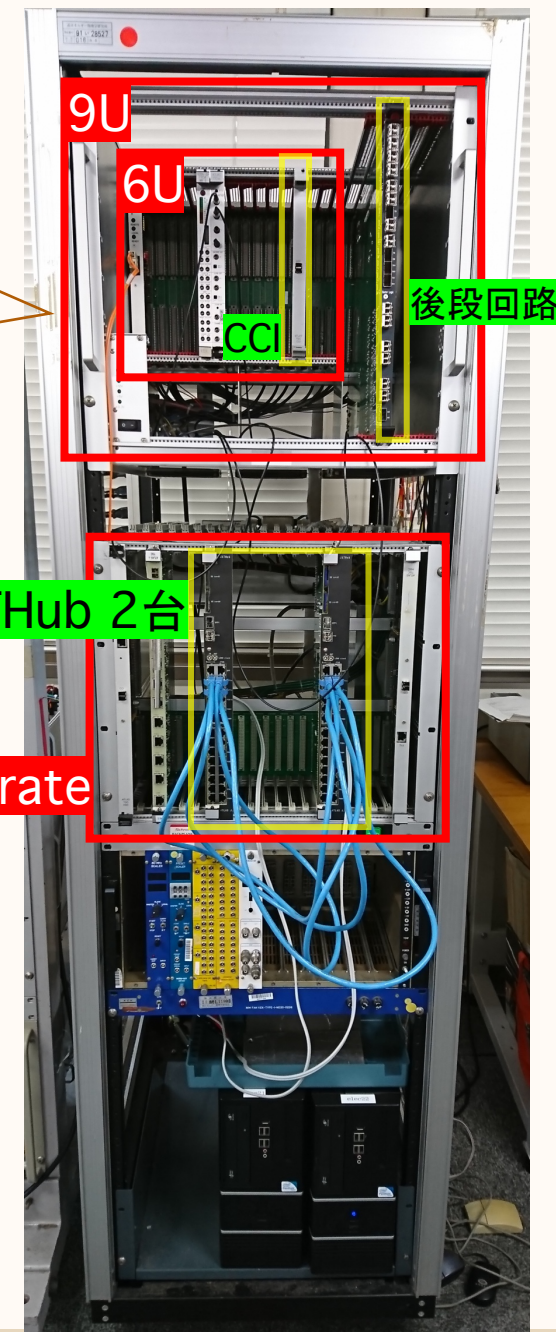
実証試験用のTest Benchを作成

- ・ 高輝度LHCでのTGCエレクトロニクス制御システムの実証試験に向けて準備が進んでいる
- ・ 将来、ラックの隣の机に、フロントエンド回路試作機(9月上旬納品)を置き **フロントエンド回路とJATHubの通信試験**を行う
- ・ 将来、 **VMEクレート**を使いJATHubと外部のVME通信試験を行う



2020/9/16

2020年秋季大会



26 / 14