修士学位論文

ATLAS 実験ミューオントリガー用
リモートコントロールシステムの開発

東京大学大学院 理学系研究科
物理学専攻

06098
中村 佳央

2002 年 1 月

概 要

欧州原子核研究機構 (CERN) において、重心系 14TeV の衝突エネルギーを持つ陽子・陽子衝突型加速器 LHC が建設中である。この加速器を用いた ATLAS 実験が、未知粒子の観測などを目的として 2006 年より開始される。ATLAS 実験におけるイベントレートは 40MHz と非常に高いため、重要なイベントだけを取捨選択し、効率良くデータ収集するためのトリガーシステムの導入が不可欠である。このトリガーシステムのうち、検出器に隣接するエレクトロニクスには、遠隔からそれらを制御するコントロールシステムが必要となる。このコントロールシステムは大量の制御データを扱うため、高速データ通信能力を有していなければならない。さらに実験ホール内は放射線環境下にあるため、耐放射線性をも兼ね備えている必要がある。今回、これら要求に基づいたリモートコントロールシステムの開発及び動作検証を行なった。またトリガーエレクトロニクスの統合接続テストを行ない、システム全体の中での機能の確認も行なった。さらに実装する半導体デバイスが実際の放射線環境下に耐えうるものかどうか、照射試験を行いその耐久性を評価した。

目 次

第 1 章　序論 **4**

第 2 章　ATLAS 実験 **5**

2.1 LHC 計画 5

2.2 LHC で期待される素粒子物理 6

2.2.1 ヒッグス粒子 6

2.2.2 超対称性粒子 8

2.3 ATLAS 測定器 9

2.3.1 内部飛跡検出器 10

2.3.2 カロリメータ 10

2.3.3 ミューオン検出器 10

2.3.4 マグネット 12

2.4 トリガー及びデータ収集システム 13

2.4.1 全体のスキーム 13

2.4.2 レベル 1 ミューオン・トリガーシステム 14

第 3 章　前後方エンドキャップ・ミューオントリガー・システム **16**

3.1 TGC の構造 16

3.2 トリガーのスキーム 18

3.2.1 トリガーの方法 18

3.3 TGC エレクトロニクスの構成 20

3.3.1 全体の流れ 20

3.3.2 トリガー系 22

3.3.3 読み出し系 24

3.3.4 DCS (Detector Control System) 26

3.3.5 モジュールの配置 29

3.4 TGC エレクトロニクスの設置環境 32

3.4.1 TGC エレクトロニクスの放射線基準 32

3.4.2 TGC エレクトロニクスの対策 33

第 4 章　HSC/CCI システム **35**

4.1 リモートコントロールシステムの概要 35

4.1.1 目的 35

4.1.2 設計 36

4.1.3 リモートコントロールシステム 36

4.2 HSC と CCI の設計 37

4.2.1 リモートコントローラ (HSC) 37

4.2.2 ローカルインターフェース (CCI) 38

4.3 試作基板実装 38

4.3.1 リモートコントローラ (HSC) 38

4.3.2 ローカルインターフェース (CCI) 40

4.4 HSC/CCI 間の通信 . . . 40
4.4.1 インストラクション . . . 41
4.4.2 JTAG アクセス用コマンド . . . 42
4.5 システムの機能 . . . 42
4.5.1 初期化と設定 . . . 42
4.5.2 フロントエンドへのアクセス . . . 43
4.5.3 VME バスを用いたシステム診断・修復 . . . 44
4.5.4 JTAG バスを用いたシステム診断・修復 . . . 44
4.6 性能評価試験 . . . 47
4.6.1 セットアップ . . . 47
4.6.2 HSC/CCI 間リンク接続テスト . . . 47
4.6.3 VME アクセステスト . . . 48
4.6.4 JTAG アクセステスト . . . 48
4.6.5 応答時間測定 . . . 50
4.7 スライステスト . . . 52
4.7.1 セットアップ . . . 52
4.7.2 コンフィギュレーション系テスト . . . 53
4.8 HSC/CCI 開発のまとめ . . . 54

第 5 章 放射線照射テスト 56
5.1 γ 線テスト . . . 56
5.1.1 セットアップ . . . 57
5.1.2 結果と考察 . . . 57
5.2 陽子ビームテスト . . . 60
5.2.1 セットアップ . . . 60
5.2.2 結果と考察 . . . 65
5.3 放射線照射テストのまとめ . . . 67

第 6 章 まとめ 71

付 録 A 使用される主な技術・製品 73
A.1 VME . . . 73
A.2 JTAG . . . 73
A.3 CPLD/FPGA . . . 74
A.4 ASIC . . . 75
A.5 TGC エレクトロニクスの中での LSI . . . 76

付 録 B 放射線による LSI への影響 77
B.1 積算的な効果 . . . 77
B.1.1 TID (Total Ionising Dose) . . . 77
B.1.2 NIEL (Non Ionising Energy Loss) . . . 77
B.2 偶発的な効果 . . . 78
B.2.1 ソフトエラー . . . 78
B.2.2 ハードエラー . . . 79

謝辞 85

第1章　序論

欧州原子核研究機構 (CERN) において、陽子・陽子衝突型加速器 LHC (Large Hadron Collider) が建設中である。LHC では、その高い衝突エネルギーや高ルミノシティーを利用して、ヒッグス粒子や超対称性粒子の探索など、新たな物理領域が研究される。LHC で行なわれる実験の一つに ATLAS 実験があり、その測定器は LHC のビーム衝突点に設置される。

LHC でのイベントレートは 40MHz と非常に高いため、効率よくデータ取得するためのトリガー・システムおよびデータ収集システムが必要となる。ATLAS 実験でのトリガー・システムは 3 段階に分けられ、それぞれで徐々にイベントの選別が行なわれる。ATLAS 測定器の前後方ミューオントリガー用検出器 (Thin Gap Chamber ; TGC) は、その最初の段階でのトリガー判定の一部を担っており、そのデータ処理のために設置されるエレクトロニクスにより、一つの大規模なトリガー・システムが形成される。

ATLAS 実験におけるエレクトロニクスの設置場所には、検出器が設置される実験ホール内と、そこからの信号を受信するためのエレクトロニクスが設置されるエレクトロニクスハットに分けられる。両者はケーブル長で約 90m 離れた場所にある。TGC トリガー・システムの初段階に位置し、検出器からの出力を A/D 変換してデータ処理を行なうフロントエンド・エレクトロニクスは、実験ホール内に設置される。TGC エレクトロニクスは約 320,000 のチャンネル数を持つため、その出力データは、同じく実験ホール内に設置される中継地点にて束ねられた後、エレクトロニクスハットへと送られる。こうすることでケーブル数を減らしている。

TGC トリガー・システムにおいて、フロントエンド・エレクトロニクスやデータ中継地点には、各種 LSI が使用される。従ってこれらの LSI の機能に付随するパラメータの設定や監視が必要となる。今回、遠隔から実験ホール内にあるこれらの LSI を制御するために、リモートコントロールシステムを導入し、その開発を行なった。

ここで、リモートシステムには主に 2 つの要求が課せられる。まず 1 つは帯域の問題である。LSI のデータサイズや個数を考慮すると、実験ホール内のエレクトロニクスへ送るべき設定データは膨大な量となる。データ収集オペレーションに支障なくこの作業を実行するには、広い帯域を持ったデータ通信が可能なシステムが要求される。

次に問題となるのは放射線の影響である。これらの LSI は、γ 線などによる積算的なダメージはもちろんのこと、高エネルギーのハドロンによって LSI 内のメモリ情報が反転してしまう SEU (Single Event Upset) エラーを被る危険性がある。SEU は被曝量に関係なく発生するのため、LSI の設定パラメータが書き換えられると、システムにとって致命的な損害となる可能性がある。リモートコントロールシステム自身を含めて、放射線によるエレクトロニクスへの影響をどう克服できるかがこのシステム開発の鍵となる。

今回開発したリモートコントロールシステムでは、帯域の問題に対しては高速データ転送が可能な光通信技術を採用し、また放射線の問題に対しては、一つの制御用バスシステムがその機能を失っても、他の独立したバスシステムを用いてその機能を回復できるようにするため、異なるアーキテクチャを持った 2 つのバスシステムを導入し、新しいシステムの開発に積極的取り組んだ。

本論では、まず次章において LHC の特徴やそこで期待される物理、LHC を用いた ATLAS 実験の概要について述べ、第 3 章で前後方エンドキャップ・ミューオントリガーを担う TGC エレクトロニクスについて説明する。第 4 章ではリモートコントロールシステムの開発について、その目的やデザイン、システムが持つ機能を説明し、製作した試作機の動作検証について述べる。第 5 章では実装予定の LSI がどの程度の放射線耐性を持つか調べるために行なった、γ 線および陽子ビームの放射線照射試験について述べる。第 6 章では本論全体を通してのまとめを述べる。

第2章　ATLAS実験

ここでは ATLAS 実験の概要を述べる。まず実験で利用する加速器の特徴を述べ、期待される物理について説明する。次に ATLAS 測定器の構造およびデータ収集方法について簡単に説明する。

2.1　LHC 計画

より高いエネルギー領域での物理現象を研究すべく世界最大の規模とエネルギーを持つハドロンコライダー LHC (Large Hadron Collider) が、現在スイスにある欧州原子核研究機構 (CERN) にて建設中である。図 2.1 に LHC 加速器の全体図を示す。

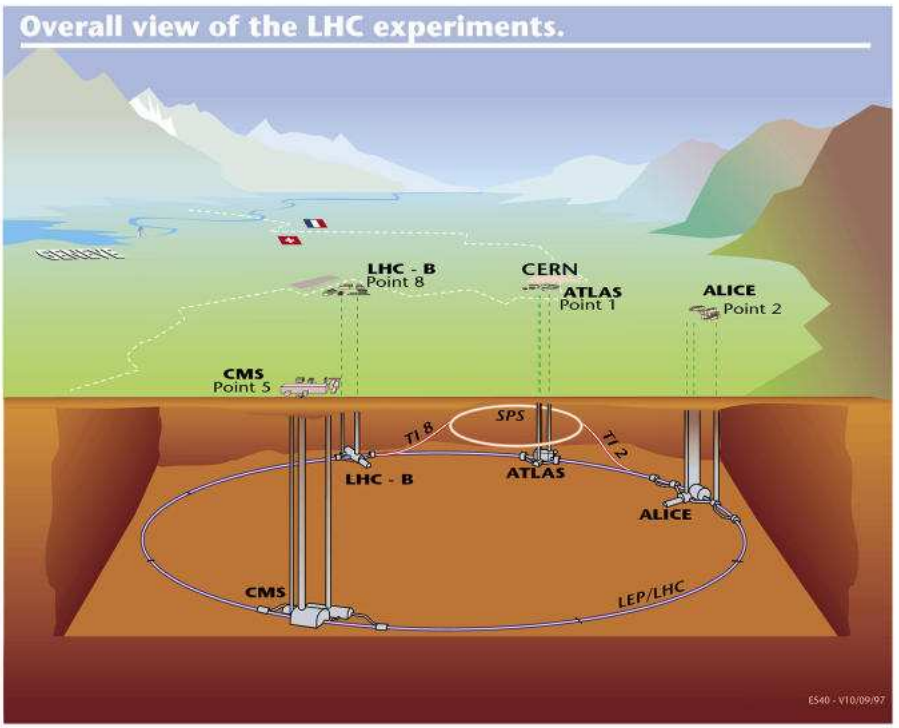


図 2.1: LHC 加速器 LHC には合計 4 つのビーム交差点があり、それぞれの地点に測定器が設置される。そのうちの一つが ATLAS 測定器である。

この陽子・陽子衝突型加速器は 2000 年まで稼働していた電子・陽電子衝突型加速器 LEP (Large Electron Positron Collider) と同じトンネル内に設置され、その全長はおよそ 27km にも及ぶ。LHC を用いると、例えば後に述べる標準模型ヒッグス粒子探索では、LEP での探索上限だった約 110GeV から約 1TeV までのエネルギー領域をカバーすることが可能となる。これによりヒッグス粒子探索はもちろん、後に述べる超対称性粒子や、未知の相互作用などの発見も期待される。LHC の最大の特徴を簡単に挙げるとすれば、

- 高エネルギー
- 高ルミノシティー
- 高イベントレート

の 3 点である。衝突エネルギーは重心系で 14TeV と、TeV エネルギー領域での素粒子の研究が可能となる。ルミノシティーは最大 $10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$ で、またイベントレートは 40MHz となる。LHC での主なパラメータを表 2.1 にまとめる。

主リング周長	26.66km	陽子ビームエネルギー	7.0TeV
(低) ルミノシティ	$10^{33}\mathrm{cm}^{-2}\mathrm{s}^{-1}$	(高) ルミノシティ	$10^{34}\mathrm{cm}^{-2}\mathrm{s}^{-1}$
入射エネルギー	450GeV	衝突頻度	40.08MHz
バンチ間隔	24.95ns	バンチ当たりの陽子数	10^{11}
バンチの長さ	75mm	衝突点でのビーム半径	16μm
ビーム衝突角度	200μrad		

表 2.1: LHC の主要パラメータ

さて、現在我々が知りうる理論で説明できないことを実験的に検証するには 2 通りのやり方がある。一つは標準模型で与えられている各種パラメータの精密測定であり、他方は現象そのものを直接検証するやり方である。高エネルギー物理分野における前者の一つの例としては、LEP などに代表される電子・陽電子コライダーによる検証がある。内部構造を持たない電子同士の衝突であるため、目的とするイベントの同定は比較的容易である。ただし、シンクロトロン放射による加速粒子のエネルギー損失は免れず、高エネルギービームを生成するには困難が伴う。一方新たな事象の直接的検証手段としては、Tevatron [1]に代表されるようなハドロンコライダーなどでの実験がある。この場合、加速粒子として内部構造を持ったハドロン (陽子) を用いるため、生成される粒子も前者と比べると非常に多くなってしまい、目的とするイベントを探し出すのが非常に困難になる。しかしシンクロトロン放射によるエネルギー損失は少ないため、より高いエネルギーを持つビームの生成が可能である。LHC はハドロンコライダーであるため、ヒッグス粒子や未知のエネルギー領域での新たな事象の発見などにはもちろん適しているが、標準模型の精密検証もできるよう研究が続けられている。

2.2 LHC で期待される素粒子物理

2.2.1 ヒッグス粒子

LHC が目指す物理の最大の目的はヒッグス粒子の発見である。電弱対称性が破れるメカニズムとして、標準模型ではスカラー場二重項の寄与が仮定されており、その結果として電荷が中性のスカラー粒子が 1 つ存在することが予言されている。これがヒッグス粒子である。以下、ヒッグス粒子の探索モードについて述べる。

まずはヒッグス粒子の生成過程から考えてみる。ヒッグス粒子は重い粒子と結合しやすいという特徴を持っているため、トップ・クォークや W/Z ボソンなどと強く結合する。ヒッグス粒子の質量とその生成断面積の関係は図 2.2 のようになる。また主なヒッグス粒子生成のファインマンダイアグラムを図 2.3 に記す。以下それぞれのケースについて簡単に説明する。

(a) gluon fusion (グルーオン融合)

トップクォークまたはボトムクォークのループを介して生成される過程。LHC で探索可能なエネルギー領域内で最大の生成断面積を持つ。しかしヒッグス粒子の崩壊から出てくる粒子以外のもので大きな横運動量を持つ粒子はなく、バックグランドも多い。

(b) W/Z fusion (W/Z 融合)

2 番目に大きな反応断面積を持ち、ヒッグス粒子が 2 つのゲージボソンから生成される過程。ゲージボソンを放出したクォークが大きな横運動量を持つ 2 本のジェットとして観測されるため、イベント選定が比較的行ないやすい。

[1]アメリカの FNAL(フェルミ国立研究所) にある、衝突エネルギー 1.8TeV の陽子・反陽子衝突型加速器。

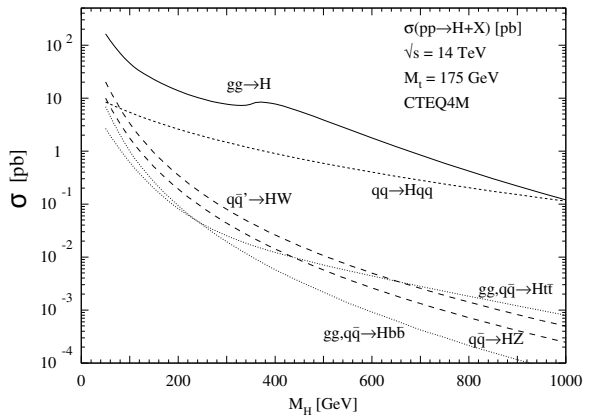


図 2.2: ヒッグス粒子の質量と生成断面積

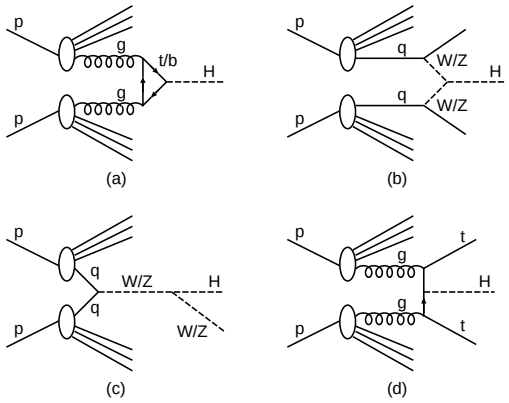


図 2.3: 主なヒッグス粒子生成のファインマンダイアグラム ((a): グルーオン融合、(b): W/Z 融合、(c): W/Z 随伴生成、(d): トップクォーク随伴生成)

(c) W/Z associate production (W/Z 随伴生成)
クォークペアの対消滅で生成されたゲージボソンからヒッグス粒子が放出される過程。荷電粒子からフォトンが放出されるシンクロトロン放射 (Bremsstrahlung) と類似していることから、「Higgsstrahlung」とも呼ばれる。

(d) top associate production (トップクォーク随伴生成)
グルーオンから対生成されたトップクォークからヒッグス粒子が放出される過程。終状態にトップクォークを含んでいるため、バックグランドを減らすことができる。またこの反応では、フェルミオンの質量起源を探る上で重要な情報源となる湯川結合定数を測定できる。

次にヒッグス粒子の崩壊過程について述べる。LHC では バックグランドも非常に多く発生するため、S/N 比の良い崩壊モードを探す必要がある。ただし、図 2.4 に示されるように、ヒッグス粒子はその質量によって崩壊過程・崩壊幅が異なり、それに伴って探索の方法もヒッグス粒子の質量によって異なってくる。以下それぞれの崩壊モードを簡単に説明する。

- m_H **<150GeV**
  この領域でのヒッグスの主な崩壊過程は $H \to b\bar{b}$ である。しかしこのヒッグス粒子起源がグルーオン融合過程であった場合は、QCD によるバックグラウンドが大きくなる。従って崩壊分岐比は 10^{-3} と若干低くなるが、$H \to \gamma\gamma$ の崩壊を調べることが重要となる。後者の場合は、$q\bar{q} \to \gamma\gamma$ や $gg \to \gamma\gamma$ からのバックグラウンドを抑えるため、電磁カロリメータには優れた角度分解能及びエネルギー分解能が要求される。

- **120GeV** $< m_H <$ **180GeV** $(2m_Z)$
  この領域になると m_H が m_W や m_Z を超えるため、WW^* や ZZ^* への崩壊が始まる。W への崩壊は $tt \to WWbb$ がバックグラウンドとなり測定が難しいので、$H \to ZZ^* \to 4l$ の崩壊過程を調べることが重要となる。

- **180GeV** $(2m_Z) < m_H <$ **500GeV**
  この領域で最も有効な崩壊モードは $H \to ZZ \to 4l$ である。バックグラウンドも少なく、最もはっきりとした事象を確認できるモードであるため、gold plated event と呼ばれる。

- **500GeV** $< m_H$
  ヒッグス粒子の質量が大きい領域では、ヒッグスの質量幅が広がってしまい、前述の $H \to ZZ \to 4l$ だけでは統計をためることが容易ではない。従ってこの領域では、レートの高い $H \to ZZ \to ll\nu\nu$ や $H \to WW \to l\nu jj$ を用いる。いずれも大きな missingE_T を用いて測定を行なう。

最後に、積算ルミノシティー[2]が $100\mathrm{fb}^{-1}$ たまった時の、標準模型ヒッグス粒子探索に対する感度を図 2.5 に示す [1]。図から分かるように、ATLAS 実験におけるヒッグス粒子探索は、現在の上限値である 115GeV から 1TeV の領域までカバーしている。

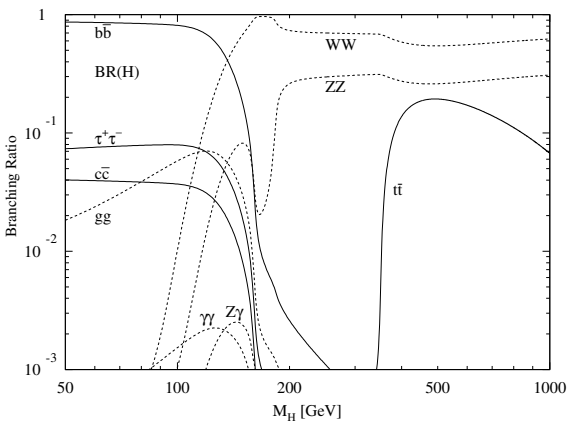


図 2.4: ヒッグス粒子の質量と崩壊分岐比

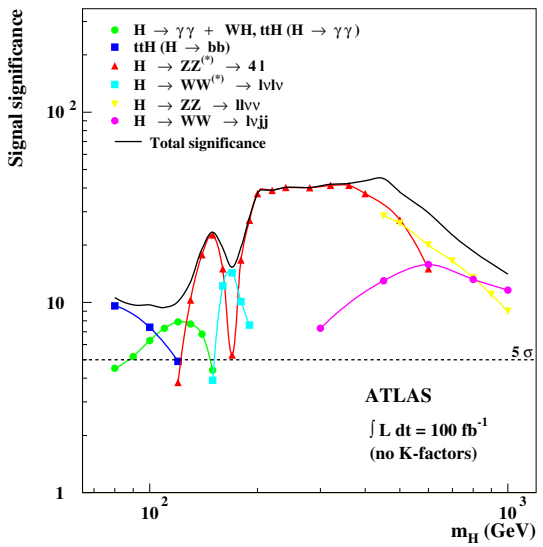


図 2.5: ヒッグス粒子の発見ポテンシャル

2.2.2 超対称性粒子

物理学において対称性とは非常に重要な概念であるが、フェルミオンとボソンの対称性を考慮したものに超対称性理論[3]というものがある。この理論は全てのフェルミオン及びボソンに対してスピンが $\frac{1}{2}$ だけ異なる超対称性粒子 (スーパーパートナー) の存在を予言する。例えば超対称性粒子としてグルーオンの場合はグルイーノ、中性ゲージボソンにはニュートラリーノ、クォークやレプトンにはそれぞれスカラークォーク (スクォーク) とスカラーレプトン (スレプトン) という具合である。

この超対称性理論を考えると、物質の基本的要素である素粒子の数が倍に増えてしまうわけであるが、それでもこの理論を真剣に検討する最大の動機の一つは、統一理論を考えた時にこの超対称性を組み込むと 3 つの力が統一される可能性が出てきたからである (図 2.6 参照) 。

この理論の中で最も単純な超対称性標準模型 (Minimal Supersymmetric Standard Model ; MSSM) では、 2 つの複素スカラー場二重項が必要とされ、その結果 5 つのヒッグス粒子 (CP-even の h と H、CP-odd の A、$H^{\pm}$) が予言される。もし LHC においてヒッグス粒子が 2 つ以上発見された場合は、超対称性理論のような標準模型の枠を超えた物理現象の決定的証拠となる。

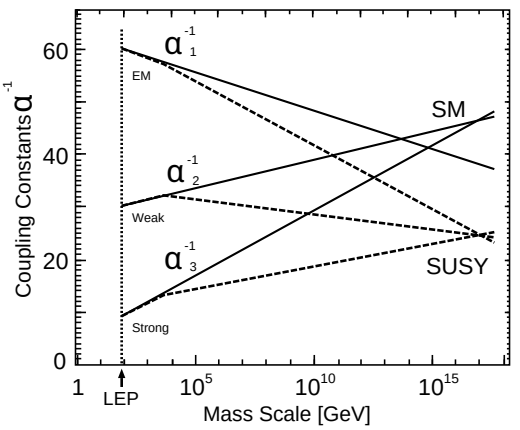


図 2.6: 超対称性理論による力の統一

[2]ルミノシティーを時間で積分したもの。
[3]通称 SUSY。Supersymmetry。

2.3 ATLAS 測定器

ATLAS 実験では、例えば高速で動作し、かつ放射線耐久性の高い検出器の製作、興味あるイベントを洩らすことなくデータ処理・収集できるシステム、大量に生成されるデータを基に物理事象を明らかにしていく解析技術など、新たに研究開発していかねばならない数多くの分野が存在する。ここでは ATLAS 測定器について、それを構成する検出器の仕組みとデータ収集 (Data Acquisition ; DAQ) システムについて概要を述べる。

ATLAS 測定器の全体図および本論で用いる座標系を図 2.7 に記す。LHC に設置される ATLAS 測定器は、γ 、電子、ミューオン、ジェット、$missing E_T$、などのシグナルをバランス良くできるだけ多く取り出して、精度の良い測定を行なうことを目的とした汎用の測定器である。ただしそのサイズは巨大で、高さ約 24m、長さ約 44m、質量約 7000t にもなる。測定器は主に、衝突点から外に向かって順に、内部飛跡検出器、カロリメータ、ミューオン検出器から構成される。さらにそれらの検出器の間には、荷電粒子の運動量測定のためにマグネットが設置される。以下、それぞれのパートについて簡単に説明する。

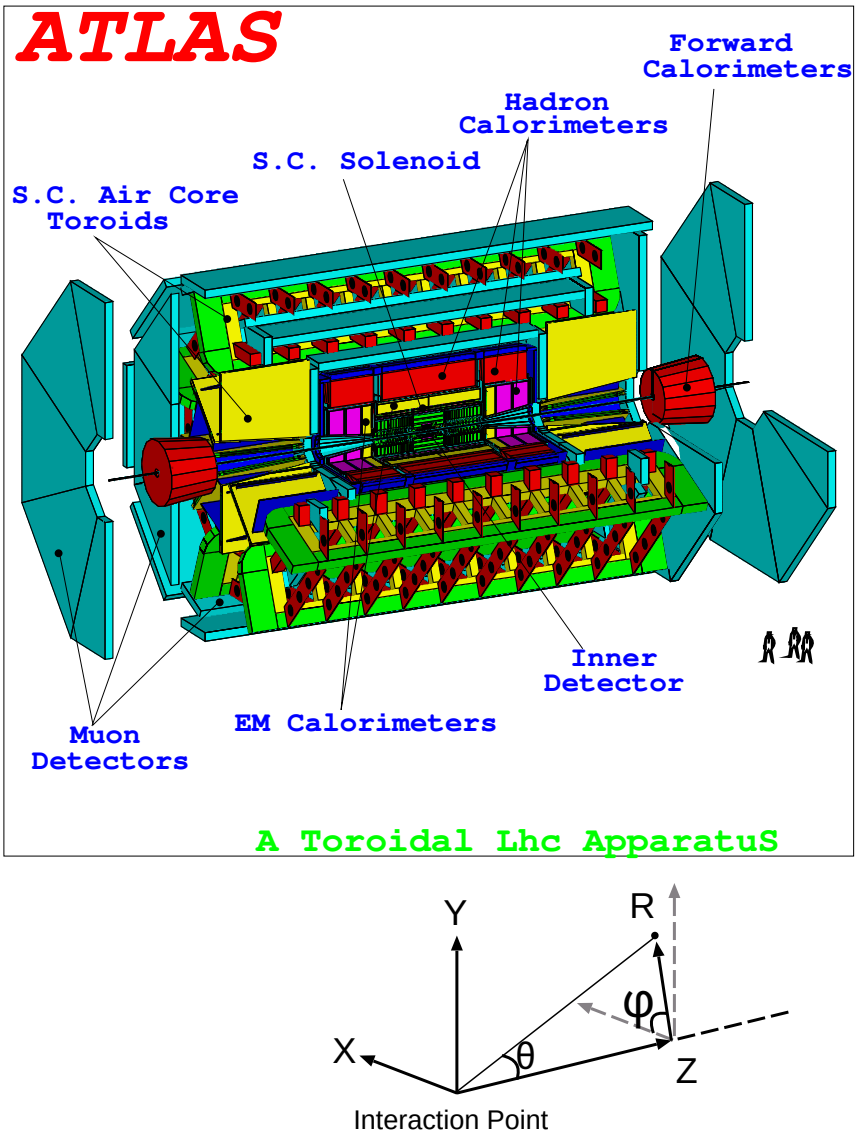


図 2.7: ATLAS 測定器

2.3.1 内部飛跡検出器

内部飛跡検出器は 3 種類の検出器で構成され (図 2.8 参照)、衝突点に最も近い場所に設置される。これらの検出器はいすれも中心磁場 2T の超電導ソレノイド内部にあり、その主な機能は荷電粒子のトラッキングである。内側にはピクセル検出器が設置される。これは一つの要素が $50\mu m \times 300\mu m$ の半導体検出器である。その外側には SCT (Semiconductor Tracker) と呼ばれるシリコン・ストリップ検出器が設置され、これは設置場所にも依るが約 80μm ピッチの細長いストリップ構造を持った半導体検出器である。最も外側には直径 4mm のストローチューブ検出器を束ねて作った TRT (Transition Radiation Tracker) が設置される。

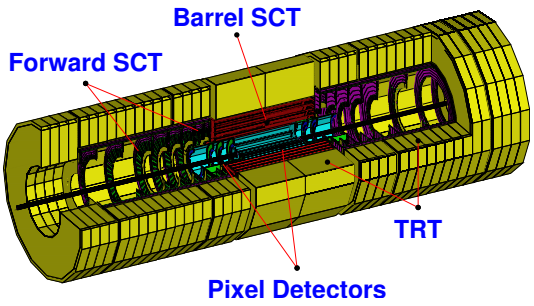


図 2.8: 飛跡検出器の全体図

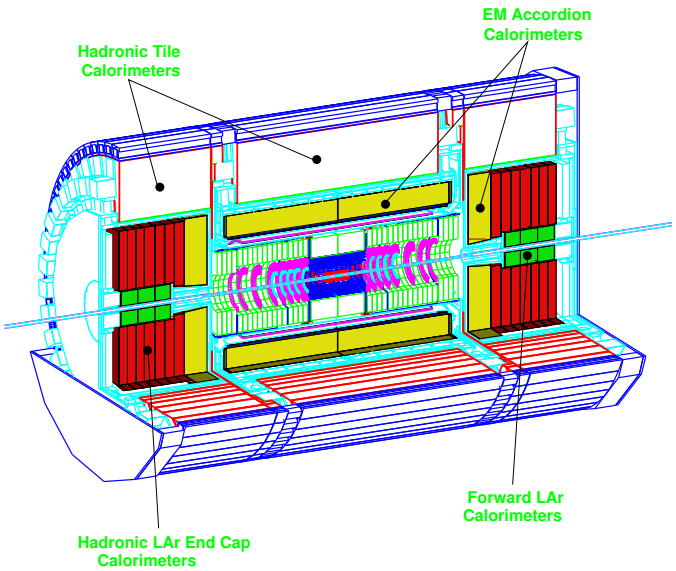


図 2.9: カロリメータの全体図

2.3.2 カロリメータ

カロリメータの主な役割は、電子やγ 線、ジェットなどのエネルギー・位置・角度の測定である。ATLAS 実験に使用されるカロリメータには 3 種類あり、広い $|\eta|$ [4]領域をカバーできるよう設置される (図 2.9)。内側には放射線耐性に優れたアコーディオン型電磁カロリメータが設置される。この検出器は鉛の吸収体と液体アルゴンからなり、バレル/エンドキャップ部に設置される。外側バレル部 ($|\eta| < 1.6$) にはタイル状シンチレータと鉄の吸収体を組み合わせたハドロンカロリメータ、外側エンドキャップ部 ($1.5 < |\eta| < 3.2$) には液体アルゴンと銅の吸収体を組み合わせたハドロンカロリメータが設置される。

2.3.3 ミューオン検出器

ATLAS 実験においてミューオンが果たす役割は大きい。このミューオン検出器の最大の特徴は、内部飛跡検出器とは独立にトロイダルマグネットを内包しているので、単体でも高精度なミューオンの運動量測定ができることである。図 2.10 に ATLAS 測定器の R-Z 断面図を示す。設置される検出器には、運動量精密測定用に MDT (Monitored Drift Tube) と CSC (Cathode Strip Chamber)、トリガー用にはバレル部 ($|\eta| < 1.1$) に

[4] η は pseudo rapidity (擬ラピディティー) と呼ばれ、高エネルギーでジェットが放出されるとき、θ をビーム軸とのなす角とすると、η = -ln(tan(θ/2)) で定義される。

RPC (Resistive Plate Chamber)、エンドキャップ部 (1.05< $|\eta|$ <2.40) に TGC (Thin Gap Chamber) がある (図 2.11 参照)。TGC や RPC では、トロイダル・マグネットの磁場によって変位するミューオンの飛跡を検出してその運動量を測定する。

TGC と RPC は第 2 座標 (ϕ) 測定にも用いられる。TGC は本論が対象とするトリガー・システムの入力を与える検出器であり、その構造や動作については 3.1 章で述べる。

後述 (2.4 章) のレベル 1 トリガーのミューオン部には、エンドキャップ領域で TGC、バレル領域では RPC が用いられる。トロイダルマグネットによる磁場は一様ではないため、軌跡上での磁場の大きさと ϕ 方向を含めたミューオンの曲がり具合を考慮して運動量は計算される。測定された運動量の大きさはトリガーの判別基準に用いられる。

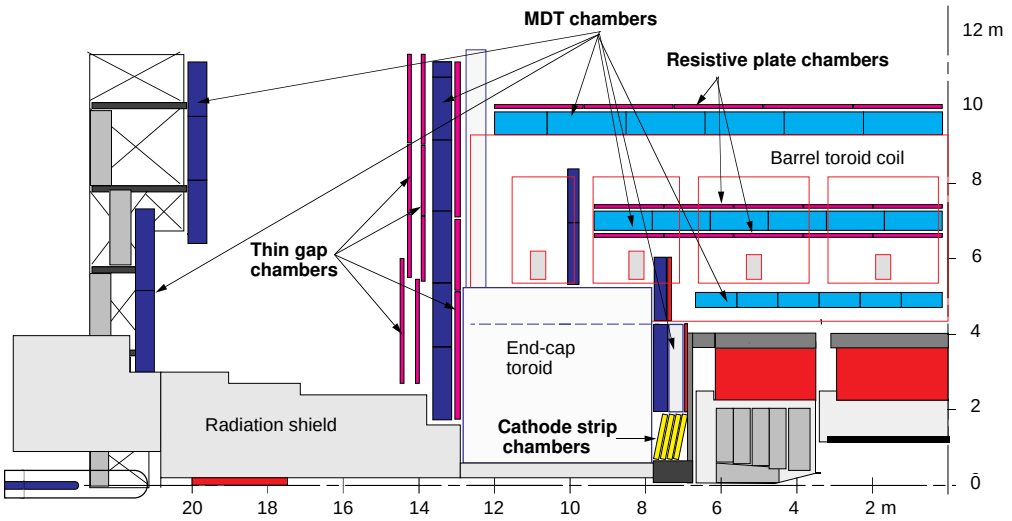


図 2.10: ATLAS 測定器 R-Z 断面図

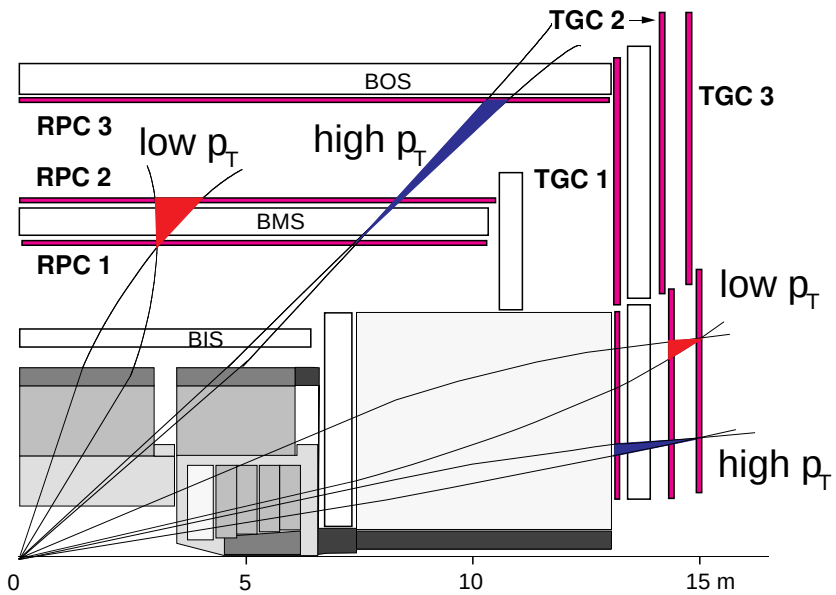


図 2.11: LVL1 ミューオンスキーム

2.3.4　マグネット

ATLAS 測定器には 2 種類の超電導マグネットが設置される。一つは内部検出器を包み込むセントラル・ソレノイドマグネット、もう一つはカロリメータの外側に設置されるトロイダル・マグネットである。後者はバレル部分とエンドキャップ部分で別々のものが設置される (図 2.12 参照)。トロイダル・マグネットにより形成される磁場は、ϕ 方向成分のみではなく、R 方向成分も持つ。このためミューオンは ϕ 方向にも曲げられるため、運動量の測定にはこの成分も考慮する必要がある。

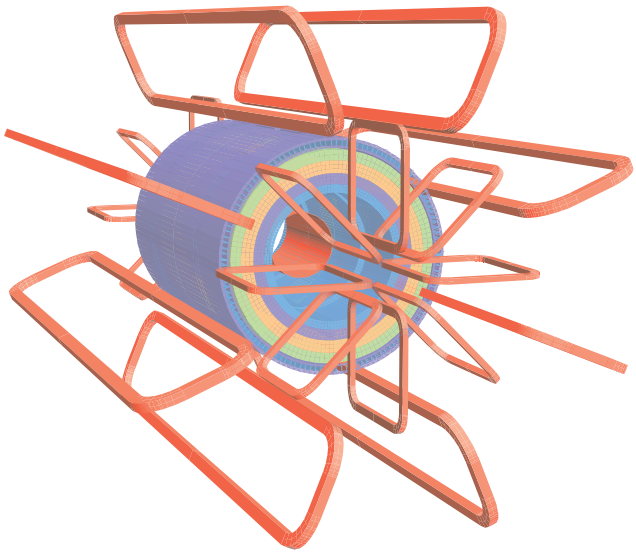


図 2.12: トロイダル・マグネット配置バレル用とエンドキャップ用にそれぞれ独立したマグネットが設置される。

2.4　トリガー及びデータ収集システム

ATLAS 実験では、40MHz で衝突するビームにより、約 1GHz ほどのレートで何らかの生成反応が発生する。しかしそれらのほとんどは物理的に興味のないものであり、その中から目的とするイベントのみを抽出する必要がある。ATLAS 実験では $1/10^7$ 程度のデータリダクションを行ない、最終的に 100Hz 程度でデータを記録する。ここでは ATLAS 実験におけるトリガーおよびデータ収集システムについて、その全容を簡単に説明する。

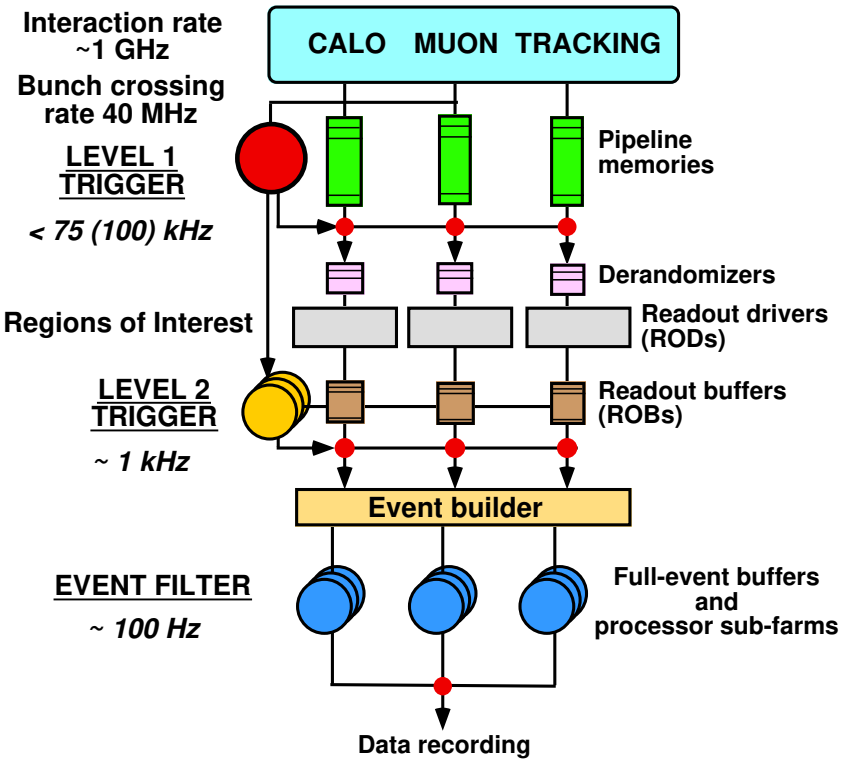


図 2.13: ATLAS 実験全体のトリガースキーム

2.4.1　全体のスキーム

ATLAS 実験におけるトリガー及びデータ収集 (DAQ) システムは、図 2.13 に示すように、LVL1(レベル 1)、LVL2(レベル 2)、EF(イベントフィルター) と 3 つのパートに分けられる。データは各システムで段階的に処理され、興味あるイベントのみが最終的に記録される。以下に各パートについて説明する。

- **LVL1 (レベル 1)**
  レベル 1 では、カロリメータとミューオン検出器 (TGC/RPC) からの情報を使って、レベル 1 トリガー判定 (レベル 1 アクセプト ; L1A) の決定が行なわれる。内部飛跡検出器からのデータは、その情報量が非常に多く、処理に時間がかかるため、ここでは使用されない。レベル 1 トリガーのレイテンシー (バンチ衝突後から、レベル 1 トリガー判定が出され、それがフロントエンド・エレクトロニクスにまで届くのに許される時間) は、2μsec+0.5μsec(予備)=2.5μsec である。この間、各検出器からのデータはパイプラインメモリにためられる。レベル 1 トリガー判定のレートは最大 75kHz である。ただし各検出器の読み出し系は 100kHz までアップグレード可能でなければならないとされている [2]。

- **LVL2 (レベル 2)**
  ここではレベル 1 から出力される情報の中から、大きな横運動量 (High-p_T) を持ったジェットやミューオンが含まれる関心領域 RoI (Region of Interest) を選別し、さらに内部飛跡検出器からの情報も用いてレ

ベル 2 トリガー判定が行なわれる。これによりトリガーレートは 1kHz まで下げられる。レベル 2 での処理は並列処理され、判定までに要する時間は 10∼100msec(可変) である。

- **EF (イベントフィルター)**
  レベル 2 で採用された各検出器での RoI の情報は、イベントビルダーにてバンチごとに統合され、イベントフィルターへと送られる。イベントフィルターではレベル 2 と同様に並列処理が行なわれ、各検出器からの情報を用いてトリガー判定が出される。ここでの処理に要する時間は約 1sec である。ATLAS 実験では、全ての検出器のデータを記録するとすると、1 イベントあたりのデータサイズは 1MB 程度と見積もられている。ここでのトリガーレートを 100Hz とすると、100MB/sec でデータをテープなどに記録することになる。

2.4.2 レベル 1 ミューオン・トリガーシステム

レベル 1 トリガーシステムは、カロリメータ、ミューオン検出器、CTP (Central Trigger Processor)、TTC (Timing, Trigger and Control) の各パートで構成される (図 2.14 参照)。 カロリメータ部およびミューオン部にはそれぞれ独立したプロセッサが存在し、前者からは e/γ、ジェット、$missing E_T$ の情報、後者からは High-p_T のミューオンの情報がそれぞれ CTP に送られる。CTP ではこれらの情報を用いてレベル 1 トリガー判定が行なわれる。その結果出されるレベル 1 アクセプト (L1A) は、TTC を経由して各検出器のフロントエンド・エレクトロニクスに分配され、必要なデータの読み出しが行なわれる。L1A の源になったイベントの領域は RoI としてレベル 2 へと送信され、そこでのトリガー判定のための情報として用いられる。

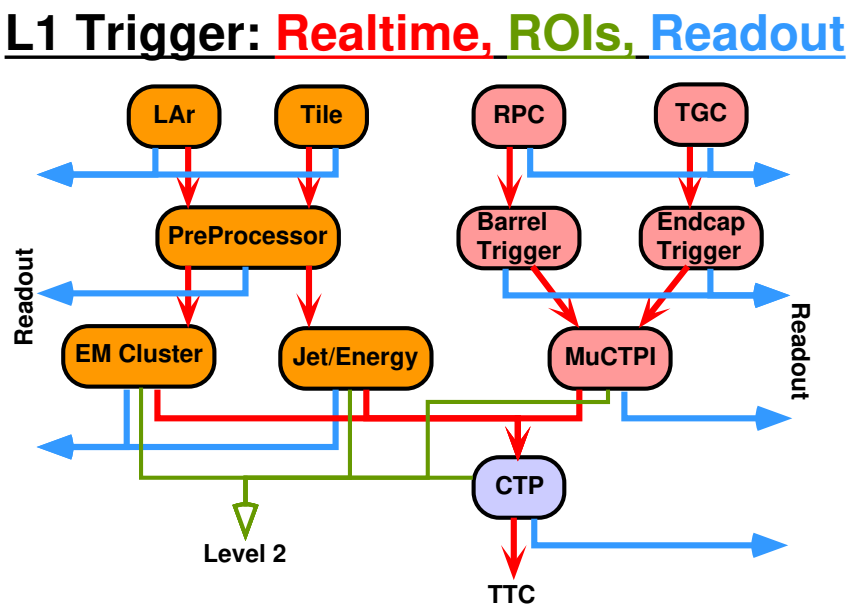


図 2.14: レベル 1 トリガースキーム

以下、レベル 1 ミューオン・トリガーに関係した各要素について簡単に説明する。

- **MUCTPI (Muon Trigger/CTP Interface)**
  RPC と TGC は各々セクタと呼ばれる単位ごとに p_T の大きなミューオンの候補を挙げる。MUCTPI (Muon Trigger/CTP Interface) はこれらの候補を集め、二重に数えることがないように境界部分での処理を行ない、最終的な候補を CTP へと送る。

- **CTP (Central Trigger Processor)**
  カロリメータとミューオン検出器からのトリガー情報を統合して、最終的なレベル 1 トリガーの決定を

行なう。カロリメータでは、e/γ、ハドロン/τ、ジェットそれぞれに対して数段階の横運動量 (p_T) スレッショルドが設けられており、同様にミューオンスペクトロメータではミューオンに対するスレッショルドが設定されている。CTP はその値を超えた情報だけを受信し、あらかじめ用意されているトリガー条件と比較検討することで L1A の判定が出される。L1A は CTP から TTC へと送信され、続いてフロントエンド・エレクトロニクスへと配信される。レベル 1 トリガーでは、一旦 L1A が出力されるとそれに続く 125nsec(4 バンチ分) は L1A を出さないように決められている [3]。また読み出し用バッファが満杯になりかける場合には、L1A を出力しないように設定される。

- **TTC (Timing Trigger and Control distribution)**
  TTC は ATLAS 測定器のフロントエンド・エレクトロニクスの同期を正しくとるための信号を分配するシステムである。TTC が扱う信号には主に以下のようなものがある。

信号	内容
BC Clock	LHC ビーム衝突頻度に同期した 40.08MHz のクロック。
L1A	レベル 1 アクセプト。CTP から送られてくる。
BCR	Bunch Counter Reset。BCID(そのデータがどのバンチに属するかの ID) のリセットに使用される。LHC の軌道周期 (ORBIT 信号) に同期 (88.924μsec) して出されるが、任意に出力することも可能。
ECR	Event Counter Reset。L1ID(そのデータがどの L1A に属するかの ID) のリセットに使用。

ATLAS 測定器全体で見た場合、TTC はいくつかのパーティションに分割されている。分割は 1 つのサブシステム当たり数個で、TGC の場合は左右のエンドキャップがそれぞれ 1 つのパーティションをなす。図 2.15 に示すように、一つのパーティションの中心となるのは VME インターフェースの $\mathrm{TTC_{vi}}$ と呼ばれるもので、フロントエンドには $\mathrm{TTC_{rx}}$ が設置される。$\mathrm{TTC_{vi}}$ は、LHC からは Orbit 信号や BC Clock を、CTP からはレベル 1 トリガー判定 (L1A) 信号を受けとる。これらの情報は TTC クレートに送られ、そこから各フロントエンドの各 $\mathrm{TTC_{rx}}$ へと送信される。Rx は「レシーバ」の意味である。$\mathrm{TTC_{rx}}$ は受けとった信号をさらにフロントエンド・エレクトロニクスへと分配される。

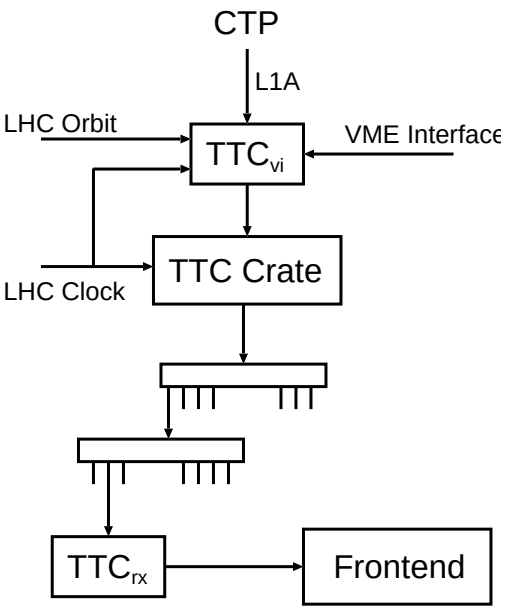


図 2.15: TTC のパーティション

第3章　前後方エンドキャップ・ミューオントリガー・システム

この章では TGC ミューオン・トリガー・システムの機能とその構成、設置環境について述べる。まず TGC の構造を説明し、TGC トリガーシステム全体の概要を述べる。次にトリガー・システムを構成する各エレクトロニクスについて説明し、最後に TGC エレクトロニクスが設置される環境について議論する。

3.1　TGC の構造

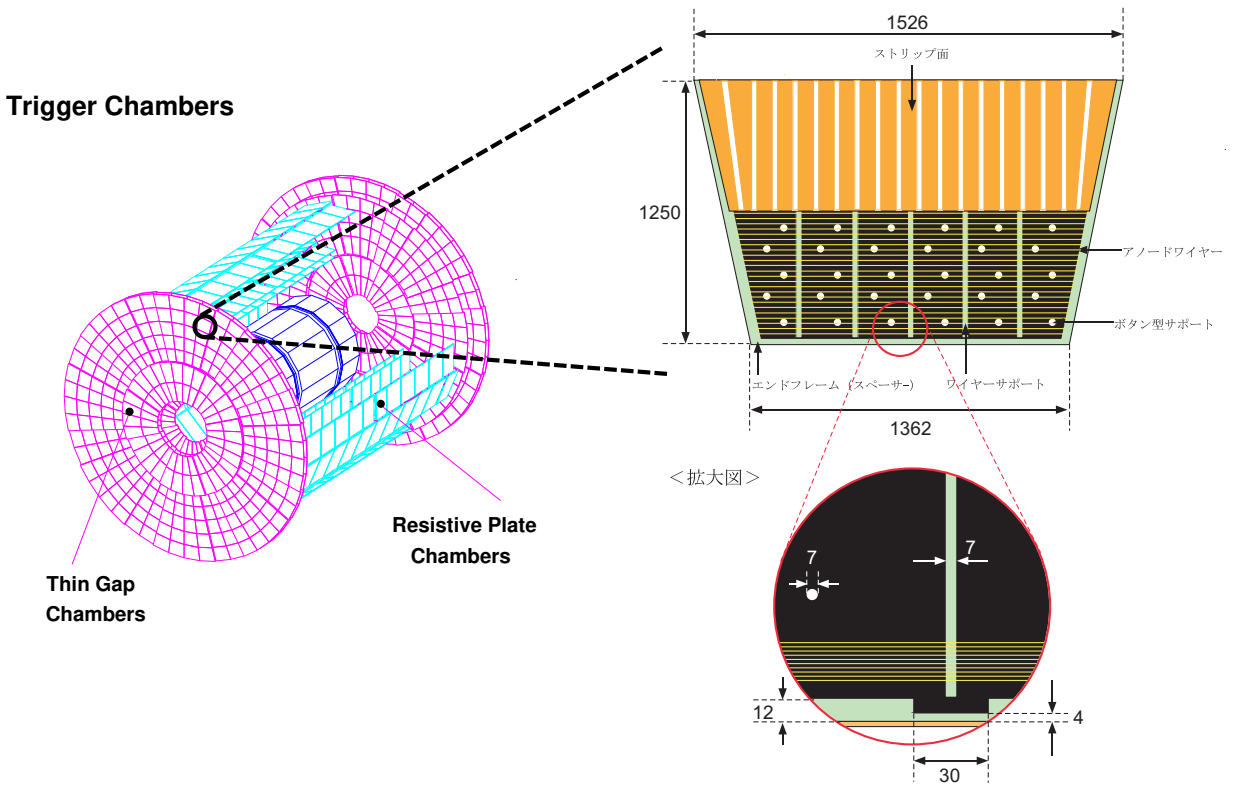


図 3.1: TGC 検出器の配置とその構造。　右側の図のユニットは mm である。

TGC の配置図および平面図を図 3.1 に示す。TGC の構造・原理は、高エネルギー実験でよく使用される MWPC (Multi-Wire Proportional Chamber) と基本的には同じである。ただし TGC の構造の特徴の一つとして、その名が示す通りアノード・カソード間隔が 1.4mm と狭い (図 3.2 参照)。これは空間電荷の原因である陽イオンのドリフト距離を短くし、高レートで粒子が入射してくる状況下でも検出効率が低下しないようにするためである。またワイヤー間隔は 1.8mm で、これはビームバンチクロッシング間隔である 25nsec に対応できるよう、電子のドリフト時間を短くするためである。TGC の主なパラメータを表 3.1 に示す。

TGC 動作時、ワイヤーには 3.1kV の高電圧が印加される。チェンバー内は CO_2 と n-pentane の混合ガスで満たされており、そこを荷電粒子が通過すると、その経路に沿ってガスが電離される。生成された電子はアノード・カソード間の電場によってアノードへと向かう。ワイヤー近傍では電場が大きく、電子は周辺のガスをさ

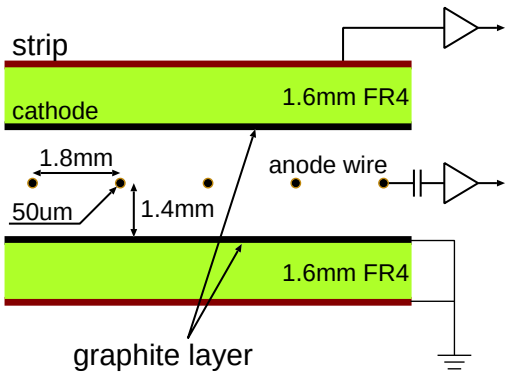


図 3.2: TGC 検出器の断面図

ワイヤー・カソード間隔	1.4mm	印加電圧 (HV)	3.1kV
ワイヤー・ワイヤー間隔	1.8mm	カーボン面抵抗	$\sim 1\mathrm{M}\Omega/\mathrm{square}$
ワイヤー径	50μm	充填ガス	$\mathrm{CO_2} + \mathrm{n} - \mathrm{C_5H_{12}}$ (55:45)
ワイヤー張力	350gw	ガスゲイン	10^6

表 3.1: TGC 検出器の主なパラメータ値

らに電離し、さらに 2 次電子が形成される。このような連鎖反応の結果、アノードからシグナルが読み出される。またカソード面には高抵抗のカーボンが塗装されており、同時にストリップに誘起される電荷を読み出す。TGC はアノードワイヤーで R 方向、ストリップで ϕ 方向の 2 次元位置読み出しを行なう。

実際の ATLAS 実験では、複数の TGC が組み合わさりモジュール化されたものが設置される (図 3.3 参照)。TGC3 枚で 1 つのモジュールとなったものをトリプレット、TGC2 枚のそれをダブレットと呼ぶ。トリプレットの場合は 3 層のワイヤー面と 2 層のストリップ面から、ダブレットの場合は 2 層のワイヤー面および 2 層のストリップ面からの読み出しが行なわれる。ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、ϕ 方向で約 10 万である。

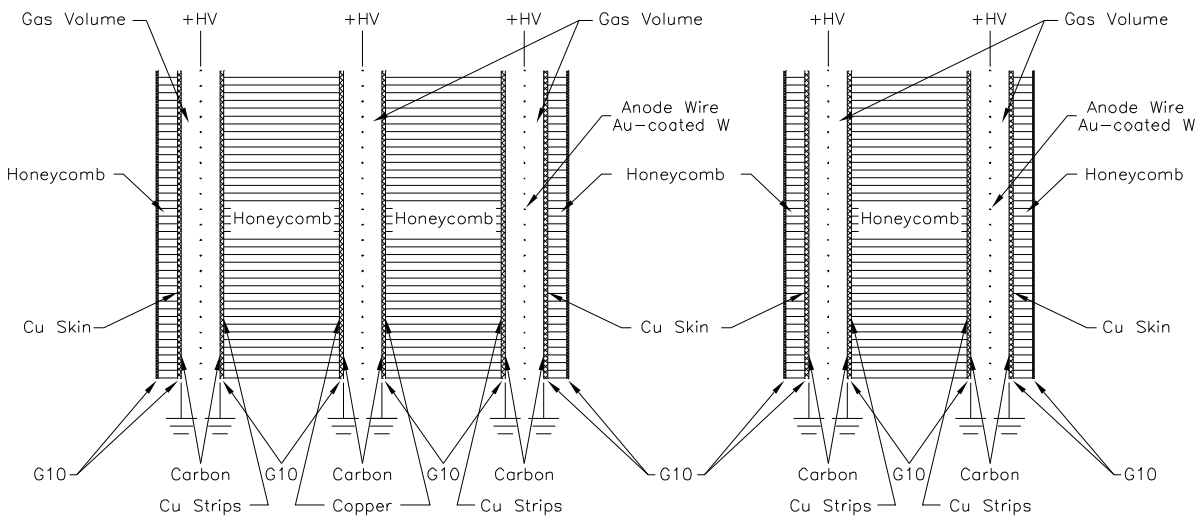


図 3.3: TGC トリプレット/ダブレット構造

3.2 トリガーのスキーム

ここではTGCトリガー・システムの概要について説明する。エンドキャップ部トリガー検出器は、図3.4にあるようにトリプレット × 1 ステーション ([St.])、ダブレット ×2 [St.](ミドル/ピボット) の計 3 [St.] から成る。トリガーには $1.05 < |\eta| < 2.40$ の領域が用いられ、$|\eta| < 1.92$ の領域をエンドキャップ領域、$|\eta| > 1.92$ の領域をフォワード領域と呼ぶ。内側に設置されるインナーステーション TGC は、トリガーには補助的に用いられる。以下に具体的なトリガーの方法とトリガー・システムの流れについて説明する。

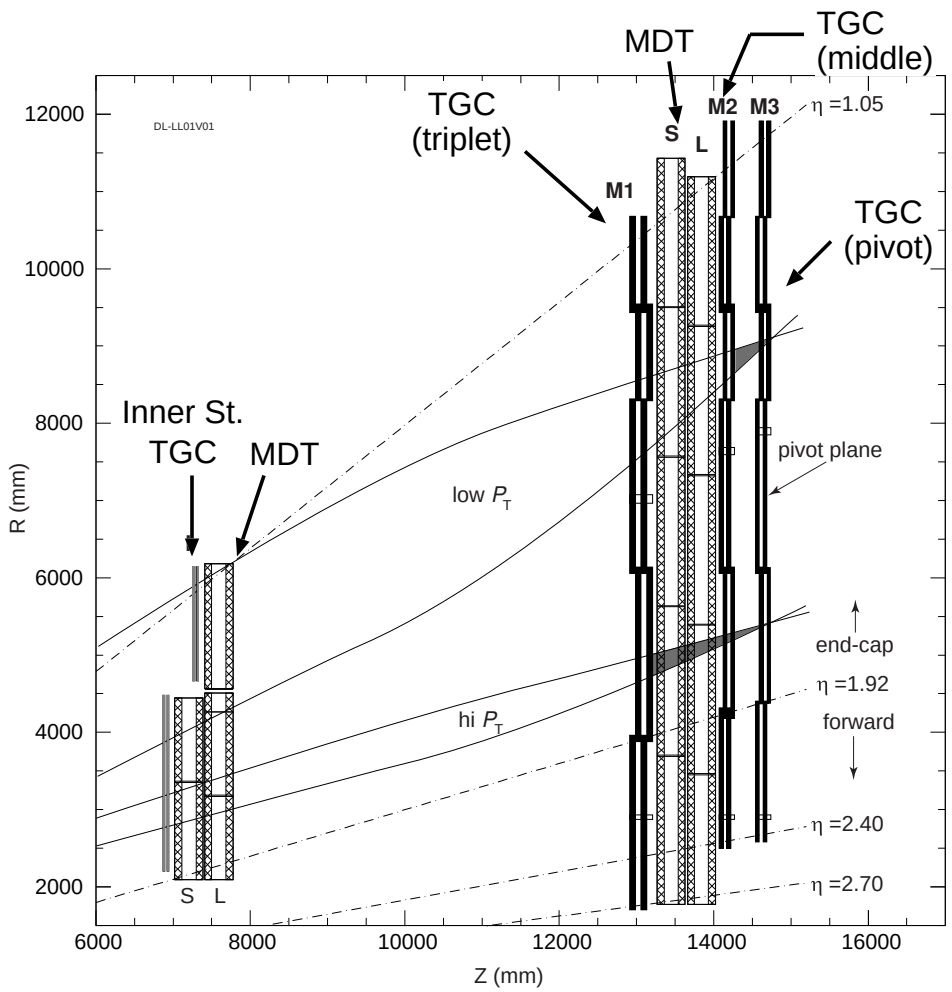


図 3.4: TGC レイアウト (R-Z 断面図)。 M1-ステーション (St.) はトリプレット、M2-St. はミドルダブレット、M3-St. はピボットダブレットと呼ばれる。S/L-St. は MDT、I はインナー St.TGC である。TGC が各 St. で Z 方向に若干ずれて配置されているのは、境界で上下が重なるようにするためである。

3.2.1 トリガーの方法

ミューオン・トリガーは High-p_T と Low-p_T の 2 種類によってトリガーシグナルを選別する。p_T (transverse momentum) とはビーム軸に対して垂直方向の運動量のことで、物理事象を研究する上で重要な測定量である。ビーム衝突点から前後方へ飛んでくる粒子はトロイダルマグネットにより飛行軌跡が曲げられる。曲率半径は p_T に比例するので、この曲り具合を測定することで粒子の運動量を測定することができる。TGC では、High-p_T の場合はピボットダブレットとトリプレットとの間で、Low-p_T の場合はピボットダブレットとミドルダブレットとの間で δR、$\delta\phi$ を求める (図 3.5 参照)。High-p_T は 20GeV 以上、Low-p_T は 6GeV 以上のミューオンに対してトリガーを行なう。Low-p_T の場合、図 3.4 に示すように外側の 2St.(ミドル/ピボット) でコインシデンスを

取り、TGC4 層のうち 3 層以上のヒットを要求する。また High-p_T の場合は、Low-p_T の条件に加えてさらにトリプレットの TGC3 層のうち 2 層 (ストリップは 2 層のうち 1 層) のヒットが要求される。

TGC の配置には、トリガー処理のためにオクタント (octant)、トリガーセクター (trigger sector)、サブセクター (sub-sector) の単位がある (図 3.6 参照)。エンドキャップの 1/8 のものオクタントと呼ぶ。それがさらにトリガーセクターと呼ばれる単位で、エンドキャップ領域では 6 つ、フォワード領域では 3 つに分割される。TGC では各トリガーセクター毎に 2 つのトラック候補が選び出され、その情報が MUCTPI へと送られる。TGC 全体では合計 144 のセクタがある。またサブセクターは TGC のワイヤー/ストリップのそれぞれ 8 チャンネルからなり、これが 1 つの RoI に対応している。

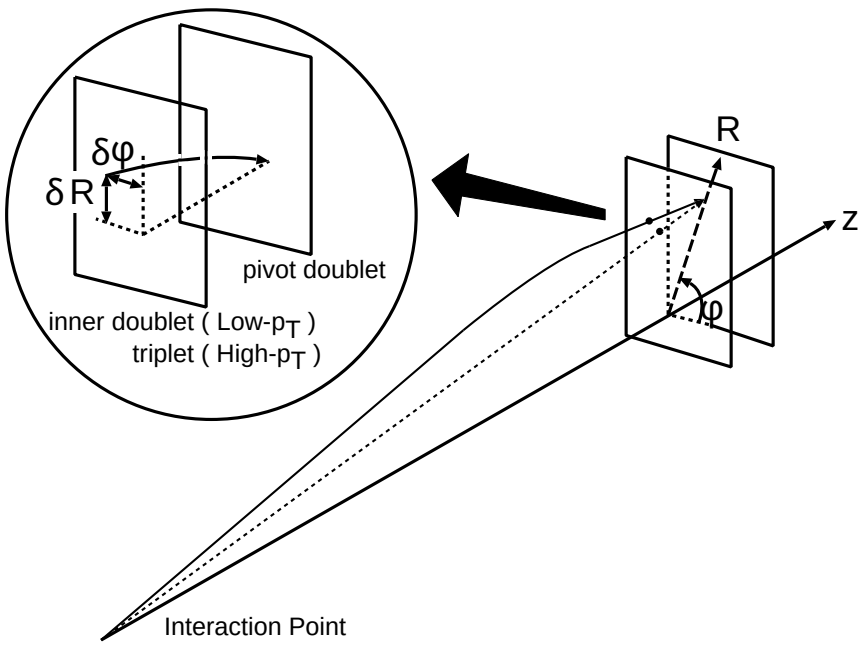


図 3.5: δR、$\delta\phi$ の測定方法

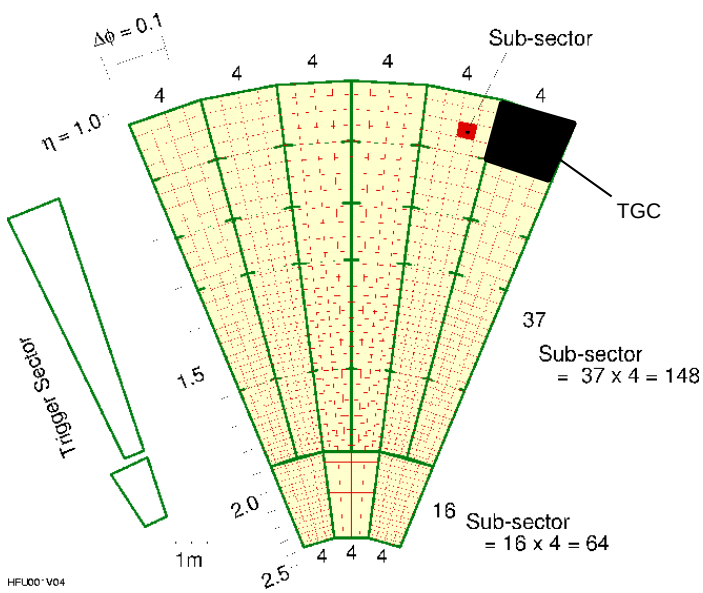


図 3.6: レベル 1 トリガー用に分割された TGC オクタント

3.3 TGC エレクトロニクスの構成

3.3.1 全体の流れ

まず TGC トリガー・システムの流れを図 3.7 に示す。TGC からのヒット信号は ASD (Amplifer Shaper Discriminator) にてデジタル化され、Patch Panel へと送られる。Patch Panel では各チャンネルからの信号のタイミングを揃え、各信号がどの LHC クロックに対応するかバンチ識別を行なう。これ以降信号は LHC クロックに同期して扱われる。Patch Panel で処理された信号は Slave Board へと送られる。

Slave Board ではトリガー処理と、読み出し用の準備がなされる。Patch Panel からの信号は Slave Board 内で分岐され、片方はトリガー用に、他方は読み出し用に用いられる。トリガー処理では Low-p_T 選別が行なわれ、出力されるデータは High-p_T ボードへ送られる。読み出し用のデータはレベル 1 バッファ(図 3.7 中の Slave Board 内の L1B) にためられ、レベル 1 トリガー判定後、デランダマイザーに記録される。読み出し用データは Star-Switch を経由して Readout Driver へと送られる。

High-p_T ボードでは Slave Board からの情報を基に、第 2 段階のトリガー処理が行なわれる。結果は後段の Sector Logic へと送られ、それまで独立して行なわれていた R/ϕ 方向のデータが統一される。Sector Logic は最終的に p_T が大きな 2 つのトラックをセクタ毎に選び出し、その情報を MUCTPI へと送る。

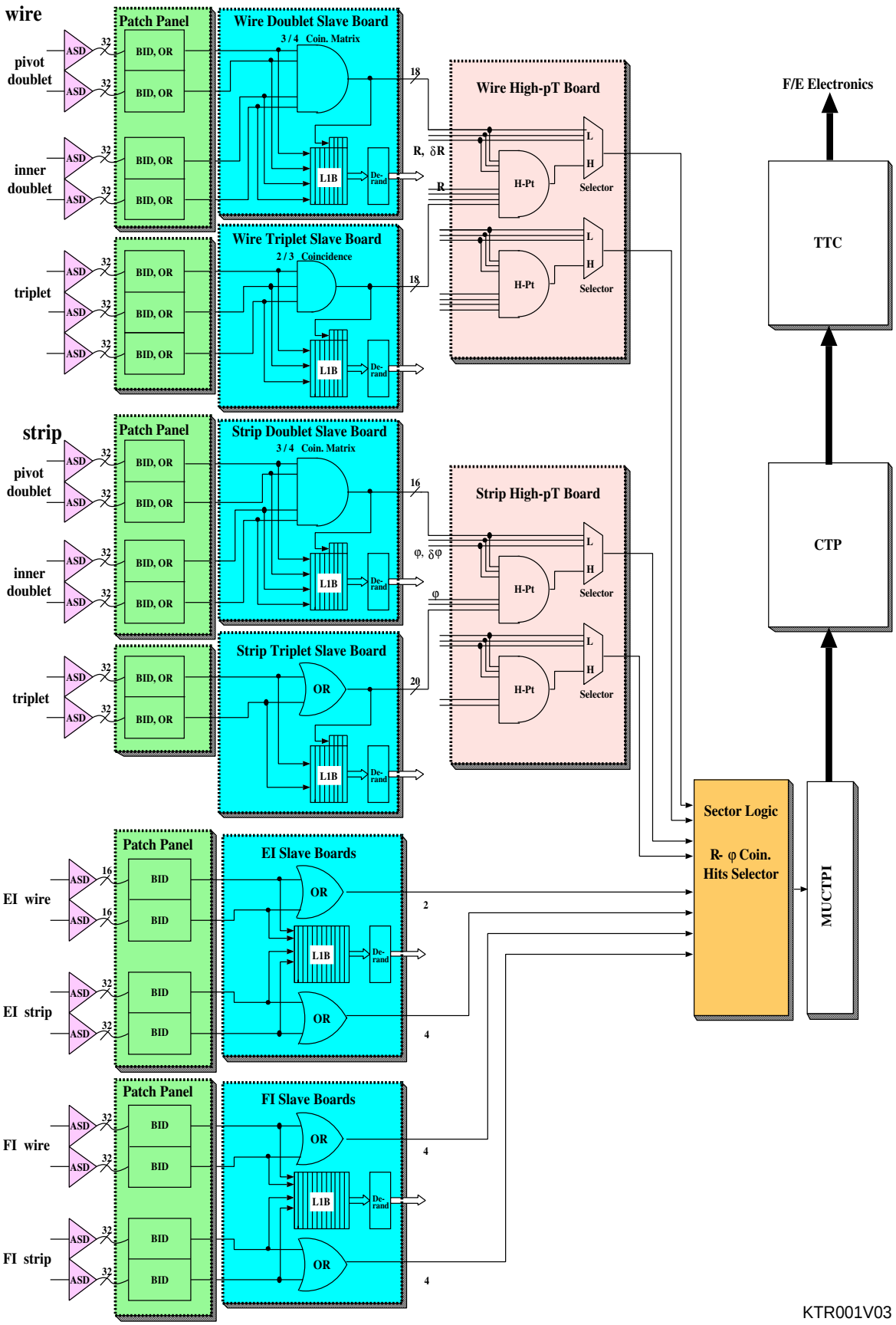


図 3.7: TGC トリガー・エレクトロニクスのデータの流れ

3.3.2 トリガー系

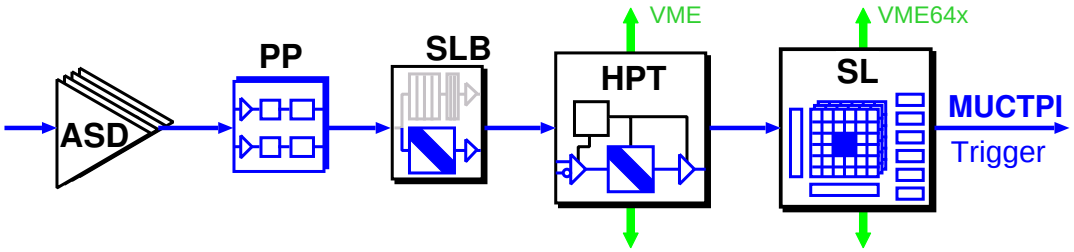


図 3.8: トリガー系の流れ

ここではトリガー系の処理に使用されるエレクトロニクスの各機能について簡単に説明する。トリガー用データの流れを図 3.8 に示す。Amplifer Shaper Discriminator (ASD) を通って入力されるシグナルは、Patch-Panel (PP) でタイミング調整、Slave Board (SLB) で Low-p_T 選定、HPT で High-p_T 選定され、Sector Logic (SL) で初めて R/ϕ 情報が統合される。SL の出力はミューオントリガー・プロセッサーである MUCTPI へと送られる。以下、それぞれのパートについて説明する。

- **ASD (Amplifer Shaper Discriminator)**
  Amplifer Shaper Discriminator (以下 ASD) は TGC から出力されるアナログ信号を増幅し、あるスレッショルド V_{th} を超えたパルスのみを LVDS デジタル信号[1]に変換して Patch-Panel へと出力する。ASD はモノリシック IC として開発され、1 チップにつき 4 チャンネルの入力がある。TGC には 4 つの ASD ASIC [2]が搭載された ASD ボードが直接設置される。図 3.9 に ASD ボードを示す。

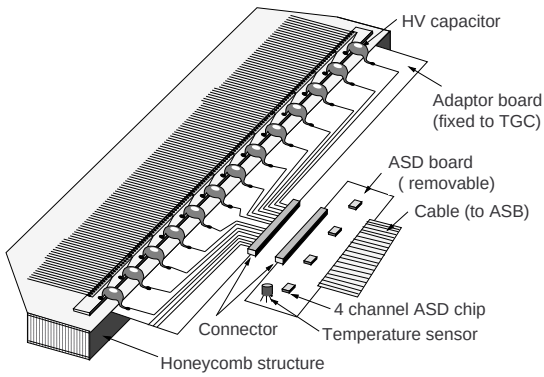


図 3.9: 読み出し用モジュール (ASD ボード)

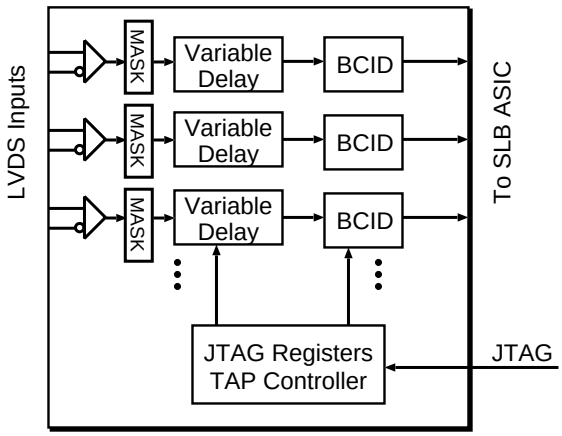


図 3.10: PP ASIC 機能ブロック図

- **PP (Patch-Panel)**
  Patch-Panel (以下 PP) の機能ブロック図を図 3.10 に示す。ASD からの各 LVDS 入力信号は、粒子が検出器に到達するまでの時間 (Time of Flight ; TOF) やケーブル遅延などのため、到達時間は必ずしも揃わない。従ってまず PP にてシグナルのタイミング調整が行なわれる。次にバンチ ID (BCID) 回路によって各シグナルはバンチ識別される。その後 TGC オーバーラップ領域でのダブルカウントを防ぐための OR ロジック処理を行ない、後段の Slave Board に出力する。PP では TGC 検出器からの入力にマスクをかけることも可能である。

[1]LVDS とは差動型のインターフェース規格であり、1.2V を中心として 400mV の差動電圧によって信号を送信する方式である。
[2]特定用途のために設計・製造される集積回路。詳細は付録 A.4 を参照。

PP は集積度の高い ASIC によって開発される。PP には、表 3.2 に示すような内部レジスタが用意され、その機能を果たすためにはそれらの設定を行なう必要がある。PP が持つこれらのパラメータは外部からの JTAG[3]信号によって設定される。

レジスタ名	ビット数	アクセス	機能
MASK	16	R/W	入力マスク
PULSE_FINE_TIM	5	R/W	テストパルス遅延調整 (精)
PULSE_COARSE_TIM	2	R/W	テストパルス遅延調整 (粗)
PULSE_AMP	2	R/W	パルス出力
BCID_DEL	5	R/W	BCID クロック遅延
BCID_GATE	5	R/W	BCID ゲート幅
SIGNAL_DEL	5	R/W	BCID 前のシグナル遅延
CLK_DEL	5	R/W	出力クロック遅延
TPG_VETO	1	R/W	テストパルス拒否
SEU	1	R	SEU フラグ
FUSE	1	R	ヒューズ監視

表 3.2: PP ASIC の内部設定レジスタ

- **SLB (Slave Board)**
  Slave Board (以下 SLB) は、PP からの信号を受け取り、コインシデンスを取る。SLB の段階では、ワイヤとストリップ、ダブレットとトリプレットは別々に処理される。SLB の機能ブロック図を図 3.11 に示す。SLB にはトリガー系と読み出し系の 2 つの機能があり、このうちトリガー用のデータは、可変遅延回路と 2 つのマスク、マトリックスを通過し、エンコードされて後段の HPT へと送信される。ここに可変遅延が組み込まれるのは、SLB に入るデータのタイミングがクロックのエッジ付近にある場合に、タイミングよくデータをラッチできるようにするためである [4]。また 2 つのマスクのうち、前段のマスクは、PP からの入力をマスクするためにあり[4]、またこのマスクを使って、各機能の診断を行なうためのテストパターン設定も行なわれる。後段のマスクは、トリガー部のコインシデンス回路や、読み出し部のレベル 1 バッファ(後述) の診断時のために用いられる。

  SLB も PP と同様、集積度の高い ASIC として開発される。内部には複数のレジスタがあり、JTAG によってパラメータ設定される。SLB の内部レジスタを表 3.3 に示す。

- **HPT (High-p_T)**
  High-p_T (以下 HPT) は SLB からのデータを受け、デコードした後にコインシデンス処理を行ない、High-p_T のトリガー選定を行なう。ここではトリプレットの情報も用いられる。HPT の出力はデコードされ、Sector Logic へと送られる。High-p_T 候補がなく Low-p_T 候補があった時にはその情報が、両方の候補があった場合には High-p_T 候補の情報が送信される。HPT も PP/SLB と同様、内部に複数のレジスタが用意され、ASIC として開発される。HPT ASIC は、VME [5]バスを利用した HPT ボードに搭載される。HPT ボードには、主に VME 制御の機能を持たせた書き換え可能なプログラマブル LSI (CPLD[6]) も搭載される。表 3.4 に HPT ASIC のレジスタの内容を示す。

- **SL (Sector Logic)**
  Sector Logic (以下 SL) では、それまで個々に扱われていた R/ϕ 方向の情報が統合 ($R-\phi$ コインシデン

[3]LSI に対して動作命令やレジスタ設定するために用いられる通信プロトコル。詳細は付録 A.2 を参照。
[4]チェンバーでのチャンネルの切り分け方と、エレクトロニクス上でのチャンネルの切り分け方は異なる。このため、エレクトロニクス上でのチャンネルの診断が必要な時には、PP ではなく、SLB のマスクを用いる方が便利である。
[5]モジュールのアドレスを指定することでそこにアクセスできるバス規格。通信速度は最高で約 50MB/sec。詳細は付録 A.1 を参照されたい。
[6]内部に書き換え可能なメモリを持ち、それらを使って自由に回路を構成できる IC。付録 A.3 参照。

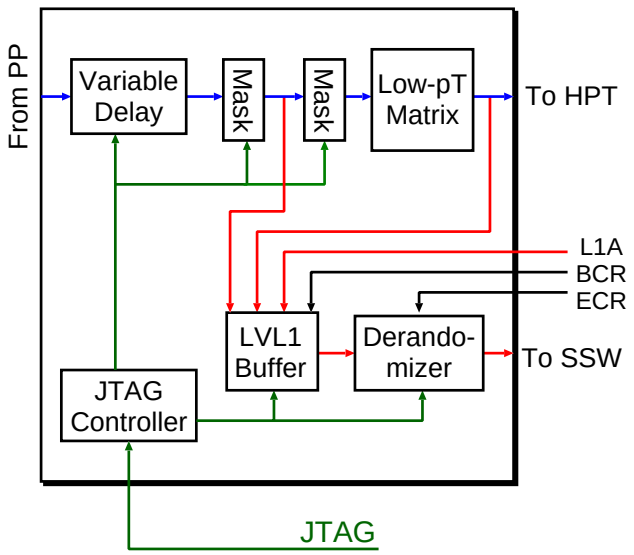


図 3.11: SLB ASIC 機能ブロック図

ス) され、完全な p_T の情報となる。δR、$\delta\phi$ と p_T との関係はテーブルとしてメモリ内に記憶されており、これを基に p_T の大きな 2 つのトラックがトリガーセクタ毎に選択され、その情報は MUCTPI へと送信される。テーブルやトラック選択の設定は、書き換え可能なプログラマブル LSI (FPGA[7]) で実現され、探索する物理により変更が可能である。SL は VME64x 規格[8]の VME モジュールとして実装され、エレクトロニクスハット内にあるホストによって制御される。

3.3.3 読み出し系

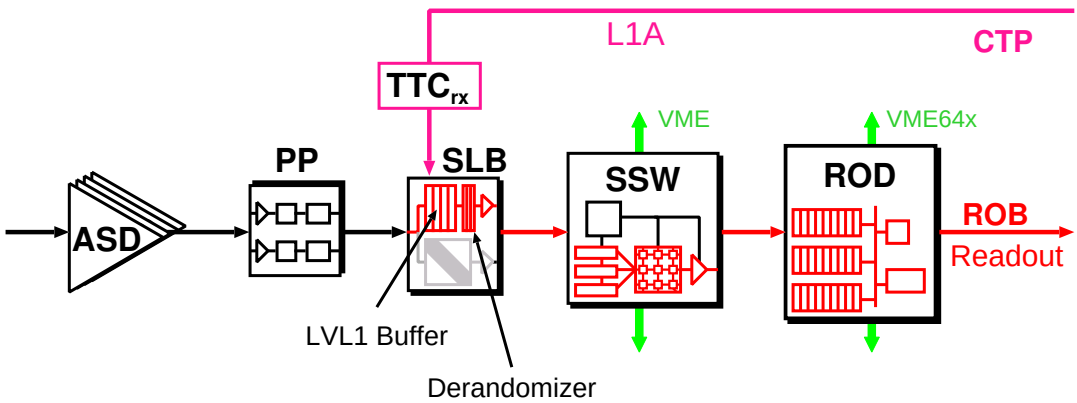


図 3.12: 読み出し系の流れ

読み出し系の流れを図 3.12 に示す。SLB 内で、読み出し用データはレベル 1 バッファにためられ、レベル 1 トリガー判定を受けたデータのみが Star Switch (SSW) へと送られる。SSW ではいくつかの SLB からの情報を収集し、データ圧縮をして、あるフォーマットを持ったデータを ROD (Readout Driver) へと送る。ROD では最大 13 個の SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認する。データが正しいものであれば、要求されるフォーマットにデータを再構築して、後段の DAQ システムである ROB (Readout Buffer) へと情報を送信する。以下にそれぞれのパートについてさらに述べる。

[7]内部に回路構成用メモリを内蔵し、外部からそれを書き込むことで自由に回路を構成できるデジタル IC。詳細は付録 A.3 を参照。
[8]拡張された VME(付録 A.1 参照) 規格。標準的な VME バスよりも、電源ラインやユーザー定義の信号線をより多く設置できる。

レジスタ名	ビット数	アクセス	機能
MASK1	160	R/W	BSC マスク
MASK1P	160	R/W	MASK1 用マスクパターン
MASK2	160	R/W	DEMUX マスク
MASK2P	160	R/W	MASK2 用マスクパターン
TPP	160	R/W	テストパルスパターン
DELAY	4	R/W	シグナル遅延
DEPTH	21	R/W	L1 バッファ深さ調整
TRIGMODE	1	R/W	トリガー調整
TESTPULSE	5	R/W	テストパルス遅延/拒否
L1AVETO	1	R/W	L1A 拒否
CLKINV	1	R/W	クロック反転
RESET	1	R/W	リセット
SEU	1	R	SEU フラグ
MODULE	8	R	モジュールアドレス・タイプ指定
OVERFLOW	8	R	デランダマイザオーバーフローカウンタ
ID	32	R	ユーザー設定 IDCODE

表 3.3: SLB ASIC の内部設定レジスタ

レジスタ名	ビット数	アクセス	機能
DELAY0	3	R/W	トリプレット領域 1 の遅延設定
DELAY1	3	R/W	トリプレット領域 2 の遅延設定
DELAY2	3	R/W	トリプレット領域 3 の遅延設定
DELAY3	3	R/W	トリプレット領域 4 の遅延設定
DELAY4	3	R/W	ダブレット領域 1 の遅延設定
DELAY5	3	R/W	ダブレット領域 2 の遅延設定
DELAY6	3	R/W	ダブレット領域 3 の遅延設定
GLINK	3	R/W	G-LINK コントロール用
SEU	1	R	SEU フラグ

表 3.4: HPT ASIC の内部設定レジスタ

- **TTC_{rx} (Timing, Trigger and Control Rx)**
  TTC_{rx} は、CTP から送られてくるレベル 1 トリガー判定などの TTC 信号を、フロントエンドの各ボードに分配するための ASIC である。Rx は「レシーバ」であることを意味する。この ASIC は TGC エレクトロニクスだけで用いられるものではなく、CERN にて開発が進められている。またこの ASIC の制御は TTC が行なう。

- **SLB (Slave Board)**
  SLB はトリガー判定のための機能とは独立して、レベル 1 トリガー判定を受けたデータの読み出し機能も備えている (前節で用いた図 3.11 参照)。読み出しにはレベル 1 バッファとデランダマイザーが用いられる。読み出し用データはレベル 1 バッファにためられ、CTP から送られてくるトリガー判定を受けると、そのバンチの前後を含めた 3 バンチ分のデータがデランダマイザーに入れられる。このデータは後段の Star Switch に読み出されるまでそこに保持される。レベル 1 バッファはレベル 1 の処理時間 2.5μsec の間 (100 イベント分) はデータを保持する必要がある。レベル 1 バッファは 40.08MHz で動作するパイプライン構造を持っており、その深さは内部レジスタによって設定される (表 3.3 参照)。このパラメータ設定は外部からの JTAG 信号にて行なわれる。

- **SSW (Star-Swtich)**
  Star Switch (以下 SSW) は SLB からの読み出し用データ収集のために導入される。検出器からのヒット情報を直接出力する SLB から、最終的にそのデータをまとめる ROD まで効率よくデータ転送するには、段階的にデータを集め、データ量を減らすためにデータ圧縮するような中継地点を設けるのがよい [5]。この機能を受け持つために設置されるのが SSW である。SSW には、SLB からの読み出し用データを受け取り圧縮するレシーバ (Rx) 部と、データをある決まったフォーマットに整形して後段の Readout Driver へ送信するトランスミッター (Tx) 部がある。それぞれの処理は複雑であり、実験状況に応じた柔軟なロジックを組むためにも、FPGA にてそれらの機能は実現される。また SSW モジュールは VME バスによって接続されるため、VME 制御機能を持った CPLD も搭載される。

- **ROD (Readout Driver)**
  読み出しデータは SLB/SSW を通して徐々にこのモジュールへと集められる (図 3.13)。Readout Driver(以下 ROD) は、SSW から送られてくるデータを FIFO にて受け取り、TTC から送られてくる BCID (どのバンチに属するかの ID) や L1ID (どのレベル 1 トリガー判定に属するかの ID) との整合性を確認し、正しければデータを再構築して後段の ROB へとデータ送信する。ROD での処理が間に合わず、そのバッファがデータで溢れそうな場合は、CTP に対して ROD ビジー信号を出力し、レベル 1 トリガー判定頻度を抑えることができる。ROD は VME64x 規格の VME モジュールとして実装される。

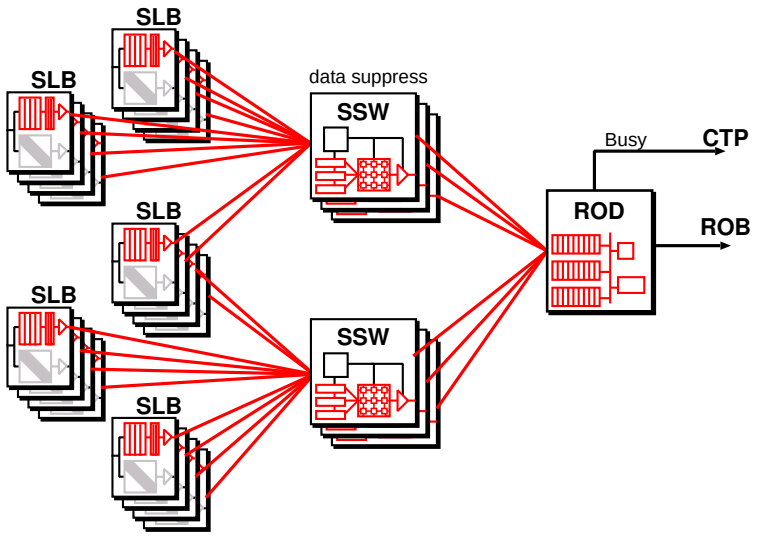


図 3.13: 読み出し用データの収集

3.3.4 DCS (Detector Control System)

ATLAS 実験では、トリガーや読み出し用のシステムとは別に、DCS (Detector Control System) が存在する (図 3.14 参照)。このシステムは検出器の制御や監視、診断を統合的に行なうために導入され、フロントエンドには ADC (Analog-Digital Converter) や DAC (Digital-Analog Converter) などの機能を持った eLMB (embeded Local Monitor Box) が配置される。この eLMB は CAN バス[9]によって制御され、様々な場所に設置される eLMB は、あるパート毎にシリアル接続される。各 eLMB を結ぶためのケーブルは全長 200m を超えるものとなる。CAN バスは最大 1Mbps(ケーブル長 30m 時) の通信速度で、バス上のケーブルが長くなるほどそれは低くなり、例えばケーブル長が 250m の時は約 250kbps まで落ちる [6]。従って CAN バスはあくまでもスローモニタリング用の制御システムである。

[9]Controller Area Network。マルチマスターのシリアルバスシステムで、アドレスの概念はなく、識別子によってアクセスを制御する。主にヨーロッパにおける自動車部品制御に用いられている。

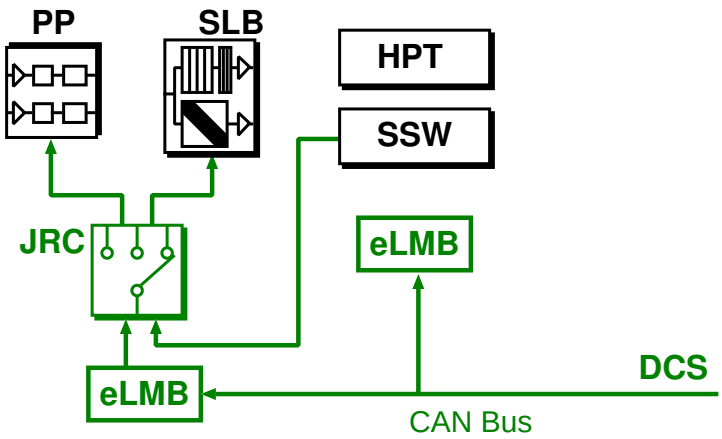


図 3.14: DCS の制御・監視ライン

TGC エレクトロニクスの場合、DCS によって HPT/SSW が搭載されるクレートの温度状態管理や供給電源の監視が行なわれる。また SSW から行なわれる PP/SLB の設定も、重複性を持たせるために eLMB からも設定が行なえるようにしている。PP/SLB の制御選択を行なうため、それらの JTAG ポートには JRC (Jtag Route Controller) が設置される。以下に JRC/eLMB について簡単に説明する。

- **eLMB (embeded Local Monitor Box)**
  DCS のフロントエンド・モジュール。eLMB には ADC や DAC が備わっており、センサーからの信号をデジタル化したり、制御用のアナログ信号を作り出したりできるようになっている。eLMB は CAN バスを通じてデータの読み書きが行なわれる。

- **JRC (JTAG Route Controller)**
  JRC は 2 つの JTAG 入力ポートを持ち、その入力シグナルを 7 つの JTAG 出力ポートのいずれかに送出するスイッチングルーターである (図 3.15 参照)。それぞれのラインは/JRST、TCK、TMS、TDI、TDO の 5 本からなる。実際には外部からの制御により入出力信号ラインの経路選択が行なわれるため、計 4 系統の入力と 7 系統の出力を持つ。JRC は直接読み出し用データを扱うわけではないが、PP/SLB へアクセスするためのインターフェースであり、これを中継して PP/SLB の設定は行なわれる。(従って JRC はトリガー系でも用いられる。) 表 3.5 に JRC の内部レジスタを示す。これらの設定により経路が決定される。パラメータ設定は SSW により行なわれる。

レジスタ名	ビット数	アクセス	機能
READ_SELF_ROUTE	8	R	自分のルートの読み出し
WRITE_SELF_ROUTE	8	R	自分のルートの書き込み
READ_OTHER_ROUTE	8	R	相手のルートの読み出し
WRITE_OTHER_ROUTE	8	R	相手のルートの書き込み
READ_SEU	1	R	SEU フラグ

表 3.5: JRC ASIC の内部設定レジスタ

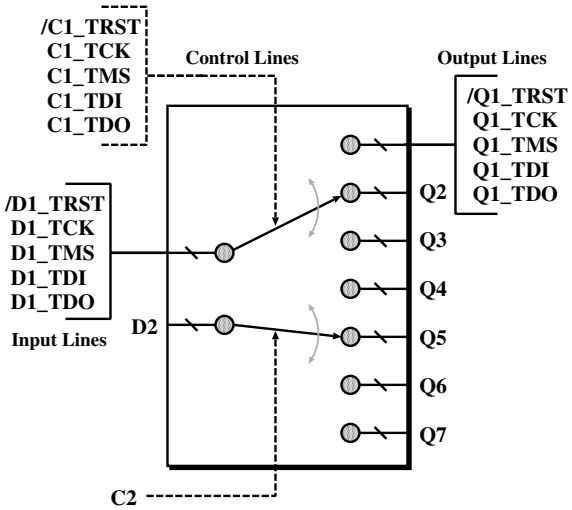


図 3.15: JRC ブロック図。　入力 2 系統、出力 7 系統を持つ JRC。それぞれのラインは/JRST、TCK、TMS、TDI、TDO の 5 本からなる。外部からの制御により入出力信号ラインの経路選択が行なわれる。

3.3.5　モジュールの配置

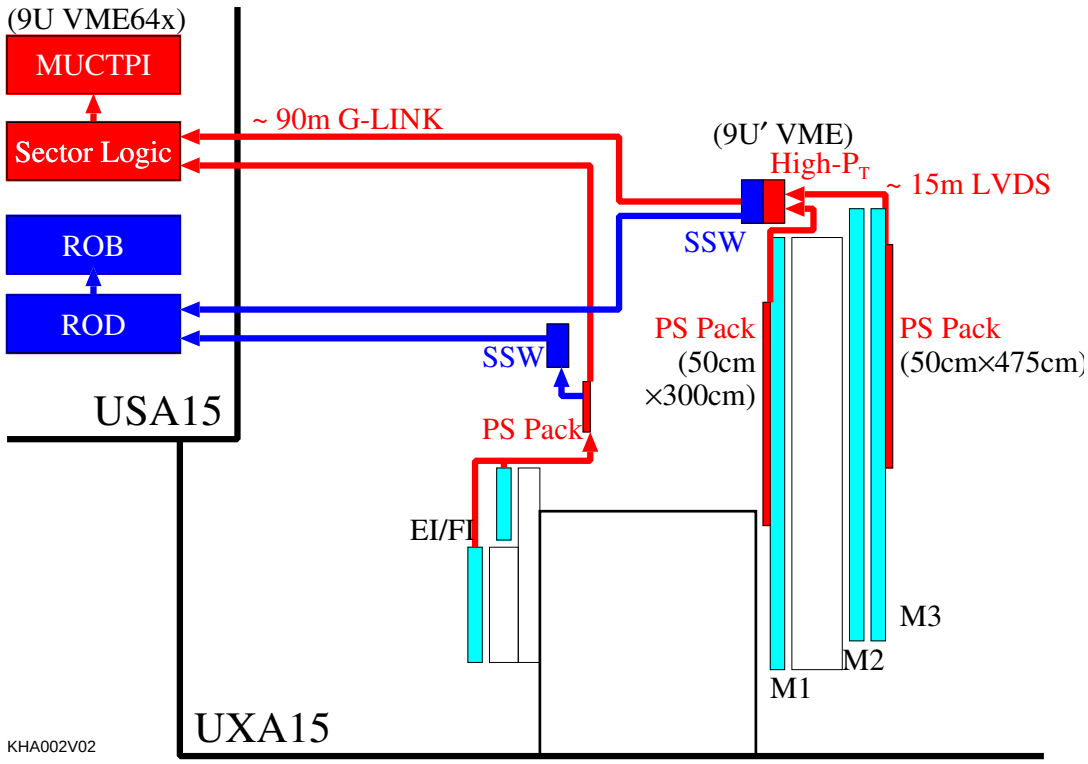


図 3.16: TGC トリガー・エレクトロニクスの配置。　TGC エレクトロニクスは、(1) フロントエンド (2) ビッグウィール外縁　(3) エレクトロニクスハット　の 3 つの階層に分けて配置される。ここでビッグウィールとはチェンバーを支える構造体のことを言う。

エレクトロニクスの設置場所は、UXA15 エリア (実験ホール内) と USA15 エリア (エレクトロニクスハット) に分けられ、両者はケーブル長で約 90m 離れた場所にある。図 3.16 に示すように、TGC エレクトロニクスは、(1) チェンバーと隣接した領域であるフロントエンド、(2) チェンバーを支える構造体であるビッグウィールの外縁、(3) エレクトロニクスハット　にそれぞれ配置される。トリガーもしくは読み出しのための最初のデータ処理を行なうエレクトロニクスは、信号伝播やケーブルの量を考慮して、全て (1) に設置される。そこからのデータをある単位毎に集め、エレクトロニクスハットへとまとめてデータを送信するエレクトロニクスは、(2) に設置される。フロントエンドからのデータが集中する (2) のエレクトロニクスは、実験ホール内にあっても比較的アクセスが容易なため、ビーム休止期間中には保守点検が可能である。(3) に設置される TGC エレクトロニクスは、トリガー系でも読み出し系でも最終段のものだけである。それぞれの場所に設置されるモジュールについて以下に述べる。

- **(1) フロントエンド**
  フロントエンド･エレクトロニクスには ASD/PP/SLB/JRC/TTCrx/ eLMB があり、このうち ASD ASIC は TGC に直接設置される。PP/SLB/JRC/eLMB は、図 3.17 に示すように、PS (Patch-Panel and Slave Board) ボードに搭載される。PS ボードは、ボード当たり 256 ~ 320 チャンネルのデータ入力を持ち、トリガー用データは HPT へ、読み出し用データは SSW へと、それぞれ LVDS 信号にて送信される。フロントエンドからビッグウィール外縁まではケーブル長で約 15m であり、カテゴリー 5 のケーブルが使用される。TTC_{rx} は SPP (Service Patchi-Panel) ボードに設置され、CPT から送られてくる TTC 信号をファンナウトして、各 PS ボードへと分配する。

  SPP と PS ボードは、図 3.18 に示すような PS パックにまとめられる。PS パックはオクタント毎に 3 つ設置され、1 枚の SPP と複数 (トリプレットは 10 枚、ダブレットは 17 枚) の)PS ボードから構成される。

- **(2) ビッグウィール外縁**

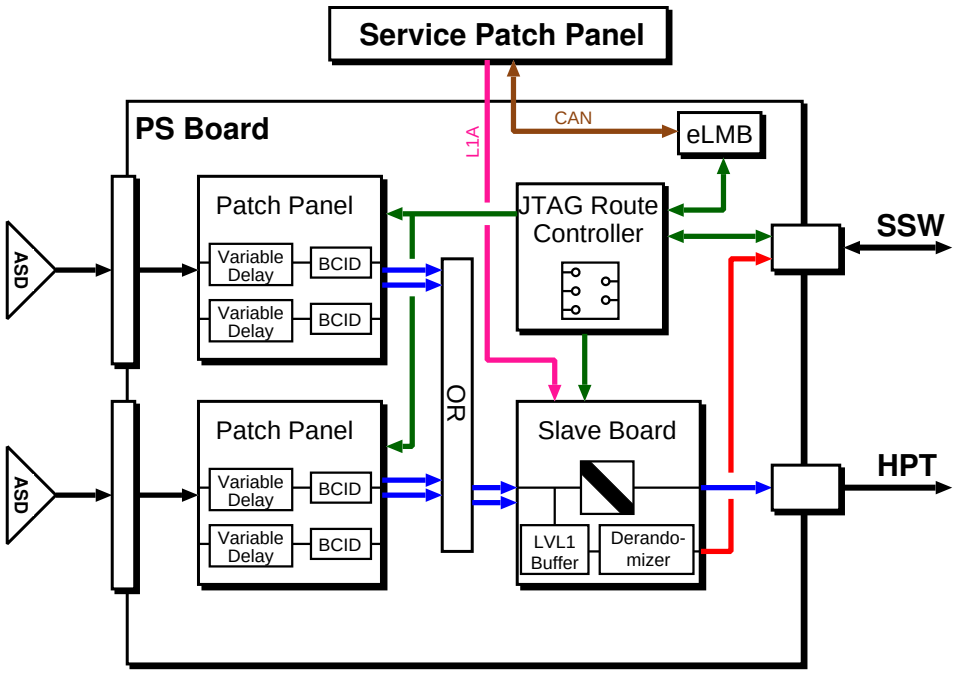


図 3.17: PS ボードの構成図

ビッグウィール外縁には HPT と SSW が設置される。これらは VME 規格に準拠した 9U (奥行き 6U) サイズのクレートに収められ、クレート自体はオクタント毎に 3 つ設置される。ビッグウィール外縁からエレクトロニクスハットにあるエレクトロニクスまで、ケーブル長で約 90m 離れているため、データ転送には光通信が用いられる。

- **(3) エレクトロニクスハット**
  エレクトロニクスハットには、トリガー用データの受信部として SL、読み出し用データの受信部として ROD が設置される。この領域に入るモジュールは VME64x 規格に準拠したボードが設置される。

以上をまとめると、図 3.19 のような TGC トリガー・システムの構成ができる。TGC トリガー・システムには、検出器から来るデータを処理して出力する内から外への流れと、TTC 信号や CAN バスによる制御信号など外から内に入るデータの流れがある。

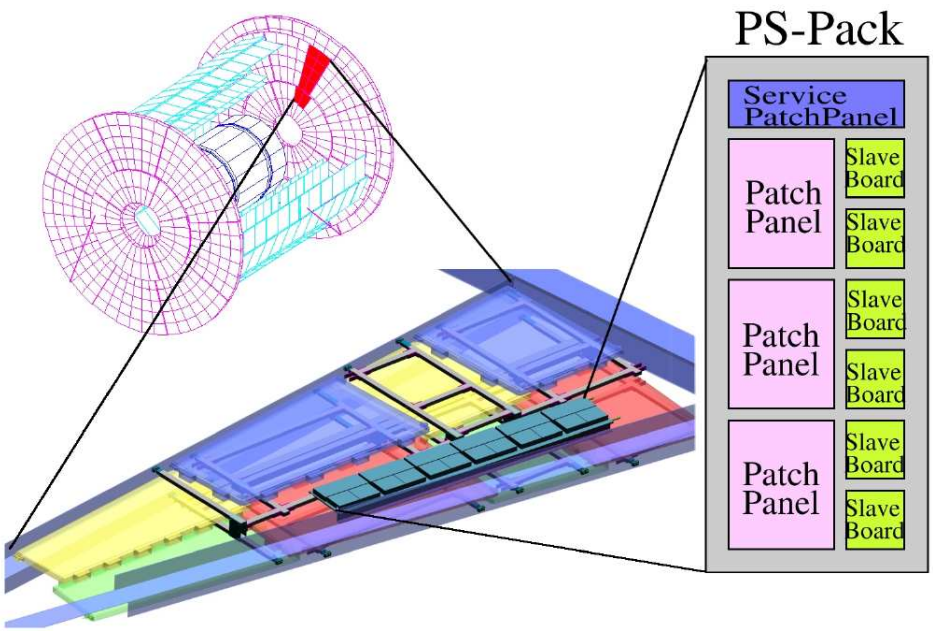


図 3.18: PS パックの構成図

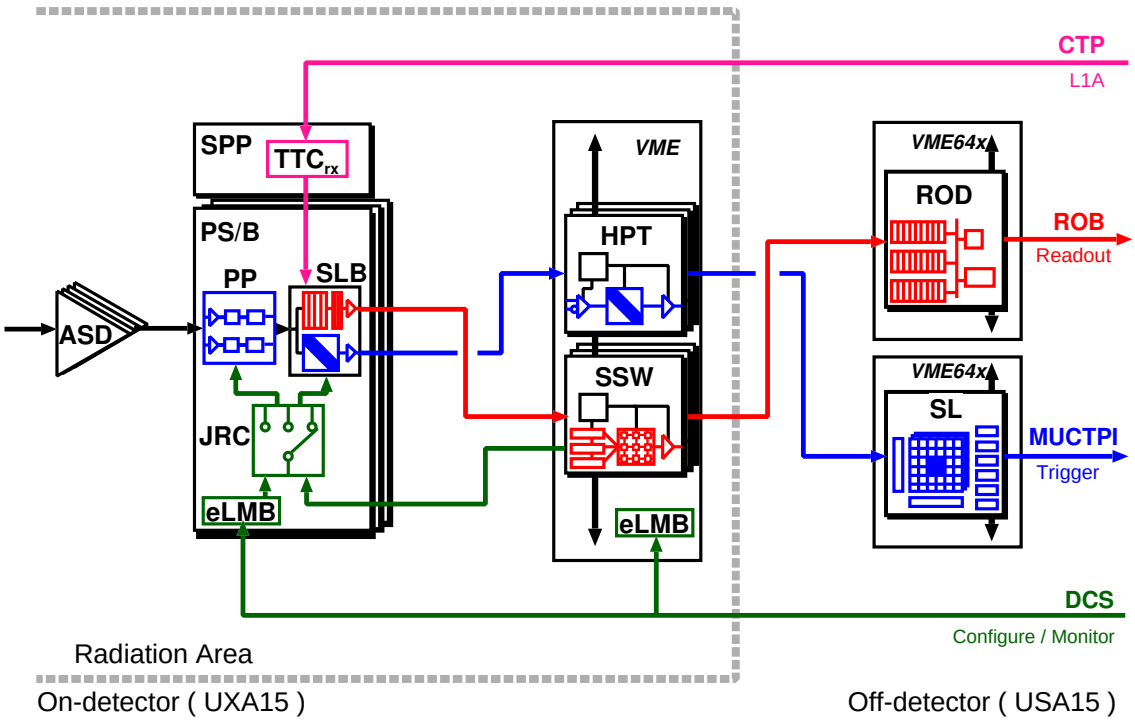


図 3.19: TGC エレクトロニクスの配置

3.4 TGC エレクトロニクスの設置環境

LHC のようなハドロン衝突実験では、膨大なバックグラウンドが発生する。ATLAS 実験で TGC 検出器が設置される場所においても、主にγ 線や中性子のバックグラウンドを大量に浴びることになる [7]。従って検出器自体やエレクトロニクスには、長期に渡る耐放射線性能が要求される。このうち TGC 自体の放射線に対する感度はよく研究されており [8] [9]、またアノード・ワイヤーの積分電荷量が 1.1 C/cm になるまでのエイジング[10]試験も行なわれ [10]、大きな問題もなく動作することが確認されている。TGC エレクトロニクスでも、ASD については耐放射線テストが行なわれ、その動作が確認されている [11]。この他のエレクトロニクスはまだ開発段階であるため、今後それらの最終仕様が決まり次第、順次テストが行なわれる予定である。ただしエレクトロニクスにおいては、高密度化・高集積化された半導体デバイスの放射線に対する耐久性は一般的にそれほど高くない。従ってこれらの耐放射線性が問題となってくる。このような問題は主に軍事/航空/宇宙産業などの分野で研究されているが、高いバックグラウンドが存在する ATLAS 実験においても、放射線の影響を考慮に入れたエレクトロニクスの設計・実装が必要がある。ここでは TGC エレクトロニクスがどの程度放射線の影響を考慮しなければならないかについて述べる。

3.4.1 TGC エレクトロニクスの放射線基準

ATLAS 実験における放射線のレベルは、Radiation Hardness Assurance(RHA) グループが Geant3.21 と GCALOR[11]を用いて行なったシミュレーション結果より与えられている [12][13]。RHA は ATLAS 実験で使用されるエレクトロニクスやそこで従事する人々に対し、その安全性の確保を目的として活動しているグループである[12]。エレクトロニクスは放射線環境下でも LHC 運転の 10 年間は安定して動作するよう求められている。RHA は ATLAS 測定器の各サブ・システムに対して、どの程度の放射線レベルが見込まれるかを提示し、また使用されるコンポーネントの安全性をチェックするグループでもある。

TGC エレクトロニクスが設置される領域 (トリプレットの場合 Z=1280∼1290[cm] / R=715∼1180[cm]、ダブレットの場合 Z=1470∼1480[cm] / R=680∼1180[cm]) での放射線レベルは、表 3.6 で示される [14]。SRL (Simulated Radiation Levels) とは検出器が設置される場所で計算された放射線レベルのことを指し、SRL_{TID} は 10 年分の積算線量[13]、SRL_{NIEL} および SRL_{SEE} は 10 年間でのフルエンス[14]を表している。ここで TID (NIEL) とは、放射線の電離エネルギー損失 (非電離エネルギー損失) により積算的に被る効果のことである。NIEL の場合、便宜上あらゆる粒子のフルエンスが等価 1MeV の中性子にスケーリングされる。また SEE とは、積算吸収量には関係なく、単発の放射線粒子によって引き起こされる現象である。放射線による LSI への影響については付録 B を参照されたい。

	SRL_{TID} [Gy]	SRL_{NIEL} [/cm^2] (equivalent 1MeV neutron)	SRL_{SEE} [/cm^2] (E_{hadron} >20MeV)
トリプレット設置領域	2.27	2.58×10^{10}	6.54×10^{9}
ダブレット設置領域	2.49	1.42×10^{10}	4.53×10^{9}

表 3.6: 放射線量のシミュレーションにおける見積り。 SRL_{TID} は 10 年分の積算線量、SRL_{NIEL} および SRL_{SEE} は 10 年間でのフルエンス。

これらの提示される値には不確定要素が多く含まれるため、同時に安全係数 (SF) も考慮されており、シミュレーションによる誤差 (SF_{sim})、低線量率 (Low Dose Rate) での長期照射による効果 (SF_{ldr})、チップ製造時におけるロット間での違い (SF_{lot}) に対するそれぞれの値が発表されている [15] (表 3.7 参照)。シュミレーション

[10] aging。放射線被曝などの外的要因により劣化が進行すること。
[11] Geant とは陽子・中性子・電子・ガンマ線・パイオン・ミューオンなどの素粒子が物質中で起こす複雑な振舞や反応 (dE/dX, 対発生, カスケードシャワーなど) を正確にシミュレートする大規模ソフトウエア。高エネルギー物理学や宇宙線、原子核の実験などで物理成果を導くために利用される。現在はバージョン 4 が主流となっている。GCALOR は低エネルギー中性子用のシミュレーション・ソフトウェア。
[12] 実際には TC (Techinical Coordination) に属する
[13] Gy(グレイ) は物質の単位質量当たりに吸収される放射線のエネルギー量を示す単位。[Gy] = [J/kg]
[14] fluence。単位面積を通過する放射線の個数の時間積分

値と安全係数を考慮した耐放射線基準値 (Radiation Tolerance Criteria ; RTC) は以下のような値になる。

$$\begin{aligned} \mathrm{SRL_{TID}} &= (2.49) \times 3.5 \times 5 \times 4 &&\approx 2 \times 10^2 \quad [\mathrm{Gy}] \\ \mathrm{SRL_{NIEL}} &= (2.58 \times 10^{10}) \times 5 \times 1 \times 2 &&\approx 3 \times 10^{11} \quad [/\mathrm{cm}^2] \\ \mathrm{SRL_{SEE}} &= (6.54 \times 10^9) \times 5 \times 1 \times 2 &&\approx 7 \times 10^{10} \quad [/\mathrm{cm}^2] \end{aligned}$$

より高い安全性を考慮して、ここでは設置領域に関係なく最も高い数値を用いた。

安全係数	TID	NIEL	SEE
SF_sim	3.5	5	5
SF_ldr	5	1	1
SF_lot	4	2	2

表 3.7: 安全係数。 SF_sim はシミュレーションによる誤差、SF_ldr は低線量率での影響、SF_lot は生産工程 (ロット) の違いによる誤差をそれぞれ考慮しての安全係数である。

ATLAS 実験における TGC エレクトロニクス・コンポーネントは、上記に示す値をクリアして初めて使用が認められる。上記の TID 基準値に関しては、TGC エレクトロニクスに対する基準値は約 200Gy(=20krad) であり、これは耐放射線用でない通常の ASIC や FPGA でも使用可能な程度のものである [16]。一方、SEE の一種である SEU (Single Event Upset) については絶対的な基準はなく、シミュレーションによるハドロンのフルエンスが与えられるのみである。SEU とは、放射線粒子の通過によって生じる電荷量が、その集積回路の電荷量と同程度になり、集積回路の情報が書き換えられることである。SEU が発生すると、その集積回路は誤動作を起こす。SEU 基準値に対してどこまでが良くてどこからが危険かは、そのシステムの構成を基に判断されるべきものである。従って TGC エレクトロニクスの設計には、SEU により被る影響とその対策を考慮に入れる必要がある。

3.4.2 TGC エレクトロニクスの対策

ここでは放射線環境下にある TGC エレクトロニクス・デバイスがどの程度の頻度で SEU を被るかを大雑把に見積もり、TGC エレクトロニクスでどのような対策が取られているかを述べる。

SEU の発生頻度は、その場所でのハドロンのフルエンス Φ と半導体デバイスの SEU 断面積 σ が分かれば以下のように計算できる。(ここで T には LHC の稼働時間 10 年 $\approx 10^8$sec が入る。)

$$R = \frac{\sigma\Phi}{T}$$

SEU 断面積はデバイスの種類に大きく依存するが、20MeV 以上のハドロンに対してその断面積は一定となり、およそ $10^{-15} \sim 10^{-13}[cm^2/bit]$ であることが分かっている [17]。SEU の影響が問題となるのは LSI 内のパラメータ設定用レジスタであり、例えば SLB ASIC の場合だと 1 個につき 674 ビットある (表 3.3 参照。テストパターンを除いた書き込み可能レジスタ数)。フロントエンドに設置される SLB は、ATLAS 実験全体で 2880 個使用されるため、SEU 発生頻度は

$$\begin{aligned} R_{\mathrm{SLB_SEU}} &= \frac{10^{-14}\ [\mathrm{cm}^2/\mathrm{bit}] \times 7 \times 10^{10}\ [/\mathrm{cm}^2/10\mathrm{year}]}{10^8\ [\mathrm{sec}]} \times 674\ [\mathrm{bit}] \times 2880 \\ &\approx 1\ [\mathrm{SEU/day}] \end{aligned}$$

となる。ただし、ここでの見積りには 1 オーダー程度の誤差を含んでいる可能性がある。この計算式の結果から、重要な設定レジスタを多く持つデバイスに対して SEU 対策を講じないのは危険であることが分かる。

SEU への対処としては、例えば

(1) SEU が起こりうる全てのエレクトロニクスを監視し、エラーが発生したらその部分のみを修正する方法

(2) SEU が発生しても影響を受けない回路設計を行なう方法

が考えられる。フロントエンドに設置される ASIC の数は SLB だけでも約 3000 個で、これよりさらに多くなる PP を含めて考えると、(1) の方法は現実的ではない。従って主要な ASIC には (2) を採用した、多数決論理回路 (Voting Logic) が組み込まれる。図 3.20 に示すようにこの回路は、1 ビットの情報を記憶するのに 3 つのレジスタを用い、それらの多数決をとって出力する。多数決論理回路で情報が反転するには、少なくとも 2 つのレジスタに SEU が発生する必要がある。一つのレジスタが反転する確立を P とすると、多数決論理回路内の 2 つのレジスタが反転する確立は $\mathrm{P} \times \mathrm{P} \times {}_3\mathrm{C}_2 = 6\mathrm{P}^2$ となる。SEU の断面積 σ は $\mathcal{O}(10^{-15} \sim 10^{-13})$ であり、$\mathrm{P} \propto \sigma$ だと考えると、多数決論理回路全体としての断面積はその 2 乗となり、SEU が起こる確立は非常に小さなものとなる。またこの多数決論理回路には、多数決が割れたことを検出する回路も搭載され、その出力は ASIC 内全てのレジスタに関して OR が取られ、読み出すことができる。この情報を定期的に監視することで、SEU による被害を排除することが可能となる。

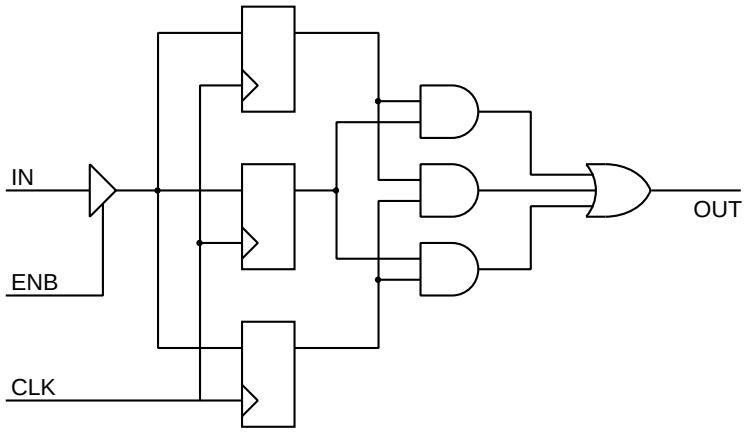


図 3.20: 多数決論理回路 (Voting Logic)

一方、ASIC に対して SEU がより問題となるのは、SSW (FPGA / CPLD) や HPT (CPLD) にて使用されるプログラマブル LSI である。これらは、メモリ上にコンフィギュレーション用のデータを書き込むことによって、そのロジックを実現している。従って、SEU によりメモリ上のコンフィギュレーション・データが書き変わってしまうと、正しく動作しなくなる。従ってプログラマブル LSI については、SEU に対する対策を、多数決論理回路とは違った方法で考慮しなければならない。

第4章　HSC/CCIシステム

この章では、ビッグウィール外縁およびエレクトロニクスハットに設置される、リモートコントロールシステム (HSC/CCI) の開発について述べる。まずはリモートコントロールシステムの必要性と開発の動機・目的を明らかにし、そこで要求される内容を基に行なった設計概念を述べる。次にシステムの概要について簡単に触れた後、システムの構成や具体的な実装、システムの機能などを説明する。性能評価のための動作テストや、TGC トリガー・システムにおける統合テスト (スライステスト) での結果について述べ、最後に HSC/CCI の開発全体についてまとめる。

4.1　リモートコントロールシステムの概要

4.1.1　目的

3.3 節で述べたように、TGC エレクトロニクスはその大部分が実験ホール内に設置される。それらのエレクトロニクスには、内部レジスタを持った ASIC や、プログラマブルな LSI である FPGA や CPLD が搭載される。従って、トリガー・システムを有効に機能させるには、それらが持つ内部レジスタのパラメータ設定や、コンフィギュレーション・データ (プログラマブル LSI 内部にある、回路構成用メモリのパラメータ設定を行なうためのデータ) のロードを行なう必要がある。例えば、TGC 検出器のあるチャンネルが故障した場合には、対応する PP のチャンネルにマスクをして対処し、またタイミング・キャリブレーションやエレクトロニクス内のチャンネル診断など行なう場合には、SLB にテストパターンを設定し、関係する LSI の設定が必要となる。

しかしインストールされたエレクトロニクスは、放射線環境下にあり直接アクセスできないため、何らかの手段を用いて遠隔から各 LSI の制御を行なう必要がある。以下に設定が必要な対象の種類やオクタント当たりの数、その設定に必要なデータサイズを挙げる。

対象 LSI	設置場所	設定内容	個数 [/オクタント]	同データ量
PP ASIC	PS ボード	設定用レジスタ (表 3.2 参照)	$\sim$ 700	$\sim$ 32 [kbit]
SLB ASIC	PS ボード	設定用レジスタ (表 3.3 参照)	$\sim$ 170	$\sim$ 120 [kbit]
JRC ASIC	PS ボード	設定用レジスタ (表 3.5 参照)	$\sim$ 90	$\sim$ 560 [bit]
HPT ASIC	HPT ボード	設定用レジスタ (表 3.4 参照)	$\sim$ 30	$\sim$ 720 [bit]
FPGA	SSW ボード	コンフィギュレーション・データ	$\sim$ 10	$\sim$ 24 [Mbit]
CPLD	SSW/HPT ボード	コンフィギュレーション・データ	$\sim$ 20	$\sim$ 48 [Mbit]
SLB ASIC	PS ボード	テストパターン (10^5 イベント分)	$\sim$ 170	$\sim$ 2.4 [Gbit]

表 4.1: TGC フロントエンド・エレクトロニクスの設定対象。 SLB のテストパターンは診断用に用いられるもので、10^5 イベントを要求しているのは、チャンネル毎の分布図を取った時の統計精度を高めるためである。

SSW には FPGA が用いられるが、一般的に FPGA の耐放射線性は高くないことが報告されている [18]。特に単発的に引き起こされる SEU はメモリ情報を反転させるため、読み出し系の基幹的処理を担うこの FPGA でエラーが頻繁に起こるとすると、データ収集システムにとって致命的となる。FPGA の SEU 断面積を $\sigma_{\rm SEU} \approx 10^{-14}[{\rm cm}^2/{\rm bits}]$ [19] として計算してみると、SEU 発生頻度は

$$\begin{aligned} R_{SEU} &= \frac{10^{-14}\ [{\rm cm}^2/{\rm bits}] \times 7 \times 10^9 \times 5 \times 2\ [/{\rm cm}^2 \cdot 10{\rm years}]}{10^8\ [{\rm sec}\ (=10{\rm years})]} \times 24\ [{\rm MBits/octant}] \\ &\approx 6\ [{\rm SEUs/hour/octant}] \end{aligned}$$

となり、これは無視できない。従って FPGA に関しては、一度コンフィギュレーション・データをダウンロードするだけに留まらず、定期的にそのデータを読み返し、エラーが生じてないかを診断する必要がある。またそれでエラーが起こっていた場合には、再度コンフィギュレーションを行ない、その機能を修復できなければならない。これは HPT/SSW に搭載される CPLD に対しても同様である。

4.1.2 設計

実験ホール内に設置されるエレクトロニクスの制御のためには、そのマスターとなるコントローラが必要である。マスターからの制御にはいくつかの方法があるが、個々のエレクトロニクスと 1 対 1 の通信をして制御するのではなく、集中してそれらを管理することで、ケーブルの問題はもちろん、システム全体としての操作性も向上する。これにはアクセスが比較的容易なビッグウィール外縁を起点にして、実験ホール内の各モジュールを制御管理するのが適当だと考えられる。SSW (HPT) は VME 規格に準拠したデバイスであるため、リモートコントローラを VME マスターとして開発することにした。ただし SSW/HPT に実装される VME プロトコルエンコーダーには CPLD が使用されるため、SEU によりこの機能が損なわれれば、そのボード自体の VME 制御が不可能になってしまう。このため VME バスとは独立した JTAG バスを導入し、CPLD に SEU が発生してその VME 機能が失わたとしても、JTAG バスを経由してその機能を回復させることができるようにした (図 4.1)。

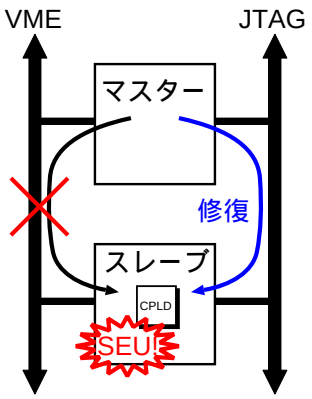


図 4.1: JTAG バスによる修復。　VME の機能を担う CPLD に SEU が発生すると VME アクセスできなくなる。この場合は独立して別に存在する JTAG バスを用いて CPLD を修復する。

また設定内容データは表 4.1 にあるようなサイズを持っており、短時間でのそれらの設定を実現するには、エレクトロニクスハットとの通信に十分な帯域が確保されていなければならない。これを実現するには光通信技術を用いるのが適当である。

リモートコントローラはそれ自身が実験ホール内に設置されるため、耐放射線性を考慮した設計も必要である。

4.1.3 リモートコントロールシステム

図 4.2 に HSC/CCI システムの概要を示す。リモートコントロールシステムは、ビッグウィール外縁に設置されるリモートコントローラ (HSC ; HPT/SSW Controller) と、エレクトロニクスハットの ROD クレート内にあるローカルインターフェース (CCI ; Control/Configuration Interface) により構成される。約 90m あるコントローラとインターフェースの間は、専用の Agilent 社 [20] の G-LINK によって常時接続される。実験ホール内にあるモジュール類はバス方式で接続され、HSC/HPT/SSW は VME クレート (リモートクレート) に収められる。リモートコントローラは VME マスターモジュールとしてそのクレート内のスレーブ (HPT/SSW) を制御する。

ローカルホストは CCI/HSC を中継して命令 (インストラクション) を発信し、実験ホール内にある各スレーブモジュールを制御する。また HSC から CCI へと帰ってくる応答 (レスポンス) を解析することによって、診

断や制御・再設定などの命令の可否や、現在の状態を確認することができる。

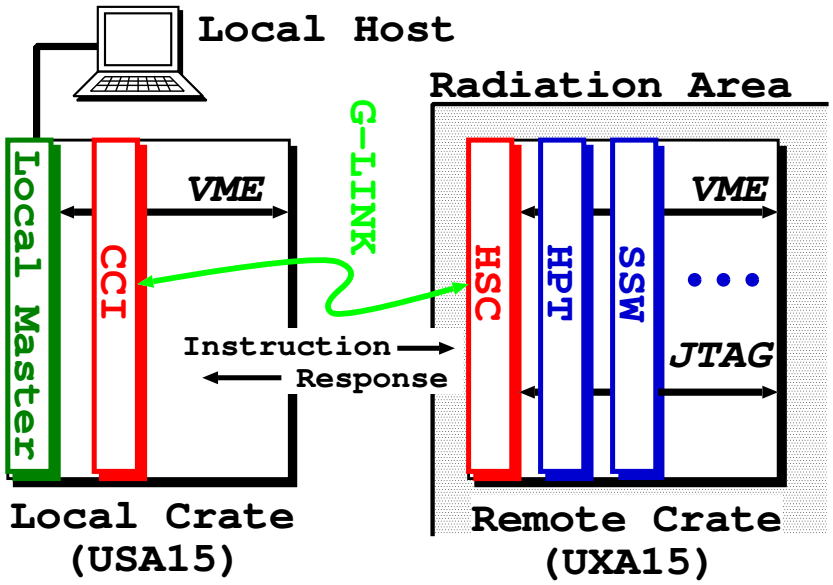


図 4.2: リモートコントロールシステムのアーキテクチャ。 SSW/HPT の VME マスターであるリモートコントローラ (HSC) とローカルからのアクセス・インターフェース (CCI) との接続図。両者は G-LINK を用いて常時接続される。

4.2 HSC と CCI の設計

リモートコントロールシステムを実現するには、実験ホール内で対象に直接アクセスするコントローラと、エレクトロニクスハットからそのコントローラを操作するためのインターフェースが必要である。ここではリモートコントロールシステムを成す 2 つのモジュールについて、それらが持つ機能を説明する。

4.2.1 リモートコントローラ (HSC)

ローカルからリモートへの制御は、ローカルから発せられるインストラクションによって実行される。HSC (HPT/SSW Contorol/Configuration) は、HPT/SSW と同じクレート (以下 HSC クレートと呼ぶ) 上に搭載される VME マスター・モジュールである。HSC はローカルホストから送られてくるインストラクション (命令) を受信し、適当な処理を行なった後、レスポンスを返信する。VME コントロールのインストラクションが受信されると、HSC はリモートクレート内のスレーブモジュールにアクセスするために VME バスを支配することができる。SSW FPGA はこの VME バスを用いてコンフィギュレーション可能である。また全モジュールに搭載される CPLD のコンフィギュレーションには JTAG バスが使用されるため、JTAG コントロール専用のインストラクションも用意される。

HSC には CCI との通信情報をエンコード/デコードするための機能として主に 2 つのブロックが用意される (図 4.3 参照)。それが PPE (Primary Protocol Encoder) と SPE (Secondary Protocol Encoder) である。前者はリセットと JTAG コントロールの機能、後者は VME コントロールの機能を持つ。PPE はローカルホストから CCI を経由して送られてくる JTAG に関するインストラクションをデコードし、それに基づいて JTAG コントローラを操作する。またリセットなど各ブロックの初期化機能も担っている。従って PPE がより中枢的役割を持っている。SPE を含むすべての VME コントローラは、SEU によりその機能が失われたとしても、この PPE の機能により再設定が可能である。従って少なくとも PPE と JTAG コントローラは、耐放射線性を兼ね備えていなければならない。

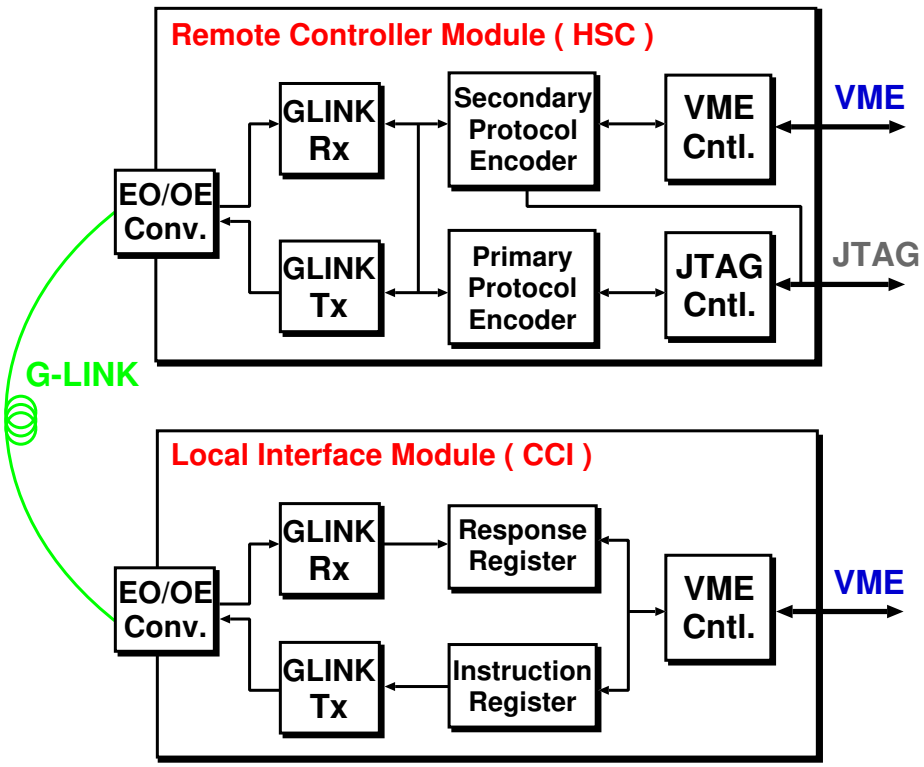


図 4.3: HSC および CCI モジュールの機能ブロック図

4.2.2 ローカルインターフェース (CCI)

ローカルホストから送られてくるインストラクションはまず最初にインストラクション専用のレジスタに収められ、それから HSC へと送信される。一方 HSC から返ってくるレスポンスは、一旦それ専用のレジスタに入り、それをローカルホストが読み出すことにする。これらのレジスタ以外にもインストラクションの種類の違いによって、状態監視用や VME 優先割り込み用のレジスタを用意する。また受信用のレジスタには、インストラクションに対するレスポンスが更新されたかどうかを判別するアップデート・ビットを用意する。以上のように設計することで、送受信のタイミングの違いなどで起こるインストラクションやデータの消失を防ぐことができる。インストラクションの詳細については後述 4.4 節を参照されたい。すべてのレジスタには VME バス経由にてアクセス可能である。

4.3 試作基板実装

ここでは試作機に実装された具体的なパーツについて、その機能や特徴について説明する。図 4.4 に光ケーブルを接続したプロトタイプ HSC/CCI モジュールを示す。

4.3.1 リモートコントローラ (HSC)

リモートクレートには、高さ 9U 奥行き 6U 規格のやや変則的サイズの VME モジュールが使用される。これはエレクトロニクスが設置される場所の面積から要求される制限のためである。このクレートは VME バス専用の J1/J2 バックプレーンの他に、ユーザー定義可能な J3 バックプレーンを設置することが可能で、そこに JTAG バスは設置される。J3 バックプレーンにはその他にも電源ラインやクロックラインなどが割り当てられる。各チップは J3 バックプレーンから供給される 3.3V を電源として使用しており、消費電力を抑えている。

図 4.3 に示した機能ブロックを実現するために、HSC に搭載される主なパーツを以下に簡単に説明する。

- **PPE (Primary Protocol Encoder)**

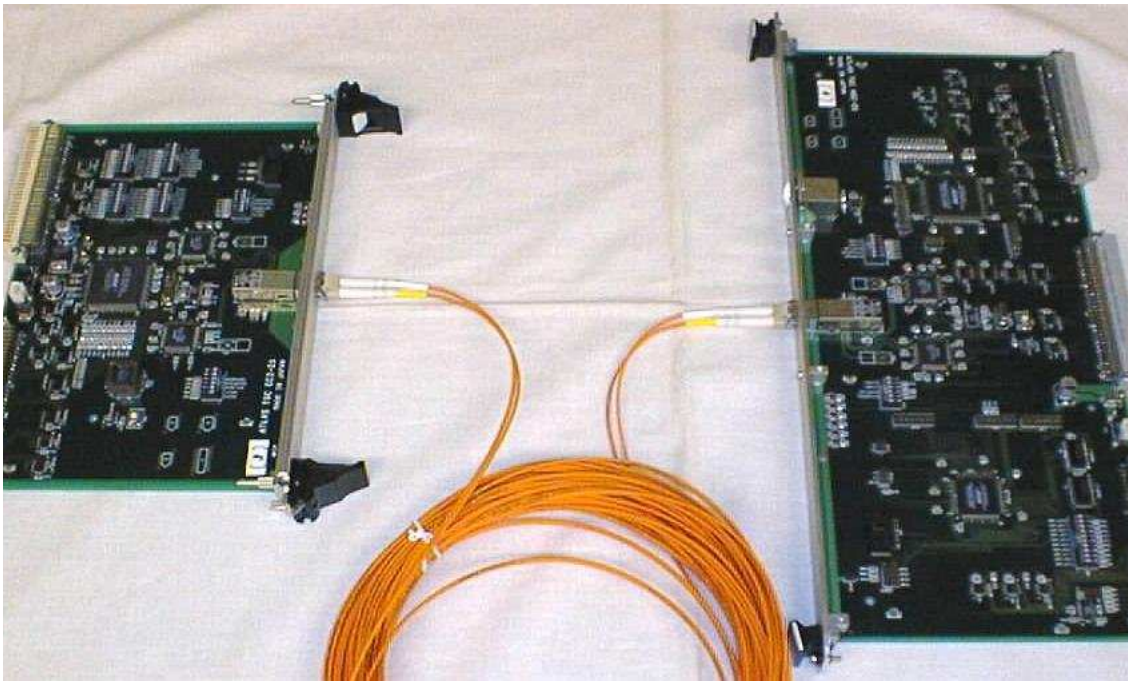


図 4.4: 試作モジュールの CCI (左) と HSC (右)

PPE には放射線耐久度の高い LSI を搭載する必要があることはすでに述べたが、今回は試作機ということで、デバッグ時に出てくるロジックの修正やカスタマイズを考慮して、プログラマブル・デバイスを実装した。チップには Altela 社の MAX7000AE シリーズ [21] の CPLD (IO 数; 144) を用いた[1]。PPE は JTAG に関係するインストラクションを、3-bit のアドレスと 8-bit のデータにデコードし、JTAG 信号を生成する JTAG コントローラに送る。また VME バスの SYSRESET_ [2]、eTBC(後述) のリセット、SPE(後述) 内の VME コントローラのリセットを発信する。

- **eTBC (embeded Test-Bus Controller)**
  JTAG コントローラには Texas Instruments 社 [22] の eTBC (embedded Test Bus Controller) を用いる。このチップは内部レジスタを持っており、その設定を適当に行なうことで JTAG 信号を生成し、ターゲット・デバイスの TAP (Test Access Port) コントローラ[3]の状態遷移を自動的に行なってくれるものである。TCK には 40.08MHz を分周して使用する。リモートクレート内の各モジュールに VME プロトコルエンコーダとして搭載される全ての CPLD は、JTAG バス経由でコンフィギュレーションされる。

- **ASP (Address Scan Port)**
  CPLD は JTAG でプログラムされるため、JTAG バスにアクセスするためのポートが必要となる。ASP (Address Scan Port) はそのポートの役割を果たすものである。

- **SPE (Secondary Protocol Encoder)**
  VME コントローラとしての役割を担う SPE は CPLD として搭載される。今回の試作では PPE と同じく Altera 社 MAX7000AE シリーズの CPLD (IO 数; 208) を用いている。SPE は、HSC 自身の VME アクセス制御はもちろんのこと、スレーブモジュールである SSW 上の FPGA をコンフィギュレーションする際にも主要な働きをする。

- **G-LINK Tx/Rx**
  G-LINK には 16 ビット送受信可能な Agilent 社のトランスミッター (Tx)/レシーバ (Rx) を用いる。G-LINK Tx/Rx 間の通信形態にはアイドル/コントロール/データ・モードの 3 つがあり、それぞれ決まっ

[1]本実験ではより放射線耐久度の高い ASIC として搭載される予定である。
[2]VME バスの制御信号。付録参照。
[3]LSI 内部にある JTAG 用シフトレジスタを制御するための順序回路。JTAG による制御の中心的役割を担う。詳細は付録参照。

たフォーマットにて情報をやり取りする。アイドル・モードは Tx/Rx が同期しやすくするための矩形波を送るもので、コントロール・ワードは 14 ビットの制御用信号を送るためのものである。データ・ワードは 16 ビットの情報をそのまま送信する。例えば Tx 側に 40MHz 周期で入力される信号は、パラレル-シリアル変換されて送信されるため、約 640MHz で出力されることになる。

- **EO/OE Converter**
  EO (OE) Converter とは Electrical/Optical (Optical/Electrical) 変換器のことで、電気 (光) 信号を光 (電気) 信号に変換することを意味する。光モジュールである EO/OE 変換には Infinion [23] の製品を実装した。

4.3.2 ローカルインターフェース (CCI)

ローカルインターフェースである CCI は 6U VME64x 規格のクレートに収められる。HSC と通信するため、CCI にはそれと同様の G-LINK 部品および光モジュールが搭載される。また CCI には FPGA (Altera 社 ACEX シリーズ) が搭載され、主な機能は全てこのチップにて行なわれる。

再び図 4.3 を参照されたい。CCI の役割は、VME インターフェースを持ち、またインストラクションもしくはレスポンスを収めるための専用レジスタを持つことである。送受信するためのインストラクション/レスポンス用レジスタは、VME にて読み書きできなければならない。このため CCI FPGA には、VME コントローラ用のロジック部分と、データを収めるためのレジスタ部分との両方が組み込まれる。

HSC へのデータ送信の際は、VME 経由で FPGA 内のレジスタにインストラクションもしくはデータを書き込むだけで、その内容は HSC へと適当なタイミングで送信される。逆にデータを受信すると、その内容はレスポンスレジスタへと収められる。レスポンスレジスタに収められた内容は、VME 経由にて読み出すことが可能である。

4.4 HSC/CCI 間の通信

HSC/CCI システムを使った遠隔からの制御は、全てインストラクションによって行なわれる。インストラクションは G-LINK のコントロール・ワードによって形成される。インストラクションはその機能に応じて独自のフォーマットを持っており、それらを適当に組み合わせることで HSC のスレーブにアクセスし操作を行なう (図 4.5 参照)。インストラクションは大きく 2 種類に分けられる。それは VME アクセス用のものと、JTAG アクセス用のものである。後者はインストラクションの中にさらに JTAG アクセス用のコマンドが入ったもので、操作がやや複雑となる。ここではそれらの HSC/CCI 間で用いられる通信について簡単に説明する。

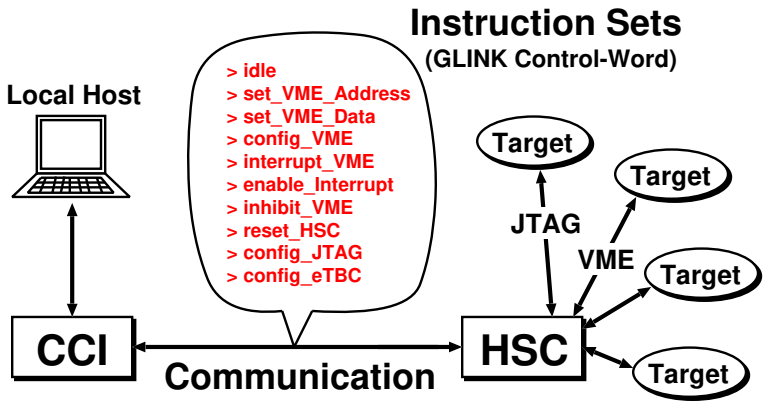


図 4.5: インストラクション

4.4.1 インストラクション

インストラクション	機能	発信点
idle	HSC の状態をレポートする	CCI
setVMEA	VME アドレスの設定	SPE
setVMED	VME データの設定	SPE
configVME	VME アクセスの実行	SPE
interruptVME	優先割り込み要求	SPE
enableInterrupt	割り込みの可/不可	SPE
inhibitVME	VME アクセス許可/禁止	SPE
resetHSC	リセット	PPE
configJTAG	N 線の選択	PPE
configeTBC	eTBC へのアクセス	PPE

表 4.2: インストラクションの内容

まず HSC/CCI 間で送受信される各インストラクションについて表 4.2 にまとめる。

インストラクションとはリモートコントロールのために CCI/HSC 間でやり取りされる制御用データのことを指す。CCI から出力されるインストラクションは 14 ビットの G-LINK コントロール・ワードとして送信される。制御に必要な情報を適当に分類してフォーマットを決め、各インストラクションを用意した。インストラクションの中身には、例えば VME アクセスのための AM (Address Modifier) コードや、eTBC アクセスのためのコマンドなどが含まれる。VME アクセスによる読み書きや割り込み操作などの場合には、先のコントロール・ワードに追加して 16 ビットの G-LINK データ・ワードも用いられる。以下、各インストラクションについて説明する。

- **idle**
  GLINK 間をアイドル・モードにすることによって、リンクを張りやすくしたり、維持したりするためのインストラクション。レスポンスには 4 ビットのカウンタ[4]が組み込まれ、このカウンタをモニターすることで、アイドル状態であることを確認できる。インストラクション送信時にはアイドル・モードから抜けなければならない。

- **setVMEA**
  HSC クレート内のモジュールに VME アクセスする際のアドレスを指定する。まずコントロール・ワードでアドレスを渡すことを明示し、続くデータワードによってアドレス値を送信する。

- **setVMED**
  HSC クレート内のモジュールに VME アクセスする際のデータを設定する。アドレスの場合と同様に、まずコントロール・ワードによりデータの送信であることを示し、続くデータワードによってデータを代入する。

- **configVME**
  VME アクセスによる読み書きを行なうための手続きを実行するインストラクション。D32/D16 アクセスの設定 (LWORD_)、書き込み/読み込みの選択 (WRITE_)、AM コードの設定を行なう正しく VME アクセスがなされなかった場合にはエラー (BERR_) を返し、それがレスポンスとして帰ってくる。VME 規格の信号の意味などについては、文献 citeVMEman を参照されたい。

- **interruptVME**
  リモートクレート内で割り込みが発生した場合、その通知のために用いられるインストラクション。通信は HSC から CCI への片方向で、割り込みレベルとステータス ID の情報を渡す。

[4] ヘルスチェックカウンターと呼ぶ

- **enableInterrupt**
  VME 割り込みに対して応答するか否かを設定するためのインストラクション。
- **inhibitVME**
  リモートクレート内モジュールに対する、VME アクセスの許可/不許可を設定するためのインストラクション。HSC/CCI システムを機能させる際には、まずこのインストラクションを送信して、ターゲットに対する VME アクセスを許可しなければならない。
- **resetHSC**
  HSC モジュールに対していくつかのリセットを実行できるインストラクション。リセットには、VME バスのリセット (SYSRESET_)、J3 バックプレーンに走るユーザー定義のリセット (TTCRESET_)、eTBC に対するリセット、SPE に対するリセット 、の計 4 種類が用意されている。
- **configJTAG**
  JTAG コンフィギュレーションを行なう際に、各モジュールと JTAG バスとの間にあるポート (ASP) の開閉を設定するためのインストラクション。これによって N 線と呼ばれるラインを指定する。(後述 4.6.4 参照)
- **configeTBC**
  eTBC のコンフィギュレーションを行なうためのインストラクション。14 ビットのコントロールワード内に、eTBC 操作のためのコマンドが入れられる。詳しくは次の 4.5.2 章にて説明する。

4.4.2 JTAG アクセス用コマンド

リモートにあるターゲットを JTAG にてコントロールするには、HSC クレートの J3 バックプレーンに走る JTAG バスを用いる。これには JTAG コントローラである eTBC を操作することが必要である。eTBC にアクセスするには、PPE から特定のコマンドを送る。ここでコマンドとは 3 ビットのアドレスと 8 ビットのデータを指し、アドレスに対応した eTBC のレジスタへデータが送られる。eTBC は送られてくるコマンドに応じてターゲットの TAP コントローラを操作する。

このコマンドは ”configeTBC” インストラクションに含まれており、JTAG によるターゲットの制御は全てこのインストラクションを通して行なわれる。

4.5 システムの機能

HSC/CCI システムは、用意された様々なインストラクションを組み合わせて一つの機能を実現する。実際の HSC/CCI システムがどのような機能を果たすことができるか、その操作と関連させて説明する。

4.5.1 初期化と設定

まずシステムの初期化について説明する。HSC/CCI システムおよび HSC クレート内スレーブ (HPT/SSW) の間でのインストラクションの流れを図 4.6 に示す。システムを起動させるには、まず JTAG バスを用いて (1)HSC の VME コントローラを、(2) 次にスレーブの VME コントローラを初期化し、VME バスを使用できる状態にする。VME バスが使用できるようになると、VME バスを使用して (3)FPGA の初期化が可能となる。以下図 4.6 に沿って説明する。

1. **HSC の VME コントローラを初期化する**
   HSC クレートの VME バスを利用できるようにするため、VME コントローラを初期化する。CPLD へのコンフィギュレーション・データは JTAG にてダウンロードされるため、JTAG 操作に関するインストラクションを用いる。”configJTAG” で自分自身の ASP を開き、”configeTBC” によって eTBC へとコマンドを送る。これら一通りの操作によってリモートコントローラの CPLD が有効になる。

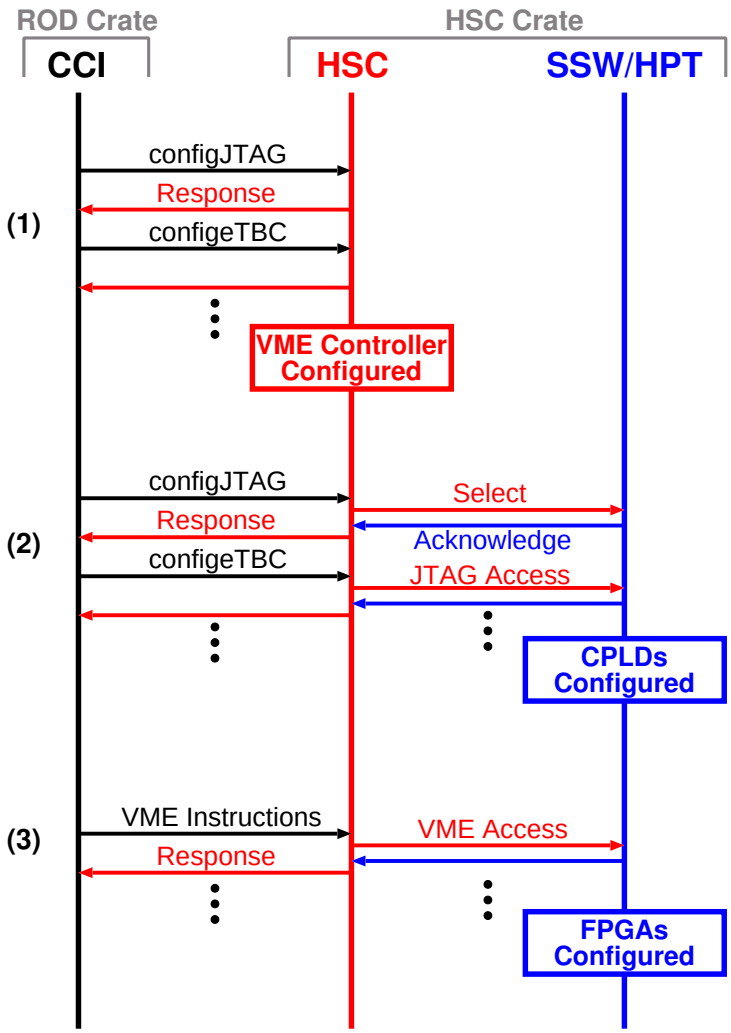


図 4.6: システムの初期化

2. **HPT/SSW の VME コントローラを初期化する**
   先ほどと同じ要領でスレーブの VME コントローラを初期化する。HSC から JTAG バス用の各インストラクションを送信することで、HSC クレートの JTAG バスを使用したアクセスが可能になる。

3. **SSW FPGA を初期化・設定する**
   スレーブが VME バスを有効に使えるようになったため、それを用いて SSW FPGA のコンフィギュレーションを行なう。CCI から HSC へ送信するインストラクションは VME アクセス用に用意されたものが用いられる。またこれと同様にして、スレーブ内の CPLD に用意されるレジスタの VME による設定が可能となる。

4.5.2 フロントエンドへのアクセス

ローカルホストからフロントエンド・エレクトロニクスの PP/SLB 内のレジスタを設定する手順を説明する。フロントエンドへのアクセスは SSW 経由で行なわれるが、まず PP/SLB にアクセスする前に、それらへの信号経路を選択するために JRC の設定が必要となる。VME 経路にて SSW をコントロールすることで、PP/SLB/JRC のレジスタに対して読み書きを行なう。SSW とそれらとのやり取りには JTAG プロトコルが用いられる。図 4.7 に操作手順を示す。

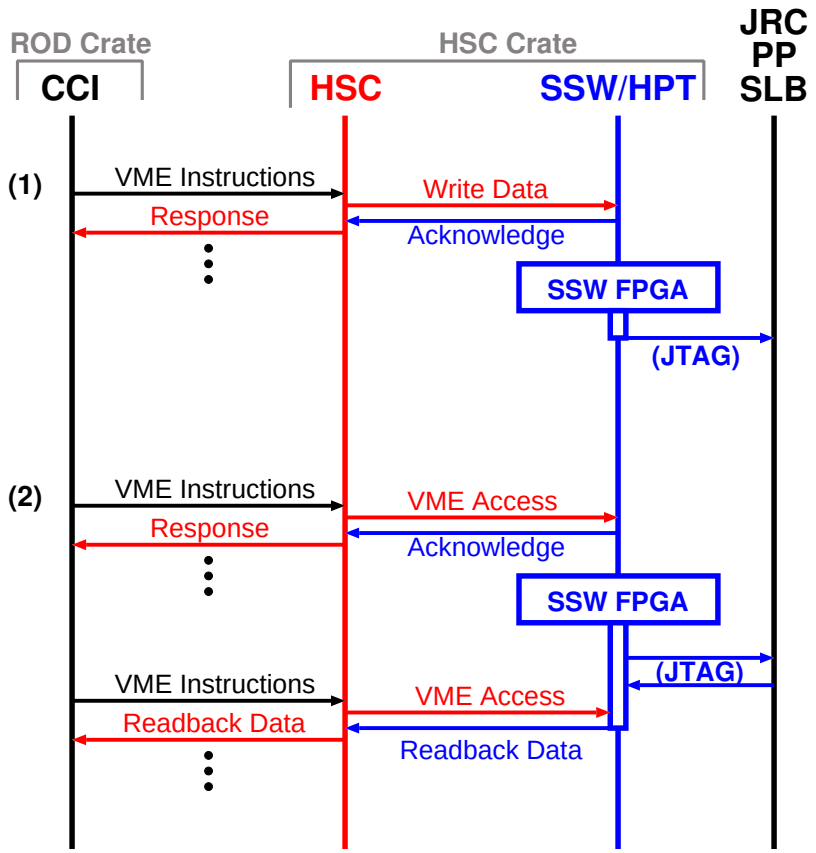


図 4.7: フロントエンドへのアクセス。 PP/SLB/JRC 内レジスタへの (1) 書き込み (2) 読み込み手順。CCI/HSC/SSW を順に経由して設定用のデータは送られる。CCI/HSC 間の通信には VME アクセス用のインストラクションが使用される。

4.5.3 VME バスを用いたシステム診断・修復

HSC/CCI システムには、遠隔から LSI のパラメータ設定を行なうだけでなく、それらが放射線の影響を受けていないかどうかを診断・修復する機能も備えておかねばならない。ここでは VME バスを用いた診断・修復方法について説明する。

VME バスを用いたコンフィギュレーション・データの診断・修復は、スレーブ内の SSW FPGA に対して行なわれる。SEU が発生した場合の修復手順について、図 4.8 を参考に以下に説明する。

1. HSC/CCI は定期的にスレーブ内 FPGA(CPLD) のコンフィギュレーション・データを読み返し、それが正しいものかどうかを調べる。正しければそのまま何もせず、定期的な診断を順時繰り返す。

2. SEU が発生していると、LSI 内部のメモリ情報が書き換えられているため、以前に設定したコンフィギュレーション・データとは異なったものが読み返される。この場合は正しいコンフィギュレーション・データを新たにダウンロードして修復する。

4.5.4 JTAG バスを用いたシステム診断・修復

JTAG バスを用いたコンフィギュレーション・データの診断・修復対象は、HSC クレート内にあるすべての CPLD である。これらは VME プロトコルエンコーダとして全てのボードに搭載される。SEU が発生した場合のこれらの診断・修復手順は、前節で述べた VME バスを用いた手順とほぼ同じである。ただし CPLD の場合は JTAG バスを使用するため、ローカルから送信するインストラクションには JTAG アクセス用のものを使用する。また JTAG バスを用いた診断・修復には、HSC 自身の CPLD もその対象に含まれる。図 4.8 を用いて説明する。

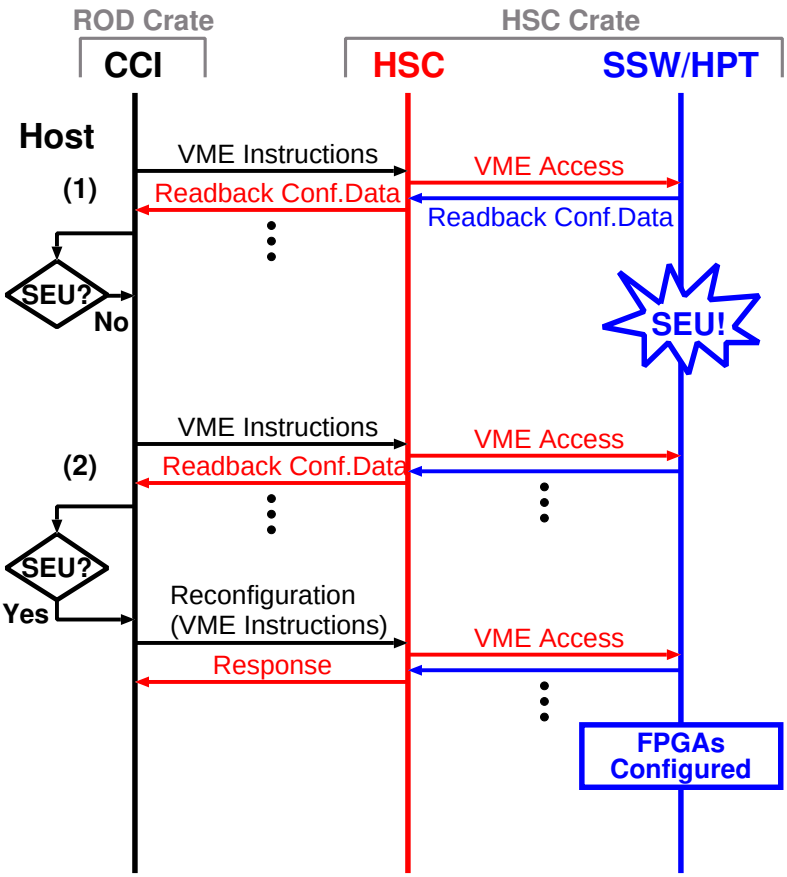


図 4.8: FPGA の診断・修復。 (1) ホストは VME バスを使って定期的に SSW FPGA のコンフィギュレーション・データを診断する。(2) 読み返したデータが以前に設定したものと異なっていると、直ちに正しいコンフィギュレーション・データをダウンロードし修復する。

1. スレーブ (HPT/SSW) 内の CPLD を修復するプロセス。例えばレジスタ設定のためスレーブに VME アクセスする際、その CPLD が何らかの影響で VME 機能を失っていると、そこからの応答 (DTACK[5]) がない。このため HSC は CCI に対するレスポンスとしてタイムアウトを宣告する。通知を受けたホストは、JTAG 用インストラクションを用いて機能を失った CPLD を直ちに修復する。

2. マスター (HSC) 内の CPLD を修復するプロセス。HSC に搭載された CPLD がその機能を失うと、CCI から VME 用のインストラクションを送信しても応答が返ってこない。このような場合は JTAG 用インストラクションを用いて HSC 自体の CPLD を修復し、HSC クレート内の VME 機能を回復させる。ホストがこのようなプロセスを自動的に行なうようにしておけば、HSC/CCI システムはたとえそれ自身が例えば放射線の影響などでその機能を失ったとしても、自己修復してシステムとしての性能を回復することができる。

[5]VME 制御のための信号。マスターとスレーブの間でデータをやり取りする際に使用される。詳細は付録参照。

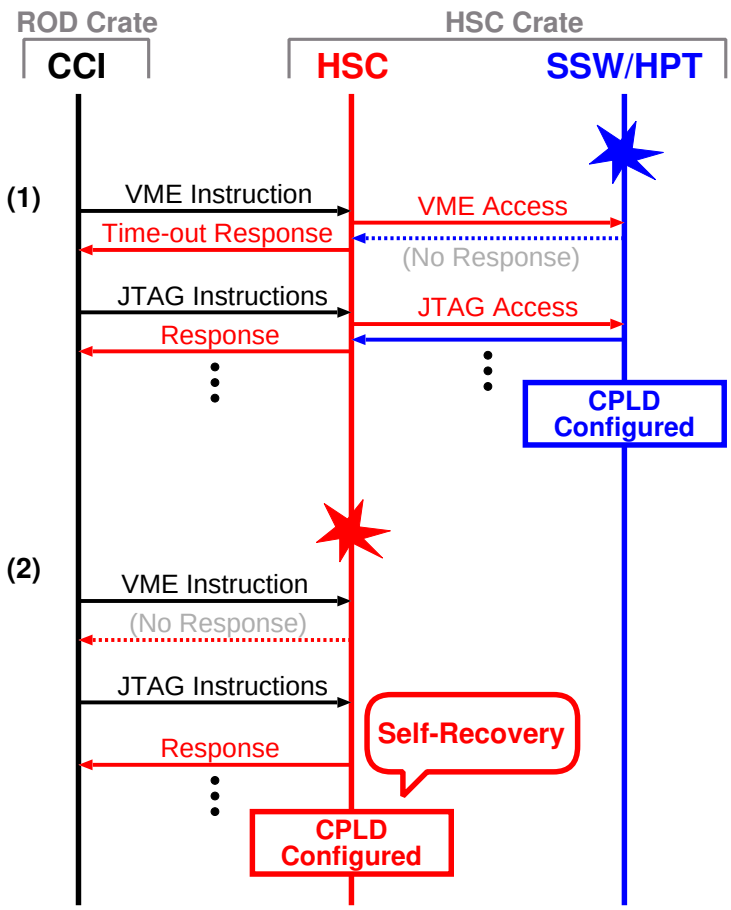


図 4.9: CPLD の修復。　スレーブに対する VME アクセスが失敗すると、タイムアウト・レスポンスがホストへと送られる (1)。VME 用インストラクション自体に対してレスポンスがない場合は HSC 上にある SPE が機能を失っていると考えられる (2)。いずれの場合も JTAG バス経由にて修復される。

4.6 性能評価試験

4.6.1 セットアップ

4 ペアの HSC/CCI モジュールが試作機として用意した。動作試験は図 4.10 のようなセットアップを用いて行なった。ローカルクレート上の VME バスは、それを PCI バスから制御できるようにするため、SBS PCI-VME 変換ボード (Bit3 [25]) を設置した IBM PC/AT 互換機に接続されている。ホスト PC では Linux OS が動作しており、この PC を通して VME バスの制御を行なうことが可能となる。Bit3 のドライバには C 言語で書かれた vmehb [26] を使用した。テストのためのソフトウェア開発には、C 言語で書かれた [27] VME ライブラリ vmelib-1.4 [28] を使用した。このライブラリは VME で読み書きするための関数が用意されており、これを用いることで容易にソフトウェア開発を進めることができる。

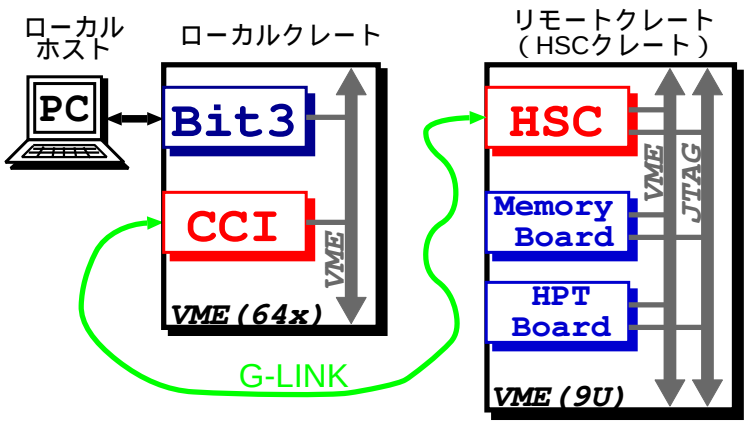


図 4.10: 動作試験のセットアップ図

HSC は実験ホール内、CCI はエレクトロニクスハットに設置されることを想定して、両者の間には 100m の光ケーブルを用いてテストを行なった。アクセスの対象となるスレーブモジュールとしては、実際の SSW はまだ開発されていないため、32 ビット幅のメモリーを積んだメモリーボードと HPT ボード[6]を用意した。メモリーボードには VME での読み書き可能な 32 ビット幅のメモリが搭載されており、HPT ボードには同様に 16 ビット幅のレジスタが CPLD 内に設置されている。CPLD は JTAG もサポートしており、JTAG によるコンフィギュレーションが可能である。

4.6.2 HSC/CCI 間リンク接続テスト

HSC/CCI 間の信号は、G-LINK を通して 640Mbps (= 16 ビット × 40MHz) で転送されるため、送信側と受信側でリンク (連動) を確立・保持しなくてはならない。そこでまず最初に、電源投入時に HSC/CCI 間のリンクが確立できるようテストした。

HSC/CCI システムにおいて G-LINK のリンクを確立するにはいくつかの手順が必要になる。これはトランスミッター (Tx) 側とレシーバー (Rx) 側においてクロックのタイミングが若干異なるためである (図 4.11 参照)。実際何の処置も行なわずに接続すると、Rx 側の PLL[7]が、入力信号とは異なるタイミングでロックしてしまい、全くリンクが確立できない状態に陥ってしまった。そこで Rx 側の PLL サンプラー・ブロックを、リンクが正しく確立されるまである一定時間ごとにリセットする機能を持たせることにした[8]。

[6]HPT ボードには合計 15 種類の 16 ビット幅レジスタがある。それらには主に LVDS や G-LINK の PLL ロック信号の監視、G-LINK や HPT ASIC の動作モードの指定などの機能が割り当てられている。VME 経由でそれらのレジスタは読み書きされる。

[7]位相同期ループ (Phase Locked Loop) のこと。入力信号に周波数・位相の一致した出力信号を生成するための回路。電子式フィールドバックループのことで、位相検出器・低域通過フィルタ・電圧制御発振器より構成される。周波数シンセサイザ・同期回路等に広く使われている。

[8]転送レートを変換するスイッチ (DIV1) を、リンクが張れるまでトグルする仕様に変更した。

この処置により、HSC/CCI 間のリンクは電源を投入すると自動的に確立され、またシステムの動作試験中も安定にリンクを保持できるようになった。これにより HSC/CCI 間の通信経路が確立され、モジュール本体に組み込まれたロジックやその中身の機能を検証することが可能になった。

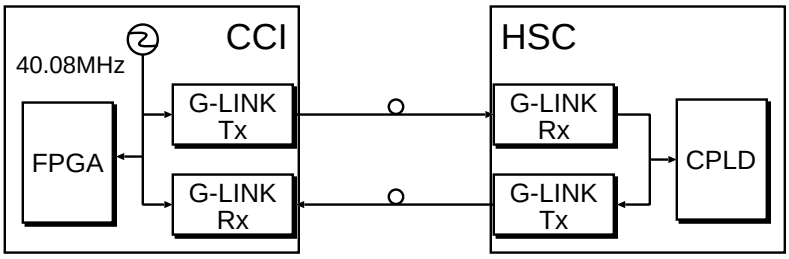


図 4.11: HSC/CCI でのクロック分配図。 HSC では受信した CLK をボード全体のクロックとして使用する。CCI の G-LINK Rx では受信クロックはボード上のクロックに乗せ替えられる。

4.6.3 VME アクセステスト

ローカルホストから、リモートクレート内スレーブモジュールへの VME アクセステストを行なった。本実験では SSW FPGA のコンフィギュレーションや、他の LSI のパラメータ設定などは VME バスを用いて行なわれるため、VME アクセス経路の確立はリモートコントロールシステムにとって必須である。図??に具体的な VME アクセス手順を簡単に説明する。

テストの結果、メモリーボード/HPT ボード両者ともに問題なく VME アクセスすることができ、それらが持つ各レジスタに任意のデータを読み書きすることができた。これによりローカルホストからリモートクレート内にあるスレーブモジュールを、VME バスを用いてコントロールできることが可能になった。なお、VME 割り込み機能に対するアクセステストも行ない、割り込み処理にも対応できることを確認した。

さて、CCI/HSC を経由した VME アクセスの信頼性をテストするため、送信データと受信データとを比較する長期動作試験を行なった。HSC-CCI 間は約 640MHz の高速転送であるため、何らかの原因でリンクが切れてしまう可能性がある。ATLAS 実験においてリモートコントロールシステムは、SSW FPGA の診断や修復などを短時間にかつ確実に行なわなければならない。

ターゲットとして D32 サポートのメモリーボードを用いて長期テストを行なった。まず 32 ビットの乱数を書き込み、続いてそれを読み出し、両者が一致しているかを確認した。これの一連の操作を連続して長期間行なった。VME アクセスは各種インストラクションを通して行なわれるため、使用するソフトウェアや HSC/CCI のハードウェア構造に依存してアクセススピードは制限される。ソフトウェアはアクセス速度重視にカスタマイズされたものではないため、1 サイクルの VME 読み書きスピードは約 10^4Hz であった。約 10^{10} 回の読み書きサイクルをテストし、1 度もエラーは検出されなかった。今後さらに長期テストを継続し、エラーレートを測定する必要がある。

4.6.4 JTAG アクセステスト

JTAG によるアクセスは、VME プロトコルエンコーダーとして搭載される CPLD のコンフィギュレーションを行なうのに用いられる。CPLD はそれが載るモジュールの VME 機能をすべて受け持っているため、その機能が失われると、そのモジュールに対してリモートからの VME アクセスができなくなる。特に HSC 上の VME コントローラである SPE に機能障害が生じると、リモートクレート全体に対して VME アクセスが不能になる。JTAG バスは SEU により機能障害を受けた CPLD を修復するために設置されるもので、障害を受けた CPLD は JTAG によって直ちに修復される。従って JTAG アクセスは VME アクセスよりもより根本的な機能である。ここでは JTAG アクセスに関するテストについて述べる。

JTAG バスはリモートクレートの J3 バックプレーンに設置されており、HSC 上に搭載された eTBC がこのバスを制御する (図 4.12 参照)。すべてのボードには (HSC 含む)、JTAG バスにアクセスするための玄関口となる ASP (Address Scan Port) が搭載され、各基板の CPLD と接続される。eTBC が特定の CPLD にアクセスするには、PPE と ASP とを 1 対 1 で結んでいる制御線 (N 線) でアクセスしたい ASP を直接指定し、そのゲートを開いてやる必要がある。今回、JTAG バスを用いたアクセスの対象には、HPT ボード上に搭載された CPLD (Xilinx 社 XC9500XL シリーズ [29]) を用いた。

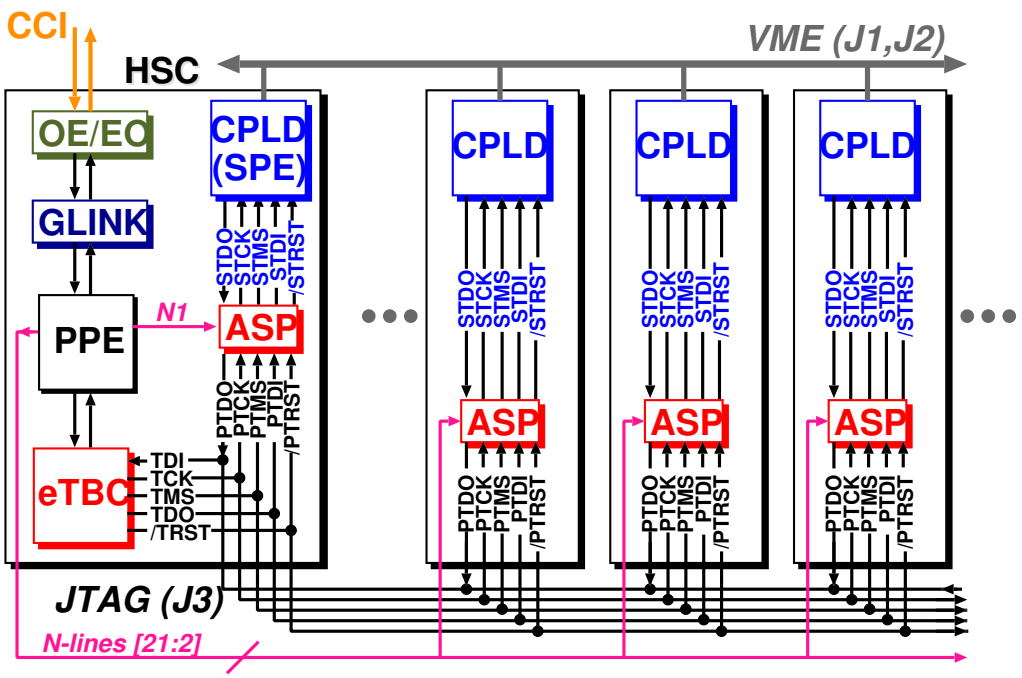


図 4.12: リモートクレートの J3 バックプレーン。 リモートクレート内での JTAG バスの経路。スレーブには SSW ボードと HPT ボードの 2 種類がある。JTAG 信号の発信点は eTBC である。バスと各ボード (HSC 含む) の CPLD の間には ASP が設置される。

JTAG を用いてスレーブモジュールにアクセスする場合、その操作には主に 2 つのインストラクションが用いられる。まずは "configJTAG" インストラクションによって N 線を選択し、HPT ボード上の ASP を開いて JTAG バスとの接続を確保する。次に "configeTBC" インストラクションによって eTBC に送るコマンドを指定する。CPLD にプログラムされるロジックはハードウェア記述言語 HDL (Hardware Description Language) である Verilog 言語を用いて記述される[9]。この Verilog ソースをでコンパイルすると[10]、SVF (Serial Vector Format) ファイル形式[11]に変換することができる。このファイルの中身をそのフォーマットに従って分析し、それを eTBC に送るコマンドのフォーマットに合わせることで、JTAG バスから CPLD の内部ロジックの書き込み/読み込みが可能となる。

今回、上記に挙げた方法を用いてテストを行なった。その結果、JTAG バス経由で CPLD にアクセスし、そのコンフィギュレーションを行なうことができた。さらにそのコンフィギュレーション・データの読み込みも行ない、書き込みデータと読み込んだそれとが一致することも確認した。コンフィギュレーション後には HPT ボードへの VME アクセスを行ない、目的通りの設定ができていることを確認した。ただし今回のテストで使用したソフトウェアは、アクセス速度が高くなるよう最適化されていない。これは、JTAG アクセスを行なう際、JTAG プロトコルに従った手順で eTBC を操作しなければならず、ソフトウェアの記述がオーバーヘッドを含んだ複雑なものとなってしまったからである。今後この最適化を行ない、長期テストによるエラーレートの測定を行なう必要がある。

[9] HDL とはハードウェアを機能レベルで記述するための言語である。ゲート化された回路を意識することなく、より高いレベルでの設計を可能にする。現在、機能記述言語として Verilog-HDL, VHDL の 2 つが主流となっている。
[10] ベンダーが提供するソフトウェアを用いる。例えば Xilinx 社の Foundation や Altera 社の MAX+PLUS II など。
[11] JTAG(付録参照) を用いたプログラミングのための業界標準のベクタ・フォーマット。このファイルから、データ/インストラクション・レジスタにスキャン入力するデータパターンが分かる。

4.6.5 応答時間測定

VME/JTAG アクセスそれぞれについてその機能が確認されたが、HSC/CCI にはリモートの制御ができるだけではなく、それをいかに短時間で行なうが問題となる。HSC/CCI 間に G-LINK を用いることで充分な帯域が確保されても、各モジュール、特にリモートコントローラ (HSC) での処理速度が遅ければ、TGC トリガー・システムでのデータ収集機能に大きな支障を来してしまう。そこで HSC の処理速度がどの程度あるかを測定した。

今回の性能評価にて HSC/CCI 操作のために使用しているソフトウェアは、必ずしもシステムの機能処理速度を意識して作られたものではない。従ってその影響がないハードウェアに依存した部分だけの HSC の応答時間 (T_{RC}) を測定した。ここで T_{RC} の定義は、(HSC にインストラクションが入って来た後の)G-LILNK Rx の出力から (HSC から CCI へレスポンスを送るための)G-LINK Tx への入力までである (図 4.13 参照)。CCI からいくつかのインストラクションを送信し、それに対する処理時間の違いを見てみた。測定にはロジックアナライザ[12]を用い、1nsec の精度で行なった。T_{RC} 測定の結果を表 4.3 に示す。

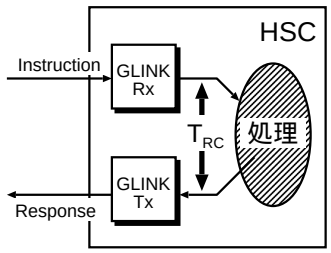


図 4.13: T_{RC} の定義

インストラクション	処理コンポーネント	T_{RC} [nsec] ([clk])
idle	PPE	122 (5)
setVMEA	SPE	244 (9)
configVME (read)	SPE+VME	496 (20)
configeTBC	PPE+eTBC	620 (25)

表 4.3: HSC モジュールの応答時間

まず PPE と SPE 自体の処理速度の比較をすると、SPE の T_{RC} が PPE のそれよりも 4 クロック多く消費している。これは PPE が調停 (アービトレーション) 機能を含んでいるためだと考えられる。PPE は、送られてくるインストラクションが PPE/SPE のどちらで処理されるべきものかを判断する。このため SPE で処理される VME 用インストラクションは、PPE での調停によりさらに 4 クロック消費される。また VME バスを使ってスレーブからデータを読み込むサイクルには、SPE での処理に加えてさらに 11 クロック (計 20 クロック) 消費している。さらに PPE と eTBC を経由して行なわれる JTAG バスを使ったアクセスの場合には、全体で計 25 クロック消費している。これは eTBC 自体へのレジスタ書き込みや JTAG プロトコル特有の手続きのため、単にスレーブのレジスタへアクセスするだけの VME の場合よりも処理時間がかかっていると考えられる。

ここで測定された応答時間をもとに、リモートコントロールでどの程度の帯域が確保できるかを見積もってみる。ここでは VME バスでの処理を約 80Mbps [24]、G-LINK の応答時間を Tx/Rx でそれぞれ 25nsec/8nsec [20]、100m の光ケーブル伝播時間を 500nsec とする。ローカルホストからインストラクションを発信して、そのレスポンスが返ってくるまでを 1 回のアクセスとすると、VME/JTAG アクセスでそれぞれ約 8Mbps/4Mbps の通信速度となる。この値と表 4.1 と比べると、オクタント当たりに必要なデータ転送時間は表 4.4 のようになる。

[12]logic analyzer。デジタル回路の動作を調べる測定機の一種。ディジタル回路の動作確認デバッグなどに使われる。被測定回路とはプローブと呼ばれる端子を用いて接続し、信号を読み取ってデジタル化して記録し、ディスプレイにその波形をグラフィックス表示したりすることができる。通常、プローブは複数あり、同時に数本から数十本もの信号を測定できる。

設定対象	オクタント当たりに要する時間
SSW FPGA	∼3 [sec]
PP/SLB/HPT ASIC	∼0.2 [sec]
テストパターン (10^5 イベント)	∼300 [sec]

表 4.4: オクタント当たりのデータ転送時間

例えば 4.1 節で見積もった SSW FPGA の SEU 発生頻度 6 [SEUs/hour/octant] の場合、1 つのオクタントで $\frac{3600[\mathrm{sec}](=1\mathrm{hour})}{6[\mathrm{SEUs}]} = 600[\mathrm{sec}]$ 毎に 1 度の SEU が発生すると考えられる。表 4.4 より全 FPGA にアクセスするために費やされる時間は約 3 秒であるため、仮に 3 秒毎に診断を繰り返すとする。この場合、たとえ FPGA に SEU が発生してその機能が失われたとしても、それによって損失するデータ収集時間は全体の $\frac{3\ [\mathrm{sec}]}{600\ [\mathrm{sec}]} \approx 0.5\ \%$ となる。これにより、SSW の機能には大きな障害を与えることなく、その修復を行うことができると考えられる (図 4.14 参照)。

実際の VME アクセスやリモートコントロールシステム操作は、使用するソフトウェアによって処理時間は異なるが、HSC/CCI システム内での処理による大きな遅延はないことが確認できた。従って HSC/CCI システムは、SEU 診断プログラムを実行できる性能を持っていると言える。

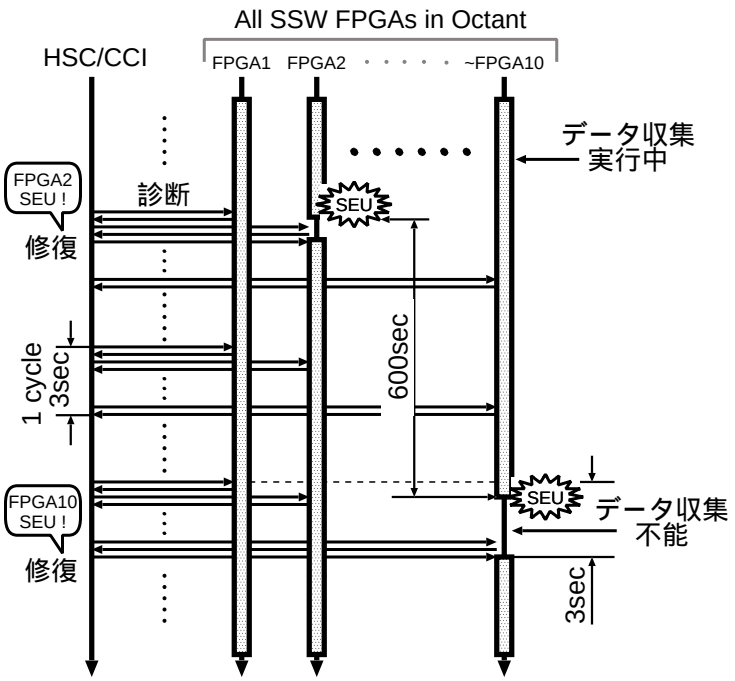


図 4.14: 実験ラン中の SSW FPGA の診断と修復。 HSC/CCI はある間隔 (この場合は 300sec) でオクタント内にある全 FPGA の診断を行なう。診断自体は FPGA の機能を中断せずとも実行可能である。SEU 発生が検知されると、検知された FPGA だけが修復される。

4.7　スライステスト

TGC エレクトロニクスの開発は各パートで独立して行なわれ、それぞれ単体での動作確認のみが行なわれていたが、各パートのエレクトロニクスが出揃い、トリガー・システム全体としての動作テストが可能になった。そこで 2001 年秋から、TGC エレクトロニクスの統合的接続テスト (スライステスト[13]) が行なわれた。このテストではトリガー部、読み出し部、コンフィギュレーション部についてのテストがそれぞれ独立して行なわれた。ここではそのテストにおいて HSC/CCI が関係してくるコンフィギュレーション部のテスト結果について述べる。スライステストにおけるシステム全体の接続図を図 4.15 に示す。このうちコンフィギュレーション部のテストは主に HSC/CCI システムが担当し、HSC クレートに載る HPT/SSW モジュールの FPGA/CPLD のコンフィギュレーション、SSW 経由での PS ボード内 PP/SLB の設定が主な重要検査項目である。

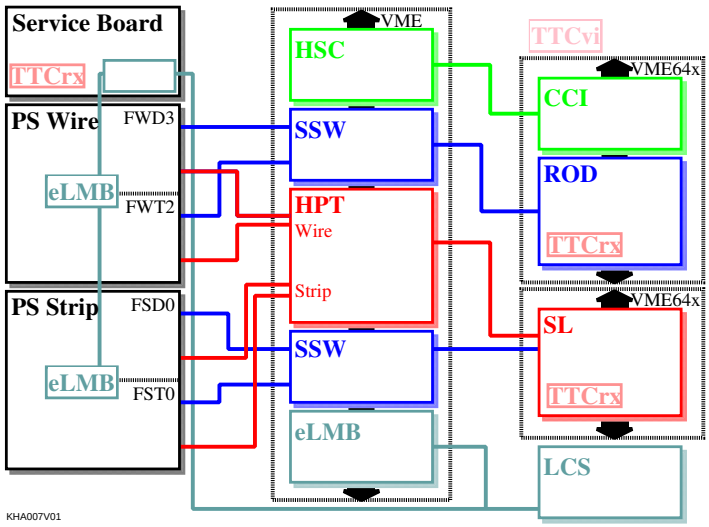


図 4.15: スライステスト 2001 における接続図

4.7.1　セットアップ

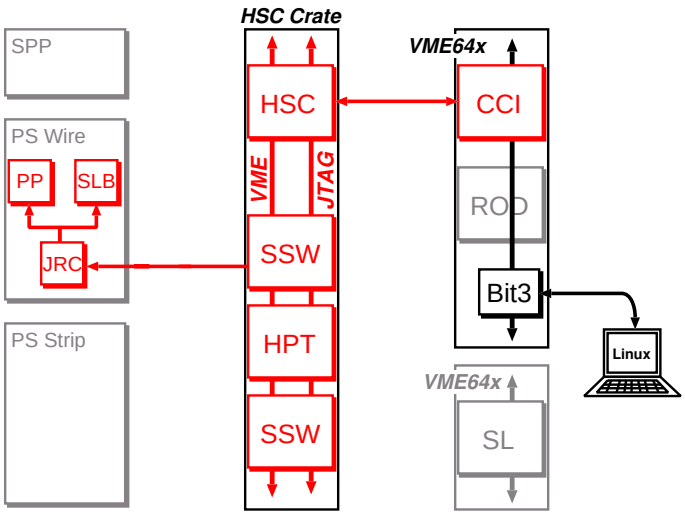


図 4.16: コンフィギュレーション系テスト

[13]TGC エレクトロニクスの入力から出力まで、チャンネル数を限って一貫的に操作することから、スライスという名前が用いられている。

コンフィギュレーション部のテストに用いられる主な経路を図 4.16 に示す。また、設定される対象、およびその設定を行なうコントローラを表 4.5 にまとめる。

ターゲット	搭載ボード	機能	コントローラ
HPT ASIC	HPT	トリガー	HSC
SSW FPGA	SSW	読み出し	HSC
CPLD	HSC/HPT/SSW	VME プロトコルエンコーダ	HSC
JRC	PS	ルーティング	SSW (HSC))
PP	PS	トリガー	SSW (HSC)
SLB	PS	トリガー/読み出し	SSW (HSC)

表 4.5: コンフィギュレーション系テストのターゲット

まず HSC 内クレートで設定すべき LSI は、HPT ASIC、SSW FPGA、HPT/SSW/HSC CPLD である。HPT ASIC と SSW FPGA は VME 経由で、CPLD は JTAG 経由で設定される。FPGA と CPLD については SEU 対策のため定期的な診断や修復機能もサポートする。次にフロントエンド・エレクトロニクスについては、PP や SLB といった設定すべき LSI が PS ボード上に設置されている。これらへのアクセスには SSW を経由し、さらに PS ボード上にある JRC を中継して行なわれる。

SLB-HPT 間や SSW-PS ボード間には、LVDS 信号送信のためにカテゴリー 5 ケーブル、CCI-HSC 間には G-LINIK 信号送信のために光ケーブルが使用される。スライステストでは 7m のカテゴリー 5 ケーブル (本実験時 15m)、20m の光ケーブル (本実験時 90m) を用いた。

今回のスライステストでは、SSW についてはその開発用汎用モジュールである PT4 (Prototype version.4) を用いた。これは 3 つの FPGA (Xilinx XCV300 ; IO 数 316) を搭載し、任意のロジックの書き込みが可能な汎用 VME モジュールである。外部入出力部をアタッチメントで分離可能となっており、例えば G-LINK や LVDS などの様々な信号を扱うことができる。

4.7.2 コンフィギュレーション系テスト

コンフィギュレーション系テストにて行なうべき重要検査項目は、(1)HPT ASIC のパラメータ設定、(2)SSW FPGA の設定・診断、(3)HSC クレート上の VME プロトコルエンコーダの設定・診断、(4) フロントエンド (PP/SLB) の ASIC の設定　である。今回のテストでは 4.6 節で述べた HSC/CCI システムのデバッグ用ソフトウェアをそのまま用い、まず各モジュールとの通信が正しく行なえるかどうか確認することを優先した。このソフトウェアは通信速度が高まるよう最適化されておらず、従って今回のテストではデータ転送レートに対する評価は行なっていない。以下にそれぞれのテスト結果について述べる。

(1) HPT ASIC のパラメータ設定は、HSC クレートの VME バスを用いて行なわれる。HPT ASIC のパラメータ設定用ピンは CPLD に接続されており、CPLD 内のレジスタと HPT ASIC のそれとを 1 対 1 に対応させているからである。従って HSC/CCI システムによる VME アクセス方法を用いればよく、これは HSC/CCI の動作試験時と操作上は同じである。設定内容を HPT ASIC が用意するレジスタ構成に合わせることで、正しくデータを設定するできることができた。また今回用意した HPT ボードでは、オプション的に JTAG バスを用いた ASIC の設定も可能な仕様であったため、それによるテストも行なった。HSC/CCI 動作試験で行なった JTAG アクセス手法を用い、HPT ASIC が用意する JTAG 用インストラクション [30] を操作することでパラメータ設定できることを確認した。

(2) SSW FPGA の設定・診断も、HSC クレート上の VME バスを用いて行なわれる。設定内容はコンフィギュレーション・データのダウンロードであるが、SEU を考慮して定期的な読み返しによる診断も必要である。今回のテストでは SSW の代わりに PT4 をターゲットとした。FPGA へ送るコンフィギュレーション・データのフォーマットには、アスキー・ファイル (rbt ファイル) を用いた。このフォーマット化されたコンフィギュ

レーション・データの内容を、HSC/CCI で用意されている VME アクセスのインストラクション用に加工してダウンロードを行なった。結果として FPGA のコンフィギュレーションを実行することができた。正しいデータがダウンロードできたかどうかは、実際に設定したプログラムを FPGA で実行させることで確認を行なった。

(3) HSC クレート上の VME プロトコルエンコーダの設定・診断には、HSC クレートの J3 バックプレーンにある JTAG バスが用いられる。JTAG バスを用いたアクセスは、HSC/CCI システムの動作試験において確立されているため、それと同様の方法にてコンフィギュレーションを行なった。今回のスライステストでは SSW の代わりに PT4 を使用しているため、SSW に関してはテストできなかったが[14]、HSC/HPT に関しては問題なくコンフィギュレーションできることを確認した。また書き込みだけではなく読み出し検査 (診断) も行ない、書き込んだデータと読み返したそれとが一致していることも確認した。

(4) フロントエンド (PP/SLB) ASIC のパラメータ設定には、JTAG プロトコルが用いられる。この設定データは、SSW から LVDS 信号にて PS ボードへと送られ、JRC を経由してから PP/SLB へと入る。SSW はフロントエンド・エレクトロニクス設定の際には、JTAG コントローラとしての役割を持つ。

SSW FPGA に設定用のロジックをダウンロードし、それを適当に操作して JRC 設定用の JTAG プロトコルを送信し、まずはその内部経路を確立した。さらに続いて PP/SLB にアクセスし、遅延やマスクなどのパラメータ設定ができることを確認した。また SLB に対してテストパターンのダウンロードも行ない、そのデータを用いてトリガー部のテストや読み出し部のテストを行ない、SLB と SL/ROD との間で入出力データの整合性を確認することができた。

以上 4 つの項目についてそれぞれテストを行なった。様々な経路を用いて各 LSI の設定を行なった結果、開発した HSC/CCI システムが対象となるエレクトロニクスを正しく制御できることが確認された。しかし使用ソフトウェアが転送速度を高めるために最適化されたものではなかったため、各エレクトロニクスとの接続および制御自体を確認するだけに留まった。また今回のテストではトリガー部、読み出し部、コンフィギュレーション部が、それぞれ独立して動作せざるを得なかった。これは各パートにおいて使用されるソフトウェアが全く独立したものであり、各エレクトロニクスを統合的に扱うことができなかったためである。HSC/CCI システムに関しては、今後より本実験に近い複雑な状況の中での動作試験や長期テストを行ない、その設定時間やエラーレートを測定する必要がある。そのためにはスライステストを統合的に取り扱えるようなソフトウェアの環境整備が必要である。

4.8 HSC/CCI 開発のまとめ

ATLAS 実験では、放射線環境下に設置される TGC エレクトロニクスを遠隔からコントロールするためのシステムが必要になる。このシステムは、対象となるエレクトロニクスのパラメータ設定やコンフィギュレーション・データのダウンロードだけでなく、SEU 対策のための診断・修復機能を持つことが望まれる。また短時間でそれらの作業が行なえるように、充分な帯域と処理スピードが要求される。

今回それらの要求を満たすべく、リモートコントロールシステムを開発した。このシステムはリモート側のコントローラである HSC と、ローカル側のインターフェースとなる CCI の 2 つのモジュールから構成される。それらの間は光通信によって常時接続され、高速にデータ転送が行なわれる。リモート側には VME バスと JTAG バスが用意され、HSC はそれらのバスを使ってスレーブのコントロールを行なう。具体的な制御としては、CCI があるフォーマットを持ったインストラクションを HSC に送信し、HSC がそれをデコードして命令が実行される。

また設計に基づいて試作機を製作し、それらを用いて要求通りの機能を実現できるかを評価した。制御対象には 32 ビットメモリーボードや HPT ボードを用いた。リモートコントロール上、特に重要となる VME バスを用いた制御と、JTAG バスを用いたそれとが、設計通り正しく行なえることが確認できた。HSC での処理時間の測定も行ない、リモートからの制御を可能とする充分な性能があることが分かった。さらに TGC エレク

[14] PT4 は J1/J2 のみサポートされた 6U サイズのモジュールであり、JTAG バスのある J3 バックプレーンにアクセスする手段がないため。

トロニクスの統合的接続テスト (スライステスト) でもその機能をテストし、トリガー・システムの中で正しく他のエレクトロニクスのパラメータ設定やコンフィギュレーションを正しく行なえることを確認した。

今回 HSC/CCI を用いたテストでは、開発初期ということで、まず VME/JTAG アクセス自体の確認を優先させたデバッグ用ソフトウェアを用いた。このソフトウェアは、通信速度が高まるよう最適化されたものではないため、対象となるエレクトロニクスへの接続および制御を確認するだけに留まった。

今後の課題としては、アクセススピードに対して最適化されたソフトウェアを開発し、それを用いてデータ転送レートや長期テストにおけるエラーレートを測定する必要がある。またスライステストにおいて、全 TGC エレクトロニクスを統合的に取り扱えるようなソフトウェアの統合環境を整備し、トリガー部や読み出し部のテストと並行してテストを行なうことも必要である。また HSC ボードに実装される部品は耐放射線性が要求されるため、そのための具体的な選定や開発を行なわなければならない。特に PPE は HSC 上で最も重要な JTAG アクセスのための機能を持っており、今後 ASIC として開発を行なう必要がある。

第5章　放射線照射テスト

LHC における ATLAS 実験は 2006 年から始まり、少なくとも 10 年間は稼働を予定している。このため検出器に組み込まれる全ての半導体素子には、苛酷な放射線に耐えることが要求される。TGC が設置される領域は、ビーム衝突点から離れたエンドキャップ部分であるものの、3.4 節で述べたように相当な量の放射線を浴びることが予想されている。HSC/CCI システムのうち、特に実験ホール内に設置されるリモートコントローラ (HSC ボード) は、この放射線に耐えうるだけの能力を持っていなければならない。放射線環境下で安定に動作して初めて、スレーブモジュールの定期的診断・修復が可能となる。そこで HSC ボードが ATLAS 実験レベルの放射線に対してどの程度の耐久性を保持しているかを調べるため、γ 線 (5.1 章) および陽子ビーム (5.2 章) を用いて放射線照射テストを行なった。被照射物には HSC で使用する予定の LSI を用いた (表 5.1)。

	γ 線テスト	陽子ビームテスト
線源	^{60}Co	50MeV 陽子
実験施設	RCNST	CYRIC
被照射物	ASIC (Rohm 0.35μm)	CPLD (Xilinx/Altera)

表 5.1: 放射線テストの内容

5.1　γ 線テスト

ここでは東京大学原子力研究総合センター (RCNST [31]) にて行なったγ 線テスト、すなわち TID (Total Ionising Dose) に対するテストについて述べる。

放射線による LSI への影響は、LSI 内のシリコンのサイズや内部信号経路の取り方などによって決まる。それらの設定は 半導体メーカー各社で異なり、放射線の影響もプロセスによって違ってくる。

HSC ボードに搭載される PPE は、4 章で述べたように JTAG コントロールやリセットなどの基本的な機能を持っている。このため最終的にはローム社の 0.35μm プロセスを用いた ASIC として実装する予定である。従ってこのプロセスで生産される ASIC の、放射線に対する耐久性を評価する必要がある。今回は実際の PPE ASIC がまだ開発されていないため、同じローム社 0.35μm プロセスで生産された、2 つの SLB ASIC を用いてテストを行なった。

TGC エレクトロニクスが満たすべき耐放射線基準値 (RTC) は、3.4.1 節で示したように約 200Gy (20krad) である。これだけの量の放射線を照射した後でも、本来そのチップが持っている機能が正常に動作すれば、RHA が提唱する耐放射線基準を満たしたことになる。

今回この基準値を満たすために、^{60}Co を用いたγ 線照射試験を東京大学原子力研究総合センター (RCNST) にて行なった。この施設でのγ 線強度はフリッケ線量測定[1]により測られており、半減期を考慮すると線量率は約 50krad/hr と見積もられている。

まず照射テストの前に IC の基本的動作を確認するため、1 つの ASIC に対して

(1) 電源のみ投入

(2) クロックのみ入力

[1]硫酸鉄 (II) の酸性溶液で、放射線照射によって Fe^{+2} が Fe^{+3} に酸化される反応を利用して吸収線量を測定する方法。変化した Fe^{+3} の濃度を分光光度計などで測定し、吸収線量を算出する。

(3) クロックとデータを入力

の 3 つの場合について動作させ、V_{cc} 電流 (I_{cc}) を測定した。ここでクロックには 40MHz を用い、データには出力結果が分かっている 5 種類の入力パターンを用いた。TID による効果は半導体素子の内部電流を上昇させるため、I_{cc} を測定することでそのチップの損傷の程度を知ることができる。照射後のアニーリングの効果を見るためにも、照射前以外にも、照射直後、24 時間後、9 日後とそれぞれの時点で、先の 3 つの場合について動作をさせ、電流測定を行なった。LSI の機能は、あらかじめ出力結果が分かっている入力データを連続して与え、正しい結果が得られることでその動作を確認した。

5.1.1 セットアップ

まずγ 照射試験のセットアップを図 5.1 に示す。線源の ^{60}Co は通常 2 階に収納されており、照射時にだけモーターによりシリンダーを通して照射室に入れられる。今回の照射テストでは特別なテストボードは作製せず、SLB ASIC のデバッグ用基板をそのまま流用した。2 枚の被照射ボードにはそれぞれ SLB ASIC が 1 つずつ搭載され、いずれも 3.3V の電源が供給される。また照射中に内部ロジックを動作させたものとそうでないものを比較するため、片方の IC には照射中にクロックを供給した。PC に接続された機器を用いて、2 つの ASIC に流れる I_{cc} をそれぞれ独立に測定した。

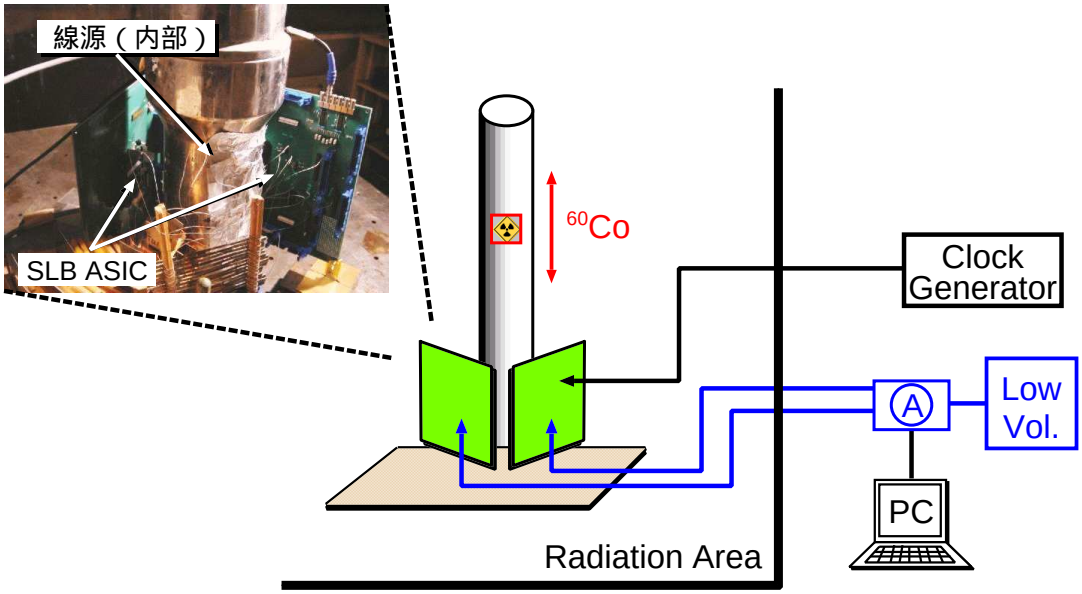


図 5.1: SLB ASIC 照射試験セットアップ図。 2 枚のテストボードにはそれぞれ SLB ASIC が搭載される。両者ともに 3.3V の電源が供給される。照射時、片方にはクロックも供給される。照射時に線源はシリンダー内部を通って SLB ASIC の位置まで下ろされる。

5.1.2 結果と考察

今回、約 200Gy (20krad) 分の照射を行なった。照射前後に測定した I_{cc} の推移を図 5.2、5.3、5.4 に示す。図中には照射中にクロックを投入したものと、そうでないものとが示されている。それぞれ各時間で (1) 電源のみ投入、(2) クロックのみ入力、(3) データを入力　した場合の値であり、各値には計測器の確度からくる誤差を付けてある。またデータ入力した場合の図 5.4 で、特に照射前と照射後の電流値だけをピックアップしたものを表 5.2 に示す。図や表から分かるように、放射線による目立った効果は観測されなかった。また各時点で行なった動作確認でも、2 つの ASIC のどちらにも障害は見られなかった。

以上のことから、ATLAS 実験中に照射されるγ 線量に対して、SLB ASIC が安定に動作することが確認された。今回照射を行なった ASIC は SLB ASIC であったが、HSC ボードに搭載予定の PPE ASIC も同一プロ

セスにて開発されるため、その場合も問題はないことが予想される。ただし同一プロセスであっても、内部ロジックによってトランジスタや信号経路の配置配線が異なり、放射線に対する耐性はそれによっても変化するため、PPE ASIC が開発され次第、それをテストする必要がある。また今回のテストで使用した ASIC は 2 つだけであるため、今後、より多くの ASIC に照射を行ない、統計をためていく必要がある。

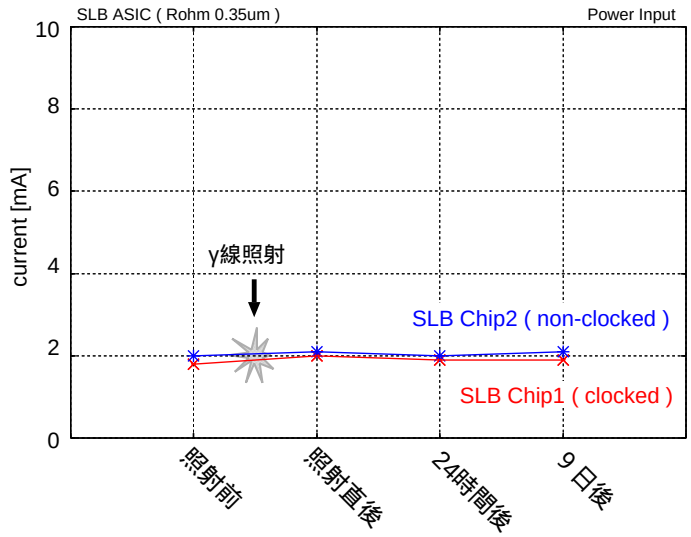


図 5.2: 電源のみを投入した場合の電流値の推移。　それぞれのチップに電源のみを供給した時に消費した電流値を示す。チップ 1 (clocked) はγ 線照射中にクロックを投入したもの、チップ 2 (non-clocked) は照射中に電源だけ投入したものである。

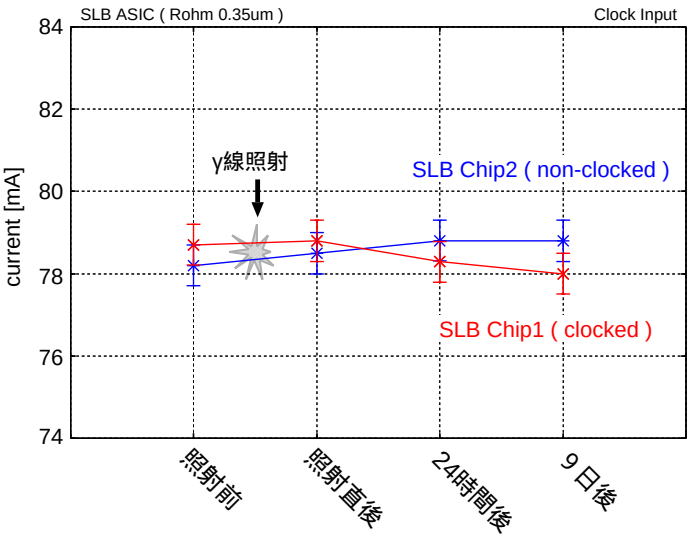


図 5.3: クロックを入力した場合の電流値の推移。　それぞれのチップにクロックを供給した時に消費した電流値を示す。エラーは測定器の確度によるものである。以下同上。

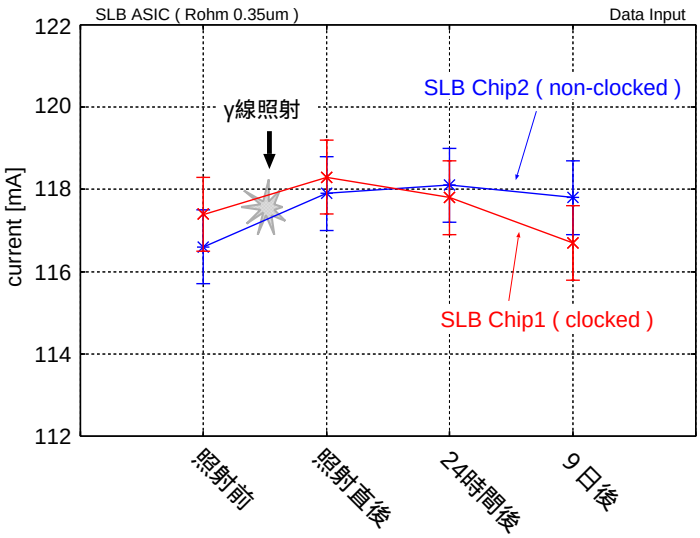


図 5.4: クロックとデータを入力した場合の電流値の推移。 それぞれのチップにクロックとデータを入力した時に消費した電流値を示す。

SLB ASIC	照射前 [mA]	照射後 [mA]
照射中クロック投入	117.7 ± 0.09	118.3 ± 0.09
照射中電源のみ投入	116.6 ± 0.09	117.9 ± 0.09

表 5.2: 照射前後でのデータ入力時の電流値の変化。 クロックとデータを入力して電流測定した場合の、照射前後での値のみをピックアップしたもの。電流値の変化は照射前後でエラーの範囲内に埋まり、目立った変化がなかったことがわかる。

5.2 陽子ビームテスト

TID に対してはクリアすべき放射線量が示されているが、SEU に対してはシュミレーションから与えられているのはハドロンのフルエンス (Φ) のみで、SEU レートに対する判断基準は各自で設定しなければならない。SEU レート (R) を求める式は $R = \frac{\sigma\Phi}{T\ (=10\text{year})}$ で与えられるが、半導体デバイスの SEU 断面積 (σ) は不明である場合が多い。TGC エレクトロニクスで使用する予定の LSI の σ も不明であるため、それを測るのが今回の試験の目的である。被照射物には Xilinx 社と Altera 社の各 CPLD を用意し、2 種の CPLD の比較を行なった。これら 2 つの CPLD は製造プロセスやアーキテクチャーが全く異なり、従って放射線に対する影響もそれぞれ違ってくる。今回照射テストに使用した CPLD の仕様を表 5.3 に記す。

特徴	XC95288XL-PQ208-10 (Xilinx 社)	EPM7512AE-QC208-7 (Altera 社)
ゲート数	6400	10000
マクロセル	288	512
テクノロジー	フラッシュ	EEPROM
今回テストした数	3	2

表 5.3: Xilinx 社 CPLD と Altera 社 CPLD の比較

この 2 種類のチップの大きな違いとして、コンフィギュレーションデータの格納に Xilinx 社の CPLD はフラッシュ・メモリを用いているのに対して、Altera 社のそれは EEPROM (Electrically Erasable PROM) を用いている。いずれも電気的に全ビット (EEPROM の場合はブロック単位毎) の内容の消去が可能で、さらにその内容の書き換えが可能な読み出し専用メモリである。EEPROM は 1 ビットに 2 つのトランジスタが必要であるが、フラッシュ・メモリでは 1 つのトランジスタで済むため、一般的に EEPROM の方が放射線には弱いと言われている。しかし民生用半導体メモリの高集積化・高速化が進んだ現在、いずれの場合でも放射線耐性は低下していることが予想される。またこのような半導体に対する放射線照射試験は航空・宇宙産業においてよく研究されており、Xilinx 社の製品と Altera 社のそれとでは、後者の方が放射線に強いことが報告されている [18]。

今回、これらのチップの放射線に対する耐久度を定量的に測るため、東北大学サイクロトロン・ラジオアイソトープセンター (CYRIC) にて、約 1nA、50MeV のエネルギーの陽子ビーム (直径 ϕ20) を用いた試験を行なった[2]。放射線による SEU の影響は、主に 20MeV 以上のハドロンにより引き起こされる。20MeV 以上のハドロンにおける SEU 断面積はほとんど一定であるため [17]、エネルギー依存性は無視してよい。実験ではビームのプロファイルや SEU の回数、LSI に流れる電流をそれぞれ測った。以下具体的なセットアップと実験結果について述べる。

5.2.1 セットアップ

まず照射する CPLD の内部ロジック図を図 5.5 に示す。CPLD 内には、回路構成を実現するためのプログラム素子 (システムレジスタ) と、開発者が任意に使用できるフリップフロップ (ユーザーレジスタ) の 2 種類のメモリがある。今回 CPLD の内部には、VME プロトコルエンコーダのロジック部と、シフトレジスタ部をプログラムした (表 5.4 参照)。これらの内容は JTAG によってコンフィギュレーションされる。シフトレジスタにはフリップフロップが直列に組まれており、"010101..." の値を設定し、SEU によって反転したデータが読み出せるようになっている。また CPLD に供給される電流もモニターされる。CPLD は Xilinx 社のものを 4 つ、Altera 社のものを 2 つ用意した。前者には 120 段のシフトレジスタ、後者には 50 段のそれをプログラムした。

次に今回の照射試験用に新たにデザイン・製作した照射ボードの構成図を図 5.6 に示す。一つの照射ボードには最大 4 つの CPLD が搭載可能であり、インターフェースとしてコントロール用の 34 ピン・コネクタ、JTAG

[2]CYRIC=Cycrotoron and Radiaisotope Center, Tohoku Univ. [32] 。最大 90MeV、50μA の陽子を作り出すことができる。実験は 12 月 17 日から 21 日に行ない、そのうちビームタイムは 48 時間であった。ビーム電流約 1nA はビームストッパーでの値。

プログラム内容	使用レジスタ
VME プロトコルエンコーダ	システムレジスタ
シフトレジスタ	システムレジスタ、ユーザーレジスタ

表 5.4: CPLD 内部のレジスタの種類

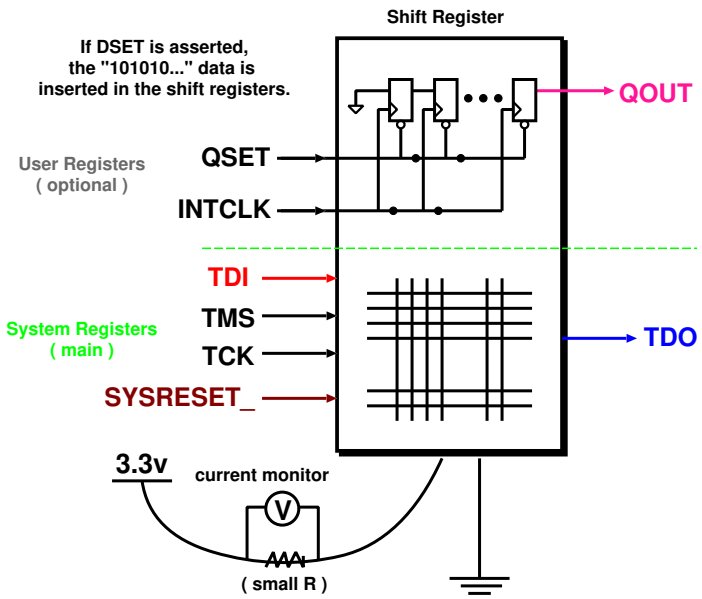


図 5.5: CPLD 照射試験用ロジック

用ポート、電源ピンの 3 種類が設置される。JTAG 用ポートと CPLD の間にはデマルチプレクサが設置され、どの CPLD に JTAG ラインを引き込むかの選択が行なわれる。照射ボードは、Xilinx 社の CPLD 搭載用のものと、Altera 社の CPLD 搭載用のものの 2 枚を用意した。Altera 社の 2 つの CPLD は図 5.6 の Chip_2 および Chip_3 の位置に設置した。

今回のテストの全体図を図 5.7 に示す。照射室に設置された照射ボードからは、コントロール用のフラットケーブル、JTAG 用のケーブル、電源供給用のケーブルの 3 つのラインが伸ばされる。コントロール用のラインは、VME クレート内の PT3 ボードに接続され、Linux OS が走る PC を用いて照射ボードの操作は行なわれる。(PT3 ボートとは、FPGA を 4 つ搭載した汎用 VME モジュールであり、VME 経由でここに必要なロジックを書き込んで使用する。ここに書き込むロジックを変えることにより、このモジュールは様々な用途に使うことが可能である。インターフェースとしては、フロントパネル側に 34 ピンヘッダが二段重ねになったものが二つ取り付けられている。これらは 4 つの FPGA と接続されており、計 64 本の入出力線として用いられる。詳しくは文献 [5] を参照されたい。) JTAG 用のケーブルは Windows OS が走る PC に接続され、コンフィギュレーション・データのダウンロード時の他、照射によってそのデータが書き換えられたかどうかを調べるための読み返し時にも用いられる。電源用のラインは電源装置に接続されるが、また同時にデジタル・マルチメータにも接続され、PC によって電流値が読み出される。照射室に設置される PC には直接アクセスできないため、実際にはそれらをネットワーク経由で遠隔から操作した。

また今回のテストでは、照射ボードに複数搭載された CPLD を一つずつ順時照射していくため、そのセットアップを短時間で行なえるよう、遠隔からのオンライン操作が可能なムービングステージ (XY ステージ) を導入した。さらにビームダンプ手前には、XY ステージの動きが分かるようにカメラを設置し、制御室から実験室内の様子をモニターした。図 5.8 に照射室でのセットアップを示す。

図 5.9 に XY ステージのセットアップを示す。XY ステージにはアルミフレームが固定され、その上にアクリルフレームと照射ボードの両方が乗せられる。アクリルフレームには、ビームハローをモニターするための硫化亜鉛 (ZnS ; Zinc sulfide) が設置される。一方照射ボードの CPLD 上には、ビーム・プロファイルを計るため

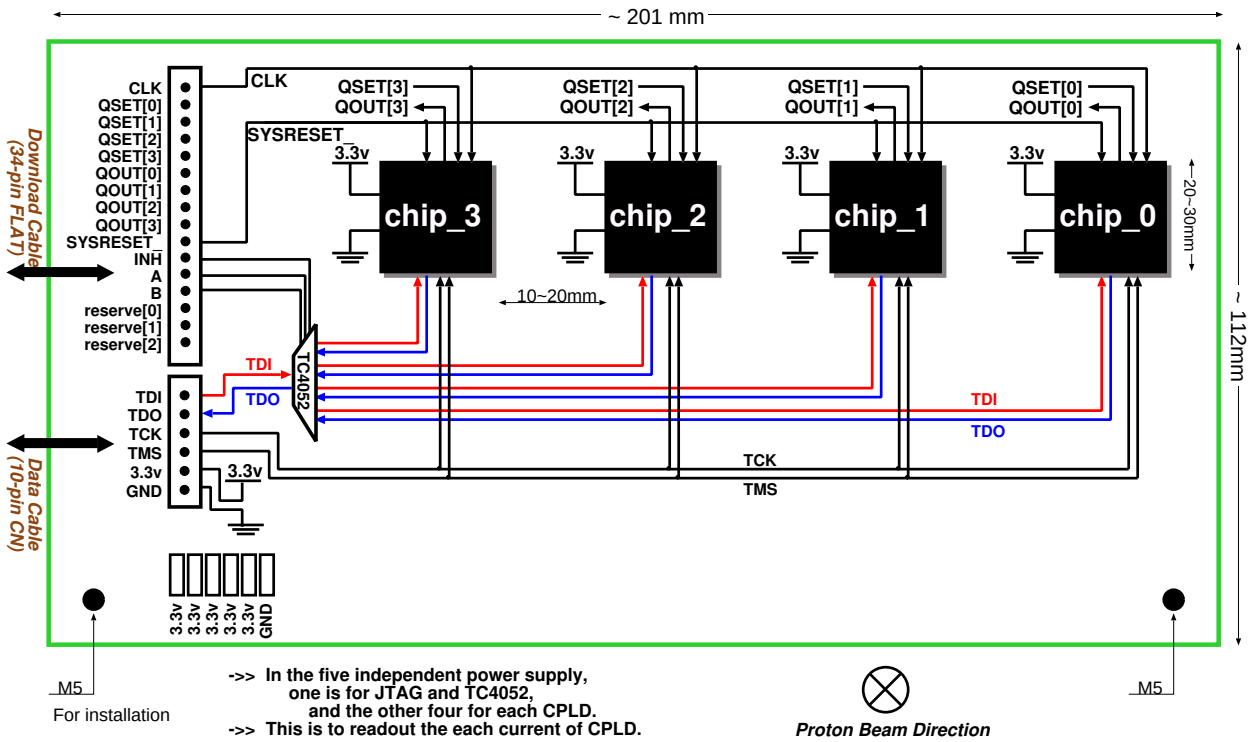


図 5.6: 照射試験用テストボード

の Cu フォイル (25mm×25mm 厚さ 100μm) が張り付けられる。

テストの手順を図 5.10 に示す。ボードが照射室に設置されると、それと接続された PT3 ボードの初期化を行ない、ボード上の CPLD やデマルチプレクサのコントロールができるようにする。ボード上に搭載された 4 つ (Altera 社の時は 2 つ) の CPLD のうち、照射するチップをビーム位置まで XY ステージを用いて移動する。デマルチプレクサで照射する CPLD の JTAG 経路を選択し、JTAG を用いてそのチップをコンフィギュレーションする。シフトレジスタに "0101010..." の値を入力した後、チップにビームを照射する。照射中、約 10 秒に 1 回のサイクルでシフトレジスタの読み出しと JTAG による診断 (Verification) を行なった。前者はユーザーレジスタの SEU 確認、後者はシステムレジスタの SEU 確認に対応する。シフトレジスタ (ユーザーレジスタ) に SEU があった場合にはそれを記録した。システムレジスタに障害 (診断エラー) が発見された場合は CPLD を再度コンフィギュレーションして次のサイクルに入った。実際のテスト時では、ビームタイムの都合上、4 つ用意した Xilinx 社の CPLD は 3 つのみの照射となった (Chip02 は未照射) 。表 5.5 に照射した順番を示す。ビームストッパーでのビームカレントを表に示すような値に設定して実験を行なった。

照射した順番	被照射物	ビームカレント
(1)	Xilinx 00	4 [nA]
(2)	Xilinx 01	4 [nA]
(3)	Xilinx 03	1 [nA]
(4)	Altera 03	1 [nA] 途中から 4 [nA]
(5)	Altera 02	1 [nA]

表 5.5: 照射した順番とビームカレント設定

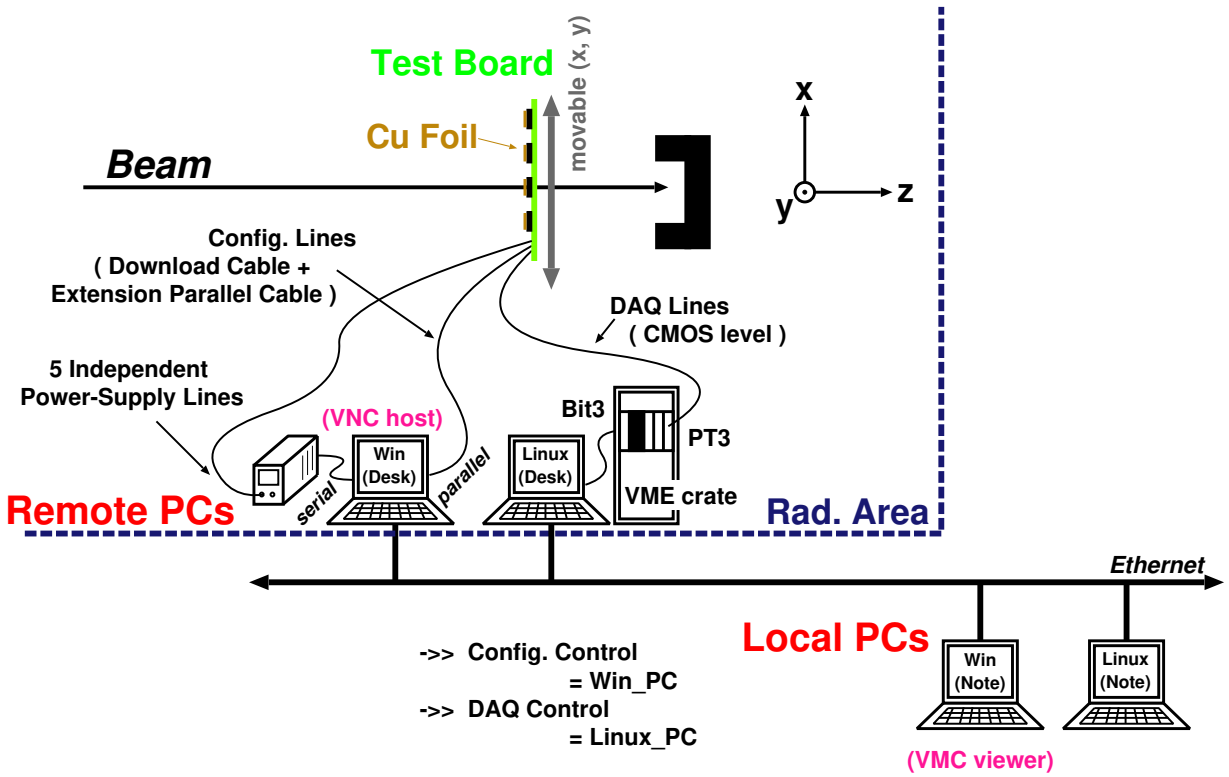


図 5.7: 放射線照射試験セットアップ

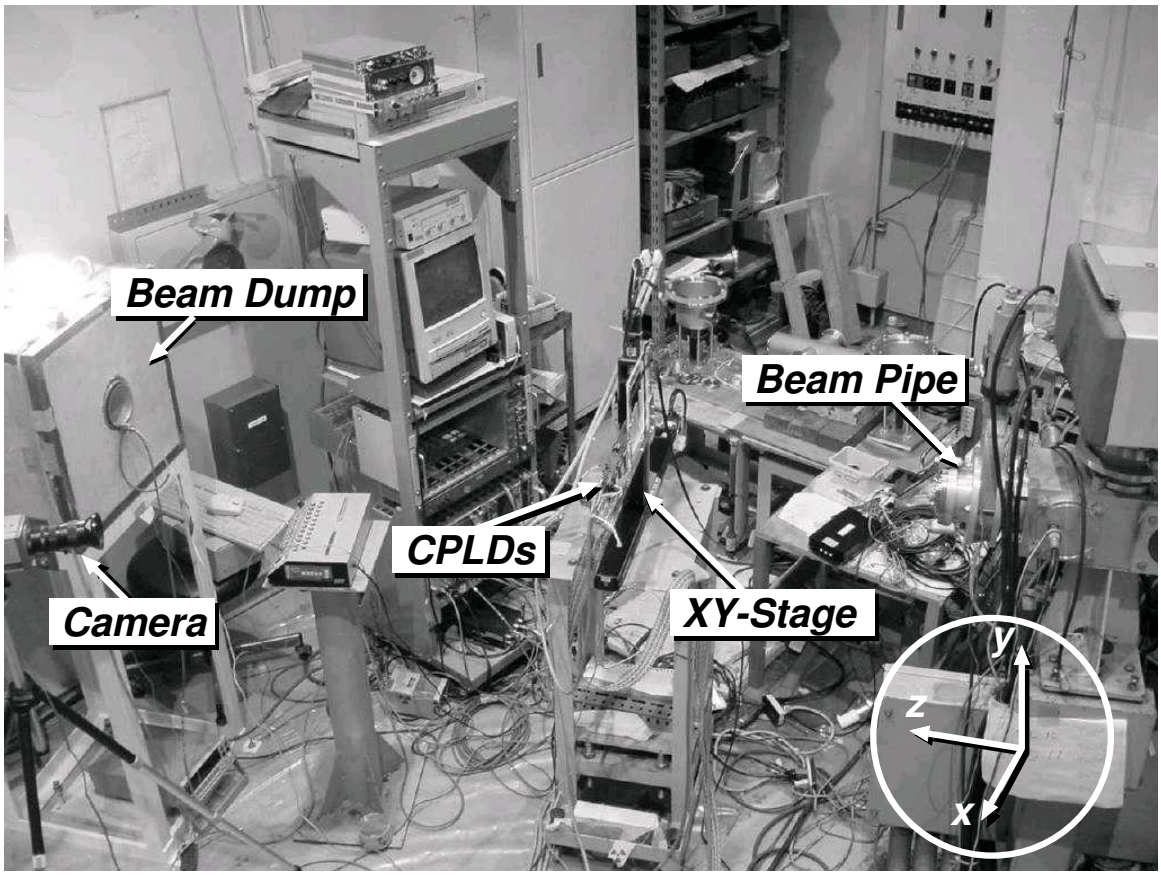


図 5.8: セットアップ写真 (全体)

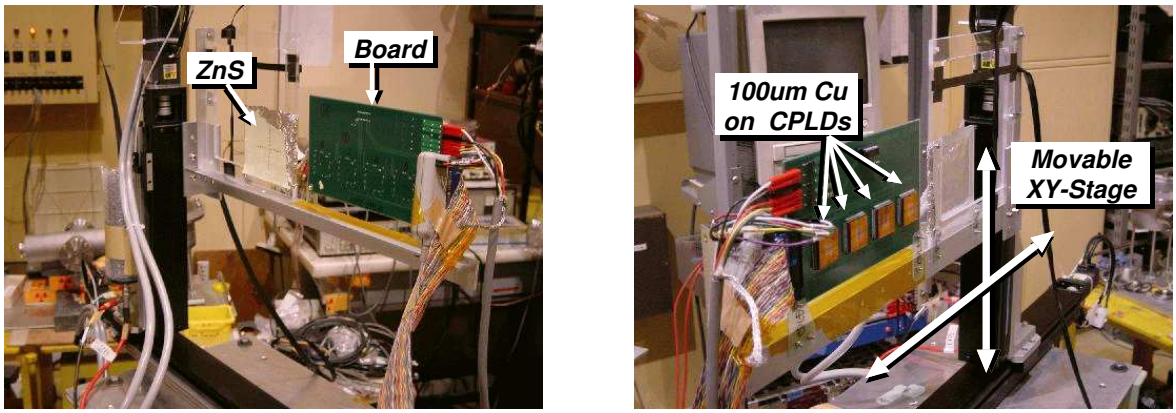


図 5.9: セットアップ写真 (照射ボード)。 ターゲットである CPLD の表面には、ビームプロファイル測定用に Cu フォイルが設置される (右図)。

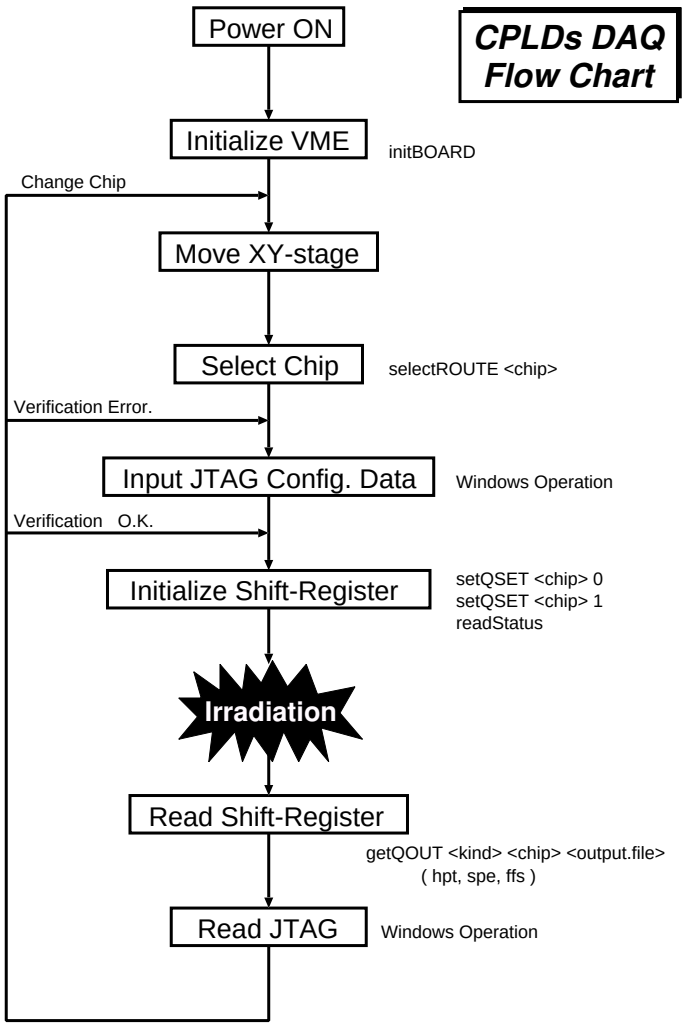


図 5.10: 照射テストの手順

5.2.2 結果と考察

まずビームのプロファイル測定について述べる。CPLD の上面に張り付けた Cu フォイルを 5mm×5mm 角ずつに等分割し、放射化されたフォイルから出る放射線を GM 管を用いて各断片毎に測定した。各チップで測定されたビームプロファイルの広がりを図 5.16 に示す。図を見ると僅かながら中心位置から外れているが、これは照射室にて測量した位置と、モニター用カメラで見える被照射物の位置とが若干違っていたためである。しかし本来ビームを照射するべき LSI の大きさは、一般的に 5mm×5mm 程度のサイズであり [33]、LSI はビームの中心領域に入っていたと考えられる。

次にビームのフラックスは、放射化されたフォイル (分割前) から出るγ 線を Ge 検出器にて測定し、そのスペクトル分布のピークを解析して求めた (図 5.17 参照)。線量測定にはこれらのピークのうち、他の各種のピークとの接近もなく、計数も多い ^{61}Cu から放射されるγ 線 (E_γ=283 [keV]) を用いた。放射性各種生成の式は、生成中の崩壊も考慮すると以下のように表される。(各パラメータについては表 5.6 を参照されたい。)

$$\frac{dN}{dt} = \phi \cdot \sigma_{\rm eff} \cdot N_t - \lambda N$$

これを解き、$C_\gamma = \epsilon \cdot Br \cdot \int_{T_m}^{T_m+T_c} \lambda N(t) dt$ を用いると、フラックスの平均は

$$\bar{\phi} = \frac{C_\gamma \cdot \lambda}{N_t \cdot \sigma_{\rm eff} \cdot Br \cdot \epsilon \cdot (1 - e^{-\lambda \cdot T_r})(e^{-\lambda \cdot T_m} - e^{-\lambda(T_m+T_c)})}$$

と表すことができる。この解析から得られた結果はフラックスの平均であり、LSI のコアの部分に照射された

パラメータ	説明	パラメータ	説明
N	生成核の個数	ϕ	フラックス [/cm^2/sec]
σ_{eff}	有効反応断面積 [cm^2]	N_t	ターゲットの原子の数
λ	壊変定数 [/sec]	C_γ	Ge 検出器による測定計数
Br	測定γ 線への分岐比	ϵ	Ge 検出器の効率
T_r	照射時間 [sec]	T_m	照射後から線量測定までの時間 [sec]
T_c	線量測定時間 [sec]		

表 5.6: 線量測定に用いる各パラメータ

ビームはそれよりも強度が高いはずである。その分を図 5.16 を用いて補正した。その結果を表 5.7 に示す。ここではフラックスの統計誤差のみが入っている。これは表 5.5 に示したビームカレントの設定とほぼ対応した結果となっている。

ChipID	フラックス (平均値) [$\times 10^8$/cm^2/sec]	平均値からの補正	フラックス (コア部分) [$\times 10^8$/cm^2/sec]
Xilinx 00	3.34±0.11	1.69	5.64±0.19
01	3.45±0.11	1.78	6.14±0.20
Xilinx 03	1.13±0.08	1.58	1.79±0.13
Altera 02	1.08±0.08	1.73	1.87±0.14
03	1.50±0.08	1.58	2.37±0.13

表 5.7: 線量測定により求められたビームのフラックス。 フッラクスの平均値に、ビームプロファイルで得られた情報 (平均値からの補正) を掛け、LSI のコア部分でのフラックスの値が求められた。

以上のビームに関するデータを踏まえた上で、SEU に関する測定結果およびそれから得られる SEU 断面積を表 5.8 に示す。(チップが持つシステムレジスタのビット数に関する情報が無いため、ここではデバイス当たりの断面積としている。) 例えば Xilinx 00 の場合、その断面積は

$$\sigma_{\rm xilinx_chip0} = \frac{3}{5.64\times10^8 \ [\rm protons/cm^2/sec]\times 540 \ [sec]} \approx 1.0 \times 10^{-11} \quad [\rm cm^2]$$

で与えられる。またここではポアソン分布による上限値 (90%C.L.) [34] を用いた値も記す。破損時間とは CPLD のコンフィギュレーション自体が不能になるまでの照射時間である。また破損するまでに浴びた吸収線量も、シリコン中での阻止能を 9.86MeV·cm^2/g [35] として計算した値を記してある。

ChipID	SEU 回数	診断エラー	制御不能になるまでの時間	SEU 断面積 [$\times 10^{-11}$cm^2]	SEU 上限値 [$\times 10^{-11}$cm^2]	吸収線量 [rad]
Xilinx 00	3	0	540sec	1.0	< 2.4	48
01	0	0	450sec		< 0.88	44
03	4	1	900sec	3.1	< 6.2	25
Altera 02	0	0	600sec		< 2.2	18
03	0	0	420sec		< 2.5	16

表 5.8: SEU 測定結果。 制御不能までの時間とはコンフィギュレーションできなくなるまでの時間。(この時間と先のフラックスをかけたものが各チップのフルエンスとなる。) SEU 上限値とは、ポアソン分布の上限値を用いて計算された上限 (90%C.L.) の SEU 断面積のことである。

Xilinx 社の製品では、シフトレジスタ部で SEU が観測されたほか、システムレジスタの診断でもエラーが観測された。時間とともに被曝量が増していくと、いずれのチップも外部からの制御が不可能になり、チップをコンフィギュレーションすること自体ができなくなった。これは放射線で永久的な損傷を受けたことによると考えられる。照射時における各 CPLD の電流推移を図 5.18 ∼ 図 5.22 に示す。電流値が約 20mA の範囲で上下しているのは、シフトレジスタへのデータの書き込み/読み出しのためである。

Xilinx 社の製品のうち 2 つのチップ (Xilinx 00、Xilinx 01) は、急激な電流の上昇と同時にチップ自体が破損した。陽子ビームが照射されると、被照射物のまわりに存在する物質との相互作用により、同時にまた大量の γ 線も発生してしまう。このためこれらの致命的な破損は積算的なダメージ (TID) によるものと考えられる。ただしこれを結論付けるには、今後γ 線照射テストを行ない、この現象と再現性が取れるかを確かめる必要がある。

またそれ以外のチップ (Xilinx 03、Altera 02、Altera 03) はそのような特徴もないまま破損した。TID による影響には電流の上昇が伴うため、これらの破損は TID 以外の理由であると考えられる。吸収線量が先のチップ (Xilinx00、Xilinx01) よりも少ないのも、そう考える理由の一つである。この現象について考察するのは難しいが、例えば SEE によりクロック制御など重要な機能を持ったシステムレジスタの一部が破損した可能性が考えられる。ただしこれもγ 線の照射テストを行ない、γ 線で同じような現象が起こるかどうかを確認する必要がある。

今回の実験により、以上のような結果を得られたわけだが、他の機関でも同じ系列の CPLD の SEU 測定が行なわれており、その結果を参照することができる [36]。比較したものを表 5.9 に示す。ここで今回測定した製品については、より高い安全性を考慮して最も高い値を採用している。

今回測定した製品	リファレンス
XC95288XL (Xilinx)	XC95288XL (Xilinx)
6.2×10^{-11} [cm^2/device]	4.2×10^{-11} [cm^2/device]
EPM7512AE (Altera)	EPM7128STC (Altera)
2.5×10^{-11} [cm^2/device]	2.0×10^{-11} [cm^2/device]

表 5.9: CPLD の SEU 断面積の比較

両者を比較すると、Xilinx 社の製品が Altera 社のそれよりも若干 SEU 断面積が大きい傾向にあることが分かる。今後さらに統計をためる必要があるが、現在 HPT や SSW では Xilinx 社の CPLD を搭載する設計となっているため、より安全を期して Altera 社の製品に変更することも考慮に入れる必要があることが分かった。ま

た SEU 断面積が上記程度のものであるとすれば、オクタント当たりの SEU 発生頻度は (表 4.1 参照)、

$$\begin{aligned} R_{SEU} &= \frac{2.5 \times 10^{-11}\ [\mathrm{cm}^2/\mathrm{device}] \times 7 \times 10^9 \times 5 \times 2\ [/\mathrm{cm}^2]}{10^8\ [\mathrm{sec}(=10\mathrm{years})]} \times 20\ [\mathrm{devices/octant}] \\ &\approx 1\ [\mathrm{SEUs/20days/octant}] \end{aligned}$$

と約 20 日に 1 回の割合となることが分かる。故にリモートコントローラ (HSC) によるスレーブの診断・修復は、十分に可能な範囲であると言える。ただし、吸収線量については Altera 社の方が耐久性が低い結果となっており、γ 線を用いたテストを行ない、その原因を追求する必要がある。

5.3 放射線照射テストのまとめ

最後に今回の放射線照射テストでの結果をまとめる。

今回、SLB ASIC に約 200Gy (=20krad) のγ 線を照射し、照射後も正しく動作できるかどうか、その影響を調べた。照射前後で SLB の電流を測定したが、特に大きな変化は観測されず、またその機能も正しく動作することが確認された。HSC で JTAG コントローラなどの基本的な機能を持つ PPE は、放射線耐性を考慮して ASIC として開発される予定である。PPE ASIC は SLB ASIC と同じプロセスにて開発される予定であるため、ATLAS 実験で予想されるγ 線量に対して安定に動作できると予想される。

また 50MeV の陽子ビームを CPLD に照射し、SEU 測定実験を行なった。テストのための照射ボードを用意し、線量計測によりビームのプロファイルは測定した。製造プロセスの異なる 2 種類の CPLD に照射を行ない、それぞれの SEU 断面積が求められた。その結果、TGC エレクトロニクス内の CPLD に対する影響は、HSC でのコントロールが十分に可能な範囲内であることが分かった。また Xilinx 社の製品は、Altera 社のそれよりも若干放射線に弱いことが分かった。従って、より安全を期するためには、HPT や SSW で使用予定の CPLD を Altera 社のものに変更した方がよいことが分かった。

今後の課題としては、より多くの ASIC や CPLD に照射を行ない、統計をためることが必要である。また ASIC の陽子ビームテスト、CPLD のγ 線テストも行ない、それぞれの SEU や TID に対する評価を行なうことも重要となる。今回中性子によるテストは行なっていないが、中性子は SEU や NIEL といった影響を及ぼすため、これについても試験する必要がある。さらに、ASIC や CPLD 以外にも、HSC/CCI システムで使用される他の部品の放射線照射テストを行なう必要がある。

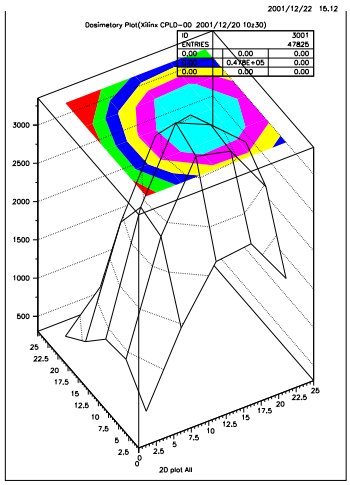


図 5.11: Xilinx Chip0

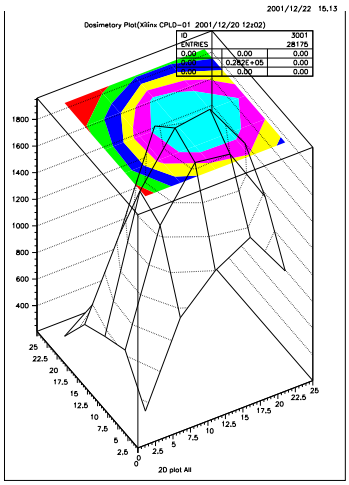


図 5.12: Xilinx Chip1

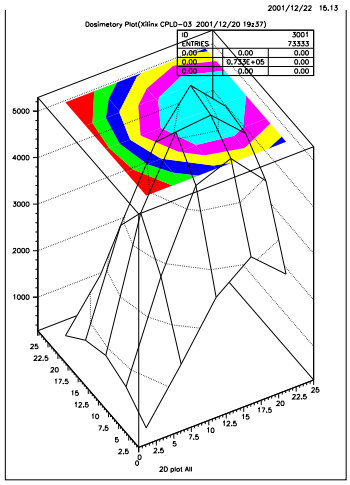
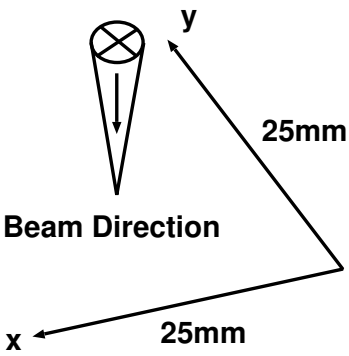


図 5.13: Xilinx Chip3



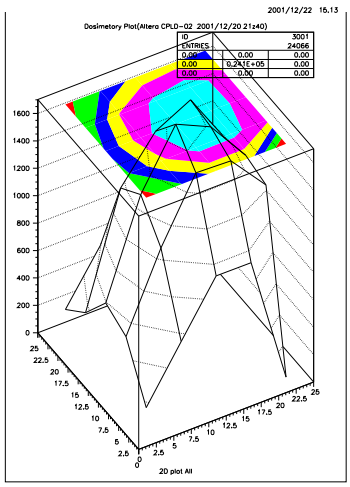


図 5.14: Altera Chip2

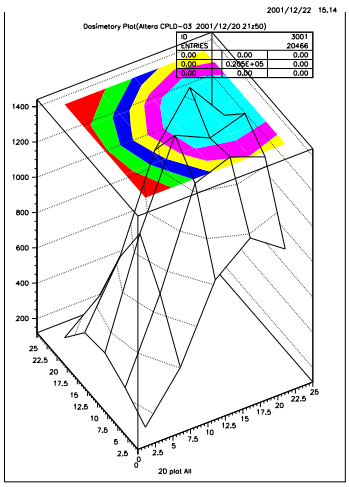


図 5.15: Altera Chip3

図 5.16: CPLD に照射されたビームのプロファイル

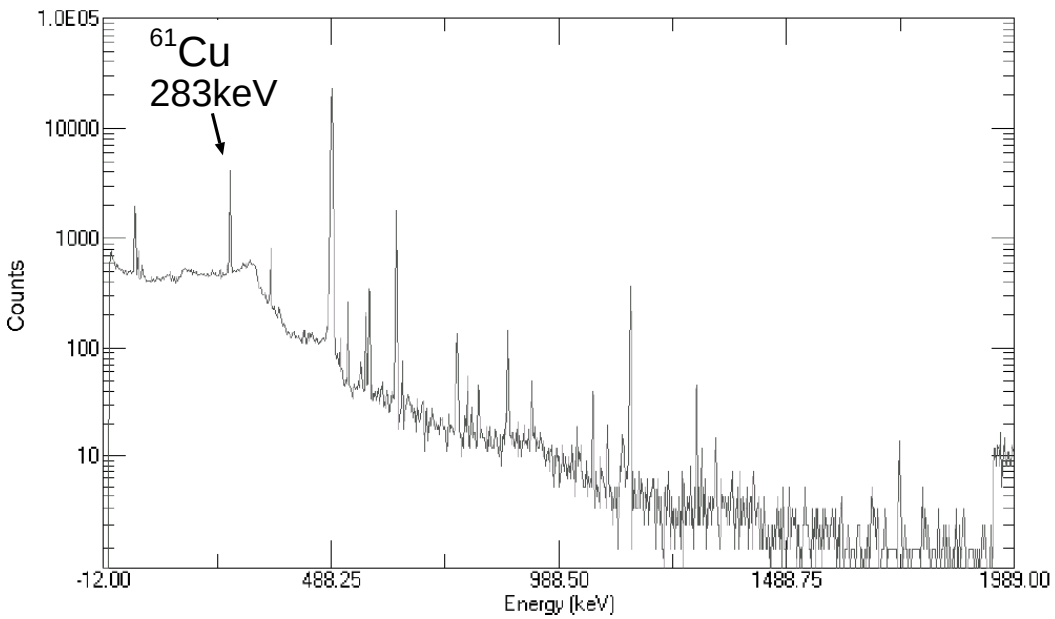


図 5.17: γ スペクトラム (Xilix Chip00)。　横軸エネルギーのキャリブレーションはまだ行なっていない段階でのスペクトラム。実際にはキャリブレーションした後に測定を行なった。線量測定の解析には計数が多く、ピークがはっきりしている ^{61}Cu から出る 283keV のγ 線を用いた。

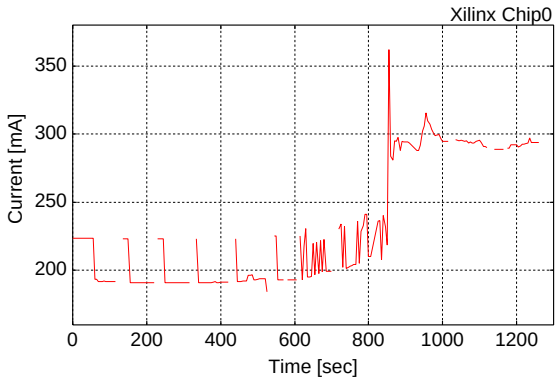


図 5.18: Xilinx Chip0 の電流

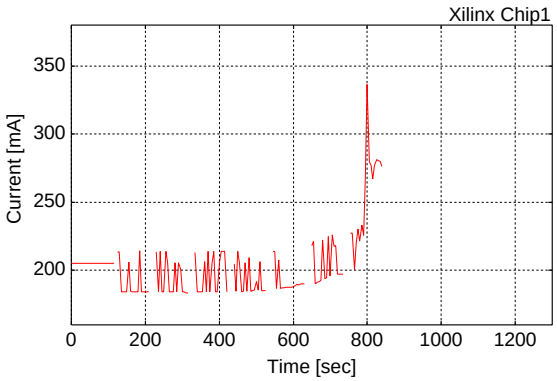


図 5.19: Xilinx Chip1 の電流

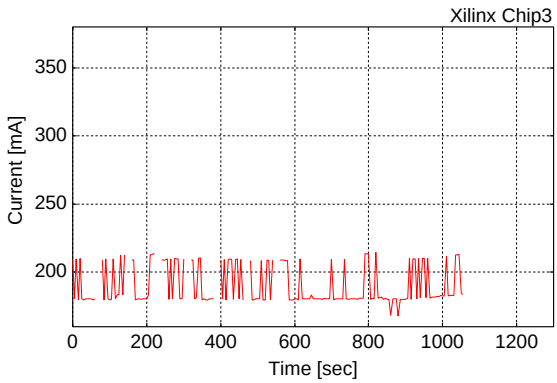


図 5.20: Xilinx Chip3 の電流

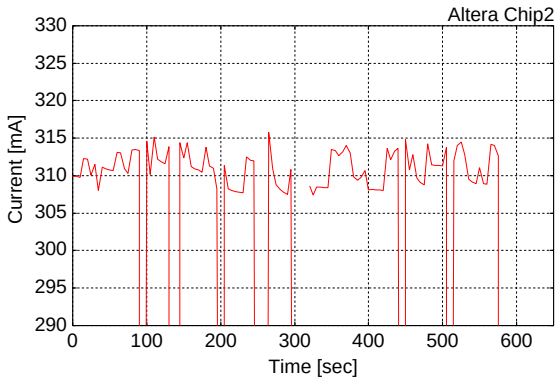


図 5.21: Altera Chip2 の電流

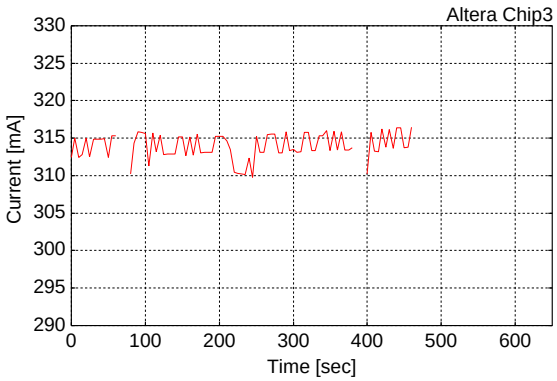


図 5.22: Altera Chip3 の電流

第6章　まとめ

新たな素粒子物理分野を開拓すべく、CERN において LHC 加速器が建設されている。この加速器を用いた実験の一つに ATLAS 実験がある。ATLAS 実験では 40MHz の高頻度でバンチ衝突が起こるため、膨大な数のイベントから目的のイベントのみを収集するためのトリガー・システムが必要である。ATLAS 測定器の中の TGC 検出器は初段階でのトリガー処理を担っており、約 32 万のチャンネルを持つ TGC フロントエンド・エレクトロニクスはその検出器に隣接して設置される。TGC トリガー・システムを構成する各モジュールには、その機能を実現するために各種 LSI が搭載される。これらは内部にレジスタを持ち、その設定を行なうことでそれぞれ特有の機能が実行される。従ってシステムを正しく機能させるには、実験状況に応じて遠隔からリアルタイムでそれらを正しく設定する必要がある。

またシステムの一部分にはプログラマブルな LSI (FPGA/CPLD) が用いられる。これらは民生用製品であるため、特に高エネルギーハドロンによってシングルイベント・アップセット (SEU) 事象が引き起こされる。SEU が発生すると、LSI 内の設定内容が書き換えられ、その後のシステム全体に致命的な損害を与えかねない。従って SEU 対策として、設定データが放射線により影響を受けてないかを定期的に調べ、必要ならば再設定できる環境を整えなければならない。

今回これらの要求を満たすべく、実験ホール内にある TGC エレクトロニクスを遠隔から制御するためのリモートコントロールシステムを新たに導入し、その開発および動作検証を行なった。各 LSI のパラメータ設定やコンフィギュレーションを行なうには、大量の制御データを迅速に処理できる能力が要求される。またリモートコントローラ自体も放射線環境下に設置されるため、自身の耐放射線設計も問題となる。リモートコントロールシステムは先の要求に加え、これらの仕様も満たすものでなくてはならない。

リモートコントロールシステムは、リモートコントローラである HSC モジュールと、ローカルでのインターフェースとなる CCI モジュールの 2 つから構成される。HSC/CCI 間は広い帯域を持った G-LINK を用いた光通信によって接続され、両者はあるフォーマットを持ったインストラクションによって命令をやり取りする。HSC は VME マスター・モジュールとして設置され、スレーブである HPT/SSW をコントロールする。また HSC が収まるクレートには VME バス以外に JTAG バスが付設され、このバスを用いて全てのボードに搭載される VME アクセス機能を持った CPLD を制御する。

要求されるシステムの機能を設計し、それを基に製作された試作機を用いて性能評価試験を行なった。1) リンク接続テスト、2)VME アクセステスト、3)JTAG アクセステストの各テストを行ない、設計通りの動作が確認された。また 4)HSC 応答速度時間も測定し、このシステムを用いたフロントエンド・エレクトロニクスの制御が十分に可能であることを確認した。

また全 TGC トリガー・エレクトロニクスの統合的接続テスト (スライステスト) を行ない、システム全体の動作検証および性能評価を行なった。これには HSC/CCI 試作機も導入され、TGC エレクトロニクスで用いられている各 LSI のパラメータ設定やコンフィギュレーションを行なった。今回のテストでリモートコントロールシステムの基本的条件が確立したと考えられる。

さらに、半導体の放射線耐久性を調べるため、トリガー処理で用いられる ASIC のγ 線照射試験および VME プロトコルエンコーダーとして用いられる CPLD の陽子ビーム照射試験を行なった。その結果、ASIC では問題は見られなかったが、CPLD では製造メーカーによって感度に若干の違いが観測された。適切な製品を選択することで、それら対する SEU 発生頻度は、HSC/CCI システムが対処できる範囲内に十分含まれることが分かった。ただし CPLD 自体の破損に対してはその要因の判断が難しく、今後さらにテストを行ない統計をためて研究する必要がある。

今後この基本的設計をもとに実機の製作を行ない、最終的なスライステストを経てシステムを構築する予定である。このためには放射線テストにおける統計の向上を図り、また HSC/CCI システムにおいて最も要となる PPE の ASIC 開発を行なう必要がある。

付 録A　使用される主な技術・製品

ここではTGCエレクトロニクスで使用される主な技術や製品を簡単に紹介する。

A.1　VME

VME[1]とは、標準化された[2]バス規格のことで、モジュールのアドレスを指定するだけでそこにアクセス (書き込み/読み出し) できる通信技術である。主に計測機器などでよく用いられるバス規格であり、16/32 ビットのデータ通信をサポートしている。汎用性も高く、通信速度が最大で約 50MB/sec あるため、高エネルギー物理実験分野でも一般的に用いられている。

標準的なハードウェアの規格では 1 つのクレートに 21 のスロットがあり、クレートの背面に設置された信号線 (バス) を用いて各モジュール間でデータをやり取りする (図 A.1 参照)。標準的なバックプレーンは J1/J2 の 2 つであり、スロットに入るモジュールはバスの制御を集中して行なうマスターと、それに制御されるスレーブとに分けられる。

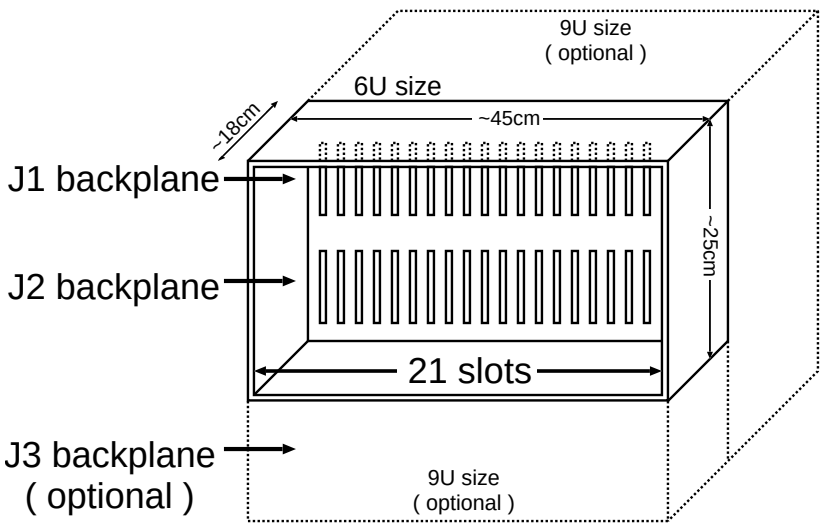


図 A.1: VME バス構造

標準的な VME クレート。21 のスロットがあり、J1/J2 の 2 つのバックプレーンが設置される。オプションで 9U サイズのものもあり、それにはユーザー定義可能な J3 バックプレーンの設置が可能である。

VME バスの仕様としては、複数のマスターが共存可能できること、非同期のバスであること、DMA 転送をサポートしていることなどが挙げられる。VME バスは表 A.1 で示される 4 つのバスで構成される。

A.2　JTAG

LSI の入出力端子にレジスタを設け、データの出入りをモニターするための規格 (IEEE1149.1) であり、本来は LSI のデバッグ用に作られたものである。ユーザー定義のインストラクション (命令) およびレジスタを持つ

[1] Versa Module Europe の略。
[2] IEEE1014 として標準化されている。IEEE とは米国電気電子学会のことで、インターフェースに関する様々な標準規格を決めている。

バス	機能
データ転送バス	アドレス指定線、データ線、制御線からなる。データ転送のために使用される。
アービトレーションバス	複数のマスターが存在する時に、その調停を行なうためのライン。
優先割り込みバス	ある動作に対して割り込みを行なう時に使用されるライン。
ユーティリティーバス	クロックや初期化、診断のために使用されるライン。電源ラインもこれに含まれる。

表 A.1: VME バスの構成

ことができるため、それらを LSI に対する動作命令や機能設定として利用できる。JTAG は以下の 4 本の線でプロトコルを形成することができ、少ない配線で通信が可能である。

信号名	機能
TDI	命令やデータをシリアル入力するための信号。
TDO	命令やデータをシリアル出力するための信号。
TCK	クロックを供給する信号。
TMS	動作状態を制御する信号。

TCK のタイミングに同期して TMS をコントロールすることで、インストラクションの実行やレジスタへのアクセスができる。ターゲットとのやり取りするデータはシリアル通信される。

A.3 CPLD/FPGA

デジタル IC で、内部に回路構成用メモリを内蔵し、外部から書き込むことで自由に回路を構成できるようにした IC がある。一般にこれらはプログラマブルロジックと呼ばれているもので、CPLD (Complex Programmable Logic Device) や FPGA (Field Programmable Gate Array) といった製品がある。IC の機能そのものを創ることができる IC であるため、複雑な回路でも 1 つの CPLD/FPGA で実現できるため、非常に高度な機能を実現することが可能である。最近ではゲート数が CPLD で $O(10^4)$、FPGA で $O(10^5)$ まで内蔵でき、様々なシステムを構築する上で強力な開発手段となっている。

CPLD/FPGA は、任意の論理関数を実現することができる論理ブロックと、それらのブロックどうしを接続する結線網からなるデバイスである。結線網の配線はプログラム可能であり、これによりユーザーは任意の回路を実現することができる。図 A.2、A.3 にそれぞれ CPLD/FPGA の内部構造を示す。一般に CPLD は各種デコーダやステート・マシンなどの単純な構造で、処理速度が要求される回路に向いている [37]。一方 FPGA は演算回路のような複雑な処理に向いている。

CPLD/FPGA には書き換え可能な素子 (プログラム素子) が内部に用意される。このプログラム素子で個々の論理ブロックや結線網のセッティングを記憶する。記憶する値を外部から変更することで CPLD/FPGA の機能を変更する。CPLD/FPGA で主に使用されるプログラム素子とその特徴を以下にまとめる。

プログラム素子	特徴
EEPROM 方式	Electrically Erasable PROM の略。不揮発性のメモリであるため、電圧がなくても内容を保持するうえ、何度も書き換えが可能である。電圧操作によってその内容を消去できる。動作速度が遅く、集積度も上がらないため、主に CPLD で使用される。
SRAM 方式	電源を供給していないと内容は保持されない。動作速度、集積度ともに高い記憶素子である。

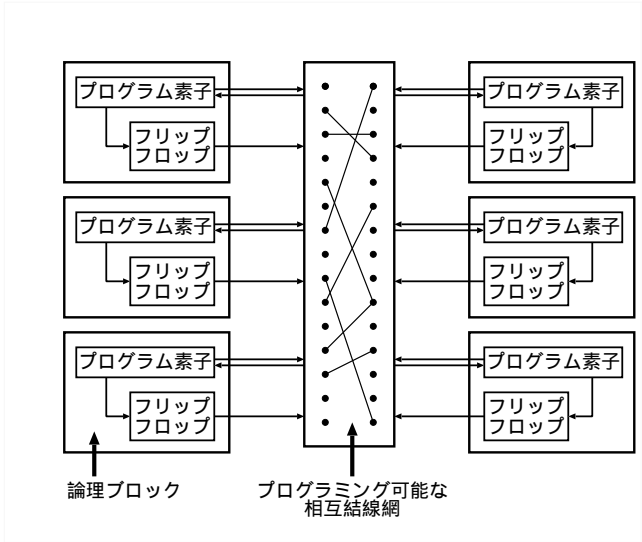


図 A.2: CPLD の内部構造
論理ブロックどうしの内部結線は、プログラマブルなスイッチ・マトリックスによって実現される。

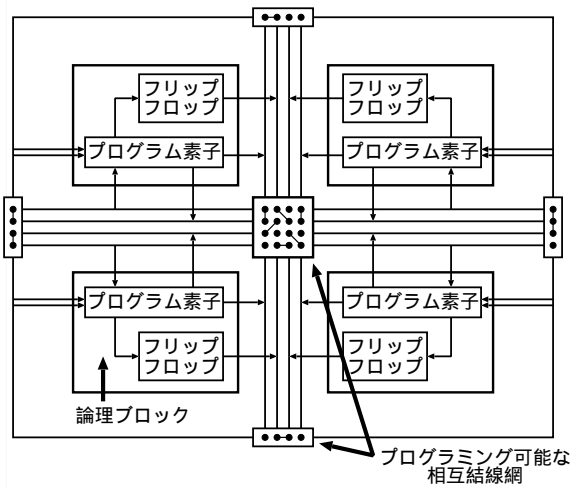


図 A.3: FPGA の内部構造
小規模な論理を実現する論理ブロックをアレイ状に配置し、その周囲にプログラム可能な配線を配置する。

次に CPLD/FPGA の内部ロジックの設計・実装について述べる。設計には 2 つ方法があり、一つは回路図を描き、専用のソフトウェアを用いて書き込みデータを生成する方法である。もう一つは HDL (Hardware Description Language) を用いる方法である。HDL とは文字どおりハードウェアを記述するための言語であり、デジタル論理回路を設計するための手段として標準化された規格である[3]。以上のようにして生成された内部ロジック用のデータのことをコンフィギュレーション・データと呼び、それを外部からダウンロードすることによって CPLD/FPGA の設定を行なうことができる。ダウンロードの手段には JTAG などが主に用いられる。

最後に CPLD/FPGA の主な特徴を以下にまとめる。

LSI	ゲート数	プログラム素子	特徴
CPLD	$\sim O(10^4)$	EEPROM/フラッシュ	論理ブロックを複数組み合わせた構造をしており、遅延時間の予測を行ないやすい。しかし設計の自由度は低く、ゲートの使用効率は低い。
FPGA	$\sim O(10^5)$	SRAM	小さな論理ブロックを組み合わせて設計できるため設計の自由度が高く、ゲートの使用効率を高くできる。しかし遅延時間の予測は難しい。

A.4 ASIC

ASIC は Application Specific Integrated Circuit の略で、汎用の LSI に対して特定用途のために設計・製造される集積回路の総称を指す。半導体ベンダーが製造している汎用の集積回路や、特定の用途に向けた専用集積回路に対する呼び名で、完全な特注品であるフルカスタム製品と、予めメーカーが用意した半製品をユーザーのニーズに合せて調整・加工するセミカスタム製品とがある。FPGA/CPLD に対して集積度の高い製品の開発

[3] 1995 年に IEEE1364 として標準化されている。C 言語をベースとした文法体系を持ち、巨大な回路でもその動作をプログラムとして書くことができる。シミュレーションなどのツールも充実しており、実装前に動作確認が可能である。また半導体ベンダにとらわれず (ベンダ・フリー) に設計が可能であるため、設計資産を活用することで設計期間を大幅に短縮できる。今後は HDL による設計が論理回路の主流になると予想され、TGC エレクトロニクス・グループでもこれを用いて開発を行なっている。

が可能となる。また耐放射線性も高い。

現在 TGC エレクトロニクスでは、ローム 0.35μm プロセスを用いたフルカスタム開発と、日立 0.35μ プロセス・ゲートアレイ (ウェハ上の既存の基本素子間を、配線のみで作成できる LSI) を用いたセミカスタム開発が行なわれている。PP/SLB/HPT/JRC はいずれも ASIC として実装される。図 A.4 に開発中の PP ASIC の内部回路図を示す。

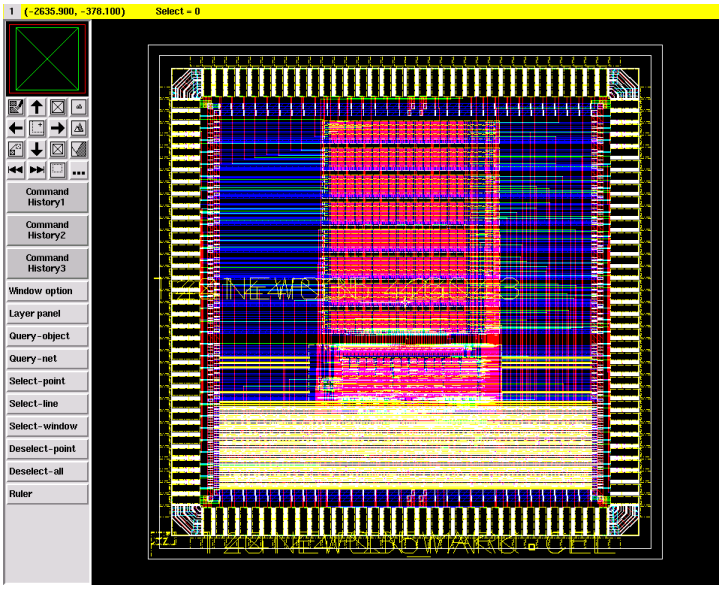


図 A.4: PP ASIC 内部回路図
開発中の PP ASIC の内部集積回路。上部にはバンチ識別回路、下部には可変遅延回路が並ぶ。

A.5 TGC エレクトロニクスの中での LSI

TGC エレクトロニクスでは SSW で FPGA が、HPT/SSW で CPLD が使用される。SSW の機能を満たすために搭載される。

CPLD/FPGA は、小数の使用であれば次に述べる ASIC に比べて単価を安く抑えることができるため、使用環境や条件を考慮してデバイスの選定を行なう必要がある。HSC クレートに搭載される SSW/HPT ボードの総数は、ATLAS 実験全体でそれぞれ約 200 枚である。このボード類は VME バスにて接続されるため VME バス規格にのっとったアクセス方法を用意しなければならない。VME プロトコルを理解する LSI は各ボードに 1 つあればよく、また高い集積度も必要ないことから CPLD が用いられる。

付 録B　放射線によるLSIへの影響

放射線が半導体素子に及ぼす効果は、積算的なものと偶発的なものの 2 種類に分類される。ここではそれぞれについて説明する。

B.1　積算的な効果

一般的に放射線の効果は吸収線量 (absorbed dose) で測定される。吸収線量は物質の単位質量当たりに吸収されるエネルギーで定義され、Gy 単位が使用される[1]。吸収されるエネルギーの起源には、電離エネルギー損失によるもの (TID) と、非電離エネルギー損失によるもの (NIEL) とがある。以下それぞれについて簡単に説明する。

B.1.1　TID (Total Ionising Dose)

入射粒子の積算的電離エネルギー損失を評価した量のことを Total Ionising Dose (TID) と言う。この現象は、入射粒子により半導体素子のゲート電極-ウェル間に挟まる酸化絶縁膜中で電離が発生することで引き起こされる。具体的な現象の過程を説明するために、一般的な N チャンネル CMOS の構造 (図 B.1) と、そのゲート電極に電圧を与えてゲートを開いた状態 (図 B.2) を記す。

導体中や半導体中で電離が発生しても、飛び出した電子の跡に自由電子が入り電離状態はすぐに消滅してしまうが、半導体表面の酸化膜中で発生する電離は、それが絶縁物のため自由な電荷がほとんど無く、電離状態は長いこと消滅しない。酸化膜に入射したγ 線によって生成された電子-正孔対のうち、正孔は移動度が遅いため取り残されてしまう (図 B.3 参照) 。この正孔が酸化膜内の欠陥に捕獲されると (捕獲正電荷)、それはもうそれ以上移動しなくなる。その結果ゲート電極に電圧が与えられてなくともゲートが開いた状態になってしまい、電源電流や入力電流の増加を引き起こす原因となる (図 B.4 参照)。ただしこの場合には、時間の経過に伴って電離状態が消滅する性質 (アニール効果) もある。

また、酸化膜中に不純物として含まれている水素原子が正孔と入れ替わって移動を始め、半導体と酸化膜の界面に到達することで界面準位が形成される場合がある。水素原子の移動度は正孔よりもさらに遅いため、長期間にわたって影響を及ぼすことになる。

一般的に、TID の測定はγ 線や電子、陽子を使って行なわれる。

B.1.2　NIEL (Non Ionising Energy Loss)

入射粒子の非電離的過程によるエネルギー損失の積算的評価量のことを Non Ionising Energy Loss (NIEL) という。これは格子欠陥など物質の格子構造に損傷を与える。NIEL を評価する際、一般的に等価フルエンスが用いられる。等価フルエンスとは、入射粒子のエネルギーや種類に依らず、それらを 1 つの標準的な粒子とエネルギーにスケーリングすることで、損傷の程度を統一的に表すために用いられる量である。この量は、入射粒子のエネルギースペクトルやターゲットの損傷の程度を測定することにで求められる。半導体素子について考えた時、このスケーリングにより、あらゆる粒子のフルエンスは等価 1MeV の中性子に帰着される[2] [38]。

[1] rad 単位も用いられ、1 [Gy] = 100 [rad]。
[2] ただしこのスケーリングは、バルク損傷が非電離エネルギーの格子への転移により生成されるという仮定に基づいている。

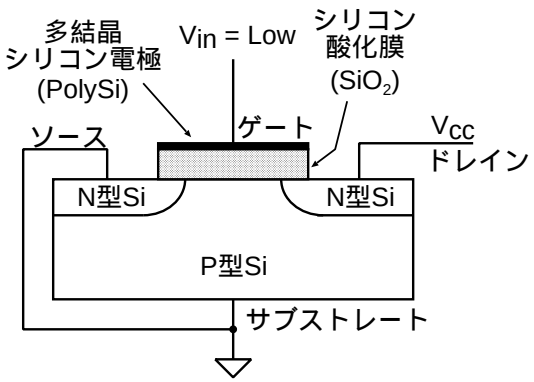


図 B.1: N チャンネル CMOS の構造
ゲート電圧が下がっているとドレイン電流は流れない。

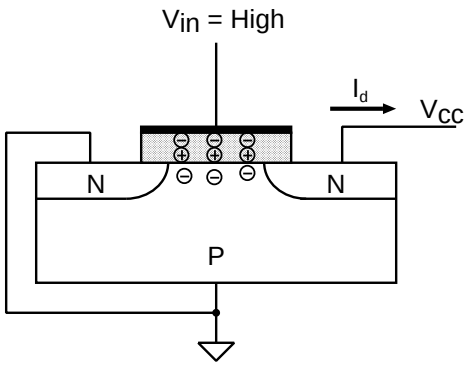


図 B.2: ゲートを開く
ゲート電圧をかけると酸化膜が誘電分極され、P 型 Si の表面が相対的に負に帯電し、ドレイン電流が流れる。

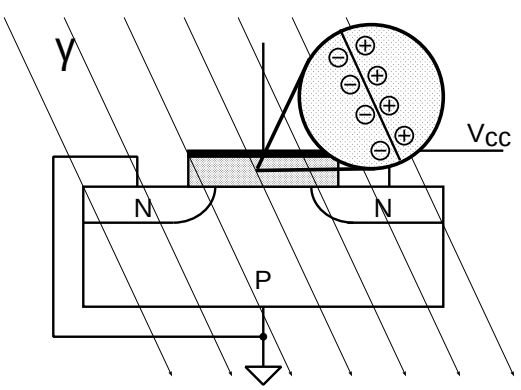


図 B.3: γ 線を照射する
γ 線が照射されると酸化膜内で電離が起こり、電子-正孔対が形成される。

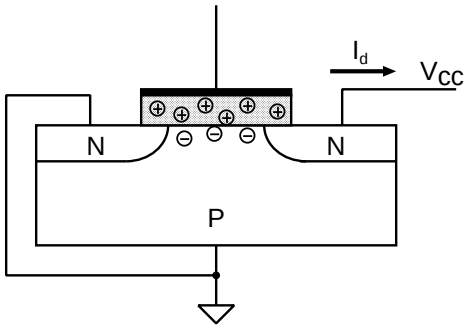


図 B.4: 正孔が残り電流が流れる
移動度の遅い正孔は酸化膜内に蓄積され、やがてゲート電圧をかけなくとも P 型 Si 表面に負の電荷を誘起する至り、結果ドレイン電流が定常的に流れてしまう。

B.2 偶発的な効果

半導体の高集積度化により内部に流れる電荷量が小さくなると、荷電粒子の通過によって発生する電荷量が無視できなくなる。瞬間的に発生した過剰な電荷に起因する現象を、シングルイベント効果 (Single Event Effect ; SEE) という。これは照射時間に比例して損傷の程度も比例する積算的な効果とは異なり、照射時間に比例してその発生確立が増加するだけの偶発的な現象であり、高エネルギーのハドロンの入射によって発生する。この効果は、メモリーの誤動作といったソフトエラーと、デバイス自体の破壊を招くハードエラーに分けられる。以下それぞれについて簡単に説明する。

B.2.1 ソフトエラー

ソフトエラーにはシングルイベント・アップセット (Single Event Upset ; SEU) がある。これは高エネルギーのハドロンが半導体素子に入射して大量の電子-正孔対を発生させ (図 B.5 参照) 、その結果この電荷によって瞬時的に電極の電位が変動して記憶していた情報が反転 (0→1/1→0) する現象のことである。記憶情報を反転させるのに必要な最小電荷のことを臨界電荷 (Q_c) という。臨界電荷は半導体部品の構造や集積度 (回路パラメータ) に依存する。また回路に収集される電荷は、荷電粒子が誘起する電離密度、すなわち荷電粒子の種類やエ

ネルギーに依る。よって SEU が発生するかどうかは、入射荷電粒子が半導体部品中で電離によって失うエネルギーに依る。各々の半導体素子に対して、荷電粒子が電離によって失うエネルギーに対する SEU の発生頻度が分かれば、実際の放射線環境下での SEU 発生頻度を予測することができる。しかし実際には、単位長さ当たりに失うエネルギー LET(Linear Energy Transfer) が大きくなると、SEU 反応断面積は飽和してしまうことがわかっている (飽和 SEU 断面積 σ_s)。図 B.6 はそれを表した図で、横軸が LET、縦軸は SEU 断面積 σ である。σ は、半導体素子に照射された単位面積当たりの荷電粒子に対して、SEU が何回観測されたかを表す指標である。グラフ曲線と横軸が交わる点はスレッショルド LET と呼ばれ、荷電粒子が電荷で失ったエネルギーが Q_c と等しくなる点である。

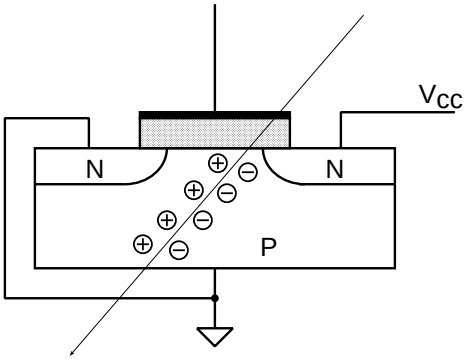


図 B.5: ハドロンが照射された場合

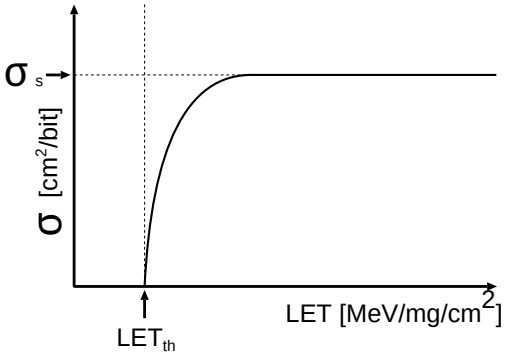


図 B.6: LET サンプル図

B.2.2 ハードエラー

半導体の永久破壊を引き起こすハードエラーとしては、シングルイベント・ラッチアップ (Single Event Latchup ; SEL) やシングルイベント・バーンナウト (Single Event Burnout ; SEB) などがある。SEL の発生メカニズムは基本的に SEU と同じであるが、SEU との違いはメモリセル以外の部分でも発生することである。現象としては、CMOS 集積回路 (IC) の中に存在する寄生サイリスタ (pnpn 型) 構造の部分に電荷が発生して電極間が導通状態になり、外部電源を切るまで IC に大電流が流れ続け、ついには焼損してしまう危険性がある。また SEB は主にパワー MOSFET に起こる現象で、電離によって形成される電子-正孔のうち、移動度の遅い正孔によって引き起こされる現象である。SEL/SEB も ATLAS 実験では発生させないようなデバイス選択が必須である。

図 目 次

2.1 LHC 加速器 5
2.2 ヒッグス粒子の質量と生成断面積 7
2.3 主なヒッグス粒子生成のファインマンダイアグラム 7
2.4 ヒッグス粒子の質量と崩壊分岐比 8
2.5 ヒッグス粒子の発見ポテンシャル 8
2.6 超対称性理論による力の統一 8
2.7 ATLAS 測定器 9
2.8 飛跡検出器の全体図 10
2.9 カロリメータの全体図 10
2.10 ATLAS 測定器 R-Z 断面図 11
2.11 LVL1 ミューオンスキーム 11
2.12 トロイダル・マグネット配置 12
2.13 ATLAS 実験全体のトリガースキーム 13
2.14 レベル 1 トリガースキーム 14
2.15 TTC のパーティション 15

3.1 TGC 検出器の配置とその構造 16
3.2 TGC 検出器の断面図 17
3.3 TGC トリプレット/ダブレット構造 17
3.4 TGC レイアウト (R-Z 断面図) 18
3.5 δR、$\delta\phi$ の測定方法 19
3.6 レベル 1 トリガー用に分割された TGC オクタント 19
3.7 TGC トリガー・エレクトロニクスのデータの流れ 21
3.8 トリガー系の流れ 22
3.9 読み出し用モジュール (ASD ボード) 22
3.10 PP ASIC 機能ブロック図 22
3.11 SLB ASIC 機能ブロック図 24
3.12 読み出し系の流れ 24
3.13 読み出し用データの収集 26
3.14 DCS の制御・監視ライン 27
3.15 JRC ブロック図 28
3.16 TGC トリガー・エレクトロニクスの配置 29
3.17 PS ボードの構成図 30
3.18 PS パックの構成図 31
3.19 TGC エレクトロニクスの配置 31
3.20 多数決論理回路 (Voting Logic) 34

4.1 JTAG バスによる修復 36
4.2 リモートコントロールシステムのアーキテクチャ 37
4.3 HSC および CCI モジュールの機能ブロック図 38

4.4 試作モジュールの CCI (左) と HSC (右) . . . 39
4.5 インストラクション . . . 40
4.6 システムの初期化 . . . 43
4.7 フロントエンドへのアクセス . . . 44
4.8 FPGA の診断・修復 . . . 45
4.9 CPLD の修復 . . . 46
4.10 動作試験のセットアップ図 . . . 47
4.11 HSC/CCI でのクロック分配図 . . . 48
4.12 リモートクレートの J3 バックプレーン . . . 49
4.13 T_{RC} の定義 . . . 50
4.14 実験ラン中の SSW FPGA の診断と修復 . . . 51
4.15 スライステスト 2001 における接続図 . . . 52
4.16 コンフィギュレーション系テスト . . . 52

5.1 SLB ASIC 照射試験セットアップ図 . . . 57
5.2 SLB ASIC 電流値の推移 (1) . . . 58
5.3 SLB ASIC 電流値の推移 (2) . . . 58
5.4 SLB ASIC 電流値の推移 (3) . . . 59
5.5 CPLD 照射試験用ロジック . . . 61
5.6 照射試験用テストボード . . . 62
5.7 放射線照射試験セットアップ . . . 63
5.8 セットアップ写真 (全体) . . . 63
5.9 セットアップ写真 (照射ボード) . . . 64
5.10 照射テストの手順 . . . 64
5.11 Xilinx Chip0 . . . 68
5.12 Xilinx Chip1 . . . 68
5.13 Xilinx Chip3 . . . 68
5.14 Altera Chip2 . . . 68
5.15 Altera Chip3 . . . 68
5.16 CPLD に照射されたビームのプロファイル . . . 68
5.17 γ スペクトラム (Xilix Chip00) . . . 69
5.18 Xilinx Chip0 の電流 . . . 70
5.19 Xilinx Chip1 の電流 . . . 70
5.20 Xilinx Chip3 の電流 . . . 70
5.21 Altera Chip2 の電流 . . . 70
5.22 Altera Chip3 の電流 . . . 70

A.1 VME バス構造 . . . 73
A.2 CPLD の内部構造 . . . 75
A.3 FPGA の内部構造 . . . 75
A.4 PP ASIC 内部回路図 . . . 76

B.1 N チャンネル CMOS の構造 . . . 78
B.2 ゲートを開く . . . 78
B.3 γ 線を照射する . . . 78
B.4 正孔が残り電流が流れる . . . 78
B.5 ハドロンが照射された場合 . . . 79
B.6 LET サンプル図 . . . 79

表 目 次

2.1 LHC の主要パラメータ 6

3.1 TGC 検出器の主なパラメータ値 17
3.2 PP ASIC の内部設定レジスタ 23
3.3 SLB ASIC の内部設定レジスタ 25
3.4 HPT ASIC の内部設定レジスタ 25
3.5 JRC ASIC の内部設定レジスタ 27
3.6 放射線量のシミュレーションにおける見積り 32
3.7 安全係数 33

4.1 TGC フロントエンド・エレクトロニクスの設定対象 35
4.2 インストラクションの内容 41
4.3 HSC モジュールの応答時間 50
4.4 オクタント当たりのデータ転送時間 51
4.5 コンフィギュレーション系テストのターゲット 53

5.1 放射線テストの内容 56
5.2 照射前後でのデータ入力時の電流値の変化。 クロックとデータを入力して電流測定した場合の、照射前後での値のみをピックアップしたもの。電流値の変化は照射前後でエラーの範囲内に埋まり、目立った変化がなかったことがわかる。 59
5.3 Xilinx 社 CPLD と Altera 社 CPLD の比較 60
5.4 CPLD 内部のレジスタの種類 61
5.5 照射した順番とビームカレント設定 62
5.6 線量測定に用いる各パラメータ 65
5.7 線量測定により求められたビームのフラックス 65
5.8 SEU 測定結果 66
5.9 CPLD の SEU 断面積の比較 66

A.1 VME バスの構成 74

参考文献

[1] "ATLAS Detector and Physics Performance Technical Design Report Volume 2", CERN/LHCC/99-15, 1999

[2] "ATLAS First-Level Trigger Technical Design Report", CERN/LHCC/98-14, ATLAS TDR12, 30 June 1998

[3] "Trigger & DAQ Interfaces with Front-End Systems: Requirement Document Version 2.5", Atlas Trigger-DAQ Group,
http://press.web.cern.ch/Atlas/GROUPS/DAQTRIG/DIG/archive/document/FEdoc_2.5.pdf

[4] 松浦聡, 修士学位論文「ATLAS 実験 前後方ミューオントリガーシステムの開発」, 1999 年 1 月

[5] 西田昌平, 修士学位論文「ATLAS TGC エレクトロニクス読み出し系の開発」, 2000 年 2 月

[6] PCA82C250/251 CAN Transceiver, Application Note AN96116, Philips Semidonductors,
http://www.semiconductors.com/acrobat/applicationnotes/an96116.pdf

[7] A.Ferrari, S.Rollet and P.R.Sala, "Radiation Calculations for the ATLAS Detectro and Experimental Hall",
http://isnwww.in2p3.fr/atlas/andrieux/radexp_hall.ps.gz

[8] 津野 総司, 修士学位論文「ATLAS 実験ミューオントリガー検出器のバックグラウンド放射線に対する動作研究」, 1999 年 1 月

[9] 南條 創, 修士学位論文「アトラス実験ミューオントリガー用検出器の中性子バックグラウンドに対する動作研究」, 2001 年 1 月

[10] H.Fukui et al., "Studies on Aging Effects and Rate Dependence of Thin GAP Chambers", Nucl.Instrum.Meth. A419:497-502, 1998

[11] "ATLAS Thin Gap Chamber Amplifier-Shaper-Discriminator ICs and ASD Boards", ATLAS Internal Note, MUON -NO-, 1 Octorber, 1999

[12] Radiation Hardness Assurance(RHA),
http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm

[13] M.Dentane, "ATLAS Policy on Radiation Tolerant Electronics",
ATLAS Project Document, ATC-TE-QA-0001, 2000.

[14] "Radiation Levels Simulated for Various ATLAS Locations - Version 18",
Appendix 1 of the ATLAS Project Document, ATC-TE-QA-0001, updated at November 2000.

[15] "Safety Factors on Simulated Radiation Levels",
excerpt from Appendix 1 of ATLAS Project Document, ATC-TE-QA-0001, 21 July 00.

[16] Joe Fabula and Howard Bogrow, "Total Ionizing Dose Performance of SRAM-based FPGAs and supporting PROMs", 2001 MAPLD International Conference, September 2000
http://klabs.org/richcontent/MAPLDCon00/Papers/Session_C/C2_Fabula_ P.pdf

[17] M.Huhtinen, F.Faccio, "Computational method to estimate Single Event Upset rates in an accelerator environment",
http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/WWW/RAD/RadWebPage/Tutorial/seu.pdf

[18] Stanley Mattsson, "Single Event Upset Tests of Commercial FPGA for Space Application", Proceedings of the 7th Workshop on Electronics for LHC Experiments, Stockholm, Sweden, September 2001, pp.32-39.

[19] Carl Carmichael at el., "Proton Testing SEU Mitigation Methods for the $Vertex$ FPGA", Xilinx Application Note,
http://www.xilinx.com/xapp/xapp181.pdf

[20] Agilent Technologies, Inc ; see http//www.agilent.com

[21] Altera Corporation ; see http://www.altera.co.jp

[22] Texas Instruments Corporation ; see http://www.tij.co.jp

[23] Infinion Technologies ; see http//www.infineon.com

[24] 「VMEbus アーキテクチャマニュアル Revision C.1」, VME Member, CQ 出版

[25] SBS Technologies, Inc. ; see http//www.sbs.com

[26] PCI VME Bridge driver for Linux on PC,
http://www.nikhef.nl/ natalia/projects/vmehb.html

[27] KEK オンライングループ, http://www-online.kek.jp

[28] vmelib for Linux, http://onlax2.kek.jp/ nakayosi/BIT3/index-vmelib.html

[29] Xilinx Corporation ; see http://www.xilinx.co.jp

[30] 狩野 博之, 「High-p_T Chip (HITACHI-GA Revision 1.0) Data Sheet Version 1.01」, June 1, 2001, http://www.icepp.s.u-tokyo.ac.jp/ kano/index_pdf.html

[31] 東京大学原子核研究総合センター (RCNST), http://www.rcnst.u-tokyo.ac.jp/index.html

[32] 東北大学サイクロトロン・ラジオアイソトープセンター (CYRIC),
http://www.cyric.tohoku.ac.jp/index.html

[33] 東京大学大規模集積システム設計教育研究センター
http://www.u-tokyo.ac.jp/jpn/division/index.html

[34] The European Physical Journal C, Volume3, Number 1-4, 1998 pp.177

[35] Physics Laboratory (NIST)
http://physics.nist.gov/PhyRefData/Star/Text/PSTAR.html

[36] Electronic Parts Engineering, Jet Propulsion Laboratory,
http://radnet.jpl.nasa.gov/cgi-win/1/FrontPage_CGI_Project?—main

[37] 「トランジスタ技術 2001 年 5 月号 (特集 やってみよう! ディジタル回路設計)」, CQ 出版社

[38] Angera Vasilescu, "The NIEL scaling hypothesis applied to neutron spectra of irradiation facilities and in the ATLAS and CMS SCT", ROSE/TM/97-2, February 1997

謝辞

私は 2 年間の研究生活を通して、数多くの方たちに出会い、様々な経験と機会を享受することができました。本研究を進めるにあたって、終始適切な指導並びに助言を与えて下さった指導教官 小林富雄教授[a] および佐々木 修氏[b]に深く感謝したいと思います。本研究に様々な形で多大なるご支援を下さいました池野 正弘氏[b]と蓮子 和巳氏[a] にも深く感謝したいと思います。またエレクトロニクス・グループにおいて様々な指導と助言を下さった坂本 宏氏[a]、藏重 久弥氏[c]、福永 力氏[d]、新井 康夫氏[b]、狩野 博之氏[a]、前野 忠嗣氏[c]、長谷川 庸司氏[e] にも深く感謝したいと思います。ソフトウェアを開発する際には、安 芳次氏[b]と仲吉 一男氏[b]にご協力頂き、感謝したいと思います。また様々な形でご指導およびサポートして頂いた近藤 敬比古氏[b]、岩崎 博行氏[b]、田中 秀治氏[b]、石井 恒次氏[c]、石野 雅也氏[a]、越智 敦彦氏[c]、横山 千秋氏、竹下 徹氏[e]、本間 康浩氏[c] 他 ATLAS 日本グループの方に感謝したいと思います。エレクトロニクス・グループで共に研究を行なった一宮 了氏[c]、溝内 健太郎氏[f]、田中 賢一氏[d]、石田 康明氏[d]、戸塚 真義氏[e]、松本　悠氏[a]、小松 知氏[d]、辻 伸介氏[f]、隅田 土詞氏[f]に深く感謝します。彼らがいたからこそ私も頑張れたと思います。また研究生活を通じて惜しみない強力を頂いた浅井 祥仁氏[a]、吉田 光宏氏[a]、戸谷 大介氏[a]、南條 創氏[a]、竹本 享史氏[a]、坂東 隆哲氏[a] にも深く感謝したいと思います。また様々な場面で共に実験や研究を行なった大下 英敏氏[e]、仲畝 佑輔氏[c]、楜澤 謙和氏[g]、に感謝したいと思います。また HSC/CCI システムを開発する上では、小野氏をはじめ三井造船システム技研株式会社の方に、TGC や基板の製作では林栄精器株式会社の坂井氏や大川氏にお世話になりました。放射線テストでは東京大学原子力研究総合センターや東北大学サイクロトロン・ラジオアイソトープセンターの方にお世話になりました。この場を借りて感謝したいと思います。

以上すべての方に心より感謝したいと思います。上記の方たちの協力がなければ、私の研究生活は成り立たなかったと思います。今後もこの経験を活かして頑張りたいと思います。

最後に、本研究とは直接関係ありませんが、研究生活を送る上で、精神的、経済的、その他様々な面において、常に支えてくれた母や家族に心より感謝します。

[a]東京大学 素粒子物理国際研究センター (ICEPP)
[b]文部科学省 高エネルギー加速器研究機構 (KEK)
[c]神戸大学 自然科学研究科
[d]東京都立大学 理学研究科
[e]信州大学 理学系研究科
[f]京都大学 理学研究科
[g]東京農工大学 工学研究科