

ATLAS 前後方ミュオントリガーシステム
読み出し系の開発

東京大学大学院 理学系研究科 物理学専攻
野本裕史

2005 年 1 月

Contents

Chap0 Introduction	1
Chap1 LHC-ATLAS Experiment	2
1.1 LHC の概要	2
1.2 LHC-ATLAS 実験の物理	3
1.2.1 ヒッグス粒子の探索	3
1.2.2 超対称性理論 (SUSY)	6
1.3 ATLAS 実験の検出器	9
1.3.1 ATLAS 検出器の概要	9
1.3.2 内部検出器	10
1.3.3 カロリメータ	11
1.3.4 ミューオンスペクトロメータ	11
1.3.5 マグネット	12
1.4 ATLAS 実験のトリガー及びリードアウト	13
1.4.1 トリガーのスキーム	13
1.4.2 リードアウトのスキーム	15
1.4.3 DCS(Detector Control System)	17
1.4.4 TTC(Timing Trigger and Control distribution)	17
Chap2 Endcap Muon Trigger System (TGC System)	18
2.1 Thin Gap Chamber(TGC) の構造	18
2.2 TGC の ATLAS 実験での使い方	19
2.2.1 トリガーチェンバーとしての働き	20
2.2.2 データの読み出し	20
2.3 TGC エレクトロニクス	24
2.3.1 システムの概要	24
2.3.2 エレクトロニクスの配置	25
2.3.3 各エレクトロニクスの説明と写真集	28
Chap3 TGC Readout System Overview	38
3.1 TGC リードアウトがスター構造を取る理由	38
3.1.1 TGC データの特徴	39
3.1.2 読み出しの基本構造	40
3.1.3 SSW を置くことの利点	42
3.2 Star Switch プロトタイプ	43
3.2.1 version1(Xilinx SRAM FPGA)	43
3.2.2 version2(Xilinx SRAM FPGA)	46
3.2.3 version3(Actel Antifuse FPGA)	50
3.3 TGC リードアウトでのデータ処理のデザイン	57

3.3.1	ヒットマップ	57
3.3.2	Local Slave リンク (LSlink)	58
3.3.3	ゼロサプレス圧縮	59
3.3.4	スイッチング	60
3.3.5	Front End リンク (FElink)	61
Chap4	Scalability Broadening in TGC Readout	63
4.1	Scalability	63
4.2	スライステスト	64
4.2.1	エレクトロニクスのセットアップ	64
4.2.2	PC 上での結果のチェック	65
4.3	ビームテスト	66
4.3.1	セットアップ	67
4.3.2	TGC システム単体でのテスト	71
4.3.3	TGC が他の検出器と一緒にを行ったテスト	72
4.4	SSW データバスのトリガーレートチェック	74
Chap5	Radiation Hardness Developments in TGC Star Switch	78
5.1	エレクトロニクスと放射線	78
5.1.1	エレクトロニクスに対する放射線の影響	78
5.1.2	エレクトロニクスにおける耐放射線対策	79
5.2	TGC エレクトロニクスと放射線	82
5.2.1	TGC エレクトロニクスにおける放射線の影響	82
5.2.2	SEE の評価	84
5.2.3	SSW における Antifuse FPGA	86
5.3	放射線照射テスト	88
5.3.1	テストのやり方	88
5.3.2	ガンマ線照射テスト	91
5.3.3	プロトンビーム照射テスト	95
Chap6	Summary	107



ICEPP

Abbreviations

ASD: Amplifier Shaper Discriminator
ASIC: Application Specific Integrated Circuit
ATLAS: A Toroidal LHC Apparatus

BCID: Bunch Crossing Identifier
BGA: Ball Grid Array

CASTOR: CERN Advanced STORAGE
CCI: Crate Control Interface
COTS: Component Off The Shelf
CPLD: Complex Programmable Logic Device
CSC: Cathod Strip Chamber
CTP: Central Trigger Processor

DCS: Detector Control System

EF: Event Filter
EI: Endcap Inner TGC

FELink: Front End link
FI: Forward Inner TGC
FPGA: Field Programmable Gate Array

G-link: Gigabit rate optical link

HPT: High-Pt Board
HSC: High-Pt Star Switch Controller

I2C: Inter Integrated Circuit

JRC: JTAG Route Controller
JTAG: Joint Test Action Group (Boundary scan)

L1A: Level-1 trigger Accept
L1ID: Level-1 trigger Identifier
LHC: Large Hadron Collider
LVDS: Low Voltage Differential Signaling
LSlink: Local Slave link

LUT: Look Up Table

MDT: Monitored Drift Tube

MUCTPI: Muon Central Trigger Processor Interface

PP: Patch Panel

PPG: Pulse Pattern Generator

PSB: Patch panel Slave board Board

PT4: ProtoType module version.4

QFP: Quad Flat Package

ROB: Read Out Buffer

ROD: Read Out Driver

RoI: Region of Interest

ROS: Read Out System

RPC: Resistive Plate Chamber

RTC: Radiation Tolerance Criteria

SD: Strip channels of a Doublet chamber

SEE: Single Event Effect

SEU: Single Event Upset

SEL: Single Event Latchup

SL: Sector Logic

SLB: Slave Board

SPP: Service Patch Panel

SRAM: Static Random Access Memory

SRL: Simulated Radiation Level

SSW: Star Switch

ST: Strip channels of a Triplet chamber

TGC: Thin Gap Chamber

TID: Total Ionizing Dose

TTC: Timing Trigger and Control

TTL: Transistor-Transistor Logic

WD: Wire channels of a Doublet chamber

WT: Wire channels of a Triplet chamber

Chap0 Introduction

LHC-ATLAS 実験は 2007 年の実験開始に向けて、順調に準備が進んでいる。

ATLAS 実験は、高エネルギー、高頻度で陽子陽子を衝突させることでヒッグス粒子や SUSY 粒子の発見を狙っている。そのためには大量のバックグラウンドの中から狙う物理イベントを探さねばならず、ATLAS 実験の特徴はそのため 3 段階のトリガーを用いることである。

前後方ミュオントリガーチェンバー (TGC) のシステムは、その 1 段階目のトリガーの一端を担っている。また、読み出し系は精密測定用ミュオンチェンバー (MDT) では測定できないミュオンヒットの第 2 座標 (ϕ 方向) のデータを ATLAS に与える重要なシステムである。

TGC の読み出し系エレクトロニクスについては、過去数年の強力な開発・テスト段階を経て、仕様がまとまってきていた。実験開始まであと 2 年のいまの時点で求められていたことは、

- 小規模のプロトタイプで動いていたものを、ATLAS スケールの大規模に拡張した状況でも正常な動作ができるのかを確かめること
- 仕上げ段階での開発として、ATLAS の放射線環境下でも動作できるテクノロジーにデザインを移行すること

であった。その要請に対する答えを本論文では示す。

論文の構成は、第 1 章で ATLAS 実験について、第 2 章で TGC システムについて説明をまとめる。

第 3 章から主題とする TGC の読み出し系エレクトロニクスについて詳細な説明を行い、第 4 章では上で述べた第一の要請であるスケーラビリティの拡張開発について、第 5 章では第二の要請である放射線耐性の拡張開発について実験を行ったこと、その結果を述べる。

第 6 章で論文の全体をまとめる。

Chap1 LHC-ATLAS Experiment

この章ではLHC計画 ATLAS実験の概要を述べる。まず実験で利用されるLHC加速器の特徴を説明し、さらに観測が期待されている物理について述べる。次にATLAS測定器の構造及びそれを構成する各検出器の特徴について説明する。

1.1 LHCの概要

現在2007年運転開始を目指して、14TeVの重心系エネルギーを持つ大型陽子陽子衝突型加速器LHC(Large Hadron Collider)が、ジュネーブ郊外にある欧州素粒子原子核研究機構(CERN)にて建設中である。LHCは2000年まで稼働していた電子陽電子衝突型加速器LEP(Large Electron Positron collider)と同じトンネル内に設置され、その周長はおよそ27kmである。Fig1.1に示すように、LHCには合計4つのビーム交差点があり、そこにはそれぞれ、汎用検出器であるATLASとCMS、重イオン衝突実験用のALICE、B物理の測定に特化したLHC-Bが設置される。LHCの主要パラメータTab1.1に示す。

Tab 1.1: LHC 加速器の主要パラメーター

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
ルミノシティ	$10^{34}\text{cm}^{-2}\text{s}^{-1}$	ルミノシティ寿命	10 時間
衝突頻度	40.08MHz	バンチ間隔	24.95ns
バンチ数	2835 個	1バンチあたりの陽子数	10^{11} 個
衝突点のビーム半径	$16\mu\text{m}$	衝突角度	$200\mu\text{rad}$

LHCの最大の特徴は、14TeVという世界最高の重心系エネルギーである。

LHCはハドロンコライダーであるため、電子陽電子コライダーと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少ない。(単位長当たりの放射光によるエネルギーの損失は γ^4/ρ^2 に比例する。ここで $\gamma = E/mc^2$ 、 ρ は加速器の曲率半径。陽子の質量は電子の質量の1840倍なので、放射光エネルギー損失は同じエネルギーの電子の 10^{13} 分の1となる。)

LHCトンネル内に多数の超伝導電磁石を並べて8.4Tの強力な磁場を作り出し、7TeVという高エネルギーでの陽子・陽子衝突現象を実現させる。これにより、ヒッグス粒子の探索では100GeVから1TeVまでの広い範囲で探索出来るほか、超対称性粒子や未知の相互作用などTeV領域の発見が期待される。

一方で、陽子がクォークとグルーオンとの複合粒子であることと、ルミノシティを稼ぐためにバンチ衝突頻度が40.08MHzと高いことから、莫大な量のバックグラウンドが予想され、物理現象を解析するために必要なデータをいかに効率良く正確に収集するかが重要になる。

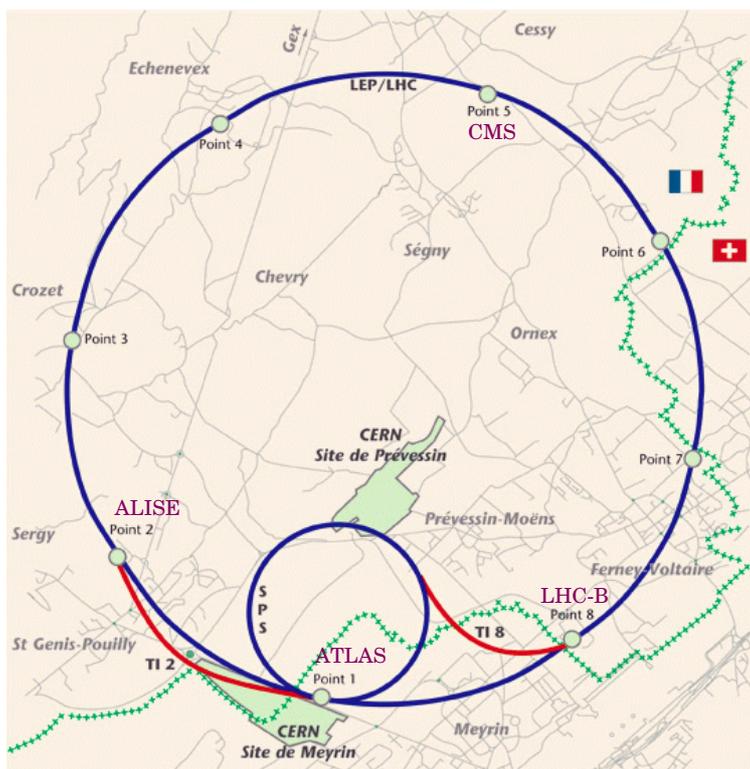


Fig 1.1: LHC 加速器

1.2 LHC-ATLAS 実験の物理

すべての物質は3世代のレプトンとクォークにより構成され、ゲージ粒子を媒介することによりそれらの間に相互作用が生じるとする標準理論は、今まで得られた実験結果と見事な一致を見せている。しかし、標準理論の中で素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な存在であるヒッグス粒子は、未だ発見されていない。また標準理論には、任意のパラメータが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。

1.2.1 ヒッグス粒子の探索

ATLAS 実験の一番の目的は、標準理論の根幹をなすヒッグス粒子の発見である。標準理論の枠内ではヒッグス粒子の質量は正確には予言出来ないが、100MeV ~ 1TeV の範囲にあると予言されており、LHCはこの範囲をカバーしている。以下にヒッグス粒子の探索について簡単にまとめる。

ヒッグスの生成

Fig1.3 に、主な4つのヒッグス生成過程を示す。ヒッグス粒子は粒子の質量に比例して相互作用するため、重いクォークや W/Z ボゾンと強く結合する。それぞれの生成過程でのヒッグス粒子の質量と生成断面積の関係は Fig1.4 のようになる。

- Gluon Fusion

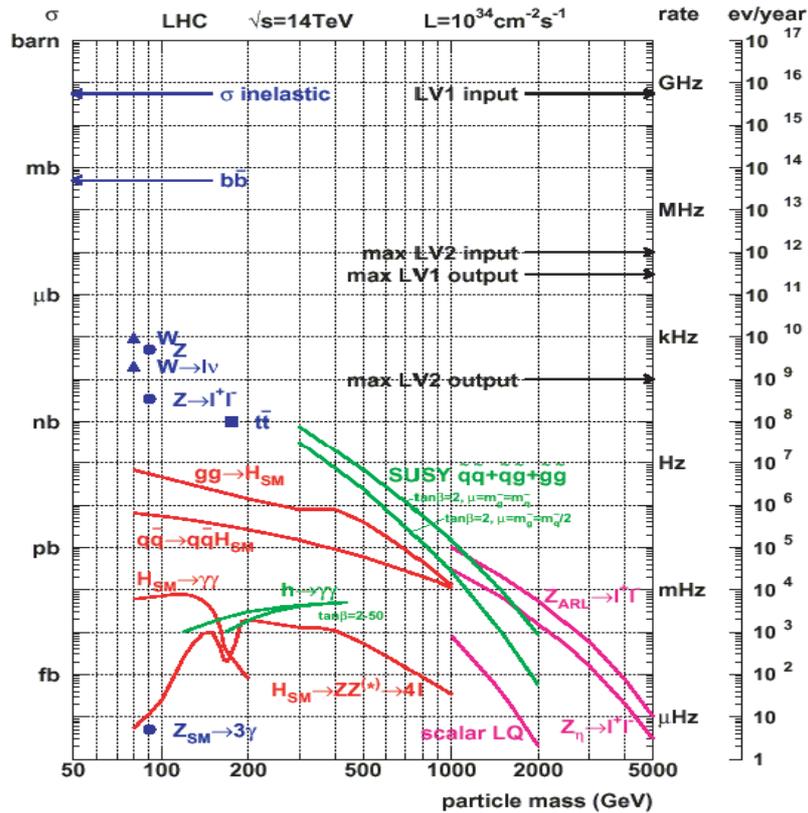


Fig 1.2: LHC でのイベントレート

LHCで探索可能なエネルギー領域において最大の生成断面積を持ち、重いクォークのループを介して、生成される過程である。しかし、ヒッグス粒子の崩壊から出て来た粒子以外は、大きな横運動量 P_t を持つ粒子がないため、シグナルを識別する手段が少なく、バックグラウンドが非常に厳しい。 $H \rightarrow \gamma\gamma, ZZ(\rightarrow lll), W^+W^-(l\nu l\nu)$ だけが、有望な崩壊過程である。

- Vector Boson Fusion

2番目に大きな生成断面積を持ち、2つのゲージボソンからヒッグス粒子が生成される過程である。W/Zボソンの質量は重いので、ボソンを放出した2本のジェットは大きな P_t 持って反跳し、このジェットを両側でタグすることが出来る。さらに、イベントに関わる2つのクォークの間ではカラー交換が行なわれないので、QCDバックグラウンドによる影響は少なく、イベント選定を行ないやすい。従って、この生成過程では、様々な崩壊過程でのヒッグス粒子の探索が期待されており、現在盛んに研究が進められている。

- W/Z Associated Production

クォークペアの対消滅から生成されたゲージボソンから、さらにヒッグス粒子が放射される生成過程である。 W^\pm/Z^0 がレプトンに崩壊した場合には、シグナルとバックグラウンドを容易に識別出来る。

- Top Associated Production

対生成されたトップクォークからヒッグス粒子が生成される過程である。生成断面積は非常に小さいが、終状態の2つのトップクォークをタグすることで、QCDバックグラウンド大幅に減

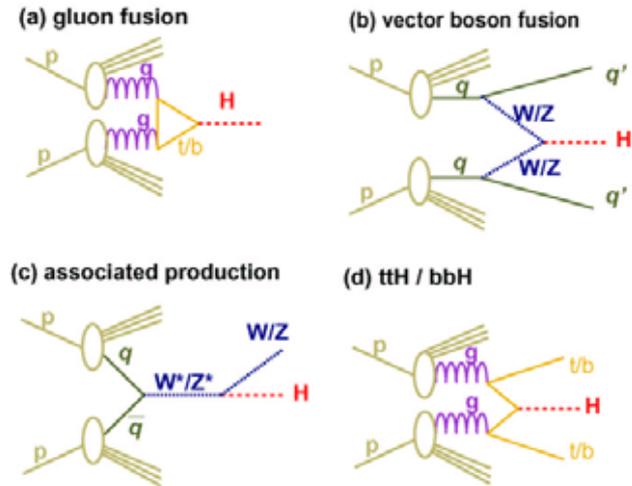


Fig 1.3: ヒッグス生成のファイマンダイアグラム

らすことが出来る。またこの反応には、トップクォークの湯川結合 (ヒッグスとクォークとの結合) という重要な情報を含んでいる。

ヒッグスの崩壊

Fig1.5 に標準模型のヒッグス粒子の質量と崩壊分岐比の関係を示す。崩壊分岐比は、ヒッグス粒子の質量 m_H に依存しており、各質量領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊モードを簡単に説明する。

- $m_H < 150\text{GeV}$

この領域の主な崩壊過程は $H \rightarrow b\bar{b}$ であるが、QCD バックグラウンドと区別することは非常に難しく、むしろ重要なのは、稀崩壊の $H \rightarrow \gamma\gamma$ である。ATLAS 検出器は光子に対して優れた位置分解能とエネルギー分解能を持つので、多量のバックグラウンドの中でも、ヒッグス粒子の質量を鋭いピークとして測定出来る。

- $120\text{GeV} < m_H < 180\text{GeV}(= 2m_Z)$

この領域になると、 m_H が m_W や m_Z の質量を越えるので、 WW^* や ZZ^* の崩壊が始まる。しかし WW^* は、必ずニュートリノやジェットを伴うので、きれいなイベントとは言えない。従って、この領域では $H \rightarrow ZZ^* \rightarrow lll$ の崩壊過程が重要になる。

- $180\text{GeV}(= 2m_Z) < m_H < 500\text{GeV}$

この領域で最も重要な崩壊過程は、 $H \rightarrow ZZ \rightarrow lll$ である。このモードは分岐比こそ小さいが、2組のレプトン対の不変質量がともに m_Z に等しいという条件を課すことが出来るので信頼性が高く、もっともきれいな質量のピークが得られる。

- $500\text{GeV} < m_H$

この領域になると、ヒッグス粒子の生成断面積が小さくなり、さらに崩壊幅も 100GeV を越えてしまうので、質量のピークが広がってしまい、 $H \rightarrow ZZ \rightarrow lll$ だけでは統計的に不十分になってしまう。そこで、レートが高い $H \rightarrow ZZ \rightarrow ll\nu\nu$ や $H \rightarrow WW \rightarrow l\nu\nu$ も用いる必要がある。

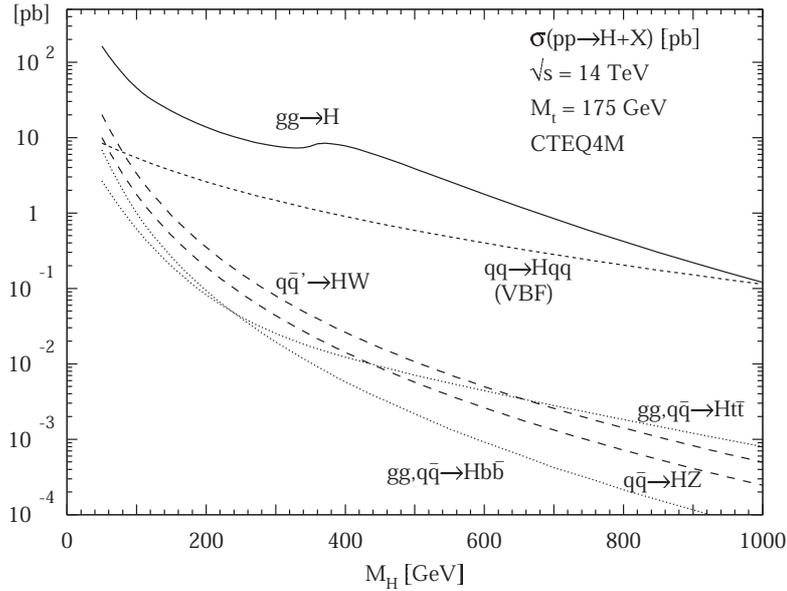


Fig 1.4: 標準模型でのヒッグス粒子の生成断面積

Fig1.7 に、LHC が 3 年走って積分ルミノシティを 30fb^{-1} 溜めた時点での ATLAS 測定器の標準模型ヒッグス粒子の発見能力を示す。これを見ると、ATLAS 測定器は上限値である 115GeV から 1TeV の領域までカバーしており、 5σ 以上の確からしさでヒッグス粒子を発見出来ることがわかる。

1.2.2 超対称性理論 (SUSY)

LEP 実験は Z^0 粒子の崩壊から、相互作用の大きさを正確に測定した。この結合定数を非常に高いエネルギーまで伸ばしていった場合、標準理論では理論では 3 つの結合定数は各組ばらばらの点で交わるのだが、超対称性を仮定すると、 10^{16}GeV という途方もないエネルギーで 1 点に集まる。これは、このエネルギーにおいて 3 つの力 (電磁気力、弱い力、強い力) が統一される可能性を示唆している。(Fig1.8)

超対称性理論では、全てのフェルミオン及びボソンに対してスピンの $1/2$ だけ異なる超対称性粒子の存在を予言しており、この超対称性粒子の発見こそが、超対称性の動かぬ証拠になる。超対称性粒子の質量は電弱対称性の破れのスケールから TeV 領域の間にあることが自然であると期待され、これは ATLAS 実験で発見が可能な領域である。Fig1.9 に、mSUGRA を仮定したときの LHC における超対称性粒子の発見能力を示す。

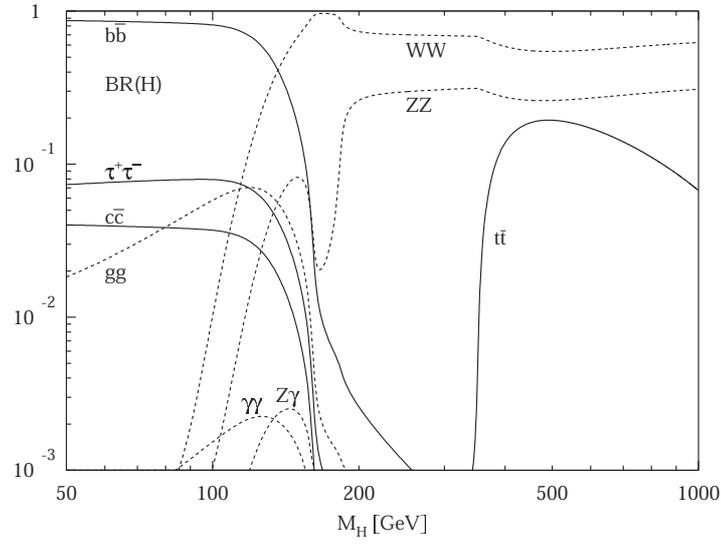


Fig 1.5: 標準模型でのヒッグス粒子の崩壊分岐比

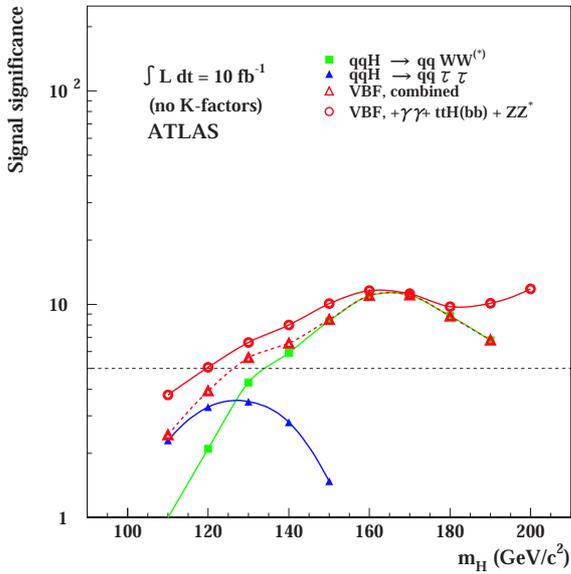


Fig 1.6: ヒッグス粒子の発見能力
(10fb^{-1} = 1年間の run)

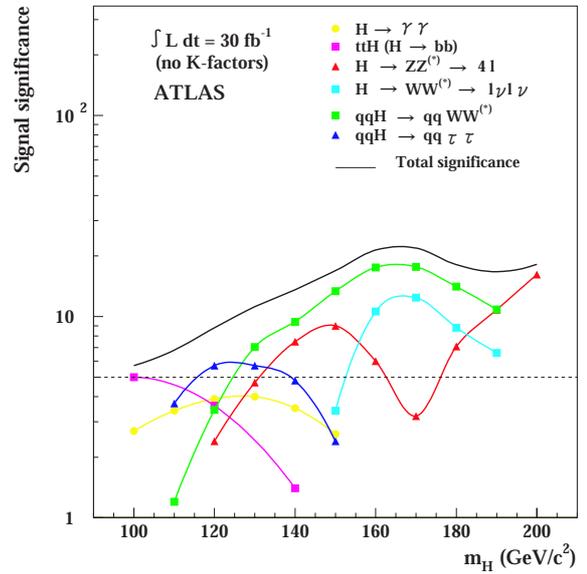


Fig 1.7: ヒッグス粒子の発見能力
(30fb^{-1} = 3年間の run)

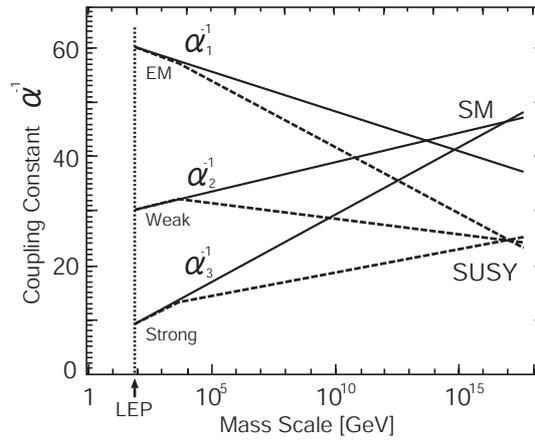


Fig 1.8: SUSY による力の統一の可能性

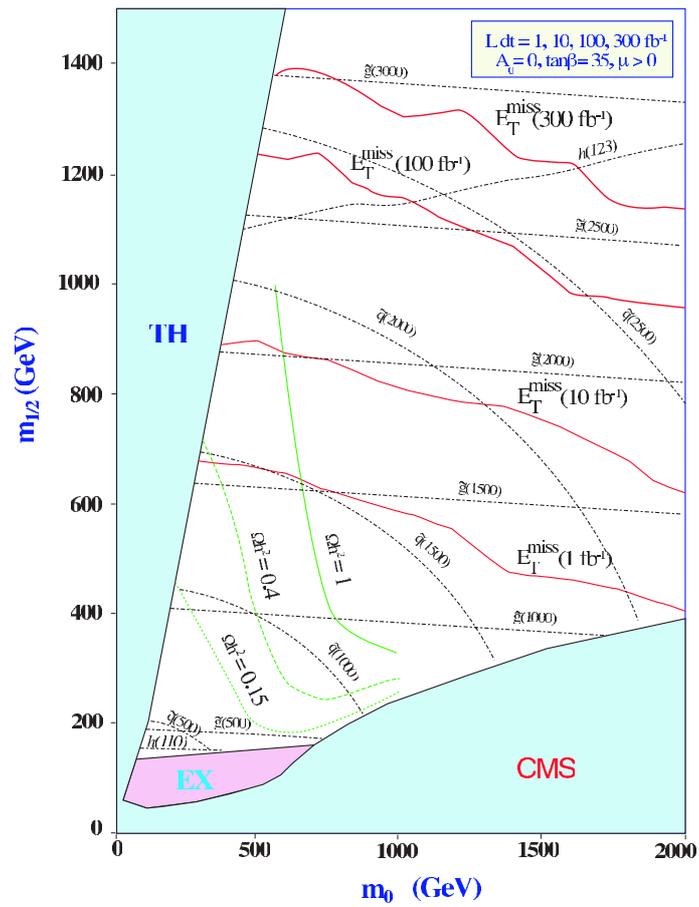


Fig 1.9: LHC における超対称性粒子の発見能力

1.3 ATLAS 実験の検出器

ATLAS 検出器は、LHC の高イベントレート、高ルミノシティの環境下において動作できるように設計された全方位型の汎用検出器である。構成する各検出器によって、光子や電子、ジェット、ミューオンを識別し、物理現象を再構成することができる。

1.3.1 ATLAS 検出器の概要

Fig1.10 に ATLAS 検出器の全体図と本論文で用いる座標軸を示す。ATLAS 検出器は、前節で述べた物理現象をはじめ未知のエネルギー領域で期待される様々な物理現象の可能性を研究出来るよう、汎用に設計されている。ATLAS 検出器の性能を以下にあげる。

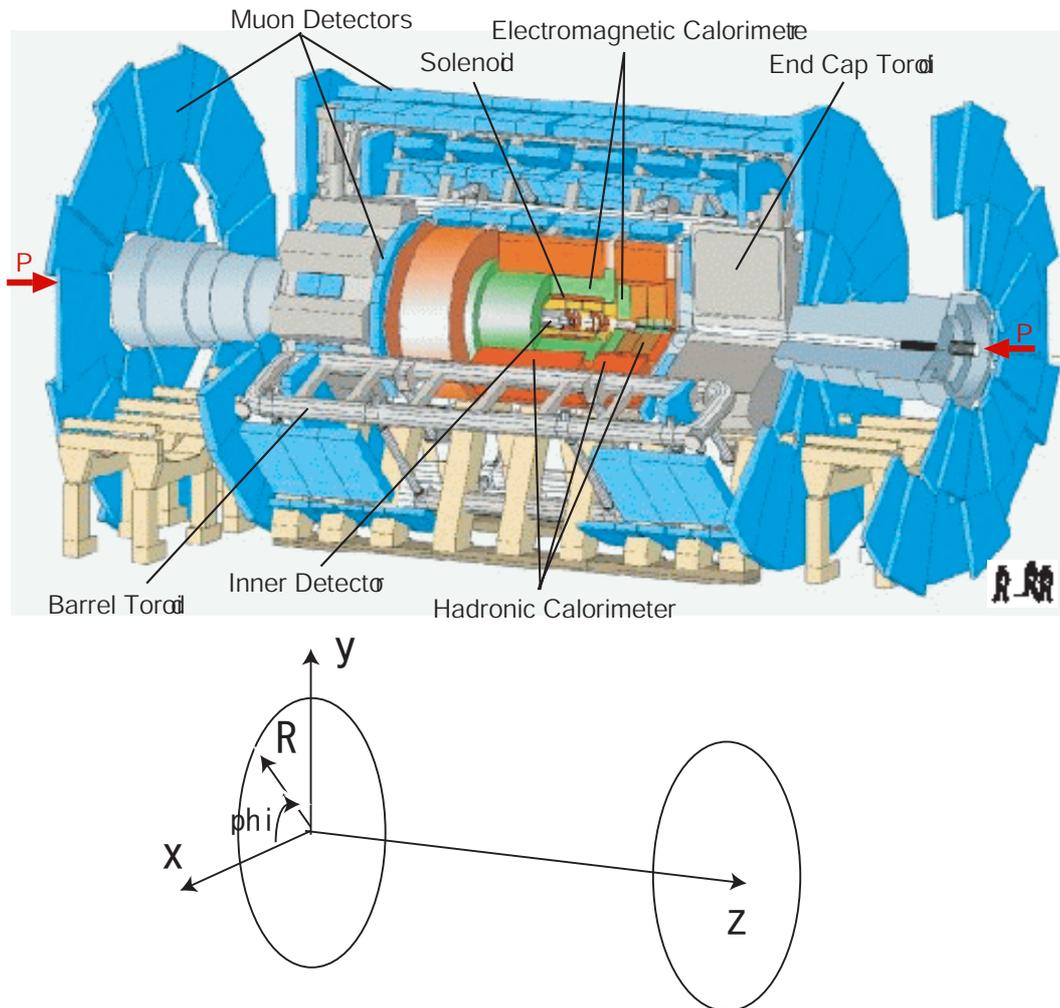


Fig 1.10: ATLAS の全体図

- 電磁カロリメータにより光子と電子のエネルギー測定を、ハドロンカロリメータによりジェットとミッシング E_t の測定を行う。
- 内部検出器の情報に頼らずに、ミューオンスペクトロメータの情報だけでミューオンの横運動量 P_t を測定することが出来る。

- 内部検出器での飛跡検出から電子とフォトンの識別、 τ レプトンやbクォークのバーテックス測定が可能である。
- 検出器は、出来るだけ広範囲のラピディティ η を覆い、方位角 θ についてはほとんど完全にカバーする。(η は正確には pseudo rapidity。 θ をビーム軸とのなす角とすると $\eta = -\ln(\tan \theta/2)$ で定義される。ハドロンコライダーでは散乱断面積がおおよそ η に比例する。)
- 超伝導空芯トロイド磁石 (Toroidal Magnet) を用いることで、ミューオンを低いPtまで測定でき、かつ広いラピディティ領域をカバーできる。
- 陽子陽子衝突で、かつ高いルミノシティの実験であることに由来する大量のバックグラウンド放射線に対して耐久性がある。

ATLAS 検出器の大きさは、直径 22m、長さ 44m、総重量 7000 トンと巨大なもので、検出器は主に内側から、内部飛跡検出器、カロリメータ、ミューオン検出器から構成され、また各検出器の間には、荷電粒子の運動量測定のためのマグネットが設置される。以下、順に簡単に説明する。

1.3.2 内部検出器

内部検出器は荷電粒子のトラッキングを主な目的としており、ソレノイドの磁場と組み合わせることで、運動量の測定も行なうことが出来る。内部検出器は、Fig 1.11 に示すように、3種類の検出器で構成され、いずれも中心磁場 2T の超電動ソレノイドの内側に設置される。

最も内側にある検出器がピクセル検出器で、これは1つの要素が $50\mu\text{m} \times 300\mu\text{m}$ の高分解能の半導体検出器である。この検出器の精度によって、バーテックスの精度が決められる。その外側には、SCT(SemiConductor Tracker) と呼ばれるシリコン・ストリップ検出器が設置される。最も外側には、半径 4mm のストロー検出器を束ねて作った TRT(Transition Radiation Tracker) と呼ばれる検出器が置かれ、トラッカーとしての機能の他に、遷移放射 (誘電率の異なる 2 つの媒介境界を荷電粒子が通過する時に起こる放射。相対論的な現象で、エネルギーはローレンツ因子 γ に比例する。) を利用した電子の識別も行なうことができる。内部検出器では、これらの検出器を組み合わせ高分解能の測定を行なう。

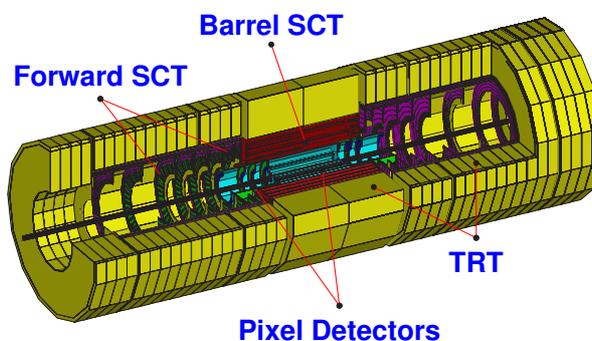


Fig 1.11: 内部飛跡検出器

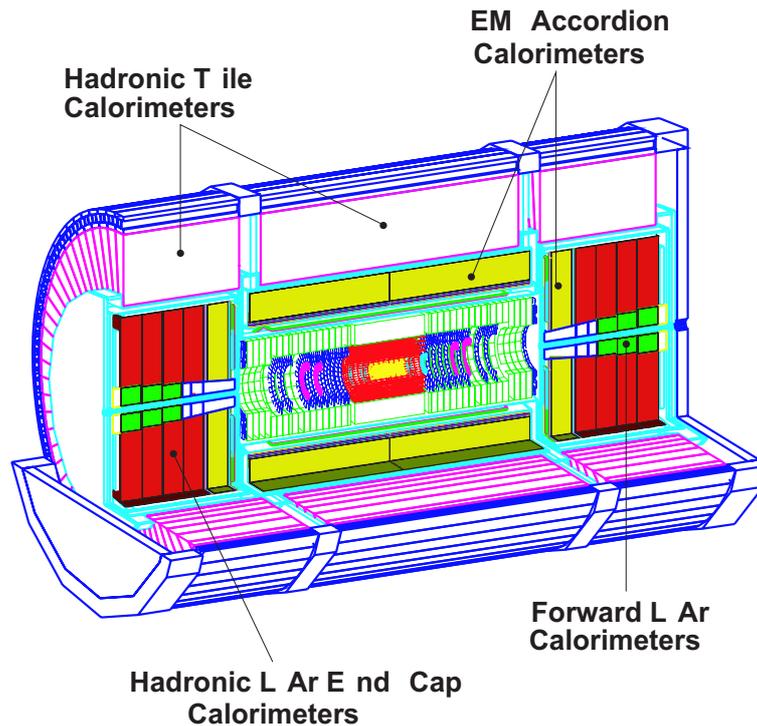


Fig 1.12: カロリメータ

1.3.3 カロリメータ

カロリメータの主な役割は、光子、電子、ジェットについて、位置・エネルギーの高い分解能に基づいた情報から、粒子のエネルギーを測定することである。図 1.12 に示すように、ATLAS 実験で使われるカロリメータは、3 種類から成り、広範囲のラピディティ $|\eta|$ をカバーするように設置される。

内側には、放射線耐性に優れ、また LHC のような高イベントレートに対処できるアコーディオン型電磁カロリメータが設置される。この検出器は、鉛の吸収体と液体アルゴンから成り、バレル、エンドキャップ部を合わせて $|\eta| < 3.2$ の領域を覆っている。外部バレル部 ($|\eta| < 1.6$) にはシンチレータと鉄がサンドイッチ構造をなすタイル型ハドロンカロリメータが設置され、外部エンドキャップ部 ($1.5 < |\eta| < 3.2$) には、銅板を吸収体とした液体アルゴンのハドロンカロリメータが設置される。

1.3.4 ミューオンスペクトロメータ

ミューオンスペクトロメータは、運動量測定用検出器とトリガー用検出器からなり、内部検出器とは独立にミューオンの位置、運動量を測定することができる。ATLAS のミューオンシステムはトロイダル磁場を特徴とし、エンドキャップやフォワード領域でも精度よく運動量を測定できる。

ミューオンは、トロイダル磁場により主に η 方向に曲げられる。このミューオンの運動量測定には、バレルとエンドキャップ部で MDT(Monitored Drift Tube)、入射レートの高いフォワード部では CSC(Cathode Strip Chamber) が用いられる。ほぼ全領域を占める MDT は、レーザーによるアライメントを特徴し、数十 μm の精度でミューオンの位置測定を行なう。また、MDT の各所に配置されるホール磁場測定器により、複雑なトロイダル磁場が測定される。MDT は、6 層もしくは 8 層のドリフトチューブでステーションを構成し、バレル、エンドキャップ共に 3 ステーションで運動量測定を行なう。

一方、トリガー及び第2座標(ϕ 方向)の測定には、バレル部でRPC(Resistive Plate Chamber)、エンドキャップ部でTGC(Thin Gap Chamber)がそれぞれ用いられる。これらは、25nsのバンチ識別能力をもち、後述するトリガーシステムにおけるLVL1トリガーを構成する。Tab1.2に、これら4種類のチェンバーの特徴を示す。また、Fig1.13にATLAS測定器のR-Z断面図を示す。

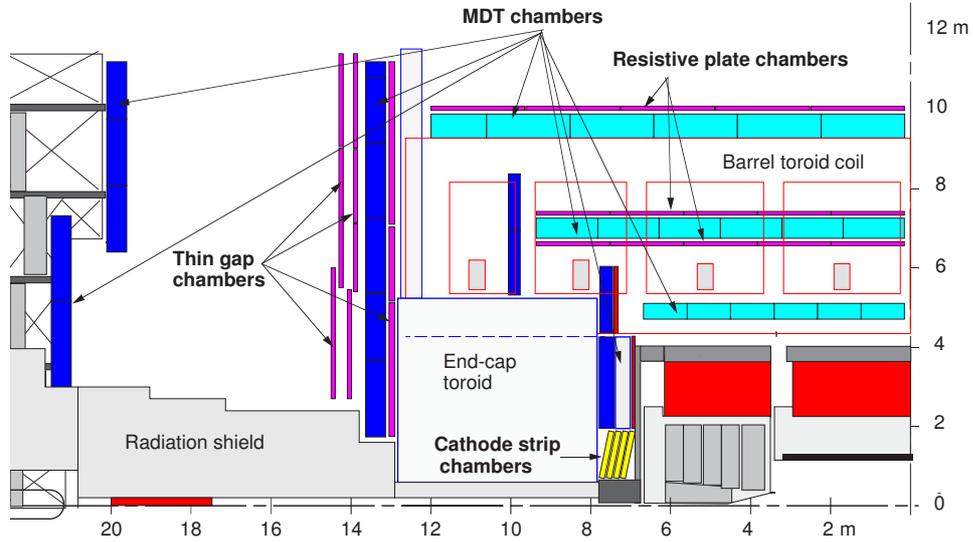


Fig 1.13: ミューオンスペクトロメータ (R-Z 平面での断面図)

Tab 1.2: ATLAS 実験におけるミューオン検出器の構成

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	30mm ϕ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	3.7×10^5
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	6.7×10^4
RPC	トリガー 第2座標測定 (ϕ)	0 ~ 1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1\text{ns}$	3.5×10^5
TGC	トリガー 第2座標測定 (ϕ)	1.05 ~ 2.4	狭いギャップのワイヤーチェンバー 時間分解能 $\sigma_t = 4\text{ns}$	3.2×10^5

1.3.5 マグネット

ATLAS 測定器のマグネットは、内部検出器を包み込む中央ソレノイドマグネット、カロリメータの外側に設置されるトロイダルマグネットがあり、いずれも超伝導電磁石が使われる。

トロイダルマグネットは、Fig1.14 に示すように、バレル部とエンドキャップ部で別々のものが設置され、積分磁場強度 (磁石が粒子を曲げる能力を表す磁場を粒子の飛跡に沿って積分した値) は、バレル部 ($\eta:0 \sim 1.3$) で 2 ~ 6Tm、エンドキャップ部 ($\eta:1.6 \sim 2.7$) で 4 ~ 8Tm になる。またトロイダルマグネットの磁場は、Fig1.15 に示すように、 ϕ 方向成分だけでなく R 方向成分も形成される。

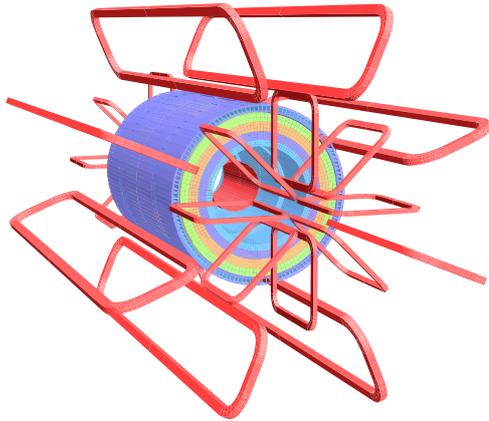


Fig 1.14: トロイダルマグネットの配置

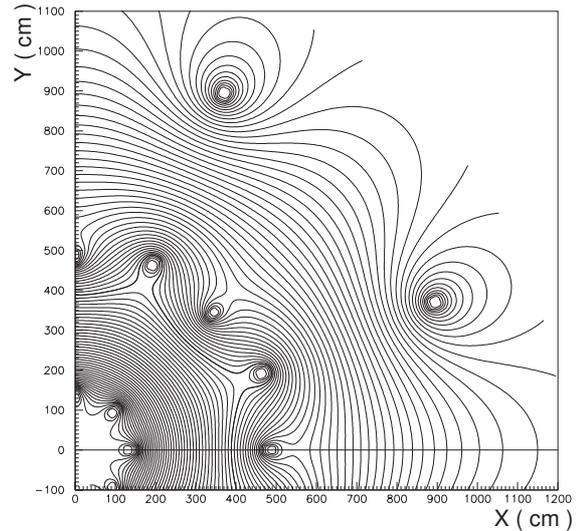


Fig 1.15: エンドキャップ部の磁束の構造
(XY 平面:Z=10.5m)

1.4 ATLAS 実験のトリガー及びリードアウト

LHC の最高ルミノシティ $10^{34}/\text{cm}^2/\text{s}$ では、40.08MHz のビーム衝突ごとに平均 23 個の陽子陽子の衝突 (minimum bias events) がオーバーラップして発生し、1GHz 程のイベントレートで何らかの生成反応が発生する。

1 イベントあたりを記録するのにデータ量は平均 1.5Mbyte が必要と見積もられているが、計算機資源や記録装置からの制限から 300Mbyte/s 位でしか記録はできない。記録されるデータの頻度を 200Hz 程度まで減らす必要がある。そのため、莫大なバックグラウンドの中から各検出器のデータをもとに、物理的に重要なイベントだけを効率良く正確に選び出すためのシステムの構築が必要となる。

ここでは、ATLAS 実験におけるトリガー及びデータ収集システムについて述べる。

1.4.1 トリガーのスキーム

ATLAS 実験では、膨大なデータ量の中から、興味あるイベントを効率良く識別し、データ収集を行なうために、Fig1.16 に示すように、LVL1 (レベル 1)、LVL2(レベル 2)、EF(イベントフィルター) の 3 段階のトリガーシステムを導入している。データは各検出器からの情報をもとに、各システムで段階的に処理され、最終的に興味あるイベントのみが、記録装置に保存される。

次に各段階のトリガーについて、簡単に説明する。

LVL1(レベル 1)

LVL1 では、カロリメータとトリガー用のミュオン検出器 (TGC と RPC) の情報のみを使って、40MHz の各バンチ衝突に対して L1A(レベル 1 アクセプト、レベル 1 トリガー判定) の決定を行なう (Fig1.17)。レベル 1 トリガー判定のレートは最大 75kHz であるが、100kHz までアップグレードが可能であるとしている。

またレベル 1 トリガーのレイテンシー (バンチ衝突後から、トリガー処理を行い、判定された L1A 信号がフロントエンドエレクトロニクスに到達するまでに要する時間) は、 $2.5\mu\text{sec}$ (うち $0.5\mu\text{sec}$ は予

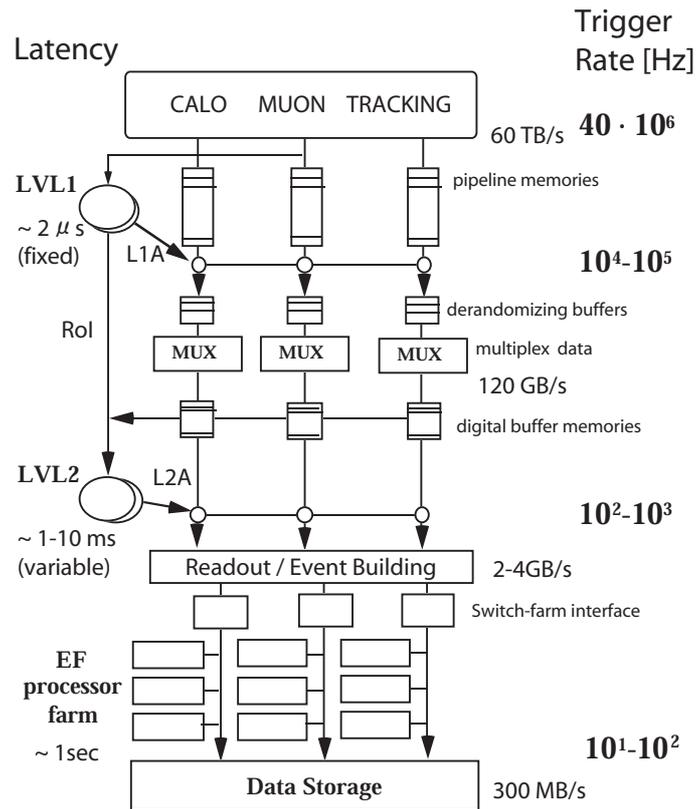


Fig 1.16: ATLAS 実験のトリガー処理の流れ

備)である。フロントエンドの各検出器は、パイプラインメモリを実装し、L1Aを受けとるまでデータを保持している。

LVL2(レベル2)

LVL2ではカロリメータ、ミュオン検出器(運動量精密測定用検出器であるMDT, CSCも含む)、内部検出器のすべての検出器からの完全な位置情報と精度を持つデータを用いて行なうが、処理資源の節約から、LVL1の情報の中からRoI(Region of Interest:LVL1での電子、フォトン、ジェット、ミュオンの中で、High-Ptとなった重要な粒子を含む領域)からの情報のみを使って、トリガー判定が行なわれる(Fig1.17)。

これによって、トリガーレートは1kHz程度になる。処理はコンピュータを使った並列処理である。

EF(イベントフィルター)

レベル2アクセプトを与えられたデータは、イベントビルダーを介してEFに送られる。EFでは、すべての検出器の完全なヒット情報を用いてトリガー判定がなされる。EFのトリガーレートは100Hzである。1イベントを記録するのに必要なデータサイズは平均1.5MB程度なので、300MB/sec程度の能力を持った記録装置が必要である。EFではコンピュータ・ファームによって並列処理を行い、1イベントの処理に必要な時間は約1secである。

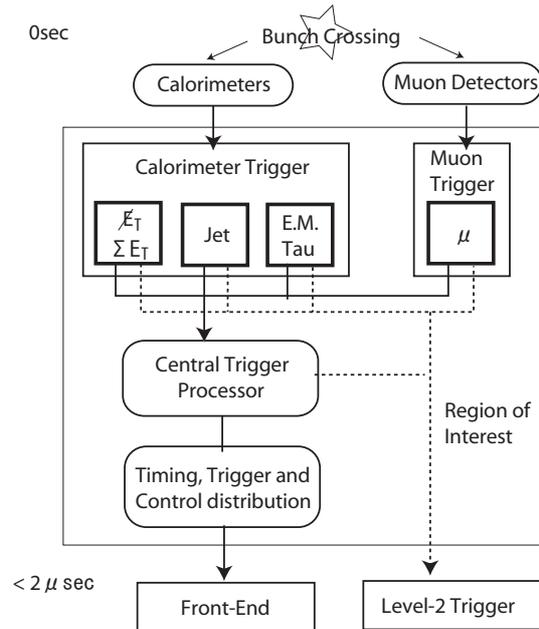


Fig 1.17: レベル1トリガーシステムのブロック図

1.4.2 リードアウトのスキーム

ATLAS 検出器からのデータは、ディスクに記録される前に Fig1.16 のように 3 段階のトリガーを受けて興味あるイベントのみが選ばれる。各段階でのトリガーを受け取る前には、それぞれのトリガーレイテンシの時間、データを保持できる深さのバッファを読み出しシステムは用意している。

ATLAS の読み出しシステムの説明には Fig1.18 がわかりやすい。

各検出器からのデータは L1A を受け取るまでの時間、それぞれフロントエンドのパイプラインメモリに保持される。LVL1 トリガーを受け取ったイベントについて、キャリブレーションのためその前後数バンチのイベントデータと一緒に、データは ROlink(Read Out link) を通って、ROS(Read Out System) 中の ROB(ReadOut Buffer) というメモリに送られる。

ROB のデータのうち、LVL1 システムからの RoI 情報で指示された領域のデータだけが LVL2 トリガーシステムへ読み出される。ROS が L2A(レベル2 アクセプト) を受け取ると、ROB はそのイベントについて RoI の部分だけでなくすべての領域のデータを LVL3 トリガー (Event Filter) システムに送る。LVL3 でイベントビルドされ、L3A を受けたデータだけがディスクに保存される。

読み出しシステムは大きくはリードアウトリンク (ROlink) の前と後に分けることができ、機械的にも ROlink 以前 (フロントエンド) のエレクトロニクスは各検出器グループに設計が任され、ROlink 以後は ATLAS 全体で共通のエレクトロニクスを使う。以後、ROlink 以前と以後で分けて ATLAS の読み出しシステムを簡単に説明する。

Front-End(フロントエンド)

検出器からの信号は、まず各チャンネルごとに、各検出器のエレクトロニクスに設置されるレベル1 バッファと呼ばれるパイプラインメモリに保持され、L1A(レベル1 アクセプト) 信号を受け取るまで待つ。レベル1 の処理時間である $2.5\mu\text{s}$ の間、 25ns ごとにやってくるイベント信号を溢れさせない深さのバッファが最低必要になる。

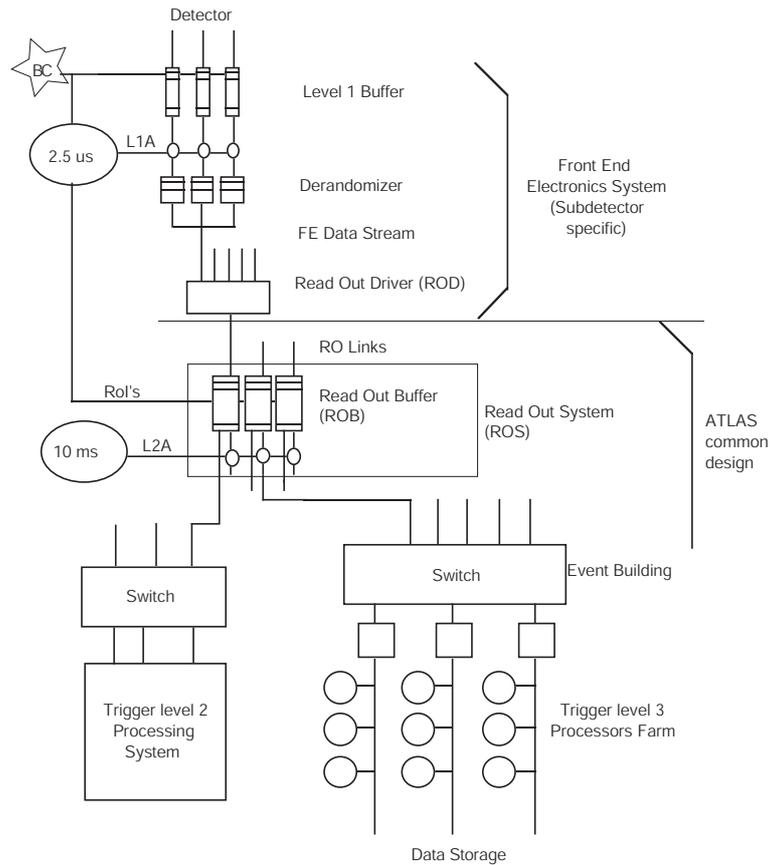


Fig 1.18: ATLAS 実験のリードアウトシステム

L1A を受けた信号は、デランダムマイザ (Derandomizer) と呼ばれるバッファに送られる。L1A は不規則に与えられるため、レベル1 バッファがデータを出力するタイミングも不規則であり、デランダムマイザはバッファとして一時的にこのデータを保持し、ROD(Read Out Driver) まで送る。デランダムマイザは、データを溢れさせないよう十分な深さのバッファにする必要がある。

また、多数のレベル1 バッファからのデータを ROD まで届ける間には、デランダムマイザの他にマルチプレクサを用意して、ROD につながるケーブル数を減らす。デランダムマイザとマルチプレクサの部分では、必要に応じてデータ圧縮を行うこともできる。

ROD では、集めたデータをイベントごとに整理し、TTC(Timing Trigger and Control) から受け取る BCID(イベント番号)/L1ID(LVL1 トリガー番号) とリードアウトデータのフォーマットに埋め込まれた BCID/L1ID とで整合性を確認する。このデータを、ATLAS 共通の仕様である ROS に届けるため最終的なフォーマットに変換し、ROS の中の ROB に送る。(Fig1.19)

ROlink(リードアウトリンク) 以降

ROB(Read Out Buffer) に送られたデータは、LVL1 トリガーシステムから受け取った RoI の領域だけ LVL2 トリガーシステムからリクエストされ、コピーされる。LVL2 トリガーレイテンシ (1~10msec) の時間、すべての検出器からのデータは ROB で保持される。L2A を受け取ると ROB は保持していたデータを LVL3 トリガーシステムに送る。LVL3 トリガーシステムではイベントビルダーにおいてすべてのデータからイベントが復元(リコンストラクト)され、イベントフィルタのプロセッサファームで LVL3 アクセプトされると記録装置に送られて、ようやく保存される。

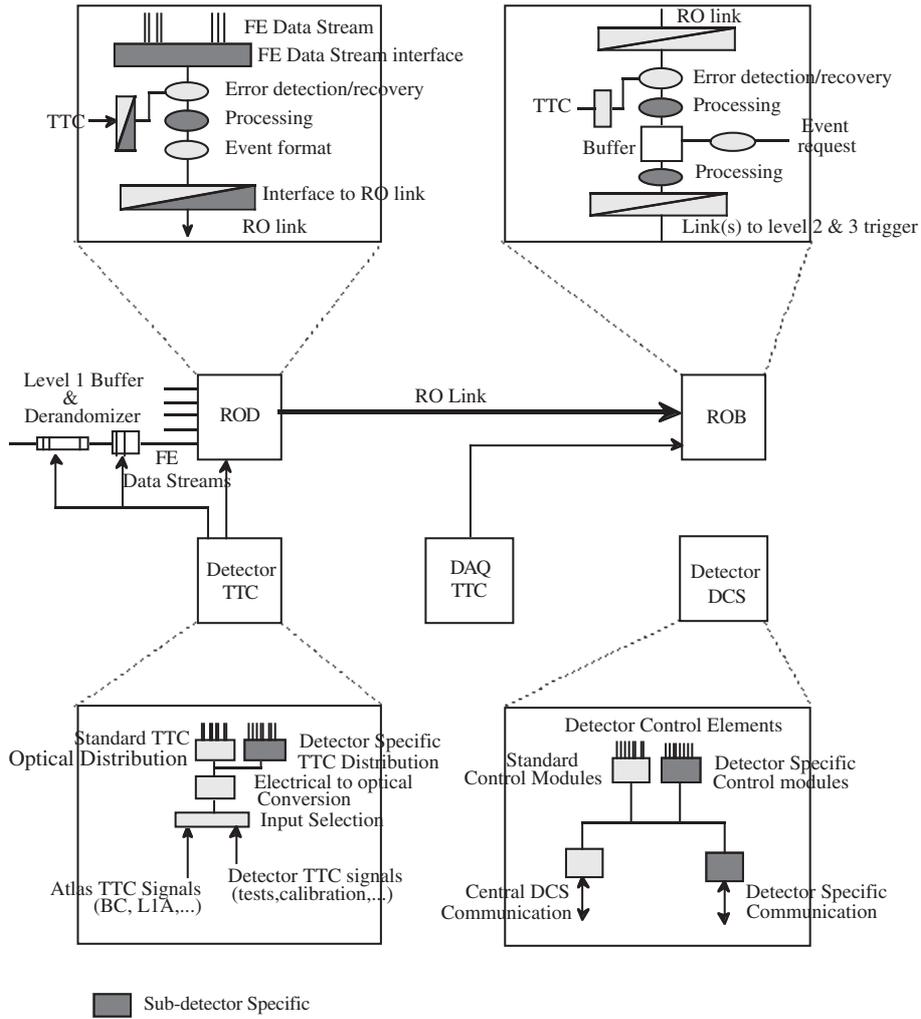


Fig 1.19: リードアウトリンク (ROlink、ROD から ROB へのリンク)

1.4.3 DCS(Detector Control System)

ATLAS 実験の各検出器の制御と監視を行なうために、DCS(Detector Control System) と呼ばれるシステムを導入する。DCS では、フロントエンドエレクトロニクスの閾値電圧などの検出器を運転するのに必要なパラメータの設定、電源システムの監視、温度測定やガス系の圧力と流量などの検出器の安全性を確保するために必要なパラメータの監視などが行なわれる。

1.4.4 TTC(Timing Trigger and Control distribution)

TTC システムとは、フロントエンドの各エレクトロニクスの同期をとるために、BC クロックや L1A、カウンタリセットなどの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。

Chap2 Endcap Muon Trigger System (TGC System)

この章ではTGC ミューオントリガーシステムについて説明する。TGCシステムは、TGC チェンバーとTGC エレクトロニクスで構成される。TGC チェンバーは量産が終了し、今まさに1/12セクターでの組み立てを初める段階である。またTGC エレクトロニクスも、すべてのパートで最終仕様が完成し、一部は量産も終了、今後は残りの量産と組み込みが行なわれる。

2.1 Thin Gap Chamber(TGC) の構造

TGCはエンドキャップのミューオントリガー検出器である。 ϕ 方向(ビームを軸にして回転する向き)にストリップ、R方向(ビームから外側へ向かう方向)にワイヤーの2次元読み出しをもつMulti Wire Chamberである(Fig2.1)。ワイヤーからの信号は、4~20本毎にワイヤープグループとして束ねられて(各ワイヤーでのORを取って)読み出される。一方、ストリップは、チェンバーの1層を32分割している。従って、ストリップ、ワイヤー共に3~5cm程度が1チャンネルとして読み出される。

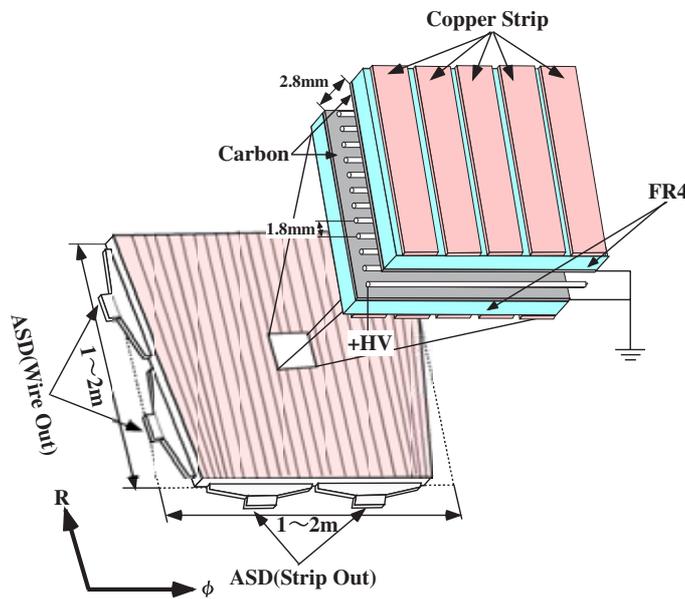


Fig 2.1: TGC の構造

TGCの内部構造をFig2.2に示す。ワイヤーは直径 $50\mu\text{m}$ の金メッキタングステン線で、1.8mmの間隔で張られている。ワイヤーとカソードの間隔は1.4mmと狭く、 10^6 の高いゲインと速い応答を特徴とする。動作モードは制限比例モードである。ガスギャップには $\text{CO}_2/n\text{-pentane}(55/45)$ の混合ガスが満たされ、2.9kVの高電圧が印加される。

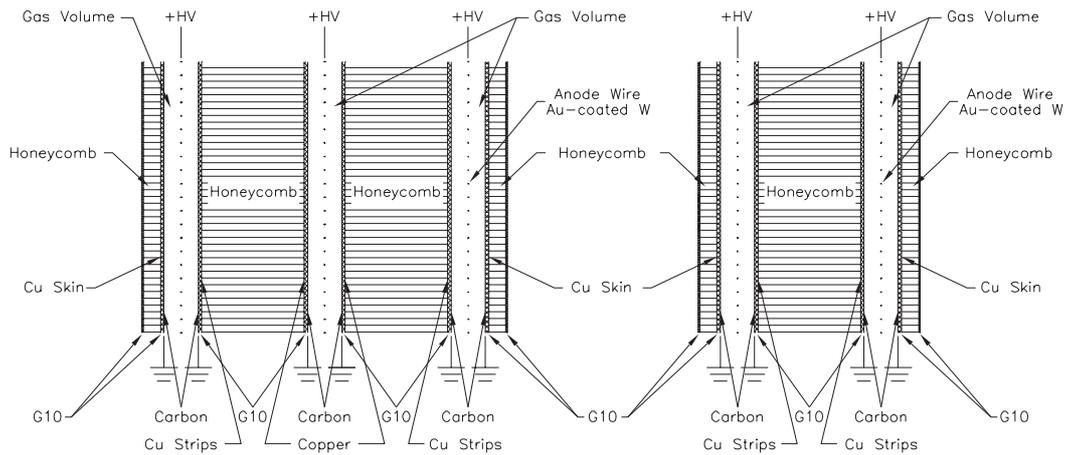


Fig 2.2: TGCのトリプレット (左) とダブルレット (右) の構造

実際の ATLAS 実験では、Fig2.2 に示すように、20mm の紙ハニカムを挟んだ 2 層 (ダブルレット)、もしくは 3 層 (トリプレット) の TGC モジュールを使用する。トリプレットは 3 層のワイヤー面と 2 層のストリップ面からの読み出し、ダブルレットは 2 層のワイヤー面と 2 層のストリップ面からの読み出しをもつ。各層でチャンネルが 1/2 又は 1/3 ずれているため、実質、モジュールでは 2 倍もしくは 3 倍の位置分解能をもつ (Fig2.3)。

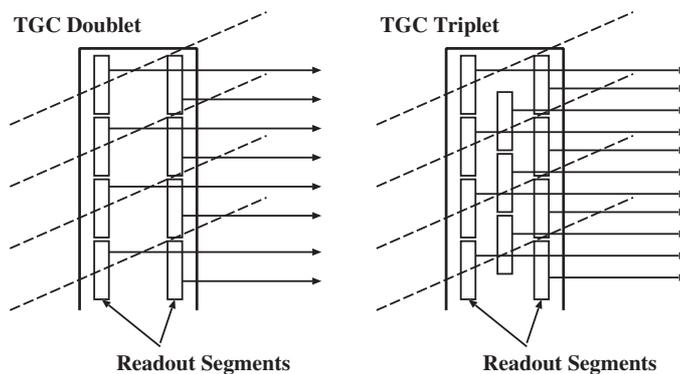


Fig 2.3: TGC 各層でのワイヤークループの重ね方。実効的な位置分解能を上げる。

Fig2.4 に、粒子が TGC を通過してから信号を出すまでの時間のばらつき (タイムジッター) を示す。これは、 π 粒子を用いたビームテストの結果である。ATLAS 実験での TGC への入射角度は 10 度から 45 度であり、タイムジッターは、LHC のバンチ間隔である 25ns と同程度に収まる。従って、トリガー検出器として不可欠なバンチ識別を行なうことが可能である。

2.2 TGC の ATLAS 実験での使い方

Fig2.5 に示すように、TGC システムは M1(Triplett)、M2(middle Doublet)、M3(pivot Doublet) と EI(Endcap Inner)/FI(Forward Inner) の各ステーションから構成される。M1 は 3 層 (トリプレット) のチェンバー、M2、M3 は 2 層 (ダブルレット) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。EI/FI の情報は高ルミノシティ時にバックグラウンドを落としたいとき使うことが考

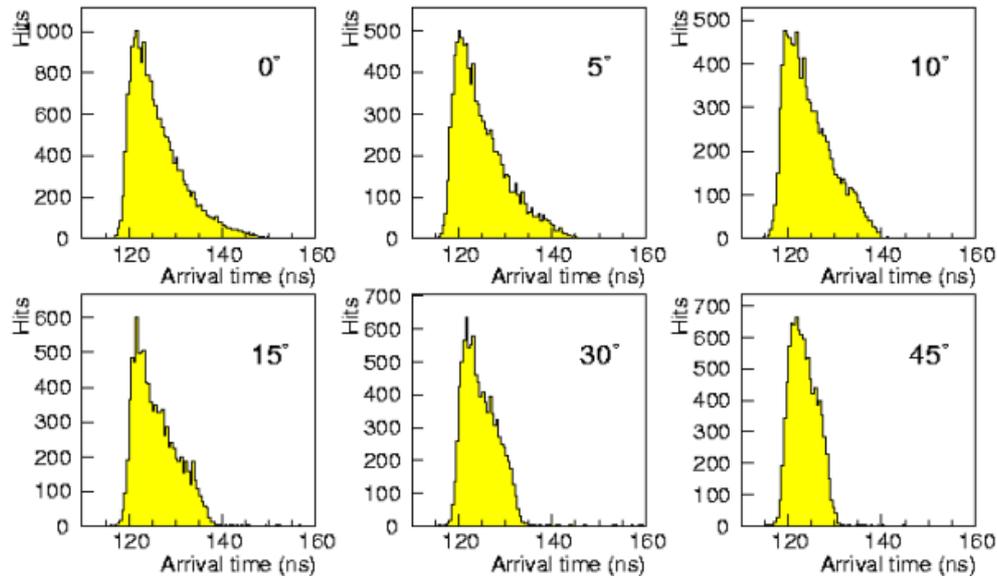


Fig 2.4: TGC のタイムジッター

えられている。TGC がカバーする範囲は $1.05 < |\eta| < 2.40$ の領域であり、 $|\eta| < 1.92$ をエンドキャップ領域、 $|\eta| > 1.92$ をフォワード領域と呼ぶ。

TGC は円形のエンドキャップを覆うように、 $2 \times 2\text{cm}^2$ 程度の複数の形状の異なるチェンバーを敷き詰めて使用する。ATLAS 実験では約 3700 枚の TGC が使用され、チャンネル数は 32 万にのぼる。

2.2.1 トリガーチェンバーとしての働き

Fig2.6 に、TGC のトリガー処理でのミューオンの横運動量 P_t の求め方を示す。まず、M3(pivot 層) とビーム衝突点を結ぶ直線を P_t が無限大のミューオントラックと考える。磁場で曲げられ曲率をもった実際のミューオントラックは、M2 や M3 では R、 ϕ 方向に若干ずれた位置で検出される。このずれ δR 、 $\delta\phi$ の情報を元に、用意しておいた P_t のしきい値と比べて P_t の判定を行なう。

δR 、 $\delta\phi$ を求める際に課すコインシデンス条件としては、Triplet(M1) でワイヤーが 3 層中 2 層 (2/3)、ストリップが 2 層中 1 層 (1/2)、2Doublet(M2 と M3) でワイヤー、ストリップ共に 4 層中 3 層 (3/4) のヒットを要求する (Fig2.7)。バックグラウンドがうるさいときは、それぞれ全層ヒット (3/3 など) の厳しい条件を課す設定も可能である。

2.2.2 データの読み出し

TGC のワイヤー信号については 4 ~ 20 本をまとめて (Fig2.8)、ストリップについては 1 本 1 本が読み出しエレクトロニクスに繋がる。

データはアナログ・デジタル変換をされた後、レベル 1 バッファ(パイプラインメモリ) に保存される。同じデータがレベル 1 トリガーシステムにコピーされ、トリガーマトリックスを通してトリガー判定が行われる。

レベル 1 バッファでは L1A(レベル 1 アクセプト) を受けると、メモリのデータに BCID(イベント番号)/L1ID(トリガー番号) を付け足して、デランダムイザへと送る。この際、キャリブレーションのために L1A を受けたイベントの前後 1 イベントずつのデータも送る。

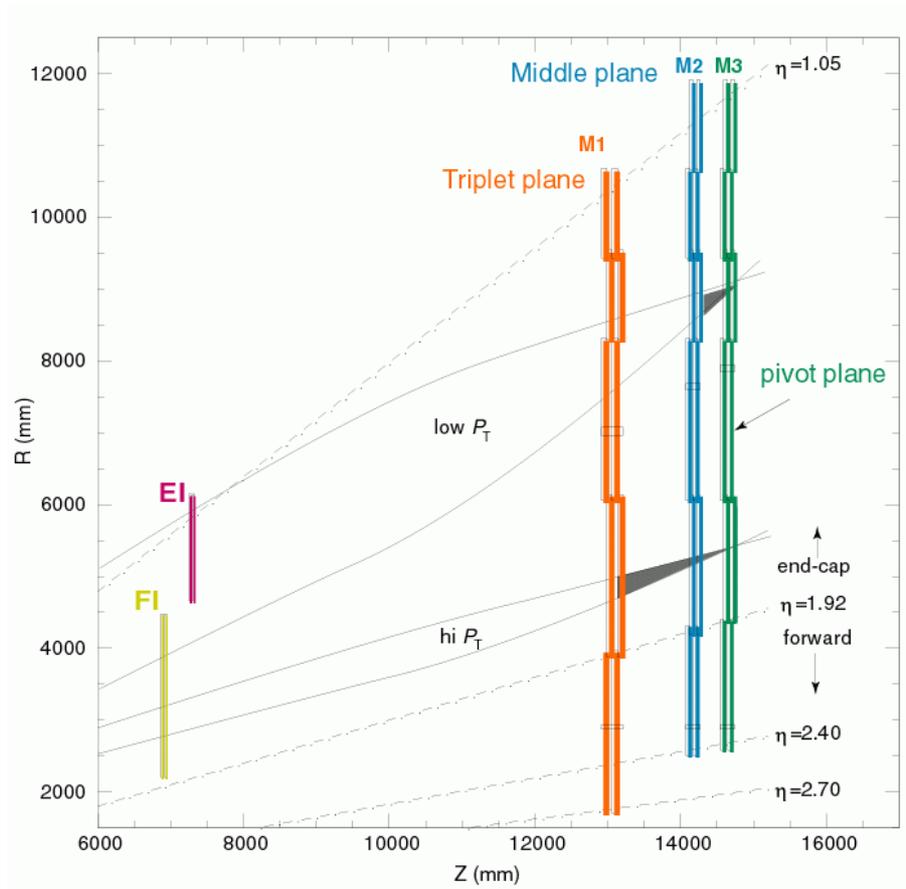


Fig 2.5: R-Z 平面での TGC のレイアウト

エンドキャップを覆う TGC では、他の検出器に比べて処理すべきデータ量が少ない。そのため、マルチプレクサを用意して ROD に送る光ファイバーケーブルの数を減らすたり、データ圧縮をして 1 本のケーブルで送るスレイブの数を増やすという設計が賢い。

マルチプレクサからの出力データは、光信号に変換して実験室の外に置かれる ROD へと送る。ROD で BCID/L1ID の確認をしたあと、最終的なフォーマットに組み替えて、ROS 中の ROB へとデータを送る。(Fig2.9)

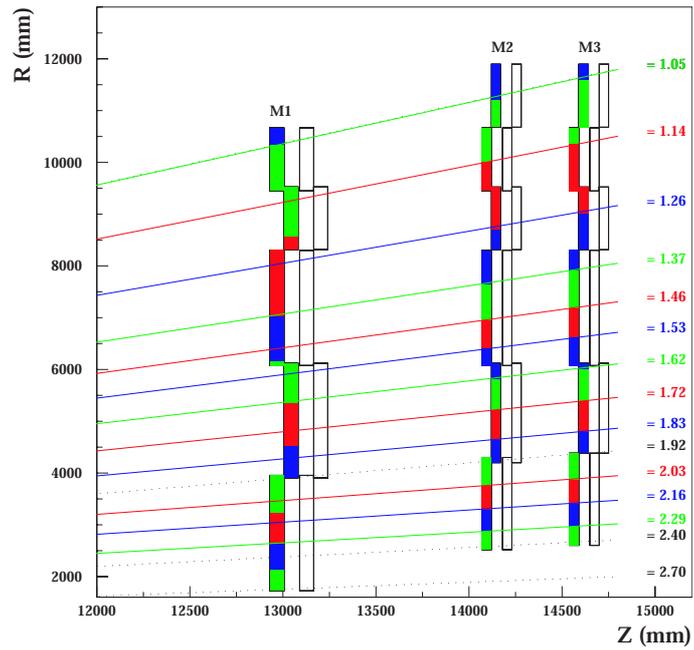


Fig 2.8: ワイヤチャンネルの区分け。色で分けた領域毎にワイヤをそれぞれ 32 チャンネルにまとめる

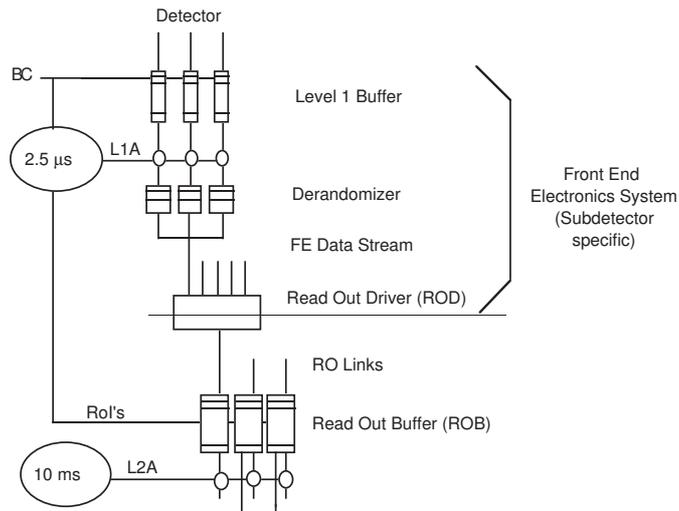


Fig 2.9: フロントエンドのリードアウトシステム

2.3 TGCエレクトロニクス

上記のTGCの特徴にあわせて、TGCエレクトロニクスは以下で順に説明するように複数のモジュールへ機能を振り分けてシステムを構成している。

2.3.1 システムの概要

TGCエレクトロニクスの全システム全体を一枚の絵に表すと Fig2.10 のようになる。

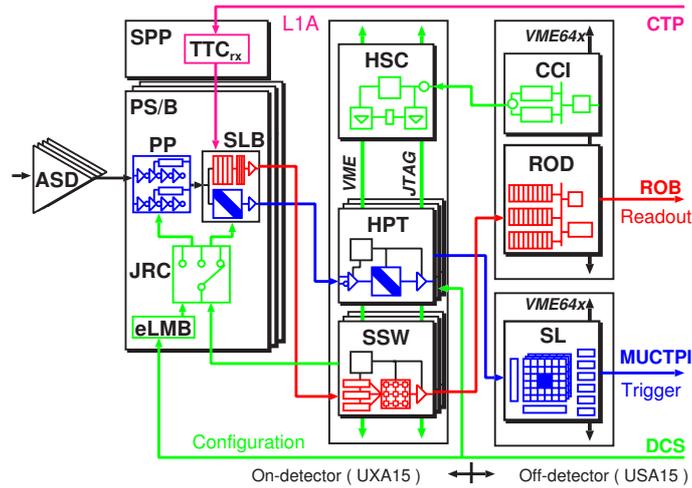


Fig 2.10: TGCエレクトロニクスのレイアウト

TGCエレクトロニクスの機能には大きくわけて、1. トリガー、2. 読み出し、3. コントロールの3つに分かれる。以下、それぞれの流れについて説明する。ただし、ボード、モジュールの詳細は、次節以降で説明する。

トリガー

TGCの信号は、検出器付属のASDボードで増幅、整形が行なわれたあと、TGCモジュールの表面に設置されるPS Board(PSB)に差動信号であるLVDS (Low Voltage Differential Signaling)で送られる。

PS Board内では、Patch Panel(PP)でパンチ識別が行なわれ、Slave Board(SLB)でTriplet、2Doubletそれぞれ独立にコインシデンスがとられる。この結果は、TGCビッグホイールの外端に設置されるクレート上のHigh-Pt Board(HPT)にLVDSで送られる。

High-Pt Boardでは、Triplet、Doublet間のコインシデンスをとって、その結果は、光ケーブルで実験室の外にあるエレキハットのSector Logic(SL)に送られる。

Sector Logicはワイヤー、ストリップのコインシデンス処理、 δR 、 $\delta\phi$ によるPt判定を行ない、位置情報(RoI)とPtレベルをMUCTPI(Muon Central Trigger Processor Interface)に出力する。

読み出し

CTP(Central Trigger Processor)が出すLVL1トリガー信号は、ServicePatchPanel(SPP)上のTTCrxで受信されSlave Board(SLB)へ送られる。Slave Boardは、L1A(レベル1アクセプト)を受けたL1

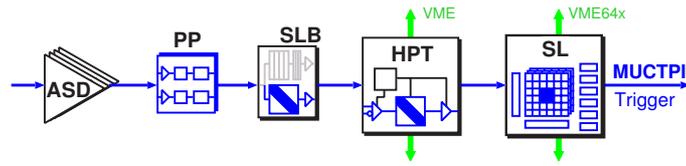


Fig 2.11: トリガー部

バッファ上のデータ (L1A の前後のパンチをあわせた 3 イベント分) を TGC ビッグホイールの外端に設置されたクレート上の Star Switch(SSW) へ LVDS で送信する。

Star Switch はマルチプレクサとして複数の Slave Board からのデータを収集し、ゼロサプレスという方法で圧縮を行い、光信号でエレキハットの ReadOut Driver (ROD) まで送る。ReadOut Driver は、イベントの整合性をチェックし、ROB にデータを渡す。

ATLAS のリードアウト仕様 (Fig1.18) と比べると、L1 バッファとデランダムマイザの半分を SLB が受け持ち、Star Switch が残り半分のデランダムマイザとマルチプレクサに相当する。

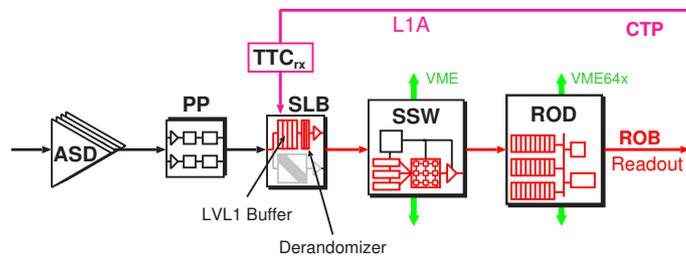


Fig 2.12: リードアウト部

コントロール

エレキハットの VME モジュールは直接 PC で制御される。一方、実験ホール内にある TGC ビッグホイールの外端上の VME クレートには、VME マスターとして HSC(HighPtBoard StarSwitch Controller) が置かれ、エレキハットの CCI(Crate Control Interface) から光ケーブルで繋いで遠隔制御する。

また、TGC モジュール面に設置される PS board は、Star Switch から JTAG プロトコルを用いて制御する。このとき、PS board 上の各 ASIC へのルーティングには JRC(JTAG Route Controller) が使用される。

さらに、別系統として、DCS(Detector Control System) が HSC クレートと PS board に制御系をもち、TGC の HV(High Voltage supply) や ASD のしきい値等の設定、監視が行なわれる。

2.3.2 エレクトロニクスの配置

Fig2.15 に示すように、TGC エレクトロニクスは大きく分けて 3 箇所に設置される。

PS pack

Triplet(M1) の正面と pivot Doublet(M3) の後面に設置される。Fig2.14 に示すように、PS board と Service Patch Panel が収められ、TGC チェンバーと LVDS でリンクされる。

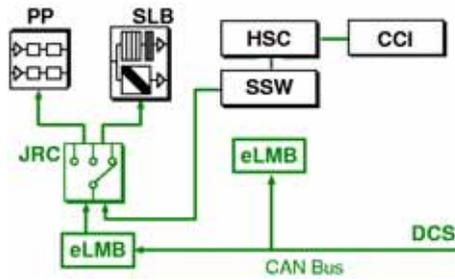


Fig 2.13: コントロール部

TGC エレクトロニクスが設置される場所で最も放射線が強く、搭載される IC は十分な放射性耐性を備えている必要があり、PP と SLB は ASIC(Application Specific Integrated Circuit) で、JRC は Antifuse タイプの FPGA(Field Programmable Gate Array) で実装する。ASIC、FPGA のほか COTS(Components Off The Shelf) もすべて放射線照射テストを行って安全性を確認してある。

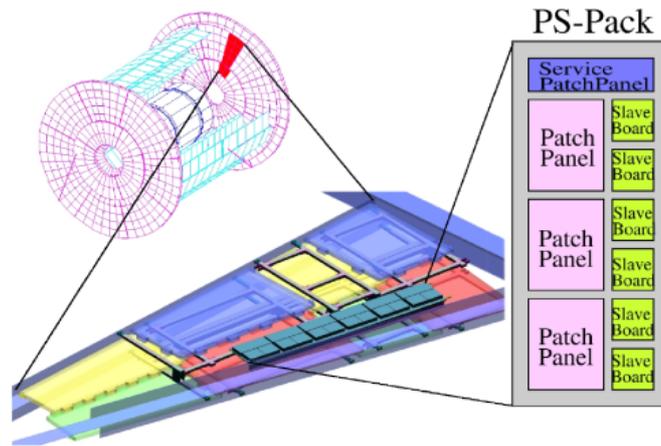


Fig 2.14: PS pack

HSC crate

TGC ビッグホイールの外端上に設置される 9U の VME クレートである。トリガー処理を行なう High-Pt Board、読み出し処理を行なう Star Switch、これらのコントローラーである HSC が設置される。PS pack とは最長 15m の LVDS でリンクされ、エレキハットとは 80m の光ケーブルで繋がれる。

検出器上にある PS Pack とエレキハットとの中継点として機能し、ATLAS 全体が組みあがった後もアクセスが可能である。

ROD crate/SL crate

エレキハットに設置される VME クレートである。トリガー処理、読み出し処理をそれぞれ統括する Sector Logic、ReadOut Driver が設置される。また、HSC クレートを遠隔制御する CCI が設置される。TGC エレクトロニクスの最下流に位置し、MUCTPI や ROB にデータを受け渡す。

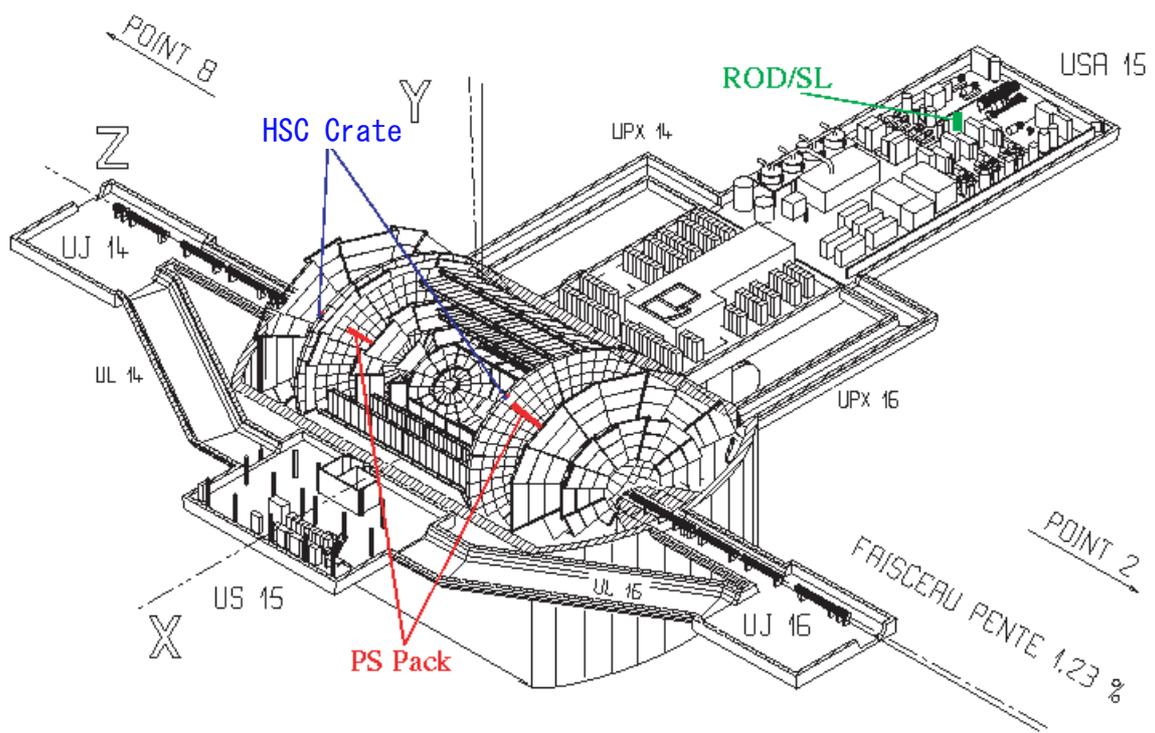


Fig 2.15: アトラスホールとエレキハット

2.3.3 各エレクトロニクスの説明と写真集

TGC エレクトロニクスを構成するモジュール、ボードについて説明する。主要な機能は、放射線耐性、処理速度、スペースを考慮してカスタム IC である ASIC(Application Specific IC) や Antifuse FPGA(Field Programmable Gate Array) などで実装されている。

ASD board

ASD board(Fig2.16) は TGC 検出器の横に取り付けられ、1board で 16 チャンネルを処理する。ASD は TGC のシグナルを 2 段階で増幅 (Pre Amp, Main Amp)、整形し、ディスクリミネートする。この出力は、ノイズに強い差動信号である LVDS で PS board に送られる。また、回路の診断、タイミング調整のためのテストパルスを出力する機能をもつ。

ASD の電源電圧と閾値電圧は、PS board から供給される。

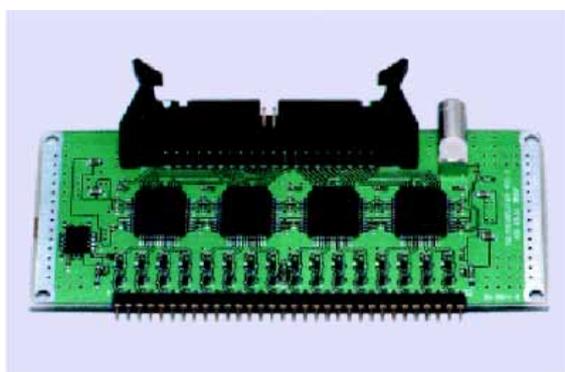


Fig 2.16: ASD Board

PS board

PS board(Fig2.17) は十数枚まとめて PS pack とよばれるケース (Fig2.14) に納められ、Triplet 前面と pivot Doublet の後面に取り付けられる。典型的には、1 枚の PS board に、Slave Board ASIC 2 つ、Patch Panel ASIC 8 つ、JRC ASIC 1 つが載せられる。

ボード当たりのチャンネル数は、256 ~ 320 である。TGC 境界部分でのチャンネルの OR、 δR 、 $\delta\phi$ を求めるための adjacent 入力を考慮してボード上に配線がされている。また、PS pack には Service Patch Panel(SPP) が載せられ、SPP 上の TTCrx から、40.08MHz の LHC クロックおよび L1A(レベル 1 アクセプト) 等の TTC シグナルが PS board に供給される。

Patch Panel ASIC (PP)

ASD からのデータ信号を LHC クロックと同期させる ASIC である。入力/出力とも 32ch。PP のブロック図を図 2.19 に示す。

PP の機能をまとめると、

- TOF(Time of Flight) やケーブル遅延などによる入力信号のタイミングのばらつきを、1ns 以下の精度でタイミング調整する。

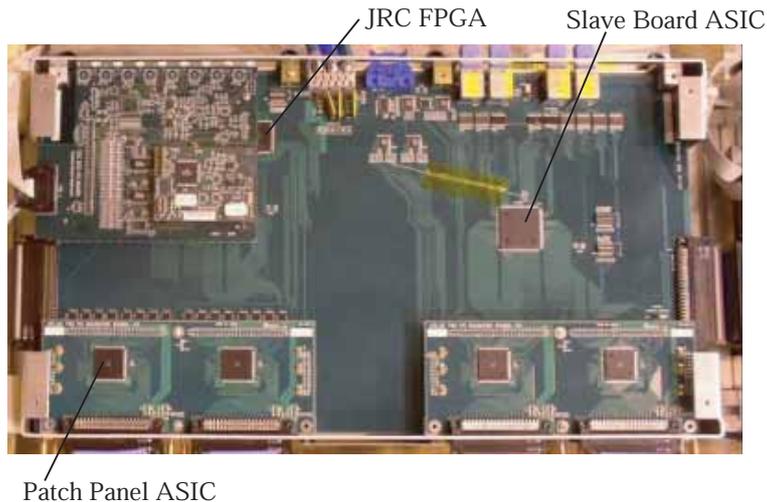


Fig 2.17: PS board の写真

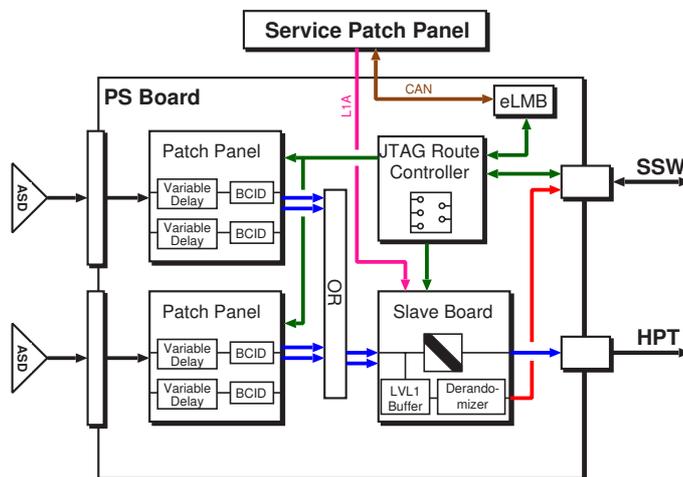


Fig 2.18: PS board ブロック図

- ゲートも 25ns~50ns で可変に設定できる。
- チャンネル不良に対処するため、入力の 32ch それぞれチャンネル毎にマスクをかけることができる。
- ASD board ヘテストパルストリガーを出せと命令をできる。

Slave Board ASIC (SLB)

レベル1 トリガーのコインシデンス処理、TGC ヒットマップの読み出し処理を行なう ASIC である。ブロック図を Fig2.21 に示す。

典型的には 1 チップで各層 32 チャンネルを処理する。各イベントのデータは L1A のレイテンシーの深さに設定されたパイプラインバッファ(L1buffer) に貯められる。L1A を受けたイベントは、設定次第で前後 1 イベント分も含め、LVDS で Star Switch に送られる。

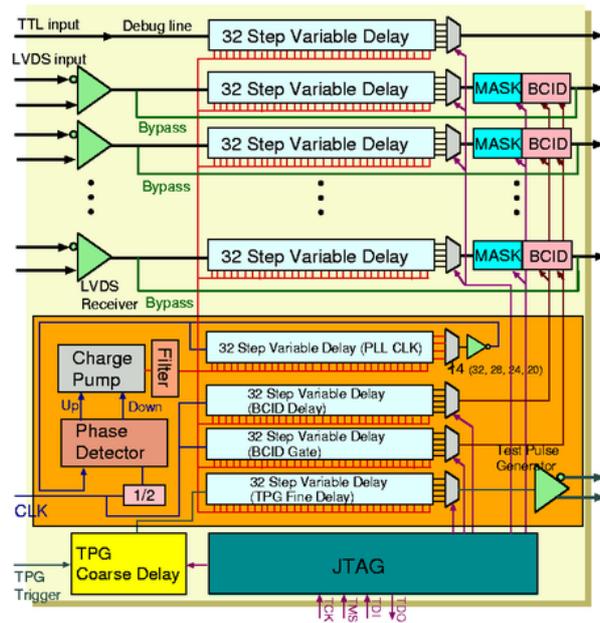


Fig 2.19: PP のブロック図

入力データのトリガー処理については、Wire か Strip、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス (Wire Doublet, Strip Doublet, Wire Triplet, Strip Triplet, EI/FI) を切替えて使用する。Coincidence Window は、Wire が ± 7 、Strip が ± 3 channel である (Fig2.20)。Triplet、Doublet にはそれぞれ、 $2/3$ (Strip は $1/2$)、 $3/4$ のコインシデンス条件が課される。

また、入力の遅延や、チャンネル毎のマスク、より厳しいコインシデンス条件等を設定することができる。さらに、入力部にテストパルスパターンを設定し、テストパルスを流す機能をもつ。設定はすべて JTAG で行われる。

HighPt Board(HPT)

HPT (Fig2.22) は TGC ビッグホイール外端上の VME クレートに置かれる。Doublet、Triplet SLB からの情報を元に、Doublet と Triplet の間のコインシデンス処理を行なうモジュールである。1 board に 4 つの HighPt ASIC を搭載し、1ASIC は Doublet SlaveBoard のチャンネル数で最大 192 channel を処理する。

Coincidence Window は、Wire は ± 20 channel の範囲で、 ± 15 にエンコードされる (Fig2.24)。Strip は ± 7 である。この δR 、 $\delta \phi$ が、最終的なミュオンの p_T 判定に使用される。 δR 、 $\delta \phi$ の情報は、トリガー領域 (RoI) に対応する位置情報と共に、光ケーブルでエレキハット内の SectorLogic へ送信される。

Sector Logic(SL)

SL (Fig2.25) は R - ϕ コインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される (Fig2.25)。

SL のブロックダイアグラムを Fig2.26 に示す。SL では今まで独立に処理されていた R 方向 (ワイヤー) と ϕ 方向 (ストリップ) の情報を統合する。これらのコインシデンスを取り、さらに 6 段階の P_t しきい値で分類する。

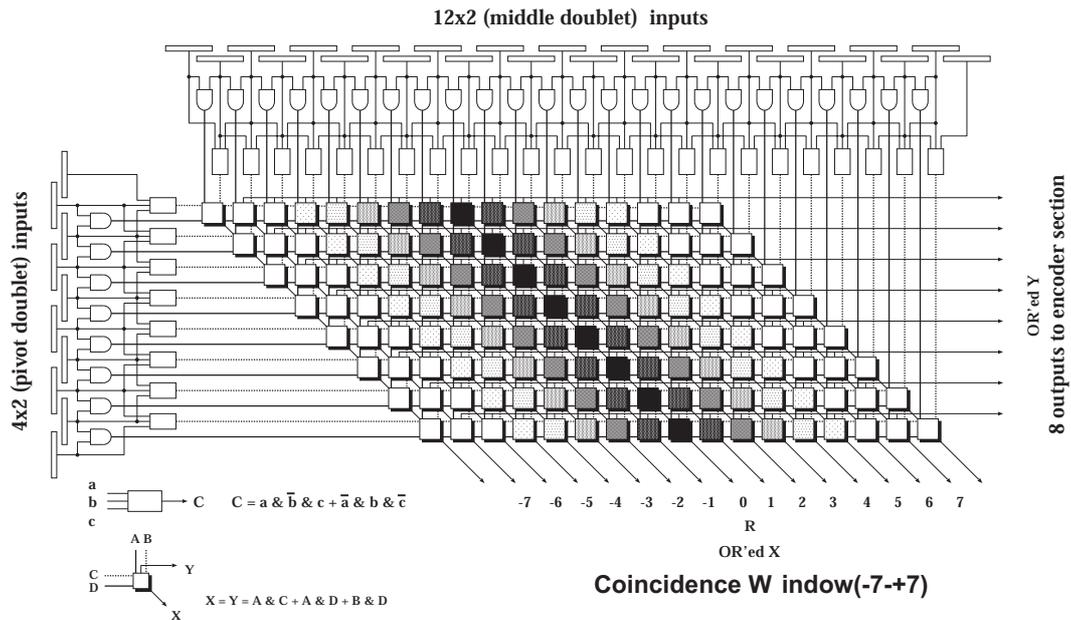


Fig 2.20: Wire Doublet SLB の場合のコインシデンスマトリックス

Pt の判定には 6 段階の閾値に対応した R-φ マップと呼ばれる LUT(Look Up Table) を使用する。このマップは、書き換え可能な FPGA(Filed Programmable Gate Array) 内に実装され、要求される閾値に対応させる。

プレトラックセクターは、6 段階の Pt 判定のそれぞれに用意され、Pt の大きい順に最大 2 トラックずつ選択される。最大 12 トラックがファイナルトラックセクターに送られ、この中で Pt の大きい方から最大 2 トラックが選択される。最後に、選択されたトラックの Pt レベルと位置情報 (RoI, Region of Interest) を MuonCTPI に出力する。

Star Switch(SSW)

SSW(Fig2.27) は複数の SLB からの読み出しデータを収集し、エレキハットの ROD へ中継するモジュールである。ATLAS のフロントエンド読み出し系の仕様ではデランダムマイザとマルチプレクサを兼ねている。

SSW のブロックダイアグラムを Fig2.28 に示す。ボード上にはリードアウトとして 2 種類の Antifuse FPGA が載り、それぞれ RX(LVDS receiver)、TX(Optical transmitter) である。RX はデランダムマイザにも相当し、SLB からのデータをゼロサブレスという方法で圧縮する。TX はマルチプレクサとして、出力を 1 本にまとめる。

また、StarSwitch は JTAG によって PS board 上の ASIC(SLB,PP) のコントロールを行ったり、I2C によって SPP 上の TTCrx の設定を行うことができる。

ReadOut Driver(ROD)

ROD(Fig2.29) は SSW から転送されるデータを収集し、ID の整合性等をチェックした後、データを規定のフォーマットに整えて、ROB(ReadOut Buffer) に送る。

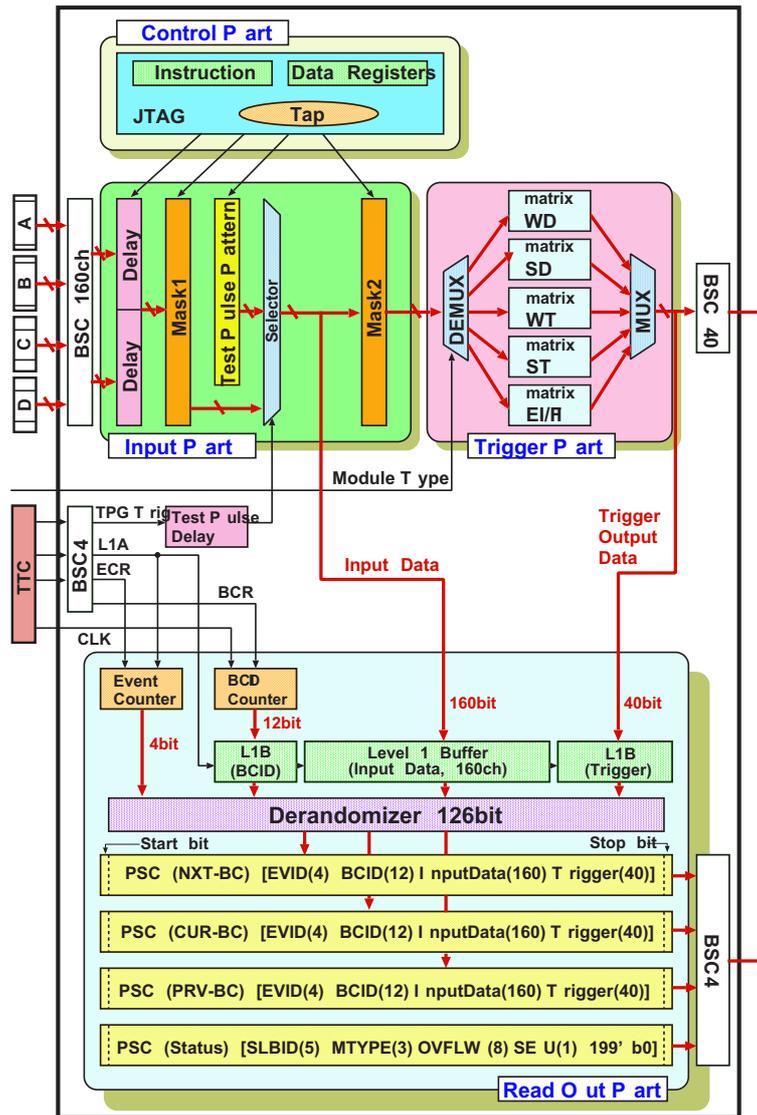


Fig 2.21: Slave Board ブロック図

TGCのRODは、CPUとSDRAMを搭載し、そのロジックは、通常のPCと同様にプログラムすることができる。RODの入出力部にはFIFOが搭載されているが、入力データ量が処理能力を越えると、CTPにbusy信号を送信する。

RODはエレキハットに設置されるので開発は遅い時期まで許される。そのため製作の担当はイスラエルであるが、まだ開発途中であり、日本でもTGC-RODを独自に作成して第4章のスライステストやビームテストで使用した。

HPT SSW Controller(HSC)/Control Configuration Interface(CCI)

CCI(Fig.2.32)、HSC(Fig.2.33)はホール内のエレクトロニクスを遠隔制御するためのシステムである。CCIはエレキハット内のクレーン、HSCはTGCビッグホイールの外端のクレーンにそれぞれ設置され、その間は光ケーブルで結ばれる。専用のプロトコルでアドレスと値をやり取りし、CCIからHSC経由でSSW、HPTを制御することができる。

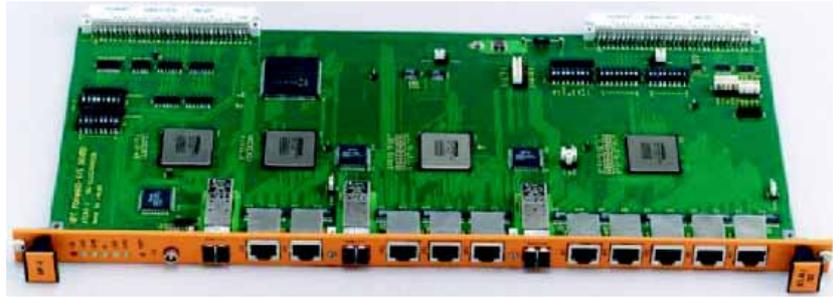


Fig 2.22: HPT の写真

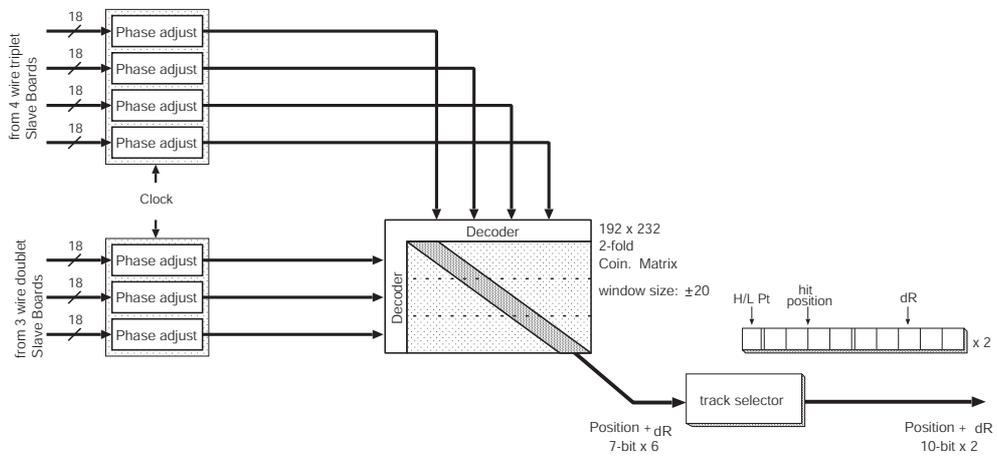


Fig 2.23: ワイヤ信号の場合の HPT ASIC のブロックダイアグラム

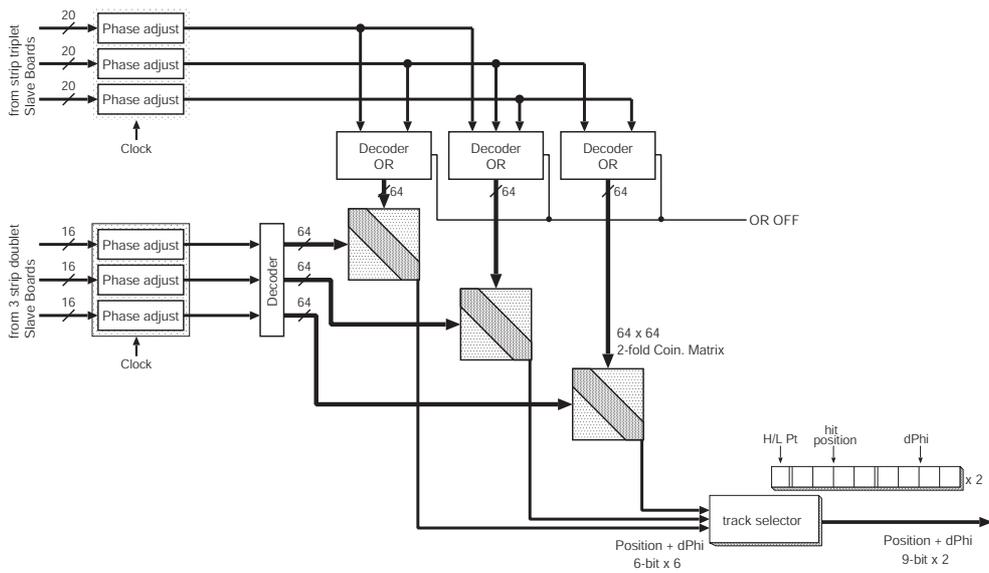


Fig 2.24: ストリップ信号の場合の HPT ASIC のブロックダイアグラム



Fig 2.25: Sector Logic の写真

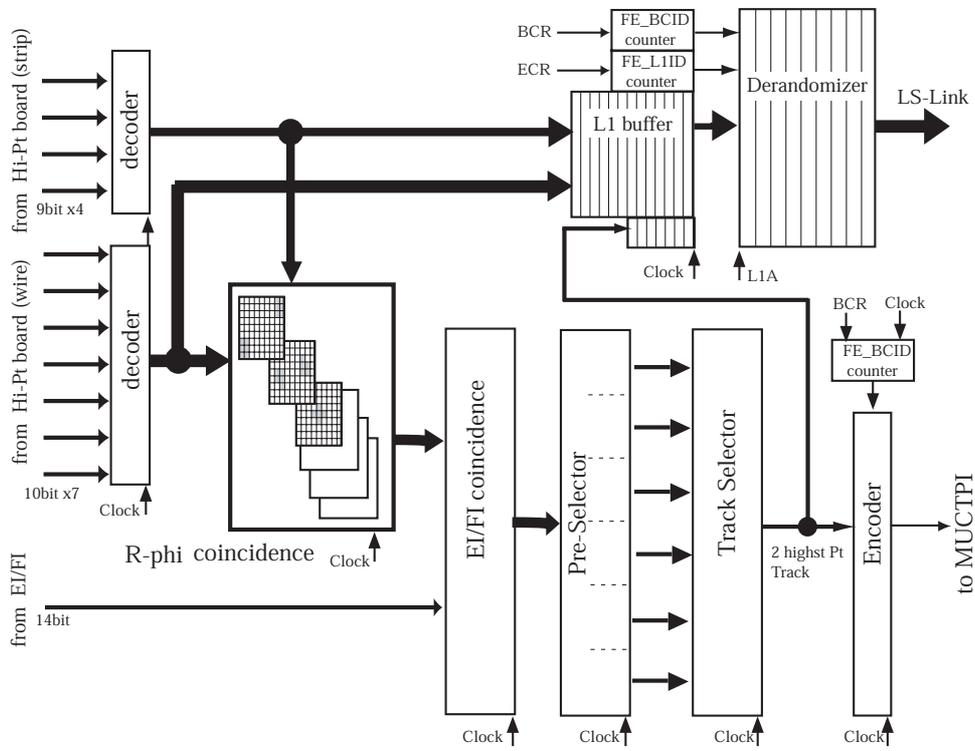


Fig 2.26: Sector Logic のブロックダイアグラム



Fig 2.27: SSW の写真

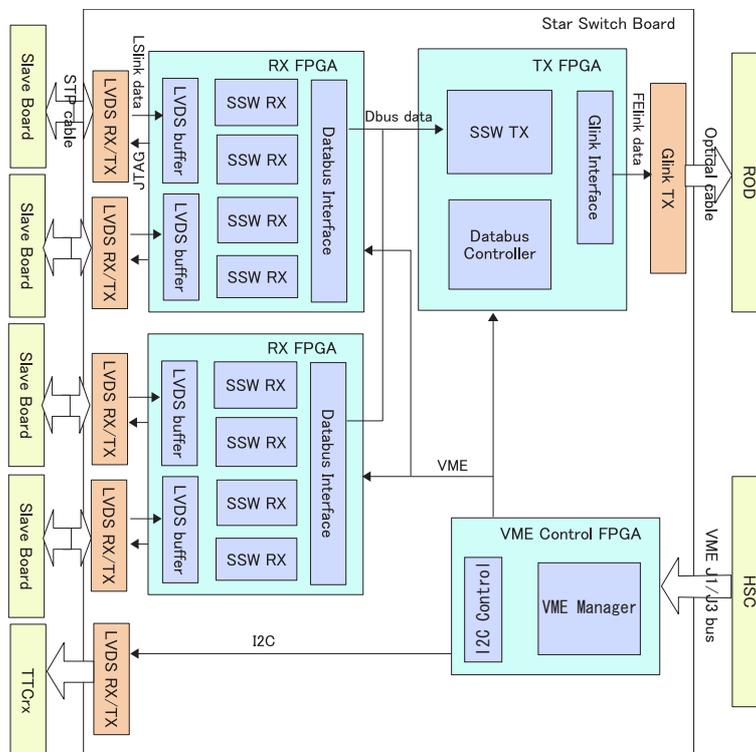


Fig 2.28: SSW のブロックダイアグラム

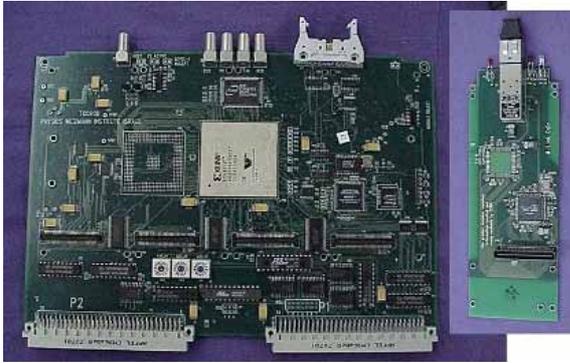


Fig 2.29: ROD(Made in Israel) の写真

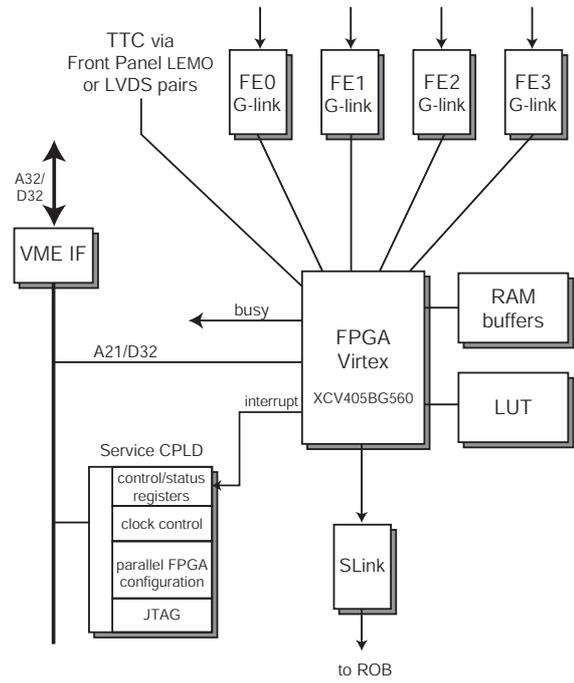


Fig 2.30: ROD(Israel) のブロック図



Fig 2.31: ROD(Made in Japan) の写真



Fig 2.32: CCI の写真

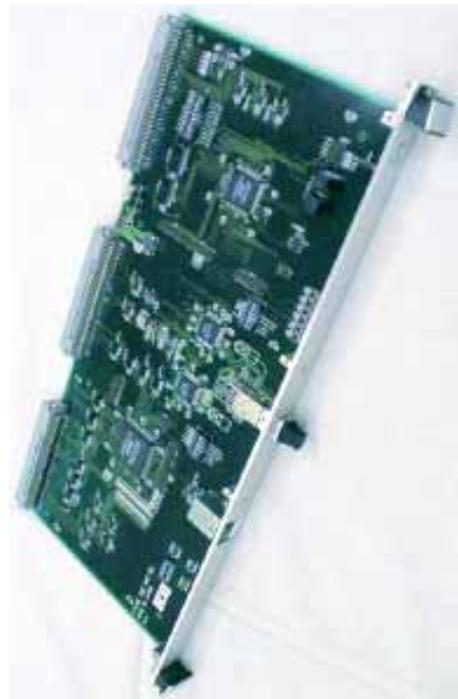


Fig 2.33: HSC の写真

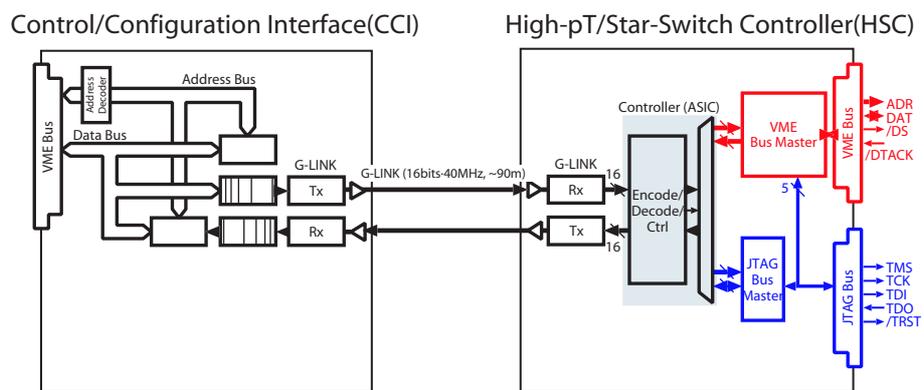


Fig 2.34: HSC-CCI のブロック図

Chap3 TGC Readout System Overview

この章では TGC の読み出し系のデザインの説明を行う。

3.1 TGC リードアウトがスター構造を取る理由

ATLAS では、レベル2トリガー以降の舞台となる ROS より後のエレクトロニクスは全検出器共通のものを使用するが、それぞれの検出器から ROD まで (フロントエンドと呼ぶ) は検出器の特性に合わせて、各々のグループがデザインを設計してシステムを構築する自由度を備えている。

TGC のリードアウトは Fig3.1 のように、TGC ヒット情報を ASD PP SLB SSW ROD の複数のモジュールを順に通して ROB まで送るデザインで作っている。本節ではこのデザインで設計した理由、特に (1) デランダムイザ (SLB) と ROD の間に SSW というスイッチ構造を設けて、(2) その SSW をフロントエンドに設置した、その理由を説明する。

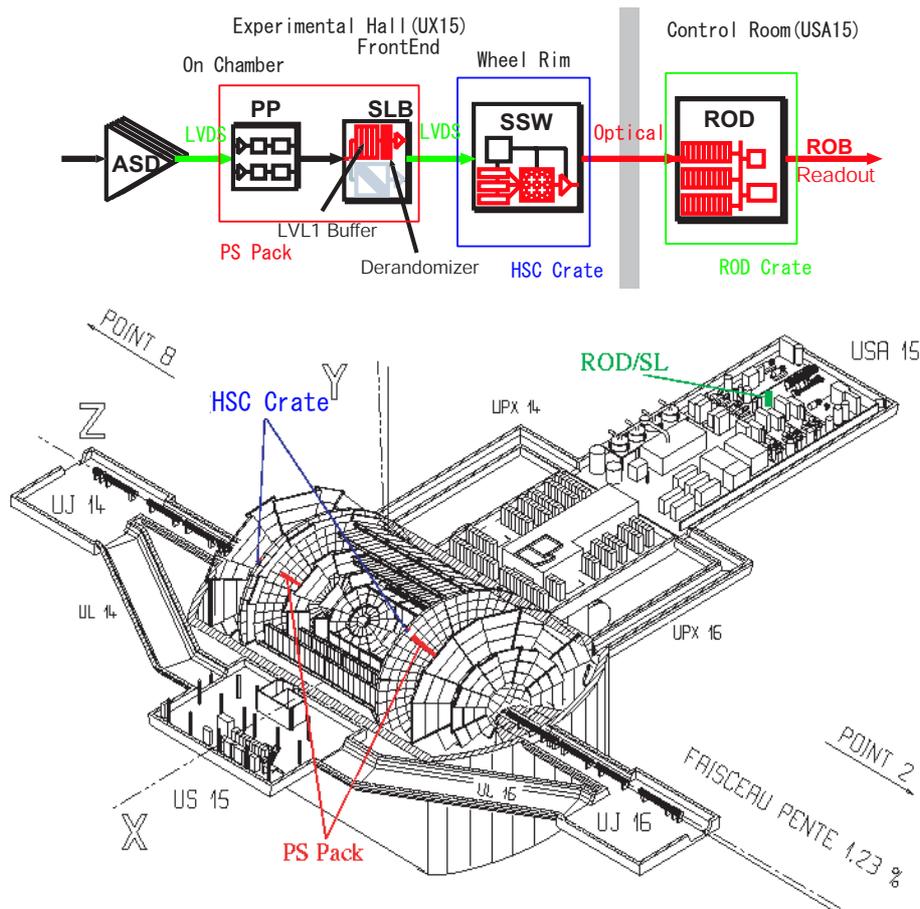


Fig 3.1: TGC リードアウトのエレクトロニクス

3.1.1 TGC データの特徴

TGC でのデータ量を見積もってみる。

TGC では、興味ある物理現象 (例えば $H \rightarrow ZZ 4\mu$) からのミュオンの他にもさまざまな荷電粒子を拾ってヒット信号を作る。それをバックグラウンドという。

バックグラウンドの多くは 40MHz での陽子陽子衝突から生じるもので、

- 生成された粒子が崩壊してできたミュオン
- 生成された粒子が内部検出器やカロリメータの原子核と反応してできたミュオン。
- 生成された粒子が内部検出器やカロリメータの原子核と反応してできた 2 次粒子。

などがミュオンにヒットすることで信号を作る。2 次粒子はたとえ電荷をもたない中性子やフォトンであっても、チェンバーの壁やガスと反応して、中性子捕獲で生成するプロトンやガンマ線のコンプトン散乱による電子などが TGC のヒット信号となる。

シミュレーションによるバックグラウンドの量を Fig3.2 に示す。

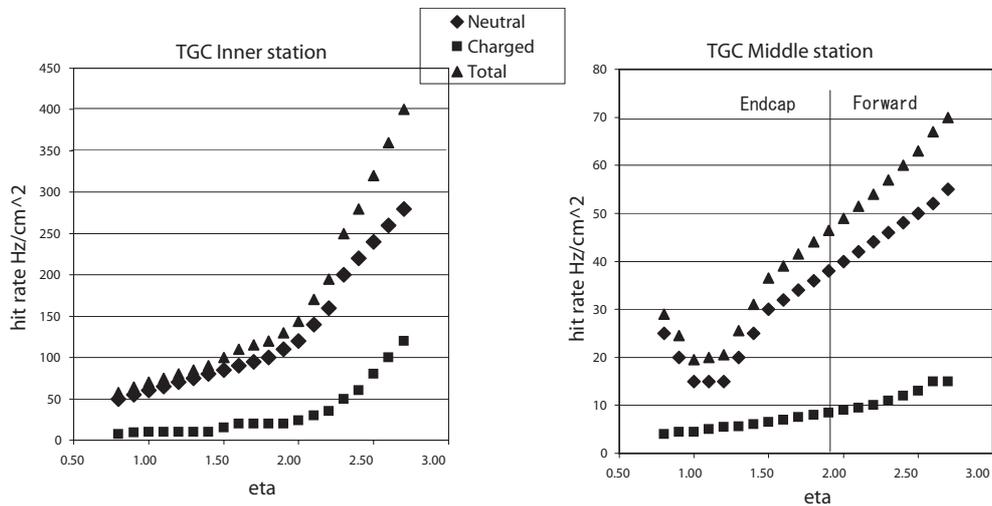


Fig 3.2: TGC での粒子ヒットのレート
(av5 FLUKA でのシミュレーション結果)

安全係数として TGC にヒットした粒子は「必ず」信号を作ると仮定すると、シミュレーション結果から TGC でのデータ量は Tab3.1 となる。

Tab 3.1: TGC でのヒットレート [MHz] (F=1/12, E=1/24 の領域。Fig3.3 参照)

	Forward			Endcap		
	Wire	Strip	Total	Wire	Strip	Total
Inner	4.7	4.7	9.3	2.1	0.5	2.6
M1	3.3	2.2	5.5	6.8	4.5	11.3
M2	2.0	2.0	4.0	5.4	10.7	16.1
M3	2.0	2.0	4.0	5.3	5.3	10.6

M1 でストリップよりワイヤの方がヒット数が多いのは、M1 がワイヤ 3 層、ストリップ 2 層によるトリプレット構造のため。M2 のエンドキャップでストリップのヒット数が多いのは、Fig3.4 のように、M2 のストリップチャンネルでは上下隣り合うチェンバーと PatchPanel の中で OR を取ってから SLB に入力されるからである。

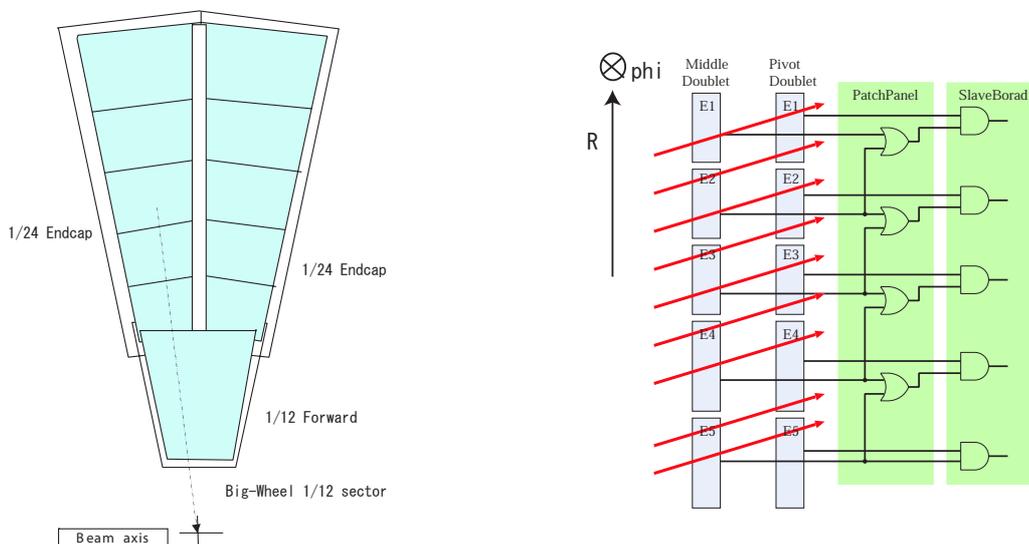


Fig 3.3: F=1/12, E=1/24 の範囲の図

Fig 3.4: M2 のストリップチャンネルでの OR

バックグラウンドが全て 40MHz の陽子陽子衝突で生じたものと仮定すると、1 イベントあたりの TGC のヒット数は Tab3.2 となる。この結果から、TGC のデータはヒットマップをそのまま送るにしてもデータは中身がスカスカであると分かる。

Tab 3.2: TGC での 1 イベントあたりのヒット数 (F=1/12, E=1/24)

	Forward			Endcap		
	Wire	Strip	Total	Wire	Strip	Total
Inner	0.12	0.12	0.23	0.05	0.01	0.07
M1	0.08	0.06	0.14	0.17	0.11	0.28
M2	0.05	0.05	0.10	0.13	0.27	0.40
M3	0.05	0.05	0.10	0.13	0.13	0.26

3.1.2 読み出しの基本構造

一般に、マスタ (Master) が複数のスレイブ (Slave) からデータを集めるとき、マスタとスレイブの間の接続方法としては、直接接続 (Fig3.5)、バス構造 (Fig3.6)、リング構造 (Fig3.7)、スター構造 (Fig3.8) の 4 種類が思いつく。

それぞれの接続の長所と短所を次に挙げる。

直接接続

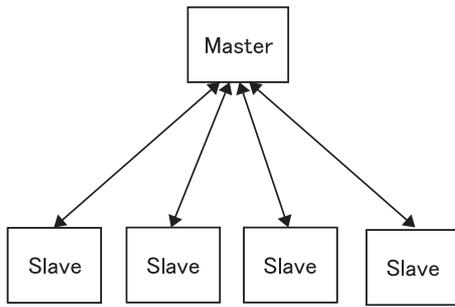


Fig 3.5: 直接接続の概念図

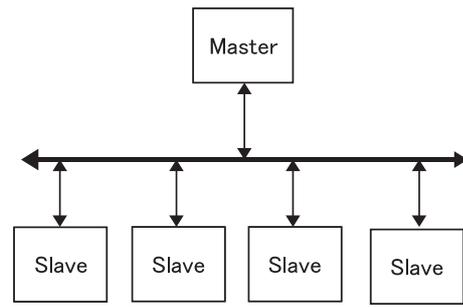


Fig 3.6: バス構造の概念図

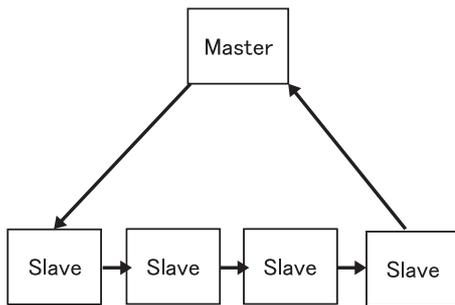


Fig 3.7: リング構造の概念図

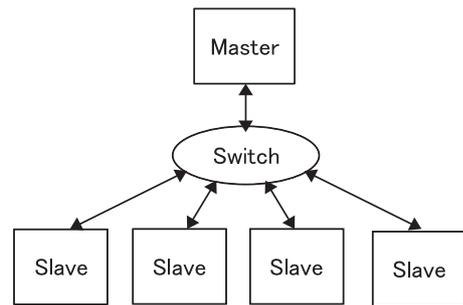


Fig 3.8: スター構造の概念図

- 長所
概念上は単純なので間違いが起きにくい。
- 短所
長いケーブルがたくさん必要。購入、不良品の検査でコストがかかる。
マスタにはスイッチング処理の大きな負担がかかる。

バス構造 マスタがアドレスを指定してバスに流して、指定されたスレイブが答える。VME など様々な場所で採用されている。

- 長所
スレイブにはアドレスをデコードする仕組みが必要であるが、単純なので実装は簡単にできる。
- 短所
バスラインが長くなると、バスの動作速度が遅くなる。
すべてのスレイブで共通のバスを使うので、1つのスレイブが故障して暴れた場合、全体の通信がストップし得る。

リング構造 スレイブが次のスレイブにバケツリレーでデータを送って、最終的にマスタに到達する。

- 長所
マスタとスレイブの距離が長くても問題ない(スピードが落ちたり、コストがかかったりしない)。
- 短所
概念上はシンプルであるが、実装を考えるとスレイブにはリレーするための複雑なロジックが

必要。

1つのスレイブでもリレーロジックに故障が起きると、全体で通信がストップする。

スター構造 マスタとスレイブの間にスイッチを独立に設ける。

- 長所
1つのスレイブが故障しても全体の通信への影響は少ない。
スイッチをスレイブの近くにおけば、長い距離もマスタとスイッチとの一対一接続なのでスピード・コストに問題ない。
- 短所
スイッチの作成・信頼性で余計な負担がかかる。
スイッチが故障すると全体の通信がストップする。

3.1.3 SSW を置くことの利点

多数の SLB から少数の ROD までデータを送る途中で Star Switch(SSW) を置くことは、以下の自然な発想の結果である。

1. SLB の出力である TGC ヒットマップにはヒットフラグをほとんど含まないので簡単なデータ圧縮で SLB から ROD までのデータの量を大きく減らせる。
2. けれどもどうせ 40MHz のクロックを利用して送信するのだから、データ量を大きく減らせた分、複数の SLB をまとめて 1 本のケーブルで送るのが賢い。長いケーブル数が減ってコストが安く済む。

スイッチ (SSW) の必要性。

3. スイッチはフロントエンドに設置した方がよい。なぜなら、
 - － SLB とスイッチの間は約 10m(ビッグホイールの半径が 10m) と比較的距離が短いので電気信号の LVDS レベルで通信できる。LVDS 通信は光通信に比べてコストが 10 分の 1 で済む。SLB とスイッチとの接続は数が多いので光通信を採用するよりずっとお得である。
 - － スイッチから ROD までは長距離なので光通信にする。スイッチと ROD との接続数は少ないので高価格の光通信でも財布はそれほど苦しめない。光は通信速度が LVDS より速いのでより多くの SLB をまとめることができるという利点もある。
 - － スイッチが TGC ビッグホイールの外端 (リム) 上なら、ATLAS 検出器を組み上げた後でも比較的アクセスの難度が高くはなく、前節に述べたスター構造の欠点であるスイッチの故障に対処できる。

スイッチ (SSW) をフロントエンドに置く合理性

3.2 Star Switch プロトタイプ

Star Switch(SSW) はプロトタイプとして3世代が作られた。以下、順に見ていく。

3.2.1 version1(Xilinx SRAM FPGA)

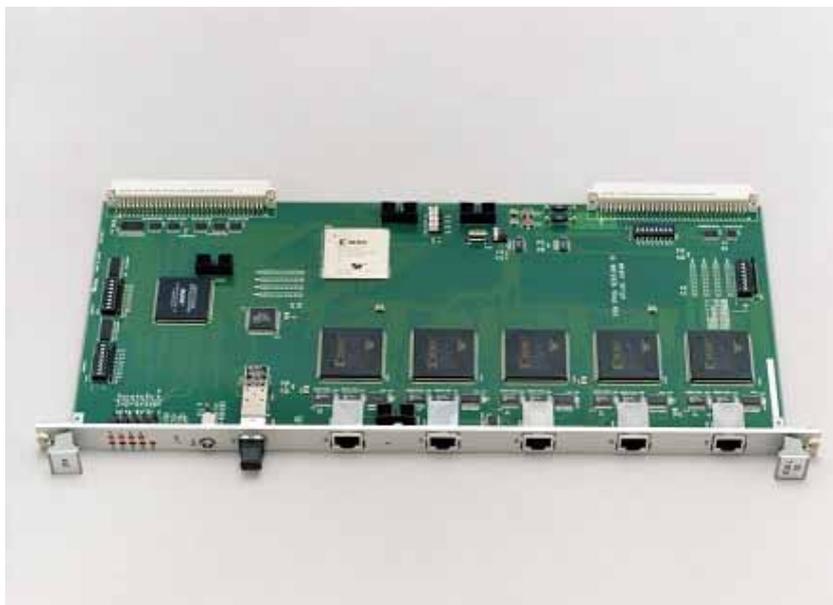


Fig 3.9: SSW プロトタイプ ver1 の写真

最初のSSW(ver1)の写真を Fig3.9 に載せる。

写真のボード上、左に VME コントロールの CPLD(Complex Programmable Logic Device)、下に RX FPGA(Field Programmable Gate Array) が5つ並んで、その上に TX FPGA が1つ。CPLD は Altera MAX-3256A(Quad Flat Package, QFP208pin)、RX FPGA は Xilinx VirtexE-XCV400E (QFP208pin)、TX FPGA は Xilinx VirtexE-XCV300E(Ball Grid Array, BGA352pin) を使用した。

SRAM FPGA や CPLD を使用した理由は、ボードにデバイスをハンダ付けした後も容易にデバイス内部のデザインの変更が可能で、開発に便利だからである。VME コントロールにだけ CPLD を使う理由は、機能が(1)VME スレイブとしてのプロトコルの解釈と(2)FPGA へのコンフィグレーション情報のダウンロード、という既にほぼ完成された機能だけを担当させ、書き換えを頻繁に行う必要がなかったためである。また開発段階であるためピン数の多いデバイスを選択した。

フロントパネル上には左から LED、NIM レベルのクロック入力、光信号 (Gigabit-rate link, Glink) 出力、RJ45 の口が5つ並ぶ。LED には電源通知と FPGA のコンフィギュレーション通知が表示される。ボード上、Glink 出力の後ろに Glink シリアライザ (Agilent HDMP-1032A)、RJ45 口の後ろにそれぞれ LVDS(Low Voltage Differential Signal) デシリアライザ (National Semiconductor DS92LV1224) が2つ、LVDS シリアライザ (National Semiconductor DS92LV1223) が1つずつ。

ボードの背面には VME の J1 と J3 コネクタ。ボード上左端と J3 コネクタの手前に VME のアドレスを振るディップスイッチ (24 ビット)。右端に FPGA コンフィギュアモード切り替えと入出力ラッチ切り替え設定のディップスイッチ。J1 と J3 の間に CPLD コンフィギュレーション用の JTAG ピン。

その横に 40.08MHz の水晶クロック、隣に水晶クロックと NIM クロックと J3 から の TTC クロックの切り替えジャンパーピンを置く。その他 CPLD,RX,TX それぞれにテストピンを備える。J3 コネクタから TGC エレキのデザインから HSC クレートを走る TTC クロックと TTC リセットが供給される。

FPGA はどれも SRAM FPGA であり、FPGA と CPLD どちらも書き換え可能であることから、このボードで詳細な開発が行われ、最終的には SSW のほとんど完全な仕様がこの ver1 のプロトタイプボードで作成された。であるから、ここで以下 SSW のデータ処理方法を説明する。

VME コントロールチップ

VME コントロールチップは J1 から の VME プロトコルの処理を行う。SSW の設置される HSC クレートの仕様より VME は A24D16 である。VME コントロールチップは、A24 のうちボード上のディップスイッチで設定してない下位ビットを RX/TX FPGA にそれぞれ割り振る。また、RX/TX FPGA へのリセット処理をする。

また、ボード上のディップスイッチで指定したコンフィギュアモードに対応する機能を実装し、RX/TX の SRAM FPGA へコンフィグレーション情報のダウンロードも受け持つ。

SSW RX チップ

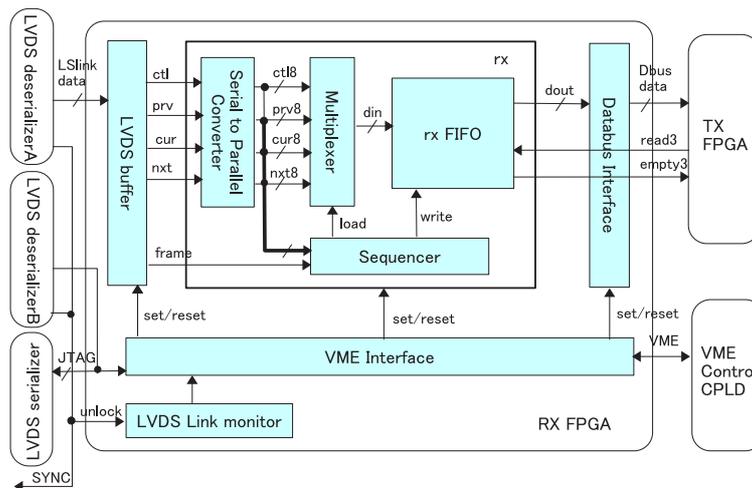


Fig 3.10: RX FPGA(ver1) のブロック図

RX FPGA のブロック図を Fig3.10 に示す。RX FPGA のメインの仕事は SLB からのデータのゼロサプレス圧縮である。ゼロサプレスの詳細については後の節で別に述べる。FPGA の中は図に示したような機能ブロックに分けられる。以下説明する。

LVDS buffer SLB からの入力データ (LSlink data) は SLB の動作クロック (40.08MHz) に乗っているため、ケーブルでの伝送の際に SSW の動作クロック (40.08MHz) と位相にずれが生じる。LSlink data を SSW の動作クロックでラッチするための深さ $8 (= 2^3)$ 段の小さなバッファ。

Serial to Pararelle Converter(SPC) SLBの中でTGCヒットマップはデランダムマイザの後ろでパラレルからシリアルに変換されて、それがLVDSシリアライザで更にシリアル変換されてSSWに送られる。LVDSのシリアル変換はRX FPGAに入力される前のLVDSデシリアライザで解かれるのだが、SLBの中でのシリアル変換がそのままなので、それをデシリアライズする。

1 イベントのLSlink dataはデータは216ビット(ヘッダとトレイラを除いて)である。一気にデシリアライズするには216ビット待ち時間がかかるので、8ビットずつで切ってその都度デシリアライズを行い、後ろのブロックに送る。

トリガーを受けた前後を含む3パンチ(PRV,CUR,NXT)のデータは別々の線で処理されてきたのだが、SPCではこの3本のデータを1クロックずつずらして処理する。その理由は、FIFOにデータが溜められる際に、FIFO-Writeの命令が複数同じタイミングで発されてバッティングが起こるのを避けるためである。

SequencerとMultiplexer この段階でRX FPGAのメインの仕事であるゼロサプレス圧縮が為される。SPCからの8ビットパラレル信号はシーケンサ(Sequencer)とマルチプレクサ(Multiplexer)の両方に送られる。

シーケンサでは、フレームワード(ヘッダとトレイラ)をチェックして、シーケンスカウンタを216ビットで回し、入力の8ビットの意味の解釈を行う。データワードについては、シーケンスカウンタからデータアドレス(address_cell)を形成し、適宜ゼロサプレス圧縮を行う。

マルチプレクサでは、シーケンサでのデータの解釈とデータアドレス(address_cell)を受け取って、FIFOに送るスイッチングをする。ゼロサプレスされるべきデータについては、シーケンサから何も言われないので、ここで捨てられる。FIFOにデータはヘッダ(2bit)+タグ(3パンチを判断するもの、3bit)+アドレス(address_cell、5bit)+ヒットマップ(8bit)という形式で送られる。

rx FIFO $128(=2^7)$ 段のFIFO。マルチプレクサからのデータをTXからの読み出し命令がかかるまで保持する。

Databus Interface rx FIFOからの読み出しデータにヘッダとトレイラを付ける。ヘッダとトレイラには、SSW固有の情報として、(1)L1Aの前後3イベントのうちどれを読み出す設定で動作していたか、(2)rx FIFOのオーバーフローカウンタの値、(3)シーケンサでのエラーレポートなどが付加される。

VME Interface VMEからのRX FPGAの設定命令を処理する。また、VMEレジスタを利用してPSボード上へJTAG信号を送る。その他、リセットを管理したり、エラー情報をVMEからの確認用に保持したりする。

LVDS Link monitor LVDSデシリアライザがSLBからの送られたデータにリンクできなかった回数をカウントする。また今現在のリンクの状態を監視する。

SSW TX チップ

TX FPGAのブロック図をFig3.11に示す。TX FPGAのメインの仕事は複数のRXからのデータのスイッチングである。スイッチングの詳細については後の節で別に述べる。FPGAの中は図に示したような機能ブロックに分けられる。以下説明する。

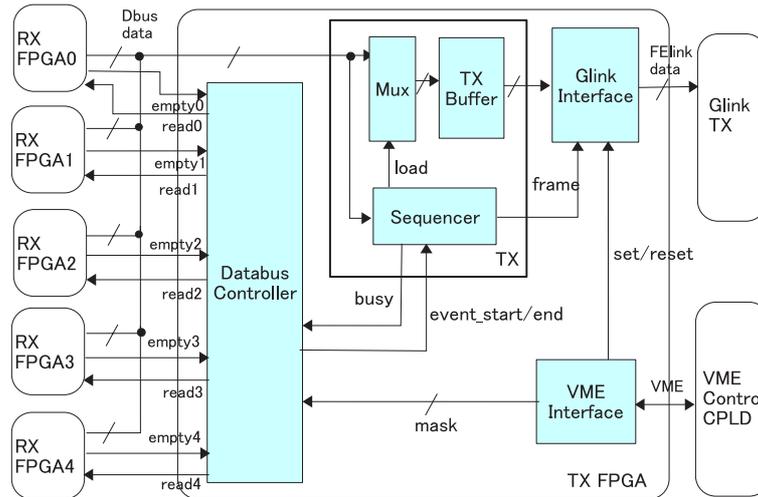


Fig 3.11: TX FPGA(ver1) のブロック図

Databus Controller TX FPGA のメインの仕事であるスイッチングを行う。各 rx とそれぞれ fifo_empty 線と fifo_read 線の 2 本で繋がり rx FIFO を操作することで、データバスのマネージャーとして働く。スイッチングの詳細な説明は後の節に述べる。

全ての rx を監視して、1 イベントの初めと終わり (マスクしていない rx を全部なめ尽くしたか) を判断できるのは Databus Controller だけであり、データバスの制御だけでなく event_start/end を他のブロックに教えるという大事な役目も担う。

Mux(Multiplexer) RX FPGA からのデータは Mux(マルチプレクサ) と Sequencer(シーケンサ) の両方に入力される。マルチプレクサでは、シーケンサからの命令にあわせてデータを FE(Front End)link のフォーマットに並べ替え、バッファに送る。並べ替えには適宜レジスタを利用して順番の調整をする。

Sequencer データの意味を解釈して、Mux に教えてやる。また、データバスの入力に対して各 rx を独立に見て処理してることから、1 イベントにおける最初の rx と最後の rx という判断はシーケンサ単体ではできない。1 イベントにおける最初と最後という情報は Databus Controller から得る。その情報を Glink Interface にも教えてやる。

TX Buffer $8(=2^3)$ 段の小さなバッファ。主に 1 イベント初めのヘッダの組み立てのときに使う。

Glink Interface シーケンサから frame を受け取って、FElink のイベント毎のヘッダとトレイラを組み立てる。TX Buffer からのデータを Glink チップに送る。またデータの XOR チェックサムを計算して送る。

VME Interface VME からの TX FPGA の設定命令を処理する。その他、リセットを管理したり、エラー情報を VME からの確認用に保持したりする。

3.2.2 version2(Xilinx SRAM FPGA)

2 世代目の SSW プロトタイプ (ver2) の写真を Fig3.12 に載せる。ver2b という”b” 付きなのは、ver2 の設計がうまく行った後、もう少しゲート数の少ない FPGA(Xilinx VirtexE-XCV200E) に置き換え

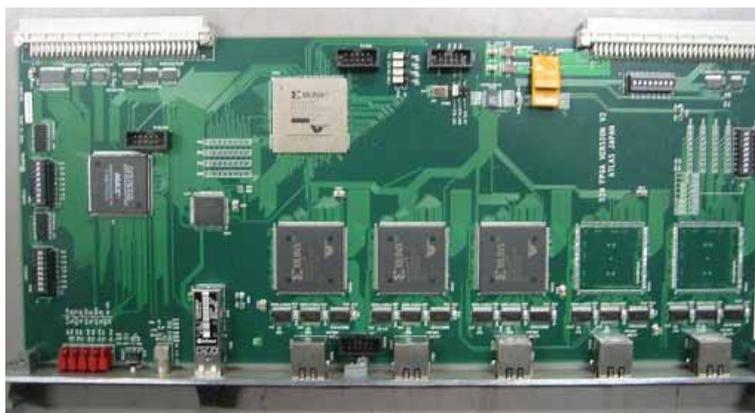


Fig 3.12: SSW プロトタイプ Ver2b の写真

て作成したもので、TGC1/12 セクター組み立てに使用予定のものである。

ver2 は ver1 で見つかった問題点を改善して、SRAM FPGA として FPGA 中のデザインを決定したプロトタイプボードである。

ver1 からの改良点

ver1 からの改良点を Tab3.3 にまとめる。また、ver2 の RX/TX FPGA のブロック図を Fig3.13、Fig3.14 にそれぞれ示す。

Tab 3.3: ver1 と ver2 との異なる点

version	1	2
1 つの FPGA に実装する rx の数	1	2
LSlink のフォーマット	単純に並べる	間違った LVDS リンクを貼らない工夫
LVDS リンク自動復旧	常に実装 (バグのため途中で切った)	オプション (設定次第)
PSB 上 LVDS シリアライザへの SYNC 命令	TTL	LVDS
		その他バグフィクス

ver1 での最大の問題点は LVDS のリンク外れであった。LVDS のリンクが外れやすい上に、リンク外れからの自動復旧として、リンク外れ信号をそのまま PSB 上の LVDS シリアライザへの SYNC 命令として使って TTL レベルで PSB に送っていた (Fig3.10)。

STP ケーブル内の 4 ペアの線のうち、3 ペアが LVDS レベルであるのに対し、1 ペアだけ TTL レベルと強力であって、しかもリンク外れの多発のため頻繁に変動する。そのため 3 ペアの LVDS 信号が大きく乱れて通信が不可能であった。ver1 では仕方なしにボード上の SYNC 命令を断線したり、SPT ケーブルの TTL ラインを断線したりして使用していた。

そこで改良として、まず LVDS リンク外れ信号は FPGA の中に入れて、自動復旧は VME レジスタのオン/オフでテストするようにした。

次に LVDS リンク外れが頻繁に起こる理由を探って、修正を施した。リンク外れの改善に方法については次に述べる。

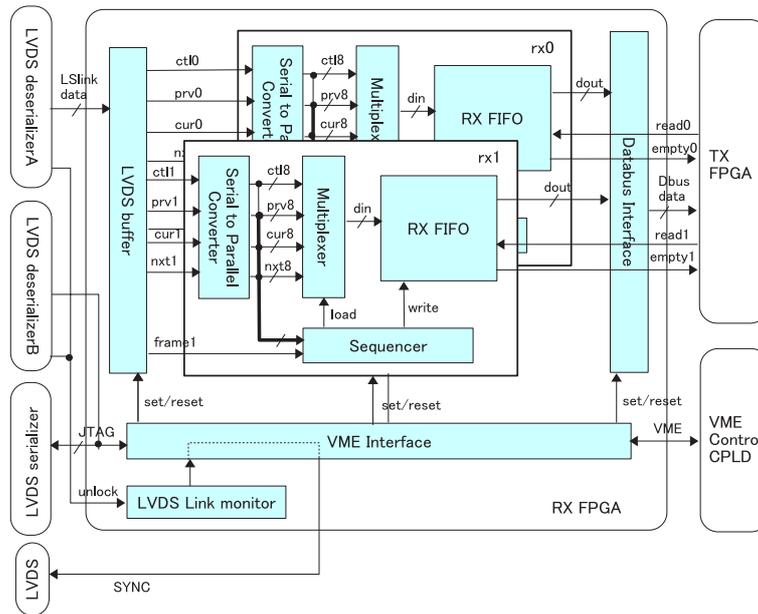


Fig 3.13: RX FPGA(ver2) のブロック図

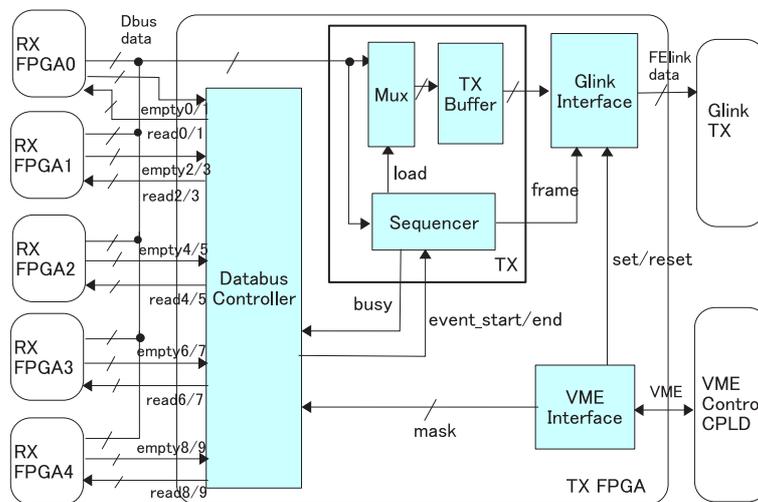


Fig 3.14: TX FPGA(ver2) のブロック図

LVDS リンク対策

リンク外れの原因 LVDS 信号について振り返ってみる。一般に使われる用途は、例えばディスプレイとマザーボードとの間の接続など (1) 短い距離で (2) ランダムに変化する信号の伝送である。そのため LVDS シリアルでのリンクは Fig3.15 のようにアタマ 1 ビットが High、シリ 1 ビットが Low という単純な仕組みでリンクを掛ける。

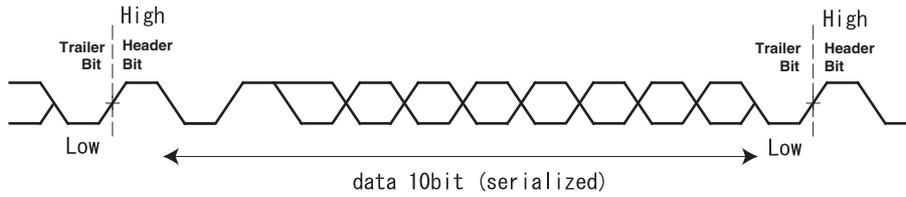


Fig 3.15: LVDS シリアル転送でのリンク

ところが、TGC の PSB と SSW との接続の場合は (1) 約 10m と伝送距離が比較的長く (2) ほとんどヒットのないヒットマップデータ (ヒットのないときは例えばずっと Low であるような規則的なパターン) の伝送を行っていた。

たとえば、SLB からの出力 5 ビットは多くの時間、frame 線が High、他の 4 本線が Low であって、それがシリアライズされると、Fig3.16 のように本来のトレイラ (Low)-ヘッダ (High) の場所と違う場所でも Low-High のパターンが繰り返すので、SSW ボード上の LVDS デシリアライザは場所を勘違いしてリンクをかけようとする。

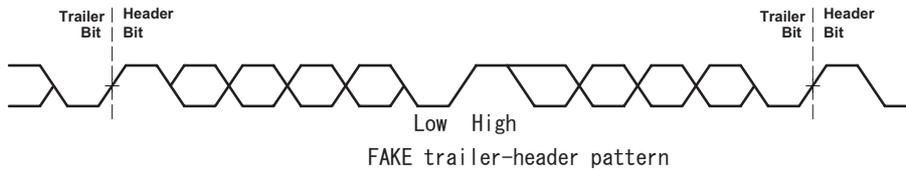


Fig 3.16: LVDS シリアル転送でのリンクを間違う

リンク外れの改良 LVDS シリアル転送には短時間でリンクを掛けることができる SYNC パターン (Fig3.17) という信号パターンがある。シリアライズの SYNC ピンを High にすると、入力データに関わらず SYNC パターンを出力させてリンクを強引に張らせる、という際に利用される。

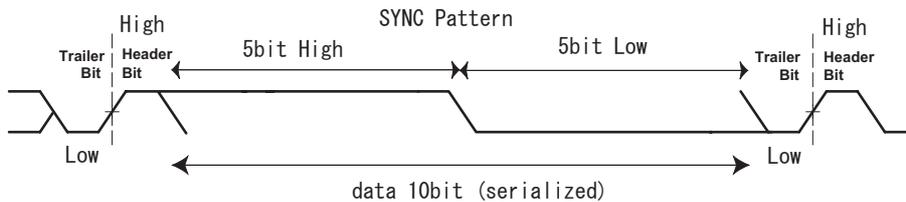


Fig 3.17: LVDS シリアル転送の SYNC パターン

そこで、PSB からの出力の段階で適宜信号を反転させて、多くの時間を自然に SYNC パターンの形で出力されるよう並び変えた (Fig3.18)。

その結果、ver2 の SSW ではリンク外れがほとんど起こらなくなった。

この ver2 ボードは第 4 章の Scalability チェックで使用され、SSW のデザインが単体での動作だけでなく TGC システム規模にはめ込んだときでも正常に動作できることが確認された。

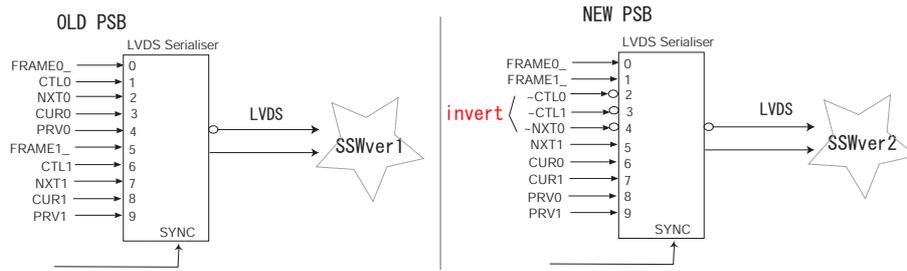


Fig 3.18: LVDS シリアル転送でのリンクの工夫

3.2.3 version3(Actel Antifuse FPGA)

3 世代目の SSW プロトタイプ (ver3) の写真を Fig3.19 に載せる。ver2 で完成した設計を、(1)ATLAS 実験で実際使用するのと同じ量のデータ処理を可能にし、(2) 放射線に強いテクノロジーに移行といった拡張を施したのが ver3 のプロトタイプボードである。



Fig 3.19: SSW プロトタイプ Ver3 の写真

ver2 からの改良点

ver2 からの改良点を Tab3.4 にまとめる。また、ver3 の RX/TX FPGA のブロック図を Fig3.20、Fig3.21 にそれぞれ示す。

Tab 3.4: ver2 と ver3 との異なる点

version	2	3
FPGA の種類	SRAM FPGA (Xilinx VirtexE)	Antifuse FPGA (Actel Axcelerator)
1 つの FPGA に実装する rx の数	2	3 or 4
ボード上の RX FPGA の数	5	6
1 枚のボードが相手をする SLB の最大の数	10	23
SPP 上の TTCrx を I2C コントロール	(他のモジュールを使用)	VME コントロール用 FPGA に実装
放射線対策	なし	多数決回路を実装
診断機能	なし	テストパルス機能/ダンプ機能
LVDS リンク自動復旧	オプションル (設定次第)	常に実装
		その他バグフィクス

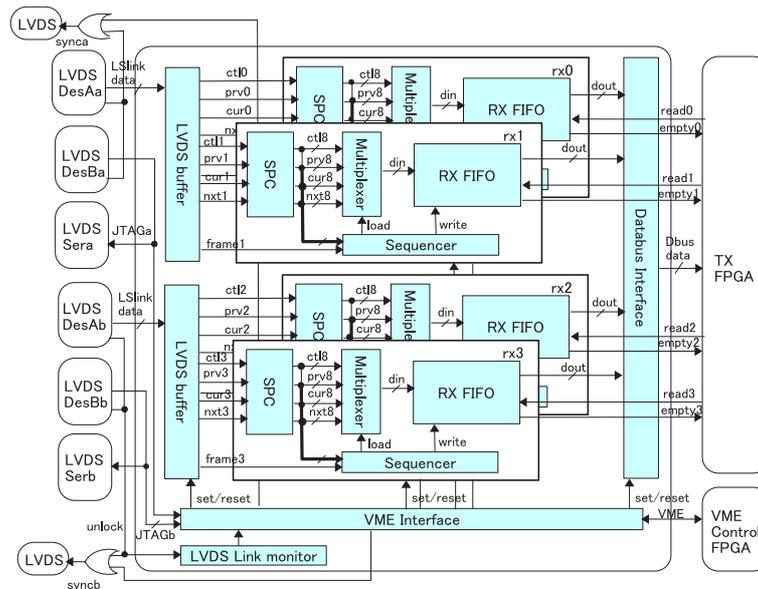


Fig 3.20: RX FPGA(ver3) のブロック図

実際の ATLAS 実験と同じ量のデータ処理

ATLAS 実験本番では、TGC ビッグホイール片側の 12 分の 1 (Inner TGC を除く) を 6 台の SSW でカバーする設計である。1 台あたりの SSW が処理する領域を Fig3.22 に示す。この設計だと 1 台の SSW は最大 23 個の SLB をスイッチしなくてはならない。この大きなスイッチが可能かどうかについては、後のゼロサプレス圧縮の節で述べる。

SLB23 個の処理は RX FPGA を 6 つ使って行う。23SLB が 6RX FPGA にどう接続するかは Fig3.23 に示す。RX FPGA は単一のデザインで量産し、スイッチピンの切り替えで 3SLB を相手にするか 4SLB を相手にするかを変える。

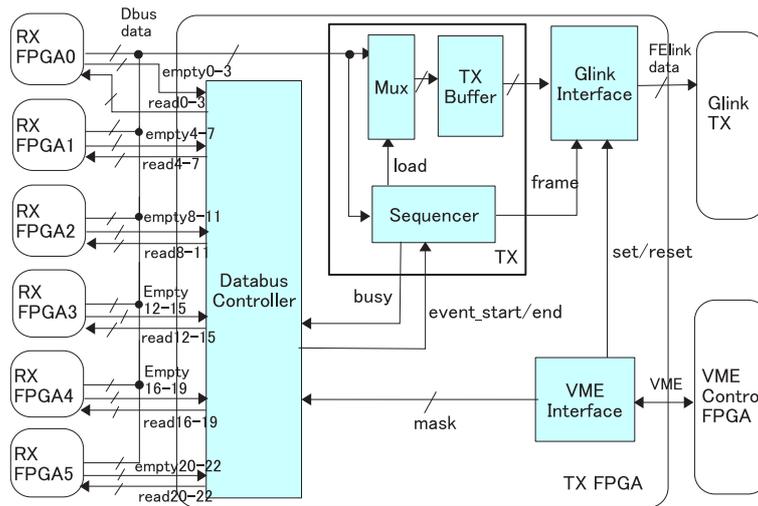


Fig 3.21: TX FPGA(ver3)のブロック図

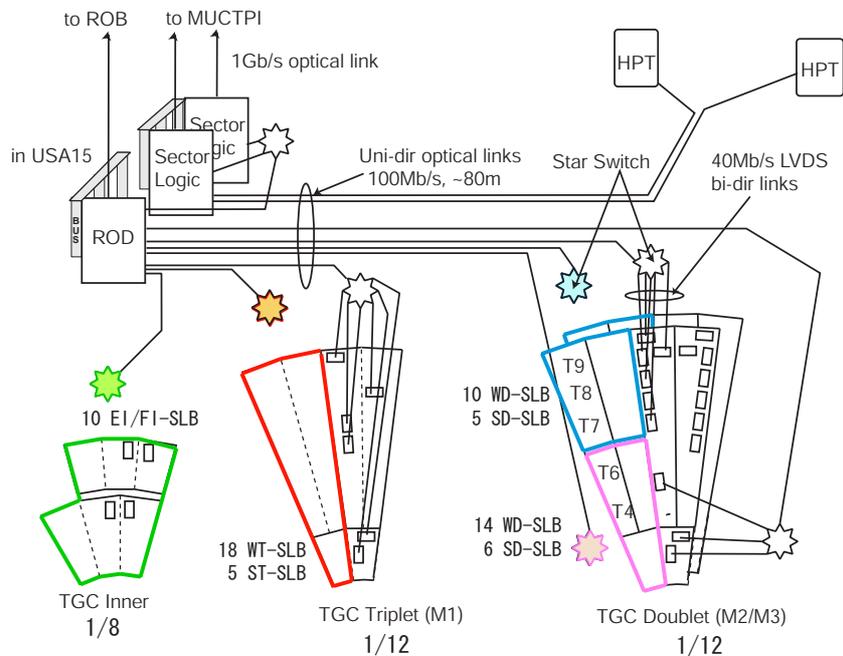


Fig 3.22: スタースイッチがデータを集める範囲を色分けして示す

また、ATLAS 実験では SSW はチェンバー上に設置した PS Pack 中の Service Patch Panel に載せた TTCrx を I2C というプロトコルでコントロールする。I2C とは、データ線とクロック線の 2 本のみを使用し、またマルチマスタが可能な規格である。(Fig3.24)

放射線対策

本番の ATLAS 実験で問題となる放射線への対策として、SRAM FPGA から Antifuse FPGA に移行し、また FPGA の設定レジスタには多数決回路を実装した。

Antifuse FPGA は RX/TX には Actel Axcelerator-AX500(QFP208pin)、VME コントロールには Actel SXA-A54SX32A(QFP144pin) を使用した。また、LVDS-TTL コンバータにも放射線耐性のあ

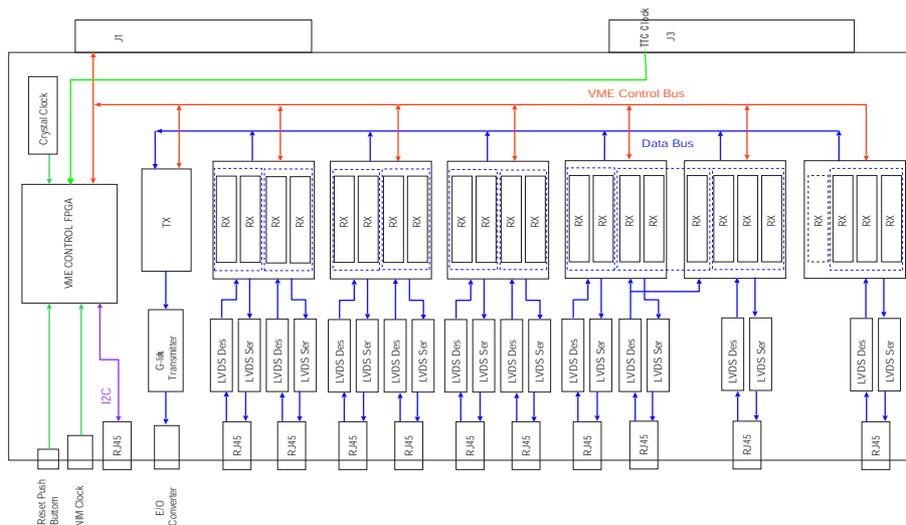


Fig 3.23: ver3 の全体図

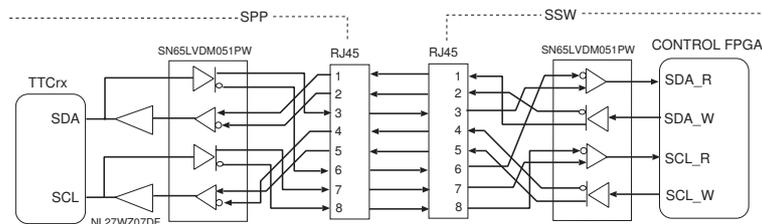


Fig 3.24: TTCrx への I2C の線の繋ぎ方

る Texas Instruments SN65LV1224(LVDS デシリアライザ)、SN65LV1023(LVDS シリアライザ) を使用した。

放射線対策の詳細については第 5 章で説明する。

診断機能

ATLAS 検出器を組み立てた後は、SSW へのアクセスは難しい。問題が起きたときリモートからでも原因を探るようになるため、SLB からの入力をダンプする FIFO と ROD ヘテストパターンを送るテスト回路をそれぞれ RX/TX FPGA の中に実装した。これで問題の原因がケーブルにあるのかが確認できる。

また、RX への入力口のすぐ後ろにテストパターンを送るテスト回路を、TX の出力口のすぐ手前にダンプ FIFO を、それぞれ RX/TX FPGA の中に実装した。これで SSW 自身の機能診断も程度リモートから行うことができる。

Antifuse FPGA に SSW のデザインを実装してみる

SSW プロトタイプ ver3(Antifuse FPGA 版) の開発の流れを Fig3.25 に示す。

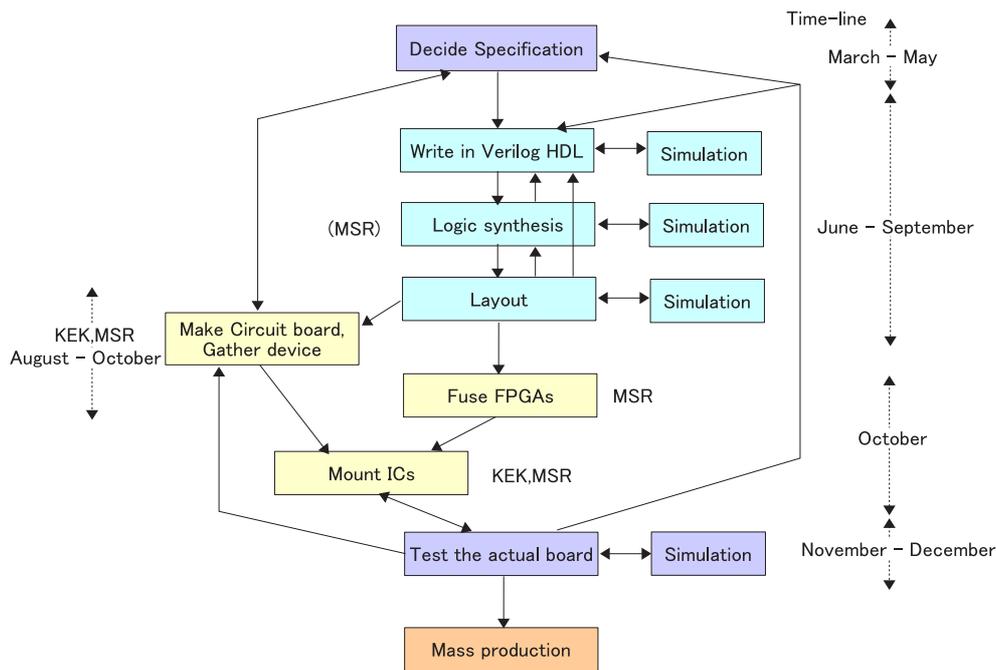


Fig 3.25: SSW の作り方

動作チェック セットアップ図を Fig3.26 に示す。

- PT4 という汎用モジュールに、(1)LVDS 10bit シリアル出力できる LVDS PPG(Pulse Pattern Generator) と (2) 光信号 (Glink 18bit シリアル) 入力をダンプできる Glink FIFO を実装する。
 - － PT4 には SRAM FPGA と入出力を備えたメザニン (mezzanine) カードの組を 2 セット備えている。
 - － 片方は LVDS シリアル出力のメザニンを使い、その SRAM FPGA に LVDS PPG のデザインを VME からダウンロード
 - － もう片方に光信号 (Glink) 入力のメザニンを使い、その SRAM FPGA に Glink FIFO のデザインを VME からダウンロード
- PT4 と SSW には外部 (NIM の Clock Generator) から共通のクロックを入力して動作させる。
- PT4 の LVDS 出力と SSW RX の入力を STP(Shield Twisted Pair) ケーブルで一対一で繋ぐ。SSW TX からの出力と PT4 の光信号入力も光ファイバケーブルで繋ぐ。
- ケーブルを繋がずに使用しない SSW RX は SSW TX の側でマスクしておく。SSW ボード上では SSW RX と SSW TX が一対一で繋がることになる。
- テストベクターを PT4 の LVDS PPG にダウンロードし、スタートをかける。
- SSW はデータを受け取り処理して送るだけ。
- Glink FIFO でダンプした結果を PC でのシミュレーションと比べて整合性チェック。

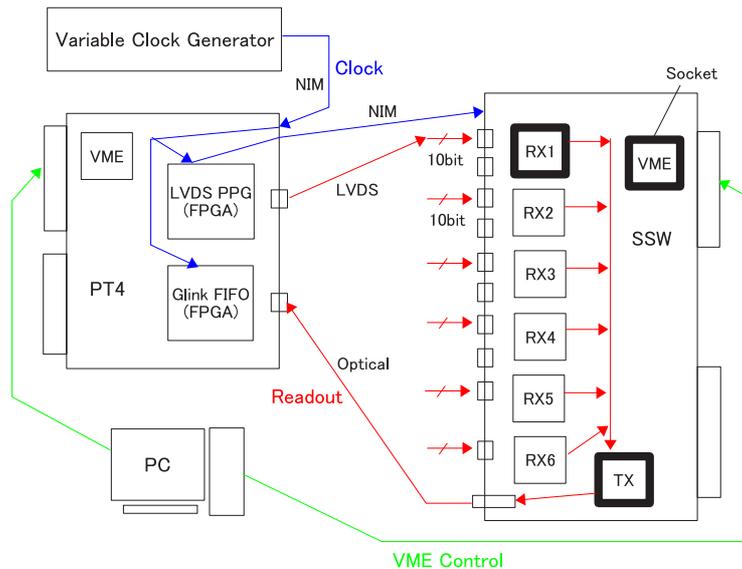


Fig 3.26: セットアップ図

1. テスト 1 回目 まず、作った FPGA を SSW ボードに載せて (RX については 1 個だけ) テストを行ったところ、テストベクター 2 万イベント中、数イベントでエラー出力があった。このときのクロックは 40.08MHz (LHC クロック)。

FPGA をデザインするときの CAD の結果を見直すと、CAD のシミュレーションで

予想動作クロック RX:37MHz , TX:29MHz

と報告されていた。試しに、動作クロックの周波数を下げながら同じ実験を繰り返すと、35MHz ではエラー出力が無かった。

2. 修正 そこで FPGA の HDL デザインを見直した (Fig3.25 における Test the actual board から Write in Verilog HDL への矢印)。

- 遠回りの論理記述を単純に書き直した。CAD の論理合成ツールが賢くないので、極端に言うると例えば、

```

if ( A ) {
    if ( A & B ) {
        hoge;
    }
}

```

という HDL 記述を、ほんとにそのまま組み合わせ回路で並べてしまい無駄な遅延が生じる。それを

```

if ( A ) {
    if ( B ) {
        hoge;
    }
}

```

```
}  
}
```

と書き直した、といった作業。

- CADのマクロで実装(ベンダの推奨する方法、だがSEUレポート機能などを含んでいて、余分な資源を使う)していた多数決回路を、3つのレジスタを使って手で組んだ。

このとき、普通に組むと論理合成で省略されるので最適化禁止の命令をつける。

という修正を行った結果、CADのシミュレーションでは

予想動作クロック RX:41MHz , TX:52MHz

と出た。

このデザインで作ったFPGAをSSWボードに載せ変えてテストすると、動作クロック40.08MHzでテストベクター35万イベントを流してもエラーはゼロであった。

3. テスト2回目 次に、SSWボードにRX FPGAを全6個実装して、様々な動作クロックでテストを行って、

- FPGAの作成(Antifuseのコンフィギュレーション)の段階での個体差
- SSW RXとSSW TXの間のSSWボード上のデータバスでの距離の影響(データバスは等長配線にはしていないので)

がどれほどなのかを確認した。

結果を、Fig3.27に示す。個体差、距離の影響とも40.08MHzのクロックで動作させる限りでは違いは確認できなかった。

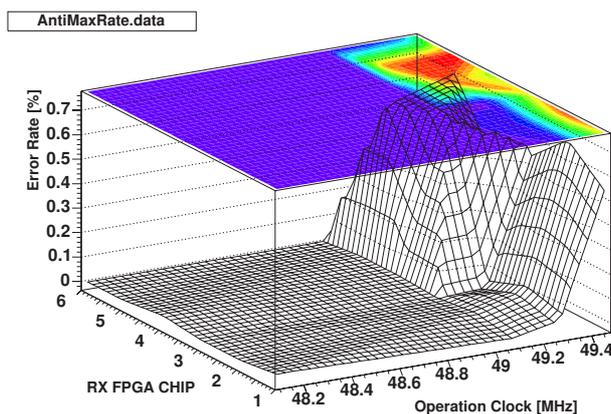


Fig 3.27: それぞれのRX FPGA ごとの動作クロックとエラー率の関係

次にやるべきは、本番の実験時間以上の長時間連続でテストを行った場合、40.08MHzでエラーはまったく生じないのか確認することである。が、まだやってない。

3.3 TGC リードアウトでのデータ処理のデザイン

3.3.1 ヒットマップ

TGC チェンバー 1 モジュールの 1 辺は、ワイヤチャンネルにはギャンギング (Fig2.8) の関係で例外のモジュールがあるけれど、普通はワイヤ、ストリップとも 32 チャンネルであり、ヒット情報は SLB において Fig3.28 に示した形式で、同じ層の隣接する (Adjacent) チェンバーのチャンネル情報も加えられて、ワイヤ/ストリップのダブルット/トリプレットがそれぞれ 160 ビットのヒットマップを作る。

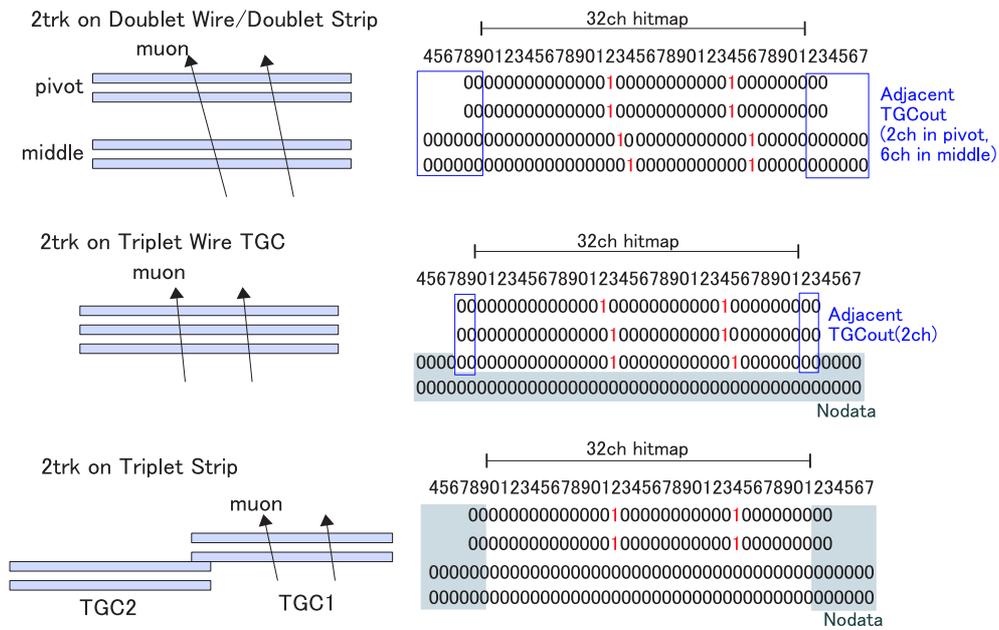


Fig 3.28: TGC ヒットマップの中身

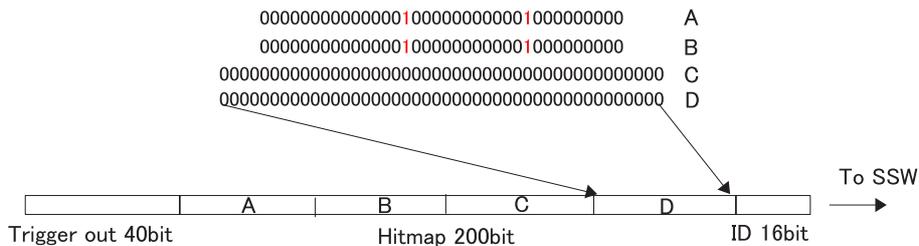


Fig 3.29: TGC ヒットマップの LSlink フォーマットへの変換の仕方

160 ビットは Fig3.29 の向き、順番で SLB の中で並べられレベル 1 バッファに保持される (Fig3.30)。SLB がレベル 1 アクセプトを受けると、バンチ ID(12 ビット) とレベル 1ID(4 ビット) とトリガー情報 (40 ビット) が付け足され、合計 216 ビットのデータがデランダムマイザを経由して、PCS でシリアル変換され、ヘッダとトレイラが 1 ビットずつ付いた 218 ビットの形で SLB から SSW に向けて送信される。

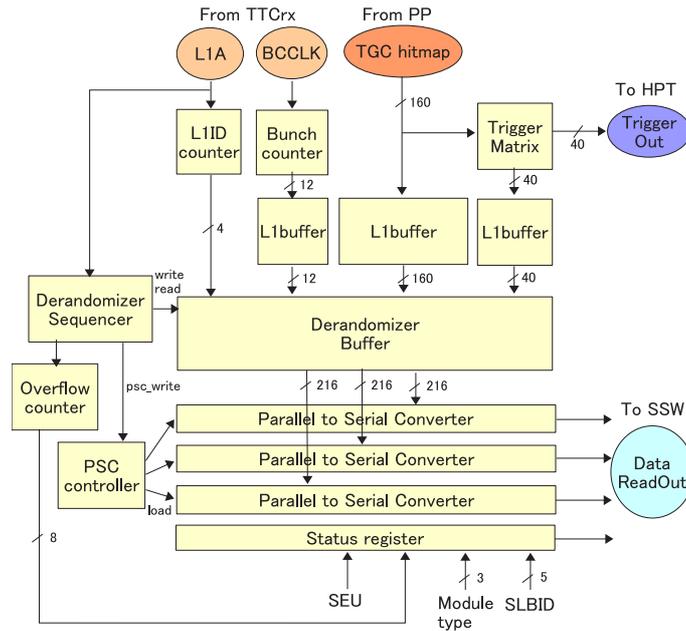


Fig 3.30: SLB 読み出しのブロック図

3.3.2 Local Slave リンク (LSlink)

SLB と SSW とのリンクはローカルスレイブリンク (LSlink) と呼ばれる。データ形式は Fig3.31 に示す。Frame 線 1 本と L1A を受けた前後を含む 3 イベントのデータそれぞれ 1 本ずつ (PRV/CUR/NXT 線)、それに SLB 固有の情報を送る 1 本 (CNTL 線) を足した計 5 本線である。

この 5 本線が、PSB 上の LVDS シリアライザでシリアル変換されて PSB と SSW 間の STP ケーブルを通り、SSW 上の LVDS デシリアライザでパラレルの 5 本線に戻され、RX FPGA に入力される。

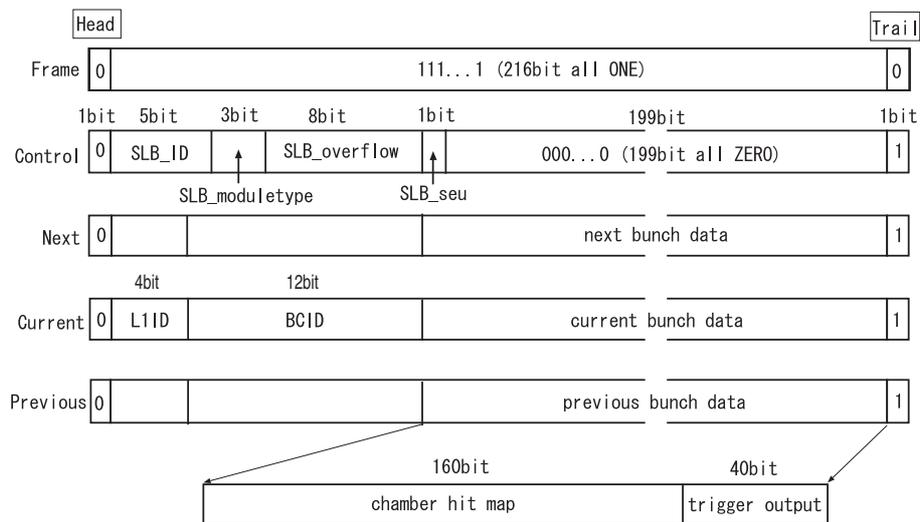


Fig 3.31: LSlink のフォーマット

レベル 1 トリガーが 75kHz で入った場合、218 クロックでデータを送信した後はデータがない状態が平均 315 クロック続く。データがない状態では Frame 線だけが High で、他の 4 本線は Low。ま

た、218 クロックのデータ送信時にも、ヒットマップを送る 160 クロックの間は、ヒット情報はほとんど空なので、Frame 線だけが High の時間が多い。

つまり LSlink に乗ってるデータは非常に特徴的なパターンを繰り返しているのので、悪い意味では LVDS が扱うのが苦手なデータであるし、逆に繰り返されるパターンをリンクを張りやすいパターンに並べ返ることができれば、とても強固なリンクを作ることができる。

3.3.3 ゼロサプレス圧縮

Fig3.28 で分かるように、ヒットマップの中身はほとんどがゼロである。なので、Fig3.32 のように、

1. データの読み始めにカウンタを回す
2. データを 8 ビット毎に区切ったとき (カウンタが 8 の倍数のとき)、その 8 ビットともが Low の場合はその 8 ビットを捨てる。
3. 8 ビットの中に 1 ビットでも High があったら、カウンタの数値を 8 で割った数 ($< 25 = 200/8$) をアドレスに足して、13 ビットの形にする
4. それにデータ線が PRV/CUR/NXT のどれなのか (3 ビット)、と RX から TX に送信するときヘッダやトレイラでなくデータであることを示すタグ (2 ビット) を付けた 18 ビットに整えて、RX の FIFO に保存する。

という簡単な圧縮方法で、データ量がずいぶん少なくてできる。

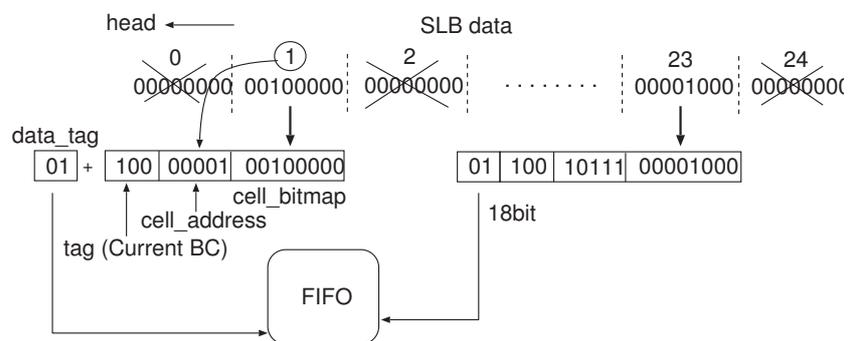


Fig 3.32: ゼロサプレス

どのくらいデータ量が減るか確かめるために、この章の始めに示した av5 FLUKA シミュレーションの結果に当てはめた計算を Tab3.5 に示す。

ゼロサプレスで注意すべき点は、

- もちろんスカスカでなく中身が豊富なデータに扱う場合には、ゼロサプレスを掛けるとアドレスを足した分だけデータが増えてしまう。
- アドレスの作成にカウンタを回してるので、1 イベントのデータが長い場合、アドレスを間違える危険性がある。例えばアドレスレジスタが放射線による SEU でビット反転を起こしたり。SSW の場合は安全のため、アドレスカウンタには多数決回路を実装した。

Tab 3.5: 1SSW あたりのデータ量

	Doublet		Triplet	Inner
	E	E+F	E+F	E+F
SLB	15	20	23	10
Channels	1849	2471	2090	1432
No Compression [MB/s]	23.1	30.9	26.1	17.9
Total Hits/event	0.80	1.00	0.70	1.80
Bytes/event	21.5	22.2	21.2	25.8
With Compression [MB/s]	2.1	2.2	2.1	2.6

3.3.4 スイッチング

RX から TX へのデータ送信のフォーマットを Fig3.33 に示す。ゼロサプレスで残って FIFO に溜められたデータ (Fig3.33 の hdr1,2 と data) だけでなく、RX FPGA 固有の情報がヘッダとトレイラに付け足される。

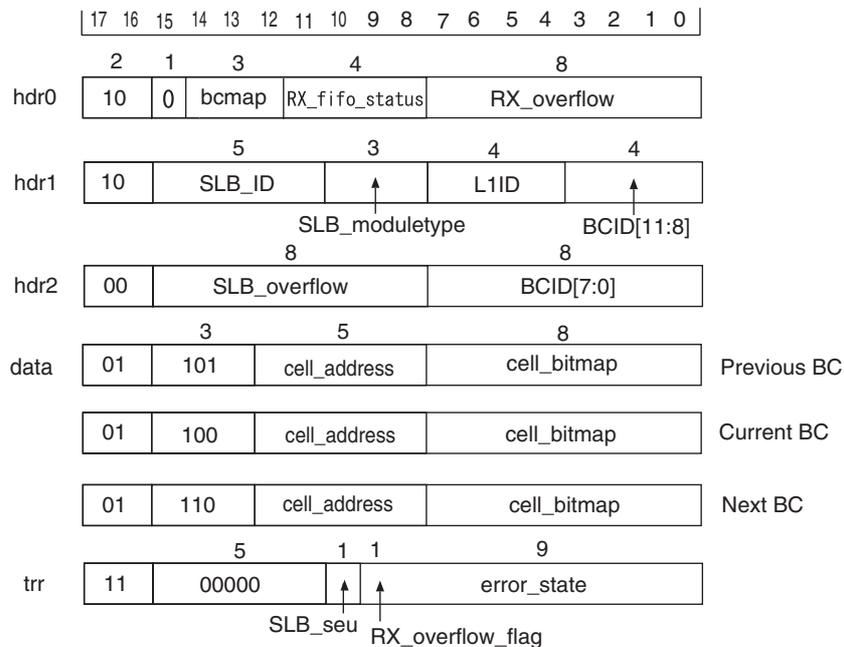


Fig 3.33: RX から TX に渡すときのデータフォーマット

TX による RX のスイッチング方法を次に説明するが、その際、18 ビットデータのアタマ 2 ビットのタグが利用される。

スイッチングのやり方

1. TX は複数の RX それぞれに IDLE のタグを貼っておく。マスクする RX については、眼中に入れず、完全に無視。
2. RX が SLB からデータを受け取る。

3. RX はデータを処理して、FIFO に入れる。FIFO_EMPTY 線が下がる。
4. TX は FIFO_EMPTY 線が下がったことを知る。複数の RX の FIFO_EMPTY 線はほぼ同時に下がるはず。
5. 一番初めに FIFO_EMPTY 線が下がった RX に READING のタグを貼る。
6. READING を貼った RX に「FIFO を開ける」と命令して、データをもらう。
7. READING の RX からデータを読んでいる間に、FIFO_EMPTY 線を下げている他の RX に NEXT-READING のタグを貼る。複数の NEXT-READING 候補がいる場合は、番号 (ボードの上から 0,1,2,... と数えて) の若い RX が優先される。
8. タイムアウト (TIMEOUT1) まで、TX はすべての (マスクしてない)RX の FIFO_EMPTY 線を監視する。タイムアウトを過ぎても FIFO_EMPTY 線が上がったままであれば、その RX に NO-RES のタグを貼り、エラーは VME レジスタにメモ。
9. READING の RX は、自分が吐き出すデータを監視していて、トレイラ (Trailer) を確認したら、自分で FIFO を閉じる。
10. TX は、READING の RX のデータからトレイラを確認したら、その RX に DONE のタグを貼る。
11. トレイラが確認できない場合、タイムアウト (TIMEOUT2) まで待って、タイムアウトを過ぎたら、DONE を貼る。エラーは VME レジスタにメモ。
12. TX は、NEXT-READING の RX のタグを READING に貼り換える。
13. すべての (マスクしてない)RX が DONE か NO-RES になるまで、上の 6. ~ 12. を繰り返す。
13. すべての (マスクしてない)RX が DONE か NO-RES になったら、タグをすべて IDLE に貼り直し、スイッチング終わり。
14. 1. ~ 13. の間にマスク変更の命令 (VME レジスタの設定) があった場合、このスイッチングが終了した時点で初めて、マスク変更がなされ、1. に戻る。

3.3.5 Front End リンク (FELink)

TX から ROD へのデータ送信はフロントエンドリンク (FELink) と呼ばれる。FELink のフォーマットは Fig3.34 に示す。

Fig3.34 の中の分かりづらい箇所を説明すると、

- SLB header 011 の 2 行はエラー情報なので、Glink の負荷を減らすために、エラー情報が空のときは送らない (RXID は予め SLBID と対応付けを記録しておけば削られても困らない)
- PAD word は、ROD が 32 ビットでデータを受け取るために、Glink 出力は 2 クロック続けて送信する必要がある。だが、SLB data の量は奇数行だったり偶数行だったりランダムなので、奇数行の場合には PAD word を続けて送ることで 32 ビットデータを確保する。

である。

Event Header 000 Rec Type=0																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000				RecType				SSWID				SLB presence map (1=open, 0=masked off)																			
SLB header 010																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
010				SLBID				0				BCmap				Mod Type				0				L1ID				BCID			
SLB header 011 00 Optional: present only when there is an error																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
011				00				RXID				0				RXFIFO status				SLB-OVF				RX_OVF							
SLB trailer 011 11 Optional: present only when there is an error (appears after SLB data words)																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
011				11				SEU_OVF				error state																			
SLB data 100, 101, 110																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
100				cell address				cell bitmap																							
101				cell address				cell bitmap																							
110				cell address				cell bitmap																							
PAD word 100, 101, or 110																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
110				11111				0																							
Event Trailer 111																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
111				0x1CA5												XOR check sum															

RecType	FELink フォーマットのバージョン番号で、FPGA の中で固定。
SSWID	SSW ボードごとの識別番号。ボード上のディップスイッチで設定。
SLB presence map	SLB のマスク情報。1 つの SLB に 1 ビット振る。
SLB header 010	SLB 固有の情報。SLlink の内容そのまま。
RXFIFO status	RX の FIFO のたまり具合の数値。デバッグ用。
SLB/RX_OVF	FIFO が溢れた回数。
SEU	SLB での SEU カウント数。
OVF	RX_OVF その 2
error state	RX が SLlink を読んだときの不具合の情報。

Fig 3.34: FELink(フロントエンドリンク) のフォーマット

Chap4 Scalability Broadening in TGC Readout

4.1 Scalability

スケイラビリティ (Scalability) とは何か？

= 小規模のプロトタイプから大規模な最終デザインに移すときの難しさ

- 処理の割り振りをどうするか？たとえば、一枚の SSW ボードが対応する SLB をいくつまで増やすか
- 処理の割り振りのおまけとして、モジュール間の繋ぎの数 (ケーブル1本に任せるチャンネル数) をどうまとめるか？スピードは大丈夫か？リンクの信頼性は大丈夫か？
- プロトタイプで動いていたデータ転送のやり方のまま、大規模システムに増やせるのか？データ整形、圧縮のやり方、内容。ヘッダやトレイラの内容。エラーの内容。
- データ転送と逆向きのコントロールの流れも同様の問題。
- エラー処理の確認。一箇所が死んだ余波の規模は？全体が動かなくなったりしないか。復旧はどうか？エラーレポートの量が多すぎて通信に負荷がかかったりしないか。
- 前後のエレキとのつなぎ方。信頼の依り方。

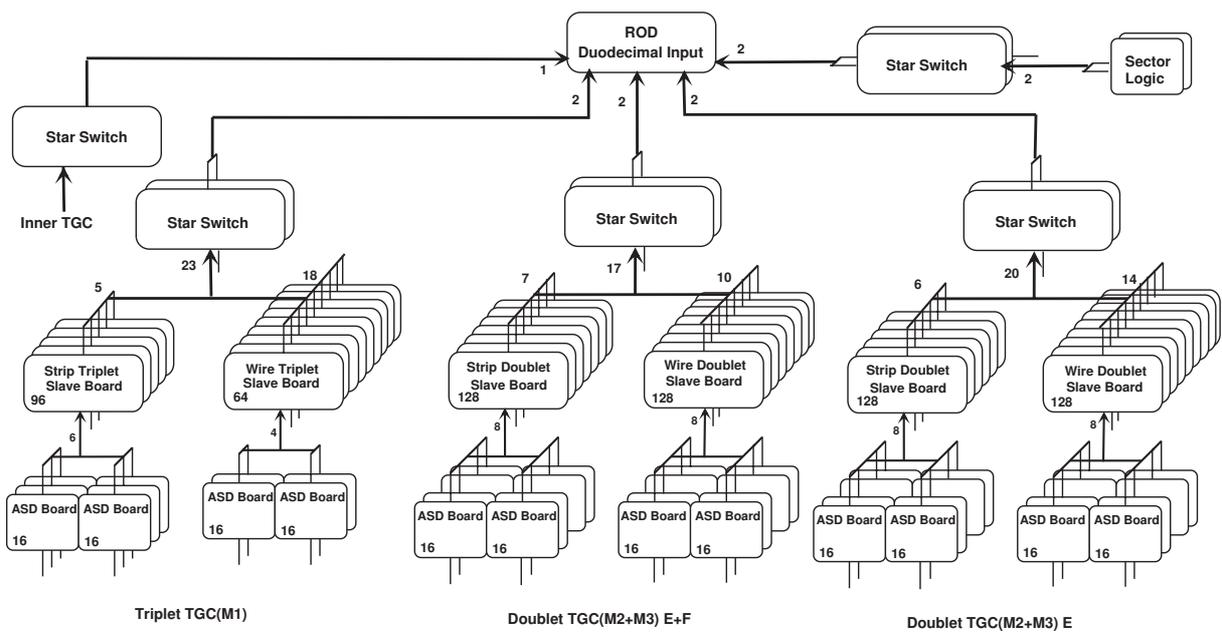


Fig 4.1: TGC 読み出し系はちゃんと機能して ROD までデータを送れるのか

4.2 スライステスト

KEKの2号館回路室において、TGCエレクトロニクスの各モジュールをPSBからRODまで通して繋いで、システム全体での動作テスト(スライステスト)を行った。モジュール単体で動作確認できていたものを、よりATLAS実験本番に近い状況にはめ込んだときでも正常にデータ処理できるのが、モジュール間の接続は大丈夫なのか確認した。

4.2.1 エレクトロニクスのセットアップ

テストのセットアップ図を Fig4.2 に示す。

PCからPPG(Pulse Pattern Generator)を経由してPSB上のPatch Panelへテストベクター(予め作っておいたヒットマップデータ)を入力し、

- リードアウトパス (PP SLB SSW ROD)
- トリガーパス (PP SLB HPT SL SSW ROD)

でそれぞれ処理させた結果をRODでまとめ、RODのFIFOの中身をPCに落として結果の解析を行った。

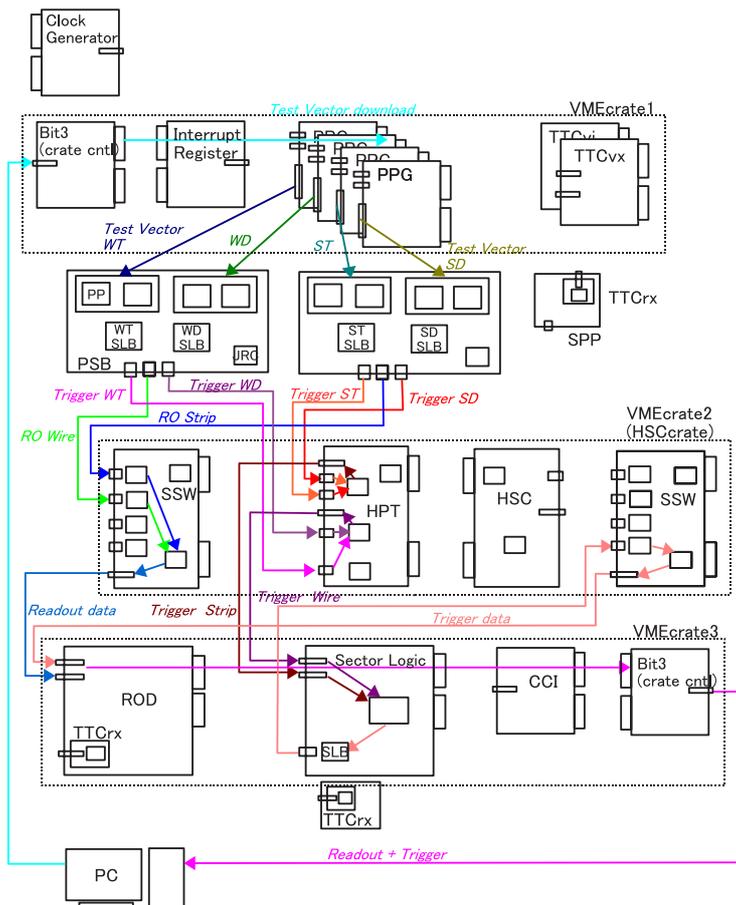


Fig 4.2: スライステストにおけるデータの流れ

クロックやトリガーの配り方については、Fig4.3 に示した。このスライステストの目的はトリガーの生成効率の評価にあるのではなく、データ処理が正しく為されるかにあるので、トリガーパスで生成する自前のトリガーを用いるのではなく、外から手でトリガーを入れてシステムを動作させた。

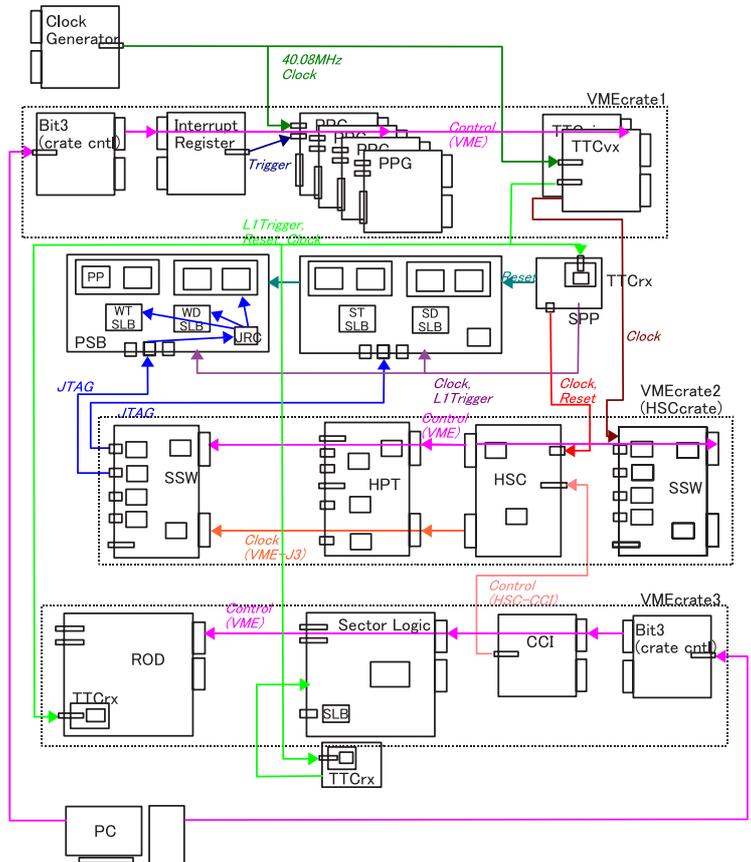


Fig 4.3: スライステストにおけるクロックやコントロール信号の流れ

4.2.2 PC 上での結果のチェック

ROD でまとめる 1 イベントのデータには、リードアウトパスで処理された部分とトリガーパスでの結果の部分とがある。

データのチェックは、

1. データのうちリードアウトパスで処理された部分をデコードして、ヒットマップにまで戻す。
2. 戻したヒットマップを T1ME(Trigger level1 Muon Endcap) と呼ばれる TGC エレキのトリガーシミュレーションに入力して、シミュレーションによるトリガーパスの結果を得る
3. ROD で取ったデータのトリガーパスの結果と、シミュレーションでのトリガーパスの結果を比べる。

というやり方で行った。(Fig4.4)

結果、10 万パターン of テストベクターを流してもエラーは観測されず、TGC エレクトロニクスがシステムとして正常に動作できていることが確認された。

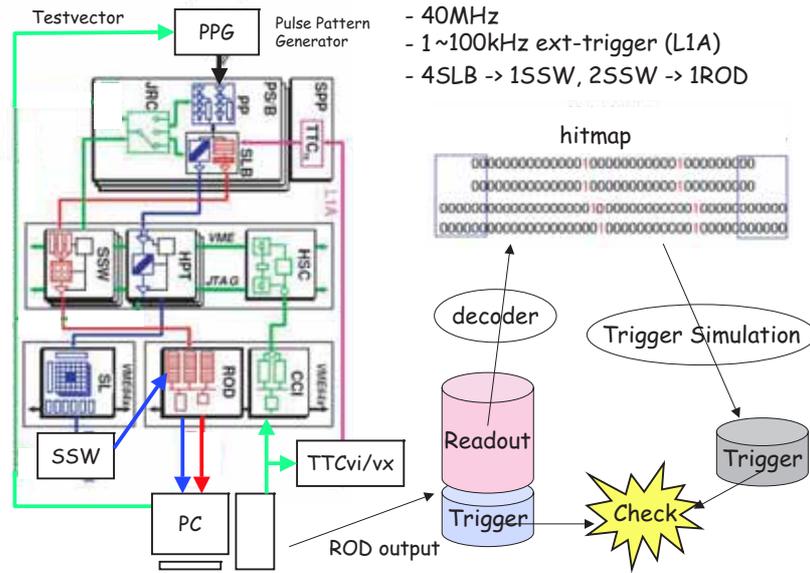


Fig 4.4: スライステストの結果チェックのやり方

4.3 ビームテスト

CERN Preveessin サイトの H8 ビームラインにおいて、SPS(Super Proton Synchrotron) からの 100GeV ミューオンビームを使ったビームテストを行った。このビームは 25ns 毎にバンチを構成している。TGC エレクトロニクスのシステム全体を動作させて行うテストであるが、前節のスライステストと大きく違う点は、

- TGC でのミューオンヒットを読み出す
 - ノイズの処理、タイミングの処理
スライステストへの入力には PPG からのデジタル出力なのでほとんど気にしてなかった
- ATLAS レベル 1 トリガーシステムの大枠の中でトリガー処理を行う
 - MUCTPI に TGC トリガーを送って、TTC から L1A(レベル 1 アクセプト) を受け取る
スライステストではトリガーアウトは内容チェックだけ。L1A は TTC から人工的に作成して配ってた
 - $< 2.5\mu\text{sec}$ のトリガーレイテンシ
スライステストではチェンバーと繋いでないので全体を通しては測定できない
- ATLAS-DAQ の大枠の中でデータ読み出しを行う
 - TGC スタンドアロンテストの場合、L1A を受けてから SSW-ROD を経由して ROB までデータを送り、そこで記録
スライステストでは ROD の段階で PC にデータを落としてた
 - Combined テストの場合、3 段階のトリガーアクセプトに応じて段階的にデータを送り、最後はレベル 3 の後ろの Data Storage に記録

である。ATLAS 実験全体の構成の中に TGC システムを組み込んだとき、正常に動作できるのかを確かめることが目的である。

本節では 2004 年 10 月に行ったビームテストについて述べる。同様のビームテスト自体は過去に数回行われていて、TGC プロトタイプのエレクトロニクスでの動作検証は前回までに成功していた。それを踏まえ、この回のビームテストにおける TGC システムの特徴は、ハードウェアの入れ替えであった (多くは ATLAS 実験本番で使う最終版)。入れ替えたモジュールは以下。

- 新しい PS ボード。リードアウトの出力口が昔は 2 口 (1SLB 毎に別のケーブルで送ってた) だったが、1 口にまとめた。LVDS 出力の並びをリンクしやすく改良。最終版。
- 新しい SLB(ver.4)。前回ビームテストで使ってた ver.2 のバグフィクス。
- 新しい JRC(Jtag Route Controller)。ASIC で開発していたものを Antifuse FPGA に移行したもの。最終版。
- 新しい HPT ボード。VME コントローラを Antifuse FPGA に移行、新しい PS ボードに合わせて LVDS の入力周りの修正、など。最終版。
- 新しい SSW(prototype ver2)。新しい PS ボードに合わせて LVDS の入力周りを修正。最終版に向けて FPGA の中の仕様の改良・フィックス。

4.3.1 セットアップ

H8 のレイアウト

H8 のビームラインには、ビーム上流から内部検出器、カロリメータ、ミュオン検出器の順に、バレルもエンドキャップも同じライン上で並べてある。SPS から引き出した初めのパイオンビームは崩壊して、ミュオン検出器の地点では 100GeV のミュオンビームとなっている。(残ったパイオンはカロリメータの後ろのコンクリートブロックで吸収されている)。そのミュオンを TGC/RPC のトリガーチェンバーがトリガーをかけることで全検出器からのデータを取る、というような Combined テストができる。また、ビームラインには途中でシンチレータが置かれていて、レベル 1 によるトリガーではなく、シンチレータでトリガーをかけることも可能である。

ミュオン検出器周りについて述べる。Fig4.5 にレイアウト図を示す。ビーム上流からバレル、エンドキャップの順に並ぶ。バレル、エンドキャップそれぞれの中では、たとえばエンドキャップの場合、MDT EI、TGC M1、MDT EM、TGC M2、TGC M3、MDT EO の順にレイヤー間の相対距離は ATLAS 検出器と同じ長さに測って設置される。Fig4.6 のようにレイヤーがビーム軸に対して斜めに設置されているのも、実際の ATLAS 検出器に置かれる場合を模しているからである。

コントロールルームは Fig4.6 においてチェンバーの向こう側に見える部屋である。

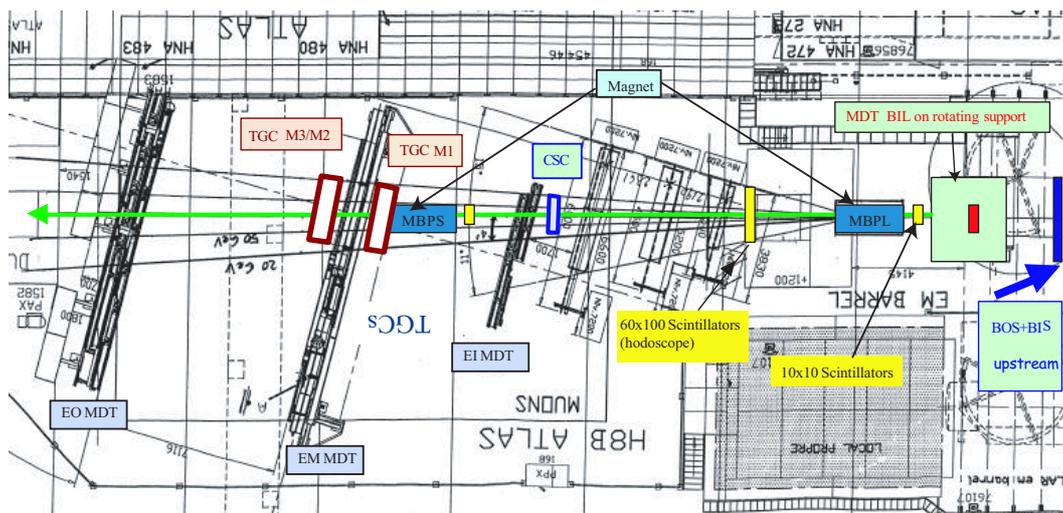


Fig 4.5: H8 のレイアウト



Fig 4.6: H8 のセットアップ写真

TGC システムのレイアウト

TGC システムのセットアップを Fig4.7、Fig4.8 に示す。MDT を挟んで M1 と M2/M3 を置いた。フロントエンドの電子学は、M1 上 PS pack、その下の地上に HSC クレート。ROD や SL はビームラインの外のコントロールルーム内のクレートに置いた。

ビームテストで使った電子学を Tab4.1 にまとめる。

TGC 電子学の間での接続の仕方を Fig4.9 に示す。SL での $R-\phi$ コインシデンスのトリガー結果は SL 上の SLB を通って、SSW(SL-SSW) に渡される。SL-SSW の出力は ROD に送られ、リードアウトパスからのデータとトリガー出力との整合性がチェックされる。

Tab 4.1: ビームテストで使った TGC エレクトロニクス

エレキ	数	場所	コメント
ASD ボード	14	各チェンバーの縁	
PS ボード (PSB)	2	TGC M1 の表面	
PP ASIC	14	PS ボード上	8 PP/PSB
SLB ASIC	4	PS ボード上	2 SLB/PSB
JRC FPGA	2	PS ボード上	
SPP ボード	1	TGC M1 の表面	
SSW ボード	2	HSC クレートと ROD クレート	1 枚ずつ
HPT ボード	1	HSC クレート	
HSC	1	HSC クレート	
PT4	1	HSC クレート	SPP 上の TTCrx への I2C 制御
ROD	2	ROD クレート	日本 ROD とイスラエル ROD
SL	1	ROD クレート	
CCI	1	ROD クレート	

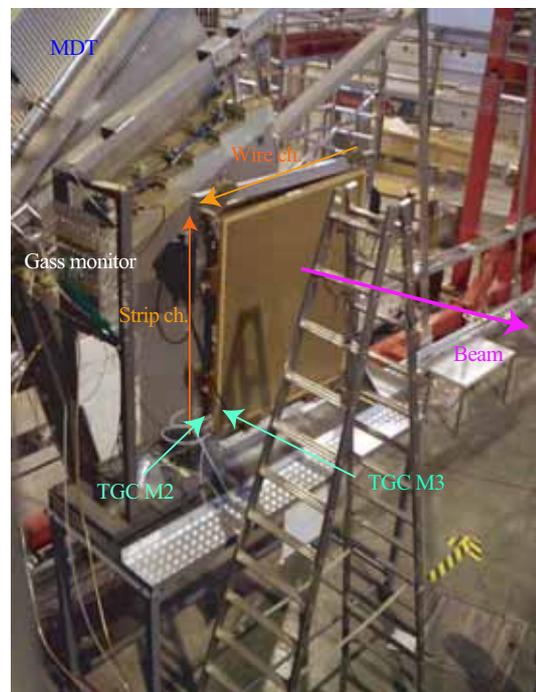
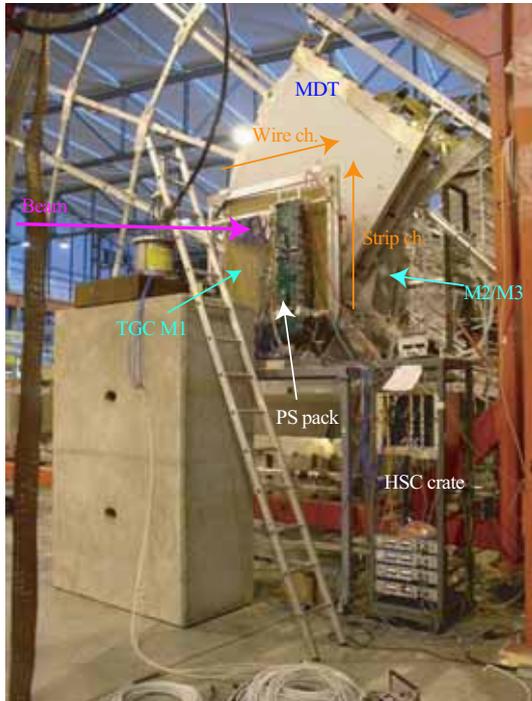


Fig 4.7: TGC M1(Triplet) のセットアップ写真 Fig 4.8: TGC M2/M3(Doublets) のセットアップ写真

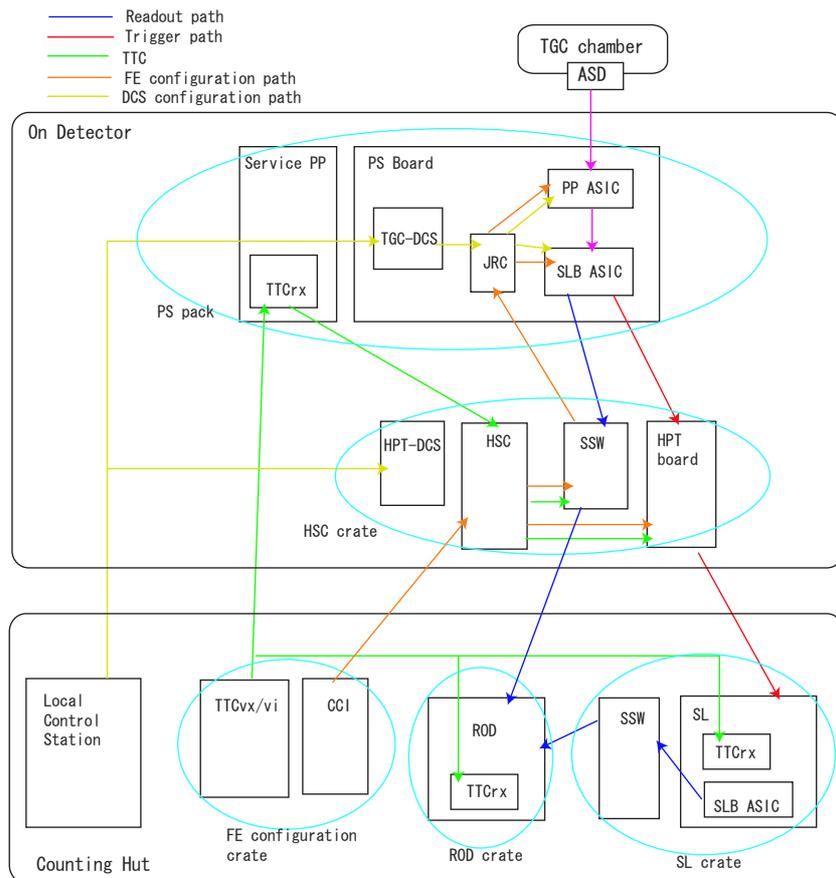


Fig 4.9: 各 TGC エレクトロニクス間の接続の仕方
 ROD の出力は ROB へ、SL の出力は MUCTPI へそれぞれ繋がる

4.3.2 TGC システム単体でのテスト

データの読み出しの仕方

ミュオンビームでの TGC システムのスタンドアロンテストについて述べる。

TGC でのミュオンヒットは Fig4.9 のトリガーパスで処理されて、SL から MUCTPI を経由して CTP に送られ、トリガー判定をされる。あるいは、 $10 \times 10\text{cm}^2$ のシンチレータ (Fig4.5) からの信号をトリガーに使う。

TTC から配られるレベル 1 アクセプトを受けて、リードアウトデータが SLB から SSW を経由して ROD へ送られ、ROD の中でフォーマットされて、ROS (ReadOut System) の中の ROB に送られる。

スタンドアロンでのテストの場合は、レベル 2 トリガー以後のやり様がないので、Fig4.10 のように ROS から Disk に落とす。落としたデータを ROS から別の PC に飛ばして解析する。

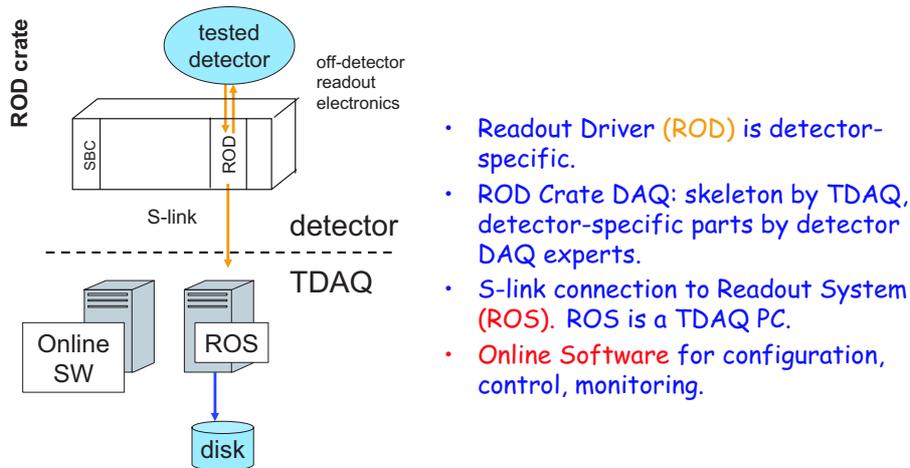


Fig 4.10: 検出器ごとのローカルな DAQ

結果と考察

$10 \times 10\text{cm}^2$ シンチレータトリガーでのデータの解析例として、ビームモニタを Fig4.11 に示す。

左の大きなウィンドウが 1 イベントのヒットマップ (Current バンチ)。TGC の 3 ステーションとも、ワイヤ/ストリップチャンネルともデータの読み出しが成功していることが確認できる。

右上のウィンドウと真ん中に半分隠れてるウィンドウはヒットのヒストグラム。緑がトリガーを受けたバンチ (Current バンチ)、赤が 1 バンチ前、青が 1 バンチ後のヒットであるが、緑がほとんどであって、うまくタイミング調整がされていることが分かる。

このチェンバーは 1 チャンネルの長さがワイヤで約 5cm、ストリップで約 4.5cm である。ヒストグラムがワイヤ、ストリップとも 2 ~ 3 チャンネルの幅でピークを立てていることは、 $10 \times 10\text{cm}^2$ のシンチレータトリガーでデータを取っているから妥当である。

また、今回ビームは TGC に垂直な方向から 15° の角度で入射している。TGC M2 と M3 との間隔は 14cm であるから、ワイヤ方向のヒットに 3.8cm のずれができるはず。真ん中に半分隠れてるウィンドウを見ると、Wire M2 と Wire M3 で 2 チャンネルのずれがあり、これはビームの斜めの入射から説明される。

以上のように、TGC スタンドアロンでのデータ読み出しは正しく機能していることが確認された。

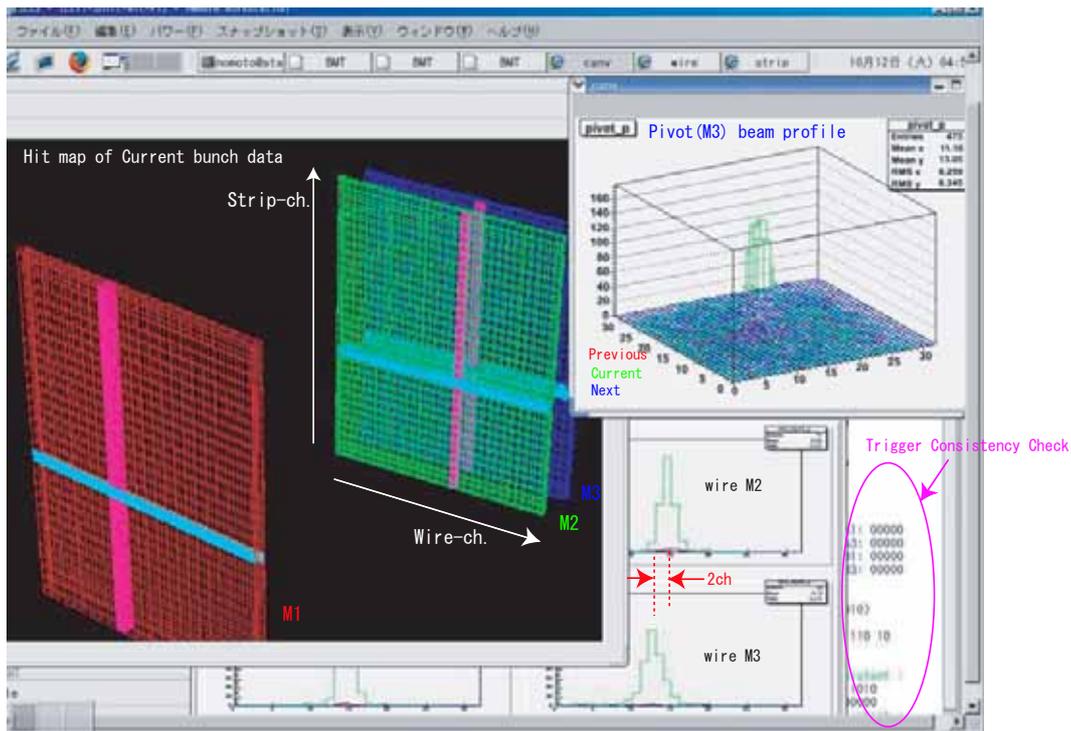


Fig 4.11: TGC スタンドアロンでのビームモニタ

4.3.3 TGC が他の検出器と一緒にいったテスト

データの読み出しの仕方

TGC が他の検出器と一緒にいったテスト (Combined Run) について述べる。

TGC でのミュオンヒットは Fig4.9 のトリガーパスで処理されて、SL から MUCTPI を経由して CTP に送られ、カロリメータのトリガー情報と合わせてトリガー判定をされる。あるいは、 $10 \times 10 \text{cm}^2$ のシンチレータ (Fig4.5) からの信号をトリガーに使う。

TTC から配られるレベル 1 アクセプトを受けて、リードアウトデータが SLB から SSW を経由して ROD へ送られ、ROD の中でフォーマットされて、ROS(ReadOut System) の中の ROB に送られる。

他の検出器と一緒にのテストなので Fig4.12 のように ROS からレベル 2,3 のトリガー判定をされて最終的には CASTOR(Cern Advanced STORage) という Data Storage に記録される。

結果と考察

Storage(CASTOR) へのアクセスはスタンドアロンの場合と違って、ATLAS 実験標準の決められたやり方で行う。解析ソフトウェアも ATLAS が用意したものが利用できる (スタンドアロンのときは全て自前)。

解析例を Fig4.13 に示す。これは、MDT で測定されたミュオントラックを TGC の位置まで延長したときの場所を縦軸に、TGC での実際のヒットチャンネルを横軸にとったプロットである。左上から右下にかけての相関が確認できることから、MDT と TGC で読み出しのタイミングを合わせることに成功して、同じミュオンのヒットが読み出せてると分かる。

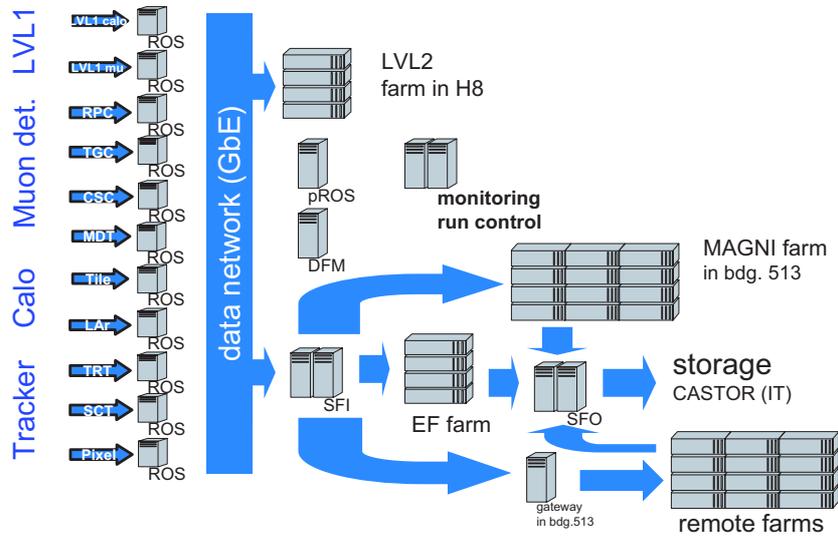


Fig 4.12: Combined Test の DAQ

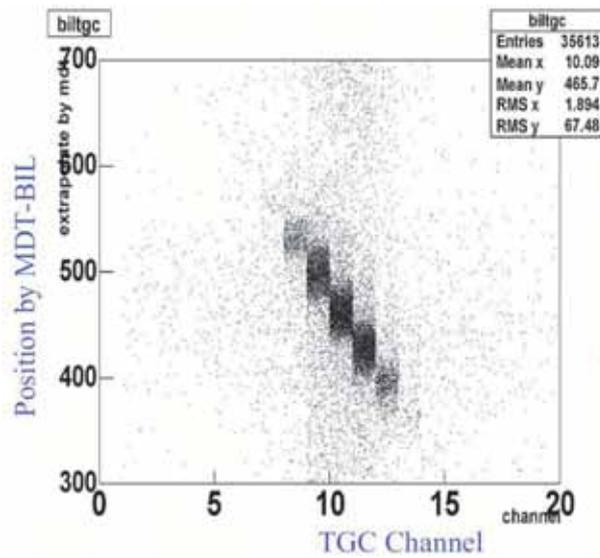


Fig 4.13: 縦軸に MDT で測定されたトラックを TGC の位置まで延長した場所を、横軸に TGC でのヒットチャンネルを取ったときのプロット

4.4 SSW データバスのトリガーレートチェック

SSW プロトタイプ ver2 の時点で、実際の ATLAS 実験で使用する SSW の機能と比べたとき、「1 つの SSW ボードが処理する SLB の数は最大で 23SLB」という要請は、SSWver2 が最大 10SLB までしか処理できないことと比べると、大きな飛躍であった。

SSW のデザインについて、

- 倍以上の数の入力に対してスイッチング機能は問題なく動くのか
- スwitchングに待たされる時間が増えた RX のバッファの深さは足りるのか
- レベル 1 トリガーレート (75kHz) での入力データ量に対して、今のデザインのままでは処理は間にあうのか。(ヘッダーを減らしたり、ゼロサプレスより強く圧縮したりする必要はないのか)

を確認する必要があった。

テスト

実際は、SSW プロトタイプ ver3 を使えば 23SLB の処理を素直にテストできるのだが、

- テストを行った時点では SSWver3 の完成が間に合っていなかった
- SSW RX/TX 内部の色々なパラメータを、最終的に TX 出力のフォーマットに含ませたり、VME レジスタにカウントしたりして確認したい。その仕様変更を行うために、SSWver3 で使う焼き切り型の Antifuse FPGA では不都合。
- SSWver2 のボード上にはデバッグ用に余計な配線が引いてあり、それを使えばなんとかかなりそう

という理由で、SRAM FPGA の SSWver2 でテストした。

この節では、RX FPGA の中に実装する rx モジュール (1rx が 1SLB の相手をする) を rx と小文字で書いて、RX FPGA の大文字と区別する。

セットアップ テストのセットアップを図 4.14 に示す。

- 各 RX FPGA にはそれぞれ 5 つの rx を実装する。(RX 中の 1rx が 1SLB の相手をする)。これは、デバッグ用の余計な配線のおかげで可能であった。
- つまり、SSWver2 の最大処理量 10SLB という数は LVDS ケーブルの口の数の制限であって、ボード上の配線を工夫すれば FPGA としては 25SLB までが対処可能であった。
- RX FPGA 内部に 10bit パラレル出力できる PPG(Pulse Pattern Generator) の機能を追加し、これを rx 入力に繋ぐ。
- TX FPGA 内部に 16bit パラレル入力をダンプできる FIFO 機能を追加し、これを TX 出力部分と繋ぐ。
- TX 側から適宜 rx をマスクすることで、ATLAS 実験本番と同様の最大 23SLB(=23rx) を実現する。
- 次の段落で説明するようなデータ入力の組み合わせを簡単にするために、5 つの rx と PPG との繋ぎ方は、10bit 入力のうちアタマ 5bit が rx0、シリ 5bit が rx1,2,3,4(他の FPGA でも同様) となるように実装した。

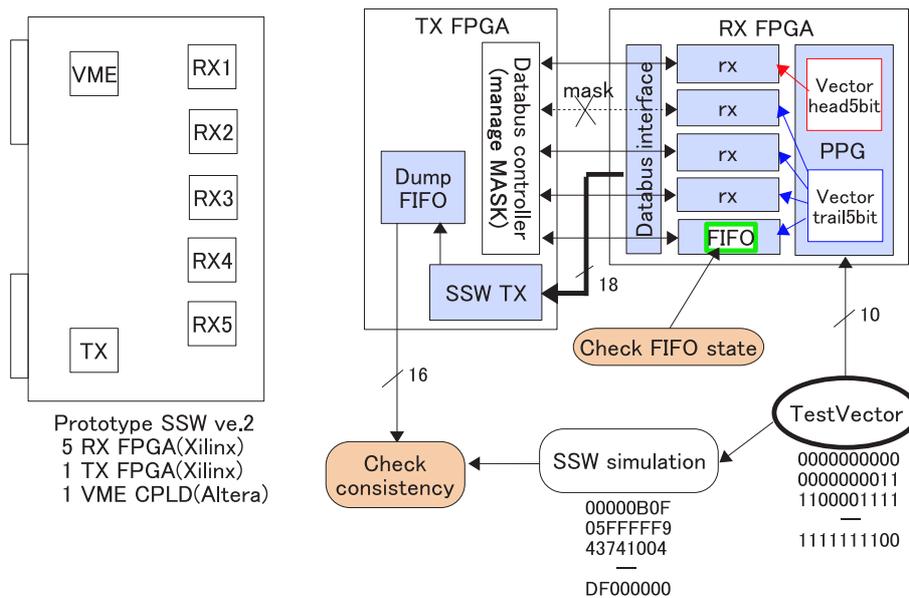


Fig 4.14: セットアップ図

テストベクタ 次に、テストに使った入力データのテストベクタについて説明する。

SSW 入力のデータ構造は、SLB の種類により Fig3.28、Fig3.29 のように異なる。

本番の ATLAS 実験と同様の SLB 数からの入力データ量を実現するため、PPG へのテストベクタのダウンロードのやり方と TX 側から rx に対するマスクのかけ方は、Tab4.2 のようにした。

Tab 4.2: テストベクタの流し方、マスクの掛け方

RX FPGA		Triplet		Doublet	
chip	rx	1hit	2hit	1hit	2hit
0	0	WT	WT	WD	WD
	1	(mask)	(mask)	-	-
	2	(mask)	(mask)	-	-
	3	-	-	-	-
	4	-	-	-	-
1	5	ST	ST	SD	SD
	6	-	-	-	-
	7	-	-	-	-
	8	-	-	-	-
	9	-	-	-	-
2	10	-	WT	-	WD
	11	-	-	-	-
	12	-	-	-	-
	13	-	-	-	-
	14	-	-	-	-
3	15	-	ST	-	SD
	16	-	-	-	-

	17	-	-	-	-
	18	-	-	-	-
	19	-	-	-	-
4	20	-	-	(mask)	(mask)
	21	-	-	(mask)	(mask)
	22	-	-	(mask)	(mask)
	23	-	-	(mask)	(mask)
	24	-	-	(mask)	(mask)

SSW への LVDS 入力は、Fig4.15 のように 218 ビットのデータ (ヘッダとトレイラを含む) と IDLE ワードが交互に続く。

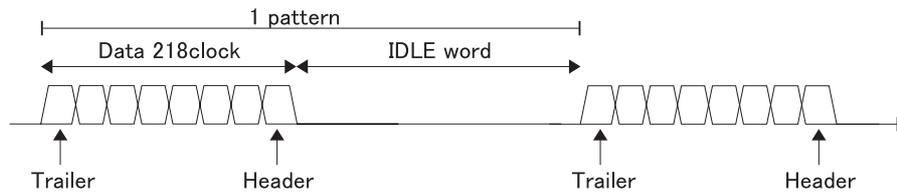


Fig 4.15: SSW への LVDS 入力と IDLE ワード

レベル 1 トリガーレートが R_{L1T} [kHz] で一定としたとき、SSW 入力の IDLE ワードのビット数 N_{IDLE} は、

$$N_{IDLE} = \frac{40.08[\text{MHz}]}{R_{L1T}[\text{kHz}]} - 218 \quad (4.1)$$

と求まる。計算結果を Tab4.4 にまとめる。

Tab 4.4: テストベクタに混ぜる IDLE ワードの長さ

LVL1trigger rate R_{L1T} [kHz]	Testvector 1event size [bit]	IDLE word size [bit]
50	800	582
75	533	315
100	400	182
125	320	102
150	266	48

テストのやり方 以上のように準備した上で、

- 動作クロックは本番の実験と同様、VME J3 バスからの TTC クロック 40.08MHz
- PPG にテストベクタをダウンロードする。PPG を連続でまわして、そのときの TX ダンプ FIFO でとった結果をシミュレーションと比較
- 同時に、TX の出力フォーマットに rx の FIFO の状態 (ゼロサプレスされた後のデータの溜まり具合) の情報を含ませていたので、その値も確認

というテストをした。

テストは、Triplet/Douplet に 1/2 ヒットの計 4 種類をそれぞれ 2 万パターンずつ流して行った。

結果と考察

rx FIFO のデータの溜まり具合の結果を、Fig4.16 に示す。

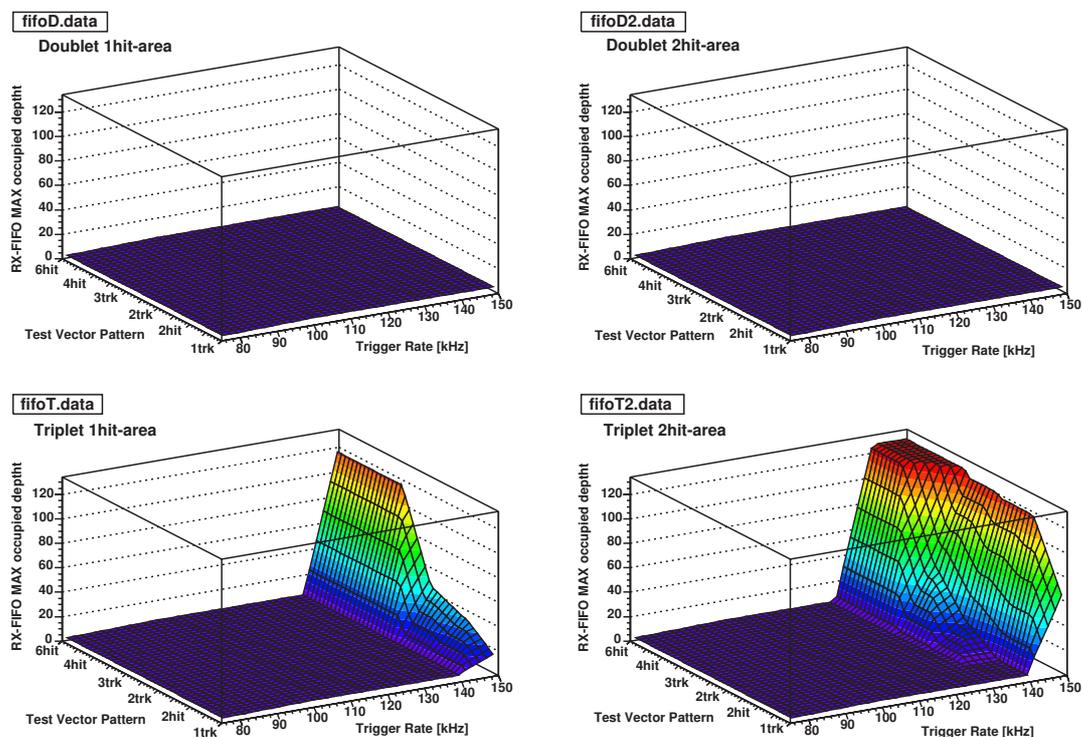


Fig 4.16: トリガーレートを変えたときの rx FIFO(深さ 128 段) のデータの溜まり具合

トリガーレートが 130kHz 以下では SSW は TGC チェンバーの Doublet/Triplet のどちらを相手にしても 2hit までなら、rx FIFO の深さは十分あることが確認できた。

出力をシミュレーションと比較したエラーチェックについては、rx FIFO が溢れない限りはエラーは 1 度も生じなかった。

ATLAS 実験の仕様では、レベル 1 トリガーのレートは最大 100kHz まで上げてモエレキは動作できることが求められている。SSW の場合はこのテスト結果から ATLAS 実験本番の最大 23rx のデザインでも 100kHz のトリガーレートで正常に動作できることが確認された。

今回のテストでは Tab4.4 のようにテストベクターを用意したので常に一定のトリガーレートであった。揺らぎのあるトリガーレート (平均したら 100kHz になるランダムレート) でのテストはまだ行っていないが、デランダムマイザの深さが待ち行列理論 (Queuing Theory) での計算上は大丈夫なはずである。

Chap5 Radiation Hardness Developments in TGC Star Switch

この章では、まず TGC エレクトロニクスの放射線対策について述べる。特に、Star Switch で新規参入を図ったメモリ装備の Antifuse FPGA については、放射線照射テストを行って、ATLAS フロントエンドで使用可能であることを確かめたので、報告する。

5.1 エレクトロニクスと放射線

半導体デバイスに対して、放射線は悪さをする。強い放射線環境下において高集積度なエレクトロニクスを使用する航空産業や宇宙実験、加速器実験では、放射線の影響は、その場で実験に従事する人々の安全性にも関わる問題でもあり、よく研究されている。

5.1.1 エレクトロニクスに対する放射線の影響

放射線が半導体デバイスに与える影響には、

- 半導体素子が放射線粒子による電離を長期間受けて、影響が蓄積したことによる劣化
- 高エネルギーの放射線粒子が半導体素子を通過する際に大きな電離を起こし、パルス電流をすることで単発的に生じる現象

の 2 種類がある。以下でそれぞれ説明する。

蓄積効果 TID (Total Ionizing Dose)

放射線が半導体素子を電離した結果が蓄積して生じる現象。正電荷捕獲、バルク損傷 (結晶の格子欠損)、界面準位生成の 3 種類があり、リーク電流の増加やデバイスの電気的特性の変化を起こす。

例えば、正電荷捕獲の場合、放射線が酸化膜中の電子を励起して弾き出した後に酸化膜中には正孔 (ホール) が残ってしまい、ゲートに電圧 V_g をかけなくても結果としてゲートに電圧を印加したのと同じことになる。このため、NMOS においてはしきい電圧 V_t が下がって、低い V_g でも電流 I_d が流れてしまうし、PMOS では規定の電圧を印加しても I_d が流れなくなる。(Fig5.1)

単発的効果 SEE (Single Event Effect)

高エネルギーの粒子によって瞬間的に生じたパルス状の電流が起こす現象。

粒子が半導体素子の逆バイアス接合に入射したとき、飛跡に沿って電子-ホール対を作る。空乏層外での電子-ホール対はすぐに再結合するが、空乏層内の電子-ホール対は各電極に引き寄せられる。この電子、ホールの流れがパルス状の電流となって SEE を起こす。

SEE の結果には回復可能な故障 (SEU) と永久的 (になり得る) な故障 (SEL, SEB, SEGR など) とがある。

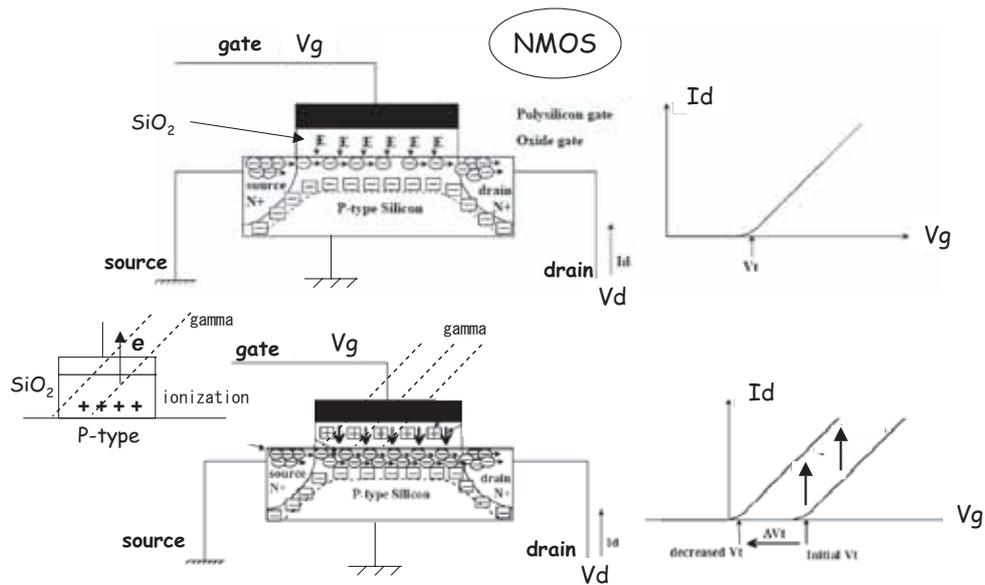


Fig 5.1: TID のメカニズム

- 回復可能な故障 SEU (Single Event Upset)
 - 一時的にパルス電流が流れて起こるビット反転。ビットを書き直せばエラーは回復できる。
- 永久的 (になり得る) な故障 SEL (Single Event Latchup)
 - 寄生サイリスタ構造に電流が流れてしまう現象。流れ続けた電流によるジュール熱でデバイスの故障にいたる。

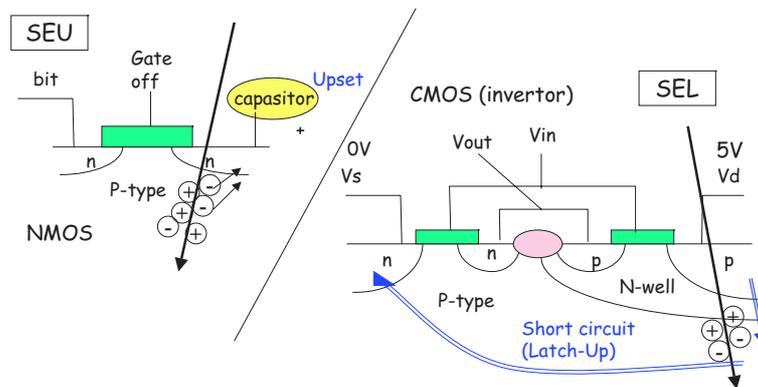


Fig 5.2: SEU や SEL のメカニズム

5.1.2 エレクトロニクスにおける耐放射線対策

多数決回路 Voting Logic

多数決回路 (Fig5.3) は、TMR (Triple Module Redundancy) とも呼ばれる。1 ビットの情報を記録するのに 3 つのレジスタを使用し、その 3 つの多数決をとって出力する。

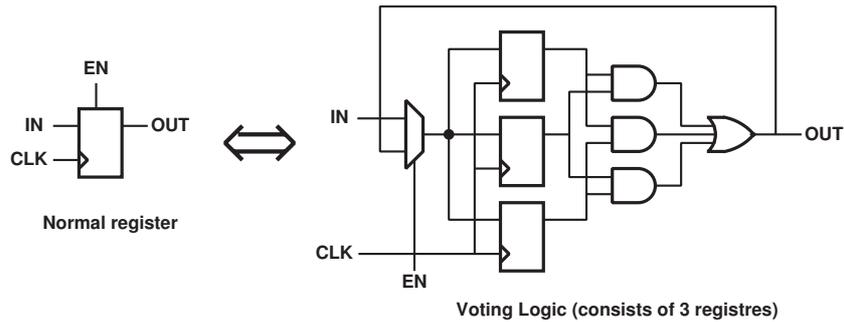


Fig 5.3: 多数決回路

多数決回路で情報が反転するには、少なくとも2つのレジスタでSEUが発生する必要がある。1つのレジスタが反転する確率を P とすると、多数決回路の2つのレジスタが反転する確率は、

$$P \times P \times {}_3C_2 = 6P^2 \tag{5.1}$$

となり、2乗にSEUの影響を小さくできる。

Antifuse-based FPGA technology

エレクトロニクスでは大きな機能を担わせる部分に、設計の複雑回避、信頼性の確保、基盤に取れる面積、消費電力の点から大規模集積回路 LSI(Large Scale Integration) を使用する。

LSIの中でも自分で中身を設計できるものには、ASIC、SRAM FPGA、Antifuse FPGA がある。以下で長所と短所を挙げる。

1. ASIC (Application-Specific Integrated Circuit)

- 長所
 - 一般的に集積度が高い。それゆえに、消費電力が少ない。
 - 放射線耐性に優れる。FPGA に比べて LET_{th} (Linear Energy Tarnsfer threshold) が大きいので SEU が起こりにくい。
 - 昔からあるテクノロジーなので、設計に技術的な蓄積のメリットがある。
- 短所
 - FPGA のような柔軟性を欠く。作った後の仕様変更が簡単にはできない。
 - 設計、検証、製造とも時間がかかるのでスケジュールリスクが高い。
 - FPGA のような商用既製品 COTS(Component-Off-The-Shelf) ではなく、特注品のために高いコストがかかる。また CAD のデザインツールが高価格、かつ使いづらい。

2. SRAM-based FPGA (Field Programmable Gate Array)

- 長所
 - 再設計の柔軟性に優れる。Antifuse FPGA とは違い、基盤から外さずに FPGA の中身を再プログラムできる。
 - 一般に、Antifuse-based FPGA に比べて集積度の高く製造されている。

- 短所

SEUの影響を大きく受ける。SRAM FPGAは中身の論理構造をSRAM(Static Random Access Memory)でのスイッチで保存しているため、そのSRAMがSEUを受けると論理構造が壊れてしまう。SRAM FPGAのSRAMの90パーセントはこの論理構造スイッチのためのSRAMなので、SEU回避は非常に困難。

またSRAMの LET_{th} は小さいので、SEUを起こしやすい。SRAMはTIDに対しても弱い。論理構造スイッチのほか、機能の設定レジスタでのSEUも致命的なので、FPGA内部で多数決回路を実装したり、FPGA外部に監視回路(watch-dog circuit)のようなものを用意してSEU対策をする必要があるが、それはシステムを余分に複雑化させることになり好ましくない。

また、SRAM FPGAはSRAMに論理構造を記憶することから、当然電源投入時は空であり、ASICと違って中身をダウンロードする機能をFPGA外部に用意する必須であるし、どのようなタイミング・順序でダウンロードするかをシステム全体の視点から考慮する必要もある。これもシステムの複雑化につながる。

また、消費電力が大きい。特にFPGAへのダウンロード時には大きな電流(> 1A)が必要であり、FPGA外部での電源コントロールも考えねばならない。

3. Antifuse-based FPGA

- 長所

再プログラムはできないため、SRAM FPGAとは違ってSEUで論理構造が変わることはない。またダウンロードのための外部構造を用意する必要もないし、ダウンロード時のタイミング・順番や電力管理に頭を痛める必要もない。

ASICに比べると、ずっと短時間での設計変更が可能。基盤の設計を終えた後でも、再設計の余地がある。

設定レジスタへのSEUは多数決回路で予防でき、Antifuse FPGAの場合は多数決回路の仕組みをオプションでベンダーが用意してる場合が多い。

LET_{th} はSRAMやASICに比べて大きく、TIDに対してもASICと同じくらい強い。

- 短所

SRAM FPGAと比べると再設計の柔軟性はずっと劣る。一度システムに組み込んだ後での再設計は難しいし、リモートからの再設計は不可能。(基盤からFPGAを外して付け直す必要がある。)

一般に、集積度はそれほど高くないものが製造されている。

強い放射線環境下でなければ、SRAM FPGAの使用が可能な場合が多く、SRAM FPGAの方がずっと使いやすいので、SRAM FPGAの方が需要が大きく開発が活発である。

Tab 5.1: LSIの放射線耐性の比較

<http://www.cotsjournalonline.com/home/article.php?id=100087>

effect	value description	Antifuse FPGA	SRAM FPGA	ASIC
SEU	LET_{th} [MeV · cm ² /mg]	> 63	~ 5	> 37
TID	dose to cease operation entirely [krad]	~ 200	< 100	> 200

以上に特徴を挙げたとおり、強い放射線環境下でSRAM FPGAを使用するのは危険であり、コストの点からASICとAntifuse FPGAのどちらかを選択すべき。

5.2 TGCエレクトロニクスと放射線

5.2.1 TGCエレクトロニクスにおける放射線の影響

LHCではプロトン-プロトンの衝突点で大量の放射線が発生する。(Tab5.2)

Tab 5.2: LHC での放射線の原因とその量

放射線源	量
衝突点でのプロトン-プロトン衝突	$\sim 10^9$ events/sec
LHC リング全周での beam loss	$< 10^7$ protons/sec
ビームとリング内の残留ガスとの反応	$\sim 10^2$ events/m/sec

プロトン-プロトンの衝突からの生成粒子は、大部分がカロリメータでエネルギーを落とし吸収されるが、カロリメータでのシャワーの2次粒子はATLAS測定器の最も外側に設置されるミュオンスペクトロメータに達することもあり、偽のシグナルを作ったり、検出器にダメージを与えたりする。

ATLAS実験で生じる放射線については、RHA-WG(Radiation Hardness Assurance Working Group)によって研究され、まとめられている。RHA-WGによるシミュレーション結果をFig5.4、Fig5.5に示す。

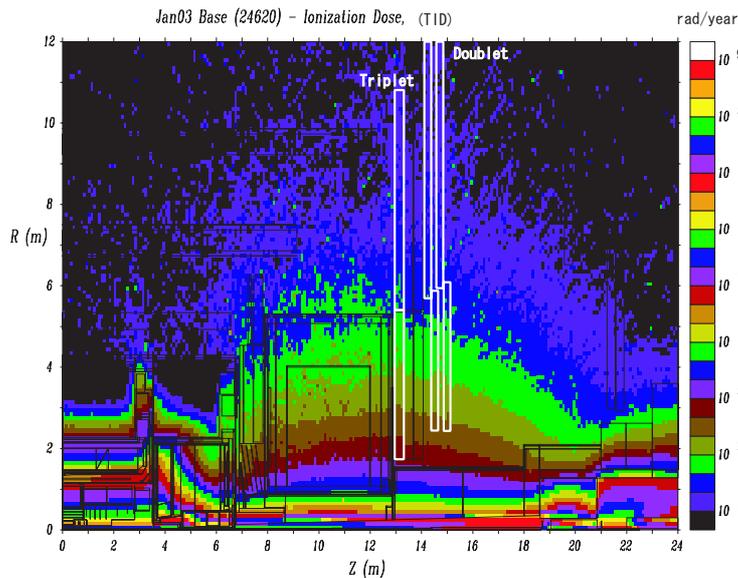


Fig 5.4: 1年間あたりのTID

ATLAS実験は始まってから、少なくとも10年間は稼働を予定しており、検出器内部に設置される全ての半導体素子は、この稼働期間中の被曝に耐え得る性能が要求される。

RHA-WGのシミュレーション結果から、TGCエレクトロニクスが設置される領域での放射線レベル SRL (Simulated Radiation Level) の値は、Tab5.3のようになる。

SRL_{TID} については、積算吸収線量 (線量 = 物質の単位質量あたりに吸収されるエネルギー、 $100\text{rad}=1\text{J/kg}=1\text{Gy}$)。 SRL_{SEE} については、20MeV以上のエネルギーをもったハドロンフルエンス (単位面積を通過する放射線の個数を全照射時間で積分したもの) を単位とする。

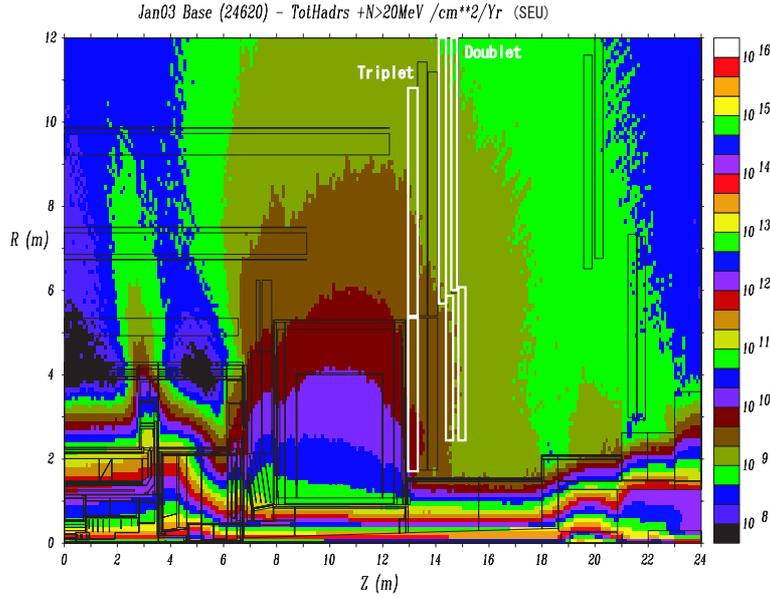


Fig 5.5: 1年間あたりの SEU

Tab 5.3: TGC での放射線量の見積もり SRL (10年間)

	position in ATLAS ($R[m]$, $Z[m]$)	SRL_{TID} [rad/10y]	SRL_{SEE} [/cm ² /10y] ($> 20\text{MeV}$ hadrons)
Triplet	(7.15 ~ 11.8, 12.8 ~ 12.9)	2.27×10^2	6.54×10^9
Doublet	(6.80 ~ 11.8, 14.7 ~ 14.8)	2.49×10^2	4.53×10^9

RTC (Radiation Tolerance Criteria)

シミュレーション放射線レベル SRL には、不確定要素が含まれているため、安全係数 SF を考慮して、耐放射線基準値 RTC (Radiation Tolerance Criteria) という値を式 5.2 のように計算する。

$$RTC = SRL \times SF_{sim} \times SF_{ldr} \times SF_{lot} \quad (5.2)$$

ここで、 SF_{sim} は SRL の不確定さ、 SF_{ldr} は低線量率 (Low Dose Rate) で照射した場合の効果、 SF_{lot} はデバイス製造時のロット (同一仕様の製品や部品の生産単位) 間で生じる違いを考慮した安全係数である。

RHA-WG による SF の値を用いると、TGC エレクトロニクスでの RTC の値は Tab5.4 のようになる。

Tab 5.4: TGC エレクトロニクスの RTC_{TID} の見積もり

	SRL_{TID} (/10years)	SF_{sim}	SF_{ldr}	SF_{lot}	RTC_{TID} (/10years)
Triplet	2.27×10^2 [rad]	3.5	5	4	$\sim 1.58 \times 10^4$ [rad]
Doublet	2.49×10^2 [rad]	3.5	5	4	$\sim 1.74 \times 10^4$ [rad]

ATLAS 実験で使用するエレクトロニクスは全て耐放射線基準値 RTC 以上の放射線耐性が要求さ

れている。

5.2.2 SEE の評価

SRL_{SEE} はエレクトロニクスに入射するハドロンの数であって、入射したハドロンが毎回 SEE を起こすわけではない。TID の場合と違って、SEE の場合の耐放射線基準値 RTC の算出には、 SRL の値と実際エレクトロニクスに現れるダメージとを関係づける必要がある。

はじめに SEE の定義をまとめ直す。

SEE(Single Event Effect) は SEU(Single Event Upset)、SEL(Single Event Latchup)、SEB(Single Event Burnout)、SEGR(Single Event Gate Rupture) といった現象の総称であり、その結果の大きさからは次の 3 種類に分類できる。

- Soft SEE(= soft SEU)
SEU によってレジスタやメモリで起こる一時的なビット反転。リセットや再書き込みで回復できる。
- Hard SEE(= hard SEU)
SEU によってレジスタやメモリで起こる永久的なビット反転 (反転したままでスタックする)。リセットや再書き込みでも回復不能。
- Destructive SEE(= SEL, SEB, SEGR)
パルス電流で短絡回路を形成する永久的な故障。SEL の場合はラッチアップでの熱対策を設ければ永久的な故障は回避できるが、SEB や SEGR の場合は決まって永久的な故障となる。また発火に繋がるので Destructive SEE の可能性がある場合は、十分な防止策が必須である。

SEE の発生率は、原因となるハドロンのフルエンス ($\propto SRL_{SEE}$) のみならず、半導体デバイスの構造や集積度に依存し、さらに SEE によるダメージの実質的な大きさはその半導体デバイスのシステム内での使われ方、担ってる機能によって異なる。

そのため、各デバイスについて、実際に照射実験を行って SEE の発生率を個々に調べ、その結果を TGC エレクトロニクスのシステム構成上での危険性に直して、SEE によるダメージを評価する必要がある。

のであるが、照射実験を行う前に簡単な SEE の評価を行うことも可能である。

SEU の発生率 SEU_{rate} は、RHA-WG の定義によると式 5.4 のように計算される。

$$\begin{aligned} SEU_{rate} &= \frac{\text{照射テストでの SEU 発生回数}}{ARL} \times \frac{SRL_{SEE}}{10\text{year}} \times SF_{sim} & (5.3) \\ &= (\sigma_{SEU} \times \text{ビット数}) \times \frac{SRL_{SEE}}{10^8[\text{sec}]} \times SF_{sim} \end{aligned}$$

ここで、ARL は照射テストでのプロトンフルエンス (Applied Radiation Level)、 σ_{SEU} は SEU 断面積、 SF_{sim} は RHA-WG による安全係数。

SEU の断面積 $\sigma_{SEU}[\text{cm}^2/\text{bit}]$ はデバイスの種類に依存するが、一般に、入射したハドロンのエネルギーが 20MeV 以下では SEU 断面積は非常に小さく、20MeV 以上のハドロンに対してはおよそ $10^{-15} \sim 10^{-13}[\text{cm}^2/\text{bit}]$ で一定となることが知られている。

ASIC の場合

ASIC の場合、SEU が起こると問題になるレジスタは、主にはパラメータ設定用に使用されるレジスタであり、SLB ASIC の場合で考えると 674 ビット存在する。フロントエンドに設置される SLB ASIC は ATLAS 全体で 2880 個に使用されるため、仮に SEU 断面積の値を $1.0 \times 10^{-13} [\text{cm}^2/\text{bit}]$ とすると、SEU の発生率は、T の値を LHC の 10 年分の稼働時間 $10^8 [\text{sec}]$ として、

$$\begin{aligned}
 SEU_{rate} &= \frac{\sigma_{SEU} [\text{cm}^2/\text{bit}] \times SRL [\text{cm}^2/10\text{years}] \times SF_{sim}}{\text{ATLAS の 10 年分の稼働時間 [s]}} \times \text{全ビット数 [bit]} \times \text{使用チップ数} \\
 &= \frac{1.0 \times 10^{-13} \times 6.5 \times 10^9 \times 5}{10^8} \times 674 \times 2880 \\
 &= 6.3 \times 10^{-5} [\text{/s}] \\
 &\simeq 5 [\text{/day}]
 \end{aligned}
 \tag{5.4}$$

と見積もることができる。ここで、*SRL* には値の大きい Doublet の方を採用し、*SF* は RHA-WG が SEE に対して提示している値を用いた。

この見積もりには 1 桁程度の誤差を含んでいる可能性があるが、この結果から、TGC エレクトロニクスで使われる設定レジスタには SEU 対策が必要であると言える。

TGC エレクトロニクスでは、ASIC に搭載される各設定レジスタには、前節で説明した多数決論理回路 (Fig5.3) を実装して、SEU による誤動作の防止をした設計を行なっている。

また、実は SLB や PP、HPT などの ASIC については、放射線照射テストが過去に TGC エレキグループで行われて SEU 断面積の実際の値が実験結果から示されており、それは 10 年間の放射線量でも問題ないことが確認されている。

FPGA の場合

前に述べたように、一般的に SRAM FPGA の放射線耐性は高くないことが報告されており、特に単発的に引き起こされる SEU が SRAM FPGA のコンフィギュレーション情報を反転させることが問題である。

実験中に SEU 発生を監視して、SEU が起こったらすぐに FPGA の再コンフィギュレーションを行うに仕組みを用意していても、FPGA の中身のダウンロード作業には数秒を要する。リードアウトパスのスイッチである Star Switch(SSW) でこれが頻繁に起こると、読み出しがほとんどストップしっぱなしとなり、TGC エレクトロニクス全体にとって致命傷である。

Tab 5.5: SSW プロトタイプで使用していた Xilinx VirtexE(SRAM FPGA) のコンフィギュレーションのデータ量

Device	Configuration Bits	parts in SSW
XCV200E	1,442,016	RX (SSW ver2b)
XCV300E	1,875,648	TX (SSW ver1,2,2b)
XCV400E	2,693,440	RX (SSW ver1,2)

(ver2b とは ver2 の廉価版 SSW ボードで、TGC 1/12 の組み立てテストに使用予定)。

ASIC の場合と同様に、 SEU_{rate} を SSW の SRAM FPGA で見積もってみる。1 つの FPGA のコンフィギュレーション・データが $2 \times 10^6 \text{bit}$ とする。

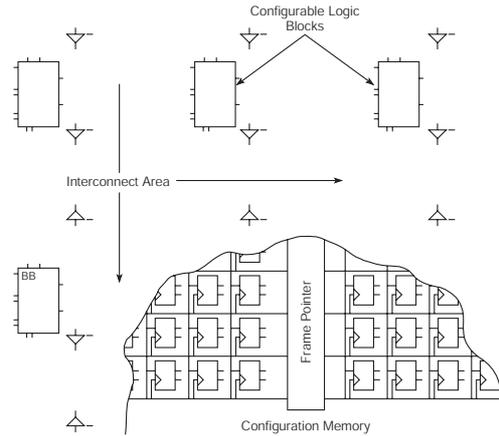


Fig 5.6: SRAM FPGA の内部構造

SSW の現在のデザイン (ver3) では、1つのボードに RX/TX FPGA が計7枚載る。ATLAS 全体で、フロントエンドに SSW ボードは152枚 (うち、InnerTGC が計8枚) が必要。 $\sigma_{SEU} \simeq 10^{-14}[\text{cm}^2/\text{bits}]$ (Fig5.33) とすると、

$$\begin{aligned}
 SEU_{rate} &= \frac{\sigma_{SEU}[\text{cm}^2/\text{bit}] \times SRL[/\text{cm}^2/10\text{years}] \times SF_{sim}}{\text{ATLAS の 10 年分の稼働時間 [s]}} \times \text{全ビット数 [bit]} \times \text{使用チップ数} \\
 &= \frac{1.0 \times 10^{-14} \times 6.5 \times 10^9 \times 5}{10^8} \times 2 \times 10^6 \times 7 \times 152 \\
 &= 6.9 \times 10^{-3}[\text{/s}] \\
 &\simeq 25[\text{/hour}]
 \end{aligned}
 \tag{5.5}$$

1桁のオーダーで誤差があると考え、最悪の場合10秒に1回どこかのSSWのSRAM FPGAがバカになってる計算になる。やってられない。

5.2.3 SSW における Antifuse FPGA

ATLAS で大量に使用するために ASIC で開発した SLB や PP ASIC などに対して、SSW のように使用する LSI の数が少数の場合 (Tab5.6) には、開発のコストが少なくて済むという利点から FPGA を使いたい。

ところが、前節で示したように強い放射線環境下の TGC フロントエンドに SRAM FPGA を置いた場合、頻りにコンフィギュレーション情報が SEU で壊れてしまうので、SRAM FPGA は使用不可能である。

そこで、SEU を受けてもコンフィギュレーション情報が反転することのない Antifuse FPGA の使用が要望された。

Antifuse FPGA について、組み込みメモリを持たないタイプ (Actel AX シリーズ) については、放射線照射テストを行って、TID と SEE のどちらの点でも ATLAS 10 年間での被爆量で問題ないことが確かめられている。

Tab 5.6: ATLAS 全体で使用するデバイスの個数

Device	Number per ATLAS
PP ASIC	10416
SLB ASIC	2944
SSW RX FPGA	< 1176
SSW TX FPGA	168
SSW VME FPGA	168
HPT VME FPGA	192
JRC FPGA	1360

その結果、Actel AX シリーズの Antifuse FPGA は、HPT/SSW ボード上の VME コントロール部分の FPGA や JRC に使用することが決まっている。

しかし、SSW には読み出しデータのバッファが必要であり、組み込みメモリを有した Antifuse FPGA(Actel Axcelerator シリーズ) の使用が望まれる。

「組み込みメモリ」というのは、メモリに特化したブロックを FPGA 内に用意するテクノロジーである。レジスタを手で組んで実現したバッファとは違って、組み込みメモリは (1) バッファのアドレスコントローラが自分で HDL を書いて作らなくても予め用意されている、(2) ルーティングが最適化された構造なのでバッファの動作速度が速い、という特徴がある。

ところが、Actel Axcelerator シリーズに対する放射線照射テストはまだ行われていなかった。そこで、メモリの放射線耐性の確認も含めて、Actel Axcelerator シリーズの Antifuse FPGA に対する照射テストを行ったので、それについて次節で述べる。

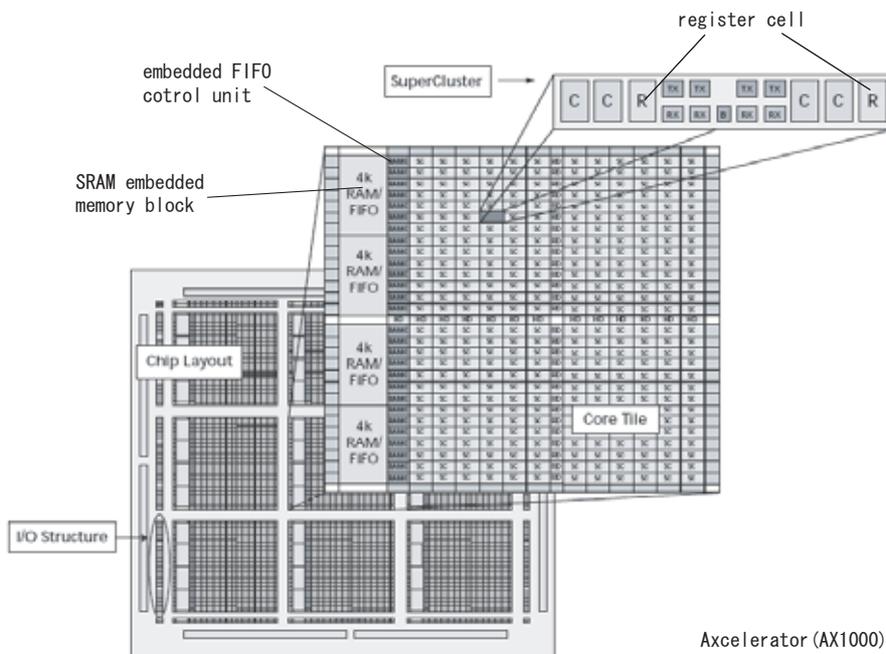


Fig 5.7: Axcelerator のアーキテクチャ図

5.3 放射線照射テスト

5.3.1 テストのやり方

テストで使うテストボード、プログラムは以下で順に説明するガンマ線照射テスト、プロトン照射テストとも同じものを用いて実験したので、初めにここでまとめる。

(同じテストボードとは言っても、もちろんガンマ線照射で使用したチップは外して、プロトン照射テストでは新しいチップに付け換えている。)

テストボード

TIDの影響を見るためにリングオシレータ (Fig5.8)、SEU を計測するためにシフトレジスタ (Fig5.9)、メモリで組んだシフトレジスタ (Fig5.10) の3つの構造を、1つの Antifuse FPGA 内部に書いて、その同じFPGA を2枚載せたテストボードを作成した。

RHA-WG によって ATLAS では、DUT(Device Under Test) をそれぞれ4個照射して結果を評価しなくてはならないと決められているので、テストボードは同じものを2枚作った。

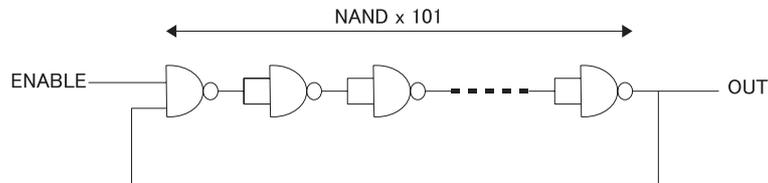


Fig 5.8: リングオシレータ

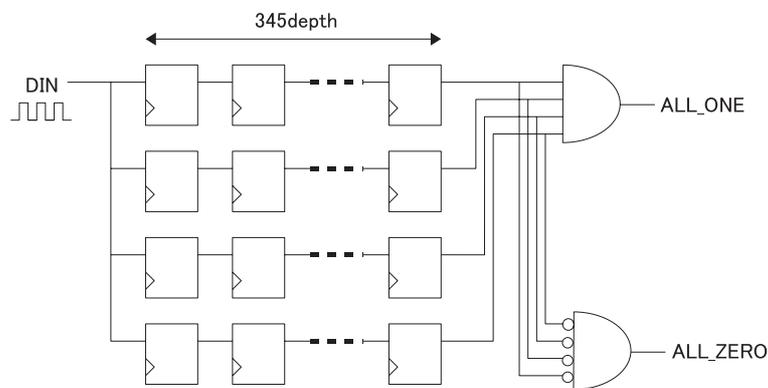


Fig 5.9: シフトレジスタ

注意1 シフトメモリについては、アドレスのカウントアップ部分は多数決回路で作ったわけだが、組み込みメモリ内部のベンダが用意した FIFO コントローラについては多数決回路を実装できないので、SEU によってメモリブロック内部でのアドレス管理を間違える危険性があり、シフトメモリの SEU 数が正しく測定できない可能性がある。

が、SEU 発生率が以下で示すように1ビットあたり 10^{-11} [1/s] と小さかったので FIFO コントローラがアドレス管理に使ったレジスタでの SEU の可能性は問題なかったと言える。

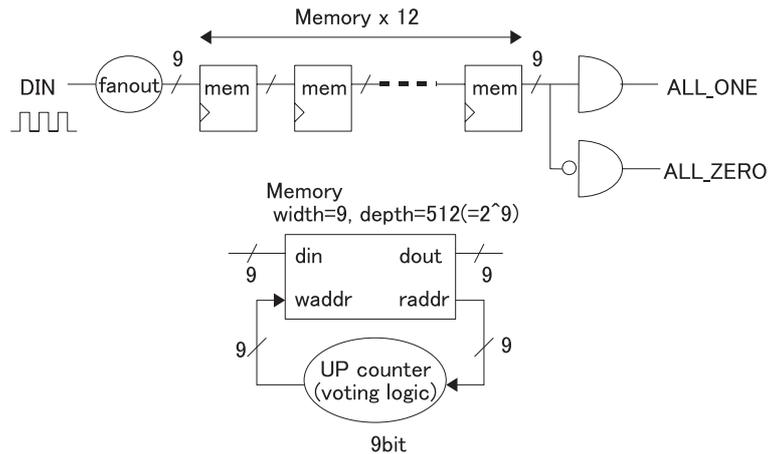


Fig 5.10: メモリを使ったシフトレジスタ

Tab 5.7: テストボードの FPGA の詳細

Antifuse FPGA	Actel Axcelerator AX250 208QFP (ゲート数 250,000)
リングオシレータ (Fig5.8)	NAND 101 個
シフトレジスタ (Fig5.9)	4 × 345 bit
シフトメモリ (Fig5.10)	9 × 512 × 12 bit

注意 2 このボードで同時に TTL-LVDS 変換チップ (FPGA とテストボード外部との信号のやりとりで使用) についてもガンマ照射、プロトン照射を行っている。(プロトンビーム照射時は、先に FPGA に照射してその後 TTL-LVDS 変換チップの順番。)

ただ、ガンマ照射、プロトン照射とも TTL-LVDS 変換チップへの 3.3V 電源でのリーク電流の計測は、ほとんど変化は観測されなかったため、TTL-LVDS 変換チップの被曝は FPGA の放射線照射結果に何も影響していないと考える。

テストのやり方

- シフトレジスタ、シフトメモリの動作

- 動作クロックは ~ 10[kHz]
- 入力は 1 分ごとに High と Low で換えるだけ。
- SEU の発生は 10kHz のクロックごとにチェックして、発生回数をカウンタに保存。カウンタの中身は 5 秒に 1 回確認する。2 枚の FPGA は同時に計測。
- 50 秒続けたら (カウンタの中身の確認を 10 回行ったら)、次の 10 秒はクロックを止める。

- リングオシレータの動作

- ガンマ照射テストでは、オシレータの周波数は 1 分ごとに、2 枚の FPGA の出力を交代で計測する。

- プロトン照射テストでは、オシレータの周波数は2分ごとに、ビームを照射してる FPGA の出力を1枚ずつ個別に計測する。
 - シフトレジスタ、シフトメモリでの10秒休みの時間はリングオシレータもストップさせる。
 - 照射を止めた後も、annealing の効果を見るためにしばらく計測を続ける。
- FPGA に与える電源 3.3V、1.5V はどちらも漏れ電流 (Leak Current) を測定する。
 - ガンマ照射テストでは、リーク電流値は5秒ごとに2枚のFPGAを同時に計測する。
 - プロトン照射テストでは、リーク電流値は5秒ごとに2枚のFPGAを同時に(ビームを照射してない方のFPGAも同時に)計測する。
 - 照射開始時にスタートをかけて、以降計測し続ける。照射を止めた後も annealing の効果を見るためにしばらく計測を続ける。
 - ガンマ照射、プロトン照射ともそれぞれ2枚のボード(FPGAで数えたら4チップ)に照射を行う。

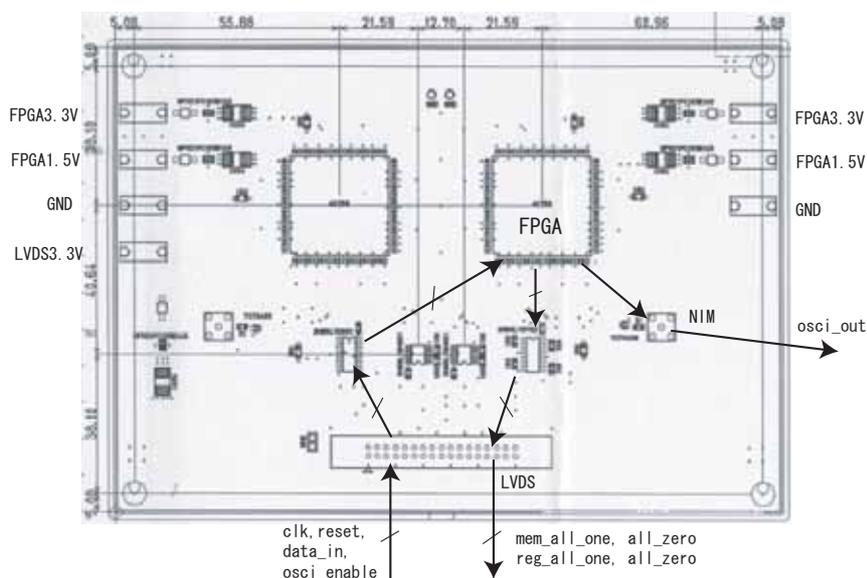


Fig 5.11: テストボードのレイアウト図

5.3.2 ガンマ線照射テスト

実験のやり方

ガンマ線照射は、東京大学原子力総合センター (RCNST:Research Center for Nuclear Science and Technology) の ^{60}Co を利用した。照射テストのセットアップを Fig5.12、Fig5.13 に示す。

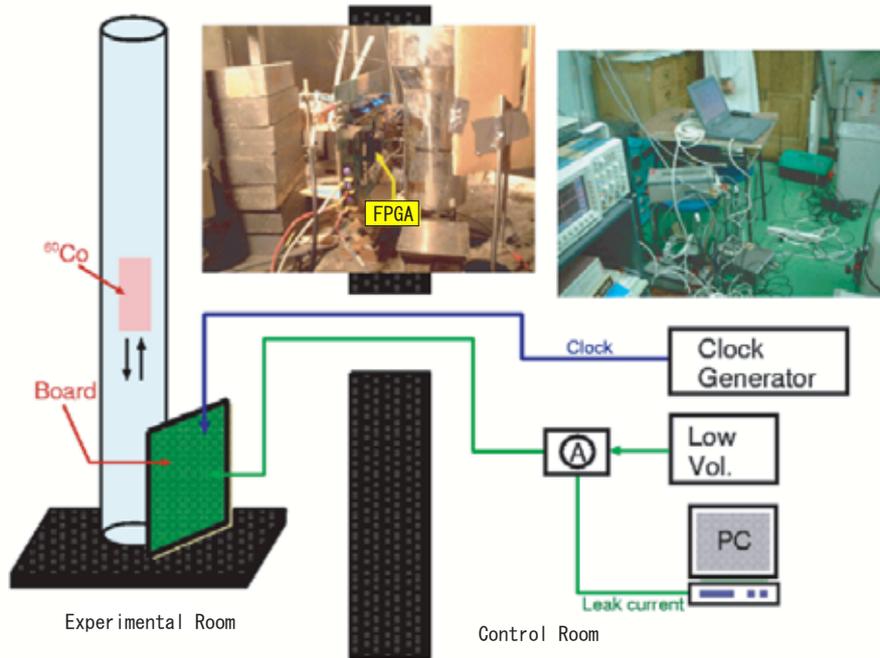


Fig 5.12: セットアップ図

照射設備は2階建ての構造で、線源は通常2階の容器に収納されていて、実験時のみ1階の照射ルームに下ろされる (Fig5.12)。 ^{60}Co 線源はペンシル型のもの58本が円筒容器に密封された状態になっている。実験は室温 $\sim 25^\circ\text{C}$ で行った。

線源の強度はRCNSTによって、フリッケ線量計 (鉄線量計) を使って測定されていて、2003年11月1日の時点で水での吸収線量が、今回の実験のように被照射物と線源との距離が3.0cmの場合、 $8.0 \times 10^4 [\text{rad}/\text{hour}]$ であった。

被照射物質 X の吸収線量 D_X について、X の分子を構成する全ての原子番号の和を Z_X 、全ての質量数の和を A_X とすると、

$$D_1 \times \frac{A_1}{Z_1} = D_2 \times \frac{A_2}{Z_2} \quad (5.6)$$

の関係があり、

$$\frac{Z_{\text{Si}}/A_{\text{Si}}}{Z_{\text{H}_2\text{O}}/A_{\text{H}_2\text{O}}} = \frac{14/28}{10/18} = 0.90 \quad (5.7)$$

また、実験した日 (2003年12月11日) での線量は、 ^{60}Co の半減期が1621[days] であるから、

$$\frac{I}{I_0} = \left(\frac{1}{2}\right)^{\frac{41}{1621}} = 0.98 \quad (5.8)$$

よって、実験での FPGA の吸収線量は、

$$80.0 [\text{krad}/\text{hour}] \times 0.98 \times 0.90 = 70.7 [\text{krad}/\text{hour}] = 19.4 [\text{rad}/\text{sec}] \quad (5.9)$$

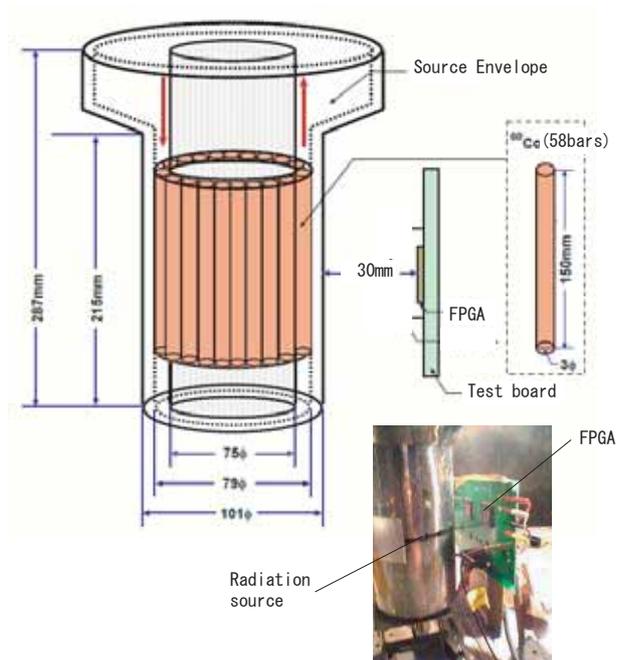


Fig 5.13: セットアップ図 (線源まわり)

結果と考察

リングオシレータの周波数変化については Fig5.14 に、リーク電流については Fig5.15、 Fig5.16 にまとめた。SEU については、確認されなかった。

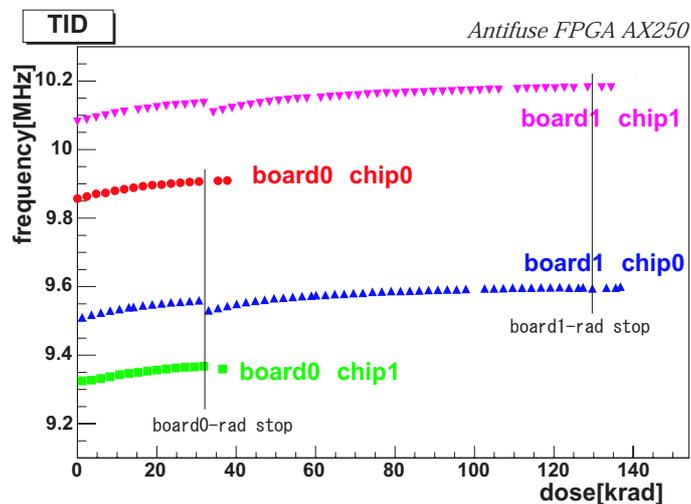


Fig 5.14: Antifuse FPGA 内のリングオシレータの周波数と放射線量

- リーク電流変化がクシ型をしているのは、シフトレジスタとシフトメモリの動作のクロックを 10 秒間止めた結果が見えているのである。
- ボード 1 で周波数変化、リーク電流変化とも 30krad あたりに段差があるのは、一時計測止めて、その後 (35 分後) に再スタートを掛けたからである。

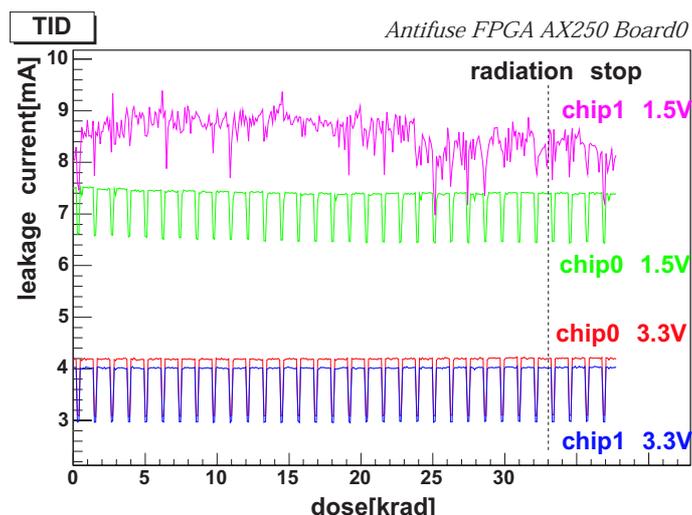


Fig 5.15: ボード 0 のリーク電流

- ボード 1 のリーク電流変化で 72krad と 113krad のあたりにすき間が見えるのは、計測プログラムのバグで一瞬止まって、すぐに再スタートを掛けたからである。
- ボード 0(Fig5.15) の Chip1 の 1.5V リーク電流変化が乱れてるのは、測定開始から一貫して乱れてるので、素子の初期不良か測定装置のセットミスだと思われ、問題ないと判断する。

ATLAS 実験での耐放射線基準値 RTC は TID については、Tab5.4 より 10 年間で 17krad(Doublet の場合) と考えている。

実験結果を見ると、17krad では、リングオシレータの周波数、3.3V/1.5V 電源のリーク電流とも変化はなく、TID に関してこの Antifuse FPGA は ATLAS 実験で問題なく使用可能と言える。

(実際 SSW は、TGC ビッグホイールの外端に置かれるので、Fig5.4 を見るとわかるようにチェーンバー上に比べて TID はずっと小さいはず。)

SRAM FPGA と比較 また比較として、SRAM FPGA の Virtex XQVR300 でのリーク電流を Fig5.17、Fig5.18 に示す。この実験も RCNST の実験と同様に ^{60}Co を線源に使った実験である。

単位時間あたりの照射線量は Fig5.17 が 50rad/sec であり、Fig5.18 が 0.015rad/sec である。今回行った Antifuse FPGA での実験は、19.4rad/sec であるから、この 2 つの結果の中間である。

比べてみると、SRAM FPGA では 80krad~90krad でリーク電流が大きく増加を始めるが、Antifuse FPGA では、100krad までは増加が見られない。SRAM FPGA(Virtex) よりも Antifuse FPGA (Axcelerator) の方が、TID(Total Ionizin Dose) に関して放射線耐性があると言える。

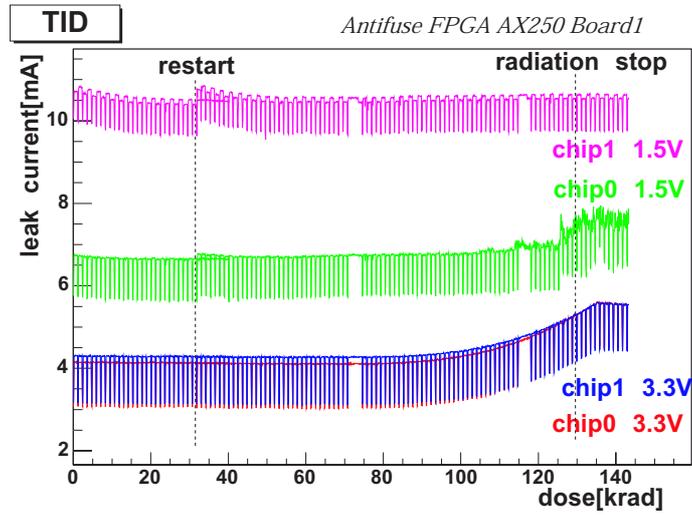


Fig 5.16: ボード 1 のリーク電流

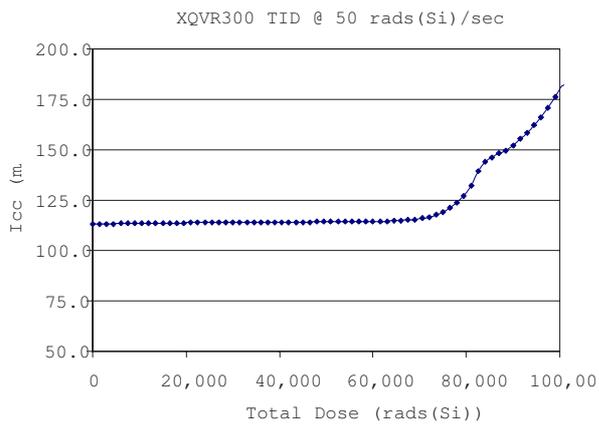


Fig 5.17: Xilinx Virtex のリーク電流
(50rad/sec のとき)

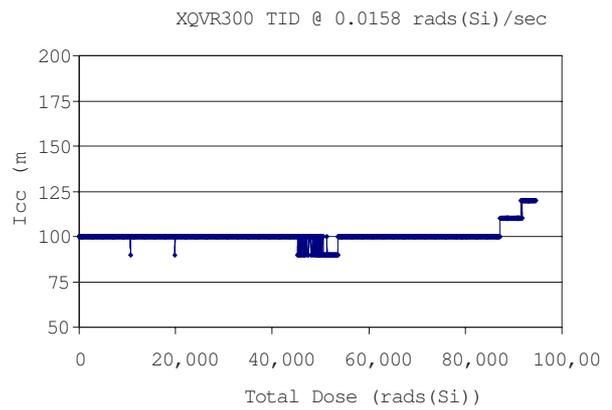


Fig 5.18: Xilinx Virtex のリーク電流
(0.015rad/sec のとき)

5.3.3 プロトンビーム照射テスト

セットアップ

プロトンビーム照射テストは、東北大学サイクロトロン・ラジオアイソトープセンター (CYRIC: Cyclotron and Radioisotope Center) の 70MeV プロトンビームを利用した。照射テストのセットアップを Fig5.19、Fig5.20 に示す。

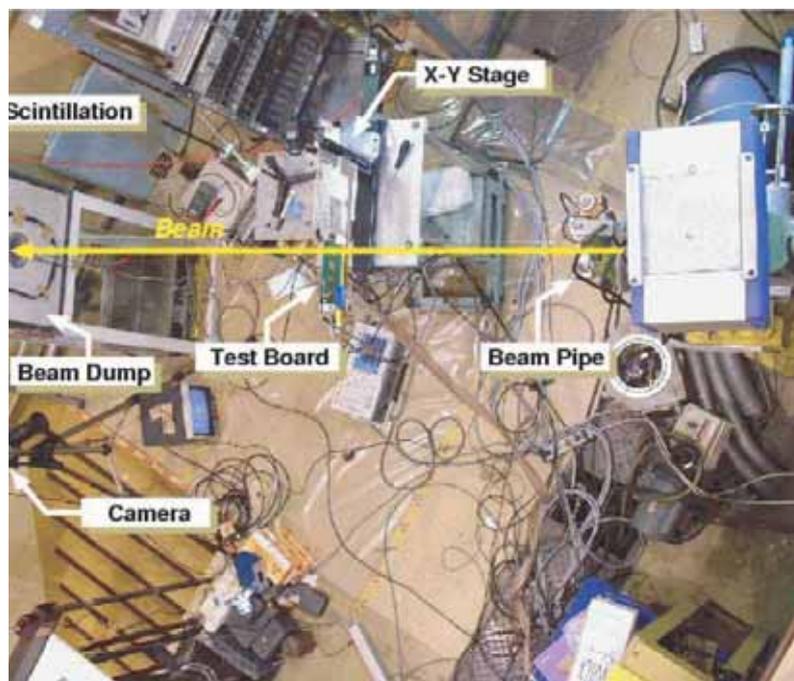


Fig 5.19: セットアップの写真

70MeV のプロトンビームは、厚さ 100 μm 、直径 20mm のチタンフォイルを通して空気中に導き出し、FPGA に当てる。

ビームとチップとの位置あわせには X-Y ステージと呼ぶ装置を用いた。X-Y ステージには、テストボードの他に、アルミに ZnS(硫化亜鉛) を塗った蛍光性のフィルムを載せた。照射初めは、まず ZnS フィルムにビームを当てて、それをカメラでモニターし X-Y ステージを操作しながらビームの位置合わせを行う。その後、ビームを止めて、チップをプロトンビームの位置までずらし、それからビームを再スタートして測定を開始する。

チップの後ろにはファラデーカップを内蔵したビームダンプを置く。ビームダンプの近くに置いたシンチレータで、プロトンビームの ON/OFF をモニターした。ビーム電流は、ビームラインのチタンフォイルの手前のストッパーで CYRIC が測定していて、約 2nA であった。

ドシメトリ (Dosimetry)

理論 入射粒子 (プロトンビーム) のフラックス (単位面積、単位時間あたりの入射数) を ϕ 、ターゲット (銅フォイル) の原子数を N_t 、有効反応断面積を σ_{eff} 、プロトンと銅との反応で生成した核 X の個数を N 、その生成核の崩壊定数を $\lambda (= \ln 2 / T_{1/2})$ とすると、

$$\frac{dN}{dt} = \phi \times \sigma_{eff} \times N_t - \lambda \times N \quad (5.10)$$

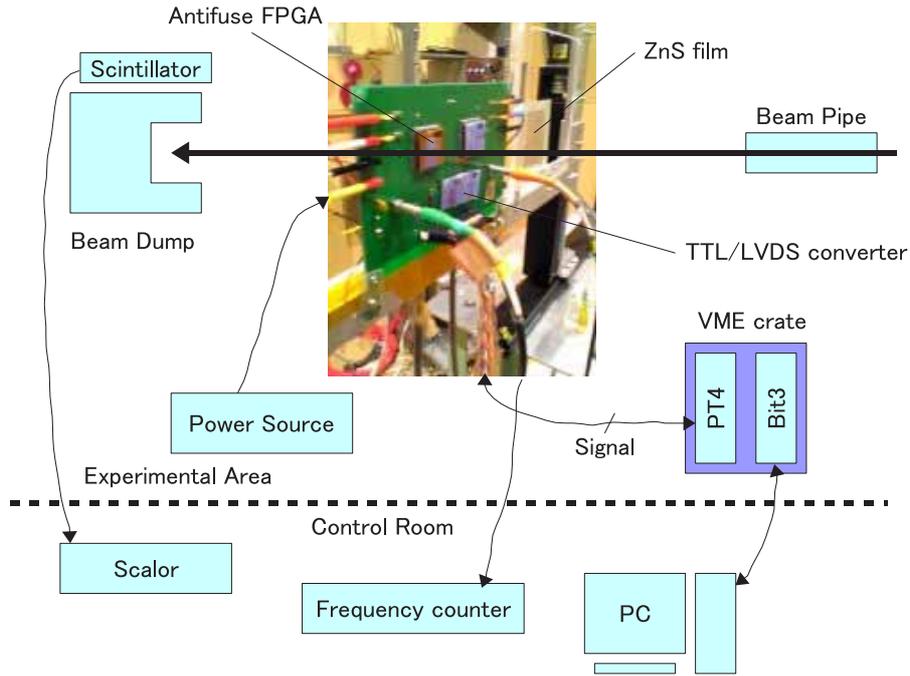


Fig 5.20: セットアップ図

ここで、 σ_{eff} とは、X がプロトンとの直接反応で生成される断面積と、他の核種 (precursor) を經由して X への崩壊によって生成される断面積との和である。今回はプロトンのエネルギーが 70MeV とそれほど高くはないため、precursor は無視する。

式 5.10 をプロトンビームの照射時間 T_r で積分すると、

$$N = \frac{\phi \times \sigma_{eff} \times N_t}{\lambda} (1 - \exp(-\lambda \times T_r)) \quad (5.11)$$

となる。

プロトンビーム照射終了の時点をも $t = 0$ として、生成された原子核 X からの崩壊による時刻 t での放射能の強さは

$$B(t) = \lambda \times N(t) = \lambda \times N \times \exp(-\lambda \times t) [\text{Bq}] \quad (5.12)$$

で表される。

Ge 検出器を使って測定されるガンマ線の数、式 5.12 を照射後 T_m 時間後から T_c の時間で積分して、

$$\begin{aligned} C_\gamma &= B_r \times \epsilon \int_{T_m}^{T_m+T_c} B(t) dt \\ &= B_r \times \epsilon \times N \times (\exp(-\lambda \times T_m) - \exp(-\lambda \times (T_m + T_c))) \end{aligned} \quad (5.13)$$

ここで、 B_r は X から測定ガンマ線への分岐比。 ϵ は Ge 検出器の検出効率。

式 5.14 に式 5.11 を代入して、さらに式を整理してプロトンビームのフラックス ϕ を求めると、

$$\phi = \frac{C_\gamma \times \lambda}{\epsilon \times B_r \times \sigma_{eff} \times N_t \times (1 - \exp(-\lambda T_r)) \times (\exp(-\lambda T_m) - \exp(-\lambda(T_m + T_c)))} \quad (5.14)$$

となる。

ただし、ここで求めたプロトンフラックス ϕ は、2.5cm 角の銅フォイルに一様にビームが照射されたと仮定したときの値。

なので、イメージングプレート (IP) を使ってプロトンビームの銅フォイルにおけるビームプロファイルから相対強度を求める必要がある。

FPGA のダイ (die) での相対強度 ϵ_r を銅フォイルの中心 0.5cm 角の部分で換算すれば、FPGA のダイ (die) が受けるプロトンビームのフルエンス F_{proton} (単位面積あたりの放射数を照射時間で積分した値) は、

$$F_{proton} = \phi \times \epsilon_r \times \frac{2.5^2}{0.5^2} \times T_r \quad (5.15)$$

と求まる。

吸収線量 D は、プロトンビームのシリコンでのエネルギー損失とフルエンス F_{proton} から、

$$\begin{aligned} D &= \frac{dE}{dx} \times F_{proton} \\ &= 1.6 \times 10^{-5} [\text{erg/g/cm}^2] \times F_{proton} [\text{erg/g}] \\ &= 1.6 \times 10^{-7} \times F [\text{rad}] \end{aligned} \quad (5.16)$$

と計算される。(エネルギー損失は Partigle Data Group の値を使用)

Ge 検出器でプロトンビームの照射線量を求める プロトン照射線量は、Cu(銅) フォイル (0.125mm 厚、Cu 99.99+パーセント) を使用したドシメトリを行って定量的に押さえた。

各フォイルは 25mm 角に切って FPGA チップの上に貼り付けたまま照射実験を行い、照射後に Ge 検出器を使って Cu フォイルからのガンマ線スペクトルを測定した。

実験時の時間のパラメータを Tab5.8 にまとめる。

Tab 5.8: 実験時の時間に関するパラメータ

照射対象		照射時間 T_r [s]	保管時間 T_m [s]	測定時間 T_c [s]
Board0	FPGA0	1210	4338	976
	FPGA1	1280	4192	976
Board1	FPGA0	1250	3989	969
	FPGA1	929	4310	977

また、銅フォイルの原子数 N_t は、ターゲットの厚さを t 、面積を S 、密度を ρ 、原子量を A 、アボガドロ数 N_A として、

$$\begin{aligned} N_t &= \frac{t \times S \times \rho \times N_A}{A} \\ &= \frac{0.0125 [\text{cm}] \times (2.5 [\text{cm}])^2 \times 8.93 [\text{g/cm}^3] \times 6.0 \times 10^{23}}{63.5} \\ &= 5.27 \times 10^{21} \end{aligned} \quad (5.17)$$

と計算される。

Fig5.21 に銅フォイルからのガンマ線スペクトルを示す。線量測定は、このそれぞれのガンマ線ピークを使用した。照射した 4 個の FPGA ごとに銅フォイルのガンマ線スペクトルを測定し、ピークを

測った。

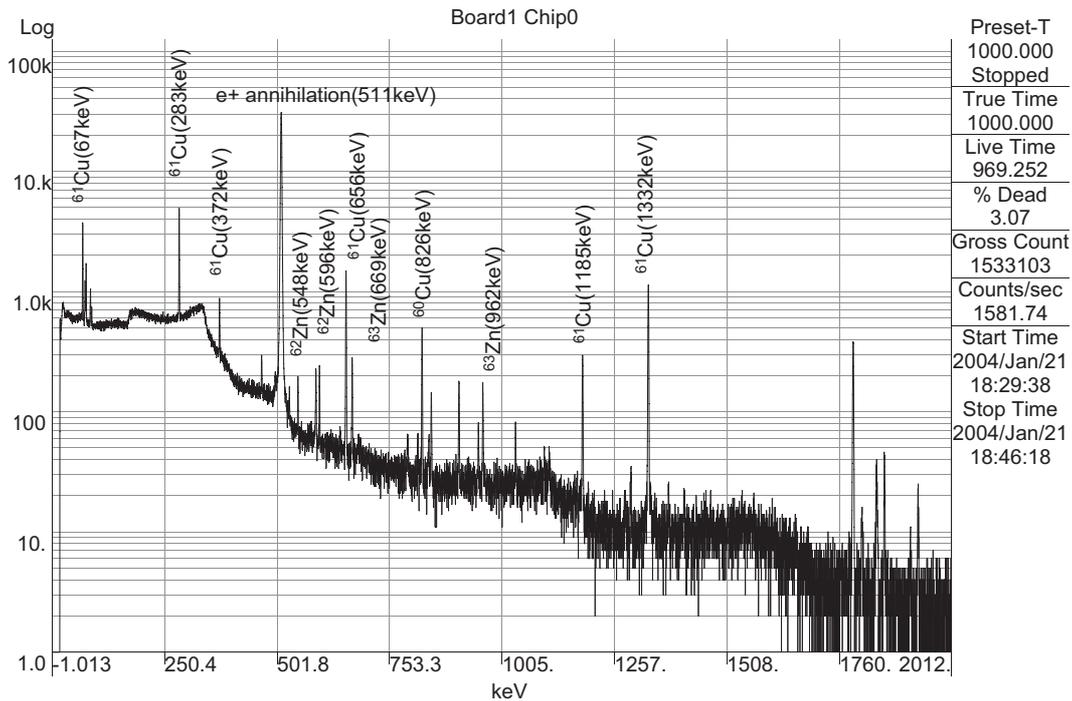


Fig 5.21: Cu からの 線スペクトラム

Ge 検出器の効率補正には、 ^{60}Co 、 ^{133}Ba 、 ^{137}Cs 、 ^{22}Na の線源を使用した。これらの線源を測定して得たデータを Freeman-Jenkin の式 (ϵ は Ge 検出器の効率、 τ は光電効果の断面積、 x は検出器の厚さ、 σ はコンプトン散乱の断面積、A,B は測定値から決める定数)

$$\epsilon = 1 - \exp(-\tau x) + \sigma A \exp(-BE_{\text{gamma}}) \quad (5.18)$$

を参考にして得た式 (A,B は測定値から決める定数)

$$\epsilon = A \exp(-BE_{\text{gamma}}) \quad (5.19)$$

でフィットして、Fig5.22 のように Ge 検出器の検出効率 ϵ を求めた。

フィットの結果、(A, B)=(0.0308, 0.00116) であった。

Fig5.21 のそれぞれのピークについて詳細は Tab5.9 にまとめる。

Tab 5.9: 銅フォイルからのガンマスペクトルのうち使用したピークの詳細

核種 X	エネルギー [keV]	検出効率 ϵ	断面積 σ [mb]	分岐比 B_r [%]	崩壊変数 λ
^{61}Cu	67.0	2.852E-02	75.50	6.50	5.650E-05
^{61}Cu	283.0	2.218E-02	75.50	12.50	5.650E-05
^{61}Cu	372.9	1.997E-02	75.50	2.20	5.560E-05
^{62}Zn	548.4	1.628E-02	7.11	15.60	2.079E-05
^{62}Zn	596.7	1.539E-02	7.11	25.70	2.079E-05

^{61}Cu	656.0	1.436E-02	75.50	11.10	5.650E-05
^{63}Zn	669.8	1.413E-02	10.50	8.40	3.032E-05
^{60}Cu	826.4	1.178E-02	17.70	21.70	4.980E-05
^{63}Zn	962.1	1.006E-02	10.50	6.60	3.032E-04
^{61}Cu	1185.0	7.758E-03	75.50	4.60	5.650E-05
^{60}Co	1332.5	6.534E-03	9.77	99.98	4.167E-09

以上から、式 5.14 よりビームフラックスは Fig5.23, Fig5.24, Fig5.25, Fig5.26 のように求まる。

イメージングプレートでビームプロファイルを求める また、各チップでの相対強度の補正を行うために、イメージングプレート (IP) を使用して、ビームプロファイルの測定を行った。

IP で測定した相対強度の分布を 100 ブロックに分割して、中央の 4 ブロックから

$$\epsilon_r = \frac{\text{中央の 4 ブロックの強度の和}}{100 \text{ ブロック全部の強度の和}} \quad (5.20)$$

と計算して、銅フォイル全体に対する FPGA のダイ (die) 部分でのビーム相対強度 ϵ_r を 4 つの銅フォイルでそれぞれ求めた。

結果は、Tab5.11 であった。

Tab 5.11: プロトンビームの相対強度

照射対象		ϵ_r at center 4blocks(= 5mm ²)
Board0	Chip0	0.0607
	Chip1	0.0604
Board1	Chip0	0.0783
	Chip1	0.0769

ドシメトリのまとめ Ge 検出器での測定から求めたプロトンビームフラックス ϕ と、イメージングプレートで求めた相対強度 ϵ_r とから、プロトンビームのパラメータをまとめると Tab5.12 のように計算される。

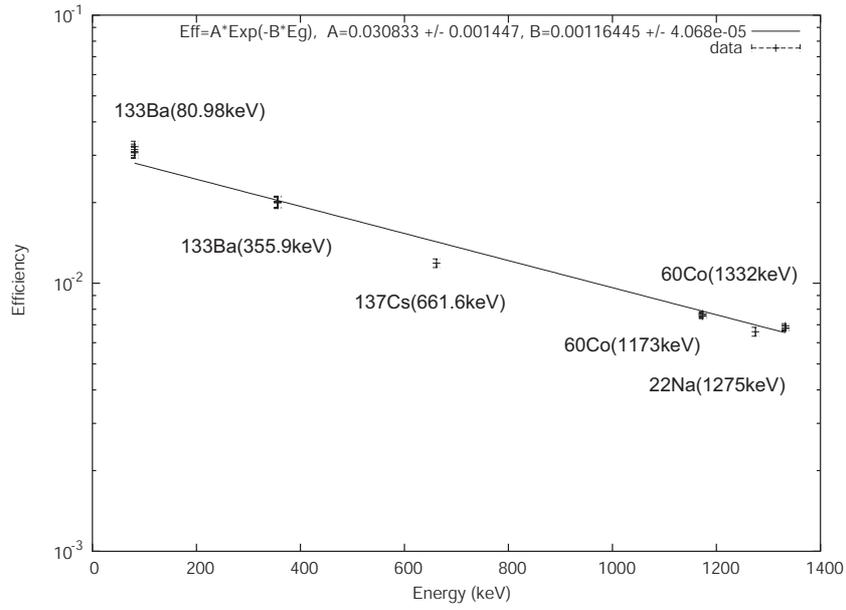


Fig 5.22: Ge 検出器の効率補正

Tab 5.12: 実験でのプロトンビームのパラメータ

照射対象		フラックス ϕ [/s/cm ²]	フルエンス F_{proton} [/cm ²]	吸収線量 D [krad]
Board0	FPGA0	2.03E+08	3.74E+11	59.8
	FPGA1	1.91E+08	3.70E+11	59.2
Board1	FPGA0	2.38E+08	5.83E+11	93.2
	FPGA1	2.47E+08	5.75E+11	92.0

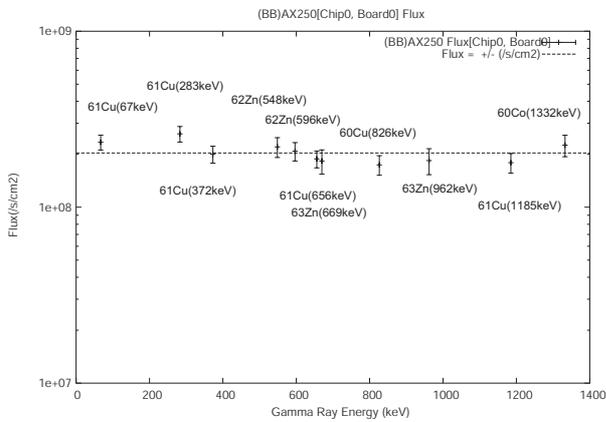


Fig 5.23: Board0 Chip0 での Beam-flux

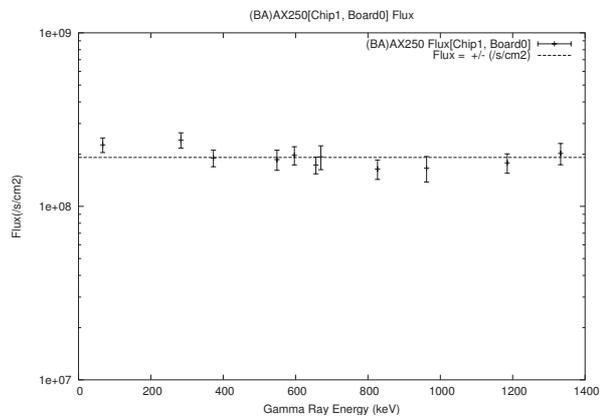


Fig 5.24: Board0 Chip1 での Beam-flux

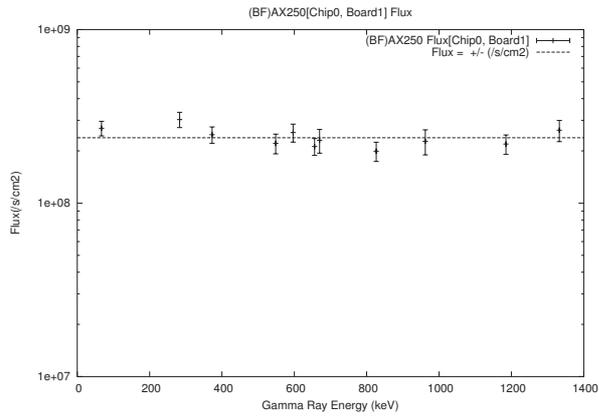


Fig 5.25: Board1 Chip0 での Beam-flux

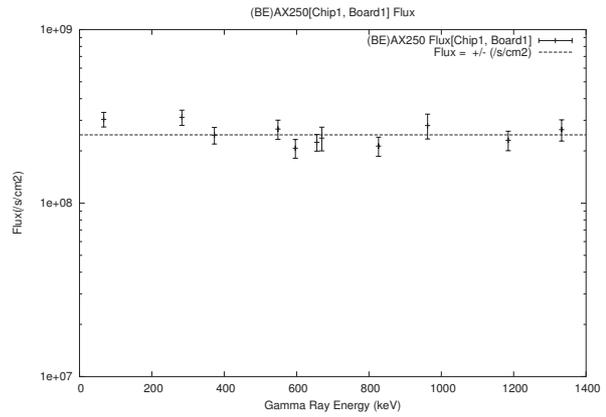


Fig 5.26: Board1 Chip1 での Beam-flux

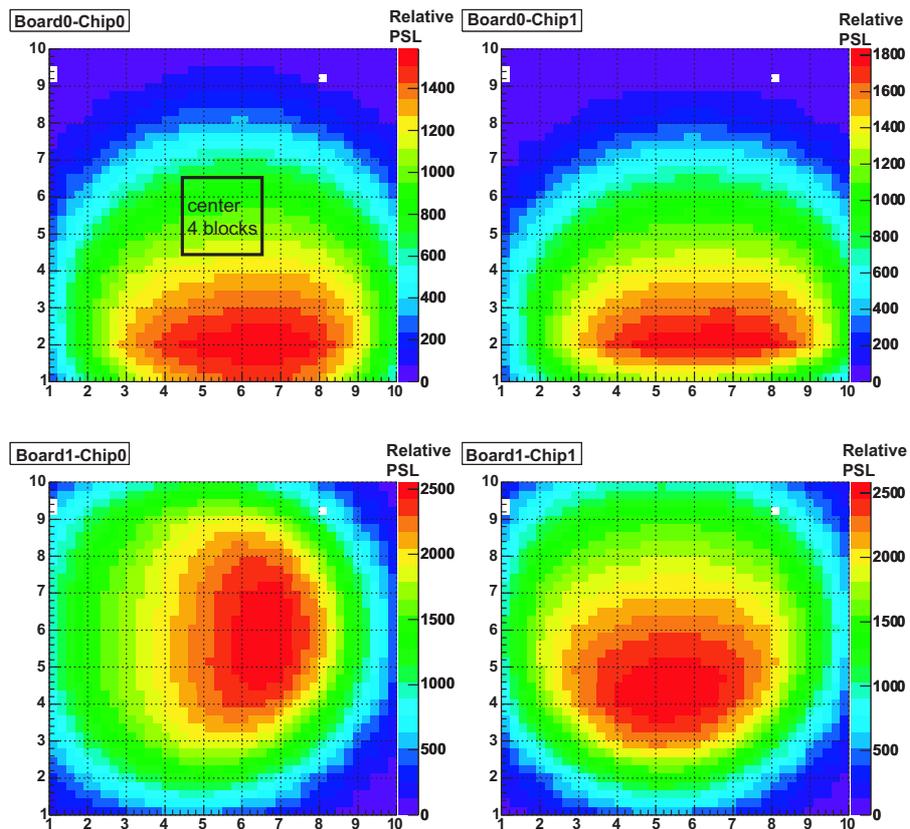


Fig 5.27: イメージングプレートで測定されたビームプロファイル

結果と考察

SEUについて SEUについて測定結果をまとめると、Tab5.13 のようになった。Hard SEU や Destructive SEE は観測されなかった。

Tab 5.13: それぞれの FPGA での SEU 発生回数

照射対象		F_{proton} [/cm ²]	memory	register
board0	chip0	3.74×10^{11}	733	3
	chip1	3.70×10^{11}	709	8
board1	chip0	5.83×10^{11}	1169	13
	chip1	5.75×10^{11}	1258	8

ただし、照射 60 秒あたり 15 秒が deadtime である (5 秒ごとの 10 回の計測サイクルのうちの最初の 1 回はリセット直後のため、5 秒まるまるの時間使っては SEU を計測できていないという理由でデータは使用しない。) から、実行フルエンス F_{eff} を式 5.21 より求める。

$$F_{eff} = \frac{F_{proton} \times (\text{測定時間 } T_r - \text{deadtime})}{T_r} \quad (5.21)$$

SEU の測定に使用したシフトメモリ、シフトレジスタの内部のビット数は Tab5.14 である。

Tab 5.14: シフトレジスタ、シフトメモリの内部ビット数

	内部のビット数
シフトメモリ	55296
シフトレジスタ	1380

よって、SEU 断面積 σ_{SEU} は式 5.22 より、Tab5.15 のようにまとまる。

$$\sigma_{SEU} = \frac{SEU \text{ の回数}}{F_{eff} \times \text{bit 数}} \quad (5.22)$$

Tab 5.15: それぞれの FPGA での SEU 断面積

照射対象		memory [cm ² /bit]	register [cm ² /bit]
board0	chip0	4.72×10^{-14}	7.75×10^{-15}
	chip1	4.62×10^{-14}	2.08×10^{-14}
board1	chip0	4.83×10^{-14}	2.15×10^{-14}
	chip1	5.27×10^{-14}	1.34×10^{-14}

σ_{SEU} が分かったから Tab5.15 の最悪の値を使って、式 5.4 より 1 ビットあたりの SEU 発生率は Tab5.16 と求まる。ここで、 $SRL_{SEE} = 6.5 \times 10^9$ (TGC Doublet)、 $SF_{sim} = 5$ の値で計算した。

Tab 5.16: 1 ビットあたりの SEU 発生率

	$\sigma_{SEU}[\text{cm}^2/\text{bit}]$	$SEU_{rate}[\text{/s}]$
メモリ	5.27×10^{-14}	1.71×10^{-11}
レジスタ	2.15×10^{-14}	6.98×10^{-12}

SSW にあてはめて考える SSW の現在のデザイン (ver3) では、1 つのボードに RX/TX FPGA が計 7 枚載る。ATLAS 全体で、フロントエンドに SSW ボードは 152 枚必要。

SSW の現在のデザインでは、リードアウトバッファは RX/TX FPGA ともメモリは使用せず、複数のレジスタを手で組んだ FIFO で実装している。そのリードアウトバッファの大きさは、RX FPGA に 2^7 (アドレス) \times 18(幅) のものが最大 4 つ、TX FPGA に 2^3 (アドレス) \times 15(幅) のものが 1 つである。よって、リードアウトバッファでの SEU 発生率はフロントエンド全体で、式 5.23 と求まる。

$$\begin{aligned}
 SEU_{rate} &= 6.98 \times 10^{-12} \times (18 \times 2^7 \times 4 \times 6 + 15 \times 2^3) \times 152 \\
 &= 5.89 \times 10^{-5}[\text{/s}] \\
 &= 5.07[\text{/day}]
 \end{aligned}
 \tag{5.23}$$

実際は、(1)RX FPGA が 6 枚より少ない SSW ボードや (2) リードアウトバッファが 3 つの RX FPGA も使用するし、(3)SSW の設置される TGC ビッグホイール外端では放射線量が TGC チェンパー上より少ない、という理由で式 5.23 は過大に計算している。しかも、(4) リードアウトバッファの内容は常に新しいデータで更新されるはず。

以上の理由から、SSW のリードアウトバッファでは SEU については、Antifuse FPGA (Actel Accelerator) を ATLAS 実験で使用して問題ないと言える。

SSW の VME からの設定レジスタは、FPGA 1 つあたり 16(アドレス) \times 16(幅) ビット以下。 SEU_{rate} を計算すると、

$$\begin{aligned}
 SEU_{rate} &= 6.98 \times 10^{-12} \times (16 \times 16 \times 7) \times 152 \\
 &= 1.90 \times 10^{-6}[\text{/s}] \\
 &= 0.26[\text{/day}]
 \end{aligned}
 \tag{5.24}$$

であって、VME の設定レジスタについても、さらに多数決回路を実装すれば SEU の危険性については問題ないと言える。(実際、現在の SSW デザインでは設定レジスタについては多数決回路で作っている)

ビットが High と Low で SEU 感度に違いがあるのか見る 実験中、データは 0 と 1 とを 1 分間毎に交互に入れていたので、0(Low) のときと 1(High) のときで SEU に感度があるか調べてみる。違いがあるのであれば、たとえばメモリに入れる直前で適宜インバータを噛ませてどちらかにビットを揃えれば SEU 耐性が上がる、というように利用できる。

結果をまとめると Tab5.17 のようになる。

board1 のレジスタでは 1 の状態の方が SEU 回数が少なくなっているが、board0 では再現されていない。このデータ量では、1(High) を記憶している方が SEU 耐性があるとは結論できない。

Tab 5.17: High と Low での SEU 断面積 [cm^2/bit]

		memory		register	
		Low	High	Low	High
board0	chip0	5.248×10^{-14}	4.203×10^{-14}	0.516×10^{-14}	1.033×10^{-14}
	chip1	4.543×10^{-14}	4.690×10^{-14}	2.193×10^{-14}	1.994×10^{-14}
board1	chip0	4.805×10^{-14}	4.863×10^{-14}	3.645×10^{-14}	0.662×10^{-14}
	chip1	5.216×10^{-14}	5.334×10^{-14}	2.016×10^{-14}	0.672×10^{-14}

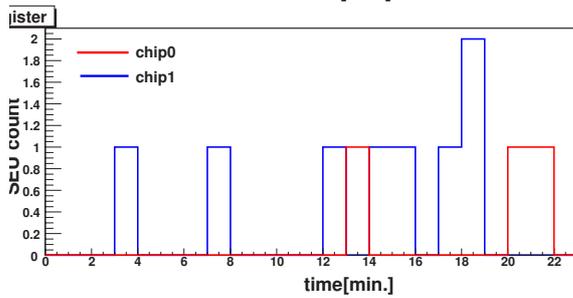
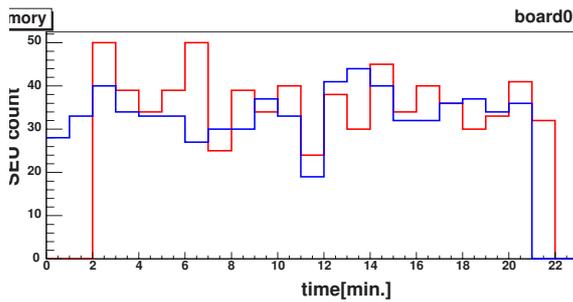


Fig 5.28: ボード 0 での SEU の時間変化

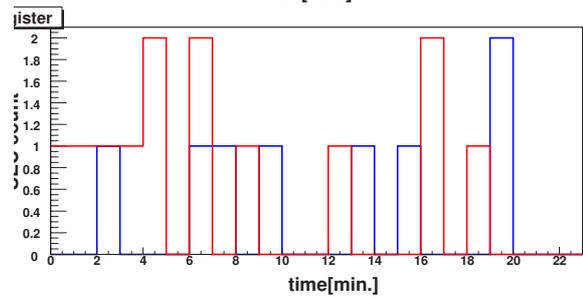
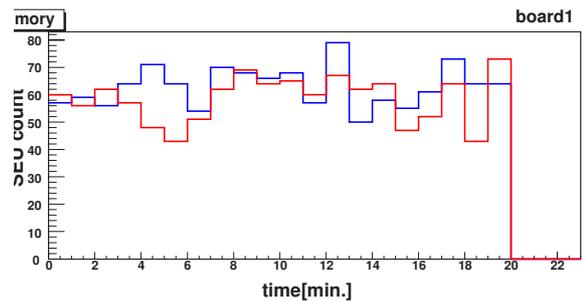


Fig 5.29: ボード 1 での SEU の時間変化

TID について プロトンビームによる TID について、リングオシレータの周波数変化とリーク電流変化はそれぞれ Fig5.30、Fig5.31、Fig5.32 となった。

ただし、ここでビームフルエンスの量は照射時間中一定であるとして、横軸を計算した。

- プロトンビームの照射の場合、ガンマ照射に比べると照射後の長い時間は放射線濃度が高いままであるため実験室に入ることはできない。

その照射後の長い時間もリーク電流については、測定を続けていたので Fig5.31、Fig5.32 では annealing の効果でリーク電流が減少していく様子が観測できる。

- ガンマ照射と異なり、同じボード上の 2 枚の FPGA には別々にプロトンビームを照射している。どちらのボードとも FPGA0 が先で FPGA1 が後の順番。

リーク電流変化で FPGA0 の方が測定時間が長いのは、FPGA1 に照射してる間も annealing の効果を見るために FPGA0 のリーク電流も測っていたからである。

グラフの上では照射ストップでの照射量が FPGA0 と FPGA1 とで同じ位置にきたが、時間としては FPGA0 が先で、その後 FPGA1 の照射スタート、ストップという流れである。

- リーク電流変化がクシ型をしているのは、ガンマ照射のときと同様、シフトレジスタとシフトメモリの動作のクロックを 10 秒間止めた結果が見えているのである。
- リーク電流変化で途中にすき間が見えるのは、ガンマ照射のときと同様、計測プログラムのバグで一瞬止まって、すぐに再スタートを掛けたから。
- ボード 1 の Chip0 の 1.5V リーク電流変化が乱れてるのは、測定開始から一貫して乱れてるので、素子の初期不良か測定装置のセットミスだと思われ、問題ないと判断する。

ATLAS 実験での耐放射線基準値 RTC は TID については、Tab5.4 より 10 年間で 17krad(Doublet の場合) と考えている。

実験結果を見ると、17krad では、リングオシレータの周波数、3.3V/1.5V 電源のリーク電流とも変化はなく、TID に関してはプロトンビームで測定した場合も、この Antifuse FPGA(Axcelerator) は ATLAS 実験で問題なく使用可能と言える。

(実際 SSW は、TGC ビッグホイールの外端に置かれるので、Fig5.4 を見るとわかるようにチェンパー上に比べて TID はずっと小さいはず。)

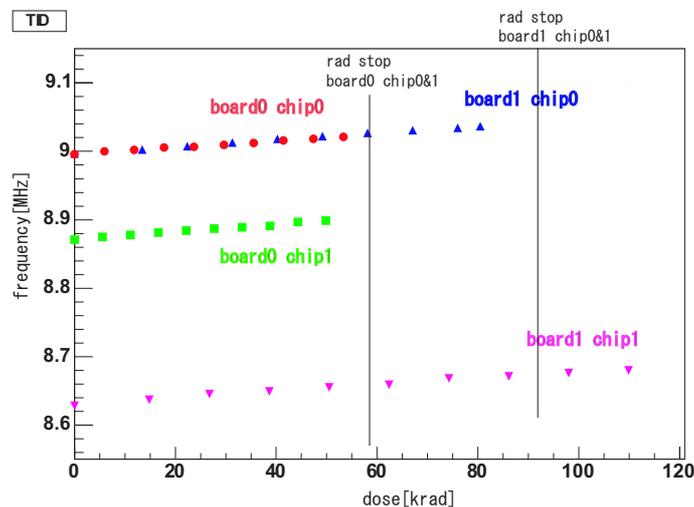


Fig 5.30: Antifuse FPGA 内のリングオシレータの周波数と放射線量

SEU について SRAM FPGA と比較 また、比較として SRAM FPGA の Virtex XQVR300 での SEU 断面積を Fig5.33 に示す。

比べてみると、SRAM FPGA(Virtex) と Antifuse FPGA(Axcelerator) とともにプロトンビーム 70MeV においては SEU 断面積 $\sigma_{SEU} \sim 10^{14}$ であり、差は見られない。

デバイスの SEU 感度に差はなくても、前に説明したとおり、SRAM FPGA の場合はコンフィギュレーション情報が SEU を受けて壊れる心配があり、式 5.6 の議論で分かるとおり TGC エレクトロニクス Star Switch での使用は不可能。

それに対して、SEU でコンフィギュレーション情報が破壊される心配のない Antifuse FPGA では、式 5.23 や式 5.24 で示した通り Star Switch での使用は、VME 設定レジスタの多数決化により問題ないと考えられる。

結果、まとめると、Star Switch では SRAM FPGA ではなく Antifuse FPGA を使用すべきで、これは SSW プロトタイプ ver2 から ver3 に作り直した理由の一つである。

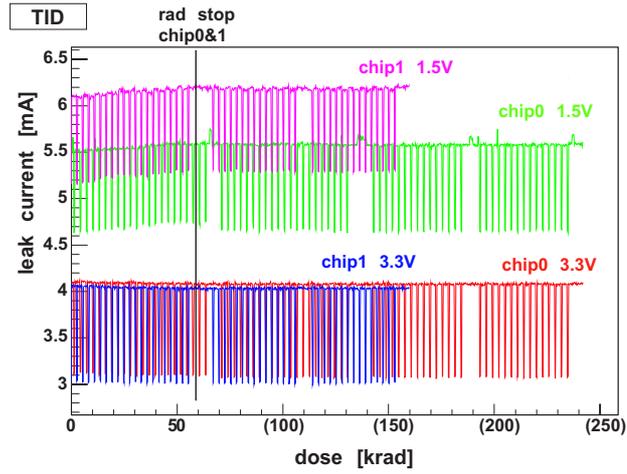


Fig 5.31: ボード 0 のリーク電流

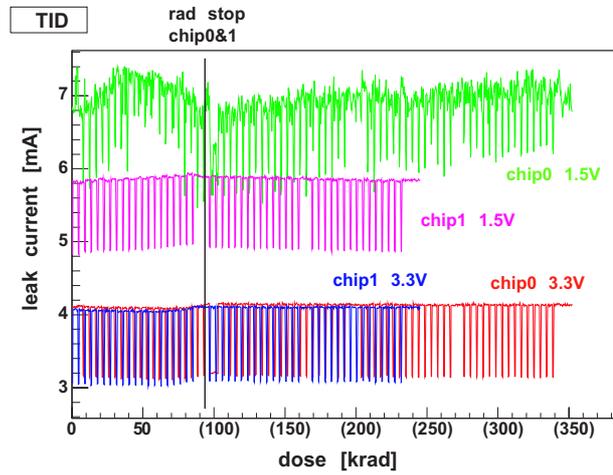


Fig 5.32: ボード 1 のリーク電流

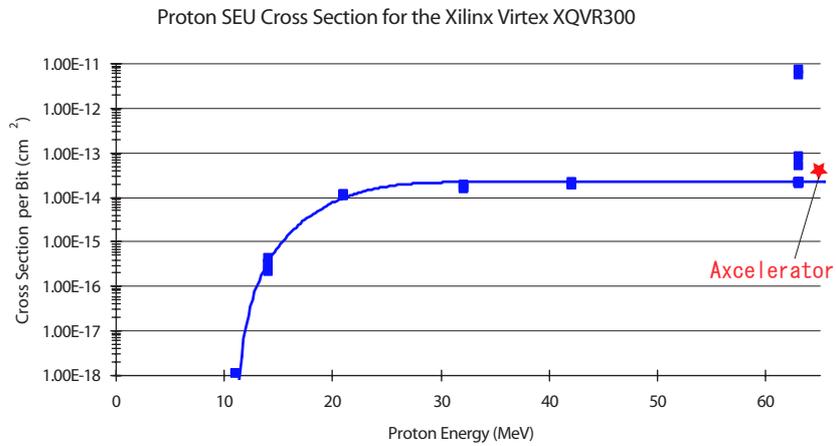


Fig 5.33: SRAM FPGA(Xilinx Virtex) での SEU 断面積

Chap6 Summary

ATLAS 実験前後方ミュオントリガーチェンバー (TGC) の読み出し系エレクトロニクスについて、本番の ATLAS 実験の開始まであと 2 年のこの時期、最後の段階の開発とプロトタイプでの動作確認を行った。

結果、放射線耐性を持ったテクノロジーへの移行が可能であることを示すことができ、また現在のプロトタイプでの読み出し系のデザインのまま大規模な ATLAS 検出器の状況に組み込んだときにも動作できることを確認した。

後はその 2 つを繋げることで、つまり現在の読み出し系のデザインを放射線耐性のテクノロジーに移し変えて、それで動作が確認できれば、読み出し系エレクトロニクスについては量産段階に進んで大丈夫であろう。

読み出し系のうち、ROD はエレキハットに置かれるのでともと放射線の心配がないし、チェンバー上に設置される PP と SLB は ASIC でかつ設定レジスタには多数決回路を実装済みなので放射線の心配はない。

SSW については、現在の読み出し系のデザインを放射線耐性のテクノロジーに移し変えた試作機は、すでに完成して動作確認中、修論を書き終えあと少しの動作確認を待っている状態である。

今の SLB には動作にわずかなバグを持つが、修正を施したものがいま製作中であって、あと数ヶ月でこれも片付くはずである。

数年間、何人もの関係者の手による開発が正しい方向で着実に行われてきた結果、2007 年の ATLAS 実験開始に向けて前後方ミュオントリガー (TGC) システムの準備はいま順調である。

参考文献

- [1] *ATLAS Technical Proposal* CERN/LHCC/94-43, December 1994
- [2] *ATLAS Level1 Trigger Technical Design Report* CERN/LHCC/98-14, June 1998
- [3] *ATLAS Detector and Physics Performance Technical Design Report Volume 1,2* CERN/LHCC/99-14,15, May 1999
- [4] Daniel Lellouch *et al.* *ATLAS/TGC Master Database* 31 August 2004
- [5] 片岡洋介. 東京大学修士学位論文「ATLAS 実験ミュオントリガーシステムのビームテスト及びシミュレーションによる総合評価」2004 年 1 月
- [6] 渋谷和弘. 東京大学修士学位論文「ATLAS 実験ミュオントリガー用検出器に用いる読み出しエレクトロニクスの開発及び総合テスト」2004 年 1 月
- [7] 豊島克幸. 東京都立大学修士学位論文「ATLAS 実験エンドキャップ Level1 ミュオントリガーシステムのビームテスト」2004 年 1 月
- [8] 竹本享史. 東京大学修士学位論文「ATLAS 実験ミュオントリガーシステム用 LSI の開発と総合評価テスト」2003 年 1 月
- [9] 中村佳央. 東京大学修士学位論文「ATLAS 実験ミュオントリガー用リモートコントロールシステムの開発」2002 年 1 月
- [10] 溝内健太郎. 京都大学修士学位論文「ALTAS 前後方ミュオントリガーシステム用エレクトロニクス読み出し系の開発」2002 年 2 月
- [11] 南條創. 東京大学修士学位論文「アトラス実験ミュオントリガー用検出器の中性子バックグラウンドに対する動作研究」2001 年 1 月
- [12] 西田昌平. 京都大学修士学位論文「ATLAS TGC エレクトロニクス読み出し系の開発」2000 年 2 月
- [13] 佐藤構二. 東京大学修士学位論文「ATLAS 実験ミュオン検出器用データ読出システムの開発」1999 年 1 月
- [14] 新井康夫. 「第 3 回 SEE 実験報告」2002 年 7 月
- [15] Earl Fuller *et al.* *Radiation Testing Update, SEU Mitigation, and Availability Analysis of the Virtex FPGA for Space Reconfigurable Computing* September 2000
- [16] Actel Home Page <http://www.actel.com/>
- [17] Xilinx Home Page <http://www.xilinx.co.jp/>

- [18] ATLAS TGC Electronics Home Page (Japan)
<http://wwwlhc.icepp.s.u-tokyo.ac.jp/ATLAS/tgcelex/index.html>
- [19] ATLAS Thin Gap Chamber Design page
<http://atlas.web.cern.ch/Atlas/project/TGC/www/tgc.html>
- [20] FDR of the End-cap Muon Trigger electronics(March 2004)
<http://agenda.cern.ch/fullAgenda.php?ida=a04338>
- [21] ATLAS Radiation Hard Electronics Web Page
<http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm>
- [22] ATLAS Test Beam Coordination
<http://atlas.web.cern.ch/Atlas/GROUPS/GENERAL/TESTBEAM/testbeam.html>
- [23] S.Asai *et al.* *Prospects for the Search for a Standard Model Higgs Boson in ATLAS using Vector Boson Fusion* Eur.Phys.J. C32S2 (2004) 19-54
- [24] ATLAS 日本グループ「LHC における ATLAS 実験」 高エネルギーニュース Vol.15 No.1, p16-27, April 1996
- [25] S.Eidelman *et al.* *Review of Particle Physics* Phys.Let.B**592**,1 (2004)

謝辞

二年間の研究生生活において、本研究を行なう機会と適切な指導ならびに温かい助言を頂いた指導教官の坂本宏教授^aに心より深く感謝致します。

本研究において、終始懇切丁寧な御指導と多くの助言を頂きました佐々木修氏^bに深く感謝致します。また TGC エレクトロニクスグループにおいて、様々な御指摘と助言を頂いた池野正弘氏^b、蔵重久弥氏^d、福永力氏^c、菅谷頼仁氏^j、長野邦浩氏^b、前野忠嗣氏ⁱに深く感謝致します。また様々な機会に貴重な意見と御指導を頂いた近藤敬比古氏^b、小林富雄氏^a、岩崎博行氏^b、田中秀治氏^b、石井恒次氏^d、新井康夫氏^b、石野雅也氏^a、川本辰男氏^a、神前純一氏^b、浅井祥仁氏^a、田中純一氏^a、上田郁夫氏^a、真下哲郎氏^a、田中礼三郎氏^h 他 ATLAS 日本グループの方々にも深く感謝致します。

TGC エレクトロニクスグループで共に研究を行い議論した一宮亮氏^d、藤井祐介氏^a、羽根八尋氏^a、福地直也氏^cに深く感謝致します。また研究生生活を通じて惜しみない協力を頂いた南条創氏^a、片岡洋介氏^a、佐々木貴之氏^a、山口嘉樹氏^aに感謝致します。

放射線照射テストでは、東京大学原子力研究総合センターの方々や東北大学サイクロトロン・ラジオアイソトープセンターの方々にお世話になりました。また、Star Switch の開発では何はともあれ辻伸介氏^fに、それと小西宏和氏をはじめ三井造船システム技研株式会社の方、GND の宮沢正和氏にお世話になりました。この場を借りて感謝を申し上げます。

上記の方々の協力がなければ、私の研究生生活は成り立たなかったと思います。最後に、高エネルギー物理学に理解をもって税金を払ってくださっている全ての社会の方々に、心より感謝を申し上げます。

所属:

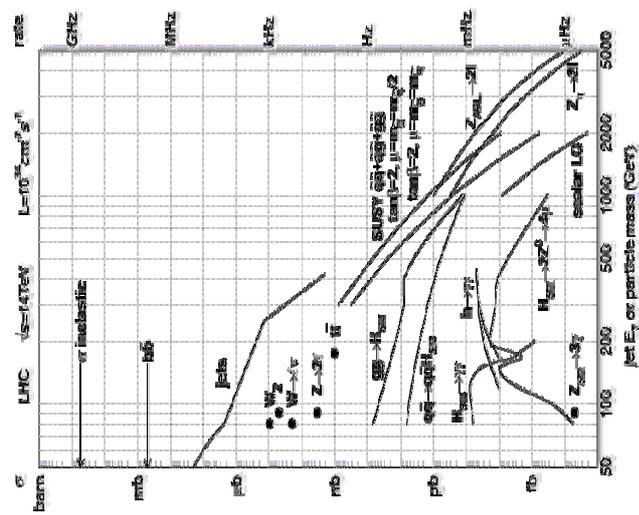
東京大学素粒子物理国際研究センター (ICEPP)^a、高エネルギー加速器研究機構 (KEK)^b
東京都立大学 理学研究科^c、神戸大学 自然科学研究科^d、京都大学 理学研究科^f、
岡山大学 自然科学研究科^h、CERNⁱ、大阪大学 理学部^j

ATLAS前後方ミュオントリガーシステム 読み出し系の開発

東京大学大学院理学系研究科物理学専攻
野本裕史



2005年1月28日



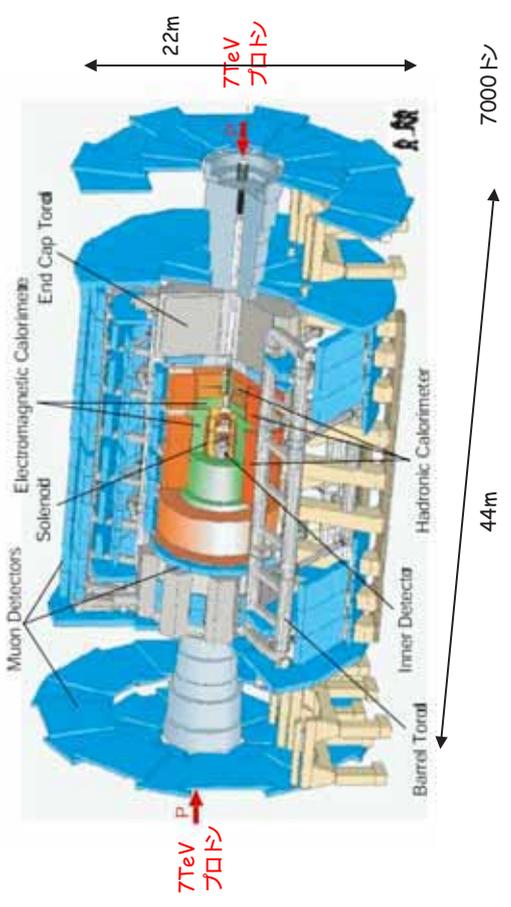
LHCの物理

重心系14 TeVのppコライダー
 ヒッグス粒子の生成断面積は
 ~10pb。H ZZ 4 μは ~1fb
 高い衝突頻度(40.08MHz)、
 高いリミジタティ(10³⁴/cm²/s)
 で実験
 プロトン・プロトンの非弾性
 衝突反応の断面積は80mb
 ヒッグス・ハントイングには
 10¹³のリジエクシヨンが必要

内容

- LHC-ATLAS実験
- 前後方ミュオントリガーシステム(TGCシステム)
- TGCシステム読み出し系の説明
- 読み出し系の開発その1...インテグレーション
- 読み出し系の開発その2...放射線対策
- まとめ

ATLAS検出器(A Trooidal LHC Apparatus)



ATLAS Event Size

Inner Detector	Channels	Fragment size - kB
Pixels	1.4×10^8	60
SCT	6.2×10^6	110
TRT	3.7×10^5	307

Calorimetry	Channels	Fragment size - kB
LAr	1.8×10^5	576
Tile	10^4	48

Atlas total event size: 1.5 Mbytes
140 Mio Channels,
40 MHz * 1.5 Mb = 60 TB/s

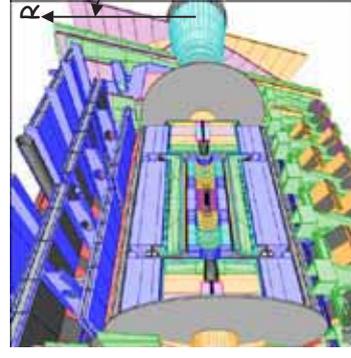
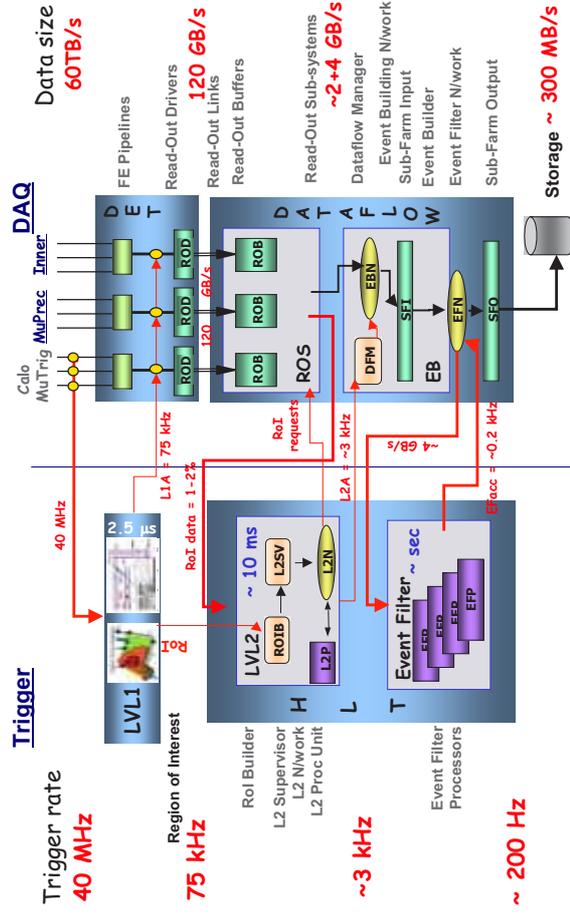
Muon Spectrometer	Channels	Fragment size - kB
MDT	3.7×10^5	154
CSC	6.7×10^4	256
RPC	3.5×10^5	12
TGC	4.4×10^5	6

Trigger	Channels	Fragment size - kB
LVL1		28

~ 300 MB/s is the affordable
(still 3 PetaBytes/year to store)
ATLAS will record at ~200 Hz
Reduce data online by 5×10^{-5}

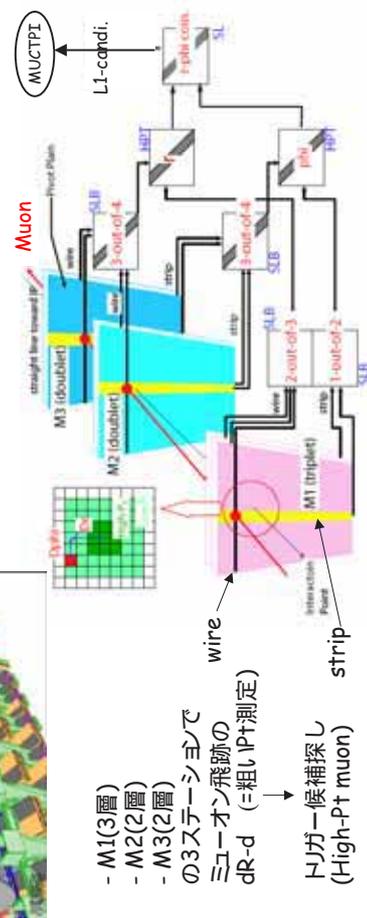
前後方ミュオントリガーシステム
 TGC System

ATLAS Trigger and DAQ



前後方ミュオントリガーチェーン (TGC, Thin Gap Chamber)

- 1.05μm を覆うワイヤーチェーン。
- ギャップが狭い(1.8mm)のでタイムジッターが小さい
- 25nsでのパッチ識別可能(トリガーチェーン)。
- ワイヤード方向、ストリップで 方向の2次元読み出し

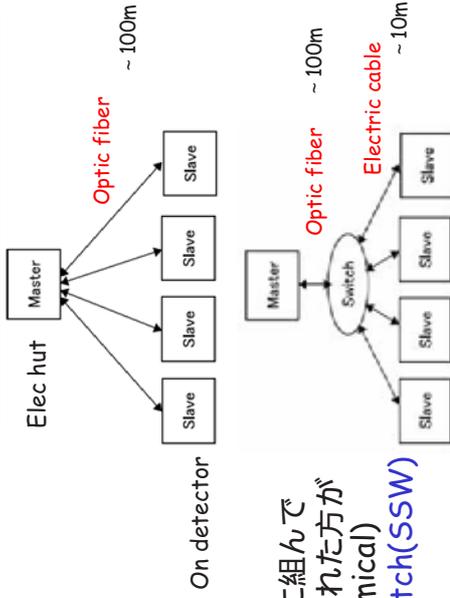


TGCデータの特徴

データ量が少ない！

TGCでの1イベントあたりのヒット数(F=1/12, E=1/24)

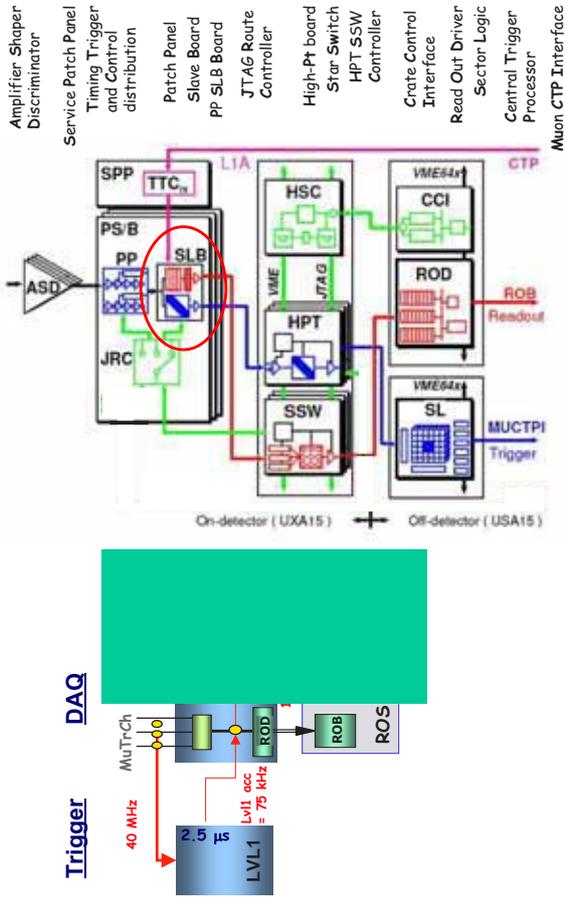
	Forward		Endcap	
	Wire Strip	Total	Wire Strip	Total
Inner	0.12	0.12	0.05	0.01
M1	0.08	0.06	0.14	0.11
M2	0.05	0.05	0.10	0.27
M3	0.05	0.05	0.10	0.13
				0.26



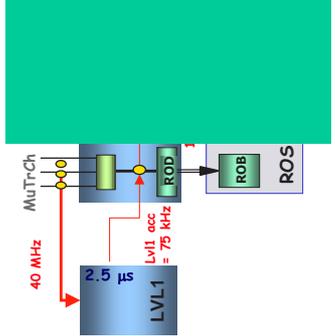
スター構造に組んで
スイッチを入れた方が
賢い(economical)
Star Switch(SSW)

TGCシステム読み出し系の説明

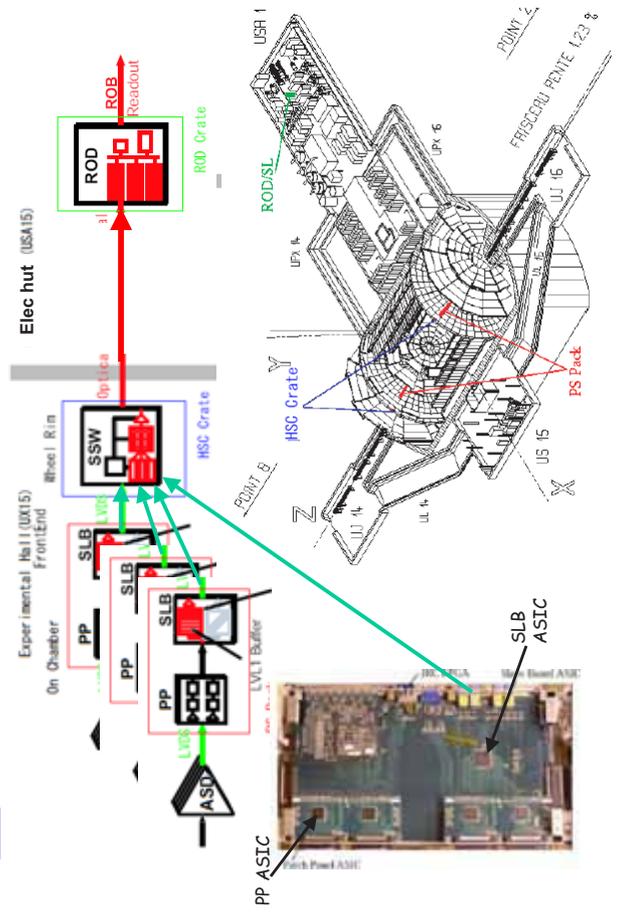
TGCエレクトロニクス・レイアウト



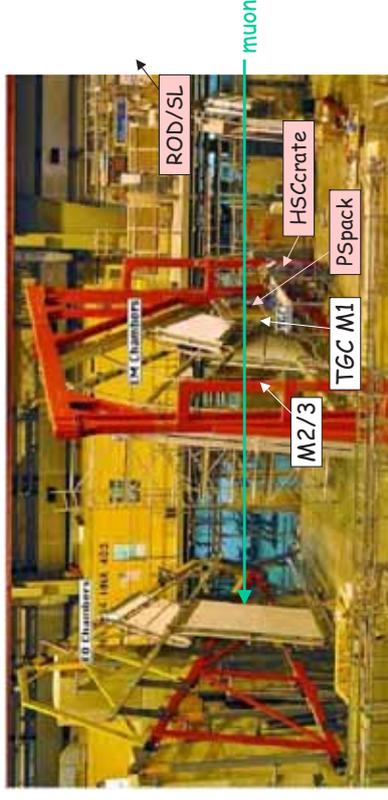
Trigger DAQ



TGC読み出し系



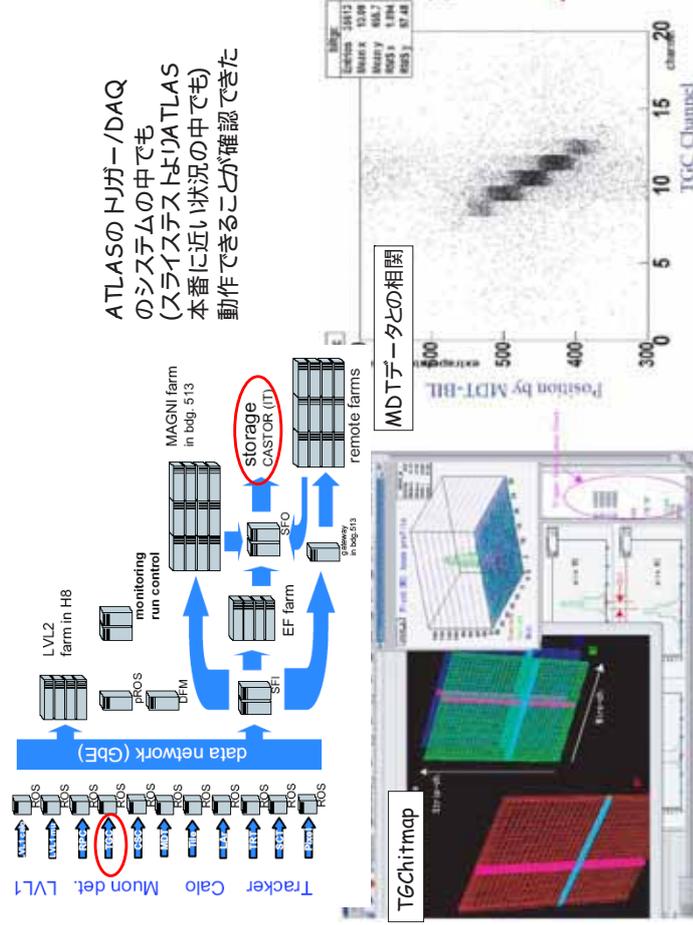
[ビームテスト@ CERN SPS H8beamline](#)



TGCのシステムをATLASのトリガー/DAQの中に入れてテスト
 - 100GeVのミュオンビーム
 - 40MHzのバンチ
 - シンチレータまたは検出器自身でトリガー

10%パターン流してもエラーなし。

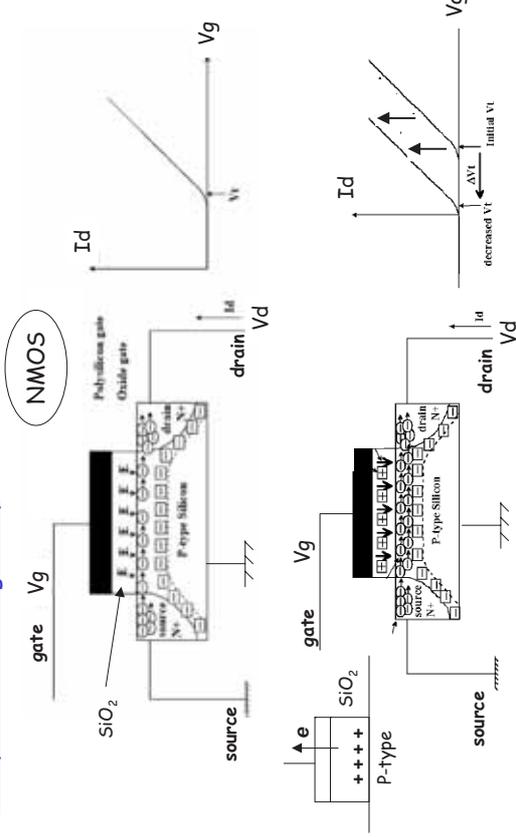
読み出し系のシステムをトリガー系モジュールと一緒に動かしても(TGCシステムの一部分として組み込んで)問題なく動作できることが確認できた。



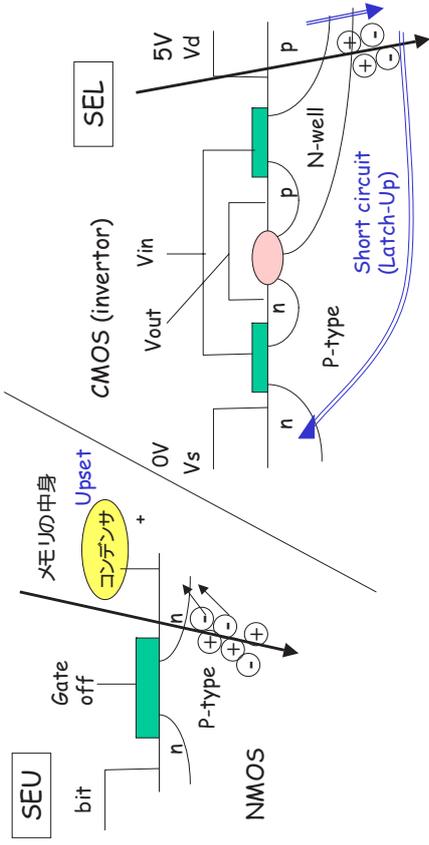
放射線に耐えるテクノロジーへの移行
 Radiation Tolerance Development

バックグラウンドの粒子がTGCの位置でも多く存在
エレクホニクスにダメージ

TID(Total Ionizing Dose)



SEE(Single Event Effect)



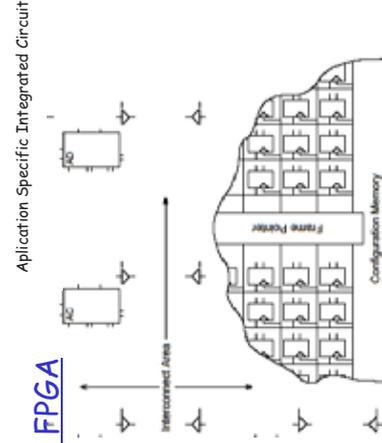
単発的な現象なのでTIDのような吸収線量での基準値を出せない。
レジスタ数によって影響が違う

論理	論理	論理	論理
ブロック	ブロック	ブロック	ブロック
論理	論理	論理	論理
ブロック	ブロック	ブロック	ブロック

SRAMのメモリにコンフィギュレーション情報を
記憶してLSIの機能を実現
- その場で何度でも書き換え可能。
- コンフィギュレーションメモリ ~ 10⁶ビット
- 1ビットでも情報が変わると異なる機能のLSIに
なってしまう

SRAM FPGA

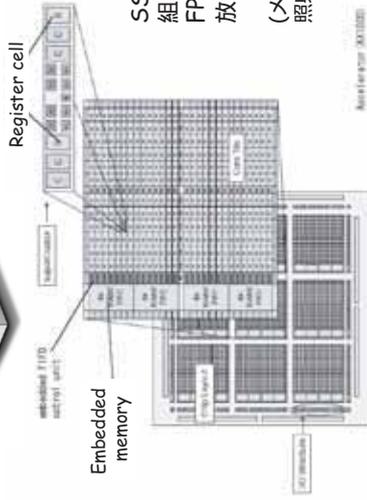
FPGA(Field Programmable Gate Array)
- ASICより低コスト、短時間で作成できるLSI
台数が少なく、遅くまで開発したいSSWで都合いい



$$\begin{aligned}
 SDE_{rate} &= \frac{\sigma_{SEE} [cm^2/bit] \times SRR [cm^2/10years] \times SF_{sim} \times \text{全ビット数 [bit]} \times \text{使用チップ数}}{ATLASの10年分の稼働時間 [s]} \\
 &= \frac{1.0 \times 10^{-14} \times 6.5 \times 10^9 \times 5}{10^8} \times 2 \times 10^6 \times 7 \times 152 \\
 &= 6.9 \times 10^{-9} [1/s] \\
 &\approx 25 [1/hour]
 \end{aligned}$$

SSWにSRAM FPGAを
使った場合、2分に1回SEU

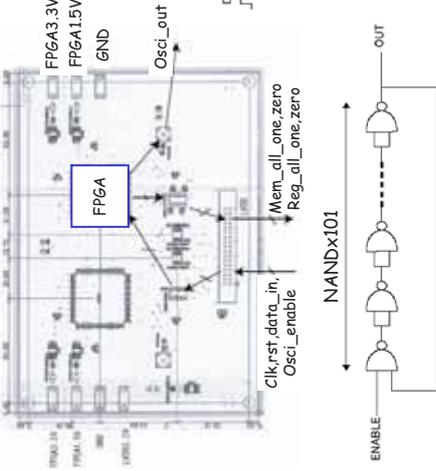
Antifuse-based FPGA



- ルーティングは、絶縁体を高電圧で破壊して
導通させて実現
- 書き換えはできないけれど、SEUでコンフィ
ギュレーション情報を壊される心配がない

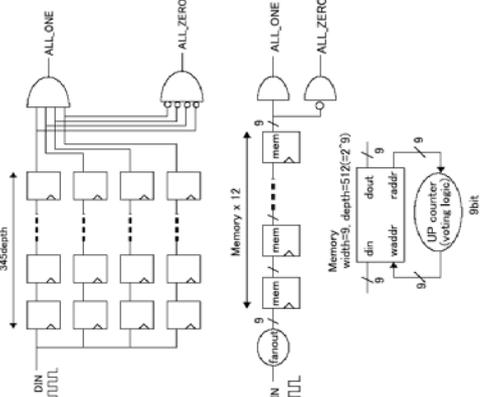
SSWで使うことを目的に、
組み込みメモリを搭載したAntifuse
FPGAに照射試験を行って、
放射線耐性を調べた。
(メモリ無しのAntifuse FPGAは
照射テストは終了していて、問題なしだった)

テストボード

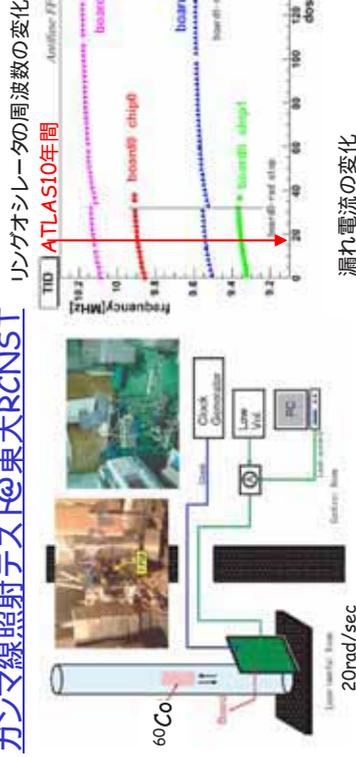


リングオシレータの周波数と、漏れ電流を測定してTIDの影響を測る

レジスタとメモリは、シフトレジスタ構造にして、SEUをカウントする (動作クロックは10kHz)



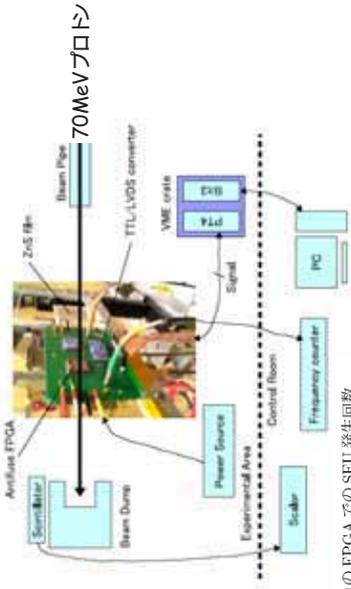
ガンマ線照射テスト@東大RCNST



漏れ電流の変化

ATLAS10年間での吸収線量でも FPGAが無事なことを確認

プロトン照射テスト@東北大CYRIC



Tab 5.13: それぞれのFPGAでのSEU発生回数

照射対象	F_{proton}/cm^2	memory	register
board0 chip0	3.74×10^{11}	733	3
board0 chip1	3.70×10^{11}	709	8
board1 chip0	5.83×10^{11}	1169	13
board1 chip1	5.75×10^{11}	1258	8

Tab 5.14: シフトレジスタ、シフトメモリの内部ビット数

	内部のビット数
シフトメモリ	55296
シフトレジスタ	1380

Fluence=単位面積あたりのプロトン入射数の時間積和

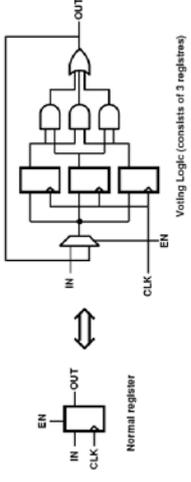
$$SEU \text{ 断面積} = \frac{SEU \text{ count}}{\text{Fluence} \times \text{シフトレジスタのビット数}} = 1 \times 10^{-14} [cm^2]$$

1本のプロトンが1ビットのレジスタを通過したとき SEUを起こす確率

SSWに当てはめて考察すると

$$SEU \text{ 発生率} = SEU \text{ 断面積} \times TGC \text{ への入射数} [cm^2/s] \times \text{安全係数}(=5) \times \text{ビット数}$$

- (1) $SEU_{rate} = 6.98 \times 10^{-12} \times (16 \times 16 \times 7) \times 152 = 1.90 \times 10^{-6} [1/s] = 0.26 [1/day]$
- VMEでの設定レジスタで0.3SEU/day 多数決化すれば、 $1/10^{14}$ に確率が減るからから問題なし



(2) $SEU_{rate} = 6.98 \times 10^{-12} \times (18 \times 2^7 \times 4 \times 6 + 15 \times 2^3) \times 152 = 5.89 \times 10^{-5} [1/s] = 5.07 [1/day]$

リードアウトバッファでは5 SEU/day 多数決化は資源数、スピードの面から実装しづらいが、チェックサムを計算してあるので、SEUの発生は確認可能。また、ヒットマップのビット付けはノイズと同レベルで問題ない

SEUの影響も大丈夫であることが確認できた

まとめ

- TGC読み出し系エレクトロニクスの最終段階の開発を行った。
- 今のデザインのままATLASシステムの中に突っ込んで、TGC単体のときと同様にちゃんと動作できること
 - 放射線耐性の技術を利用すれば、陽子陽子衝突実験での大量の放射線を浴びても問題なく動作できることを確認して、最後のプロトタイプボードも作成した。



残り少々の動作テストを終了すれば、量産に移行できる。
2年後のATLAS実験スタートに向けて準備は順調。

LVL1 Trigger Rates

Selection	$2 \times 10^{13} \text{ cm}^{-2} \text{ s}^{-1}$	$10^{14} \text{ cm}^{-2} \text{ s}^{-1}$
MU20	0.8	4.0
ZML6	0.2	1.0
EM25	12.0	22.0
ZEM15	4.0	5.0
J20	0.2	0.2
3J30	0.2	0.2
4J65	0.2	0.2
J60 + xE50	0.4	0.5
TAU25 + xE30	2.0	1.0
MU0 + EM15	0.1	0.4
Others (pre-scales, calibration, ...)	5.0	5.0
Total	~ 25	~ 40

- Rates given in kHz
- E_T thresholds imply 95% efficiency values

No safety factor included!

The LVL1 rate is dominated by EM cluster triggers

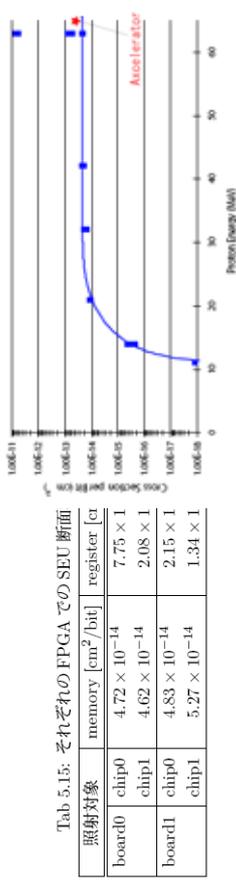
Siryo-

$$SEU_{rate} = \frac{\text{照射テストでのSEU発生回数}}{ARL} \times \frac{SRL_{SEU}}{10\text{year}} \times SF_{sim} \quad (5.3)$$

$$= (\sigma_{SEU} \times \text{ビット数}) \times \frac{SRL_{SEU}}{10^8[\text{sec}]} \times SF_{sim}$$

ここで、ARLは照射テストでのプロトンフルエンス (Applied Radiation Level)、 σ_{SEU} はSEU断面積、 SF_{sim} は RHIA-WG による安全係数。

SEUの断面積 $\sigma_{SEU} [\text{cm}^2/\text{bit}]$ はデバイスの種類に依存するが、一般に、入射したハドロンエネルギーが 20MeV 以下では SEU断面積は非ゼロで、90MeV以上のハドロンエネルギーはゼロで $10^{-15} \sim 10^{-13} [\text{cm}^2/\text{bit}]$ で一定となる。



Tab 5.15: それぞれの FPGA での SEU 断面

照射対象	memory [cm ² /bit]	register [ca]
board0	4.72 × 10 ⁻¹⁴	7.75 × 1
chip0	4.62 × 10 ⁻¹⁴	2.08 × 1
board1	4.83 × 10 ⁻¹⁴	2.15 × 1
chip1	5.27 × 10 ⁻¹⁴	1.34 × 1

Fig 5.33: SRAM FPGA (Xilinx Virtex) での SEU 断面積

High Level Trigger Rates

LVL1 accept at 100 kHz, no other safety factor.

Selection	$2 \times 10^{13} \text{ cm}^{-2} \text{ s}^{-1}$	Rates (Hz)
Electron	e25i, 2e15i	~40
Photon	g60i, 2g20i	~40
Muon	m20i, 2m10	~40
Jets	j400, 3j165, 4j110	~25
Jet & E _{Tmiss}	j70 + xE70	~20
tau & E _{Tmiss}	t35 + xE45	~5
b-physics	2m6 with m _B /m _{J/γ}	~10
Others	pre-scales, calibration, ...	~20
Total		~200

The border between LVL2/HLT still to be defined. Mass cuts only for b-physics.