学位修士論文
ATLAS 実験ミューオントリガー用
タイミング調整 IC の開発

東京大学理学系研究科
物理学専攻

86106
仁木 太一

2000 年 1 月 24 日

概 要

CERN (欧州原子核研究機構) では 14TeV の重心系エネルギーを持つ大型陽子陽子衝突型加速器 LHC の準備が、2005 年の開始を目標に進んでいる。LHC に置かれる測定器の一つである ATLAS 測定器もこれにあわせて開発が進んでいる。ATLAS では、Higgs 粒子や標準理論の枠組を越える物理の探索が行なわれる予定であるが、バックグラウンドの多さとバンチ・クロッシング・レートの高さが実験を非常に難しくしている。これらの困難に対処するためには、膨大なバックグラウンドの中から重要なイベントだけを選択し、効率良くデータ収集することが必須である。そのため、ATLAS 測定器のトリガー・システムは、実験を成功させるために非常に重要である。

この論文では、ATLAS の前後方部ミューオン・トリガー・システムにおいて、データを LHC のバンチ・クロッシング・レートに同期させて処理を行なう方法と、システム用 ASIC の開発について述べる。

目 次

第 I 部　ATLAS 実験 **5**

1　LHC 計画 **5**

2　LHC 実験での物理 **6**
2.1 Higgs 粒子 . . . 6
2.2 超対称性 Higgs 粒子 . . . 7
2.3 超対称性粒子 . . . 8

3　ATLAS 測定器 **8**
3.1 内部検出器 . . . 8
3.2 カロリメータ . . . 9
3.3 ミューオン検出器 . . . 9

4　ATLAS ミューオン検出器 **9**

5　TGC **12**
5.1 TGC の構造と特徴 . . . 12

6　ATLAS 実験のトリガー、DAQ システム **16**
6.1 ATLAS 実験でのトリガー方法 . . . 16
6.2 LVL1 トリガー・システム . . . 17
6.3 ミューオン・トリガー・システム . . . 18

7　LVL 1 前後方部ミューオン・トリガー・システム **20**
7.1 P_T 測定の方法 . . . 20
7.2 前後方部ミューオン・トリガー・システムの流れ . . . 21
7.3 ASD . . . 21
7.4 Patch-Panel . . . 23
7.5 Slave Board . . . 23
7.6 High-p_T Board . . . 24
7.7 Sector Logic . . . 25
7.8 LVL1 Buffer、Derandomizer . . . 25

8　前後方部ミューオン・トリガー・システムのタイミング調整 **29**

第 II 部　Patch-Panel 用 ASIC の設計 **31**

9　PS-pack の構成 **31**

10　Patch-Panel 用 ASIC の概要 **32**

11　設計方法 **35**
11.1 プロセス . . . 35
11.2 設計手順 . . . 35

12 アナログ回路の設計 **38**
12.1 DLL の設計 . . . 38
12.1.1 遅延セル . . . 38
12.1.2 位相検出器 (Phase Detecter) . . . 42
12.1.3 チャージポンプ . . . 44
12.1.4 ローパスフィルタ . . . 46
12.1.5 DLL 全体の HSPICE シミュレーション . . . 47
12.1.6 DLL の ASIC への組み込み . . . 53
12.2 LVDS レシーバ . . . 54
12.2.1 LVDS の概要 . . . 54
12.2.2 LVDS レシーバの設計 . . . 54
12.3 テスト・パルス・ジェネレータ . . . 61

13 ASIC 用制御回路の設計 (JTAG プロトコル) **65**
13.1 JTAG 概論 . . . 65
13.2 Patch-Panel 用 ASIC における JTAG . . . 69
13.2.1 TAP . . . 69
13.2.2 INSTRUCTION・レジスタ . . . 69
13.2.3 BSC . . . 70
13.2.4 BYPASS・レジスタ . . . 71
13.2.5 OPTION レジスタ . . . 71

14 SEU (Single Event Upset) 対策 **74**
14.1 SEU (Single Event Upset) 現象 . . . 74
14.2 Voting Logic 回路 . . . 76

15 Patch-Panel ASIC の構成と検証 **78**
15.1 Patch-Panel ASIC の構成 . . . 78
15.1.1 TGC 信号処理部 . . . 78
15.1.2 テストパルス発生部 . . . 78
15.1.3 可変遅延クロック出力 . . . 80
15.1.4 ヒューズモニター . . . 81
15.1.5 SEU モニター . . . 81
15.2 論理シミュレーション . . . 81
15.2.1 全レジスタの書き込みと読み出し動作シミュレーション . . . 82
15.2.2 可変遅延クロック出力シミュレーション . . . 83
15.2.3 テストパルス発生部のシミュレーション . . . 83
15.2.4 TGC 信号処理部のシミュレーション . . . 84
15.2.5 SEU モニターシミュレーション . . . 86
15.2.6 ヒューズ・モニター機能の動作シミュレーション . . . 86
15.2.7 BYPASS の動作シミュレーション . . . 86
15.2.8 INTEST の動作シミュレーション . . . 87
15.2.9 EXTEST の動作シミュレーション . . . 87
15.2.10 論理シミュレーションからの結論 . . . 87
15.3 ASIC の論理合成と配置配線 . . . 88

16 まとめと今後の予定 **90**

図目次 **91**

表目次 **93**

参考文献 **94**

謝辞 **95**

第 I 部
ATLAS 実験

1　LHC 計画

欧州原子核研究機構 (CERN) では、14TeV の重心系エネルギーを持つ大型陽子陽子衝突型円形加速器 LHC (Large Hadron Collider) の建設が進んでいる (表 1、図 1 参照)。LHC は、現在 LEPII 実験で使用している全長約 27km のトンネル内に設置され 2005 年の実験開始が予定されている。

LHC の最大の特徴は、重心系エネルギーの大きさである。陽子陽子衝突型であるためにシンクロトロン放射によるエネルギー損失が少ないので、LEPII と同じ軌道を使用して 14TeV まで到達することができる。これにより、Higgs 粒子の探索では 100GeV から 1 TeV までの広い範囲で探索できるほか、超対称性粒子や未知の粒子の発見も期待される。さらに、既存の加速器と比較して桁違いに多くのトップ・クォークやボトム・クォークが生成されるので、トップ・クォークやボトム・クォークに関する精密測定も行なうことができる。

LHC は高いルミノシティで運転されるハドロン衝突型加速器なので、膨大な量のバックグラウンドが予想されている。陽子陽子衝突時間間隔が 25ns と非常に短いので、重要なイベント事象のデータをいかに効率良く正確に収集するかが実験の成功を左右する。

表 1: LHC の主なパラメータ

パラメータ	値
重心系エネルギー (陽子陽子)	14TeV
ルミノシティ (低ルミノシティ時)	$10^{33}cm^{-2}s^{-1}$
ルミノシティ (高ルミノシティ時)	$10^{34}cm^{-2}s^{-1}$
バンチ・クロッシング・レート	40MHz
バンチ・クロッシング当たりの平均イベント数 (高ルミノシティ時)	∼25
トンネル周長	26.66km

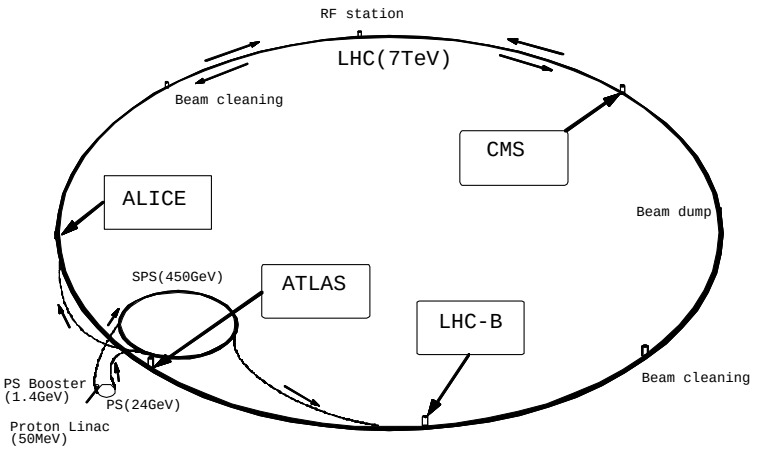

図 1: LHC の全体図

2　LHC 実験での物理

現在、自然界は 3 世代のレプトンと 3 世代のクォークから成り立つと考えられている。ゲージ粒子を媒介することによりそれらの間に相互作用が起こるとする標準理論は、これまで得られた実験結果と実験誤差の範囲で見事な一致を示している。しかし、標準理論の中で質量の起源として存在が予想されている Higgs 粒子が未発見のままである。また、標準理論で起こる真空エネルギー発散の問題を作為的な操作無しに解決する超対称性理論は、超対称性粒子の存在を予想している。ここでは LHC において観測が予想されるこれらの物理について概略を述べる。

2.1　Higgs 粒子

Higgs 粒子の探索は LHC におけるもっとも重要な課題の一つである。標準 Higgs 粒子が存在すると仮定すると、その質量は 1TeV 以下であると理論的に予想されている。Higgs 粒子は、その質量によって特徴的な崩壊モードを持つ。各々の崩壊モードの特徴について説明していく。図 2 に LHC における標準 Higgs 粒子の質量と生成断面積の関係を、図 3 に標準 Higgs 粒子の質量と Higgs 粒子の崩壊モードの分岐比の関係を示す。

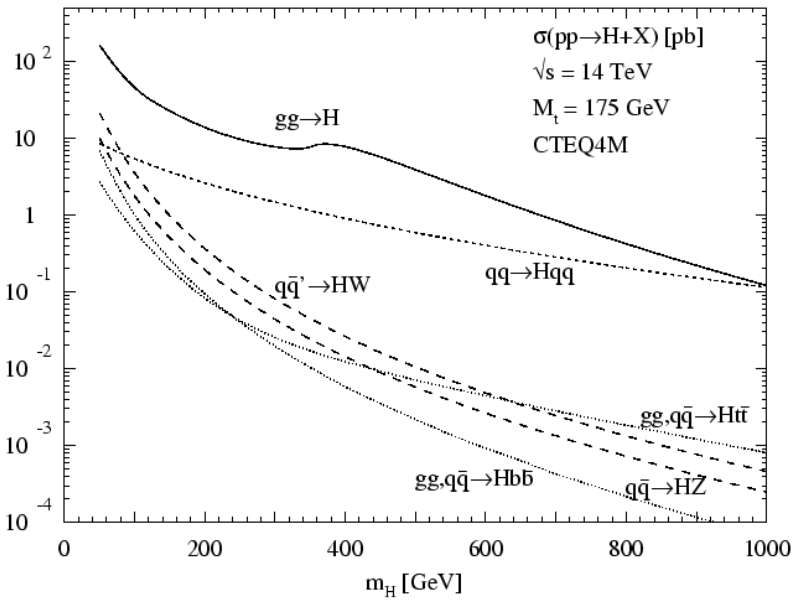

図 2: LHC における標準 Higgs 粒子の質量と生成断面積の関係。(トップ・クォークの質量=175GeV として計算)

- $H \to \gamma\gamma$、($100\mathrm{Gev} \leq m_H \leq 150\mathrm{GeV}$)
  2 つの光子から、直接質量を再構成する。このチャンネルは分岐比が小さいので、エネルギー・位置・角度を精度良く測定する必要があるので、カロリメータの性能が重要である。QCD ジェットバック・グラウンドからの γ の選別が重要である。

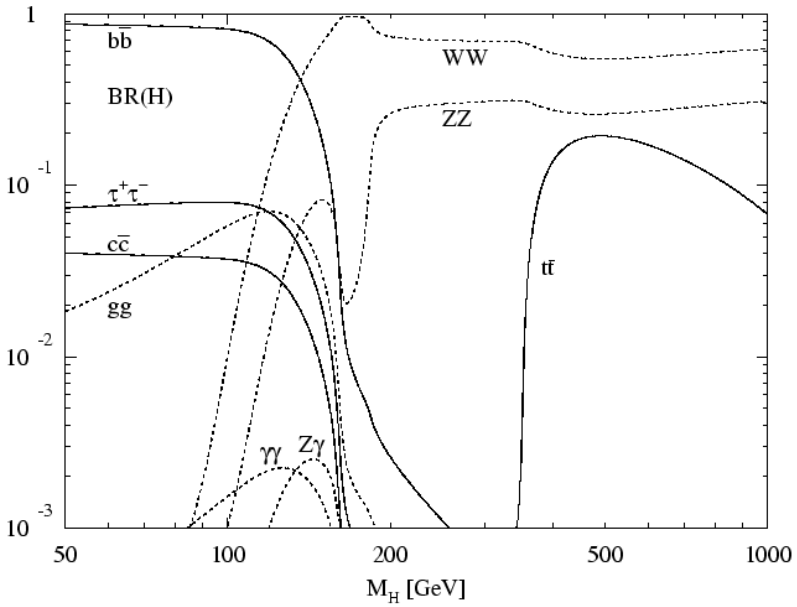

図 3: Higgs 粒子の崩壊分岐比と質量の関係 (トップ・クォークの質量=175GeV として計算)

- $H \to b\bar{b}$、($m_H \leq 2m_W$)
  gg からのダイレクト・プロダクションによるものは、QCD ジェット・バックグラウンドが多いのでアソシエイト・プロダクションから探索する。$q\bar{q} \to HW, q\bar{q} \to Ht\bar{t}$ からの高運動量レプトンを用いる。

- $H \to ZZ^* \to 4l$、(130Gev $\leq m_H \leq 2m_Z$)
  4 つのレプトンのエネルギーを測定することにより、きれいな信号が得られると期待される。1 対のレプトンの不変質量が m_z に等しくなるという条件を課し、バック・グラウンドを落すことができる。

- $H \to 4l$、($2m_Z \leq m_H \leq$ 800GeV)
  この領域は LHC の最も得意とする領域である。それぞれのレプトン対の不変質量に条件付けができるため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれて、崩壊幅が急激に大きくなるため Higgs 粒子の質量があまり大きくなると、有効性が落ちる。

- $H \to WW \to ll\nu\nu$、(500GeV $\leq m_H \leq$ 700GeV)
  Higgs 粒子の質量が 600GeV 以上の領域では、$H \to 4l$ よりも約 6 倍レートが高い。ν に起因する $missingE$ の測定を行なうことになる。

- $H \to WW \to lljj$、($m_H \sim$ 1TeV)
  分岐比では 4l モードに比べて 150 倍大きい。このモードでは、Higgs 粒子の生成過程のうち、$q\bar{q} \to Hq\bar{q}$ に注目して、反応後のクォークによる散乱角方向のジェットを指標にすることにより、信号を選び出す。

2.2 超対称性 Higgs 粒子

超対称性理論の中で、最も単純な超対称性標準模型 (Minimal Supersymmetric Standard Model) では、2 つの Higgs 二重項が必要とされ、その結果 5 つの Higgs 粒子 (h, H, $H^{\pm}$, A) が存在する。先に述べたも

の以外で、MSSM Higgs 粒子の崩壊モードで観測が予想されるものについて説明する。

- $H/A \to \tau\tau$
  標準 Higgs 粒子の場合は、$H/A \to \tau\tau$ モードはレートが低く測定に適さないが、MSSM では高いレートが期待される。生成された τ 粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの 2 種類のモードが利用できる。

- $H/A \to \mu\mu$
  上に比べて、分岐比は $(m_\mu/m_\tau)^2$ 倍低いが、精度よく測定が行なえることから、$\tau\tau$ モードでの測定を補う役割が期待される。

- $H \to hh$
  崩壊モードは、$hh \to bb\bar{b}\bar{b}$ が支配的だが、このモードでは効率の良いトリガーが行なえないため、$hh \to \gamma\gamma b\bar{b}$ チャンネルで観測されることが期待される。イベント・レートは低いが、2 つの異なる Higgs の反応という意味で非常に興味深い。

- $A \to Zh$
  2 つの Higgs が関係した反応として、興味深い。Z の崩壊で生じる 2 つのレプトンでトリガーを行なう方法が有効である。$Zh \to llb\bar{b}$

2.3 超対称性粒子

LHC では、強い相互作用をするスクォークやグルイーノの対が大量に生成されるなど超対称性粒子の探索が期待されている。R-parity 保存則から、超対称性粒子は必ず対で生成され、最終的に超対称性粒子の中で一番軽い質量を持つ LSP (Lightest Supersymmetry Particle) に崩壊する。LSP の候補としては、最軽量ニュートラリーノが考えられる。この粒子は検出されず、イベントの解析において $missing E_T$ として現れることになるので、終状態の多数のジェットとともに、この $missing E_T$ を指標として探索を行なう。

3 ATLAS 測定器

ATLAS 測定器 (図 4) は、LHC の高いルミノシティにおいても、電子、光子、ハドロン、τ 粒子、ミューオン、ジェット、missing E_T などの信号を確実に得ることができるように設計されており、LHC で起こる様々な物理現象を的確に捕らえることができると期待されている。ATLAS 測定器は大きさは直径 22m、長さ 44m、総重量 7000 トンで、内部検出器、カロリメータ、ミューオン検出器から成る。ここでは、各測定器の特徴について説明する。

3.1 内部検出器

内側には高分解能を持つシリコン・ピクセル検出器、シリコン・ストリップ検出器、外側にはストロー・チューブを積み重ねて作られた連続飛跡測定用の TRT (Transition Radiation Tracker) から構成される。これらの組合せで、反応点の検出、τ 粒子、b 粒子の tagging、電子の識別を行なう。外部に配置された超電導ソレノイドマグネットを用いることにより、運動量の測定ができる。内部検出器は非常に高い放射線にさらされるので、放射線耐久性が求められる。

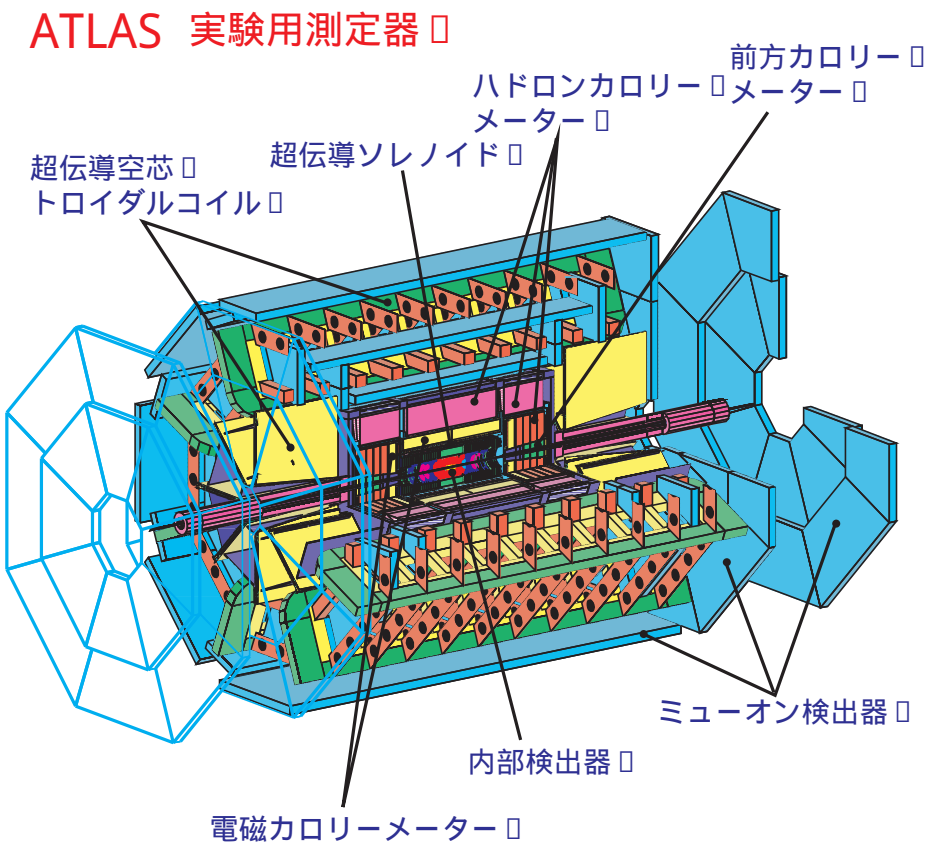

図 4: ATLAS 測定器の全体図

3.2 カロリメータ

ラピディティー $|\eta|$ の広い範囲で、電子や光子のエネルギー、位置、角度を測定する。内側には放射線耐久性にすぐれたアルゴン・カロリメータを、外側にはシンチレータと鉄の組合せのハドロン・カロリメータを配置する。

3.3 ミューオン検出器

運動量精密測定用の部分と、トリガー及び第二座標測定用のミューオン検出器から成る。空芯の超電導トロイドマグネットを用いることにより、高精度の運動量測定と低い p_T までのトリガーを可能にする。

4 ATLAS ミューオン検出器

Higgs 粒子の探索などは、高運動量のミューオンの測定を手がかりに行なうので、ATLAS においてミューオン検出器は非常に重要である。このため、ATLAS 測定器では、広範囲の運動量、ラピディティーをカバーする。図 5、図 6 にミューオン検出器の配置を示す。

ミューオン検出器は、運動量精密測定用の検出器と、トリガー及び第二座標測定用のミューオン検出器から成る。精密測定用としては、MDT (Monitored Drift Tube) と CSC (Cathode Strip Chamber) の 2 つを用いる。

高いバックグラウンドかつハイ・レイト状態でのミューオン測定には、トリガー・システムが重要である。

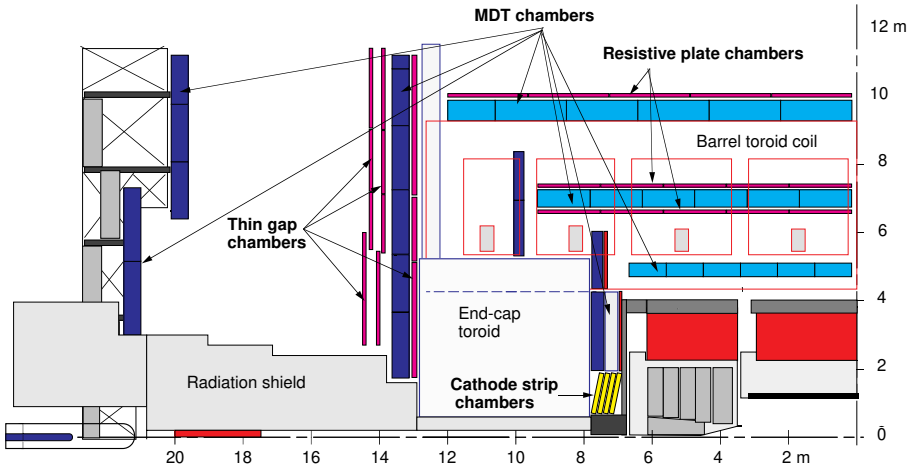

図 5: ATLAS 測定器の R-Z 断面図

ATLAS ではバンチ識別に加えて第二座標 (R、ϕ) の測定も行なう。ミューオン・トリガーには、2 種類のチェンバーを用いる。バレル部 ($|\eta| \leq 1.05$) には RPC (Resistive Plate Chamber) を、前後方部 ($1.05 \leq |\eta| \leq 2.4$) には TGC (Thin Gap Chamber) を用いる。

- MDT
  第一座標方向 ($R - Z$) の運動量精密測定用のドリフト・チューブである。MDT は、直径 30mm の薄壁アルミニウム製ドリフト・チューブで、Ar、N_2、CH_4 の混合ガスを 3 気圧の下で動作させる。位置分解能は $80\mu m$ である。

- CSC
  3 次元運動量精密測定用のカソード・ストリップ読み出し型の MWPC (Multi-Wire Proportional Chamber) である。カソード・ストリップ上の電荷重心読みだしを行なうことにより、$60\mu m$ の位置分解能が得られる。前後方部のうち、特に粒子頻度の高い位置 ($2 \leq |\eta| \leq 2.7$) に配置される。

- RPC
  トリガー及び第二座標測定用の平行平板ガス検出器である。限定的放電パルスを互いに直行するストリップ電極から読み出す。

- TGC
  トリガー及び第二座標測定用の MWPC 型のチェンバーである。ガス・ギャップが狭いのが特徴で、この事により高い時間分解能が得られる。

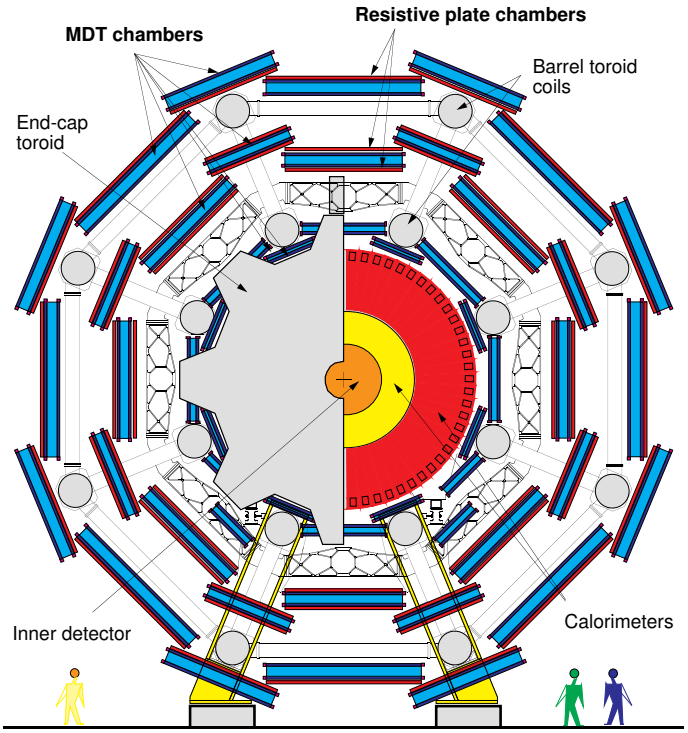

図 6: ATLAS 測定器の R-ϕ 断面図

5 TGC

ATLAS の陽子陽子衝突時間間隔は 25ns であり、各衝突では平均で約 25 個のイベントが起こる。そのため、ATLAS での前後方部ミューオン・トリガーに用いられる測定器は、高時間分解能を持ちかつハイ・レイトで動作することが要求される。その他に、運転期間 10 年の動作が保証されることと、前後方部の広い範囲を覆うため安価であることが求められる。これらの条件を満たし、前後方部ミューオン・トリガーに用いられる TGC (Thin Gap Chamber) について述べる。

5.1 TGC の構造と特徴

TGC は基本的に、通常の MWPC の構造をしている。図 7 に TGC の構造を、表 2 に TGC の主なパラメータを示す。1 台の TGC は、doublet TGC ならば 2 層のチェンバーから、triplet TGC ならば 3 層のチェンバーから構成される。TGC の特徴的な点は、アノード・カソード間隔が 1.4mm、アノード・アノード間隔も 1.8mm と狭いことである。このことにより、TGC の不感時間と信号のタイム・ジッターを小さくすることが出来る。図 8 は粒子の入射角度の違いによる TGC 信号のタイム・ジッターを表している。この図は 3 GeV の π^- を用いたビーム・テストによるものである。粒子の入射角度が大きくなるほど、タイム・ジッターは小さくなっているのがわかる。

TGC には、CO_2 と n-pentane の混合ガスを用いる。n-pentane はクエンチング能力が高く、TGC のハイ・レイトでの動作を可能にしている。

10 年の運転期間の動作に関しては、β 線源を用いて ATLAS の前後方部における 18 年分相当の放射テストを行ない動作が確認されている。

TGC は R-ϕ 方向の 2 次元読み出しが可能である (図 9)。R 方向の情報はアノード・ワイヤーから読み出され、ϕ 方向の情報はカソード・ストリップから読み出される。R 方向からの読み出しは、6 本から 20 本のワイヤーをひとグループとして読み出す。一つのワイヤー・グループ幅は、10.8mm から 36.0mm である。ϕ 方向からの読み出しは、End-cap 部では 4 mrad、Foward 部では 8 mrad に相当する幅のストリップを用いる (図 10 参照)。チャンネル数は、R 方向が約 23 万、ϕ 方向が約 10 万チャンネルである。

図 10 に前後方部最外殻に置かれる TGC を示す。ドーナツ型をしているのが、複数の TGC 組み上げた前後方部 TGC の全体像を表し、ドーナツ型を構成している一つ一つの台形が 1 台の TGC を表している。TGC 1 台の大きさは、前後方部のどこに配置されるものであるかによるが、$1 \sim 2m^2$ 程度である。前後方部で用いられるチェンバー総数は 3600 である。

複数の TGC を組み上げ前後方部を構成する時には、TGC 間に不感領域がないよう、隣合う TGC にオーバーラップができるように配置する。ただ、このようにするとミューオンのダブル・カウントが心配されるが、これに対してはオーバーラップ領域からの信号を OR ロジック回路を設けて処理することにより問題はないようにできている。

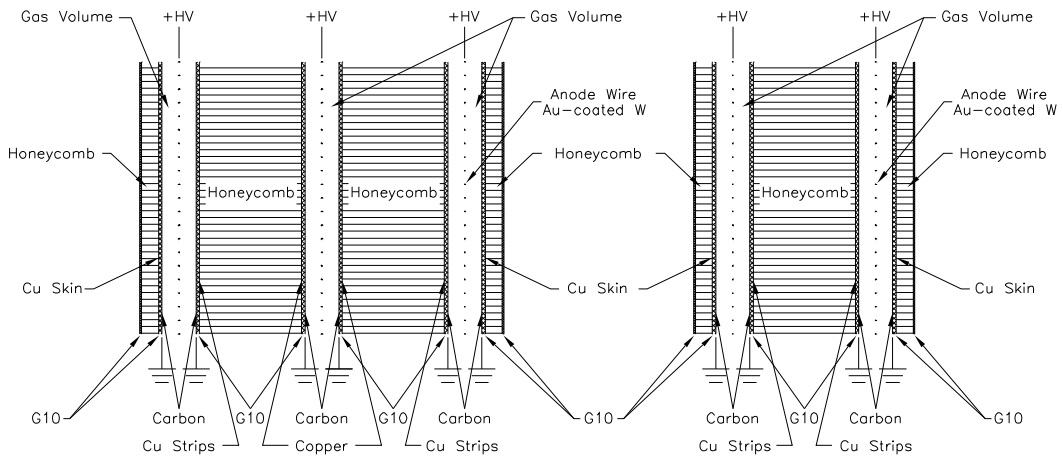

図 7: TGC の構造

表 2: TGC の主なパラメータ

パラメータ	値、種類
Gas gap	2.8mm
Anode wire pitch	1.8mm
Wire diameter	50μm
Wire potential	3100V
Gas mixture	$CO_2/n-C_5H_{12}$ (55%/45%)
Gas amplification	10^6
Anode read out pitch	7.2∼39.0mm
Time resolution	99% efficiency for 25ns gate
Rate capability	tested at 30kHz/cm^2
Read out strip width	14.6∼49.1mm
Total number of anode read out channels	225088
Total number of strip read out channels	98304

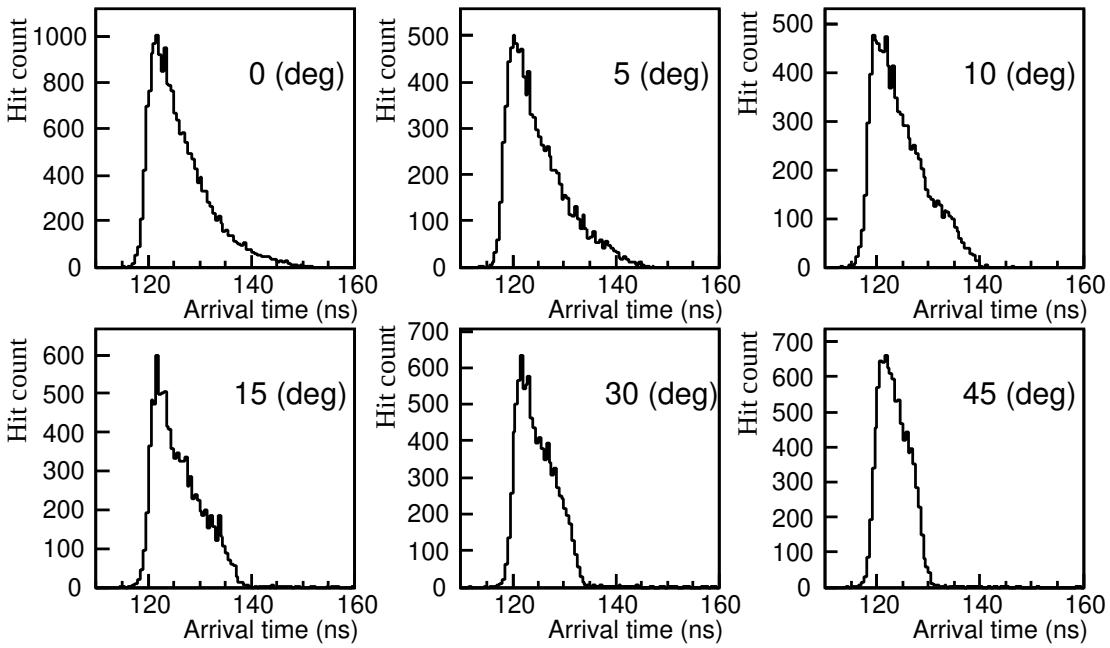

図 8: TGC 信号のタイム・ジッター。グラフ右上の数値は粒子の入射角度である。

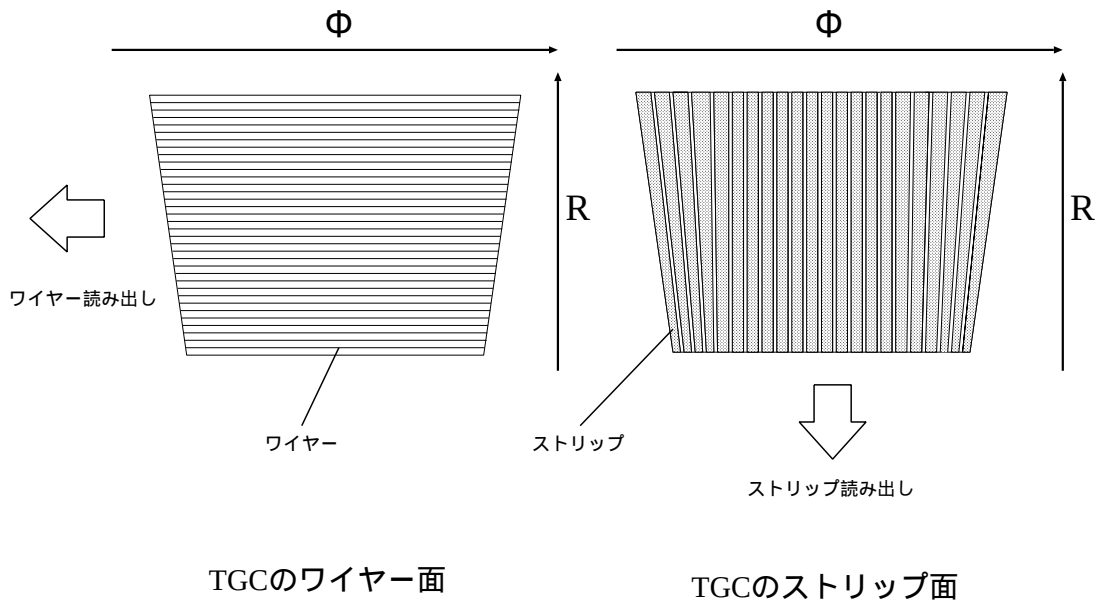

図 9: TGC 読み出し方向

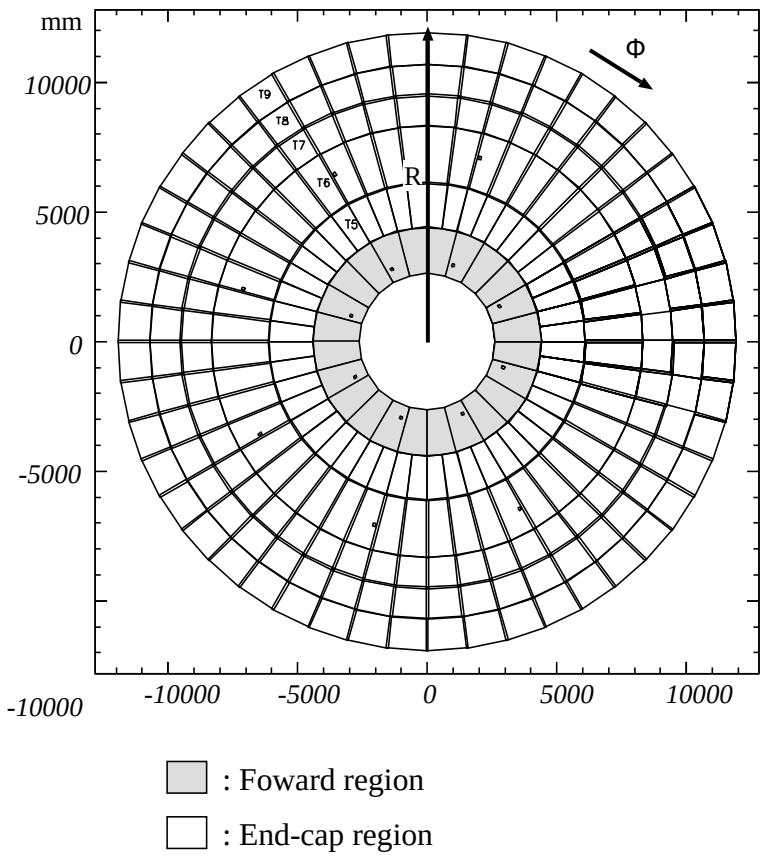

図 10: 複数の TGC から構成された前後方部ミューオン・システム

6　ATLAS 実験のトリガー、DAQ システム

LHC では高ルミノシティ時 ($10^{34}cm^{-2}s^{-1}$) には、1 回のビーム・クロッシングに対して平均約 25 個のイベントが発生する。これらの大量のイベントの中から、物理的に重要なイベントを選択し効率よくデータ収集するためには、トリガー・システムの役割が重要になってくる。

ここでは ATLAS 実験全体でのトリガー方法を概観した後、トリガー・システムの第一段階に相当する LVL1 トリガー (LEVEL1 TRIGGER) について説明する。特にミューオン・トリガー・システムを中心にして説明する。

6.1　ATLAS 実験でのトリガー方法

ATLAS 実験でのトリガー、DAQ システムは図 11 のように 3 段階のトリガー・レベルから成る。トリガー・レベルが上がるに伴いデータ選別条件が付加されていき、重要なイベントのみがオフ・ライン用データとして記録される。

トリガーの第一段階として LVL1 トリガーがある。LVL1 ではカロリメータとミューオン検出器からの情報だけが使われる。LVL2 では LVL1 での情報を基にして、第二段階のトリガー候補選別を行なう。最後に EVENT FILTER に送られ、オフライン・データとして記録される。

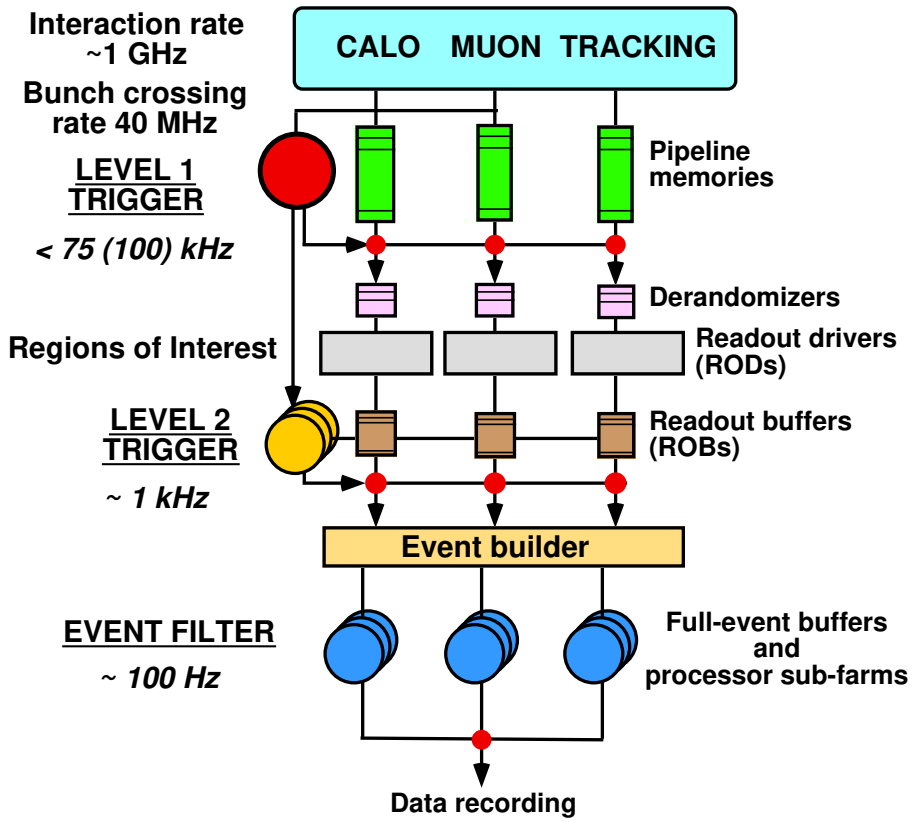

図 11: ATLAS におけるトリガーの方法

- LVL1 (LEVEL1 TRIGGER)
  LVL1 ではカロリメータとミューオン検出器からの情報だけが使われる。各検出器からの信号はそれぞれのサブ・システムで処理された後、CTP (Central Trigger Processor) に集められ、イベントの取捨が決定される。イベントが発生してからこの決定が全てのサブ・システムに送られるまでに要す

る時間は 2.5μs である。この時間の間、データは LVL1 Buffer と呼ばれるパイプライン・メモリに保時される。LVL1 終了後には、当初 40MHz あったデータ・レイトは 75kHz まで落される。

- LVL2 (LEVEL2 TRIGGER)
  LVL2 ではカロリメータとミューオン検出器に加えて、内部飛跡検出器からの情報も利用し、粒子の飛跡と p_T を求めるなどし、より厳密な選択を行なう。LVL2 では、LVL1 から得られる high-p_T の電子、光子、ジェット、ミューオンなどの重要な情報を含むと判断された領域(RoI : Region of Interest)だけにアクセスすることにより、処理効率を高める。LVL2 の判定までに要する時間は 10 $\sim$ 100ms で、データ・レイトは 1kHz まで落される。

- EVENT FILTER
  LVL2 で選択されたイベントは、EVENT builder を通して EVENT FILTER に送られる。この段階では、完全なイベント再構成が可能で、選択されたイベントのデータはオフ・ライン用のデータとして記録される。EVENT FILTER での処理に要する時間は約 1s である。データ・レイトは 10 $\sim$ 100MB/s である。

6.2 LVL1トリガー・システム

LVL1 トリガー・システムは図 12 のように、カロリメータ、ミューオン・トリガー、CTP、TTC(Timing, Trigger and control distribution)の各サブ・システムから成る。ミューオン・トリガー、カロリメータ各々には、独立にプロセッサが存在し、トリガーの候補となるイベント情報を CTP に送る。CTP では、これらを統合して全体的な LVL1 トリガーの有無を決定する。その決定は、TTC を通して全てのフロントエンド・エレクトロニクスに L1A (LVL1 Accept)信号として分配され、データの読み出しが行なわれる。LVL2 に対しては、L1A の源になったイベントの領域情報を RoI として送り LVL2 でのイベント選択効率を高める。

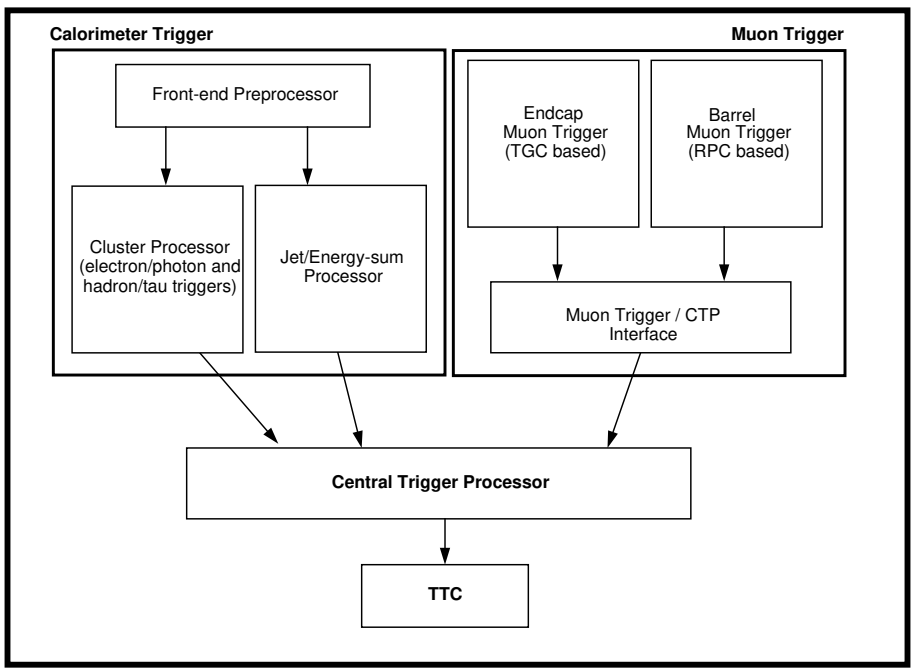

図 12: LVL1 トリガー・システムの方法

トリガー・システムの構成要素である CTP(Central Trigger Processor)、MUCTPI(Muon Trigger/CTP

Interface ）、TTC (Timing, Trigger and control distribution) と、測定器の制御を行なう DCS (Detector Control System) の働きについて簡単に説明する。

- MUCTPI (The Muon trigger/CTP Interface)

  MUCTPI は各トリガー・セクター (図 13) からトリガー候補に関する情報を集め、ミューオン・トリガーとしての最終的なトリガー候補を選別する。これらのデータは、CTP へ送られる。

- CTP (Central Trigger Processor)

  CTP の役割は、カロリメータ、ミューオン・トリガーの各プロセッサからの情報を総合して LVL1 の有無を決定することである。この決定は、TTC を通じて検出器のフロントエンド・エレクトロニクスに L1A (LVL1 Accept) 信号として配信され、データの読み出しが行なわれる。CTP の受けとるデータは次の 5 つで、これらの情報とあらかじめ用意されているトリガー条件を比較し、この条件を満たす時に L1A 信号は配信される。

  - いくつかの閾値に対して選択された電子・光子の情報
  - いくつかの閾値に対して選択されたハドロン・τ の情報
  - いくつかの閾値に対して選択されたジェットの情報
  - いくつかの閾値に対して選択されたミューオンの情報
  - missing Et の情報

- TTC (Timing, Trigger and control distribution)

  TTC の役割は 40MHz の LHC クロックと、それに同期にした制御信号を配信することである。具体的には、LVL1 トリガー成立を知らせる L1A (LVL1 Accept) 信号、バンチ衝突番号リセット信号 BCR (Bunch-crossing Counter Reset ）、イベント番号リセット信号 ECR (Event Counter Reset) を配信する。

- DCS (Detector Control System)
  DCS は ATLAS 測定器のモニターとコントロールを行なう。例として、TGC に関する DCS の働きは次のようなものである。

  - DC 電源、グラウンドの供給
  - 電流モニター
  - フロントエンド・エレクトロニクスへの閾値電圧の供給
  - TGC ガスの気圧、流量モニター
  - TGC のアナログ信号のモニター

  これらの働きを行なうために、DCS は、AMUX (Analog Multiplexer)、ADC (Analog-to-Digital Converter)、DAC (Digital-to-Analog Converter)、DREG (Digital Registers)、microcontroller、各種 sensor などから構成される。

6.3 ミューオン・トリガー・システム

ミューオン・トリガー・システム (図 14) はバレル部と前後方部の 2 つの部分から成る。バレル部には RPC、前後方部には TGC が用いられる。1 つの RPC モジュールは 2 層から成り、合計 6 層から構成される。TGC は、外側の 2 つ (middle、pivot) は 2 層、最も内側のものは 3 層から成り、合計 7 層から構成される。

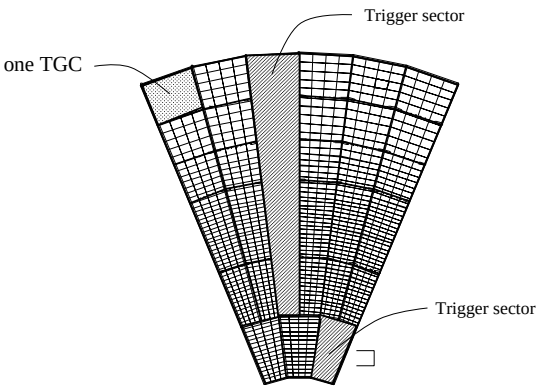

図 13: トリガー・セクターの単位

ミューオン・トリガーには high-p_T、low-p_T トリガーの 2 種類がある。low-p_T には図 15 に示すように、TGC では外側 2 つ (middle、pivot) でコインシデンスをとり、ウィンドウ内に粒子が通過することを要求する。この条件は R 方向、ϕ 方向に独立に課される。複数の TGC 信号のコインシデンス条件を課すのは、バックグラウンドによる影響を受けないようにするためである。コインシデンスの条件は 3-out-of-4 (4 層の内 3 層にヒット信号がある) が要求され、ウィンドウ幅は 6GeV のミューオンが 90%の効率で検出できるように設定される。このように 3-out-of-4 の条件を課すことによりバックグラウンドによるフェイクのヒット信号の影響を減らすことや、チェンバーの不感領域による検出効率の低下を補うことができる。

ミューオン・トリガー・システムでは、検出器をセクターと呼ばれる区画に分割して、それぞれの領域で独立にトリガーの決定を行ない MUCTPI (The Muon Trigger CTP Interface) に送る。MUCTPI では各セクターから送られてきたトリガーを集計し、ミューオン・トリガー・システムとしての最終的な LVL1 候補の情報を LVL1 CTP に送る。

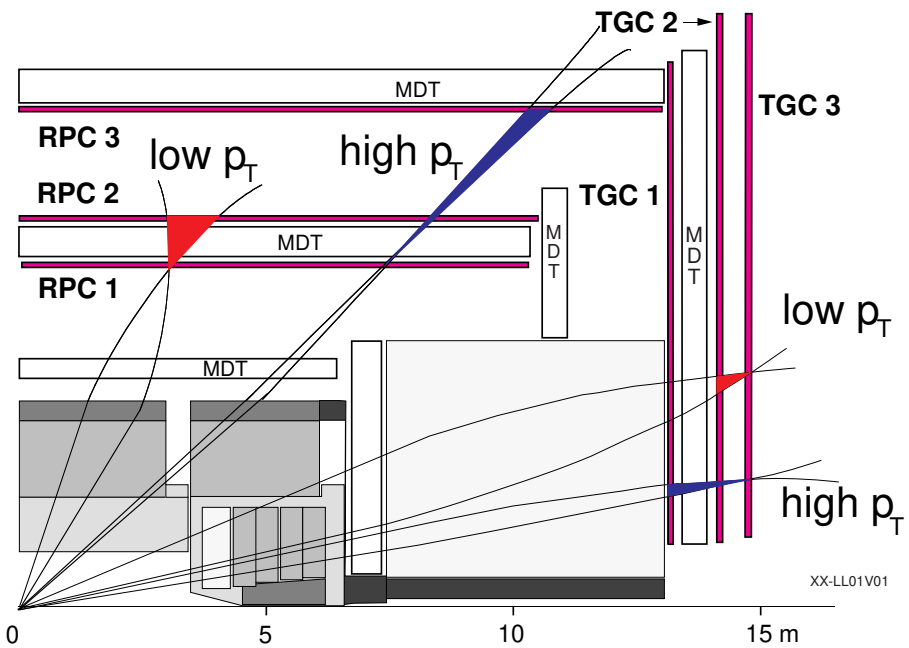

図 14: ミューオン・トリガー・システム

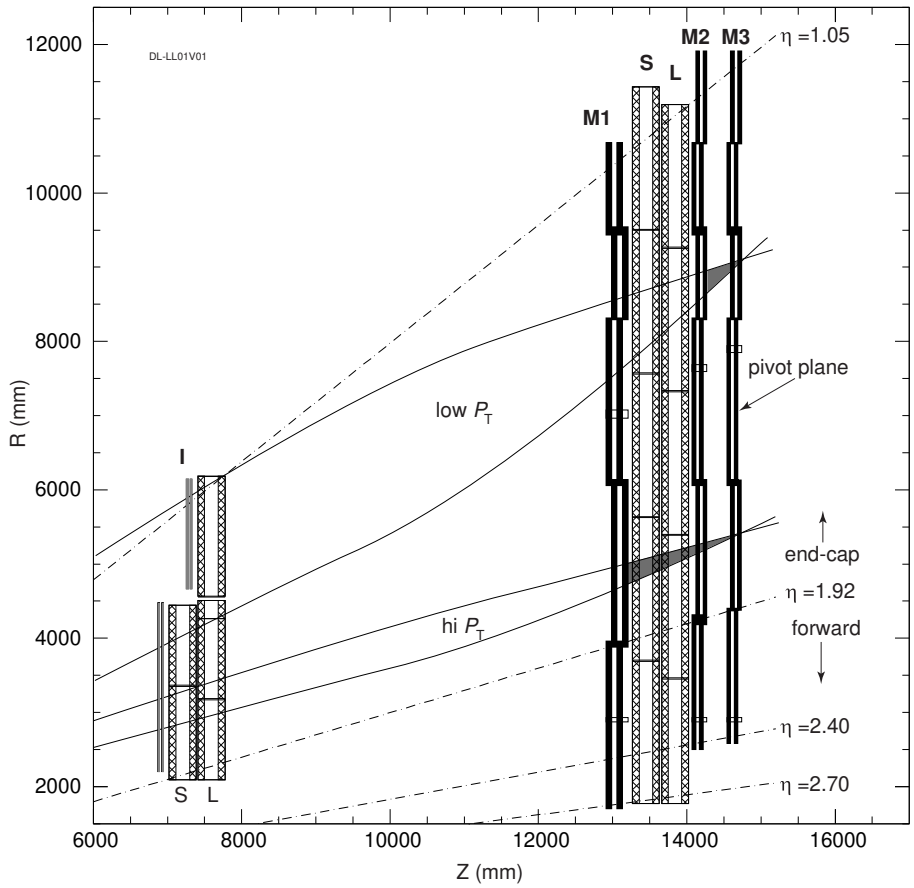

図 15: 前後方部ミューオン・トリガー・システム

7　LVL 1 前後方部ミューオン・トリガー・システム

前節ではトリガーの方法全体についての概論を述べたが、ここでは LVL 1 前後方部ミューオン・トリガー・システムに話題をしぼり、どように実現するのかについて説明する。

7.1　P_T 測定の方法

p_T (transvers momentum) とは、陽子ビーム軸に対し垂直な方向の運動量である。ビーム衝突点から前後方部へ飛んでくる粒子は、ATLAS 測定器のトロイド磁場により飛行軌道が曲げられる。この曲がり具合いは運動量の大きなものほど小さいので、この曲がり具合を測定することにより、粒子の運動量を測定することができる。

図 16 のように、ビーム衝突点と layer2 での衝突点を結んだ線 (点線) を基準にして、layer1 上で δR、$\delta\phi$ を測定する。

low-p_T 判定時には、layer2 に相当するのが pivot doublet、layer1 に相当するのが middle doublet である。high-p_T 判定時には、layer2 に相当するのが pivot doublet、layer1 に相当するのが triplet である。

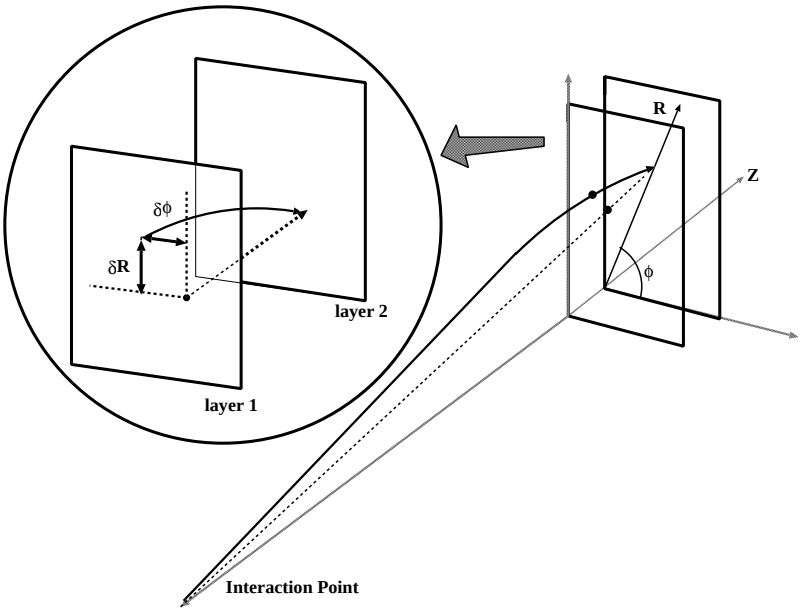

図 16: δR、$\delta\phi$ の測定方法

7.2 前後方部ミューオン・トリガー・システムの流れ

前後方部ミューオン・トリガー・システムの流れは、図 17 のようである。

TGC からのヒット信号は ASD において、デジタル信号に変換され Patch-Panel へ出力される。Patch-Panel では各チャンネルからの信号のタイミングを揃え、バンチ識別を行なった後 Slave Board へ出力する。Slave Board では第一段階のトリガー候補選別を行ない、トリガー候補とされたものは High-p_T Board へ送られる。トリガー候補選別と平行して読み出しラインでは、Patch-Panel からの信号を LVL1 Buffer に蓄え、レベル 1 成立後に Derandomizer に記録される。High-p_T Board では、第二段階のトリガー選別が行なわれ、結果は Sector-Logic へ送られる。Sector-Logic では、R と ϕ 方向のデータが統一され完全な p_T の情報となり、CTP へ送られる。

TGC が前後方部の広い範囲を覆うので、図 18 から分かるように、トリガー・エレクトロニクスが広い範囲に分布している。Patch-Panel と Slave Board は PS-pack として TGC 上に配置される。Slave Board からの出力は、図 13 のところで説明したトリガー・セクターごとに集められ TGC の wheel 上の High-p_T Board へ送られる。High-p_T Board からの出力は、約 80m 離れたエレキ・ルーム (USA15) にある Sector-Logic へ送られる。

エレクトロニクスが広い範囲に分布しているので、信号処理を行なう各段階においてチャンネルごとの信号遅延の取り扱いが非常に重要である。信号遅延の取り扱いについては、前後方部ミューオン・トリガー・システムのタイミング調整のところで説明する。

7.3 ASD

ASD ボードには、TGC 読み出し用に開発された 4 チャンネル用 ASD チップ (Amplifier Shaper Discriminator IC) が 4 つ搭載されている。ASD チップは、プリ・アンプ、メイン・アンプ、コンパレータを備えたモノリシック IC である。コンパレータへの閾値電圧は Patch-Panel から与えらる。出力信号は LVDS レベルでデジタル出力される。LVDS は低消費電力差動インターフェイスである。詳しい説明は LVDS レシーバの設計のところで述べる。ASD ボードは TGC にじか付けされる。

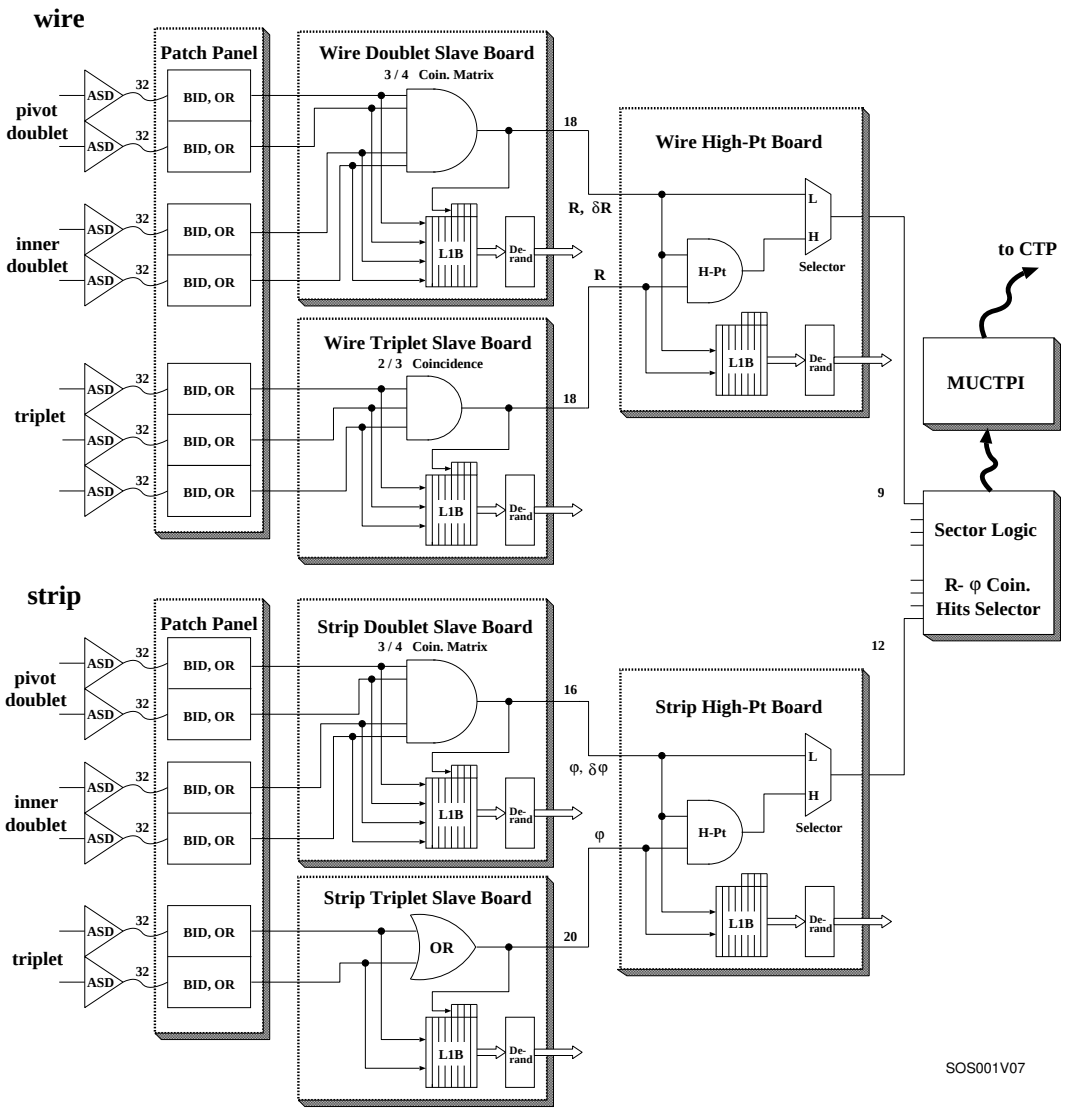

図 17: 前後方部ミューオン・トリガー・システムの流れ

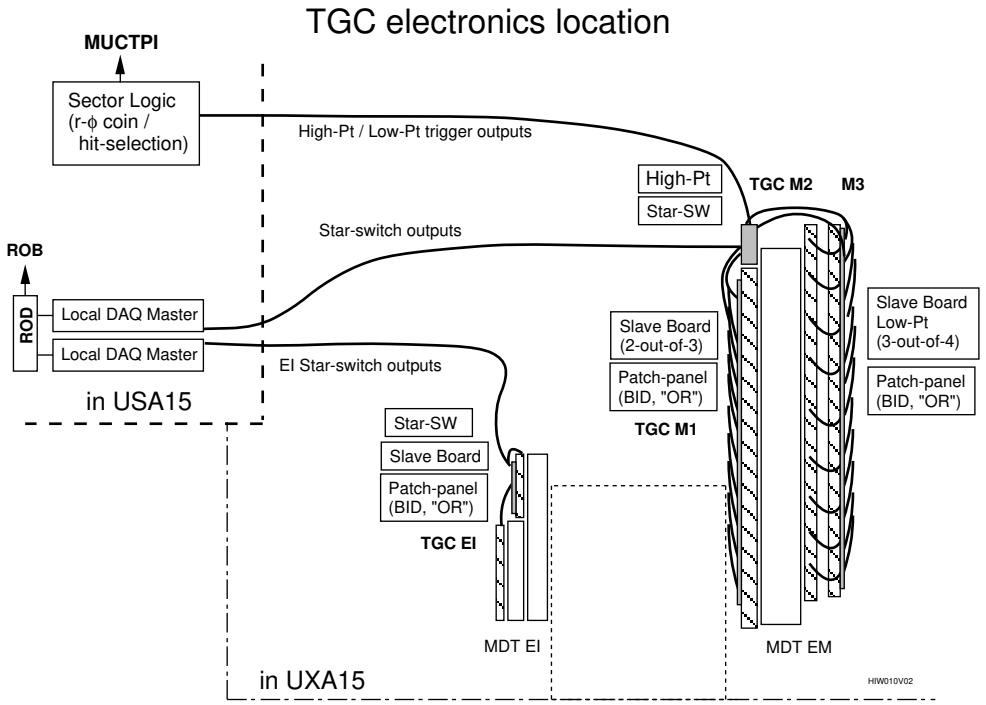

図 18: ミューオン・トリガー・システムの配置

7.4 Patch-Panel

Patch-Panel(図 19)では、ASD からの LVDS レベルのデジタル信号を受け BCID 回路(Bunch-crossing identification)でバンチ識別した後、OR ロジック処理をし Slave Board へ出力する。

BCID 回路では、信号の立ち上がりを検知して 1 クロック幅のデジタル信号に変換する。仮に TGC 信号のタイム・ジッターが 25ns を越えてしまうような場合に対処できるように、エフェクティブに 25ns 以上のゲートを作り出すことが可能であるように設計する。

Patch-Panel の OR ロジック回路は、図 20 のように、TGC のオーバーラップ領域での粒子のダブル・カウントを防ぐために用いる。TGC は、TGC の各境界で不感領域がないようオーバーラップ領域を設けている。そのため、粒子がオーバーラップ領域を通った時には、二つの TGC でヒット信号が出力される。このことに対処するために、TGC のオーバーラップ領域の形状に合わせて Patch-Panel 上に OR ロジック回路を設けて、ダブル・カウントを防ぐ。

信号処理以外には、ASD に対し $\pm 3V$ DC 電源、閾値電圧、可変電圧テスト・パルスを与える。Slave Board に対しては、TTC 信号と 3.3V DC 電源を与える。

7.5 Slave Board

Slave Board (図 21)では Patch-Panel からの信号を受け、3-out-of-4 のコインシデンスをとり、low-p_T の判定を行なう。Patch-Panel からの入力信号はケーブル遅延などにより位相がずれているので、タイミング調整を行なった後コインシデンス・マトリックスに入り、low-p_T 候補の判定を受ける。

図 22 は、doublet TGC ワイヤー読み出し用 Slave Board のブロックダイアグラムである。Patch-Panel からの入力は TGC1 層につき 32 チャンネルである。それに加えて、隣接する middle-doublet と pivot-doublet を通過したヒットを取り損ねることのないよう、隣接する両側の Slave Board から 1 層につき 6 個の入力を加えてコインシデンスをとる。同様に middle-doublet と隣接する pivot-doublet を通過したヒットに対しては、隣接する両側の Slave Board から 1 層につき 2 個の入力を加えてコインシデンスをとる。従って、合

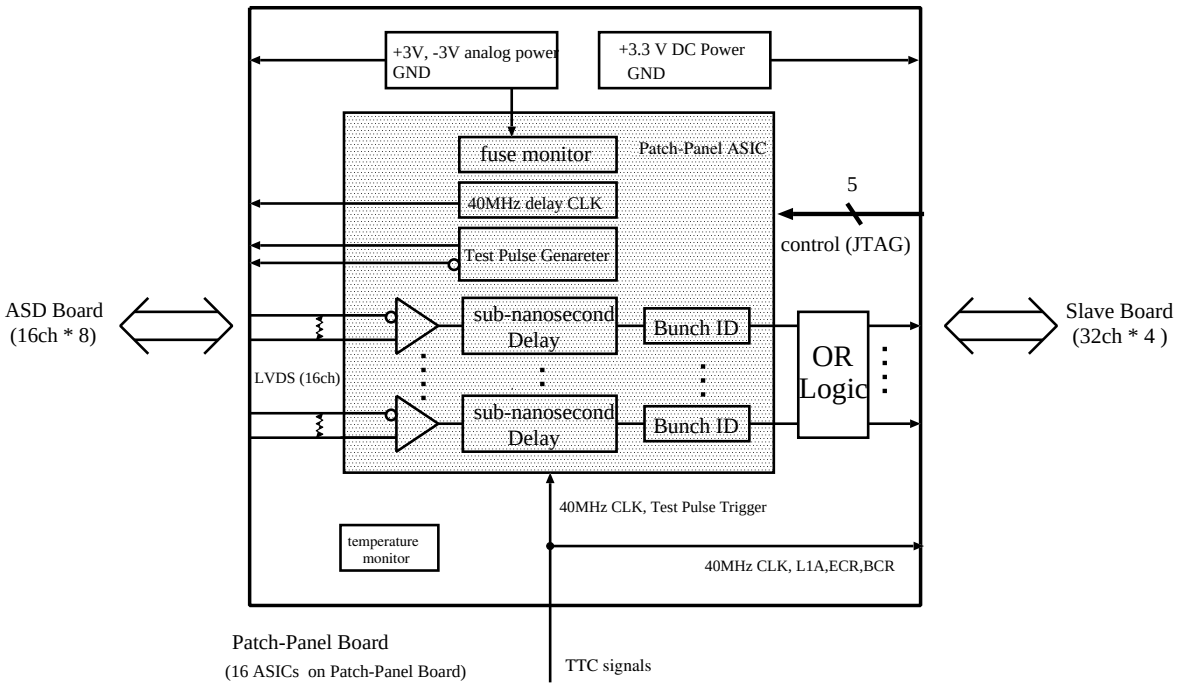

図 19: Patch-Panel の概念図

計 72×88 のマトリックスとなる。マトリックス内では、図 22 のようにマトリックスを A、B に分け, 各々の中から最も p_T の高いものを選び、エンコードされた後に High-p_T Board へ配信される。マトリックスの回路構成は読み出す信号の種類 (ワイヤー or ストリップ、triplet or doublet) に依存するので、それぞれに合わせたものを用意する必要がある。ただし複数の ASIC 設計には、大きなコストと時間を要するので、一つの IC に異なるマトリックスを合い乗りさせる方法が考えられている。

7.6 High-p_T Board

High-p_T Board(図 23) は、3 枚の doublet 用 Slave Board からのデータと、それと同じ領域に相当する 4 枚の triplet 用 Slave Board からのデータを受け、high-p_T の判定を行なう。送られて来るデータはエンコードされているため、まずデコードを行ないその後コインシデンスをとる。この時のマトリックスへの入力数は 256×288 である。この結果と Slave Board からの low-p_T トリガー候補の情報を合わせて high-p_T の決定を行なう。

図 24 はコインシデンス・マトリックスを示したもので、図 23 に示したものの 3 分の 1 のマトリックスに相当する。基本的な構造は Slave Board と同じであるが、δR は ± 15 までと Slave Board のものより詳細な結果が得られる。コインシデンスを満たしたものの中から、$|\delta R|$ が最小のものを A、B を合わせた領域と C と D を合わせた領域から各々1 つずつ選ばれる。もし high-p_T の候補が無く low-p_T の候補があった時には、low-p_T の候補が選択され Track-Selector に送られる。もし high-p_T の候補と low-p_T の候補が共にあった時には、high-p_T の候補のみが Track-Selector に送られる。

データ転送量の制限により、Track-Selector では最大で 8 つのトリガー候補の中から 4 つまでの候補を選択し、エンコードして Secter-Logic に送る。トリガー候補が 4 つを越える時には、R の大きい場所からのトリガー候補を優先して選択する。

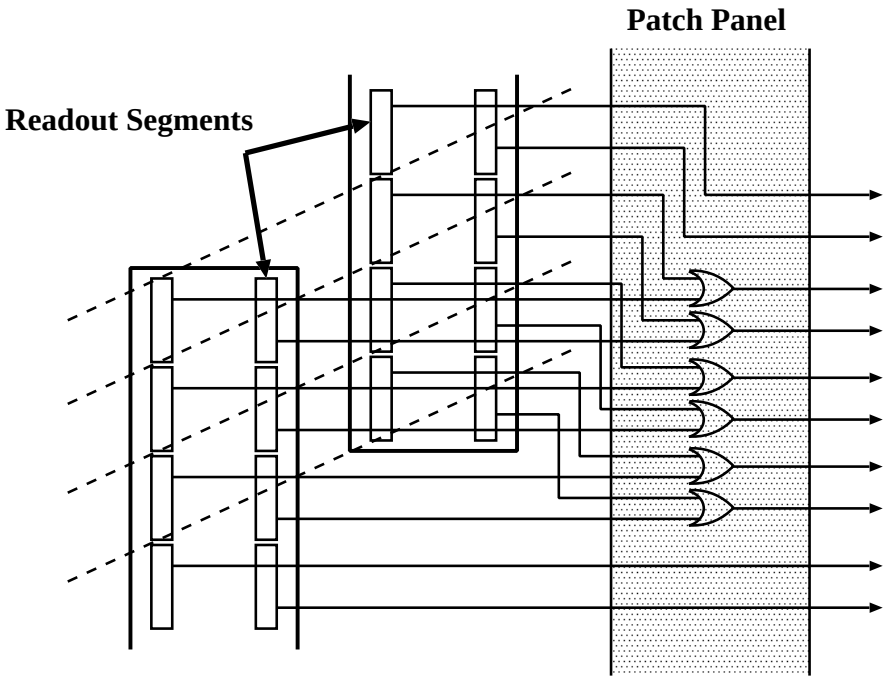

図 20: Patch-Panel の OR 回路

7.7 Sector Logic

Sector Logic には (図 25) R-ϕ コインシデンス、Track-Pre-Selector、Track-Selector から成る。これまで R 方向 ϕ 方向別々に扱われていた情報が、ここで初めて統合され完全な p_T の情報となる。

High-p_T Board からの R、ϕ の情報はデコードされた後、R-ϕ コインシデンスによって high-p_T を 3 段階、low-p_T を 3 段階、合計 6 段階のレベルに分けられる。

Track-Pre-Selector では R-ϕ コインシデンスの結果を基に、pivot TGC 毎に p_T の高い方から 2 つの候補を選択し、領域の情報 (RoI : Region of Interest) と 6 段階の p_T の情報を Track-Selector に送る。Track-Selector では、Track-Pre-Selector からの入力全ての中から最も高い p_T を持つ候補を 2 つ選び、MUCTPI に送る。

7.8 LVL1 Buffer、Derandomizer

全ての Slave Board と High-p_T Board は LVL1 トリガー判定に関する機能以外に、データ読み出しの機能を備えている。読み出しには、図 17、21、23 にあるように、LVL1 Buffer、Derandomizer を用いて行なう。

LVL1 Buffer は 40MHz で動作する深さ 2.5μs のパイプ・ライン構造をしており、TGC からの信号は全て蓄えられる。LVL1 Buffer 中のデータは、L1A が来た時に限り FE_BCID、FE_L1ID と共に Derandomizer へ読み出される。FE_BCID はバンチ・カウンターの値で FE_L1A は L1A のカウンターの値である。Derandomizer では、位置情報を付化して読みだし用上位モジュールへ出力する。

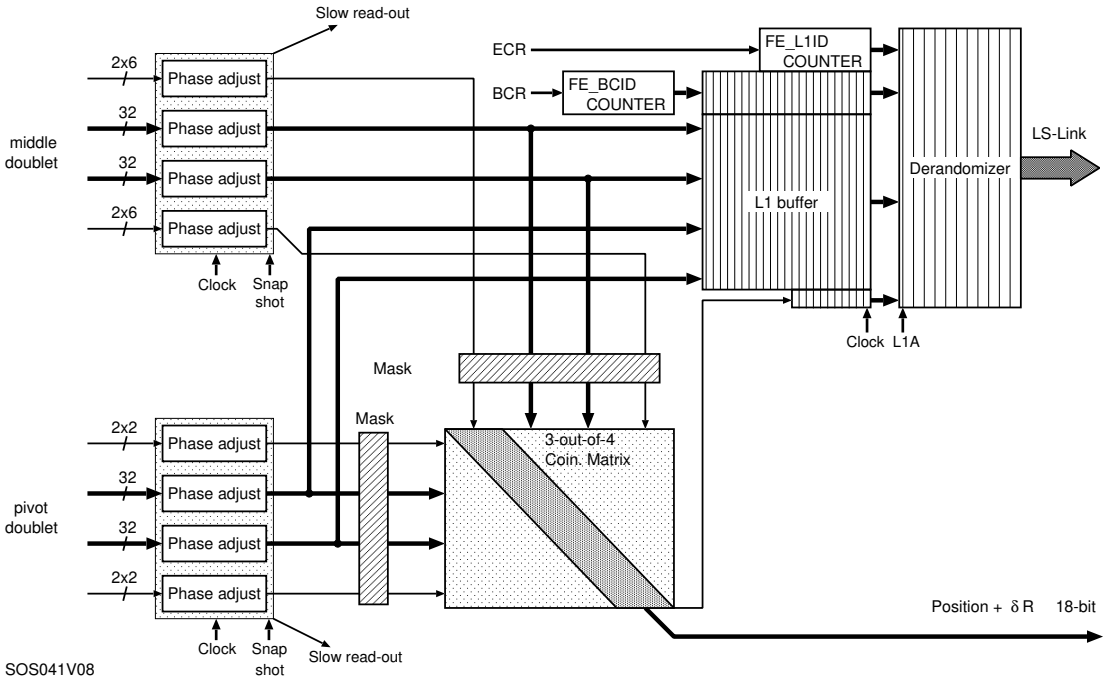

図 21: ワイヤー dublet 用 Slave Board のブロックダイアグラム

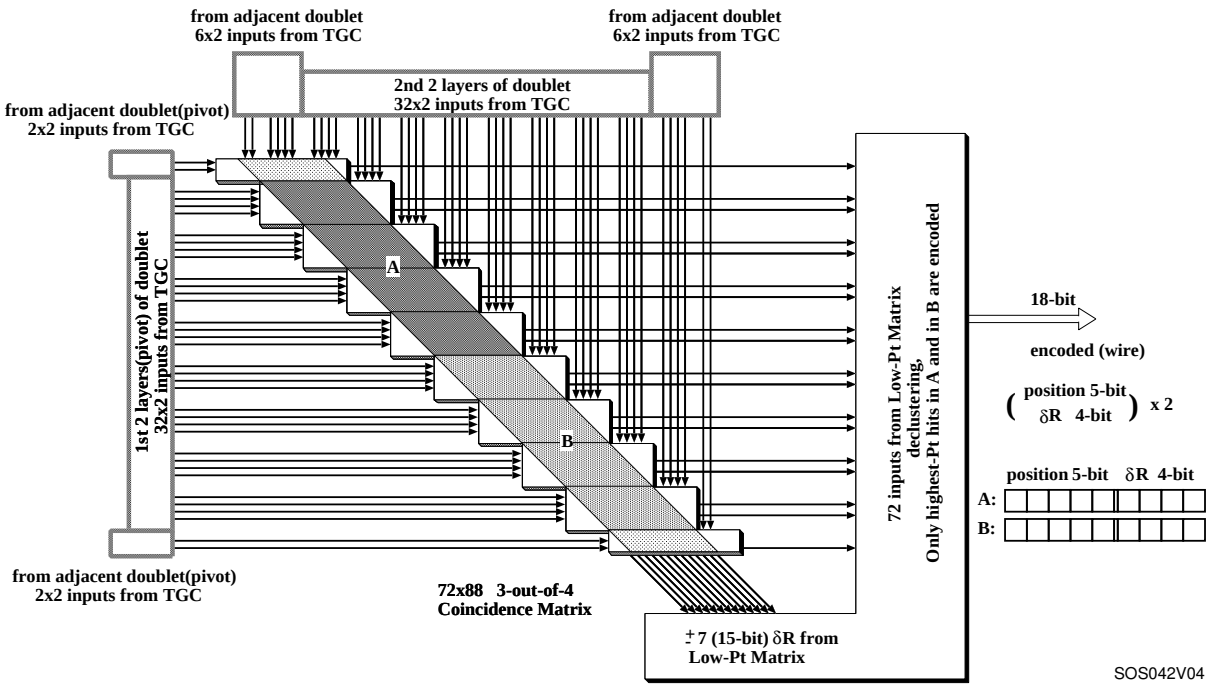

図 22: ワイヤー dublet 用 Slave Board マトリックス

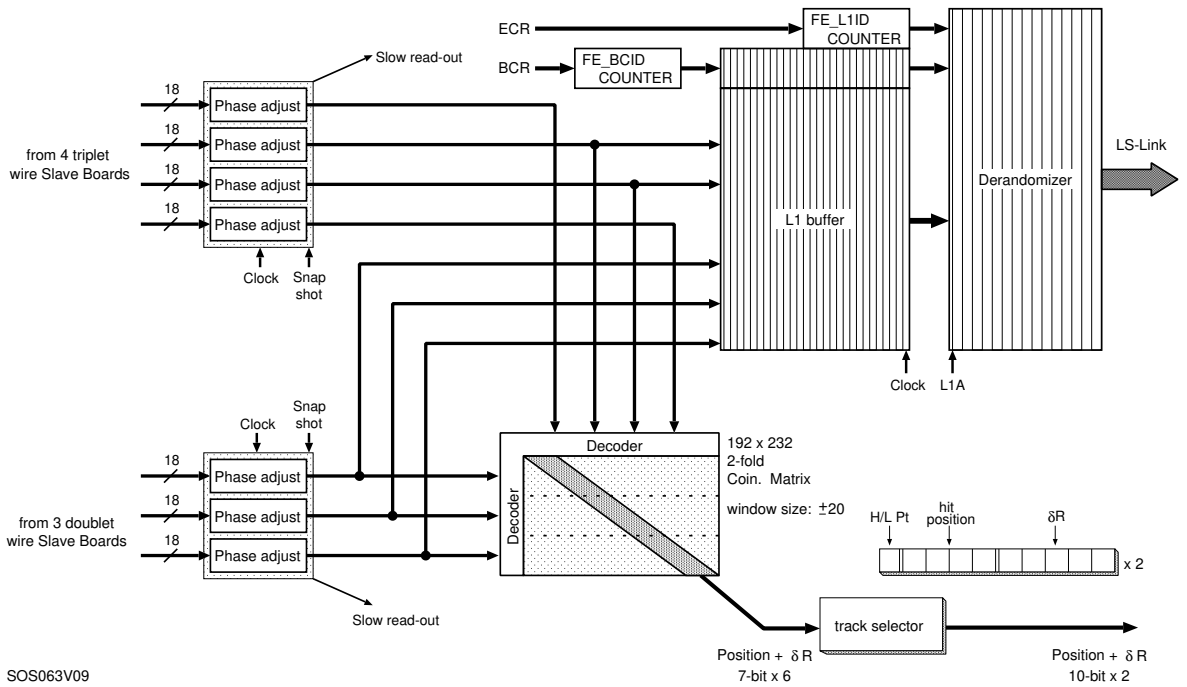

図 23: High-p_T ボードのブロックダイアグラム

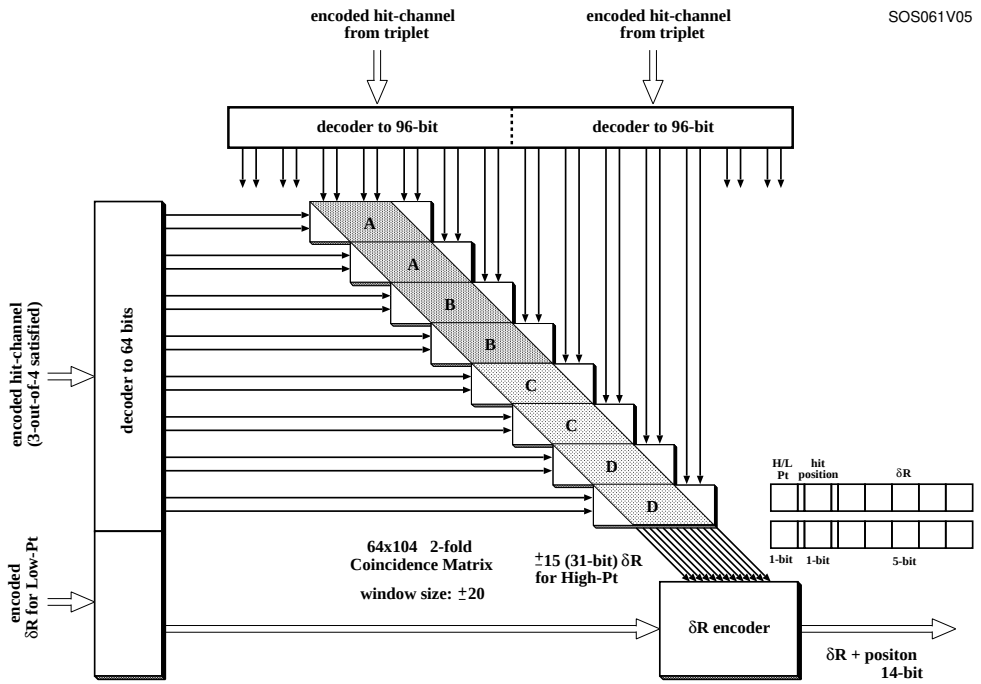

図 24: High-p_T マトリックス

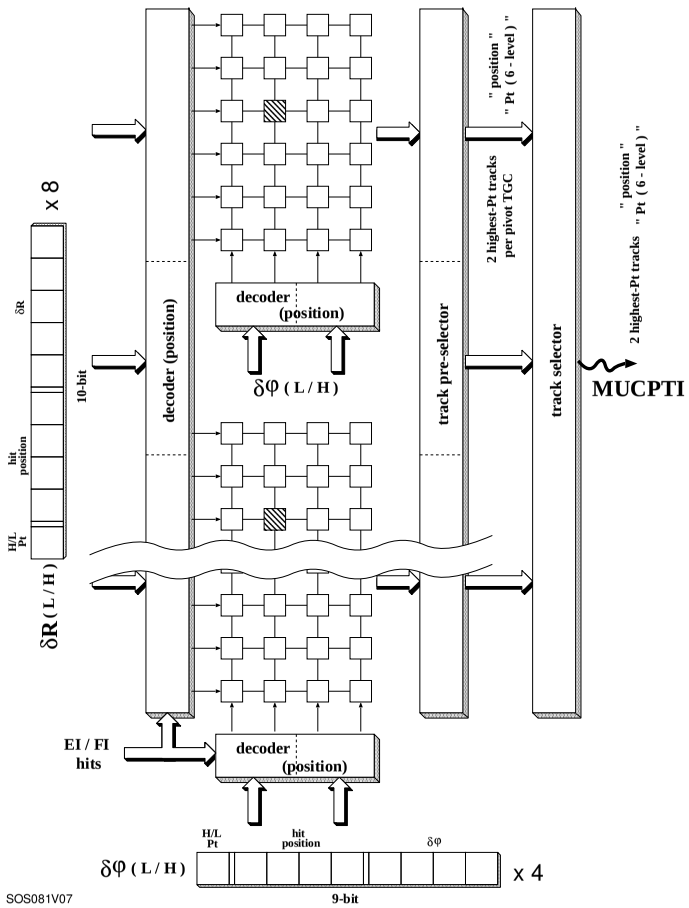

図 25: Secter Logic のブロックダイアグラム

8　前後方部ミューオン・トリガー・システムのタイミング調整

ミューオンの TOF、TGC のタイム・ジッター、配線遅延が原因で、信号遅延時間がチャンネルごとに異なる。トリガー候補を選別するには同一バンチからの信号を用いる必要があるので、各トリガー・ロジックには同一バンチからの信号が正しいタイミングで到着していなくてはならない。そのため各エレクトロニクス上には、システムのタイミング調整を正確に行なうための手段を用意しておかなければならない。

バンチ識別を正しく行なうためには、信号到着時間差の影響を受けないようにしなくてはならない。そのため Patch-Panel では、信号到着時刻のずれがバンチ識別の誤りを起こさぬようにサブナノ精度の遅延回路を用いてタイミングを調整行なう。Patch-Panel において、正しいバンチ識別が行なえると、それ以降の回路はデジタル処理のみを扱うので、半クロック精度のタイミング調整で適切に処理できる。半クロック精度のタイミング調整を要求する理由は、TGC 信号と LHC クロックのエッジが重なるような場合に対処できるようにするためである。

- Patch-Panel でのタイミング調整
  ASD でデジタル化された信号は、Patch-Panel のバンチ識別回路でバンチ化される。信号が Patch-Panel に到達するまでに要する時間は、チャンネルごとに異なる。この違いは、
  1. ミューオンの TOF (Time Of Flight) の違い
  2. ミューオンの TGC への入射位置と角度の違いに起因する TGC 信号のタイム・ジッター
  3. ASD から Patch-Panel までの配線遅延の違い

  の原因により起こる。原因 1 による遅延時間は、読み出す測定器の位置が分かればほぼ正確な時間が分かる。原因 2 による遅延時間は、エレクトロニクスの配置される位置と配線長が分かれば、これも正確に分かる。問題となるのは原因 3 である。TGC のタイム・ジッターは $0 \sim 25$ns の範囲をとりうるので、クロックと信号のタイミングによっては、正しくバンチ識別されないことが起こりうる。従って、バンチ識別を行なう際には、クロックと信号のタイミングを調整しなければならない。これを行なうために、Patch-Panel ではクロックと信号のタイミングを 1ns 以下の精度でタイミングを合わせることを行なう。具体的には、$0 \sim 25$ns の範囲で設定可能なサブナノ精度の遅延回路を用意してクロックを遅らせることにより、信号とクロックのタイミングを調整する。

  図 26 を用いて、正しいバンチ識別のためには遅延回路が必要であることを説明する。同一チャンネルであっても、CASE1、CASE2 のように信号の到着時間に差ができうる。この原因は、TGC のタイム・ジッターである。図 26 では、タイム・ジッターが 0ns と 23ns の時を想定している。

  次に CASE1、CASE2 の Signal が、どのようにバンチ識別されるか考えてみる。

  - 遅延回路がない場合 (左)
    CASE1 と CASE2 は、異なるバンチ衝突での信号として識別されているのが分かる。CASE1 と CASE2 ともに、同じバンチ識別を受けなくてはならないので、遅延回路がない方法には不備があるのが分かる。
  - 遅延回路がある場合 (右)
    遅延回路を用いてクロックの位相を (2) のように遅らせる。この遅延がかけられたクロックを用いてバンチ識別を行なうと、CASE1 と CASE2 ともに同じバンチ衝突での信号として識別されているのが分かる。つまり、遅延回路を含む回路では、正しくバンチ識別が行なわれている。

  このように、正しいバンチ識別のためには、サブナノ精度の遅延回路が必要であることが分かる。

- Slave Board でのタイミング調整
  Patch-Panel でバンチ化された信号は、Slave Board へ送られる。Slave Board では信号の low-Pt トリガー判定のためにコインシデンスをとる。そのために、Slave Board の入口では Patch-Panel から送

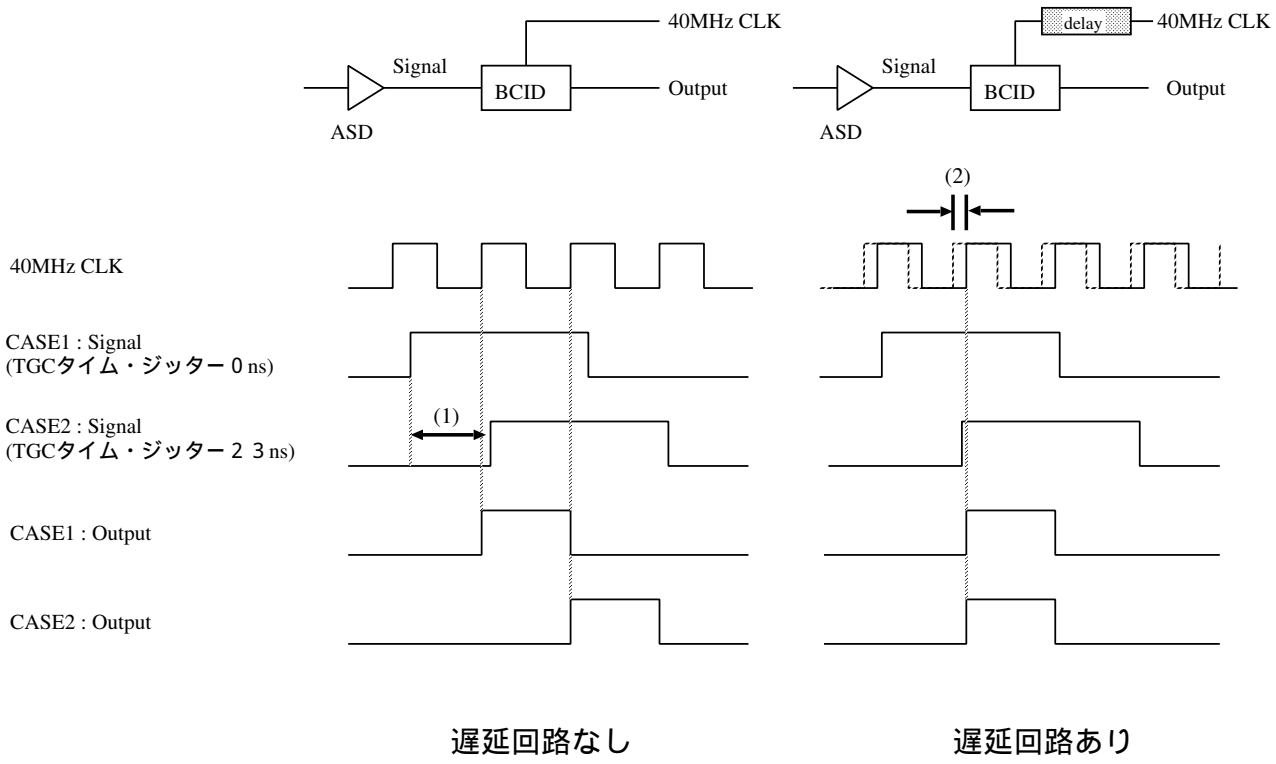

図 26: 遅延回路の有無によるバンチ識別の違い

られてきた信号のタイミングを合わせる。信号は Patch-Panel 上でバンチ化されているために、Slave Board でのタイミング処理に要する精度は半クロックでよい。

- High-p_T Board、Sector Logic Board でのタイミング調整
  High-p_T Board と Sector Logic Board でのタイミング処理は、Slave Board と同じ理由で半クロック単位の遅延回路を設ければよい。

第 II 部
Patch-Panel 用 ASIC の設計

9　PS-pack の構成

ASD からのは信号は、PS-pack (図 27) に送られる。PS-pack は、図 27 にあるように、前後方部の TGC 表面に配置される。PS-pack は、sub-PS-pack と Service-Patch-Panel から構成される。sub-PS-pack は一つの Patch-Panel と 2 つの Slave Board から構成される。Patch-Panel では ASD から来る信号のタイミング処理を行ない Slave Board へ送る。Slave Board では low-Pt のトリガー判定と読み出しを行なう。Service-Patch-Panel は TTC や DCS からの制御信号インターフェイスを備え、sub-PS-pack にこれらを配信する。TTC からは、LHC クロックやそれに同期した信号を受ける。DCS 信号はエレクトロニクスの制御信号やモニターに関するデータの送受信を行なう。Slave Board の大きさは 6U-VME Board の大きさである。

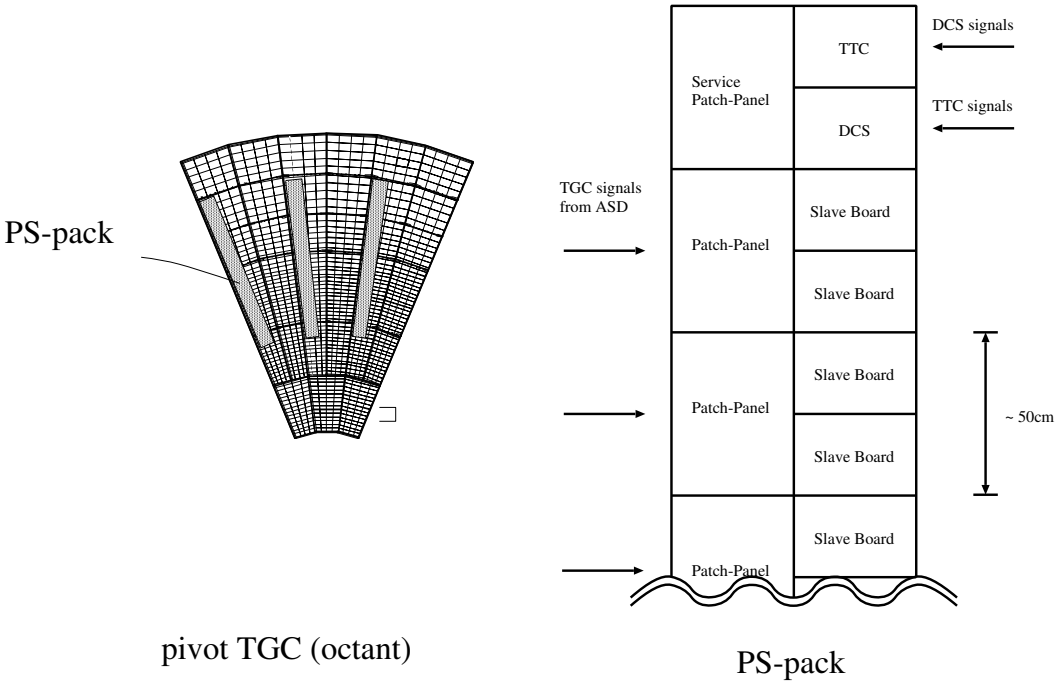

図 27: PS-pack の構造

10　Patch-Panel 用 ASIC の概要

Patch-Panel 上では、バンチ識別、ASD へのテスト・パルスの供給、ASD 電源のモニター、TTC 信号の分配、ASD と Slave Board への電源、グラウンドの供給を行なう。Patch-Panel ASIC (図 28) では、これらの機能のうち Patch-Panel で行なわれる主な機能を受け持つ。その機能は次の 4 点である。

1. 信号のタイミング調整とバンチ識別
   ASD からの LVDS レベル信号を LVDS レシーバで受け、TTL レベルに変換し BCID 回路 (Bunch-crossing identification) に送る。LVDS 規格は低電力差動型インターフェイス規格であり、入力側と出力側のグラウンド電位の違いに影響を受けにくいという特徴がある。LVDS 規格については後で詳しく説明する。BCID 回路では後段のデジタル処理が正しく行なわれるように、信号のタイミング調整とバンチ識別を行ない、1 クロック幅の矩形波として出力する。タイミング調整は、サブナノ精度の遅延処理を行なことにより実現する。これには、DLL 回路 (Delay Locked Loop) を用いる。DLL 回路については、後で詳しく説明する。
2. ASD へのテスト・パルス信号の出力
   TTL レベルの外部トリガーを受け、ASD へテストパルスを供給する。テストパルスは、出力タイミングと出力電圧値を設定することができる。出力タイミングを決める回路は、25ns のコースディレイ回路と DLL (Delay Locked Loop) 回路を用いたサブナノ精度の可変ディレイ回路の二つから構成されている。出力電圧値は 4 段階可変出力である。
3. ASD 電源のモニター
   ASD へは Patch-Panel 上を経由してアナログ電源とグラウンドが供給される。電源ラインには ASD 保護のためにヒューズが取り付けられる。Patch-Panel ASIC はこのヒューズのオン・オフモニターを行なう。
4. 可変遅延クロックの出力
   サブナノセカンド精度の可変ディレイをかけて 40MHz クロックを出力する。サブナノ精度の遅延は、DLL 回路を用いて作られる。遅延クロックの出力を備える理由は、DLL 回路の性能評価を行なうためである。

ASIC の制御には、JTAG プロトコルを用いる。JTAG は半導体デバイス内に本来の機能とは別に、そのデバイスのテストのために組み込むテスト用回路のことである。JTAG によるテストは、あらかじめ内部に組み込まれている JTAG レジスタにテストパターンを書き込むことにより行なう。この方法はデバイスのテスト以外の用途にも使うことが可能であるので、Patch-Panel ASIC のパラメータ設定に用いる。

JTAG の使用することによる利点は、JTAG は 4 本の信号線で動作するので、TGC のように読み出し総チャンネル数の多いエレクトロニクスの制御が行ないやすい。また、複数の IC をシリアルに繋ぎ制御することが出来るので、さらに効率的な使い方が可能である。

JTAG 信号は Slave Board を経由して配信され、各種パラメータの設定や確認を行なう。具体的にはサブナノ精度可変遅延の設定、テストパルスのタイミングと電圧値の設定、ASD 電源のモニターを行なう。

Patch-Panel は放射線にさらされる環境にあり、ある確率で SEU(Single Event Upset) と呼ばれる放射線によるレジスタのビット反転が起こる可能性がある。SEU は必然的に起こってしまうので、SEU の有無をモニターし、起こった場合にはレジスタ値を修正することが必要である。しかしながら、ASIC 内にあるレジスタを常時監視するのは、Patch-Panel が TGC 上に設置されていることを考えると非常に困難である。そのため、パラメータ設定用レジスタには自己修復機能を持たせて対処するようにした。

ASIC の電源電圧は 3.3 V である。ASIC の扱うことのできる ASD 信号の数は、16 チャンネルである。

次に ASIC の主要回路について説明していく。

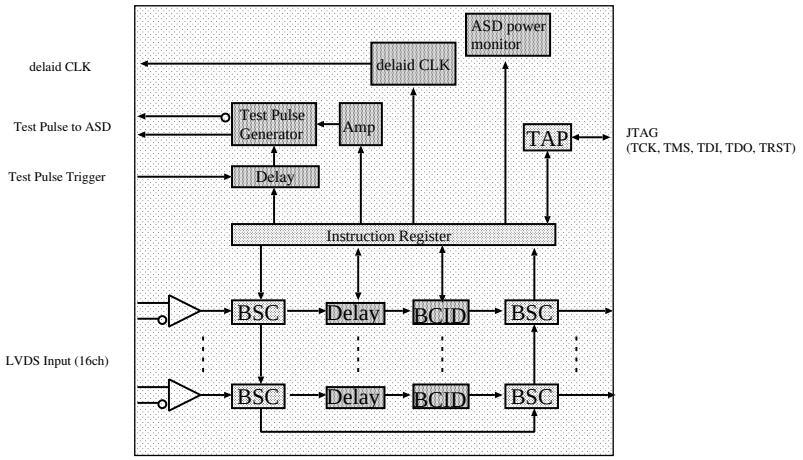

図 28: Patch-Panel ASIC の機能

- LVDS レシーバ
  ASD から LVDS レベルの信号を受け、TTL レベルに変換する。レシーバ機能は LVDS 規格に従う。LVDS の説明は、LVDS レシーバの設計のところで行なう。終端抵抗は、外付けとする。

- DLL 回路
  Patch-Panel ASIC に用いるサブナノ精度の可変遅延回路は DLL (Delay Locked Loop) 回路を用いて実現する。概念図を図 29 に示す。入力された 40MHz クロック (REF_CLK) は二又に分けられる。一方は直接位相検出器に入り、もう一方は 32 段の遅延回路を通った後に位相検出器にはいる。遅延回路での遅延時間は、回路に与えられる電圧 VCON により決まる。VCON の値が大きいほど、遅延時間は小さくなる。

  位相検出器では 2 つのクロックの位相を検出して、互いの位相が揃う方向に VCON を調節する。DLL_CLK と REF_CLK の位相がそろっている時には、VCON は一定となる。もし、DLL_CLK が REF_CLK に対し遅れ位相となっている時には、VCON の値は大きくなり、DLL_CLK を REF_CLK に対して進ませる方向に働く。逆に DLL_CLK が REF_CLK に対し進み位相となっている時には、VCON は小さくなり、DLL_CLK を REF_CLK に対して遅らせる方向に働く。

  このように、遅延回路と位相検出器の間でフィードバック付き基準回路を構成し、25ns の遅延を正確に作ることができる。サブナノ精度の遅延信号を得るには、出力専用の遅延回路を用意する。位相検出器からの VCON を出力専用の遅延回路に入力し、32 段の遅延回路のどこから出力を取り出すかにより、780ps ($= 25\text{ns}/32$) 単位の遅延を得ることが可能となる。

- BCID 回路
  ASD からの信号を、40MHz の LHC クロックに同期させるために BCID 回路 (図 30) を用いる。BCID 回路では、信号の立ち上がりを検知して 1 クロック分のデジタル・パルスに変換する。

  BCID 回路には DLL を用いた 2 つの可変遅延回路がある。一つは、タイミング調整に用い、もう一つはエフェクティブなゲート幅を変えるために用いる。図 30 中の DLL(1) は、40MHz の LHC クロックと ASD からの信号のうちで到着時間の最も早い信号の立ち上の位相を揃えるために用いる。この位相を揃えることが、正しくバンチ識別を行なうためには必須である。

  BCID 回路の上半分と下半分は同じ構造をしていて、その 2 つの回路に DLL(2) を用いて相対的に位相をずらしたクロックを与えている。異なる位相で動くこの 2 つの回路の出力の OR をとることによ

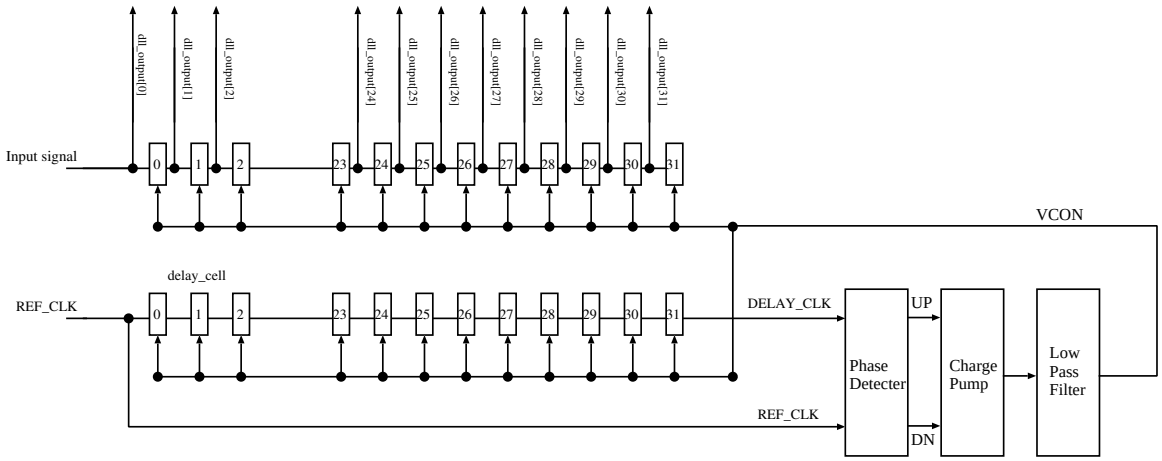

図 29: DLL 回路の概念図

り、エフェクティブにゲートを作り出している。エフェクティブなゲート幅は、DLL(2) を調整することにより 25n∼50ns の範囲で可変である。

DLL の遅延設定値は 16 チャンネルで共通である。ノイズの多いチャンネルをマスクできるように、BCID 回路の入力部では各々のチャンネルを独立にマスクすることが可能になっている。DLL の設定とチャンネルマスクは JTAG を用いて行なう。

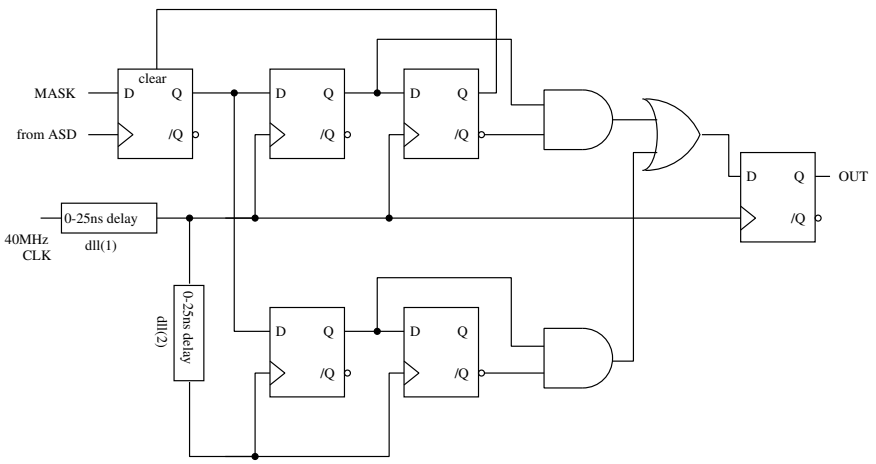

図 30: BCID 回路図

- 信号遅延回路
  タイミング調整のために、ASD からの信号を DLL を用いて遅延させる。設定値は 16 チャンネル共通で、JTAG を用いて設定する。

- テスト・パルス・ジェネレータ
  ASD へのテスト・パルス・ジェネレータを搭載する。ASIC 外部から TTL レベルのトリガー信号を受け、25ns 単位のコースディレイとサブナノ精度のファインディレイをかけて出力する。ディレイはは $0 \sim 100ns$ の範囲で設定可能である。出力電圧は、$50mV \sim 350mV$ の範囲で、4 段階設定可能で、出力パルス長は 1μs 固定である。TGC のアノード、カソード双方に対応可能なよう、極性を変える

ことができるようにする。

- 可変遅延クロック
  TTC から受けた 40MHz クロックにサブナノ精度の可変遅延をかけて出力する。遅延回路には DLL を用いる。出力はトライステートバッファを用いて出力の制御をできるようにする。

- ASD 電源のモニター
  ASD に対する $\pm 3V$ 電源は、Patch-Panel Board 上を経由し供給される。この電源ライン上のヒューズの状態をモニターする。オン・オフの状態は LVDS レシーバで受けた後、レジスタに書き込まれる。この値は JTAG で読み出すことによりモニターする。

11 設計方法

ATLAS 実験において、前後方部ミューオントリガーチェンバーの読みだし総チャンネル数は 32 万チャンネル以上に及ぶ予定である。そのため、信頼性、実装面積、実装費用、製造費用の面から考えて、Patch-Panel に要求される機能の大部分を ASIC(Application Specific Integrated Circuit)化するべきであると考えられる。この ASIC の試作を、東京大学大規模集積システム設計教育研究センター(VDEC)を通して行なった。

VDEC は大規模集積回路(VLSI) の設計教育を支援するための全国共同利用センターであり、研究、教育を目的とした ASIC の開発であれば、開発ツール及び必要なデータの提供を受けることが出来る。ただし、ディジタル回路の設計を前提にサポートが行なわれているため、アナログ回路に関しては不向きな面もある。特に、メーカで開発を行なう際には用意されるはずの ADC、DAC などの汎用ライブラリがなく、それらのレイアウトは全て自分で行なわなければならない。レイアウトとは、トランジスタレベルでの回路設計のことである。

ミューオントリガーチェンバー読み出し用エレクトロニクス開発としては、今回で 3 回目の利用となる。これまでの試作は、本格的な開発前の試験的な意味あいが強かった。しかし、限られた予算の都合などによりメーカーとの共同開発の道が困難なことから、今回から VDEC での試作は本格的な実用チップの試作を目標として行なうこととなった。

11.1 プロセス

試作に用いるプロセスは、ローム社の CMOS 0.6μm フルカスタムである。チップサイズは 9.0mm×9.0mm であり、利用可能な信号ピン数は 157 である。開発に必要なトランジスタパラメータなどのプロセスに関するデータは、HSPICE パラメータとして提供された。HSPICE パラメータは、アナログ回路シミュレーションである HSPICE シミュレーションに用いるためのパラメータである。HSPICE シミュレーションでは、トランジスタを容量成分、抵抗成分、飽和電流などのパラメータを用いてモデル化することにより、シミュレーションを行なっている。今回使用した HSPICE パラメータには、ローム社 CMOS 0.6μm プロセス固有のパラメータ値が記述されている。

11.2 設計手順

設計の流れを図 31 に示す。初めに設計手順のおおまかな流れを説明し、その後に各項目につい詳しく説明することにする。

アナログ部分は、初めに回路図をデザインし、回路図からのネットリストを用いて HSPICE シミュレーション行なう。回路図からのネットリストには、トランジスタ情報とそれらの配線情報が含まれている。希望通りの動作が得られたら回路のレイアウトを行なう。レイアウト終了後には DRC、LVS によるチェックを行なう。DRC (Design Rule Check) は, 設計規則に反していないかどうかを調べるものである。LVS (Layout vs Schematic) は、レイアウト図と回路図が回路として同一のものであるかテストするものである。2 つのチェックを行なった後、レイアウトからのネットリストを用いて、HSPICE シミュレーションを再度行なう。レイアウト図からのネットリストには、回路図からのネットリストにはない配線抵抗や配線容量などの情報が含まれているので、より実際的なシミュレーションを行なうことができる。これらの作業が終った後、この回路をライブラリーとして登録する。ライブラリー登録を行なうことにより、配置配線の段階でライブラリーを呼び出せば、CAD による自動配置配線が可能になる。

アナログ回路以外は、HDL (Hardware Description Language) を用いて論理記述を行ない実現した。HDL 設計の動作検証は、HDL 記述と論理シミュレーションを繰り返すことにより行なう。アナログ部分の回路は、先に登録しておいたライブラリーから呼び出すことにより HDL コード内に組み込む。

HDL が完成したらロームのライブラリーを用いて論理合成を行なう。論理合成とは、HDL により抽象的に書かれていた論理記述を、実際のゲートを用いた論理に置き換える作業である。

最後に配置配線を行なう。配置配線とは、論理合成で得られたゲート論理をシリコンウエハー上に実現されるマスクパターンにする作業である。

設計の流れをインバーターを例にとり表すと図 32 のようになる。これまで大雑把に説明した設計方法について、段階ごとにもう少し詳しく説明していく。

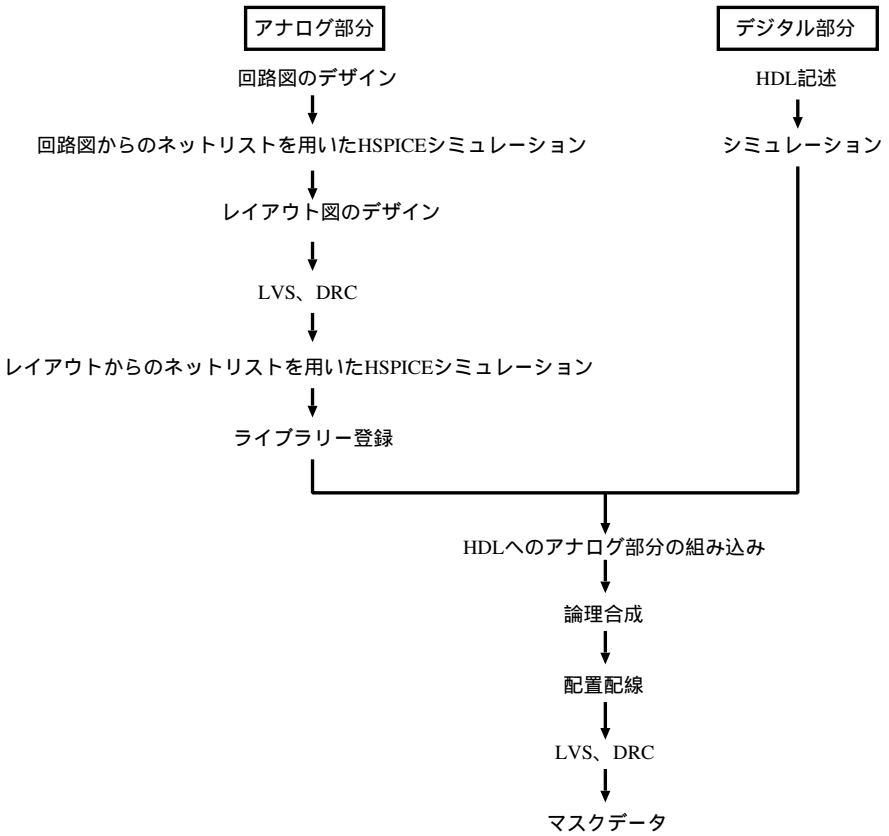

図 31: ASIC 設計の流れ

1. HSPICE シミュレーション

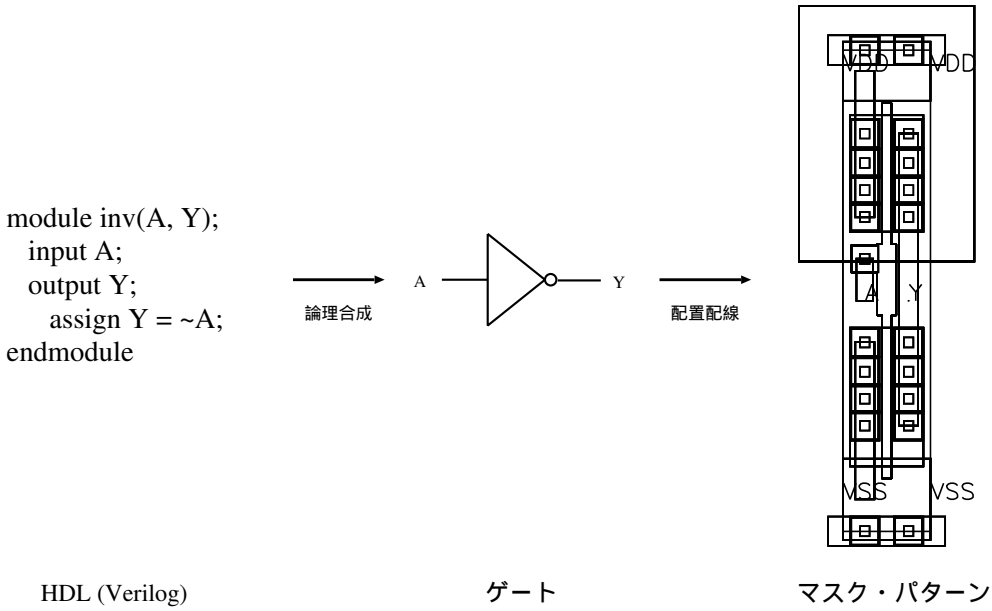

図 32: 設計工程の概念図

HSPICE シミュレーションは、アナログ回路・シミュレーションである。シミュレーションには回路のネット・リストを用いて行なう。ネットリストとは、トランジスタの大きさの情報や、配線情報などが記述されているものである。ネット・リストには、回路図から抽出したものと、レイアウト図から抽出したものがある。回路図から抽出したものには、トランジスタに関する情報のみが含まれている。それに対し、レイアウト図からのネットリストには配線容量などの配線に関する情報が含まれているので、より正確なシミュレーションを行なうことができる。

HSPICE シミュレーションで設定できる主なパラメータは、入力波形、温度、電源電圧、トランジスタの速さである。トランジスタの速さは IC の製造プロセスのばらつきによる影響を考慮してのものである。製造プロセスのばらつきにより、PMOS、NMOS の各トランジスタの電圧電流特性の違いが現れる。

2. レイアウト

ライブラリとして存在しないアナログ回路はレイアウトを行う。レイアウトとはトランジスタレベルでの回路設計のことである。

レイアウトにおいて、CMOS 回路の性能を決めるのはトランジスタの L と W の値である (図 33)。L は CMOS トランジスタのゲート長、W はゲート幅をさす。一般に L が大きくなるとソース・ドレイン間に電流は流れにくくなり、W が大きくなるとソース・ドレイン間に電流は流やすくなる。また、L×W の値が大きくなると、ゲートの入力容量が大きくなる。今回行なったレイアウトでは、L は 0.6μm で固定し、W のみを変えてレイアウトを行なった。レイアウト後、HSPICE シミュレーションを行ない動作が確認できたら、配置配線用のライブラリーとして登録する。

今回の試作では、次の回路のレイアウトを行なった。DLL 回路の構成要素である遅延セルとチャージ・ポンプとロー・パス・フィルタ。他に、テスト・パルス・ジェネレータ、LVDS レシーバのレイアウトを行なった。これらの回路のレイアウトと HSPICE シミュレーションについては、アナログ回路の設計のところで詳しく説明する。

3. HDL 記述

近年の LSI の規模は非常に大規模になっている。そのため、ゲートを一つ一つ結線するという手法は困難になってきている。そこで、実現する回路の機能のみを抽象的に記述し設計するのを可能にするのが、HDL (Hardware Discription Languadge) である。HDL では具体的な回路を知る必要はなく、そ

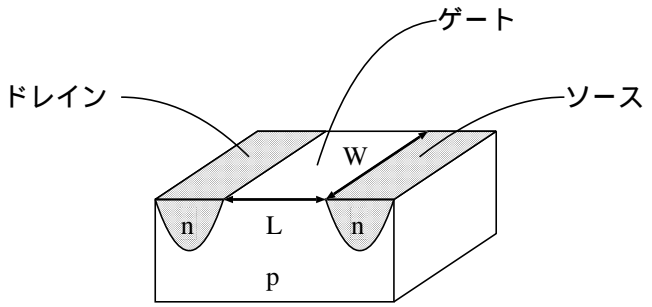

図 33: CMOS トランジスタの構造 (NMOS)

の機能をプログラミングすればよい。ただし、HDL 記述は抽象度が高いため、たとえ記述できたとしても回路として実現できるとは限らない。このようなことがないよう、HDL 記述では若干のテクニックが必要とされる。プログラミング終了後、CAD を用いて HDL の抽象的な論理を、ゲートを用いた論理に置き換える作業をすることにより、現実の回路となる。Patch-Panel ASIC では、HDL として Verilog を用いた。

4. 論理合成
   HDL で書かれた抽象的な論理を具体的なゲート論理に構成し直すのが論理合成である。論理合成では論理だけではなく、遅延時間や周波数特性に対する制限を加えることができる。
5. 配置配線
   配置配線は、論理合成により得られたゲート論理を用いて、IC のマスクパターンを作る工程である。今回の試作では、電源ライン、グラウンドライン、回路の集積度などの設定のみを行ない、細かな配置配線は CAD による自動配置配線を用いた。

12 アナログ回路の設計

DLL、LVDS レシーバ、テスト・パルス・ジェネレータの 3 種類のアナログ回路の設計を行なった。ここでは、これら 3 種類のアナログ回路の設計について説明する。設計は、回路図のデザイン、HSPICE シミュレーション、回路のレイアウトの工程からなっている。

12.1 DLL の設計

図 29 のような回路構成で動作する DLL の設計を行なった。DLL は遅延セル、位相検出器、チャージ・ポンプ、ロー・パス・フィルタから構成される。位相検出器のみ HDL を用いて実現し、その他についてはレイアウトを行なった。

12.1.1 遅延セル

遅延セルは遅延時間電圧制御インバータを直列に 2 つ並べたものである。遅延セルは、図 34 のような回路で実現した。この回路をレイアウトしたものが図 35 である。基本的には 2 つのインバーターをつなげたバッファーの構造をしていて、各々のインバータは 3 つのトランジスタ (P0, N0, N1) (P2, N3, N2) により構成されている。遅延セルは VCON の電圧値を変えることにより、信号の伝搬遅延時間を調節することが可能である。VCON の値を上げると、インバータに流れることのでできる電流量が多くなり、遅延時間は小さくなる。逆に VCON の値を下げると、インバータに流れることのでできる電流量は少なくなり、遅延時間は大きくなる。

遅延セルにより遅延がかけられた信号は、出力用のインバーター (P44, N55) を通して出力される。信号の出力部分にのみインバーターをつなげると、複数の遅延セルを並べた時に波形のデューティーが崩れるので、信号を出力することのない遅延インバーター間にも出力用インバーターと同じものをはさんでいる (P45, N56)。

遅延用インバーター間にあるトランジスタ (P47, N58) (P46, N57) は負荷の働きをし、信号の遅延時間を調節するために用いている。同様にトランジスタ (P40, N51) (P42, N53) は、VCON を安定させるためのローパスフィルタの働きをしている。

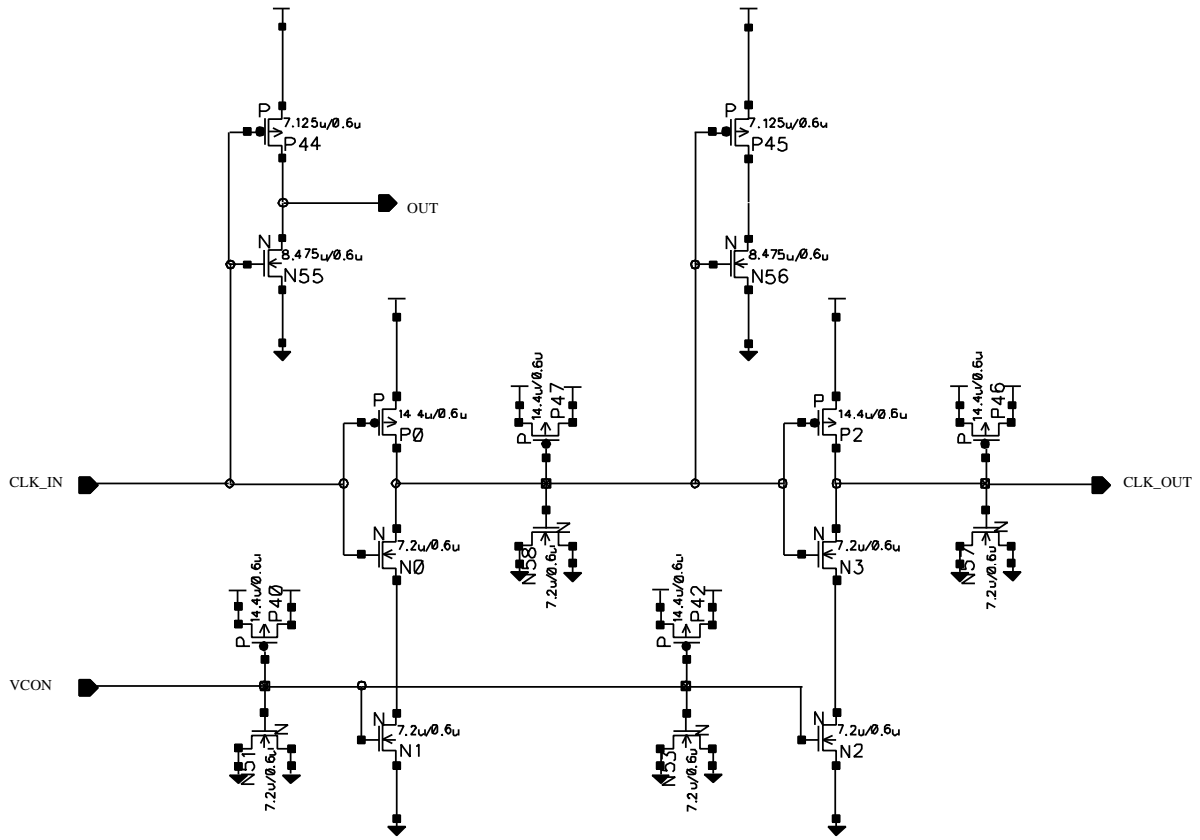

図 34: Delay Cell の回路図

DLL は遅延セルを 32 段つなげて全体として 25ns の遅延を作り、遅延セルの各段から出力を得ることで 780ps (= 25ns/32) 刻の遅延を得ることができる。そのため、VCON の出力範囲 (0V∼3.3V) において 32 段の遅延セルから 25ns の遅延が得られるかを見るために、HSPICE シミュレーションを行なった。シミュレーションには、遅延セルを 32 段繋げた遅延回路のレイアウト図からのネットリストを用いた。

シミュレーションは次のようなパラメータ設定で行なった。32 段遅延回路へは 40MHz のクロックを入力し、この時 VCON を 0V から 3.3V まで 0.1V 刻で動かし、各 VCON での信号遅延時間をみた。温度は 25°C で行なった。製造プロセスのばらつきにもにも対応できることを確かめるために、トランジスタの早さを 3 通りの組合せで行なった。(PMOS,NMOS) = (FAST, FAST) (TYPICAL, TYPICAL) (SLOW, SLOW) の組合せで与えた。

結果は図 36 のようになった。図 36 から分かるように、製造プロセスのばらつきによらず VCON=1∼2V の範囲で 25ns の遅延を作ることできることが分かる。

実際に AISC が使用される時には、電源電圧の降下や温度環境の影響が予想される。DLL は、これらの環境全てにおいて動作しなくてはならない。このことを確認するために電源電圧降下と温度変化のもとで、遅

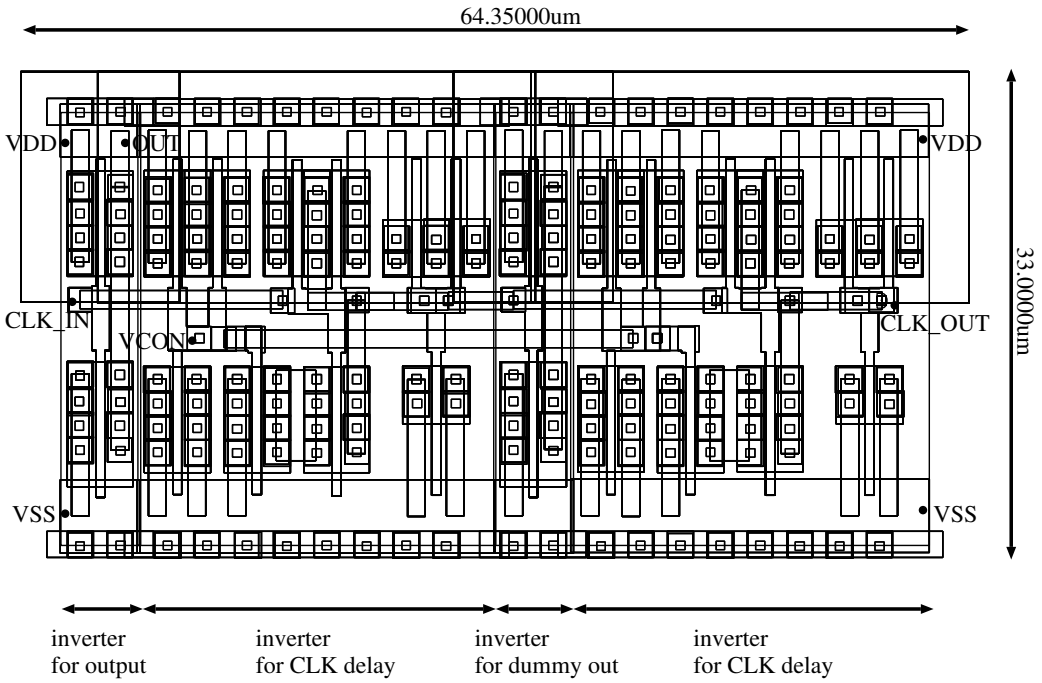

図 35: Delay Cell のレイアウト図

延セル 32 段で 25ns 程度の遅延が得られるかシミュレーションを行なった。一般にトランジスタの動作速度は温度上昇と電源電圧降下に伴って遅くなる。図 36 から分かるように、温度上昇と電源電圧降下が起こった時に遅延セル 32 段で 25ns の遅延を得るのが最も難しくなるのは、トランジスタの速さが (PMOS,NMOS) = (SLOW, SLOW) の時である。よってこの場合についてシミュレーションを行なった。入力は 40MHz の矩形波とし、温度は 0°C、25°C、50°C、75°C と変えて行なった。

結果を図 37 に示す。こののの結果から分かるように、温度が 75°C の時でも、32 段の遅延時間は 25ns に合わせることができる。しかし、VCON=3V 付近で遅延時間はかろうじて 25ns を切る状態であることが分かる。もし何らかの原因で、VCON=3.3V で 32 段の遅延時間が 25ns を越えてしまうような時にでも対応できるように、DLL を ASIC に組み込む際には遅延セルの段数を 32 から 26 段まで可変にできるよう設計した。このことについては、この節の後半部分で説明する。

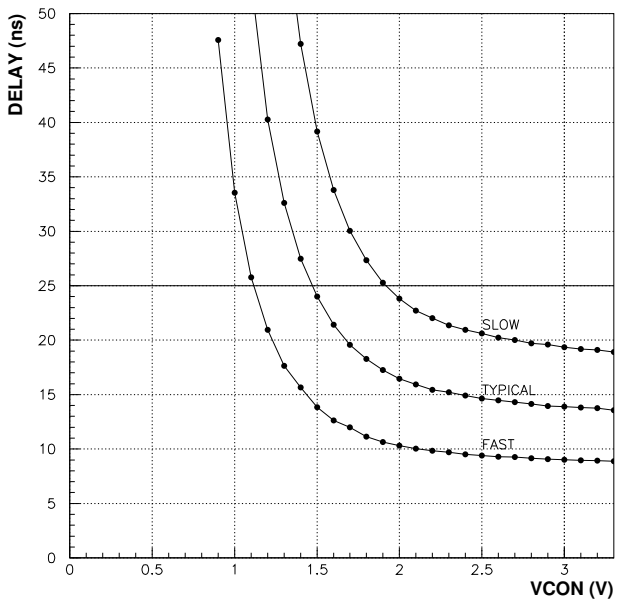

図 36: VCON に対する 32 段遅延回路の信号遅延時間。(PMOS,NMOS) = (FAST, FAST) (TYPICAL, TYPICAL) (SLOW, SLOW)

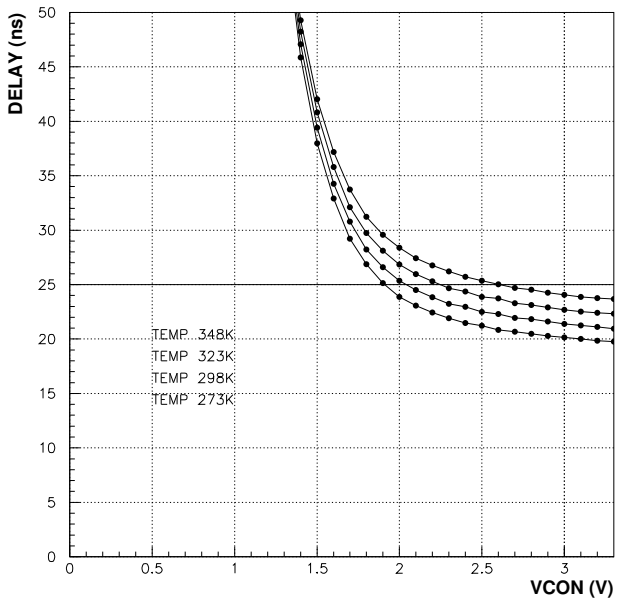

図 37: 温度を変えた時の 32 段ディレイセルの信号遅延時間。(PMOS,NMOS) = (SLOW, SLOW)

12.1.2 位相検出器 (Phase Detecter)

位相検出器 (図 38) は、REF_CLK と DLL_CLK の位相差により、UP、DN 信号を出力する。具体的には次の図 39 に示すような値をとる。ENP、ENV は位相検出器の初期設定に用いる制御信号である。

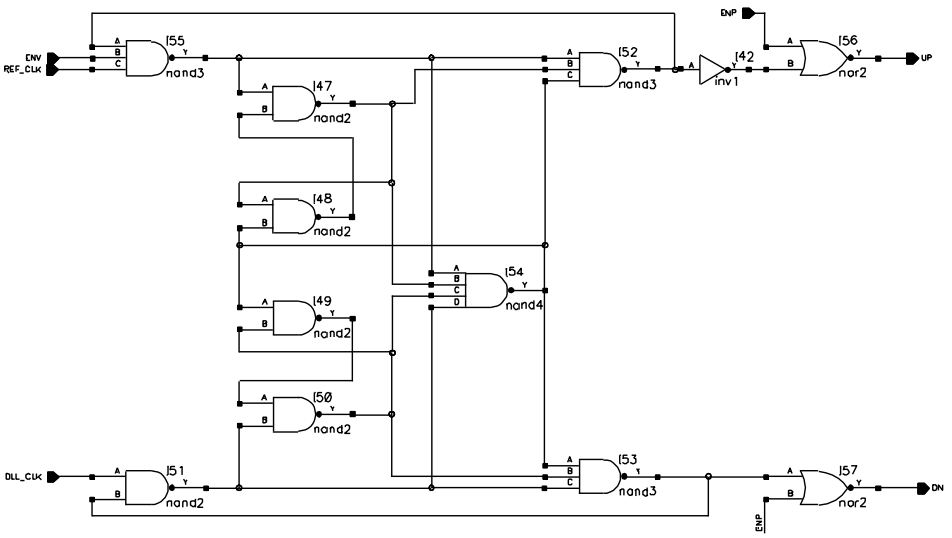

図 38: 位相検出器の回路図

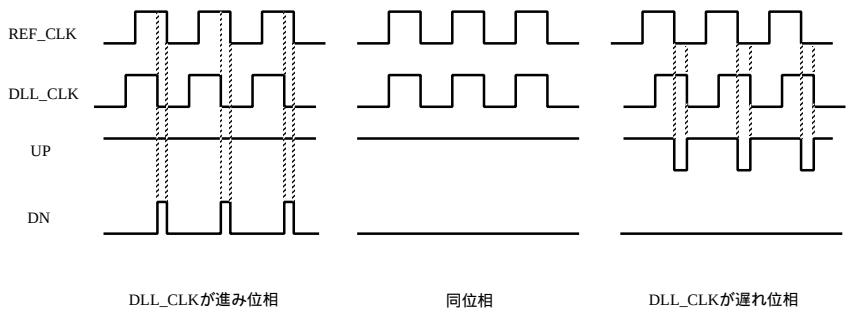

図 39: 位相検出器の UP、DN 信号の動き

表 3: REF_CLK と DLL_CLK の位相差による UP、DN の値

REF_CLK に対する DLL_CLK の状態	UP	DN
同位相	H	L
遅れ位相	L	L
進み位相	H	H

電源入力時において、位相検出器内の各ゲートが保時している値は不定である。そのため、DLL の初期条件が一意とならないので、DLL 全体が必ずしも正確に動作する保証がない。このことに対処するために、ENP、ENV という制御信号を備えさせ、DLL の初期条件が一意となるようにした。ENP、ENV は図 40 のようなタイミングで制御する。このように制御することにより、UP、DN 信号の値は 300ns までは、DLL_CLK が進み位相の状態であるのと同じ出力値をとる。ENP、ENV を用いれば、DLL_CLK は必ず進

み位相の状態から始まるので、初期状態が一意に決まる。
　位相検出器は全てデジタル回路で構成されるので、HDL で実現した。

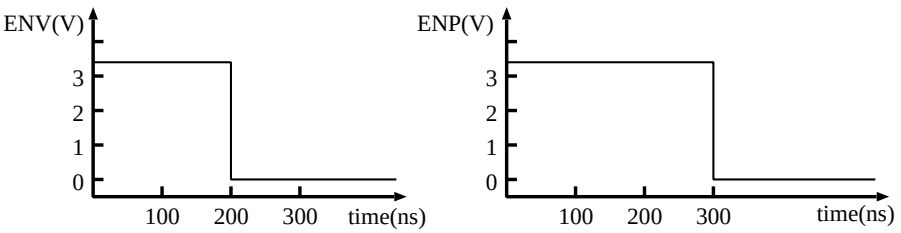

図 40: ENP、ENV の制御タイミング図

12.1.3　チャージポンプ

チャージポンプ (図 41、図 42) は、位相検出器から UP、DN 信号を受けて VCON を出力する。VCON の電圧値は、DLL_CLK が REF_CLK に対して進み位相の時には下がる方向に、遅れ位相の時には上がる方向に動く。ENC 信号は、チャージポンプの機能をオフにするための保護回路用制御線である。

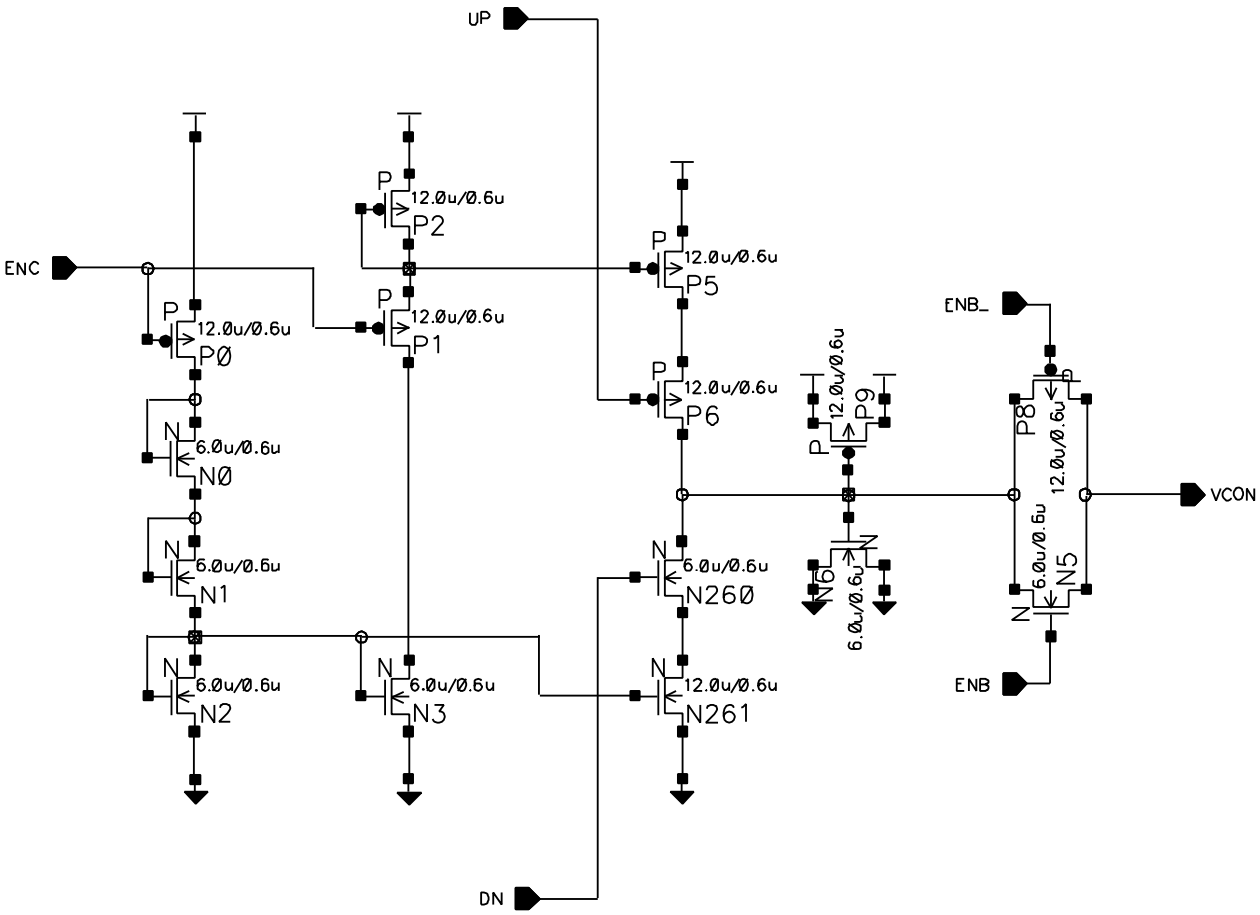

図 41: チャージポンプの回路図

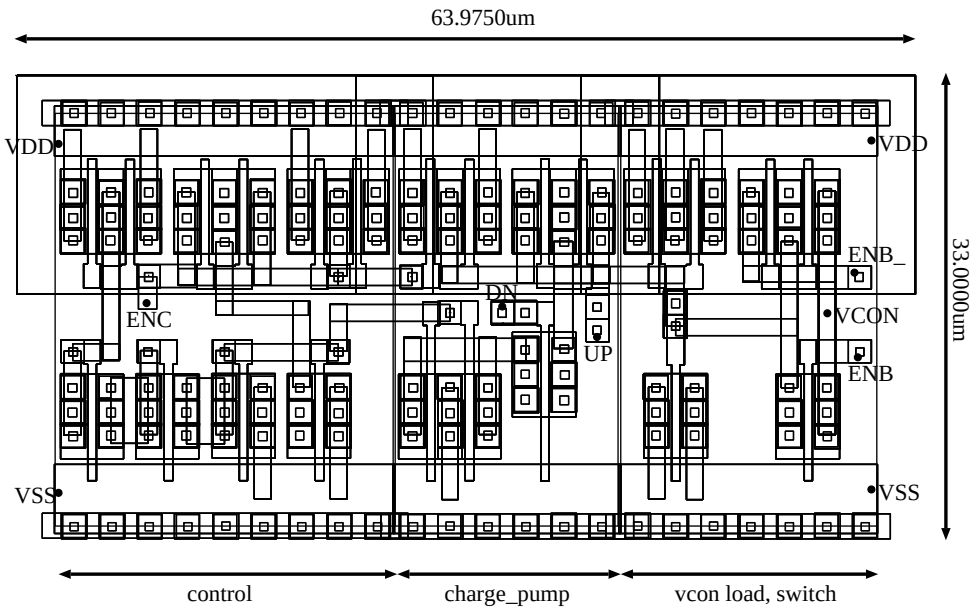

図 42: チャージポンプのレイアウト図

12.1.4 ローパスフィルタ

VCON を安定させるために、チャージポンプからの VCON に負荷 (図 43、図 44) をつける。負荷の大きさは、1 つのチャージポンプがいくつの遅延回路をドライブするかに依存する。おおよそ、1 つのチャージポンプが 2 つの 32 段遅延回路をドライブする時には、図 43 のロードを 5 つ程度用いるのがよい。

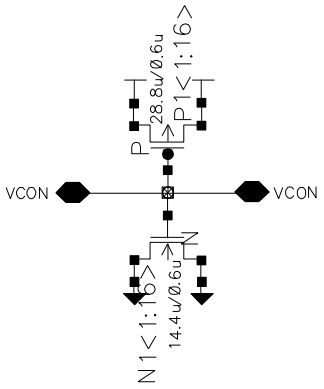

図 43: 負荷の回路図

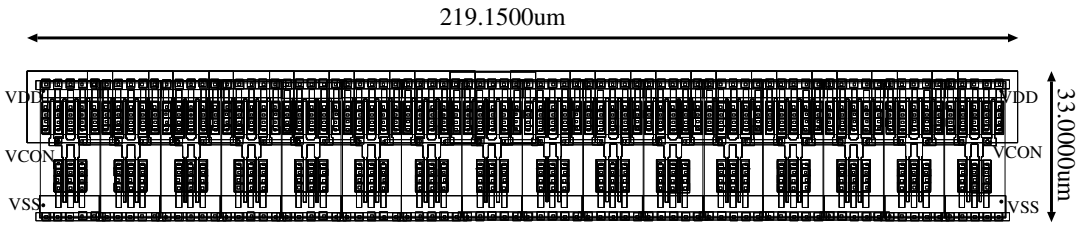

図 44: 負荷のレイアウト図

12.1.5 DLL 全体の HSPICE シミュレーション

DLL 回路の機能ごとのレイアウトが揃ったので、これらを組み合わせて DLL が全体として正しく動作するかを検証した。これまで説明した回路を図 45 のように組み合わせて DLL を作り、HSPICE シミュレーションを行なった。これは、図 29 で説明した DLL と全く同じ構造である。32 段遅延セルとチャージポンプはレイアウトからのネットリストを用いた。位相検出器内のネットリストは回路図からのものを用いた。VCON をローパス・フィルタを通して出力させるために、先ほど説明した負荷を 5 つ直列に使用してある。

シミュレーションはまず VCON の初期値を一意に定めるために、図 40 のように ENP、ENV 信号を制御して行なった。シミュレーションは、トランジスタの速さ、電源電圧、温度、周波数を変えて、DLL の動作を検証した。

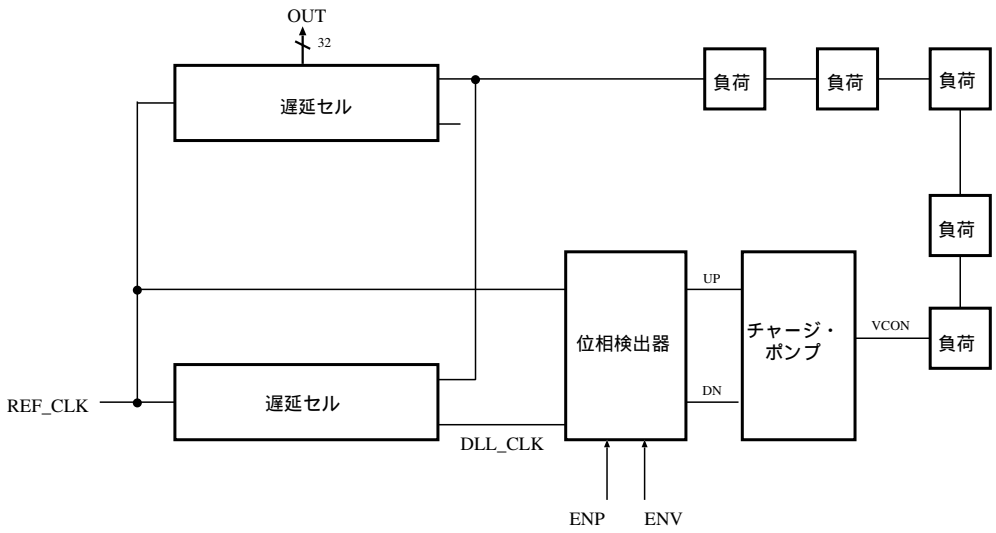

図 45: DLL フル・シミュレーションの回路図

- トランジスタの速さによる影響
  温度 25°C、電源電圧 3.3V として、40MHz の矩形波を入力した。トランジスタの早さを (PMOS ,NMOS) = (FAST, FAST) (TYPICAL, TYPICAL) (SLOW, SLOW) と変えた時の VCON と REF_CLK、DLL_CLK の波形の様子を示す。図 46 に VCON、図 47、図 48、図 49 に各トランジスタの状態における REF_CLK、DLL_CLK の様子を示す。トランジスタの早さによってロックするまでの時間は異なるが、トランジスタの早さによらず DLL が正しく動作していること分かる。

- 電源電圧による影響
  次に電源電圧が降下した時を想定して、電源電圧を 3.0V としてシミュレーションを行なった。トランジスタの早さは (PMOS ,NMOS) = (FAST, FAST) (TYPICAL, TYPICAL) (SLOW, SLOW) と変えた。温度は 25°C で固定。入力は 40MHz の矩形波としてシミュレーションを行なった。

  図 50、図 51、図 52、図 53 から分かるように、電源電圧が 3.3V の時よりも、ロックするまでにかかる時間が長くなっている。またロック時の VCON の値が高くなっているが、正しく動作しているのが分かる。

- 温度による影響
  温度による影響をみるために、シミュレーションを行なった。温度を 0°C、25°C、50°C、75°C と変えた。その他のパラメータは固定した。トランジスタの早さは (PMOS ,NMOS) = (TYPICAL, TYPICAL) 電源電圧は 3.3V、入力は 40MHz の矩形波とした。

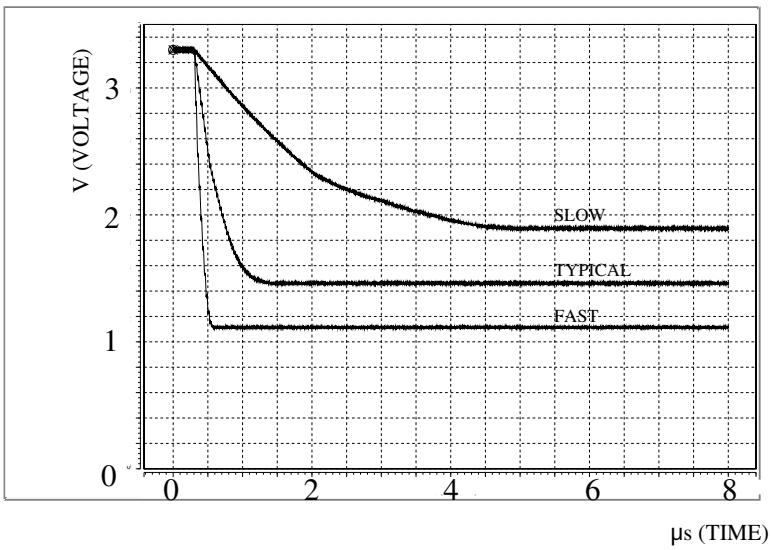

図 46: DLL シミュレーションでの VCON 収束する様子。(VDD=3.3V)

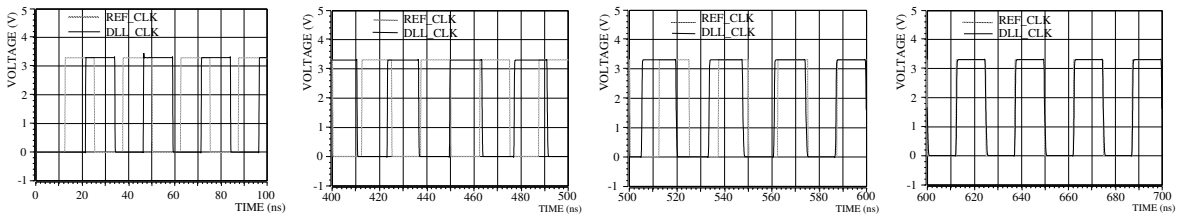

図 47: (PMOS, NMOS)=(FAST, FAST) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定

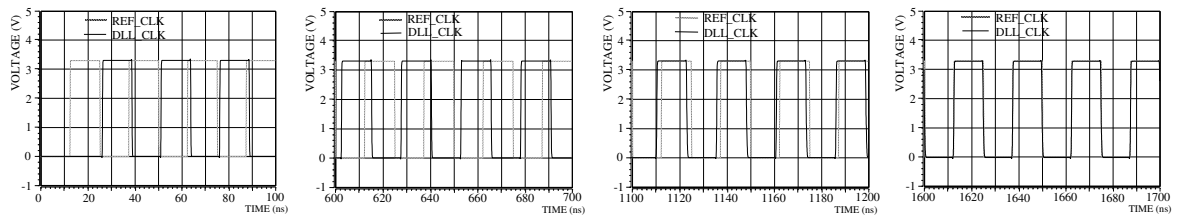

図 48: (PMOS, NMOS)=(TYPICAL, TYPICAL) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定

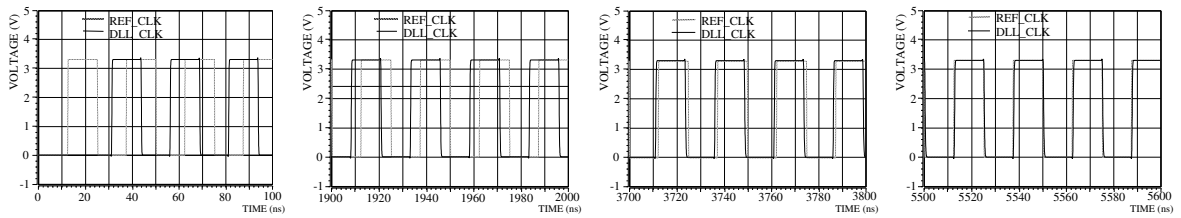

図 49: (PMOS, NMOS)=(SLOW, SLOW) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定

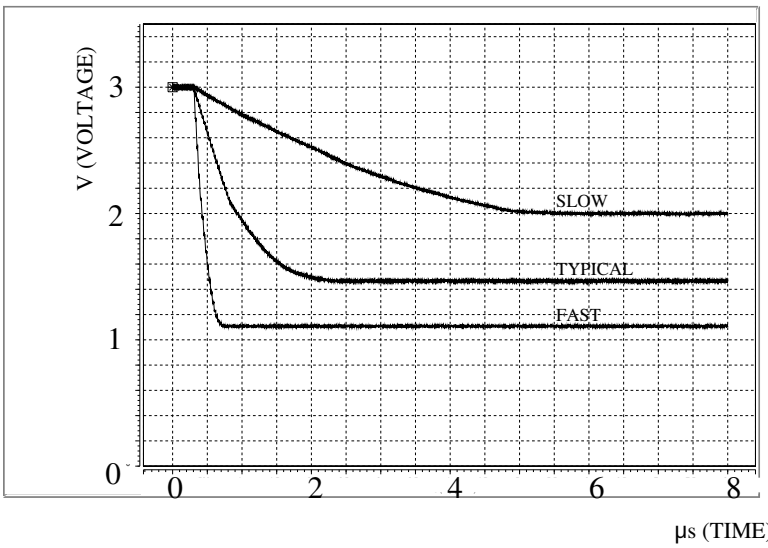

図 50: DLL シミュレーションで VCON の収束する様子。(VDD=3.0V)

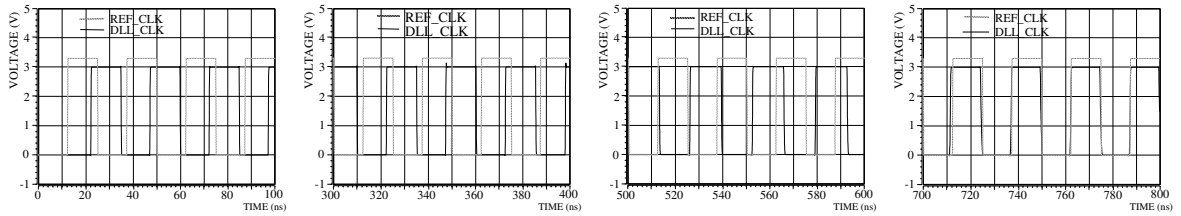

図 51: (PMOS, NMOS)=(FAST, FAST) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定

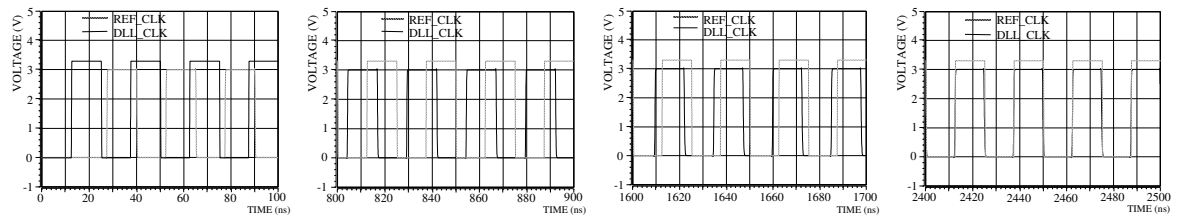

図 52: (PMOS, NMOS)=(TYPICAL, TYPICAL) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定

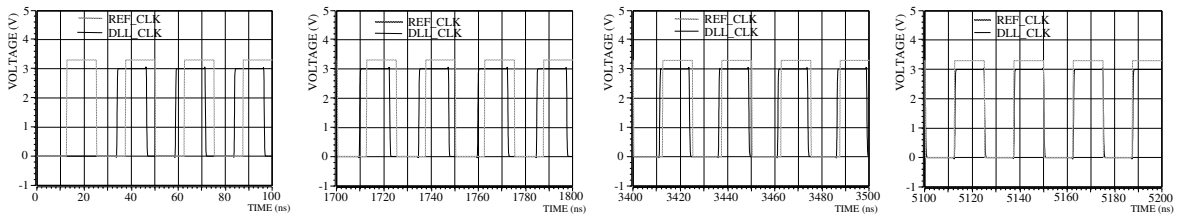

図 53: (PMOS, NMOS)=(SLOW, SLOW) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定

結果は図 54、図 55、図 56、図 57、のように問題なくロックしていることが分かる。

- 周波数の影響
  Patch-Panel ASIC では 40MHz クロックで DLL を用いるが、DLL の動作は入力矩形波の周波数に依存しない方が望ましい。DLL が 40MHz 以上の周波数でも動作することをみるために、入力に 60MHz の矩形波を用いてシミュレーションを行なった。トランジスタの早さは(PMOS ,NMOS)=(TYPICAL, TYPICAL) 、電源電圧は 3.3V とした。

  結果は図 58 から分かるように、問題なく動作していることが分かる。

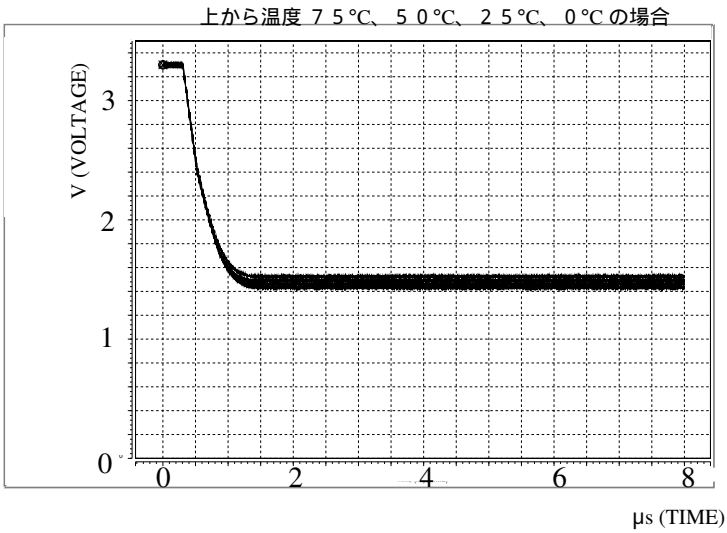

図 54: 温度を変えた時の VCON 収束する様子 (VDD=3.3V)

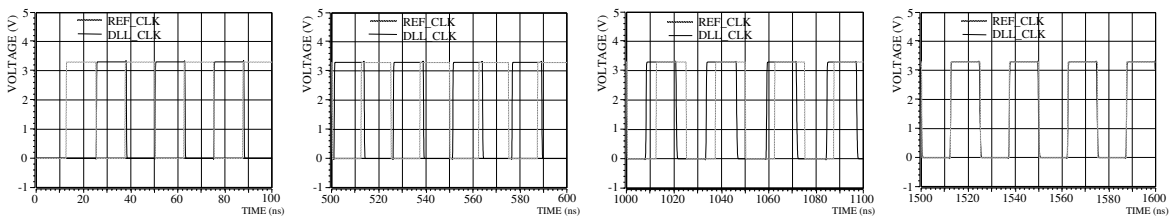

図 55: 温度 0°C における REF_CLK に対する DLL_CLK の動き

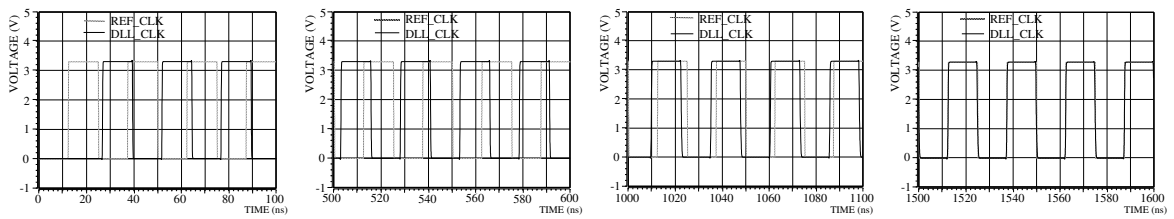

図 56: 温度 50°C における REF_CLK に対する DLL_CLK の動き

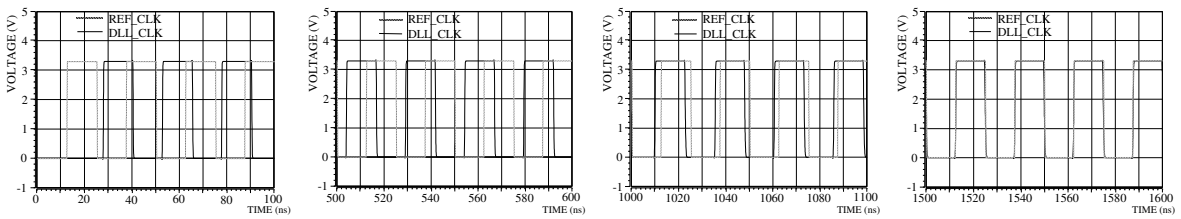

図 57: 温度 75°C における REF_CLK に対する DLL_CLK の動き

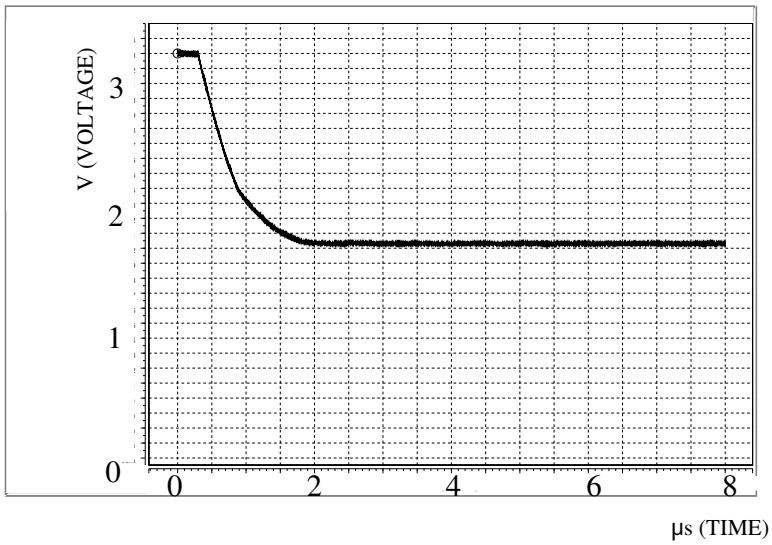

図 58: 60MHz クロックを用いた時の VCON 収束する様子 (VDD=3.3V)

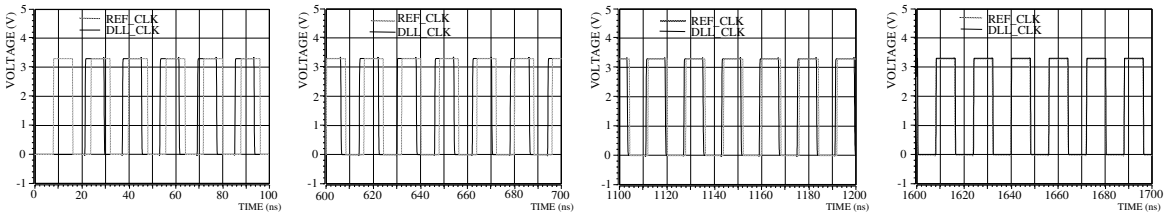

図 59: 60MHz クロックを用いた時の REF_CLK に対する DLL_CLK の動き

12.1.6 DLL の ASIC への組み込み

LSI 製造プロセスのばらつきや配線遅延によっては、VCON=3.3V にも関わらず遅延が 25ns 以上になってしまう場合が想定される。ASIC 開発は簡単にやり直しができるものではないので、このような場合にも対処できることが要求される。そのために、これまでアナログ設計したものに加えて、遅延回路の段数を可変にする回路を組み込む。具体的には図 60 のように、遅延回路の段数を 4 段階 (32、30、28、26 段) に設定することが可能であるようにする。大雑把に言って遅延セル 1 段で約 1 ns の遅延が生じるので、この回路によって 6ns 程度の予想外の遅延に対処出来ることになる。段数の設定は、2 ビット幅の STEP 信号を外部から与えて行なう。この回路は HDL で実現した。

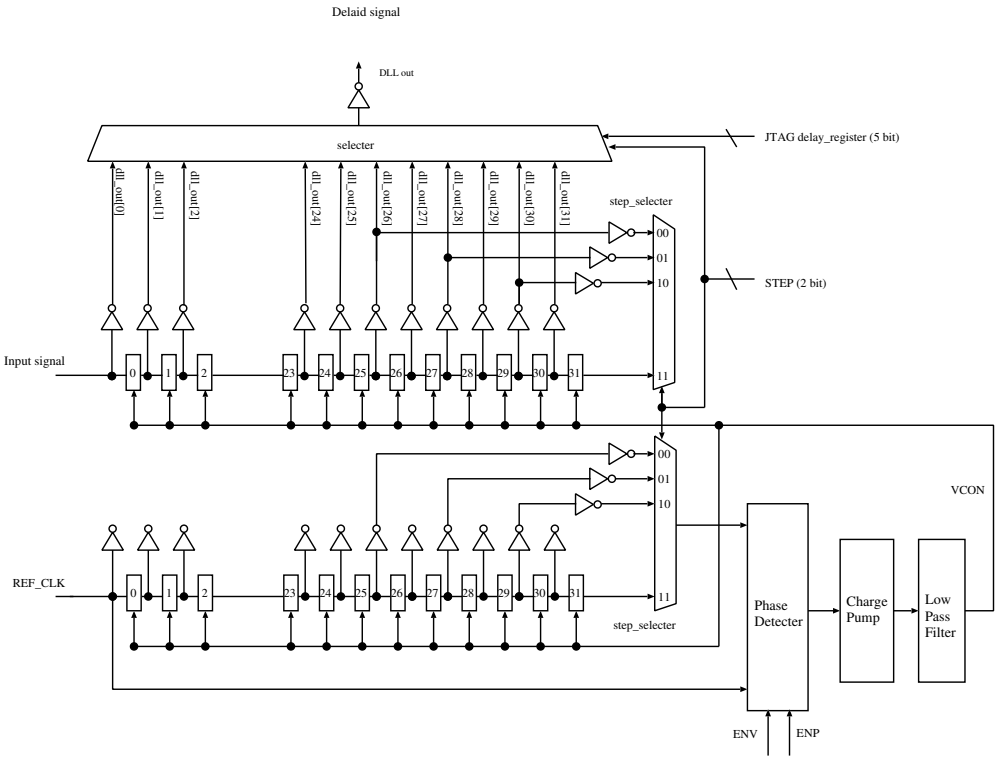

図 60: 遅延回路段数設定、出力選択

12.2 LVDS レシーバ

12.2.1 LVDS の概要

LVDS (Low Voltage Differential Signaling) は、差動型のインターフェイス規格で電圧レベルは図 61 に示す通りである。低電力を実現するために振幅電圧が 200mV と低いのが特徴である。基準電圧は、図 61 のように 1.2V を中心として、上下 1V の範囲でのシフトを許している。これにより、仮に出力側と入力側のグラウンドレベルの違いがあったとしても、正確に信号を伝えることが出来ようになっている。

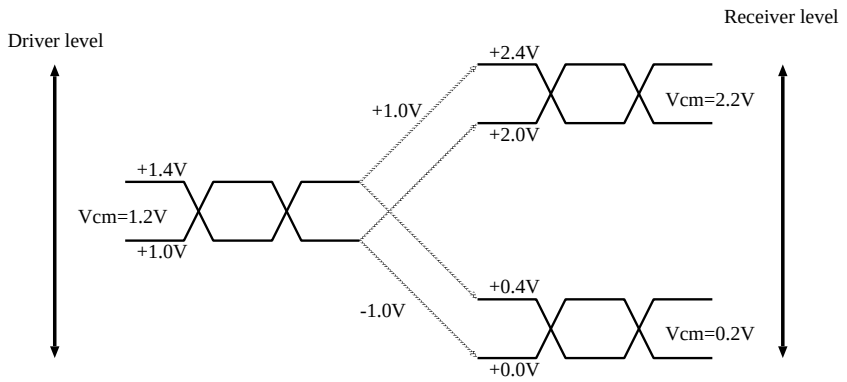

図 61: LVDS 規格の電圧レベル

12.2.2 LVDS レシーバの設計

LVDS レシーバは図 62 のような回路で実現した。この回路は差動アンプと、インバーターから構成されるものである。LVDS 入力は、差動増幅回路により同相成分の除去と増幅を行ない、2 つのインバーターで波形を修正した後に出力される。VGS は差動増幅回路に流す電流量を決める電圧である。

LVDS 規格を満たすために、次の条件を満足することをシミュレーションで確認した。

- 基準電圧レベルは LVDS 規格に従い、$0.2 \sim 2.2V$ で動作可能である。
- 振幅電圧は標準値 200mV からその半分の 100mV まで対応可能である。
- 周波数に関しては、100MHz まで動作可能である。

まず始めに回路図からのネットリストを用いて、HSPICE シミュレーションを行なった。

- 基準電圧を変えた時の動作 (回路図からのネット・リスト)
  LVDS 規格の通りに、基準電圧がシフトしても動作することを確認するために、HPSICE シミュレーションを行なった。基準電圧を 2.2V、1.2V、0.2V と変え、振幅電圧 200mV、周波数 40MHz の正弦波を入力した。温度は 25°C、トランジスタの早さは PMOS、NMOS とも TYPICAL とした。図 63 のように基準電圧 2.2V、1.2V、0.2V 全てに対して動作していることが分かる。

- 入力振幅電圧が 100mV の時の動作 (回路図からのネット・リスト)
  入力の振幅電圧が通常の LVDS 規格の半分になった時(100mV)を想定して、基準電圧を 2.2V、1.2V、0.2V と変えてシミュレーションを行なった。温度は 25°C、トランジスタの早さは PMOS、NMOS とも TYPICAL とした。この場合も図 64 のように、動作することが確認できた。

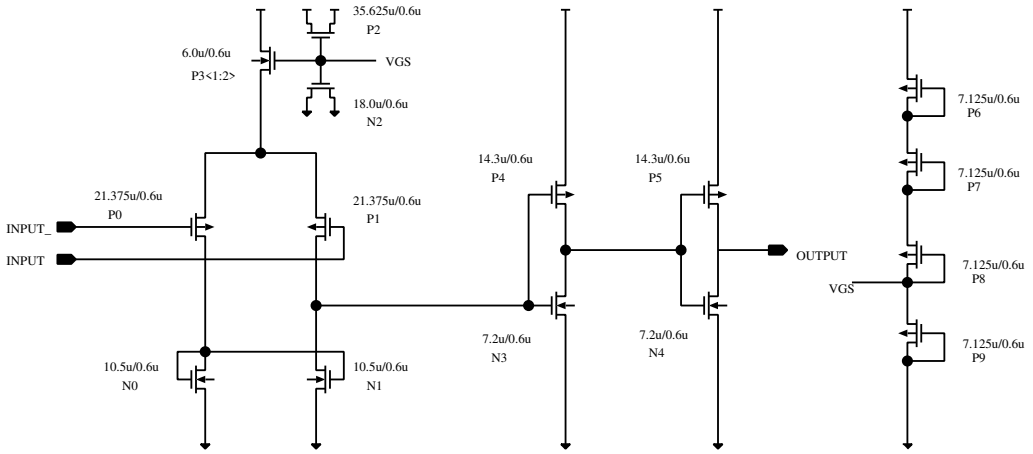

図 62: LVDS レシーバの回路図

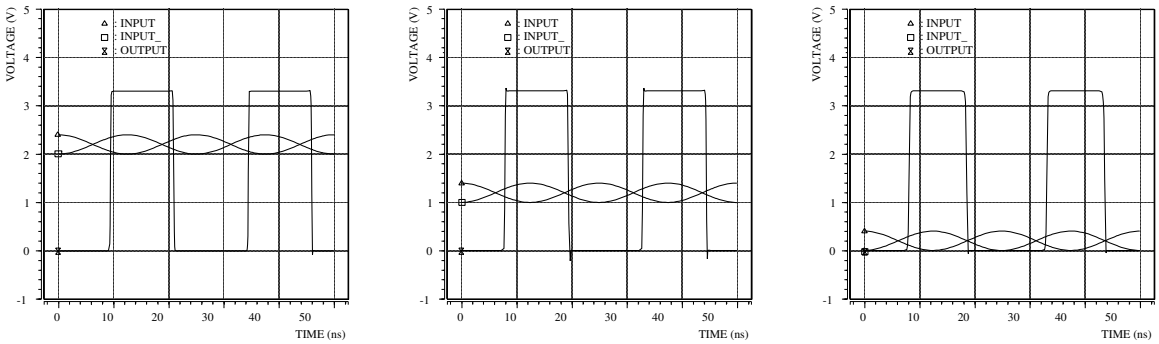

図 63: 入力を基準電圧 (右 2.2V, 中 1.2V, 左 0.2V) 、振幅電圧 200mV、周波数 40MHz とした時の入出力波形

- トランジスタの速さの違いによる影響 (回路図からのネット・リスト)
  トランジスタの速さの違いによる影響をみた。2 つのパターンについてシミュレーションを行なった。1 つ目は (PMOS,NMOS)=(FAST,FAST)、2 つ目は (PMOS,NMOS)=(SLOW,SLOW) の場合について行なった。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz、温度は 25°C とした。この場合も図 65 のように、動作することが確認できた。

- 温度による影響 (回路図からのネット・リスト)
  温度による影響を確認した。温度は 0°C、50°C、75°C と変えて行なった。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz、HSPICE パラメータは PMOS、NMOS とも TYPICAL とした。この場合も図 66 のように、動作することが確認できた。

- 入力信号周波数 100MHz での動作 (回路図からのネット・リスト)
  LVDS レシーバが、入力周波数 100MHz でも動作することを確認した。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 100MHz の正弦波とした。HSPICE パラメータは PMOS、NMOS とも TYPICAL、温度は 25°C で行なった。この場合も図 67 のように、動作することが確認できた。

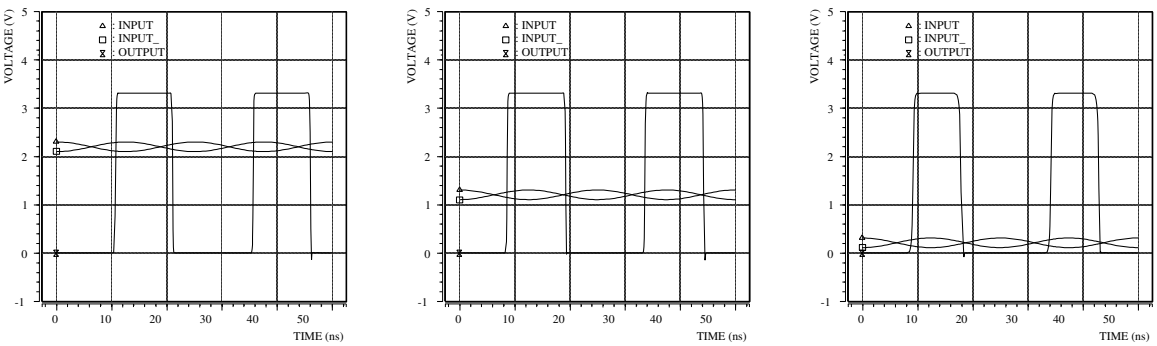

図 64: 入力を基準電圧 (右 2.2V, 中 1.2V, 左 0.2V) 、振幅電圧 100mV、周波数 40MHz とした時の入出力波形

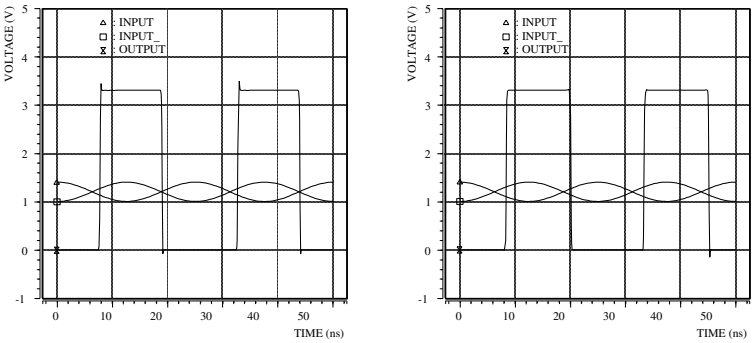

図 65: LVDS レシーバのトランジスタの速さによる影響。(右 FAST、左 SLOW) 入出力波形 (入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz)

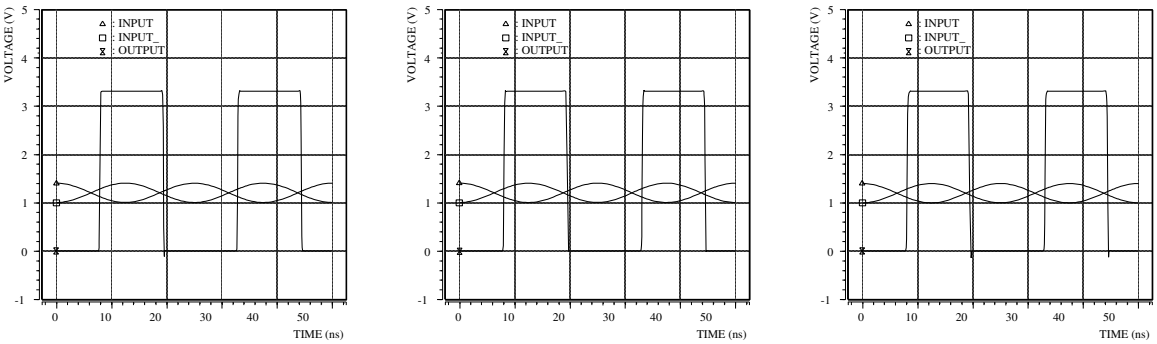

図 66: 温度を変えた時の入出力波形 (右 $0°C$、中 $50°C$、左 $75°C$) 。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz

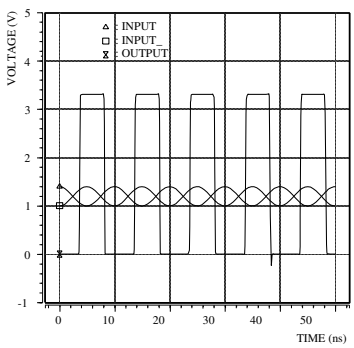

図 67: 入力を基準電圧 1.2V、振幅電圧 200mV、周波数 100MHz とした時の入出力 (温度 25°C)

これまでの回路図でのシミュレーションで希望通りの性能が得られることが分かったのでレイアウトを行なった。レイアウト図は 68 である。回路図からのネットリストを用いたシミュレーションと、レイアウトからのネットリストを用いたシミュレーションが同じ結果となることを確かめた。レイアウトからのネットリストを用いて、回路図と同様の条件で HSPICE シミュレーションを行なった。レイアウトからのシミュレーションも、動作条件を満たしていることが分かる。以下に結果を示す。

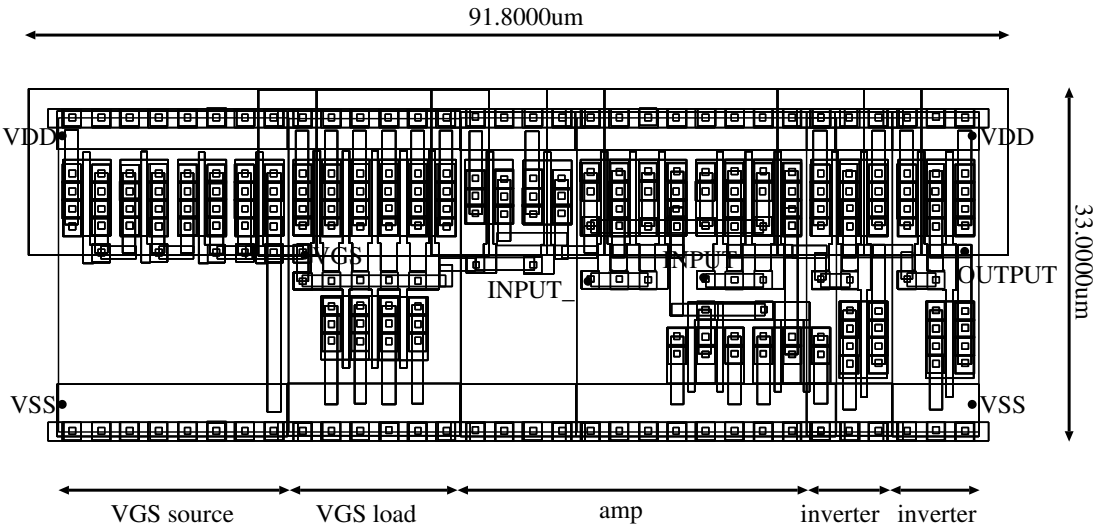

図 68: LVDS レシーバのレイアウト図

- 基準電圧を変えた時の動作 (レイアウトからのネット・リスト)
  結果を図 69 に示す。

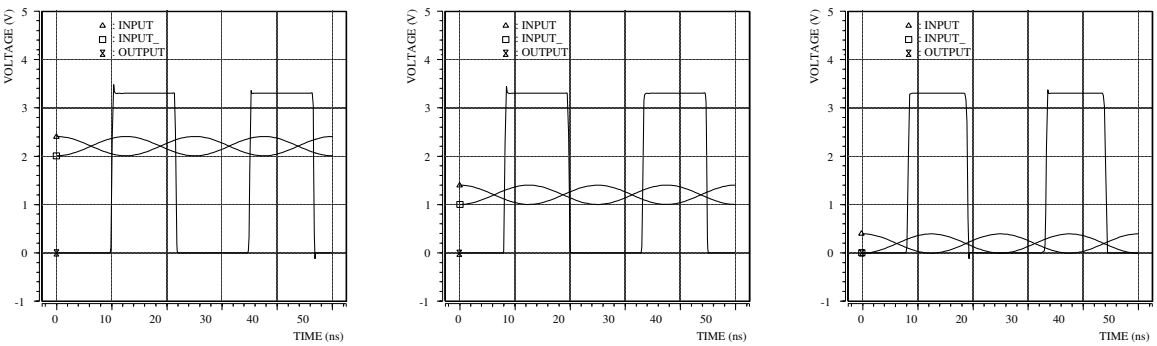

図 69: 入力を基準電圧 (2.2V, 1.2V, 0.2V) 振幅電圧 200mV、周波数 40MHz とした時の入出力波形

- 入力電圧振幅が 100mV の時の動作 (レイアウトからのネット・リスト)
  結果を図 70 に示す。
- トランジスタの速さの違いによる影響 (レイアウトからのネット・リスト)
  結果を図 12.2.2 に示す。
- 温度による影響 (レイアウトからのネット・リスト)
  結果を図 72 に示す。
- 入力信号周波数 100MHz での動作 (レイアウトからのネット・リスト)
  結果を図 73 に示す。

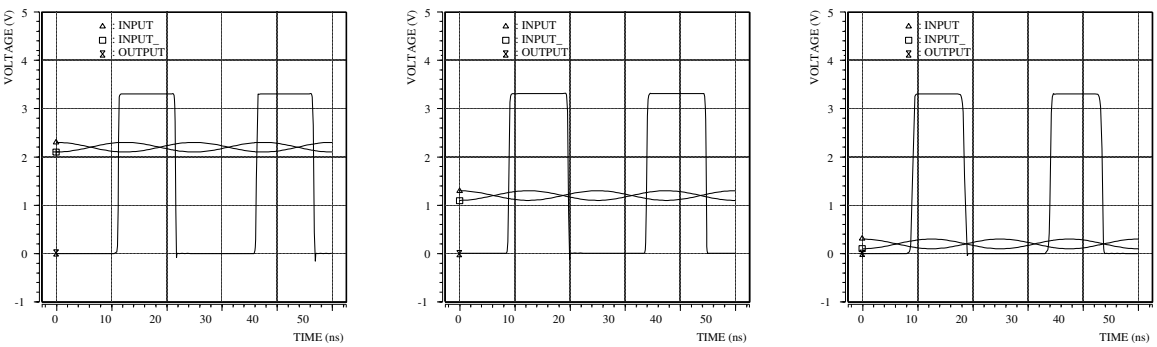

図 70: 入力を基準電圧 (0.2, 1.2, 2.0V) 、振幅電圧 100mV、周波数 40MHz、とした時の入出力波形

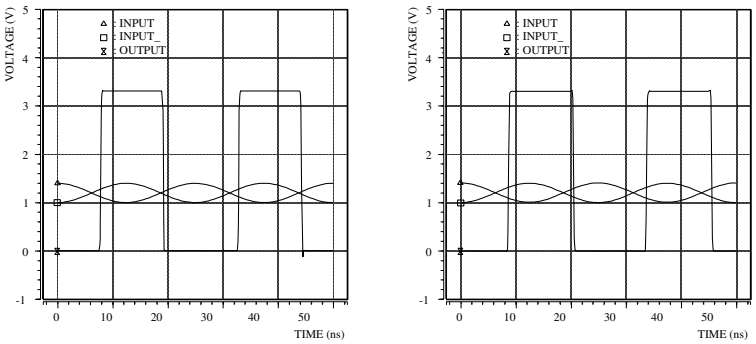

図 71: LVDS レシーバのトランジスタの速さによる影響。(右 FAST、左 SLOW) 入出力波形 (入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz)

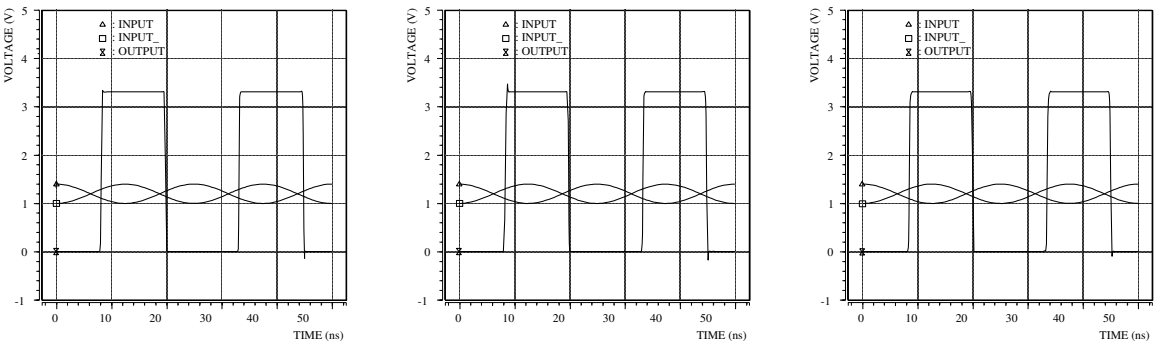

図 72: 温度を変えた時の入出力波形 (右 $0°C$、中 $50°C$、左 $75°C$)。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz

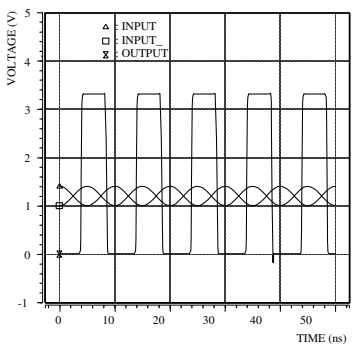

図 73: 入力を基準電圧 1.2V、振幅電圧 200mV、周波数 100MHz とした時の入出力波形 (温度 25°C)

12.3　テスト・パルス・ジェネレータ

テスト・パルス・ジェネレータ回路全体は、TTL レベルの外部トリガー信号を受け設定遅延時間経過後、振幅可変のテストパルスを発生するものである。遅延回路には DLL を用いる。出力電圧は 50mV から 350mV の範囲で 4 段階設定可能である。遅延時間、出力電圧の設定には JTAG を用いる。ここでは、遅延されたトリガー信号を受けて、出力する部分をアナログ設計した。

テスト・パルス・ジェネレータ回路 (図 74) の上部には 10 個の電流源がある。テストパルスの出力電圧の設定には、電流源部にある PMOS トランジスタのゲート (CONTROL0 ∼ CONTROL9) 電圧を HIGH か LOW に切替えることにより行なう。LOW ならば電流源はオン状態となり電流が流れる。逆に、HIGH ならば電流は流れない。このようにして、オンにする電流源の数を変えることにより出力電圧値が決まる。テスト・パルスを生成するには、INPUT、INPUT_に互いに逆相の TTL 信号を入力する。

この回路構成ならば、出力電圧値を 10 段階まで設定可能にすることができる。しかし、テスト・パルスは Patch-Panel ASIC での TGC 信号のタイミング調整に用いるものなので、ASIC 内に組み込む際は出力電圧値は 4 段階設定でよい。

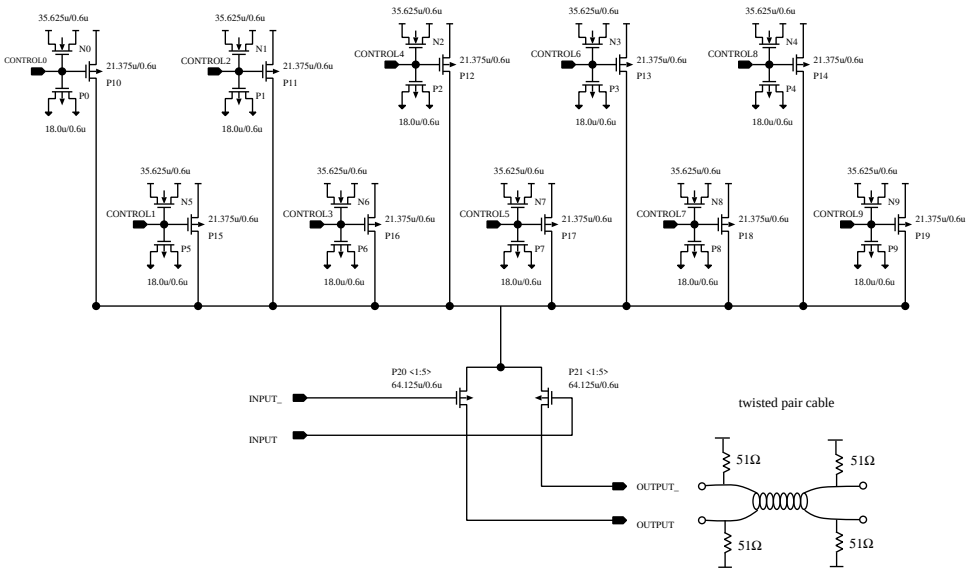

図 74: テスト・パルス・ジェネレータの回路図

始めに回路図からのネットリストを用いた HSPICE シミュレーションを行なった。図 75、図 76 にオン状態にある電流源の数を変化させた時の出力電圧の変化を示す。温度は 25°C に固定し、トランジスタの速さを 3 通り変えて行なった。トランジスタの組合せは、(PMOS, NMOS)=(FAST, FAST)、(TYPICAL, TYPICAL)、(SLOW, SLOW) の場合について行なった。入力 (INPUT、INPUT_) には、互いに逆位相の 40MHz 矩形波を入れた。トランジスタの速さの違いによる出力電圧値の違いはあるが、オン状態にある電流源の数を変えることにより電圧値が変化しているのが分かる。

温度を 0°C、25°C、50°C、75°C と変えて出力電圧への影響をみた。トランジスタの早さは NMOS、PMOS ともに TYPICAL に固定した。INPUT、INPUT_へは、互いに逆位相の 40MHz 矩形波を入れた。図 77 から分かるように、温度の高いもの程出力電圧が低くなっている。

回路図でのシミュレーションから希望通りの性能が得られることが分かったのでレイアウトを行なった (図 78)。レイアウトからのネットリストを用いて、同様の HSPICE シミュレーションを行なった。レイアウトからのネットリストを用いた以外は、回路図でのシミュレーションと同じ条件で行なった。トランジスタの速さによる影響は図 79 と図 80 から、温度による影響は図 81 から、回路図でのシミュレーションと一致する結果が得られたことが分かる。

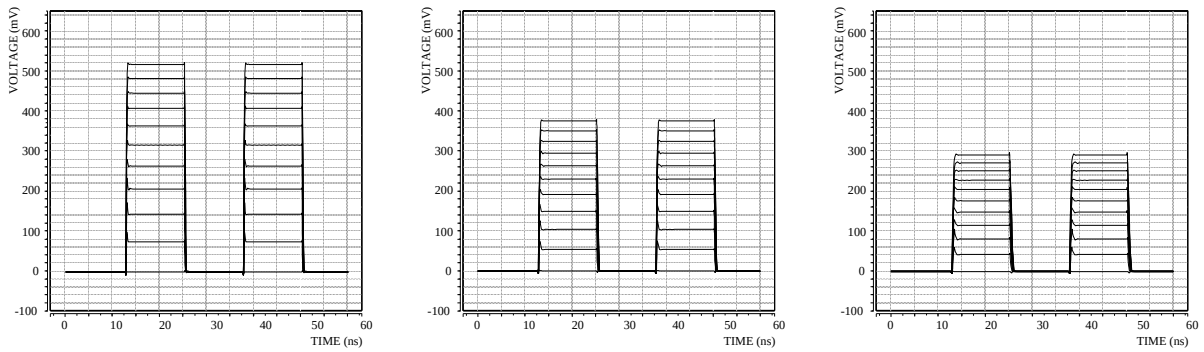

図 75: 速さの異なるトランジスタを用いたテスト・パルス・ジェネレータ出力波形 (右 FAST、中 TYPICAL、左 SLOW)。(回路図ネット・リスト)

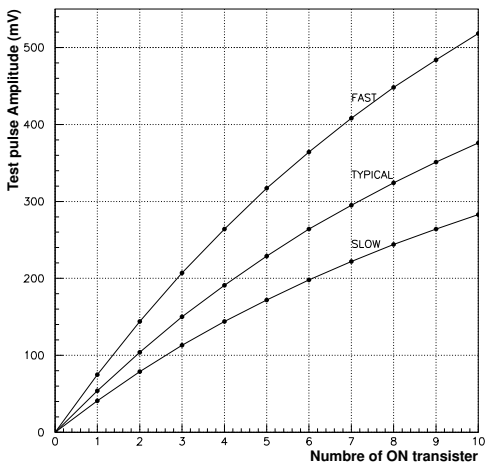

図 76: オン状態にあるトランジスタ数を変えた時の出力波形。温度を固定しトランジスタの早さを変えた。(回路図ネット・リストを用いた)

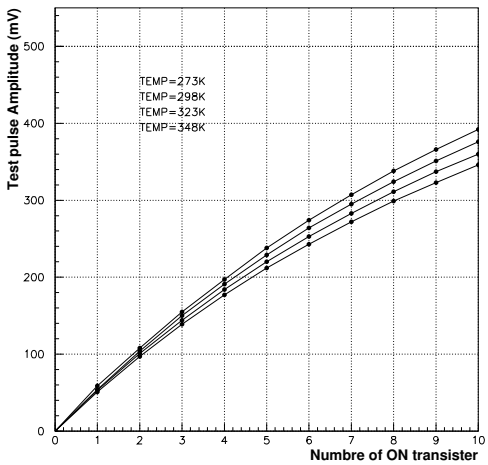

図 77: オン状態にあるトランジスタ数を変えた時の出力波形。トランジスタの速さを固定し温度を変えた。(回路図ネット・リストを用いた)

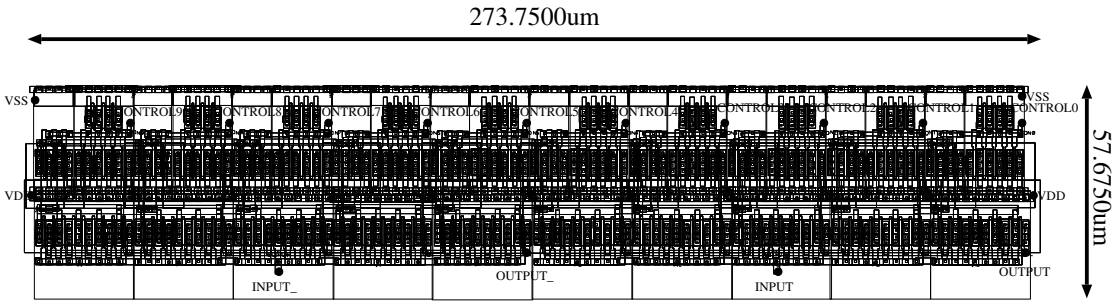

図 78: テスト・パルス・ジェネレータのレイアウト図

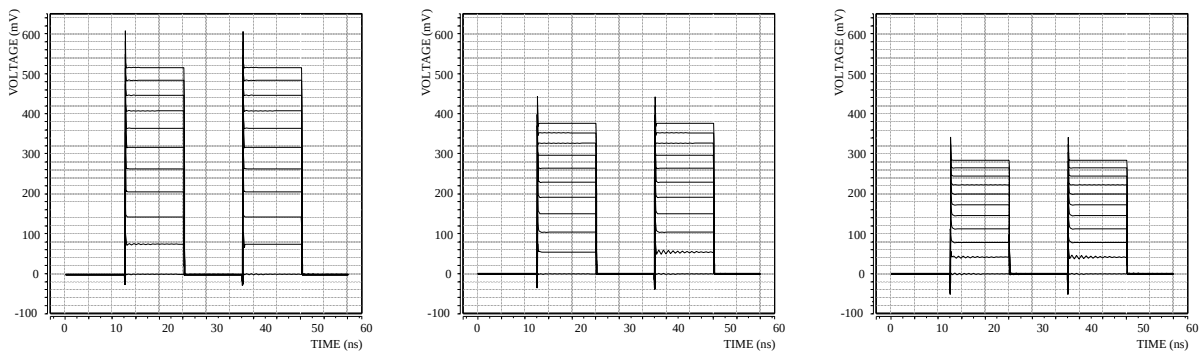

図 79: 速さの異なるトランジスタを用いたテスト・パルス・ジェネレータの波形形。(1) トランジスタの早さを変えた時。(2) 温度を変えた時。(レイアウト・ネット・リスト)

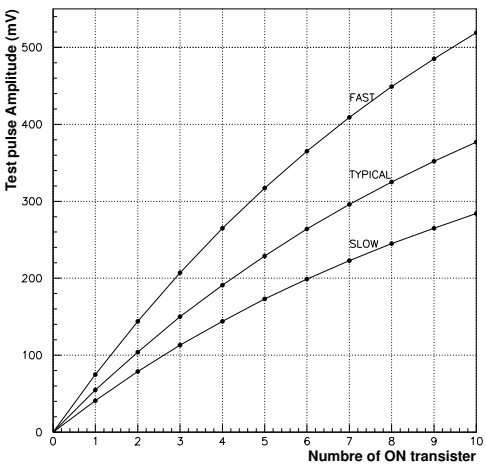

図 80: オン状態にあるトランジスタ数を変えた時の出力波形。温度を固定してトランジスタの早さを変えた。(レイアウトからのネット・リストを用いた)

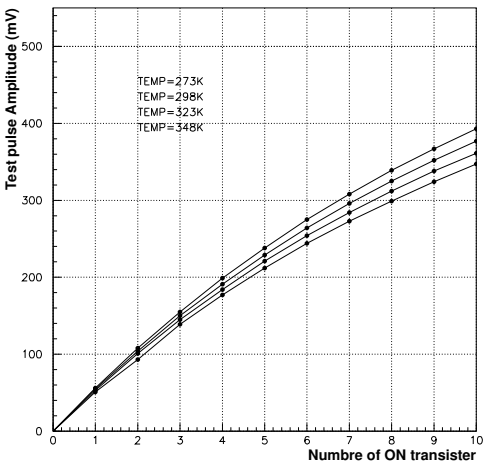

図 81: オン状態にあるトランジスタ数を変えた時の出力波形。トランジスタの速さを固定し温度を変えた。(レイアウトのネット・リストを用いた)

13　ASIC用制御回路の設計 (JTAGプロトコル)

ASICの制御はJTAG [1]プロトコルを用いて行なわれる。JTAGをPatch-Panel ASICで用いる理由は2点考えられる。一つはJTAGに用いる信号線が、制御、データ用を合わせて5本で済むということである。TGCの設置される領域は数十メートルの広範囲に及び、総読みだしチャンネルは30万チャンネル以上に及ぶ。このような大規模測定器に用いられるフロントエンドエレクトロニクスの制御信号数は少ない方が好ましいので、JTAGの使用は適している。もう一つの理由は、JTAGは複数のICを直列に繋いでまとめて制御することが可能なので、このように用いればさらに少ない数の制御線でICを制御することができる。直列に繋いだ複数のICの制御は、シリアルラインで全てのICに命令コードとパラメータを書き込み同時に実行させることにより行なう。

この章では、はじめにJTAGの概論について述べ、次にPatch-Panel用ASICにおけるJTAGについて説明する。

13.1　JTAG概論

JTAG (IEEE1149.1)規格は、電子デバイスの内部ロジックや外部配線のテストを行なうために開発されたものである。近年のデバイスの大規模化により、外部からプローブをあてるなどといったこれまで行なわれてきた方法では、デバイス自体やその周辺配線のテストに莫大な時間と労力が必要になってきた。JTAG規格では、あらかじめ製作するデバイス内にテスト用回路を組み込むことでこれを解決する。内部のJTAG回路は、内部ロジックや外部配線のテストを行なう時にのみ使用者に意識され、それ以外のデバイスが通常の動作をする時には、内部ロジックや外部配線に影響を与えることはなく、使用者が意識する必要もない。

JTAG対応デバイスには、デバイス本来の機能を行なうための内部ロジックの他に、図82にあるような4つのレジスタBSC (Boundary Scan Cell)、BYPSSレジスタ、INSTRUCTIONレジスタ、OPTIONレジスタと、それを制御するTAPコントローラが組み込まれる。OPTIONレジスタ以外はJTAGにとって必須の機能である。JTAGではユーザー独自にOPTIONレジスタを定義することが出来る。Patch-Panel ASICでは複数のOPTIONレジスタを定義することにより、DLLなどのPatch-Panel ASIC固有の機能を制御している。

JTAGの使用する信号線は5本 (表4参照。4本は必須、1本はオプション)である。5本の信号線は、TCK、TMS、TDI、TDO、TRSTから成り、TRSTがオプションである。JTAGの動作は、TCKとTMSの値を操作することによりTAPを操作し制御を行なう。TDIとTDOはデータの入出力に用いられる。TDIは、設定パラメータを入力するのに用いる。逆にパラメータ設定値や内部回路のテストデータなどの読み出しは、TDOを用いる。TRSTは、TAPコントローラに対するリセットの働きをする。

JTAGは内部ロジックや外部回路のテストを行なうために、図82のように内部ロジックと各デバイスピンの間に、バウンダリースキャンセル (BSC)と呼ばれるシフトレジスタを配置する。これらのセルは、各ピンで発生する事象を観測したり、逆に制御したしすることができる。

- TAP
  TAP (Test Access Port)(図83)は16ステート・マシンの構造をしていて、このステートによりJTAGの動作が決まる。つまり、TAPはTCKとTMSという制御信号により16種類の状態をとることができ、TAP以外のJTAG回路はこのTAPの状態に従い動作する。

[1]正式名称はIEEE1149.1であるが、規格委員会の名前がJoint Test Action GroupだったことからJTAGと呼ばれている。

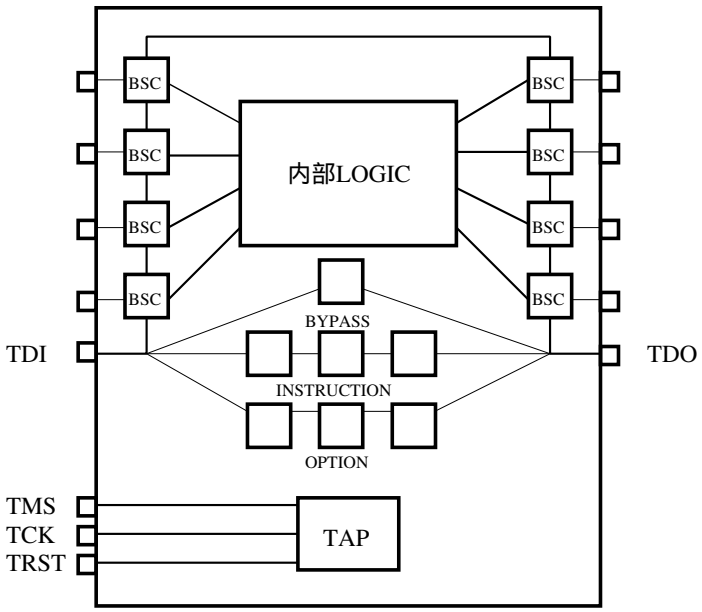

図 82: デバイス内の JTAG 回路

TAP ステートは TCK の立ち上がりエッジのタイミングにおける TMS の値によって決まる。例えばステートが Select-DR-Scan だったとすると、次の TCK の立ち上がりエッジのタイミングの時に、TMS が 0 ならば Capture-DR へ、TMS が 1 ならば Select-DR-Scan へステートが遷移する。TAP ステート名の一部が-IR となっているものは INSTRUCTION レジスタを扱うステートであり、-DR となっているものはデータレジスタを扱うステートである。

データ・レジスタに対する動作を行なうには、次のような手順を踏む。-IR となっているステートを用いて INSTRUCTION レジスタに INSTRUCTION を書き込み、あるデータレジスタをアクティブにする。次に-DR となっているステートへ移り、アクティブとなっているレジスタに対して操作を行なう。このような動作を繰り返すことにより、JTAG 回路を制御することができる。

ステートで特に重要なのは、Test-Logic-Reset、Capture、Shift、Update である。

表 4: JTAG 信号の用途

信号名	用途
TDI	命令やデータを入力する信号で、TCK の立ち上がりでサンプリングされる。
TDO	データを出力する信号線で、TCK の立ち下がりで更新される。
TCK	JTAG におけるクロックの役目をする
TMS	JTAG の動作を制御する。TCK の立ち上がりでサンプリングされる。
TRST	TAP を非同期に初期化する。

TAP の中で最も基本的なステートは Test-Logic-Reset であり、テストロジックのリセット状態に当たる。このステートへは、TRST の立ち下がりか、TMS を 1 に保ち TCK から最大 5 回立ち上がりがあれば戻ることが出来るようになっている。

Shift ステートでは、レジスタの内容が TDO へシフト出力され、TDI から新しいデータがシフト入力される。よってこのステートでは、データや命令のビット列が目的のレジスタに到達するまで、TMS の値を 0 に保ち TCK を上げ下げすることを行なう。データシフトのタイミングは TCK の立ち上が

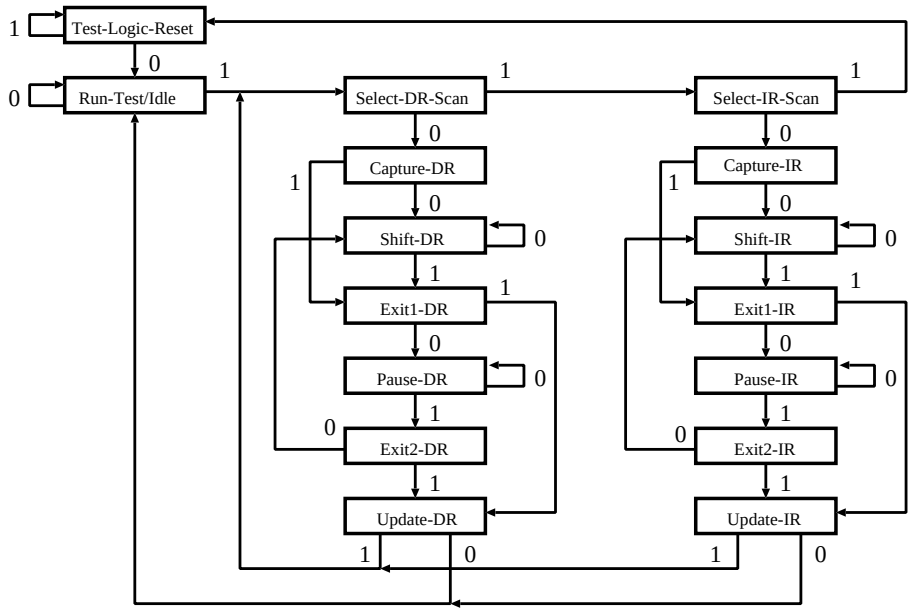

図 83: JTAG TAP ステートダイアグラム。矢印横の 0、1 は TCK の立ち上がりタイミングでの TMS の値である。

りで行なわれ、TCK の立ち下がりで TDO から出力される。

Capture ステートは、セル内のシフトレジスタへデータを獲得する動作である。つまり、アクティブとなっているデータレジスタの値を読み出す動作である。例えばインストラクションレジスタの命令によりバウンダリースキャンレジスタが選ばれていたとすると、この時 Capture-DR ステートを通過すると、入力セルには IC ピンの状態が取り込まれる。実際にデータをデバイスから取り出すには、Shift-DR ステートへ移りデータを TDO から 1 ビットづつ出力させる。

Update を通過する時にはシフトレジスタの値がセル出力となる。INSTRUCTION レジスタの場合にはデコード され命令が有効となる。

- INSTRUCTION レジスタ
  INSTRUCTION レジスタは、TAP コントローラ用の命令ビットを読み込んでデコード する。その結果によってデバイスに各種の機能を実行させことができる。命令は JTAG に必須なものに加えて、ユーザーが任意に定義するこたができる。

- JTAG 命令
  JTAG 命令は、INSTRUCTION レジスタに書き込まれた値により決まる。JTAG 命令には、ノーマルモード とテストモード の二つのモード がある。ノーマルモード 動作時、BSC の存在はデバイスに意識されないので、デバイスは通常の動作をする。そのため、デバイスのピンを通過するデータを、デバイスの動作に影響を与えることなしに任意のタイミングで取り込むことができる。取り込んだデータはシフトを繰り返し TDO から出力する。これによりデバイスの動作状態での良否を観測できる。

  一方、テストモード ではデバイスの内部ロジックを IC ピンから切り離す。そのため、デバイスの内部ロジックは、デバイス外部との入出力が本質的になくなり、テストデータだけが与えられることとなる。

  基本的な命令は次のものである。EXTEST は、IC 間の配線状態をテストするのに用いる。BYPASS は、JTAG のバイパスレジスタを通ることにより、JTAG 経路をバイパスする。SAMPLE/PRELOAD

は、EXTEST、INTEST などの際にあらかじめバウンダリースキャンレジスタに値を設定しておくために用いる。INTEST はオプション命令であり、内部ロジックのテストを行なうのに用いる。その他にユーザー定義のレジスタに対する、書き込み読み出し命令などを自由に定義することができる。

- EXTEST 命令
  バウンダリスキャンレジスタとデバイス外部とのデータ入出力を行なうための必須命令である。デバイスと外部ロジックとの接続の確認や、外部ロジックのテストを行なう時に使用する。EXTEST 命令のテスト範囲は、JTAG デバイスの外側であり内部ロジックは切り離される。
  デバイスからの出力データは、あらかじめ SAMPLE/PRELOAD 命令によって、バウンダリスキャンレジスタにセットしておく必要がある。
- BYPASS 命令
  TDI と TDO の間に 1 ビットのバイパスレジスタを挿入し、長いバウンダリスキャンレジスタをバイパスするための命令である。
- SAMPLE/PRELOAD 命令
  デバイス内部ロジックおよび外部回路に影響を与えることなく、デバイスが入出力データを取り込んだり (SAMPLE)、あるいはセットしたりする (PRELOAD) ための必須命令である。
- INTEST 命令
  これはテストモードで内部ロジックをテストするためのオプション命令である。テストデータはあらかじめ SAMPLE/PRELOAD 命令によってバウンダリスキャンレジスタにセットしておく。この命令実行時には、バウンダリスキャンレジスタは内部ロジックとのデータのやりとりのみが可能であり、入出力ピンは非動作状態となる。
- OPTION レジスタ用命令
  OPTION レジスタは、パラメータ設定のような一般的な用途に用いることができる。OPTION レジスタ用命令には、OPTION レジスタに対する読み書き命令や、ユーザー独自の命令を定義できる。

- BSC (Boundary Scan Cell)
  図 84 に BSC の概念図を示す。BSC へは、TCK、INSTRUCTION レジスタの値 INSTRUCTION、TAP のステートを表す tap_state が制御信号として与えらている。この 3 種類の値により、BSC 動作が決まる。ノーマルモードの際には、BSC は Signal に対しては何も影響を与えない。Signal_input はそのまま Signal_output へ出力され、TDI からの入力は TAP のステートが Shift-DR の時に TDO へシフトされる。テストモードの時には、Shift register が保時している値が、Update-DR のタイミングで Latch に固定され Signal_output へ出力される。

  BSC を用いてデバイスのテストを行なおうとする時には、初めにノーマルモードの時にテストパターンを取り込む動作を行ない、テストパターンの取り込みが終了したらテストモードに移りテストパターンを出力して行なう。

- OPTION レジスタ
  OPTION レジスタは、ユーザーが任意に定義して用いることができる。Patch-Panel ASIC では、OPTION レジスタを複数定義して、パラメータ設定に用いる。

- BYPASS レジスタ
  BYPASS レジスタは、図 84 のように、TDI から入力されるデータを最短経路で TDO へバイパスさ

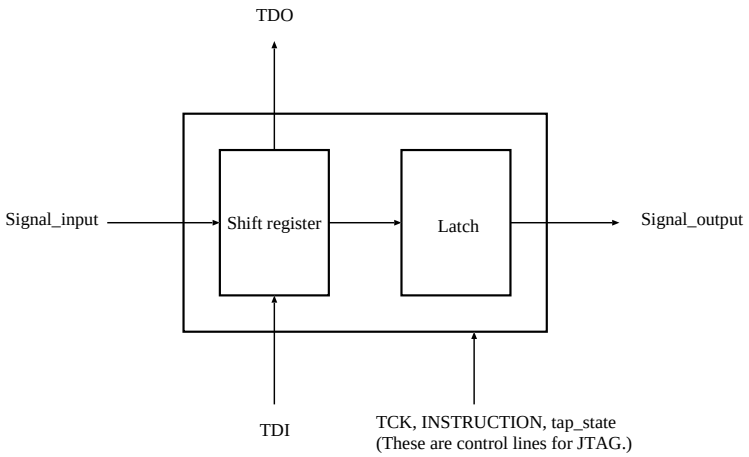

図 84: BSC の概念図

せるための経路を提供するものである。この機能は、複数の IC の JTAG ラインを直列に繋いで使用するような場合に、制御する必要のない IC をスキップするのに用いる。

13.2 Patch-Panel 用 ASIC における JTAG

前後方部トリガー・エレクトロニクスの制御全般に使われる JTAG を、Patch-Panel 用 ASIC に組み込んだ。前後方部トリガー・エレクトロニクスの研究開発において、JTAG の設計はそれ自体の機能をテストするという意味では何度か行なわれてきたが、ASIC 全体の制御を本格的に行なうために設計されたのは今回が初めてである。

JTAG を実現するためには、BSC、TAP、INSTRUCTION・レジスタ、BYPASS・レジスタ、BSC は必須である。これに加えて Patch-Panel ASIC 固有のパラメータ設定を行なうために、OPTION レジスタを定義して用いた。ここでは、各モジュールをどのような構造で実現したかを説明する。

13.2.1 TAP

TAP の概念図を図 85 に示す。TAP の構造は、外部から与えられる TMS、TCK 信号によって動作する、16 ステート・マシンである。TAP はそのステートを 4 ビット tap_state 信号により他の JTAG モジュールへ配信する。

13.2.2 INSTRUCTION・レジスタ

INSTRUCTION・レジスタ (図 86) は TAP からの tap_state 信号により、書き込み、読み出しなどの動作が決まる。入出力は TDI、TDO を用いる。

Patch-Panel の JTAG は Slave Board を経由して制御されるので、Patch-Panel と Slave Board で用いる JTAG 命令の形式は統一しておいた方が便利である。命令の形式を以下のように定めるこのにした。

- 命令長は 8 ビットに固定する。
- 表 5 の JTAG 命令に対するインストラクションは、使う使わないに関わらず固定する。
- プライベート命令は必須命令と異なる。プライベート命令はオプション命令と異なる。

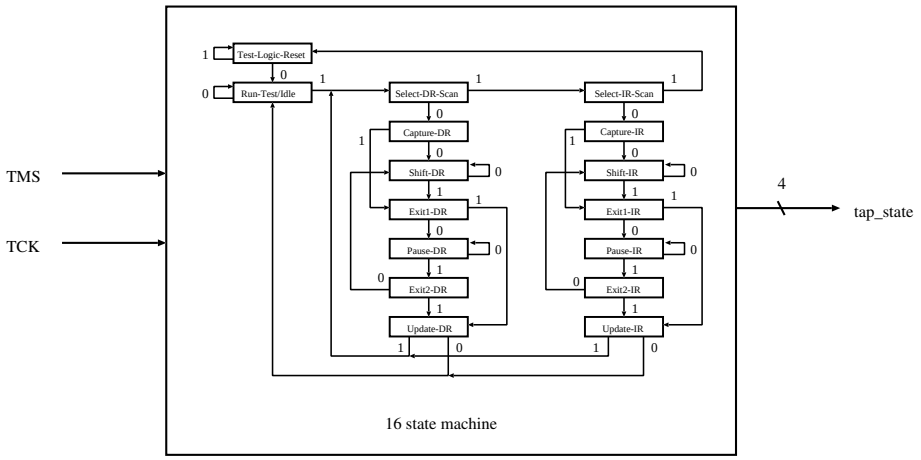

図 85: TAP の概念図

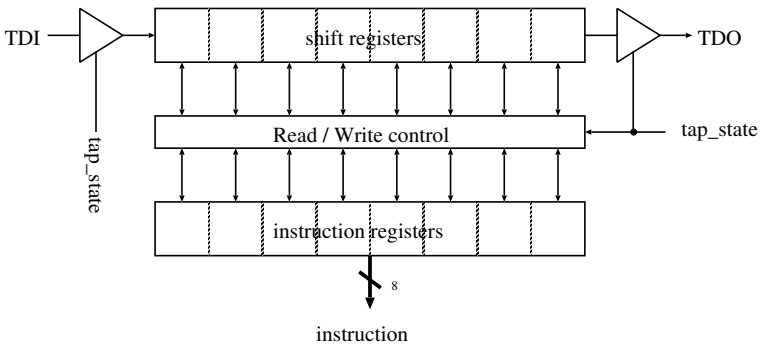

図 86: INSTRUCTION・レジスタの概念図

- あるプライベート・データ・レジスタに対する操作に関してのインストラクションは、上位 6 ビットは共通にする。下位 2 ビットに対しては、下位 2 ビットが 00 の時 (????_??00) は読みだしモード、下位 2 ビットが 01 の時 (????_??01) は書き込みモード、下位 2 ビットが 10 の時はオプション 1 (????_??10)、下位 2 ビットが 11 の時はオプション 2 (????_??11) とし、設計者が自由に使用する。

13.2.3 BSC

Patch-Panel ASIC では、BSC は図 87 のような回路で実現した。TCK は内部回路に対するクロックの働きをしている。INSTRUCTION、tap_state 信号はフラグ信号に変換される。INSTRUCTION 信号は、INSTRUCTION が SAMPLE/PRELOAD なら SAMPLE/PRELOAD フラグを HIGH に、INSTRUCTION が EXTEST なら EXTEST フラグを HIGH に、INSTRUCTION が INTEST なら INTEST フラグを HIGH にする。

tap_state 信号は、tap_state が Shift-DR ならば SHIFT フラグを HIGH に、tap_state が Update-DR ならば UPDATE フラグを HIGH に、tap_state が Capture-DR ならば CAPTURE フラグを HIGH にする。

MUX0 は、SHIFT フラグが HIGH ならば TDI を選択し、UPDATE フラグが HIGH ならば Signal_input が選択する。MUX1 は、EXTEST フラグもしくは INTEST フラグが HIGH の時は FlipFlop1 の出力を選択し、そうでなければ Signal_input を選択する。

次に動作説明をしていく。

INSTRUCTION 信号によるフラグが HIGH のものがなければ、Signal_output へは Signal_input の値が

表 5: JTAG 命令

インストラクション名	種類	ビット列
EXTEST	必須	0000_0000
SAMPLE/PRELOAD	必須	0000_0001
INTEST	オプション	0000_0010
RUNBIST	オプション	0000_0011
ID CODE	オプション	0000_0100
USER CODE	オプション	0000_0101
CLAMP	オプション	0000_0110
HIGHZ	オプション	0000_0111
BYPASS	必須	1111_1111

出力される。TDI から TDO に至る経路は、何も動作しない。

SAMPLE/PRELOAD フラグが HIGH になったとすると、TCK に同期して TDI もしくは Signal_input の値が FlipFlop0 へ取り込まれ TDO へ出力される。Signal_output へは Signal_input の値が出力される。この状態は、TDI から TDO へ至る経路は動作状態になっているが、Signal_output、Signal_input には影響を与えない。この状態は、テストパターンを設定する時や Signal_input を観測する時に用いる状態である。

さて EXTEST もしくは INTEST フラグが HIGH になったとすると、Signal_output へは FlipFlop1 の値が出力される。これを用いると、SAMPLE/PRELOAD フラグが HIGH の時に設定したテストパターンを Signal_input に出力させることができる。

複数の BSC 繋いだ状態は図 88 のようになる。これまでの話をまめて、EXTEST を行なうことを考えてみることにする。はじめにすべきことは、INSTRUCTION レジスタを制御して SAMPLE/PRELOAD フラグを HIGH にすることである。この状態ができると、TDI からテストパターンを送り込める。目的のテストパターンが入力され終るまでシフトを繰り返す。テストパターンを送り終えたら、INSTRUCTION レジスタを制御して EXTEST フラグを HIGH にする。これにより、テストパターンが BSC 外部へ出力される。

13.2.4 BYPASS・レジスタ

BYPASS・レジスタの概念図を図 89 に示す。インストラクションが BYPASS モードの時にアクティブとなり、TCK に同期して動作する。動作は tap_state の値に応じて決まる。

13.2.5 OPTION レジスタ

JTAG を用いてパラメータ設定やモニターを行なうために、以下に示す OPTION レジスタを定義した。レジスタ名の横の括弧は (モード、レジスタ幅) を表す。モードは、R は書き込みモードがあることを表し、W は読み出しモードがあることを表す。レジスタ幅の単位はビットである。概念図を図 90 に示す。

- mask_register (R/W、16)
  入力信号に対するマスクを設定する。
- DLL_register3 (R/W、5)
  テストパルスのサブナノセカンド精度の出力タイミングを設定する。

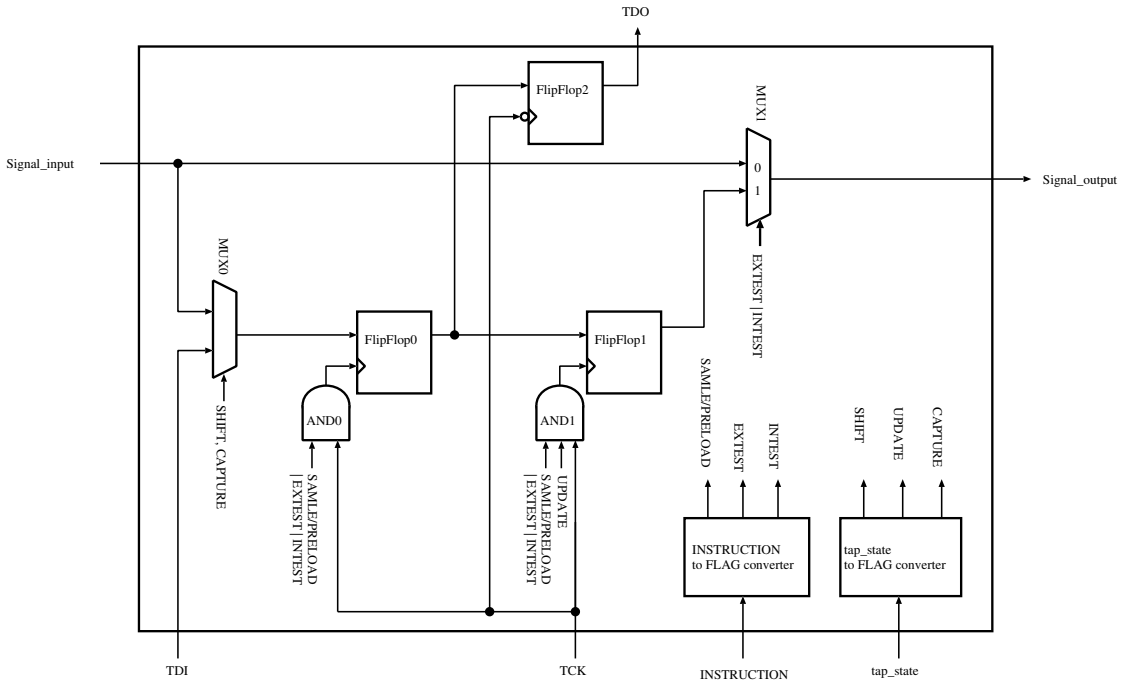

図 87: BSC (バウンダリースキャンセル)

- coarse_delay_register (R/W、2)
  テストパルスの 25ns 単位の出力タイミングを設定する。

- AMP_register (R/W、2)
  テストパルスの出力電圧を設定する。

- DLL_register1 (R/W、5)
  BCID 回路内でのクロックのサブナノセカンド精度の遅延の設定をする。

- DLL_register2 (R/W、5)
  BCID 回路内でのサブナノセカンド精度のエフェクティブなゲート幅の設定をする。

- DLL_register0 (R/W、5)
  入力信号のサブナノセカンド精度の遅延時間を設定をする。

- SEU_register (R、1)
  SEU を検出するための読みだし専用レジスタである。

- FUSE_monitor_register (R、2)
  ASD への電源供給ライン上にあるヒューズのモニター用レジスタである。読みだし専用である。

- DLL_register4 (R/W、5)
  サブナノセカンド精度の可変遅延 40MHz クロック出力の遅延時間設定を行なう。

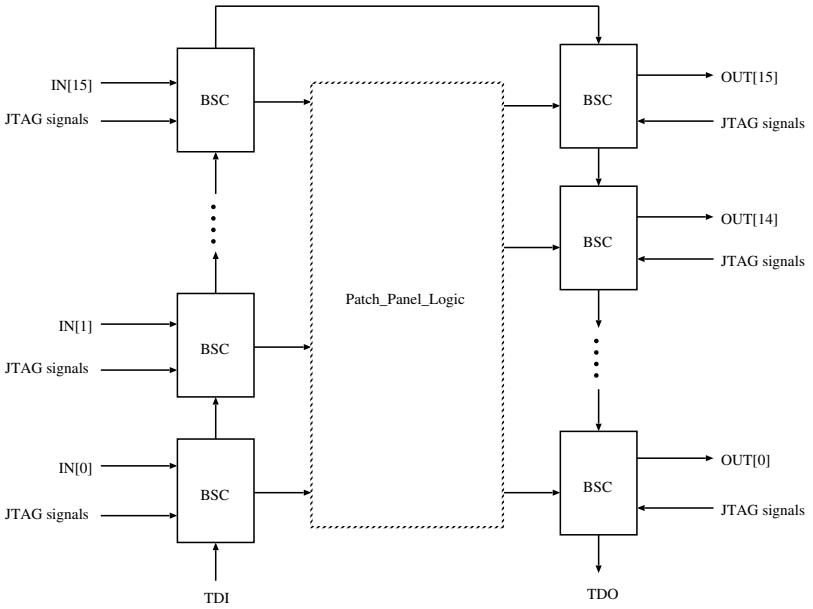

図 88: シリアルに繋がれた BSC

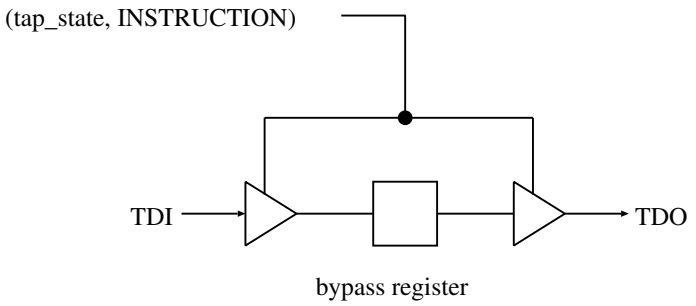

図 89: BYPASS・レジスタの概念図

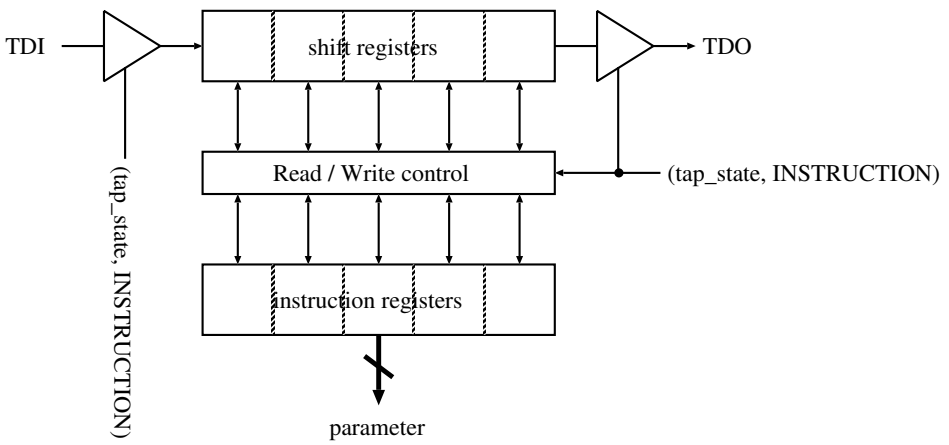

図 90: ユーザー・データ・レジスタの概念図

14　SEU (Single Event Upset) 対策

高集積回路は内部に流れる電荷量が小さいので、放射線による影響を受けやすい。そのため、放射線がデバイス内を通過した際に、SEU (Single Event Upset) と呼ばれるレジスタのビット反転が起こることがある。ここでは、まずはじめに ATLAS 前後方部における SEU の起こる頻度を見積る。その次に、SEU 対策としての Voting Logic 回路の説明をする。

14.1　SEU (Single Event Upset) 現象

高集積回路は内部に流れる電荷量が小さいので、放射線粒子が集積回路内を通過すると、その時に生じる電荷量が集積回路本来の電荷量と同程度となり、集積回路に誤動作を引き起こす。

メモリ素子などで、入射した単発の放射線粒子によって誤動作がひき起こされ、記憶していた情報が反転することがある。これを SEU (Single Event Upset) と呼ぶ。この時、記憶情報を反転させるの必要な最小電荷を臨界電荷と呼ぶ。

臨界電荷は回路パラメータに依存し、半導体デバイスの構造は集積度によって変化する。また同一の半導体部品であっても、回路に収集される電荷は放射線粒子が誘起する電離密度に依存し、電離密度は粒子の種類やエネルギーに依存する。

そのため、Patch-Panel 上での SEU 事象の頻度を見積もるには、デバイスの置かれる位置での放射線量の計算と、使用するデバイスの対放射線性質を測定しなければならない。ここで言う対放射線性質とは、粒子のデバイスに対する SEU 断面積である。

Patch-Panel が置かれる前後方部において SEU の原因となるのは、主にエネルギーが MeV 以上の中性子である。Patch-Panel ASIC に用いるデバイスの対放射線性質は現在のところ調べられていないが、他の実験グループによる測定結果があるのでこれを参考にすることができる。ここでは、他の実験グループのデータに基づいて、Patch-Panel ASIC に SEU がどの程度起こるのかを見積もることにする。

参考文献 [11] によると、SEU 断面積はデバイスの種類に大きく依存していることが分かる。複数のデバイスの SEU 断面積を表 6 に示す。Patch-Panel ASIC での SEU 頻度を見積もるために、Texs Instruments 社製 SMJ44100 4Meg DRAM の SEU 断面積を Patch-Panel ASIC の SEU 断面積であると仮定する。中性子の SMJ44100 に対する SEU 断面積は、表 7 に示す通りである。MeV 以下の中性子の断面積は非常に小さく、影響はないと考えられている。

表 6: デバイスの種類の違いによる SEU 断面積の違い

デバイスの種類	14MeV 中性子に対する SEU 断面積 (cm^2/bit)
M5M5408_B	2.5×10^{-13}
IDT71256	2.7×10^{-14}
MCM6246	8.2×10^{-15}
MHS65608E	3.3×10^{-14}

表 7: 中性子の SMJ44100 4Meg DRAM (TI) のに対する断面積

中性子エネルギー	断面積 (cm^2/bit)
3.1 MeV	2×10^{-20}
20 MeV	0.9×10^{-13}
200 MeV	2.0×10^{-13}

TGC が置かれる前後方部おけるバックグラウンド中性子のエネルギーとその量の関係は、表 8 に示すように予想されている [12]。表 8 に示した値は、ラピディティー $|\eta|$ が 2.5 で、ビーム衝突点からの距離 Z が約 14m 付近での、最も放射線量が多い位置での値である。ただし、バックグラウンド量の見積もりには、不確定要素が非常に多いので、1 オーダー程度の誤差を見ておく必要がある。

表 8: ATLAS 測定器前後方部における中性子バック・グラウンド量

中性子エネルギー	中性子量 (kHz/cm^2)
$0.1 \sim 1keV$	1×10^{1}
$1 \sim 10keV$	5×10^{-1}
$10 \sim 100keV$	5×10^{-1}
$0.1 \sim 1MeV$	5×10^{-1}
$1 \sim 10MeV$	1×10^{-1}
$10 \sim 100MeV$	1×10^{-1}
$0.1 \sim 1GeV$	1×10^{-1}

表 7 と表 8 から、1keV $\sim$ 1GeV の範囲で単位時間単位ビット当たりに起こる SEU の頻度は表 9 のよう計算できる。

表 9: ATLAS 前後方部における SEU 頻度

中性子エネルギー	断面積 (cm^2/bit)	SEU 頻度 ($bit^{-1}sec^{-1}$)
0.1 $\sim$ 1 keV	2×10^{-20}	2×10^{-16}
1 $\sim$ 10 keV	2×10^{-20}	1×10^{-17}
10 $\sim$ 100 keV	2×10^{-20}	1×10^{-17}
0.1 $\sim$ 1 MeV	2×10^{-20}	1×10^{-17}
1 $\sim$ 10 MeV	1×10^{-13}	1×10^{-11}
10 $\sim$ 100 MeV	2.0×10^{-13}	2×10^{-11}
0.1 $\sim$ 1 GeV	2.0×10^{-13}	2×10^{-11}
0.1 keV $\sim$ 1 GeV		TOTAL5×10^{-11}

16 チャンネル用 Patch-Panel ASIC 1 つに含まれるパラメータ設定用レジスタの数は 44 ビットであるので、TGC からの総読みだしチャネルを 32 万チャンネルとして 1 日当たりの SEU の起こる回数を求めると、$44(bit/ASIC) \times (320000/16)(ASIC) \times 86400(sec/day) \times (5 \times 10^{-11})(upset/bit \cdot sec) = 3.8(upset/day)$ となる。ただし注意しなくてはならないのは、SEU 現象は非常にデバイスの性質に依存しているということである。また、バックグラウンド量についてもかなりの不定性がある。そのため、ここでの見積もりは 1 オーダー以上の誤差を含むと考えなければならない。

SEU 頻度の見積もりに 1 オーダー以上の誤差があるにしても、Patch-Panel ASIC において SEU 対策を行なわないのは危険である。なぜなら、Patch-Panel では、バンチ識別など非常に基本的な処理を行なっており、一度 SEU がおこると不正確なバンチ識別が行なわれ続けることが起こりうる。そのため、Patch-Panel ASIC での SEU 対策は必須である。Patch-Panel ASIC では、SEU に対処するため設定レジスタに自己修復機能を組み込むことにした。これについては次の節で詳しく述べる。

14.2 Voting Logic 回路

Patch-Panel ASIC における SEU の影響は、他のデジタル処理回路のそれより大きい。他のデジタル処理回路でのビット反転は、SEU を受けたデータのみに影響が及ぶ。これに対し、Patch-Panel ASIC 内のレジスタに SEU が起こったとすると、SEU が起こった時刻以降の全データに影響が及ぶ。例えば、バンチ識別回路内に含まれる DLL 回路の設定レジスタに SEU が起こったとすると、それ以降は正しいバンチ識別が出来ない時間が続くことになる。このように、Patch-Panel ASIC で SEU が起こると、設定パラメータが書き直されるまでの長時間の間、誤ったデータが送り続けられることになる。このような理由から、TGC を用いたトリガーシステムを成功させるには、SEU に対して何らかの対策が必要である。

SEU 対策としていくつかアイデアが考えられる。例えば、SEU のモニターを行ない SEU が起こったデバイスのみパラメータを書き直すというような方法があるが、非常に難しい。なぜなら、読み出し総チャンネル数は 30 万チャンネル以上にも及ぶので、常にモニターを行なうというのは現実的ではない。よって、チャンネル数が非常に多いことを考慮すると、設定レジスタが自己修復機能を持つことが必要である。

Patch-Panel ASIC において、自己修復機能を実現するのが、Voting Logic 回路である。Voting Logic 回路は、Patch-Panel ASIC で用いる制御回路 (JTAG) の中に組み込まれる。ユーザーは Voting Logic 回路をの存在を意識する必要はなく、ASIC を通常の JTAG で制御することができるような構成にしている。次に具体的な、Voting Logic 回路の説明をしていく。

図 91 に Voting Logic 回路の回路図を示す。3 つの Flip Flop からの出力 out0、out1、out2 の多数決を行ない OUT 信号として出力している。多数決論理は 3 つの入力値のうち多数派の値を出力する。例えば、図 91 の out0 と out1 が 1 で out2 が 0 ならば、OUT は 1 となる。OUT 信号は Flip Flop の入力へフィードバックされ、CLK の立ち上がりで Flip Flop の出力値へ更新される。このように CLK のタイミングに合わせて多数決が常にとられるので、仮に SEU で 1 つの Flip Flop にビット反転が起こったとしても、修復される。SEU により同時に 2 つの Flip Flop にビット反転が起こる確率は非常に低いので、このような仕組みで SEU に対処できる。外部から Flip Flop へ新たな値を書き込みたい時には、select 信号により Flip Flop への入力を IN に設定すればよい。

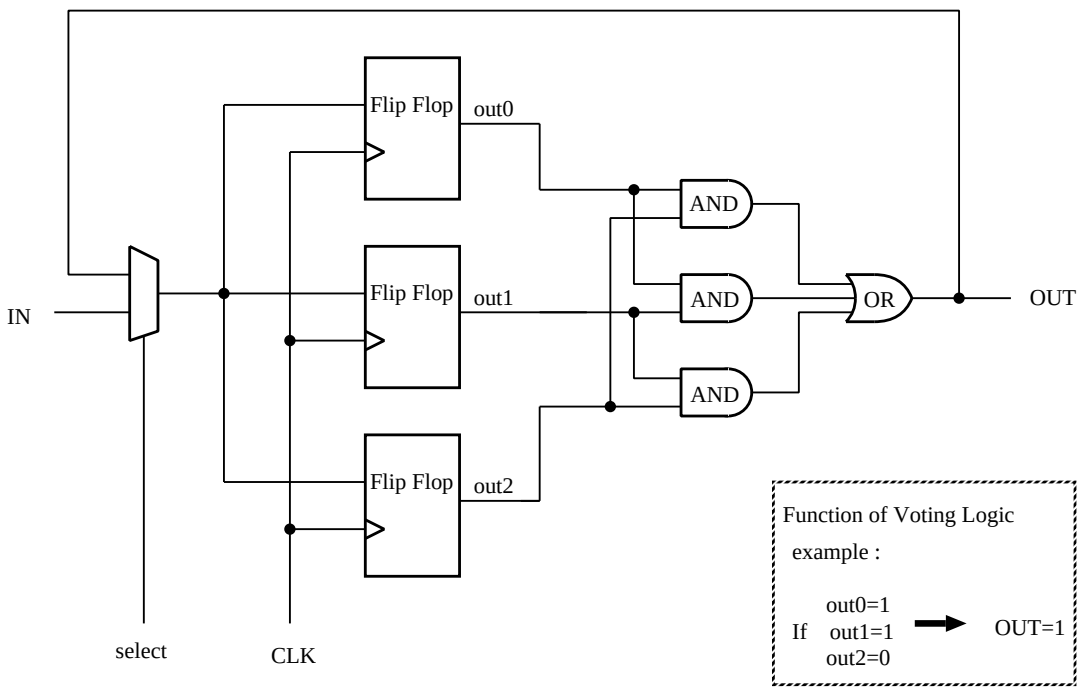

図 91: Voting Logic 回路を含むレジスタの回路図

図 92 に Voting Logic 回路を組み込んだ JTAG の INSTRUCTION レジスタ示す。Voting Logic での多数決は 40MHz クロックに同期して行なわれ、JTAG 制御は TCK 信号に同期して行なわれる。このため、この回路を全体として見た場合には、40MHz クロックと TCK 信号という 2 つのクロック信号が存在するのに等しい。Voting Logic 回路では、40MHz クロックと TCK 信号という 2 つの信号を用いることによるタイミング的な問題が起こらないように、TAP コントローラのの Update ステートをフラグとして用いることで解決している。このため、JTAG による読み書きは通常通り行なえるようになっている。

Voting 機能に加えて SEU モニター機能をつけた。もし SEU が起こった場合には、フラグ信号 SEU FLAG 信号が出力され SEU モニター用レジスタに記録される。この値は JTAG により読み出せる。

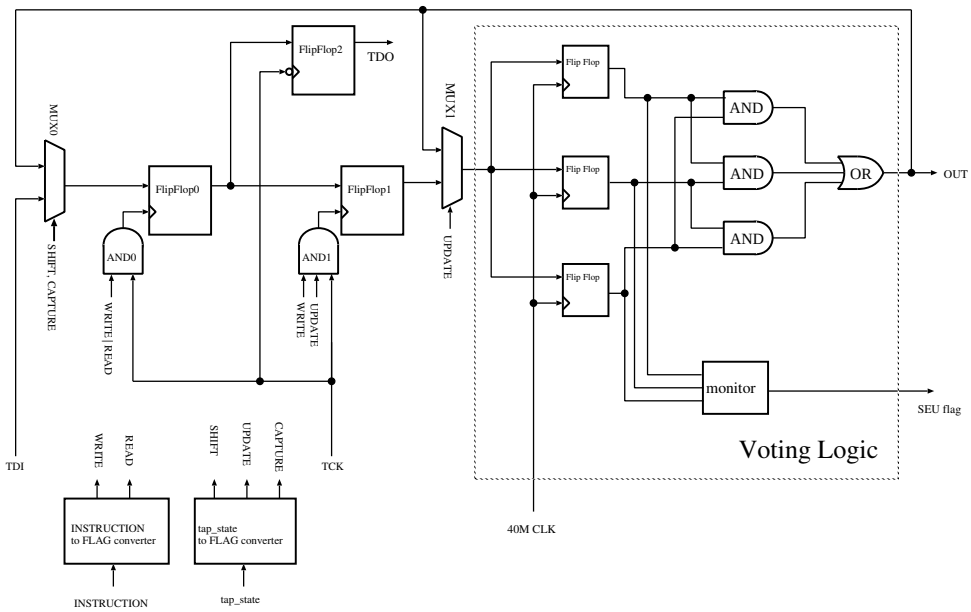

図 92: Voting Logic 回路を含むインストラクションレジスタ (点線内が Voting Logic 回路)

15　Patch-Panel ASICの構成と検証

これまでは、ASICの基本的な構成要素となる部分についてみてきた。これらの基本的要素を組み合わせることにより、Patch-Panel ASICが果たすべき機能を実現した。

ここでは、初めにASIC全体の構成について述べ、次に機能ごとに説明していく。最後に機能ごとに行なった論理シミュレーションの結果を示す。

15.1　Patch-Panel ASICの構成

図93にPatch-Panel ASICの構成を示す。図93から分かるようにPatch-Panel ASICの機能は、TGC信号処理部、テストパルス発生部、可変遅延クロック出力、ヒューズモニター、SEUモニターから構成される。制御用回路にはJTAGを用いている。

入力信号は図の左側、出力信号は図の右側に書いてある。JTAG用の信号には、TCK、TMS、TDI、TDO、TRSTという5本の信号線を用いている。信号SETP、ENP、ENVはASIC内の全てのDLLに共通に配信される。STEPは遅延セルの段数設定に用いられる。ENP、ENVはDLLの初期条件一意にするための制御信号である。他の信号については、機能ごとの説明のところでふれることにする。

図93中の網かけされている四角は、JTAGレジスタを表している。BYPASSレジスタ、SEU_register、fuse_monitor_register以外のものは、SEU対策としてVoting Logic回路を含むレジスタである。BYPASSレジスタ、SEU_register、fuse_monitor_registerが、Voting Logic回路を含まないのは以下の理由からである。BYPASSレジスタは、複数のICをつないでパラメータ設定を行なう時などにTDIとTDOの経路をバイパスさせるために用いるので、BYPASSレジスタが動作している実質的な時間は非常い短いからである。SEU_registerについては、SEU_register自体がSEUを起こしてもASICの機能としては何ら問題がない。fuse_monitor_registerはTCKの立ち上がりに同期してヒューズをモニターして値を更新しているので、仮にSEUが起こったとしても、JTAGが動作しTCKがLOW状態からHIGH状態に遷移すれば正しい値が更新されるからである。

15.1.1　TGC信号処理部

図94に信号部の概念図を示す。16チャンネルLVDS入力はLVDSレシーバでTTLレベルに変換された後、BSCに送られる。BSCからの出力は、信号(アノードかカソード)の種類により、外部から与えられるsignal_polarity信号により極性を変えられる。

信号は、外部から与えられるbypass_select信号により内部回路をバイパスすることができる。内部回路バイパス機能は、LVDSレシーバの動作を調べる時に用いる。

内部回路は信号遅延とBCID回路から成る。信号遅延回路ではDLL_register0の設定値に基づきDLL回路で信号を遅らせる。BCID回路の入力部では、mask_registerの設定により各チャンネル独立にマスクを行なうことが出来る。BCID回路にはDLL回路が2つ含まれるが、遅延設定はDLL_register1、DLL_register2を用いて行なう。

15.1.2　テストパルス発生部

図95にテストパルス部の概念図を示す。TTLレベルの外部トリガー信号を受け、ある時間遅延をかけた後テスト・パルス信号を出力する。

出力タイミング設定を決める遅延回路には、2つの遅延回路を用いる。1つは25ns単位の遅延をつくるコースディレイである。コースディレは0、25、50、75nsが設定可能である。2つ目の遅延回路にはDLLを用い、サブナノ精度の遅延をかける。

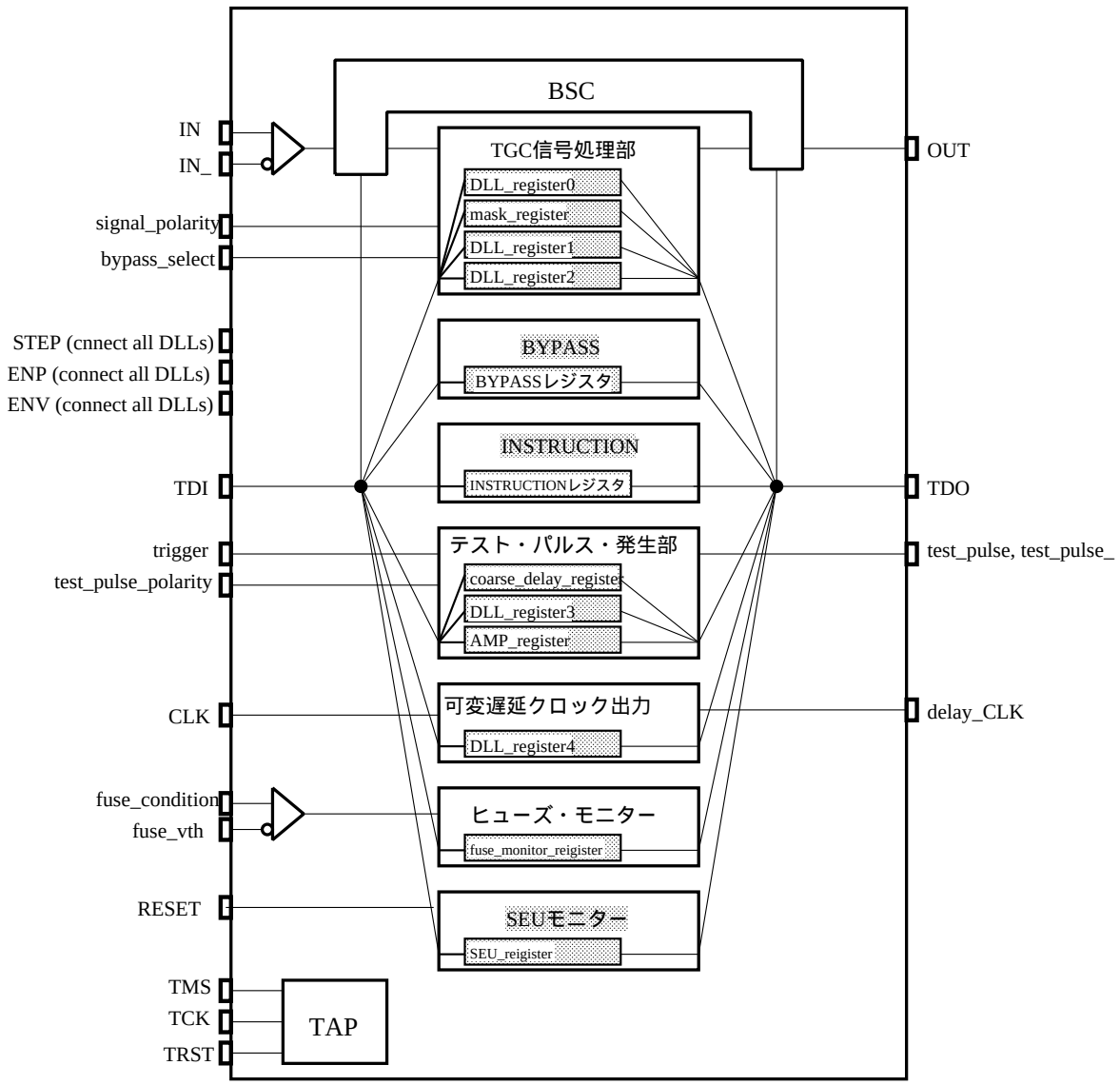

図 93: Patch-Panel ASIC の構成

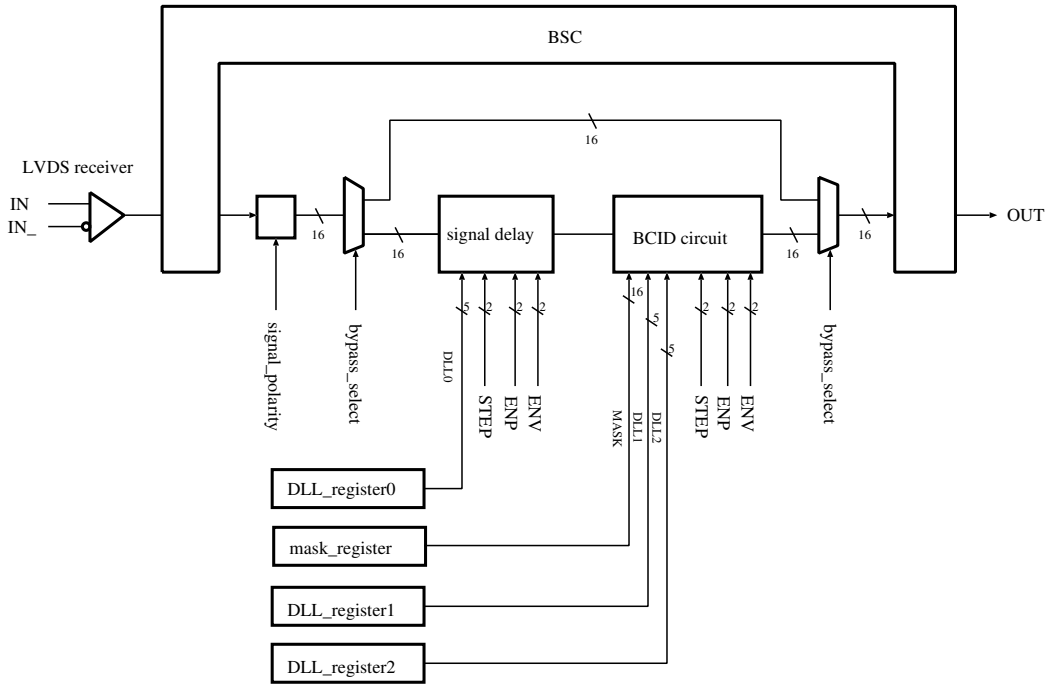

図 94: 信号部の概念図

信号の出力電圧レベルは 50mV から 350mV の範囲で 4 段階に設定可能である。IC の温度が 0°C でトランジスタの速さが標準的な場合には、出力電圧は 50mV、150mV、250mV、350mV の 4 段階である。

テスト・パルスの幅は 1μs である。アノード用とカソード用のテストパルスが出力可能なように、外部から polarity 信号を与えることにより極性が変えられる。

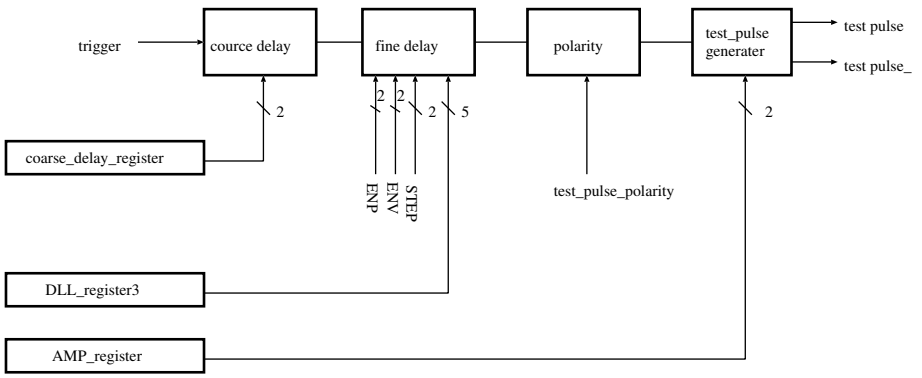

図 95: テストパルス部の概念図

15.1.3 可変遅延クロック出力

図 96 に遅延クロック出力部の概念図を示す。40MHz クロックを入力し、サブナノセカンド精度の遅延をかけて出力する。遅延回路には DLL を用い、0~25ns の範囲でサブナノ精度の遅延を作る。

遅延クロック出力を設ける理由は、ASIC の製造終了後に DLL の動作を検証するためである。DLL 遅延セルの段数設定などを行なう際には、まず単純な構造をしている可変遅延クロック出力を用いてその設定値を決める。

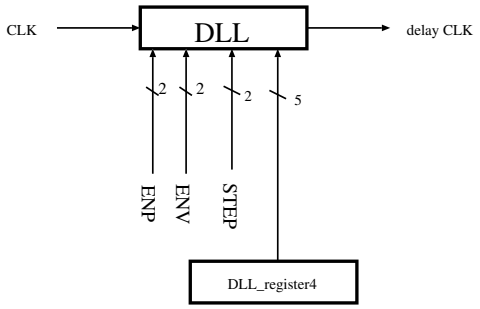

図 96: 遅延 40MHz 部の概念図

15.1.4 ヒューズモニター

DCS から ASD に与えられる ±3V 電源のモニターを行なう。図 97 の概念図を示す。ヒューズからの信号は LVDS レシーバに入力される。LVDS レシーバのもう一方の入力には外部から基準電圧を与えておき、ヒューズの異常があった時に、レジスタに書き込まれる。書き込まれるタイミングは、TCK の立ち上がりである。

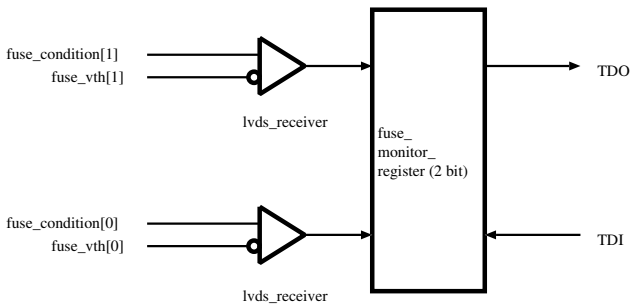

図 97: ヒューズモニター部の概念図

15.1.5 SEU モニター

全てのパラメータ設定用 JTAG レジスタは、SEU が起こった時に 1 クロック幅のパルスを出すように設計してある。SEU モニター機能は (図 98) パルスが出力された時に、SEU_register (1 ビット) が HIGH になり SEU が起こったことを知らせる。レジスタの値は、JTAG を用いて読み出される。SEU_register は読み出し専用で、レジスタのリセットには RESET 信号を用いる。

15.2 論理シミュレーション

ASIC 内の HDL 記述したデジタル回路部分について、HDL の論理シミュレーションを行い、正しく動作することを確認した。

Patch-Panel はアナログ、デジタル混在である。そのため、デジタル回路の論理シミュレーションの際には、アナログ回路部分には、機能的に等価なシミュレーション用回路を HDL で記述して用いた。このシミュレーション用回路は、DLL が果たすのと同じ機能と入出力ポートを持つように記述した。等価回路を用いた部分は、DLL、LVDS レシーバ、テスト・パルス・ジェネレータである。DLL の等価回路は、実際の DLL と同じサブナノ精度の遅延を持つ回路で構成した。LVDS レシーバの等価回路は、論理値差動入力を受けて論理値出力をするという回路で構成した。テスト・パルス・ジェネレータは、論理値入力を受けて

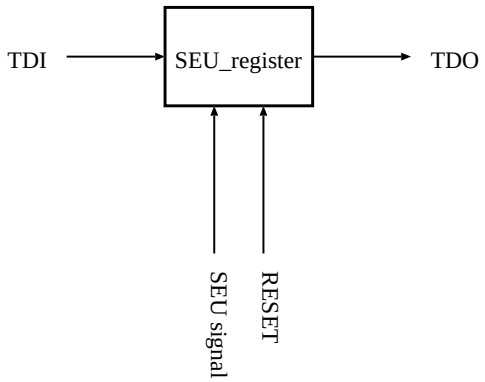

図 98: SEU モニター部の概念図

論理値出力するという回路で置き換えた。可変出力電圧の機能は省略した。

シミュレーションは、実際の IC 完成時に行なう性能テストとできるだけ同じような手順になるようにした。シミュレーションで確認したのは次の項目である。これらについて詳しく説明していく。

- 全レジスタへの書き込みと読み出し
- 可変遅延クロック出力
- テスト・パルスの出力
- TGC 信号処理
- ヒューズ・モニターの動作
- SEU モニター
- BYPASS
- INTEST
- EXTEST

15.2.1 全レジスタの書き込みと読み出し動作シミュレーション

パラメータ設定用 JTAG レジスタの書き込み読みだしの動作をシミュレーションし、正しく動作することを確認した。図 99 にシミュレーションの流れを示す。2 ビットと 5 ビット幅のレジスタについては、書き込み可能な設定パターン全てについて行なった。16 ビット幅のレジスタについては、16 ビット乱数を用いて 128 回行なった。書き込み読み出し動作を行なった後、それらの値が一致することをみて動作確認を行なった。

ここでシミュレーションを行なったのは、BSC、fuse_monitor_register、SEU_register 以外の全てである。BSC については、EXTEST と INTEST のシミュレーションのところで読み書きの動作を検証した。fuse_monitor_register については、ヒューズ・モニター機能の動作シミュレーションのところで検証した。SEU_register については、疑似的に SEU を起こして書き込み読みだしを行なった。

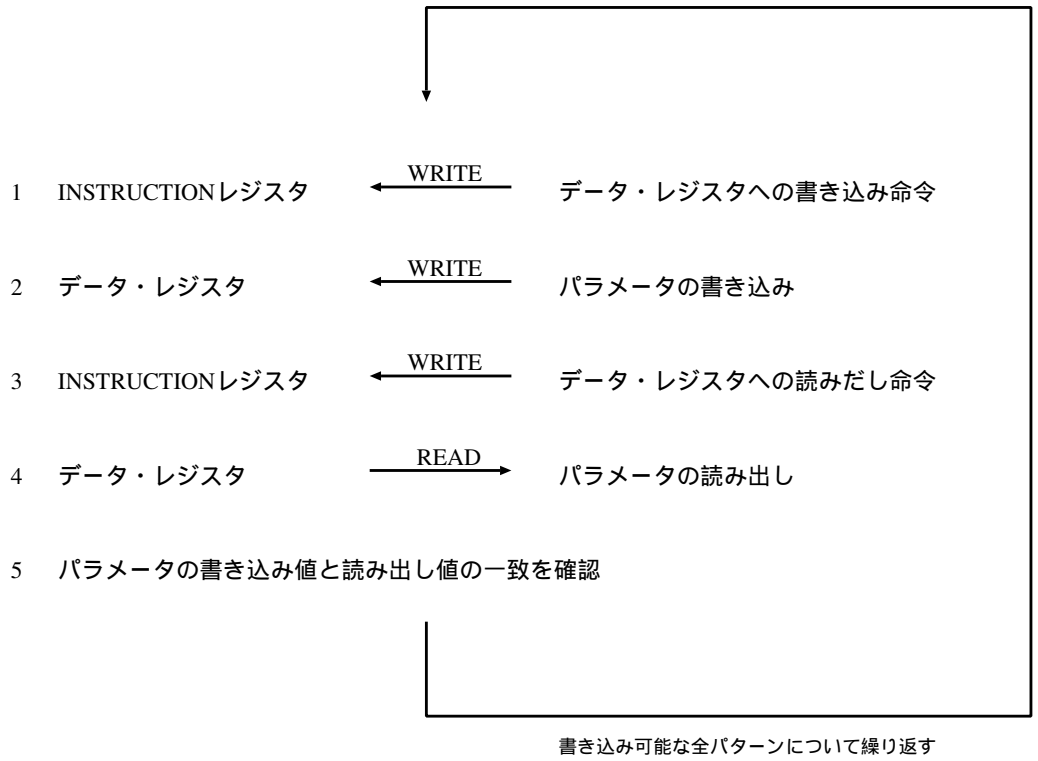

図 99: レジスタへの書き込みと読み出しシミュレーションの流れ

15.2.2 可変遅延クロック出力シミュレーション

40MHz 遅延クロック出力機能全体のシミュレーションを行なった。実際の 40MHz 遅延クロック出力のためには DLL 回路を用いるが、この論理シミュレーションでは、DLL 部分は HDL で記述した等価回路で置き換えて行なった。

シミュレーションは次のような手順で行ない、正しく動作していることを確認した。

1. INSTRUCTION レジスタへ、DLL_register4 への書き込み命令を設定。
2. DLL_register4 に 5 ビット乱数の値を書き込み。
3. INSTRUCTION レジスタへ、DLL_register4 からの読み出し命令を設定。
4. DLL_register4 の値を読み出し、書き込み値と一致しているか確認。
5. 40MHz 遅延クロック出力波形を確認。

図 100 にシミュレーションの波形を示す。時刻 0ns で遅延設定値 DELAY は不定であるが、右の波形図では、DELAY に 00 が書き込まれ遅延クロック delay_CLK が出力されているのが分かる。

15.2.3 テストパルス発生部のシミュレーション

テストパルス発生部全体のシミュレーションを行なった。実際のテストパルス発生部は、DLL とテスト・パルス・ジェネレータの 2 つのアナログ回路を用いる。この 2 つは HDL で記述した等価回路で置き換えて、シミュレーションを行なった。

シミュレーションは次のような手順で行ない、正しく動作していることが確認された。

1. テスト・パルスの極性設定。

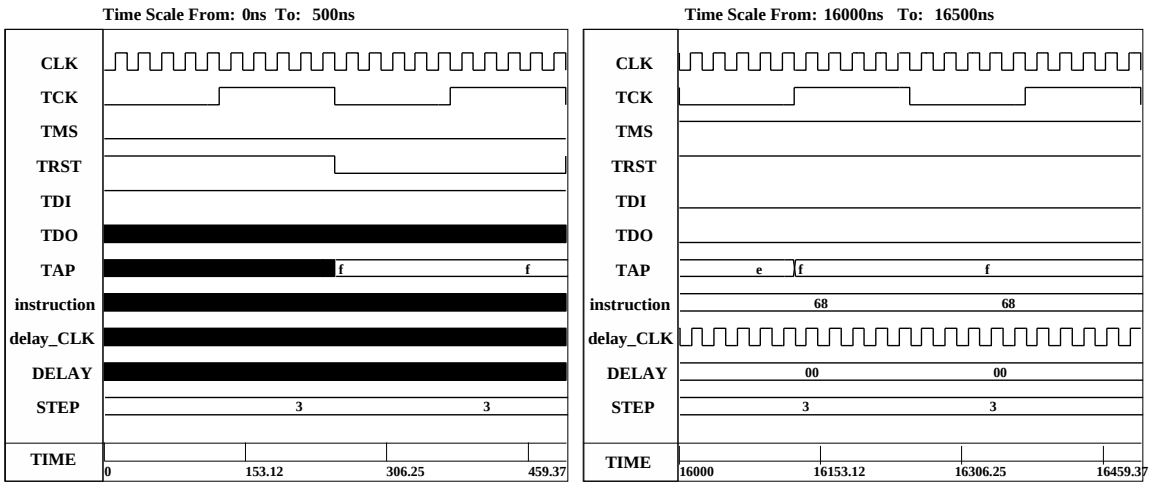

図 100: 可変遅延クロック出力シミュレーション波形

2. INSTRUCTION レジスタへ、 AMP_register への書き込み命令を設定。
3. AMP_register へ 2 ビット乱数の値を書き込み。
4. INSTRUCTION レジスタへ、 AMP_register からの読み出し命令を設定。
5. AMP_register レジスタの値を読み出し、書き込み値と一致しているか確認。
6. INSTRUCTION レジスタへ、coarse_delay_register への書き込み命令を設定。
7. coarse_delay_register へ 2 ビット乱数の値を書き込み。
8. INSTRUCTION レジスタへ、 coarse_delay_register からの読み出し命令を設定。
9. coarse_delay_register の値を読み出し、書き込み値と一致しているか確認。
10. INSTRUCTION レジスタへ、DLL_register3 への書き込み命令を設定。
11. DLL_register3 へ 5 ビット乱数の値を書き込み。
12. INSTRUCTION レジスタへ、 DLL_register3 からの読み出し命令を設定。
13. DLL_register3 への値を読み出し、書き込み値と一致しているか確認。
14. トリガー信号入力。
15. 出力波形の確認。

図 101 にシミュレーションの波形を示す。時刻 0ns で出力電圧値 AMP、コース・ディレイ設定値 COARSE、ファイン・ディレイ設定値 FINE は不定であるが、左の波形では設定値が書き込まれている。トリガー信号 trigger を受けて、設定時間の遅延の後テスト・パルス (out、out_) が出力されているのが分かる。

その他に、出力信号が正しいタイミングで幅 1μs で出力されていることを確認した。また出力信号の極性設定機能も正しく動作した。

15.2.4 TGC 信号処理部のシミュレーション

TGC 信号処理部全体のシミュレーションを行なった。DLL と LVDS レシーバの部分は、機能的に等価なシミュレーション用回路を HDL で記述して用いた。

シミュレーションは以下のような手順で行ない、正しくバンチ識別された出力信号が得られることを確認した。信号極性設定、内部回路バイパス機能も正しく動作することを確認した。

1. 信号の極性設定。
2. 内部回路バイパス機能の設定。

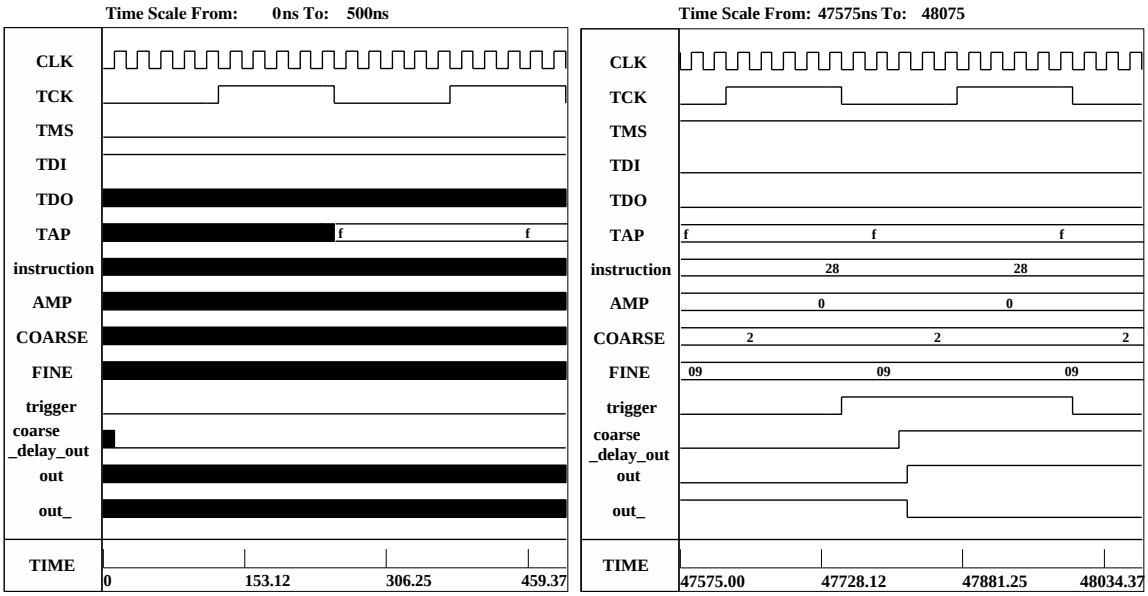

図 101: テスト・パルス出力シミュレーション波形

3. INSTRUCTION レジスタへ、mask_register への書き込み命令を設定。
4. mask_register へ 16 ビット乱数の値を書き込み。
5. INSTRUCTION レジスタへ、mask_register からの読み出し命令を設定。
6. mask_register の値を読み出し、書き込み値と一致しているか確認。
7. INSTRUCTION レジスタへ、DLL_register0 への書き込み命令を設定。
8. DLL_register0 へ 5 ビット乱数の値を書き込み。
9. INSTRUCTION レジスタへ、DLL_register0 からの読み出し命令を設定。
10. DLL_register0 の値を読み出し、書き込み値と一致しているか確認。
11. INSTRUCTION レジスタへ、DLL_register1 への書き込み命令を設定。
12. DLL_register1 へ 5 ビット乱数の値を書き込み。
13. INSTRUCTION レジスタへ、DLL_register1 からの読み出し命令を設定。
14. DLL_register1 の値を読み出し、書き込み値と一致しているか確認。
15. INSTRUCTION レジスタへ、DLL_register2 への書き込み命令を設定。
16. DLL_register2 へ 5 ビット乱数の値を書き込み。
17. INSTRUCTION レジスタへ、DLL_register2 からの読み出し命令を設定。
18. DLL_register2 の値を読み出し、書き込み値と一致しているか確認。
19. TGC テスト信号の入力。
20. 出力波形の確認。

図 102 にシミュレーションによる波形を示す。時刻 0ns ではマスク設定 MASK、信号遅延設定値 signal_delay、BCID 回路のクロック遅延設定値 clk_delay、BCID 回路のゲート幅設定値 gate_width は、不定であるが、左の図では全てのパラメータが設定されている。全チャンネルマスク機能はオフになっている。入力信号 (lvds_in、lvds_in_) を受けて、バンチ識別を行ない 1 クロック幅の信号を出力 (OUT 信号) しているのが分かる。

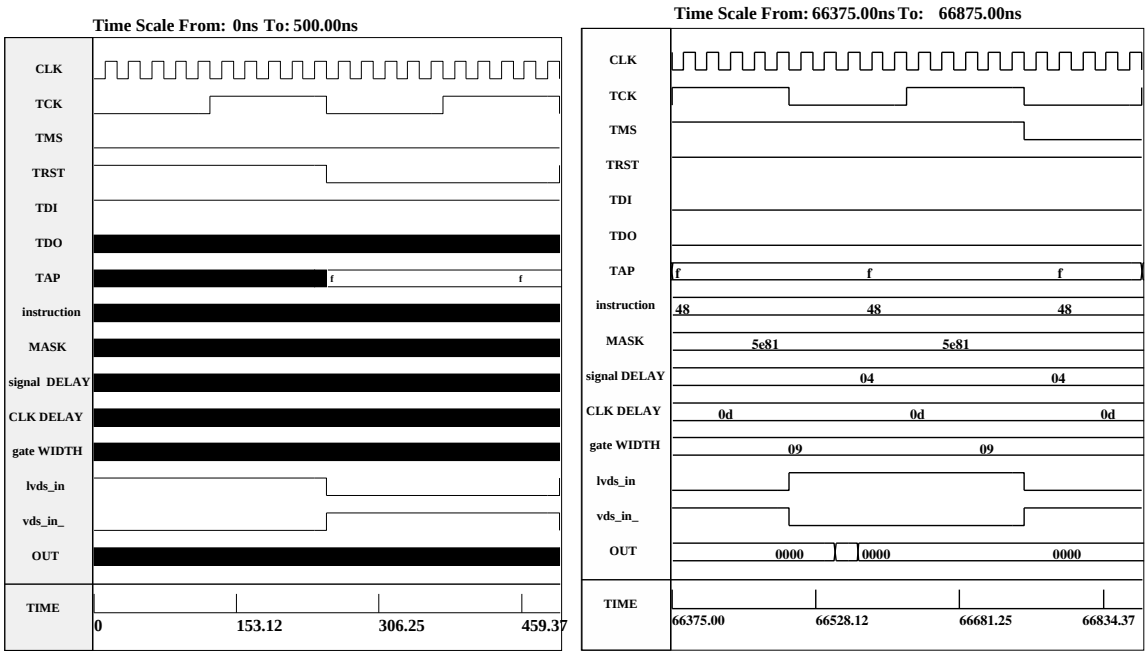

図 102: TGC 信号処理部シミュレーション波形

15.2.5 SEU モニターシミュレーション

SEU モニターのシミュレーションは、SEU レジスタに RESET をかけ、レジスタ値を 0 にして、その値を読み出した。このことから、レジスタからの読み出しが行なえることが分かる。Voting Logic 回路のみの動作を行ない、仮に SEU が起こった時には 1 クロック幅のパルスが出力されることを確認した。

15.2.6 ヒューズ・モニター機能の動作シミュレーション

実際のヒューズ・モニター信号は LVDS レシーバを用いて受信するが、この部分には機能的に等価なシミュレーション用回路を用いた。

シミュレーションは次のような手順で行なった。ヒューズ・モニター信号入力ポートにテスト信号を入力し、それを JTAG を用いて読み出し、動作しているか調べた。テスト信号は 2 ビットなので、全パターンについて同様のことを行なった。シミュレーションの結果は、ヒューズ・モニター機能が正しく動作することが確認された。

1. ヒューズ・モニター信号入力ポートにテスト信号を入力する。
2. INSTRUCTION レジスタへ、FUSE レジスタからの読み出し命令を設定。
3. FUSE レジスタから値を読み出す。
4. テスト信号と読み出し値が一致していることを確認する。

15.2.7 BYPASS の動作シミュレーション

BYPASS 命令が正しく動作することを確認した。以下の手順でシミュレーションを行ない、動作を確認した。

1. INSTRUCTION レジスタへ、BYPASS 命令を書き込む。
2. TDI からテスト・パターンの入力。
3. TDO からの出力値が、TDI からの入力パターンと一致するのを確認する。

15.2.8 INTEST の動作シミュレーション

ASIC 完成後に行なうのと同じよに、以下のような手順で INTEST の動作を確認した。BSC からのテストパターンには乱数を用いた。

1. INSTRUCTION レジスタへ、SAMPLE/PRELOAD 命令を書き込む。
2. TDI から BSC へ、32 ビット乱数を用いて出力パターンを設定する。
3. INSTRUCTION レジスタへ、INTEST 命令を書き込む。
4. 出力値と設定値が一致することを確認。

15.2.9 EXTEST の動作シミュレーション

ASIC 完成後に行なうのと同じように、以下のような手順で EXTEST の動作を確認した。BSC からのテストパターンには乱数を用いた。

1. INSTRUCTION レジスタへ、SAMPLE/PRELOAD 命令を書き込む。
2. TDI から BSC へ、32 ビット乱数を用いて出力パターンを設定する。
3. INSTRUCTION レジスタへ、EXTEST 命令を書き込む。
4. 出力値と設定値が一致することを確認。

15.2.10 論理シミュレーションからの結論

これまでの論理シミュレーションから、次の 2 つのことが分かる。

- 全てのレジスタの読み書きが出来る。
- 全てのインストラクションが正しく実行できる。

よって、HDL によって JTAG プロトコルを備えた IC が正しく設計できていることが分かる。

15.3 ASIC の論理合成と配置配線

これまで説明してきたように、アナログ、デジタル部分共に要求通りのシミュレーション結果が得られたので、論理合成と配置配線を行なった。図 103 に論理合成図を示す。図 104 には配置配線終了後の Patch-Panel ASIC 全体の配置配線図 (マスク・パターン)、図 105 には配置配線図の部分的な拡大図を示す。IC ウエハーの大きさは 9.0mm 角で、使用可能な入出力ピン数は 159 である。Patch-Panel ASIC は総ゲート数は約 13k である。トランジスタ数にすると約 50k トランジスタである。

配置配線は、配線のショートなどのエラーなしに完了した。よって、これで Patch-Panel ASIC の設計が完了したことになる。

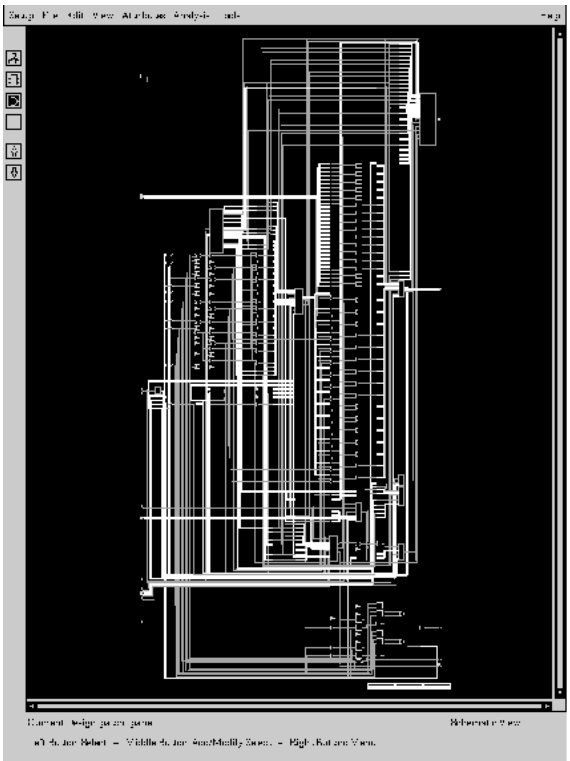

図 103: Patch-Panel ASIC の論理合成図

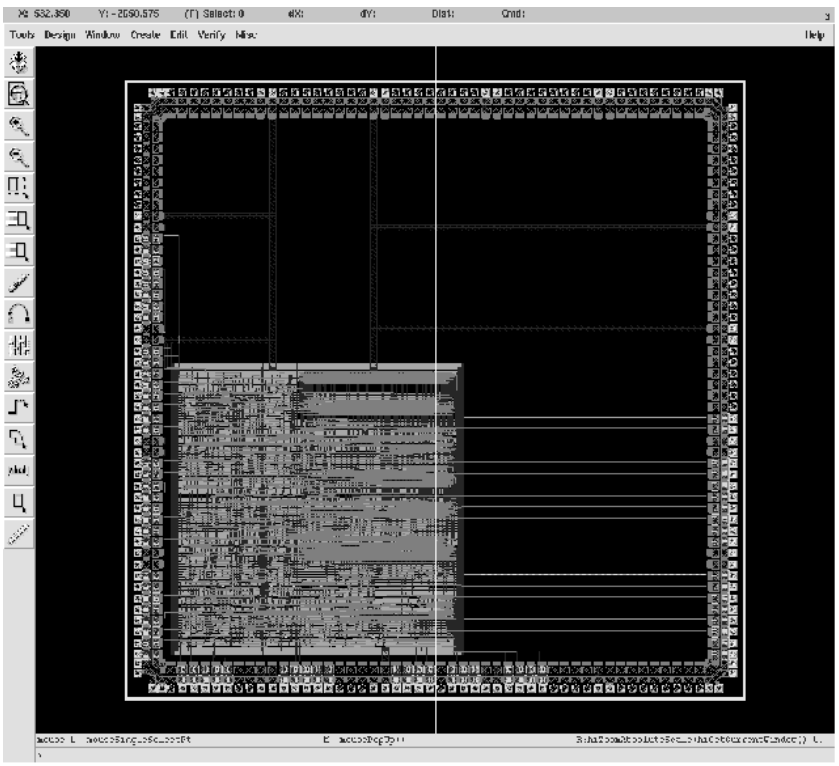

図 104: Patch-Panel ASIC 全体の配置配線図

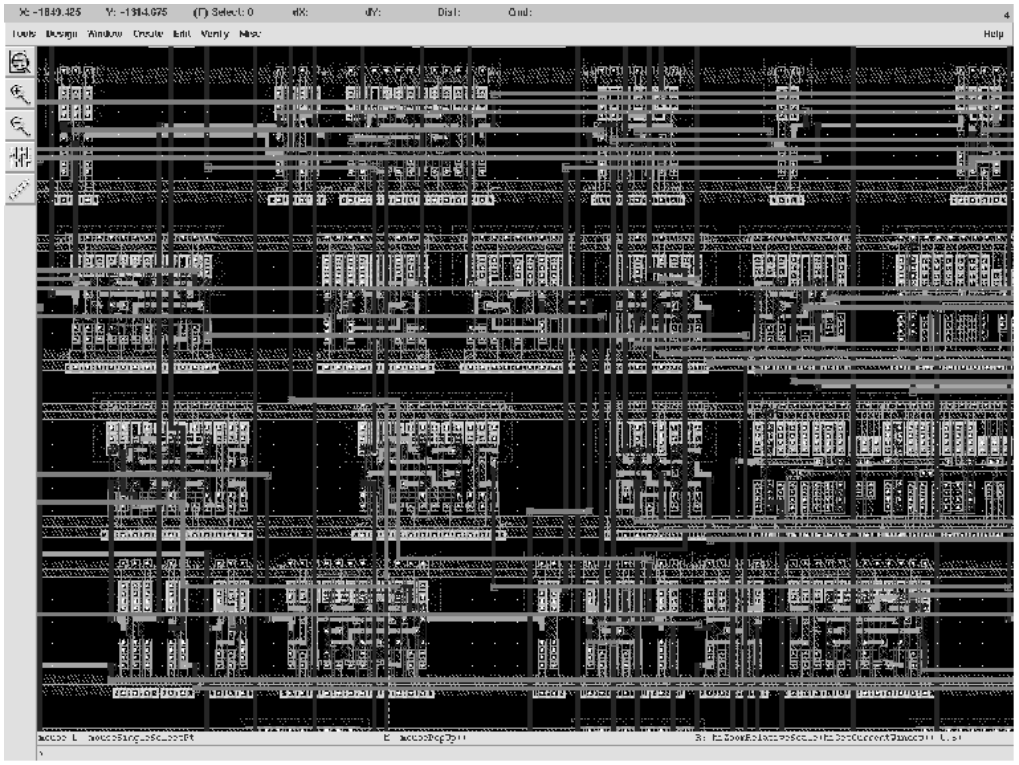

図 105: 配置配線図の拡大図 (64 倍)

16　まとめと今後の予定

まとめ

ATLAS 実験はバンチ・クロッシング・レートが高く、またバックグラウンドが非常に多いので、トリガー・システムが非常に重要である。LVL1 トリガー・システムを正確に動作させるにはエレクトロニクスのタイミング調整が非常に重要である。このことをふまえた上でアナログ、デジタル混在の Patch-Panel 用 IC の設計を行なった。アナログ回路に関しては、DLL、LVDS レシーバ、テスト・パルス・ジェネレータをトランジスタ・レベルで設計した。DLL はエレクトロニクスのタイミング調整に用いるためのサブナノ精度の遅延回路である。LVDS レシーバは TGC 測定器のフロントエンド・エレクトロニクスから送られてくる差動信号を、ASIC 内のロジック電圧レベルに変換する回路である。テスト・パルス・ジェネレータは、TGC 測定器のフロントエンド・エレクトロニクスに対し、可変電圧パルスを差動出力する回路である。これらの設計に際しては、様々な動作環境を想定して、綿密な回路シミュレーションを行なった。具体的には、IC 製造プロセスのばらつきによるトランジスタ動作速度、温度、周波数、電源電圧降下について考察し、常時安定に動作する回路が設計されていることが証明された。デジタル回路に関しては、TGC エレクトロニクスグループとしては初めて本格的に、内部回路制御のために JTAG プロトコルを持つ IC の設計を行なった。さらに、放射線によるレジスタのビット反転現象 (SEU : Single Event Upset) 対策のために、IC 中のパラメータ設定用レジスタには自己修復機能を持つ Voting-Logic 回路を導入した。デジタル回路のシミュレーションは、実際の IC 完成時に行なうであろう手順に沿って行い、回路が正しく動作していることを確認した。最後に、これらのアナログ、デジタル回路を組合せた後、専用 CAD を用いて IC の配置配線を行ない、IC 製造に用いるマスク・パターンをデザインした。これらの IC 設計の全工程を行ない、ATLAS 実験ミューオン トリガー用タイミング調整 IC の設計を完成させた。

今後の予定

今回設計した ASIC のテスト・チップは 2000 年夏ごろには届くものと思われる。そこで大量生産に向けて、アナログ回路、制御回路 (JTAG) について徹底的な動作テストを行ない、修正点を洗い出すことが必要である。大量生産でのミスは許されないので、動作テストの結果を基にして、より危険性の少ない配置配線レイアウトを行なう必要がある。数回の Patch-Panel 用 IC の試作後、基板を含めたフル・システム Patch-Panel の完成を目指す。最終的には、平行して研究開発が進められている他のトリガー・システム用エレクトロニクスと Patch-Panel を組合せて、全システムの完成を目指す。

図 目 次

1 LHC の全体図 . . . 5
2 LHC ($\sqrt{s} = 14TeV$) における標準 Higgs 粒子の質量と生成断面積の関係。(トップ・クォークの不変質量=175GeV として計算) . . . 6
3 Higgs 粒子の崩壊分岐比と質量の関係 (トップ・クォークの不変質量=175GeV として計算) 7
4 ATLAS 測定器の全体図 . . . 9
5 ATLAS 測定器の R-Z 断面図 . . . 10
6 ATLAS 測定器の R-ϕ 断面図 . . . 11
7 TGC の構造 (左：トリプレット TGC、右：ダブレット TGC) . . . 13
8 TGC 信号のタイム・ジッター。グラフ内上の数値は粒子の入射角度である。 . . . 14
9 TGC 読み出し方向 . . . 14
10 複数の TGC から構成された前後方部ミューオン・システム . . . 15
11 ATLAS におけるトリガーの方法 . . . 16
12 LVL1 トリガー・システムの方法 . . . 17
13 トリガー・セクターの単位 . . . 19
14 ミューオン・トリガー・システム . . . 19
15 前後方部ミューオン・トリガー・システム . . . 20
16 δR、$\delta\phi$ の測定方法 . . . 21
17 前後方部ミューオン・トリガー・システムの流れ . . . 22
18 ミューオン・トリガー・システムの配置 . . . 23
19 Patch-Panel の概念図 . . . 24
20 Patch-Panel の OR 回路 . . . 25
21 ワイヤー dublet 用 Slave Board のブロックダイアグラム . . . 26
22 ワイヤー dublet 用 Slave Board マトリックス . . . 26
23 High-p_T ボードのブロックダイアグラム . . . 27
24 High-p_T マトリックス . . . 27
25 Secter Logic のブロックダイアグラム . . . 28
26 遅延回路の有無によるバンチ識別の違い . . . 30
27 PS-pack の構造 . . . 31
28 Patch-Panel ASIC の機能 . . . 33
29 DLL 回路の概念図 . . . 34
30 BCID 回路図 . . . 34
31 ASIC 設計の流れ . . . 36
32 設計工程の概念図 . . . 37
33 CMOS トランジスタの構造 (NMOS) . . . 38
34 Delay Cell の回路図 . . . 39
35 Delay Cell のレイアウト図 . . . 40
36 VCON に対する 32 段遅延回路の信号遅延時間。(PMOS,NMOS)=(FAST, FAST)、(TYPICAL, TYPICAL)、(SLOW, SLOW) . . . 41
37 温度を変えた時の 32 段ディレイセルの信号遅延時間。(PMOS,NMOS)=(SLOW, SLOW)、上から 0°C、25°C、50°C、75°C である。 . . . 41
38 位相検出器の回路図 . . . 42
39 位相検出器の UP、DN 信号の動き . . . 42
40 ENP、ENV の制御タイミング図 . . . 43
41 チャージポンプの回路図 . . . 44

42 チャージポンプのレイアウト図 . . . 45
43 負荷の回路図 . . . 46
44 負荷のレイアウト図 . . . 46
45 DLL フル・シミュレーションの回路図 . . . 47
46 DLL シミュレーションでの VCON 収束する様子。(VDD=3.3V) . . . 48
47 (PMOS, NMOS)=(FAST, FAST) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定 . . . 48
48 (PMOS, NMOS)=(TYPICAL, TYPICAL) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定 . . . 48
49 (PMOS, NMOS)=(SLOW, SLOW) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.3V 固定 . . . 48
50 DLL シミュレーションで VCON の収束する様子。(VDD=3.0V) . . . 49
51 (PMOS, NMOS)=(FAST, FAST) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定 . . . 49
52 (PMOS, NMOS)=(TYPICAL, TYPICAL) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定 . . . 49
53 (PMOS, NMOS)=(SLOW, SLOW) 時の REF_CLK に対する DLL_CLK の動き。VDD=3.0V 固定 . . . 49
54 温度を変えた時の VCON 収束する様子 (VDD=3.3V) . . . 51
55 温度 0°C における REF_CLK に対する DLL_CLK の動き . . . 51
56 温度 50°C における REF_CLK に対する DLL_CLK の動き . . . 51
57 温度 75°C における REF_CLK に対する DLL_CLK の動き . . . 51
58 60MHz クロックを用いた時の VCON 収束する様子 (VDD=3.3V) . . . 52
59 60MHz クロックを用いた時の REF_CLK に対する DLL_CLK の動き . . . 52
60 遅延回路段数設定、出力選択 . . . 53
61 LVDS 規格の電圧レベル . . . 54
62 LVDS レシーバの回路図 . . . 55
63 入力を基準電圧 (右 2.2V, 中 1.2V, 左 0.2V) 、振幅電圧 200mV、周波数 40MHz とした時の入出力波形 . . . 55
64 入力を基準電圧 (右 2.2V, 中 1.2V, 左 0.2V) 、振幅電圧 100mV、周波数 40MHz とした時の入出力波形 . . . 56
65 LVDS レシーバのトランジスタの速さによる影響。(右 FAST、左 SLOW) 入出力波形 (入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz) . . . 56
66 温度を変えた時の入出力波形 (右 $0°C$、中 $50°C$、左 $75°C$) 。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz . . . 56
67 入力を基準電圧 1.2V、振幅電圧 200mV、周波数 100MHz とした時の入出力 (温度 25°C) 57
68 LVDS レシーバのレイアウト図 . . . 58
69 入力を基準電圧 (2.2V, 1.2V, 0.2V) 振幅電圧 200mV、周波数 40MHz とした時の入出力波形 58
70 入力を基準電圧 (0.2, 1.2, 2.0V) 、振幅電圧 100mV、周波数 40MHz、とした時の入出力波形 59
71 LVDS レシーバのトランジスタの速さによる影響。(右 FAST、左 SLOW) 入出力波形 (入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz) . . . 59
72 温度を変えた時の入出力波形 (右 $0°C$、中 $50°C$、左 $75°C$) 。入力は基準電圧 1.2V、振幅電圧 200mV、周波数 40MHz . . . 59
73 入力を基準電圧 1.2V、振幅電圧 200mV、周波数 100MHz とした時の入出力波形 (温度 25°C) 60
74 テスト・パルス・ジェネレータの回路図 . . . 61
75 速さの異なるトランジスタを用いての動作。(回路図ネット・リスト) . . . 62

76 オン状態にあるトランジスタ数を変えた時の出力波形。温度を固定しトランジスタの早さを変えた。(回路図ネット・リストを用いた) . . . 62
77 オン状態にあるトランジスタ数を変えた時の出力波形。トランジスタの速さを固定し温度を変えた。(回路図ネット・リストを用いた) . . . 63
78 テスト・パルス・ジェネレータのレイアウト図 . . . 63
79 速さの異なるトランジスタを用いたテスト・パルス・ジェネレータの波形形。(1) トランジスタの早さを変えた時。(2) 温度を変えた時。(レイアウト・ネット・リスト) . . . 63
80 オン状態にあるトランジスタ数を変えた時の出力波形。温度を固定してトランジスタの早さを変えた。(レイアウトからのネット・リスト) . . . 64
81 オン状態にあるトランジスタ数を変えた時の出力波形 (レイアウトからのネット・リスト) 64
82 デバイス内の JTAG 回路 . . . 66
83 JTAG TAP ステートダイアグラム。矢印横の 0、1 は TCK の立ち上がりタイミングでの TMS の値である。 . . . 67
84 BSC の概念図 . . . 69
85 TAP の概念図 . . . 70
86 INSTRUCTION・レジスタの概念図 . . . 70
87 BSC (バウンダリースキャンセル) . . . 72
88 シリアルに繋がれた BSC . . . 73
89 BYPASS・レジスタの概念図 . . . 73
90 ユーザー・データ・レジスタの概念図 . . . 73
91 Voting Logic 回路を含むレジスタの回路図 . . . 76
92 Voting Logic 回路を含むインストラクションレジスタ . . . 77
93 Patch-Panel ASIC の構成 . . . 79
94 信号部の概念図 . . . 80
95 テストパルス部の概念図 . . . 80
96 遅延 40MHz 部の概念図 . . . 81
97 ヒューズモニター部の概念図 . . . 81
98 SEU モニター部の概念図 . . . 82
99 レジスタへの書き込みと読み出しシミュレーションの流れ . . . 83
100 可変遅延クロック出力シミュレーション波形 . . . 84
101 テスト・パルス出力シミュレーション波形 . . . 85
102 TGC 信号処理部シミュレーション波形 . . . 86
103 Patch-Panel ASIC の論理合成図 . . . 88
104 Patch-Panel ASIC 全体の配置配線図 . . . 89
105 配置配線図の拡大図 (64 倍) . . . 89

表 目 次

1 LHC の主なパラメータ . . . 5
2 TGC の主なパラメータ . . . 13
3 REF_CLK と DLL_CLK の位相差による UP、DN の値 . . . 42
4 JTAG 信号線の用途 . . . 66
5 JTAG 命令 . . . 71
6 デバイスの種類の違いによる SEU 断面積の違い . . . 74
7 中性子の SMJ44100 4Meg DRAM (TI) のに対する断面積 (cm^2/bit) . . . 74

8 ATLAS 測定器前後方部における中性子バック・グラウンド量 75
9 ATLAS 前後方部における SEU 頻度 75

参考文献

[1] ATLAS Technical Proposal, CERN/LHCC 94-43, pp.213-236, 5 December 1994

[2] ATLAS Detecter and Physics Performance Technical Design Report, CERN/LHCC 99-14,pp.673-766, 25 May 1999

[3] ATLAS Muon Technical Design Report, CERN/LHCC 97-22, pp.1-32, 5 June 1997

[4] ATLAS Level-1 Trigger Technical Design Report, ATLAS TDR-12, pp.293-366, 24 June1998

[5] 東京大学 松浦聡 修士学位論文「ATLAS 実験 前後方部ミューオントリガーシステムの開発」, pp.1-66, 1999

[6] 東京大学 佐藤講二 修士学位論文「ATLAS 実験ミューオン検出器用データ読出しシステムの開発」, pp.4-53, 1999

[7] P.R. グレイ、R.G. メイヤー著 ／永田譲監訳 培風館 「アナログ集積回路設計技術 上・下」

[8] Syed B.Huq, John Goldie, National Semiconductor Applocation Note 971 "An overview of LVDS Technology"

[9] 坂巻著 CQ 出版社 「TAG テストの基礎と応用」, pp.11-36

[10] NASDA ニュース NO.188 「イオン加速器を用いたシングルイベント現象の研究」, http://www.nasda.go.jp/Home/News/News-j/188ion.htm, July 1997

[11] M.Huhtinen, F.Faccio, "Computational method to estimate Single Event Upset rates in an accelerator environment", http://www.cern.ch/Atlas/GROUPS/FRONTEND/WWW/seu.pdf , 11 October 1999

[12] Michael Shupe, "RADIATION LEVELS IN THE ATLAS DETECTER", http://isnwww.in2p3.fr/atlas/andrieux/mshupe.html

謝辞

本研究を行なう機会を与えていただいた、小林富雄教授 [A] に感謝致します。本研究を終始指導して頂いた佐々木修氏 [B] に感謝致します。さまざまなアドバイスを頂いた坂本宏氏 [C]、池野正弘氏 [B]、藏重久弥氏 [D]、福永力氏 [E]、大須賀鬨雄氏 [B]、B. Ye[F] 氏に感謝致します。さらに、近藤敬比古氏 [B]、岩崎博行氏 [B]、田中秀治氏 [B]、山内一夫氏 [B] を始めとする ATLAS 日本グループの方々には大変お世話になりました。心から感謝致します。研究を通じて惜しみない協力を頂いた、浅井祥仁氏 [A]、蓮子和巳氏 [A]、陣内修氏 [G]、吉田光宏氏 [G]、狩野博之氏 [E]、松浦聡氏 [G]、佐藤構二氏 [G]、津野総司氏 [G]、鈴木修氏 [D]、西田昌平氏 [C]、戸谷大介氏 [G]、宮島明里氏 [H]、一宮亮氏 [D]、香取勇一氏 [G]、南篠創氏 [G]、長島荘洋氏 [G] に感謝致します。

Patch-Panel ASIC の試作は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われたものです。東京大学大規模集積システム設計教育研究センター、ローム (株)、凸版印刷 (株) の方々に感謝致します。

所属 : 東京大学素粒子物理国際研究センター [A]、高エネルギー加速器研究機構 [B]、京都大学理学研究科 [C]、神戸大学自然科学研究科 [D]、東京都立大学理学研究科 [E]、University of Science and Technology of China[F]、東京大学理学系研究科 [G]、信州大学理学系研究科 [H]